

# 極微細半導体素子での基板電流ゆらぎに伴う 素子寿命不確定性抑制の研究

(課題番号： No. 10555115)

平成10年度～平成12年度科学研究費補助金(基盤研究B(2)展開)  
研究成果報告書

平成13年3月

研究代表者

佐野伸行

(筑波大学 物理工学系 助教授)

# 目次

<b>1</b>	<b>序論</b>	<b>9</b>
1.1	本研究の背景と動機	9
1.2	研究の目的	11
<b>2</b>	<b>異方的衝突イオン化による基板電流ゆらぎ</b>	<b>13</b>
2.1	はじめに	13
2.2	解析手法：モンテカルロ・シミュレーション	13
2.3	準弾導電子輸送と異方的衝突イオン化過程	14
2.3.1	弾導電子輸送とエネルギー分布関数	14
2.3.2	衝突イオン化確率と異方性	16
2.4	基板電流ゆらぎ	19
2.4.1	イオン化確率の異方性と基板電流ゆらぎ	19
2.4.2	基板電流ゆらぎの特異性	21
2.5	本章のまとめ	25
<b>3</b>	<b>時間軸上での電流ゆらぎ</b>	<b>28</b>
3.1	電流ゆらぎ解析のための理論的背景	28
3.1.1	はじめに	28
3.1.2	電流ゆらぎの理論的基礎	28
3.1.3	モンテカルロ・シミュレーション	30
3.2	1次元 <sub>nin</sub> 構造での電流ゆらぎ解析	34
3.2.1	はじめに	34
3.2.2	電流ゆらぎの基本的特性	35
3.2.3	境界条件の電流ゆらぎへの影響	37
3.2.4	自己無撞着電流ゆらぎ解析（長距離電子間相互作用）	39
3.2.5	MC高速化手法の電流ゆらぎへの影響	40
3.2.6	逆拡散（キックバック）効果	42
3.2.7	本章のまとめ	49
3.3	2次元Si-MOSFET構造での電流ゆらぎ	50
3.3.1	はじめに	50
3.3.2	時間的電流ゆらぎの基本的傾向（電圧特性）	51
3.3.3	電流ゆらぎのFET構造での特異性	53
3.3.4	微細化に伴う電流ゆらぎの顕在化	59
3.3.5	電流ゆらぎと中心極限定理	61
3.3.6	電流ゆらぎの周波数特性	63
3.3.7	MOSFET構造での電流ゆらぎの物理的解釈	67
3.3.8	本章のまとめ	68

<b>4</b>	<b>3次元 Si-MOSFET 構造での統計的電流ゆらぎ</b>	<b>72</b>
4.1	離散不純物に対する ‘atomistic’ 不純物モデル	72
4.1.1	はじめに	72
4.1.2	離散不純物の導入方法	73
4.1.3	シミュレーションにおける離散不純物の意味	77
4.1.4	サブスレシヨルド特性：jellium 不純物 vs ‘atomistic’ 不純物	78
4.1.5	本章のまとめ	86
4.2	3次元ドリフト拡散法のための新しい離散不純物モデル	87
4.2.1	はじめに	87
4.2.2	‘atomistic’ 不純物モデルの問題点	88
4.2.3	3次元離散不純物モデル	90
4.2.4	離散不純物モデルの正当性	92
4.2.5	本章のまとめ	100
<b>5</b>	<b>結 論</b>	<b>101</b>
	謝 辞	

基盤研究B(展開):平成10-12年度

極微細半導体素子での基板電流ゆらぎに伴う素子寿命  
不確定性抑制の研究

研究組織

研究代表者	佐野 伸行	筑波大学物理工学系	助教授
研究協力者	菱沼 信吾	筑波大学工学システム学類	4年(H10年度)
	池田 敬三	筑波大学工学システム学類	4年(H11年度)
	且井 朋美	筑波大学工学システム学類	4年(H11年度)
	岡田 悦充	筑波大学工学システム学類	4年(H12年度)
	山本 浩之	筑波大学工学システム学類	4年(H12年度)

研究経費

平成10年度	1,700	千円
平成11年度	3,200	千円
平成12年度	700	千円
計	5,600	千円

## 研究成果発表リスト

### 査読付学術論文（雑誌）<sup>1</sup>

1. Nobuyuki Sano and Akira Yoshii, “Quantum Kinetic Transport under High Electric Fields,” *VLSI Design*, **6**, pp. 3-7 (1998).
2. Kenji Natori and Nobuyuki Sano, “Scaling Limit of Digital Circuits due to Thermal Noise,” *J. Appl. Phys.* **83**, pp. 5019-5024 (1998).
3. Kenji Natori, Daijiro Ohtani, and Nobuyuki Sano, “Thickness Dependence of the Effective Dielectric Constant in a Thin Film Capacitor,” *Appl. Phys. Lett.* **73**, pp. 632-634 (1998).
4. Kenji Natori and Nobuyuki Sano, “Current Bistability in Resonant Tunneling through a Semiconductor Quantum Dot,” *Superlattices and Microstructures* **23**, pp. 1339-1342 (1998).
5. Tetsuya Suemitsu, Takatomo Enoki, Nobuyuki Sano, Masaaki Tomizawa, and Yasunobu Ishii, “An Analysis of the Kink Phenomena in InAlAs/InGaAs HEMT’s Using Two-Dimensional Device Simulation,” *IEEE Trans. Electron Dev.* **ED-45**, pp. 2390-2399 (1998).
6. \*Nobuyuki Sano, Kenji Natori, Kazuya Matsuzawa, and Mikio Mukai, “Current Fluctuation characteristic of sub-0.1  $\mu\text{m}$  Device Structures: A Monte Carlo Study,” *Jpn. J. Appl. Phys. (Letters)*, **38**, pp. L531-L533 (1999).
7. Kenji Natori and Nobuyuki Sano, “A Compact Model for the Current-Voltage Characteristics of a Single Electron Transistor in the Resonant Transport Mode,” *IEICE Trans. Electron.* **E82-C**, pp. 1599-1606 (1999)
8. Andrea Bertoni, Paolo Bordone, Rossella Brunetti, Carlo Jacoboni, and Nobuyuki Sano, “Quantum versus Classical Scattering in Semiconductor Charge Transport: A Quantitative Comparison,” *Physica B*, **272**, pp. 299-301 (1999).
9. \*Nobuyuki Sano, Kazuya Matsuzawa, Mikio Mukai, and Noriaki Nakayama, “Influence of Thermal Noise on Drain Current in Very Small Si-MOSFETs,” *Jpn. J. Appl. Phys.* **4B**, pp. 1974-1978 (2000).
10. Kenji Natori, Tsuyoshi Uehara, and Nobuyuki Sano, “A Monte Carlo Study of Current-Voltage Characteristics of the Scaled-Down Single-Electron Transistor with a Silicon rectangular Parallelepiped Quantum Dot,” *Jpn. J. Appl. Phys.* **5A**, p. 2550-2555 (2000).

---

<sup>1</sup>星印(\*)は本研究の内容に特に関連する論文であり、本成果報告書に添付されているものを示す。

11. \*Nobuyuki Sano, “(招待論文) Increasing Importance of Electronic Thermal Noise in Sub-0.1  $\mu\text{m}$  Si-MOSFETs,” IEICE Trans. Electron. E83-C, pp. 1203-1211 (2000).
12. \*Nobuyuki Sano and Masaaki Tomizawa, “A Random Dopant Model for 3-D Drift-Diffusion Simulations in MOSFETs,” submitted to IEEE Electron Dev. Lett., (2001).

査読付学術論文（国際会議）<sup>2</sup>

1. \*Nobuyuki Sano, Kenji Natori, Mikio Mukai, and Kazuya Matsuzawa, “Physical Mechanism of Current Fluctuation under Ultra-small Device Structures,” International Workshop on Computational Electronics (IWCE-98), Osaka October 19-22, 1998 [Proc. IWCE, pp. 112-115 (1998)].
2. \*Nobuyuki Sano, Massimo V. Fischetti, and Steven E. Laux, “Hole-Initiated Impact Ionization and Split-Off Band in Ge, Si, GaAs, InAs, and InGaAs,” International Workshop on Computational Electronics (IWCE-98), Osaka October 19-22, 1998 [Proc. IWCE, pp. 198-201 (1998)].
3. Andrea Bertoni, Paolo Bordone, Rossella Brunetti, Carlo Jacoboni, and Nobuyuki Sano, “Quantum versus Classical Scattering in Semiconductor Charge Transport,” 11-th International Conference on Nonequilibrium Carrier Transport in Semiconductors (HCIS-11), Kyoto, July 19-23, 1999 [Proc. HCIS, p. 86 (1999)].
4. \*Nobuyuki Sano, “(招待講演) Sub-0.1  $\mu\text{m}$  Device Simulation Technology: Another Problems for Monte Carlo Simulations,” International Conference on Simulation of Semiconductor Processes and Devices (SISPAD-99), Kyoto, September 6-8, 1999 [Proc. SISPAD, pp. 23-26 (1999)].
5. \*Nobuyuki Sano, Kenji Natori, Mikio Mukai, and Kazuya Matsuzawa, “Influence of Intrinsic Current Fluctuation in Very Small Si-MOSFETs,” International Conference on Solid State Devices and Materials (SSDM-99), Tokyo, September 21-24, 1999 [Proc. SSDM, pp. 22-23 (1999)].
6. \*Nobuyuki Sano, Masaaki Tomizawa, and Kenji Natori, “Statistical Threshold Fluctuations in Si-MOSFETs: Jellium vs. Atomistic Dopant Variations,” International Conference on Solid State Devices and Materials (SSDM-2000), Sendai, August 29-31, 2000 [Proc. SSDM, pp. 216-217 (2000)].
7. Kazuya Matsuzawa, Nobuyuki Sano, Kenji Natori, Mikio Mukai, and, Noriaki Nakayama, “Monte Carlo Simulation of Current Fluctuation at Actual Contact,” International Conference on Simulation of Semiconductor Processes and Devices (SISPAD-2000), Seattle, September 6-8, 2000 [Proc. SISPAD, pp. 233-236 (2000)].

---

<sup>2</sup>星印(\*)は本研究の内容に特に関連する論文であり、本成果報告書に添付されているものを示す。

8. \*Nobuyuki Sano, Kazuya Matsuzawa, Mikio Mukai, and, Noriaki Nakayama, “Role of Long-range and Short-range Coulomb Potentials in Threshold Characteristics under Discrete Dopants in Sub-0.1  $\mu\text{m}$  Si-MOSFETs,” IEEE International Electron Devices Meeting (IEDM-2000), San Francisco, December 11-13, 2000 [IEDM Tech. Digest, pp. 275-278 (2000)].
9. \*Nobuyuki Sano, “(招待講演) Device Physics and TCAD: Simulation Issues for Sub-100 nm Devices,” 14th SEMICON Korea Technical Symposium 2001, Seoul, Korea, January 31-February 2, 2001 [Proc. SEMICON Korea Tech. Symp., pp. 473-484 (2001)].

#### 国内学会・研究会発表

1. 佐野伸行、“(依頼講演) 微細デバイスのモンテカルロ・シミュレーション”, STARC シンポジウム (京都、1998).
2. 佐野伸行、名取研二、向井幹雄、松沢一也、“微細デバイス構造における電流ゆらぎのシミュレーション解析I”、平成10年秋季応用物理学会学術講演会 (広島大学、1998).
3. 北原義之、佐野伸行、名取研二、松沢一也、向井幹雄、“微細デバイスにおける電流ゆらぎシミュレーションのデバイス・サイズ依存性”, 平成10年電子情報通信学会電子デバイス合同研究会 (大阪大学、1998), 電子情報通信学会 信学技報、ED98-118, pp. 53-60 (1998).
4. 佐野伸行、“(依頼講演) 電子輸送とモンテカルロ・シミュレーション”、SELETE TCAD 産学協議会 研究会 (東洋大学、1999).
5. 北原義之、佐野伸行、名取研二、向井幹雄、松沢一也、“微細デバイス構造における電流ゆらぎのシミュレーション解析II”、平成11年春季応用物理学会学術講演会シンポジウム (東京理科大学、1999).
6. 佐野伸行、富沢雅彰、名取研二、“Si-MOSFETsでのしきい値電圧ゆらぎのシミュレーション解析についての考察”、平成12年春季応用物理学会学術講演会シンポジウム (青山学院大学、2000).
7. 来栖貴史、佐野伸行、名取研二、“3次元不純物分布モデルにおけるMOSFETのしきい値電圧特性”、平成12年秋季応用物理学会学術講演会 (北海道工業大学、2000).
8. 佐野伸行、松沢一也、向井幹雄、中山範明、“(依頼講演)  $V_{th}$ ばらつきの定量的シミュレーションにむけた離散不純物モデル”, 平成13年シリコンテクノロジー分科会 ULSI デバイス研究会 (武蔵工業大学、2001), シリコンテクノロジー、No. 25, pp. 50-55 (2001).

9. 来栖貴史、佐野伸行、名取研二、“分子動力学法を用いた不純物散乱についての考察”、平成13年春季応用物理学会学術講演会シンポジウム(明治大学、2001).
10. 山本浩之、佐野伸行、松沢一也、向井幹雄、中山範明、“しきい値電圧ばらつきの3Dシミュレーションのための離散不純物モデル”、平成13年春季応用物理学会学術講演会シンポジウム(明治大学、2001).



# 1 序論

## 1.1 本研究の背景と動機

Si-MOSFET を中心とした半導体デバイスの際限のない微細化が進行しているなかで、研究所レベルにおいては、実効チャネル長が数 10 nm の単体 Si-MOSFET の良好なトランジスター特性が実験的に相次いで報告されている [1]。しかしながら、このような単体レベルでの良好な動作特性が、今後の半導体デバイスの高集積化に問題無く繋がるという保証は必ずしも無い。むしろ、これまであまり注目を集めることが無かった個々の単体デバイスにおける動作特性のばらつき（ゆらぎ）が、今後の半導体デバイスの高集積化を進めるうえで、新たな重要課題として出現する可能性がある。特に、デバイス動作特性のばらつきに伴ったデバイス寿命の不確定性は、半導体デバイスの長期にわたる信頼性の確保が必要なすべての電子情報機器において本質的なものである。

Si-n チャネル MOSFET デバイスの信頼性の直接的な指標である基板電流は、デバイス内部でのドレイン近傍での高電界領域における衝突イオン化過程によって生じる正孔と強い相関がある<sup>3</sup>。実際、衝突イオン化過程に伴って生じた正孔が、Si-MOSFET デバイスの酸化膜に注入し、酸化膜の劣化を導くということが良く指摘されている<sup>4</sup>。従って、基板電流が、衝突イオン化過程によって生じる正孔の量を表すデバイス特性として、デバイス寿命を予測する最も有力な指標となっており [2]、衝突イオン化過程の詳細な理解が、半導体デバイスの長寿命化のための最も重要な要素と言える。

このような背景から、世界各国の先端的研究機関での精力的な研究の末、ここ数年で衝突イオン化過程の物理機構に対する理解は飛躍的に進歩した。特に、Si における電子の衝突イオン化過程についての長年の論争は、ごく最近、著者等の研究を契機にして終止符が打たれた [3]。これらの研究を通じて得た最も重要な知見の一つは、イオン化しきい値エネルギー近傍で衝突イオン化過程が強い異方性をもつという事実である [4, 5]。この異方性は、イオン化遷移確率が電子エネルギーの関数ではなく、電子の波数ベクトル（擬運動量）に強く依存するということによる。つまり、イオン化しきい値近傍のエネルギー領域においては、電子の遷移後の取り得る状態密度が（擬）運動量保存則により強い制限を受け、強い異方性を導く。しかしながら、この衝突イオン化過程の異方性が、実際のデバイス動作特性にどのような影響を与えるのかといった問題は未解決である。

一方、サブ 0.1  $\mu\text{m}$  領域の極微細デバイスにおいては、電子の走行形態が従来の拡散的なものから準弾導的なものへと移行する。その結果、極微細デバイス内におけるチャネル電子のエネルギー分布関数は、サブミクロン・デバイスに見られるものと異なり、特異な形状を表わす [6]。即ち、印加電圧に対応する高エネルギー領域 ( $E \approx qV_d$  eV) までエネルギー散逸の殆ど無い電子が、ドレインおよびドレイン端近傍で数多く存在するようになる<sup>5</sup>。加

<sup>3</sup>衝突イオン化過程とは、高電界によって高エネルギー化した電子が束縛状態にある充満帯の電子にバンドギャップ以上のエネルギーを与え、伝導帯に自由電子として励起する過程である。その結果、伝導帯にはキャリアとしての正孔が生成される。

<sup>4</sup>勿論、酸化膜の絶縁破壊の物理過程の詳細は未だに不明であり、電子注入と酸化膜劣化との相関についてもいろいろと議論がある。

<sup>5</sup>このような電子を準弾道電子と呼ぶ。一方、全く散乱を受けずにソースからドレインまで走行する電子を弾道電子という。

えて、このような極微細デバイスでは印加電圧の低減 ( $V_d \leq 1$  V) が不可避であることから、イオン化しきい値エネルギー近傍の低エネルギー領域で衝突イオン化過程が支配的に生じるようになる。一方、イオン化しきい値エネルギー近傍での衝突イオン化過程は、擬運動量保存則からの束縛により、強い異方性を示す。言い替えば、次世代のサブ0.1ミクロン領域のデバイスでは、異方性が強い低エネルギー領域での電子が、支配的に基板電流に關与することが容易に予想される。その結果、基板電流が衝突イオン化過程の異方性に伴いゆらぎ、そして、次世代デバイスの寿命に大きな不確定性を導く可能性がある。

また、基板電流そのもののゆらぎに加えて、ドレイン電流そのもののゆらぎ（ノイズ）に伴って、基板電流のゆらぎを導く可能性が大きい<sup>6</sup>。従って、ドレイン電流ゆらぎ自体も、デバイス寿命の不確定性に大きく関わる。ここで、ドレイン電流ゆらぎには、時間的ばらつきと統計的ばらつきが存在し [7, 8]、これら両者のドレイン電流ゆらぎの違いと意味を明確に理解しておくことは重要である。

時間的電流ゆらぎとは、ある特徴的な時間スケール（周波数領域）でデバイス特性がゆらぐことを意味し、通常、ノイズと称されるものである [9, 10, 11]。この時間的ばらつきは、デバイス内での電子（或いは正孔）の走行形態（輸送）に伴う物理的ゆらぎであり、電子のランダムな熱運動がその物理的原因である。電流ノイズをもたらす電子の輸送形態は、デバイスの微細化に伴って、 $0.1 \mu\text{m}$  をさかいに大きく変化する。即ち、既に上述したように、電子が走行するチャネル領域で電子は多数回の散乱を繰り返す拡散的な輸送から、殆ど無散乱で走行する準弾道輸送への遷移が起きる [6, 12]。この輸送形態の遷移は、ドレイン電流特性に新たな時間的ノイズのモードを導く可能性がある [13, 14]。

しかしながら、時間的電流ノイズは、統計的ばらつきに比べていままでも殆ど注目を集めてこなかった。勿論、バルク或いはいままでのロング・チャネルの（特に化合物系）デバイス構造のもとでのノイズ解析は数多く存在する。モンテカルロ法を用いた理論的ノイズ解析に関しての最近の総合報告としては、文献 [15, 16, 17] を参照されたい。しかしながら、サブ0.1  $\mu\text{m}$  領域の極微細-MOSFET に対する電流ノイズ解析は皆無である。しかしながら、CMOS 技術の進展によるカットオフ周波数の向上により、CMOS の RF デバイスへの応用に対する期待が高まると同時に、MOSFET の電流ノイズ特性の重要性が徐々に真実味を帯びてきている [18]。しかも、問題となるような周波数領域は、いままでの Generation-Recombination ノイズよりも高い領域に推移している。このような高周波数領域は、まさに、本研究で問題とする電子の散乱過程に伴う熱的ゆらぎ（ノイズ）の領域に相当する。しかしながら、サブ0.1  $\mu\text{m}$  領域の極微細 Si-MOSFET 構造における電流ゆらぎの系統的な議論が殆ど存在しないことから、極微細 Si-MOSFET 構造での電流ノイズの物理機構は現在のところ不明である。

一方、統計的電流ばらつきとは、個々の単体デバイス（プロセス）の構造上の相違によりデバイス特性がばらつくことを意味する [19]。既に良く知られているように、チャネル長のばらつきや不純物プロファイルのばらつき等により、デバイス構造が微妙に異なることにより生じるデバイス特性ばらつきがこの部類に属する。統計的なばらつき要因は、殆どの場合、人為的な誤差に起因しており、究極的なプロセス技術のもとで排除することが可能なも

<sup>6</sup>基板電流は、ドレイン電流に關与するキャリアによる衝突イオン化過程を通じて生じることから、ドレイン電流に直接比例する。

のである。一方、単体デバイスの3次元デバイス・サイズの縮小に伴い、たとえ構造上のばらつきが存在しないような理想的状況においても、既に指摘されているように、統計的な特性ばらつきが存在する[20]。これは、デバイス特性に関わる不純物数の減少により、デバイス内部に存在する不純物の離散性を無視することができず、不純物の存在する位置や数によって電流特性がデバイスごとに統計的なばらつきとして顕在化するというものである。不純物の存在は、本質的に確率的な拡散過程に依存しており[21, 22]、人為的にその位置や数を操作することは困難である。本研究では、このような人為的に不可避な統計的なばらつきに着目する。

これまでのドレイン電流ゆらぎの研究は、統計的なばらつきの観点にたったものが多い。特に、うえで述べた二種類の特性ばらつきのうちの不純物ゆらぎにともなう統計的なしきい値電圧ばらつきの研究が、現在でも、議論の中心である[23, 24, 25, 26, 27, 28, 29, 30, 31]。しかしながら、不純物ゆらぎは不純物の離散性に伴うものであり、本質的に3次元効果であるにも関わらず、これまでの報告では、シミュレーションの次元性が問題になったことはない。しかも、不純物の離散性、則ち、atomisticな取扱いの必要性が認識されたのはごく最近のことであり[24, 26, 29, 31]、これまで行われてきたシミュレーション結果の詳細な考察は行われていない。しかも後述するように、このような空間的に離散分布する不純物を扱い得る適切なシミュレーション手法は存在しておらず、むしろ、これまでのatomisticなアプローチは物理的矛盾を含んでいることが判明した[32]。

本研究では、ディープ・サブミクロンからサブ0.1ミクロン領域にあるSi-MOSFET構造のもとで、デバイス寿命の不確定性という新たな観点から、極微細デバイスの信頼性について検討することを目的とする。具体的には、衝突イオン化過程の異方性に伴った基板電流ゆらぎとデバイス劣化との相関を、高精度なフルバンド・モンテカルロ法を用いて検討する。その後で、基板電流ゆらぎがドレイン電流におけるゆらぎと直接的な相関があることから、ドレイン電流のゆらぎを上述の時間的な電流ノイズと不純物の離散性に伴った統計的電流ばらつきといった観点から検討を行う。

## 1.2 研究の目的

本研究の目的は、以下のようにまとめることができる。

- Si-MOSFETのもとで、フルバンド・モンテカルロ法を用いて、デバイス特性（基板電流）のゆらぎの可能性を検討する。
- 一次元  $n_{in}$  構造という単純なデバイス構造を用いることにより、電流ゆらぎシミュレーションの手法依存性（コンタクトや自己無撞着性）や電流ゆらぎの基本的物理機構を検討を行う。
- サブミクロンおよびサブ0.1 $\mu\text{m}$ 領域にあるSi-MOSFET実デバイス構造のもとで、電流の時間的ゆらぎの検討を行う。
- 3次元Si-MOSFET構造のもとで、基板内に含まれる離散不純物の不均一性に伴った統計的電流ゆらぎを検討するための‘atomistic’な不純物モデルについて、その正当性について検討を行う。

- 3次元Si-MOSFET構造での統計的電流ゆらぎを正しく評価できるシミュレーションのための離散不純物モデルを構築する。

以下のセクションでは、上述の目的に沿って研究成果についての詳細な議論を与える。

## 2 異方的衝突イオン化による基板電流ゆらぎ

### 2.1 はじめに

前章で詳しく論じたように、次世代のサブ0.1ミクロン領域のデバイスでは、異方性の強い低エネルギー領域での電子が支配的に基板電流に關与することが予想される。その結果、基板電流が衝突イオン化過程の異方性に伴いゆらぎ、しいては次世代のデバイス寿命に大きな不確定性を導く可能性がある。本章では、ディープ・サブミクロンからサブ0.1ミクロン領域にある Si-MOSFET 構造のもとで、基板電流ゆらぎの可能性とデバイス劣化との相関を、高精度なフルバンド・モンテカルロ法を用いて検討する。そして、デバイス寿命の不確定性という新たな観点から、極微細デバイスの信頼性について検討する

### 2.2 解析手法：モンテカルロ・シミュレーション

本研究では、デバイス構造のもとでモンテカルロ・シミュレーションを実行し、基板電流等のデバイス特性解析を行う。モンテカルロ法とは、キャリア（いまの場合、電子）の輸送現象に対する半古典的な基本方程式であるボルツマン輸送方程式

$$\frac{\partial f_{\mathbf{k}}}{\partial t} + \dot{\mathbf{r}} \cdot \frac{\partial f_{\mathbf{k}}}{\partial \mathbf{r}} + \dot{\mathbf{k}} \cdot \frac{\partial f_{\mathbf{k}}}{\partial \mathbf{k}} = \sum_{\mathbf{k}'} S(\mathbf{k}', \mathbf{k}) f_{\mathbf{k}'} - \sum_{\mathbf{k}'} S(\mathbf{k}, \mathbf{k}') f_{\mathbf{k}} \quad (1)$$

をキャリアの位相空間（ $\mathbf{r}$  および  $\mathbf{k}$  の 6 次元空間）のもとで以下のような積分方程式に変形し、

$$\begin{aligned} f(\mathbf{r}, \mathbf{k}, t) &= e^{-\Gamma_{\mathbf{k}} t} f(\mathbf{r}, \mathbf{k}, 0) \\ &+ \int_0^t dt_1 e^{-\Gamma_{\mathbf{k}}(t-t_1)} \sum_{\mathbf{k}_1} S(\mathbf{k}_1, \mathbf{k}) f(\mathbf{k}_1, 0) \\ &+ \int_0^t dt_1 e^{-\Gamma_{\mathbf{k}}(t-t_1)} \sum_{\mathbf{k}_1} S(\mathbf{k}_1, \mathbf{k}) \cdot \int_0^{t_1} dt_2 e^{-\Gamma_{\mathbf{k}_1}(t_1-t_2)} \sum_{\mathbf{k}_2} S(\mathbf{k}_2, \mathbf{k}_1) f(\mathbf{k}_2, 0) \\ &+ \dots \end{aligned} \quad (2)$$

この多重積分を数値的に厳密に解く手法である [40, 41]。ここで、座標  $\mathbf{r}$  および  $\mathbf{k}$  は、電子の軌道に沿った path 変数を用いており、 $f(\mathbf{r}, \mathbf{k}, t)$  は電子の 1 体分布関数、 $S(\mathbf{k}, \mathbf{k}')$  は電子の状態  $\mathbf{k}$  から  $\mathbf{k}'$  への単位時間当たりの遷移確率を表す。また、 $\Gamma_{\mathbf{k}}$  は、 $\mathbf{k}$  にある電子の単位時間当たりの全散乱頻度であり、

$$\Gamma_{\mathbf{k}} = \sum_{\mathbf{k}'} S(\mathbf{k}, \mathbf{k}') = \frac{V}{(2\pi)^3} \int d^3\mathbf{k}' S(\mathbf{k}, \mathbf{k}') \quad (3)$$

で与えられる。

ボルツマン輸送方程式は、電子の位相空間での連続的な運動（kinematics）と非連続的な分布関数の変化を表わす衝突項（dynamics）からなる。モンテカルロ法では、ボルツマン輸送方程式を厳密に数値的に解くことが可能であるが、解析結果の精度はこれらの kinematics と dynamics に含まれる物理が如何に精度良く考慮されているかに依存する [12]。本章で用いた手法は、現在のところ最も精度が高いと考えられているフルバンド・モンテカルロ法で

ある。つまり、局所的な pseudopotential 法により求めた厳密な Si のバンド構造を考慮したうえで衝突項に含まれる散乱過程と kinematics に含まれる電子の運動を解析する。

シミュレーション解析に用いたデバイス構造は典型的 Si-MOSFET 構造であり、ディープ・サブミクロン領域とサブ 0.1 ミクロン領域を対比させるために、チャンネル長をそれぞれ 250 nm および 40 nm とした。これらのデバイス構造のもとで、通常のドリフト拡散シミュレーションを実行、デバイス内部のポテンシャル形状を決めた。この確定したポテンシャル形状のもとで、フルバンド・モンテカルロ法を実行して基板電流および衝突イオン化過程の解析を行った。モンテカルロ・シミュレーションを実行する際、ポテンシャル形状は固定したままでポスト・プロセス化して計算を実行した。これは、電子・電子相互作用の長距離相互作用（プラズモンの集団励起）を無視することに対応し、整合性を取るために電子・電子相互作用の短距離相互作用も本研究では無視した。しかしながら、電子・電子相互作用は電子のエネルギー分布関数を少なからず変化させるという報告もあることから、今後の重要な課題の一つである。また、シミュレーションに用いた電子数は約十万個である。この電子数は明らかに実際の電子数を反映していないが、シミュレーションに用いた電子の重率（ウェイト）を実空間とエネルギー空間で変化させることにより、シミュレーションを可能にした。

衝突イオン化過程により生じた正孔が、Si-基板内で電子と再結合により消滅しないと仮定すれば（再結合の時間スケールは一般に非常に長く、この仮定は殆どの場合正しい）、基板電流はチャンネル領域とドレイン領域にある高エネルギー電子が引き起こす単位時間あたりの衝突イオン化過程の数に等しい。従って、求めるべき基板電流  $I_{\text{sub}}(t)$  は

$$I_{\text{sub}}(t) = \int d^3\mathbf{r} d^3\mathbf{k} f(\mathbf{r}, \mathbf{k}, t) w_{ii}(\mathbf{k}) \quad (4)$$

で評価することができる。ここで、 $f(\mathbf{r}, \mathbf{k}, t)$  および  $w_{ii}(\mathbf{k})$  は、それぞれ、時刻  $t$  における電子の分布関数と衝突イオン化確率を表わす。また、実空間の積分はデバイス内全域にわたって行う。通常、衝突イオン化確率は電子のエネルギーの関数で与えられ、イオン化過程は等方的である。しかしながら、これまでの研究で明らかのように [4, 5]、衝突イオン化確率は本質的に電子の波数ベクトル  $\mathbf{k}$  の関数であり、異方的である（詳細は次のセクションで述べる）。従って、本研究では波数ベクトル  $\mathbf{k}$  に依存した衝突イオン化確率  $w_{ii}(\mathbf{k})$  を用いた。また、基板電流ゆらぎ  $(\Delta I_{\text{sub}})^2$  は、次式

$$(\Delta I_{\text{sub}})^2 \equiv \langle I_{\text{sub}}(t)^2 \rangle - \langle I_{\text{sub}} \rangle^2 \quad (5)$$

で定義する。尚、平均は時間平均を取る<sup>7</sup>。

## 2.3 準弾導電子輸送と異方的衝突イオン化過程

### 2.3.1 弾導電子輸送とエネルギー分布関数

デバイス内部を走行する電子は、室温において大体  $10^{13} \text{ sec}^{-1}$  程度のフォノン等との散乱を受ける。また、電子のドリフト速度は速度オーバーシュートにより  $10^7 \text{ cm/sec}$  以上の速度でチャンネル領域を走行する。従って、電子が無散乱でチャンネル領域を走行できる距離（自

<sup>7</sup> 定常状態では、エルゴードの定理から時間平均とアンサンブル平均は等価である。

由走行距離)は、10 nm程度になる。その結果、サブ0.1ミクロン領域にある極微細デバイスにおいては、無散乱で走行する弾導電子数が全体の電子数に比べて飛躍的に増加する。図2に、単純なSi-nin構造(図1参照)のもとでの弾導電子数の全電子数に対する比率を、i層(Si-MOSFETにおけるチャンネル長)の長さの関数としてプロットしたものを示す。i層の長さがサブ0.1ミクロン領域に達すると、弾導電子が飛躍的に増加することがわかる<sup>8</sup>。

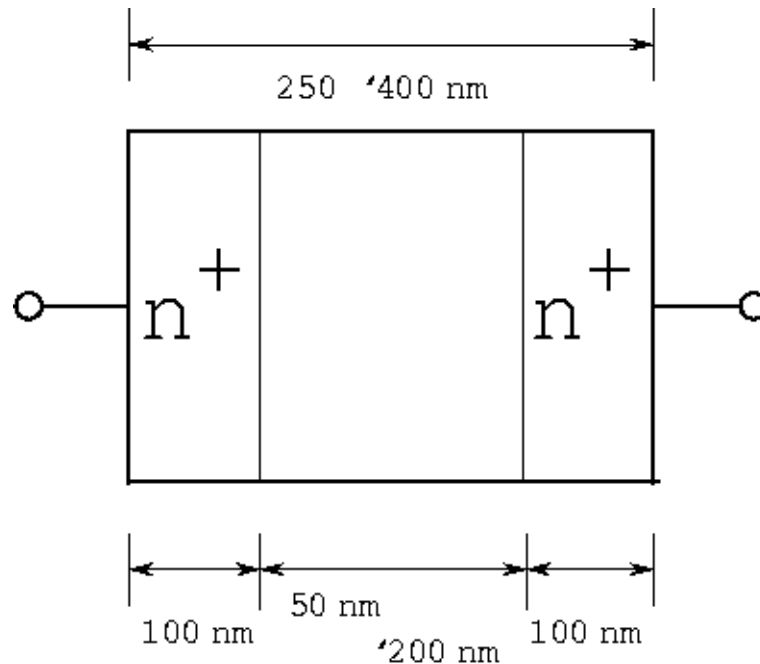


図 1: Si-nin 構造。

電子の走行する距離が有限であるSi-MOSデバイス構造のもとでは、ドレイン近傍の電子のエネルギー分布関数は特異な形状を示す。印加電圧  $V_d$  に対応する電子エネルギー  $qV_d$  まで電子数が大きく変化することなく存在し、これ以上の高エネルギー領域では、サーマル・テールと呼ばれる室温に応じた高エネルギー・テールを示す(図3参照)。この事実、極微細構造では、準弾導輸送により印加電圧まで大きなエネルギー散逸もなくかなりの数の高エネルギー電子が存在し得ることを示唆する。

チャンネル長  $L = 250$  nm と 40nm の実際のSi-MOSFET構造のもとで、ドリフト拡散法により求めたチャンネル方向の電界形状を図4に示す。またフルバンド・モンテカルロ法により、この電界形状のもとで求めたドレイン領域での電子エネルギー分布関数を図5に示す。尚、高エネルギー領域のサーマル・テールをより明確に見るために、計算は室温 ( $T = 300$  K) と低温 ( $T = 77$  K) に対して行った。

図5から明らかなように、印加電圧に対応する電子エネルギー  $qV_d$  を境界にエネルギー分布関数の形状が異なる。このエネルギー分布関数の形状の遷移は、チャンネル長がサブ0.1ミクロン領域にある  $L = 40$  nm の場合により顕著である。加えて、 $qV_d$  以上の高エネルギー・

<sup>8</sup>ただし、これは、i層の長さが十分に短くなったところで弾道輸送が支配的になるということを意味するものではない。むしろ次章で論じるように、nin構造素子においては弾道輸送は起こり得ない。

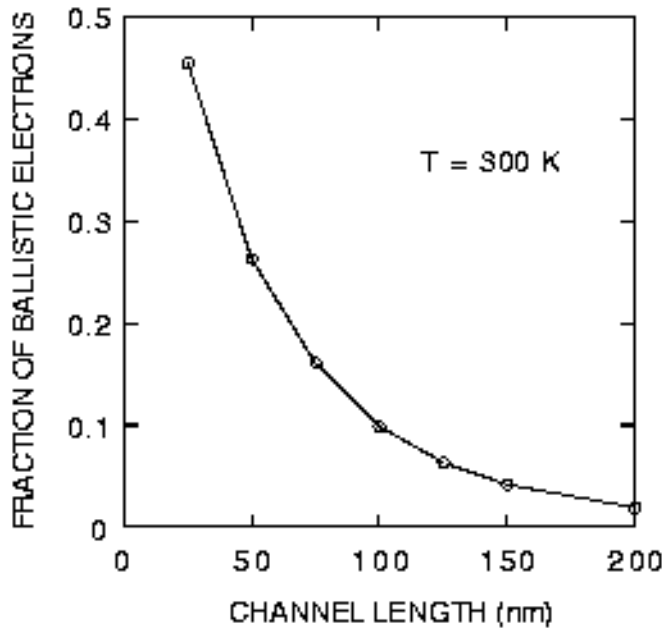


図 2: Si-nin 構造のもとでの弾導電子数の全電子数に対する比率の  $i$  層の長さ依存性。

テールは明らかに格子温度を反映しており、サーマル・テールの形成が確認できる。これらの事実は、デバイスにおけるホット・キャリア効果に重要な影響を及ぼす。つまり、デバイスの微細化に伴い電源電圧の低減が不可避であるにも関わらず、印加電圧に対応する高エネルギー電子の存在は、デバイスが微細になるにつれてより顕著となることを示す。

### 2.3.2 衝突イオン化確率と異方性

衝突イオン化過程のデバイス構造における重要性は既に 1 章で述べた。衝突イオン化過程そのものは、実に単純な物理過程である。電界等により高エネルギー状態となった価電子帯の電子が、充満帯に束縛されている電子にエネルギーを与え、価電子帯へ励起する過程である。しかしながら、電子を励起するには、最低、バンド・ギャップ (Si の場合、1.12 eV) 以上のエネルギーを必要とする。このような高エネルギー領域での電子の状態 (バンド構造) は一般に非常に複雑であり、正確なイオン化遷移確率を計算するうえで、現実的なバンド構造を考慮することが本質的となる。その結果、イオン化遷移確率に対する計算結果には、最近まで多くの矛盾が生じていた。最近、イオン化確率の異方性を考慮することにより、いままでの矛盾が解決できることが明らかとなった [42]。

図 6 は、衝突イオン化確率の電子エネルギー依存性をいくつかの代表的な計算結果をもとに示す。実線はバンド構造を考慮した代表的な第一原理計算によるイオン化率、破線は最近の実験結果から抽出したイオン化率、そしてシンボルで示したものが、電子の波数ベクトルを用いた第一原理計算による異方的イオン化率を示す。また、点線はこの異方的イオン化確率を対数補間と従来の線形補間により等方的なイオン化率に変換したものを表わす。過去の第一原理計算による結果と最近の実験結果から抽出したイオン化率との不一致は、低エネ



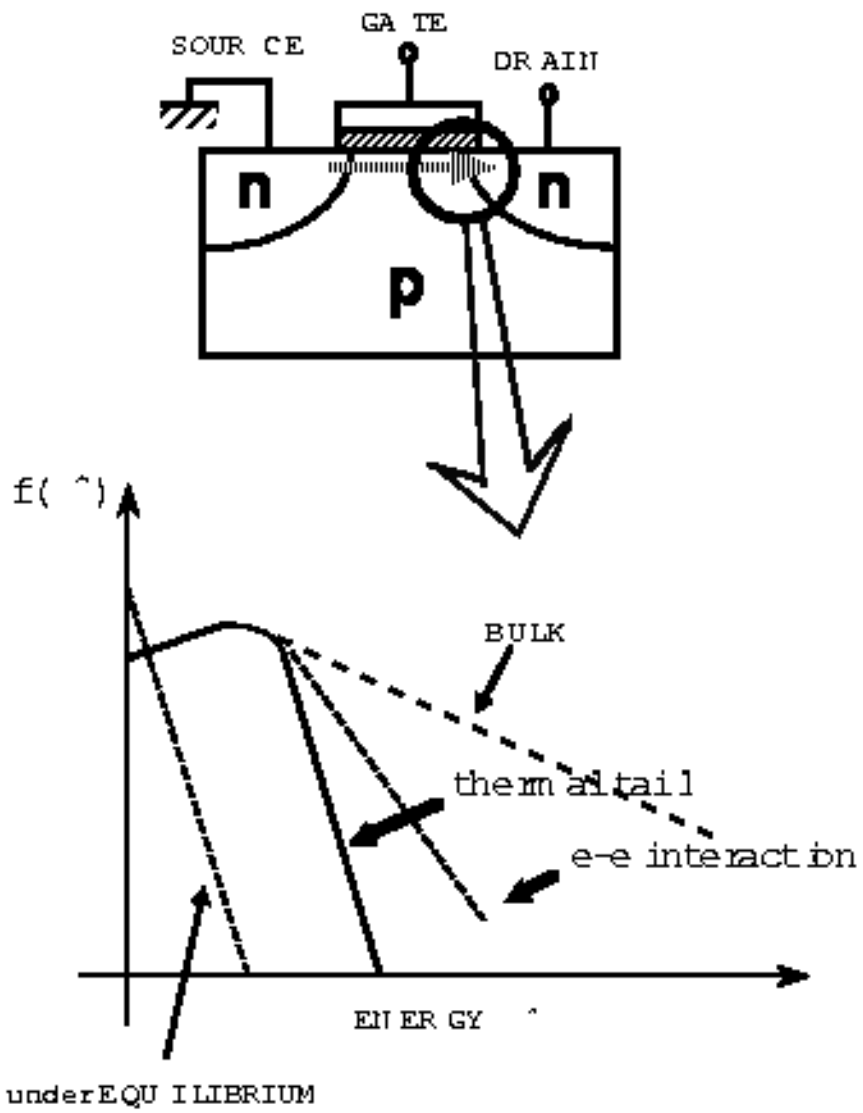


図 3: Si-MOSFET 構造におけるドレイン近傍の電子エネルギー分布関数の模式図。

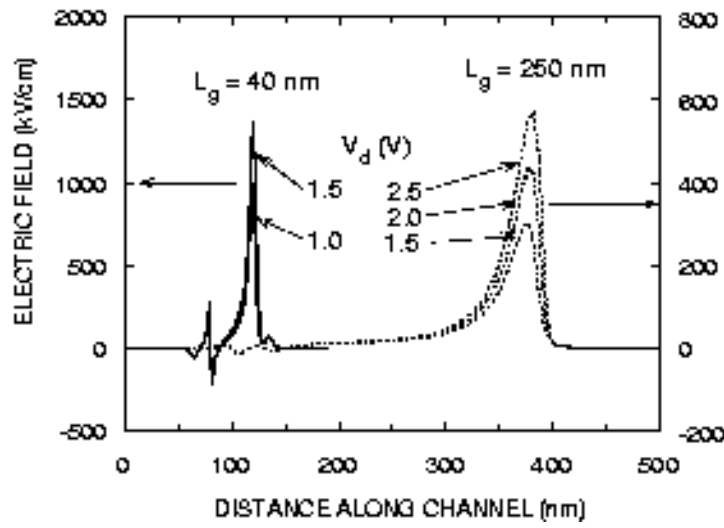


図 4: Si-MOSFET ( $L = 40 \text{ nm}$  および  $250 \text{ nm}$ ) に対するチャネル方向の電界形状。

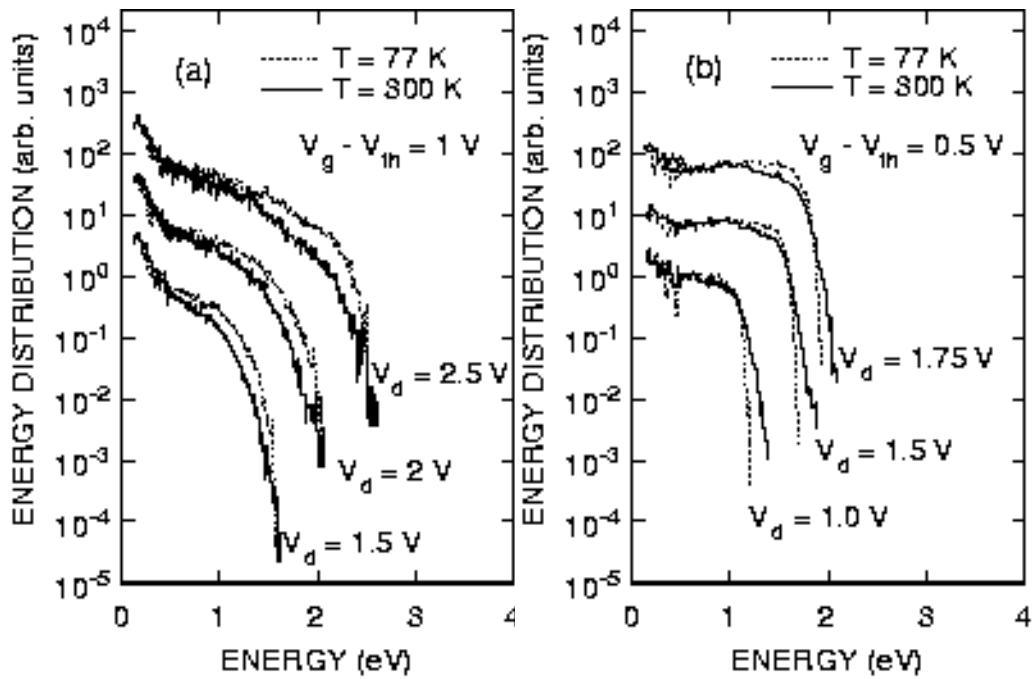


図 5: チャネル長  $250 \text{ nm}$  と  $40 \text{ nm}$  の Si-MOSFET におけるドレイン領域での電子エネルギー分布関数。実線と点線は、それぞれ  $T = 300 \text{ K}$  と  $77 \text{ K}$  の結果を表わす。

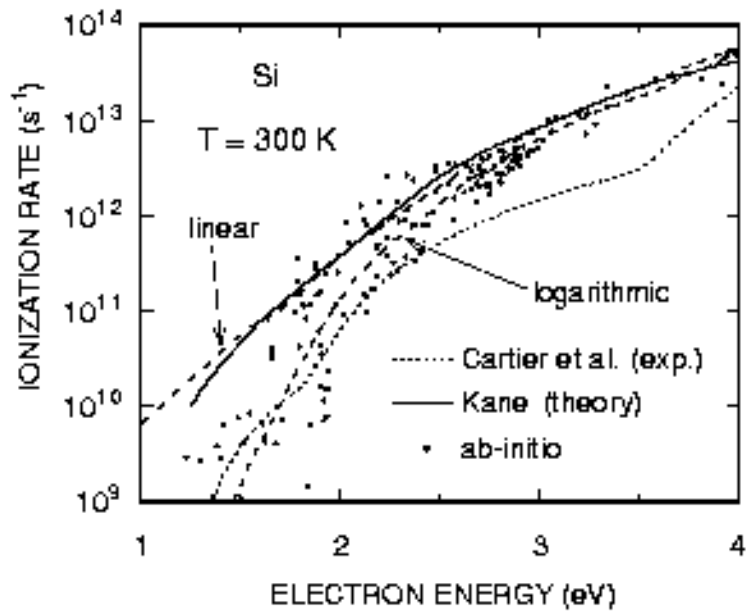


図 6: Si における電子衝突イオン化確率のエネルギー依存性。

ルギー近傍でのイオン化率の異方性を正しく考慮することにより説明される。つまり、通常の線形補間によりイオン化率のエネルギー依存性を求めると、しきい値近傍の異方性に伴い大幅に過大評価してしまう。何故ならば、このようなしきい値エネルギー近傍では、イオン化率が数桁にもわたりばらつくためである。そこで対数補間を用いることにより、いままでの第一原理計算結果と実験から抽出したイオン化率が非常に良く一致することがわかる。勿論、イオン化率を算出する際、無限に小さいメッシュを用いることが可能であれば、いずれの補間方法を用いても問題は無い。しかしながら、計算時間は有限であることから、この補間方法の違いを認識することが正しいイオン化率を算出する重要なポイントとなる。

## 2.4 基板電流ゆらぎ

### 2.4.1 イオン化確率の異方性と基板電流ゆらぎ

Si-MOSFET における基板電流は、Si 基板内での衝突イオン化過程に伴い生じる正孔の生成率と密接に結び付いている。イオン化により生じた正孔の Si 基板内での詳細な輸送過程を無視するならば、正孔の生成過程はディラック・パルスのような事象と捉えることができる。このような状況のもとでは、生成される正孔の数は時間的にゆらぎ、ポアソン分布で特徴づけられたショット・ノイズとして理解できる。しかも、この生成される正孔の数は衝突イオン化確率そのものであるから、イオン化確率が大きな異方性をもつ場合、生成される正孔の数も時間的に大きくゆらぐと考えられる。特に、サブ.1 ミクロン領域の極微細デバイスにおいては、印加電圧がイオン化しきい値エネルギー近傍に対応することから、基板電流が大きくゆらぐ可能性が予想される [43]。

図 7 に、チャネル長  $L = 20 \text{ nm}$  と  $40 \text{ nm}$  の Si-MOSFET 構造のもとでの実効イオン化率

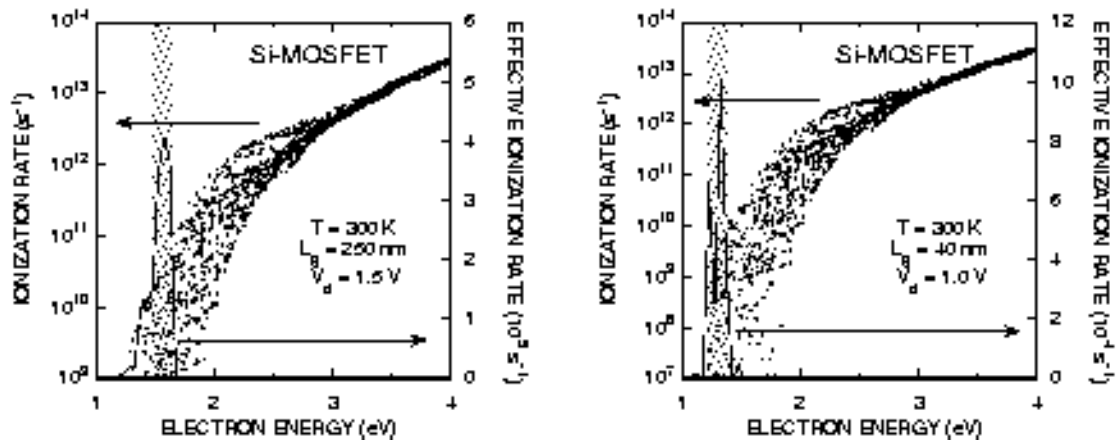


図 7: Si-MOSFET 構造 ( $L = 250$  nm および  $40$  nm) のもとでの実効イオン化率 (実線) とイオン化確率 (黒点) のエネルギー依存性。

をイオン化確率とともにプロットしたものを示す。ここで、実効イオン化率は、イオン化確率にデバイス内ドレイン近傍での電子分布関数のウェイトをかけたものであり、イオン化がどの電子エネルギー領域で最も顕著に起こるかを表わす。また、いずれのデバイスもドレイン電圧  $V_d$  は  $1.5$  V としている。

図 7 から明らかなように、イオン化過程はドレイン電圧近傍に対応する電子エネルギー領域で最も顕著であり、しかも実効イオン化率のエネルギー幅はかなり小さい。これは、通常バルクにおける状況と全く異なる。バルクにおいては、電界強度が数百  $\text{kV/cm}$  程度でイオン化過程は  $3$  eV 程度のエネルギー領域で最も顕著であり、従って、イオン化を引き起こす電子エネルギーの「エネルギー窓」の幅が広い。バルクにおけるような状況では、この「エネルギー窓」でのイオン化確率の変化はせいぜい桁ばらつく程度である。一方、デバイス構造においては、「エネルギー窓」が低エネルギー領域に位置し、イオン化確率の変化が等方的イオン化確率においても二桁程度ばらつく。加えて、異方的イオン化確率では、このようなエネルギー領域で異方性が強大であり、ばらつきが数桁に及ぶ。言い替えれば、単位時間あたりに生成される正孔の数が、異方的イオン化モデルにおいては、数桁にわたってばらつく可能性を示唆する。

この状況をより明確にみるために、実際のモンテカルロ・シミュレーションにおいて、ドレイン電圧が  $1\text{V}$ 、ゲート長  $40\text{nm}$  の Si-MOSFET における基板電流の時間発展を追いかけた。図 7 に、基板電流と基板電流の時間平均値からのずれの時間発展を示す。実線は、異方性を考慮したイオン化モデルをモンテカルロ法に導入した結果を表わし、点線は従来の等方的イオン化モデルを用いた結果を表わす。明らかに、異方性を考慮したものは従来の等方的イオン化率を用いたものに比べて時間発展が複雑であり、イオン化事象の頻度が大きくばらついていることがわかる。また、イオン化事象の起こる (基板電流値の変化するまでの) 時間間隔も、等方的イオン化モデルのものに比べて乱雑である。

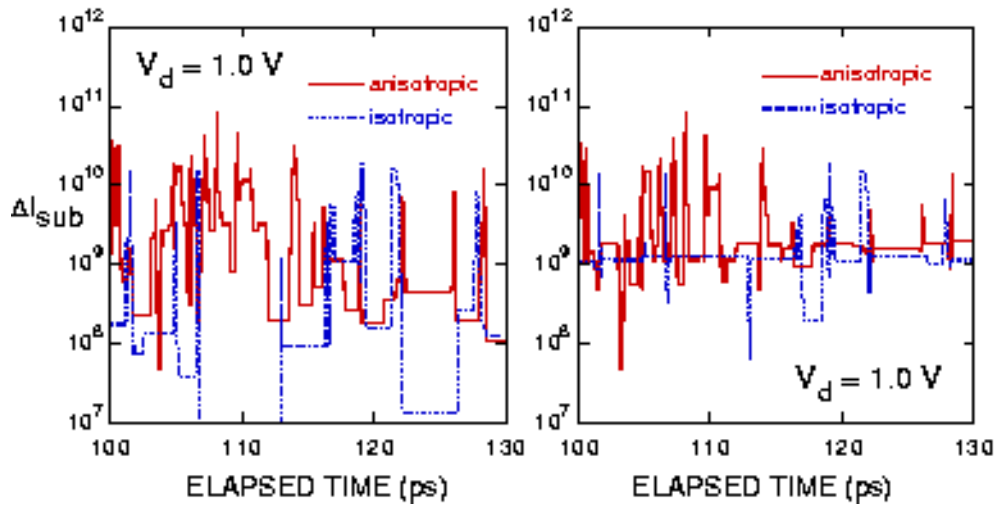


図 8: Si-MOSFET 構造 ( $L = 250 \text{ nm}$  および  $40 \text{ nm}$ ) のもとでの基板電流と基板電流の時間平均値からのずれの時間発展。

#### 2.4.2 基板電流ゆらぎの特異性

基板電流（或いは、正孔の生成率）ゆらぎの物理機構（時間相関）を検討するために、ゲート長  $40 \text{ nm}$  の Si-MOSFET における衝突イオン化の頻度（正孔の生成数）を、イオン化過程が起こるまでの時間間隔（二回のイオン化事象の時間間隔）の関数としてプロットしたものを図 9 に示す。ここで、ドレイン電圧は、低・高電圧での対比を見るために  $1 \text{ V}$  および  $1.75 \text{ V}$  とした。実線（破線）は、異方的（等方的）イオン化モデルを用いた結果を表わす。また、点線は、イオン化事象が完全にランダムであると仮定した場合の減衰直線（減衰時定数はそれぞれ  $100 \text{ fs}$  および  $75 \text{ fs}$ ）を表わす。短い時間間隔領域では、いずれのドレイン電圧においても減衰直線に良く一致し、ほぼランダムにイオン化事象が起きることを意味する。一方、長時間領域では直線から大きくはずれ、それぞれのイオン化事象に長時間相関が存在することを意味する。ここで、長時間領域は、イオン化しきい値近傍の低エネルギー電子がイオン化を起こす領域に対応しており、異方的および等方的イオン化確率のいずれも大きなばらつきを持つ。

図 9 における時間依存性をスペクトル解析した結果を図 10 に示す。図 9 におけるランダムな減衰直線は、良く知られているように Lorentzian 型のスペクトル依存性を示し、高周波数領域（問題となるイオン化率に対応）で  $1/f^2$  で減衰する。異方的イオン化モデルを用いたときの周波数依存性は、ドレイン電圧によって特異な周波数依存性を示す。即ち、低電圧 ( $V_d = 1 \text{ V}$ ) において  $1/f$  依存性を示し、高電圧 ( $V_d = 1.75 \text{ V}$ ) においては通常の  $1/f^2$  依存性を示す。一方、等方的イオン化モデルにおいては、いずれのドレイン電圧においても通常の  $1/f^2$  依存性を示す。この周波数依存性の特異性は、イオン化モデルの相違に起因しており、異方性に伴うイオン化率のばらつきが原因であると考えられる。

一般に、 $1/f$  周波数依存性はある事象（トラップからのキャリア生成過程等）の時間依存性が指数関数的に変化するとき生じることが知られている。今回の異方的イオン化過程においても、イオン化率（正孔の生成率）の時間依存性が数桁にわたる大幅なばらつきをも

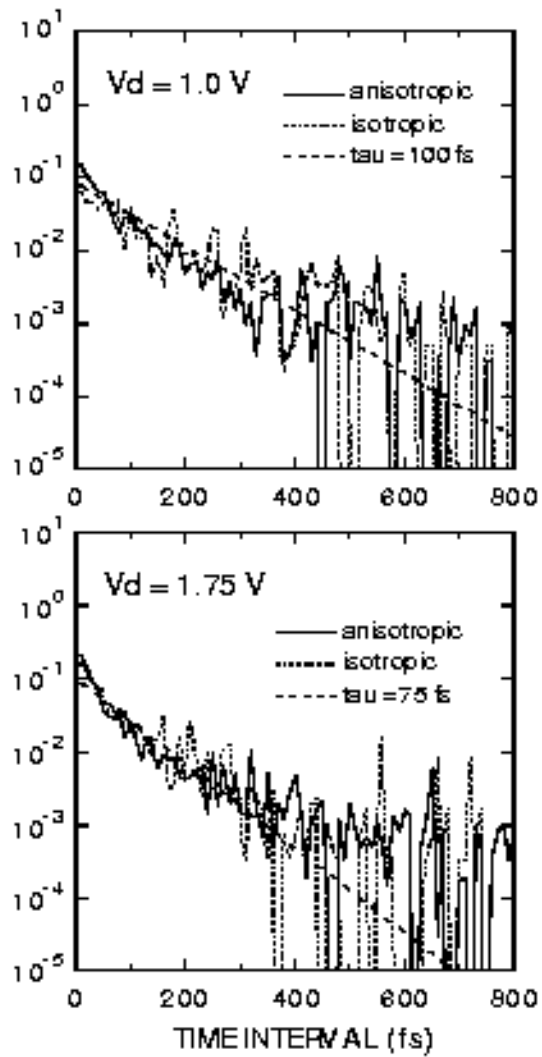


図 9: Si-MOSFET 構造 ( $L = 40 \text{ nm}$ ) のもとでの衝突イオン化頻度 (正孔の生成数) のイオン化事象の時間間隔依存性。

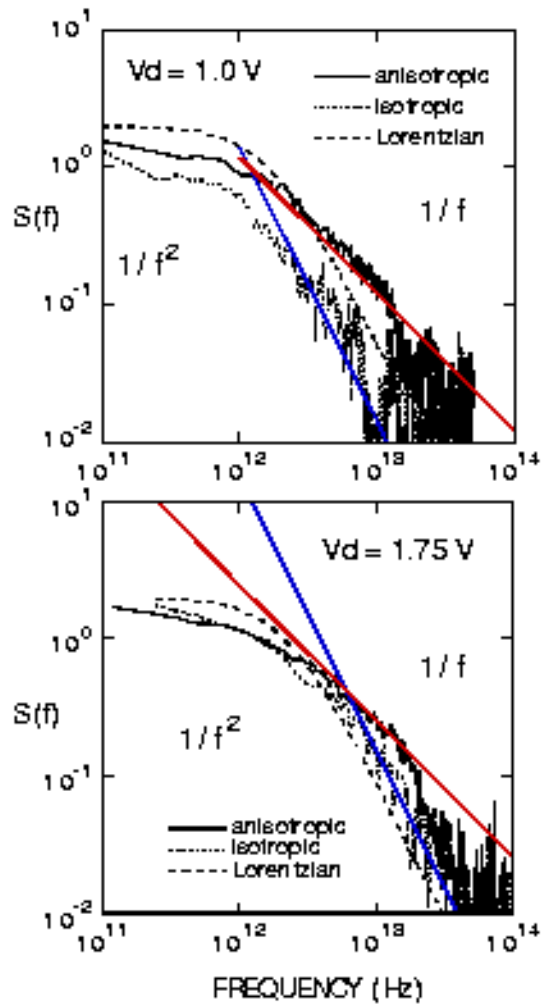


図 10: Si-MOSFET 構造 ( $L = 40 \text{ nm}$ ) のもとでの衝突イオン化頻度 (正孔の生成数) のスペクトル密度の周波数依存性。

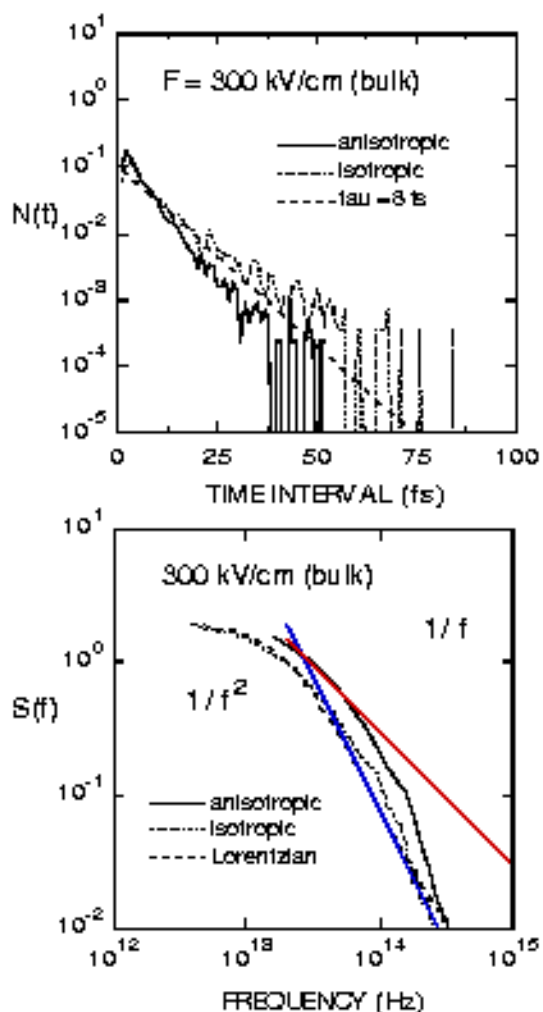


図 11: バルクにおける衝突イオン化頻度の時間間隔依存性とそのスペクトル密度の周波数依存性。

ことから、トラップからのキャリア生成過程等と同様のことが起こっているものと考えられる。しかしながら、この  $1/f$  周波数依存性の詳細な物理機構は未だに不明であり、今後の重要な研究課題の一つである。

これまでのシミュレーション結果から、イオン化過程がイオン化しきい値近傍の低エネルギー領域で顕著であることが、基板電流ゆらぎや特異な周波数依存性を導いた。従って、高エネルギー電子が支配的にイオン化を引き起こすバルクにおいては、通常のランダムな時間依存性や周波数依存性を示すと予想される。そこで、電界  $F = 300$  kV/cm のもとでのフルバンド・モンテカルロ・シミュレーションから得た結果を図 11 に示す。時間依存性は、いずれのイオン化モデルに対しても減衰直線に良く一致しており、イオン化過程がランダムな事象であることがわかる。また、このときの減衰時定数 ( $8$  fs) はデバイス構造のときに比べて一桁以上小さくなっており、イオン化過程がかなりの高エネルギー領域で支配的に起きていることを示す。また、周波数依存性も通常の  $1/f^2$  に従い、Lorentzian 型の減衰曲線に



近い。従って、上述のシナリオ通り、基板電流ゆらぎや特異な周波数依存性は、イオン化過程の異方性と深い相関があると考えられる。

図12に、SI-MOSFET構造のもとでの基板電流（正孔生成率）ゆらぎ（ $\Delta I_{sub}^2$ ）のドレイン電圧依存性を、ゲート長250 nmと40 nmのものに対して示す。実線が異方的イオン化モデルを用いた結果、破線が等方的イオン化モデルによる結果である。これまでの議論から明かなように、いずれのイオン化モデルにおいても、イオン化率のばらつきが大きくなる低電圧領域でゆらぎが増大する。しかしながら、異方的イオン化モデルを用いた場合は、等方的イオン化モデルのものに比べてこのゆらぎが数倍大きくなる。この傾向は、弾導電子数の増大するサブ0.1ミクロン領域においてより顕著である。

本研究で示した基板電流ゆらぎは、デバイスの寿命を考えるうえで特に重要である。デバイス寿命は、一般に、基板電流を指標として見積もられる。従って、基板電流のわずかなゆらぎが、デバイスの寿命を桁にわたって不確定なものにする可能性すらある。しかしながら、前述したように、本研究で見出した基板電流ゆらぎの時間スケール（或いは、周波数領域）は非常に短く（或いは、大きく）、直接、現在のデバイス寿命の経験式に従って寿命の不確定に結び付く可能性は小さい。しかし、基板電流がゆらぐことにより、酸化膜や基板との界面におけるトラップ準位の生成等の過程に大きな影響を及ぼす可能性は大きい。その結果、基板電流ゆらぎが間接的にデバイス寿命の不確定性に関わる可能性は十分考えられる。

## 2.5 本章のまとめ

本研究では、デバイス・サイズがディープ・サブミクロンからサブ0.1ミクロン領域にある典型的デバイス構造（Si-MOSFET）のもとで、現在のところ最も高精度とされているフルバンド・モンテカルロ法を用いて、デバイス特性（基板電流）のゆらぎの可能性を検討した。さらに、時間相関関数を評価することにより基板電流ゆらぎの時間スケールを明確にすると共に、このゆらぎの物理機構を検討した。本章の具体的な研究成果は以下のようにまとめられる。

1. デバイス・サイズがサブ0.1ミクロン領域の極微細デバイスにおいて、基板電流（或いは、正孔の生成率）のゆらぎが、等方的衝突イオン化過程を前提とした従来の見積もりに比べて数倍大きく顕在化することを、シミュレーションにより初めて示した。
2. 基板電流の時間相関関数の評価をデバイス形状のもとで行い、基板電流ゆらぎの時間スケールを明確にしたうえで、ゆらぎが長時間相関をもつことを見出した。
3. 基板電流（或いは、正孔の生成率）ゆらぎの周波数依存性が、通常の $1/f^2$ ではなく $1/f$ 依存性を示すことを見出した。これは、衝突イオン化の起きる時間スケールが、異方性に伴い数桁にわたりばらつくためと考えられる。

本研究では、残念ながら基板電流ゆらぎに伴うデバイス劣化への影響まで踏み込んだ議論ができなかった。そこで、以下に未解決問題を列記することにより今後の課題とする。

1. 基板電流（或いは、正孔の生成率）とデバイス寿命との経験的議論の見直し。デバイス寿命は、基板電流を指標とした経験式に基づいて算出される。しかしながら、デバ

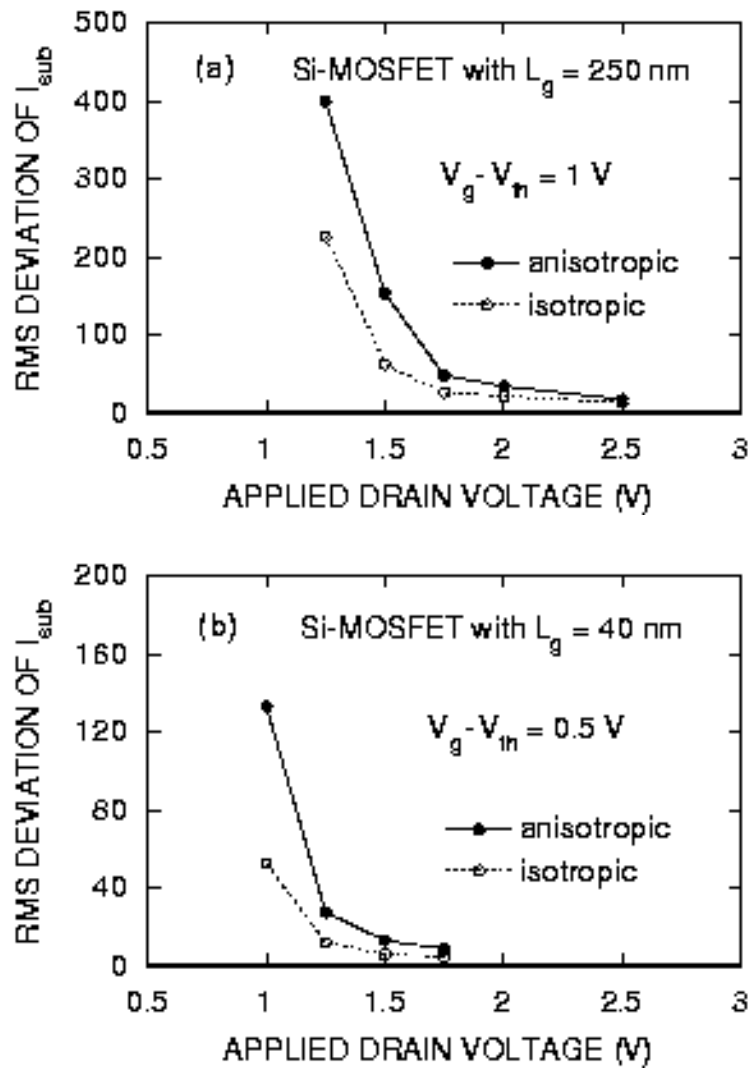


図 12: SI-MOSFET 構造 ( $L = 250 \text{ nm}$  および  $40 \text{ nm}$ ) における基板電流ゆらぎのドレイン電圧依存性。

イス内の電子輸送形態がいままでと全く異なるサブ0.1ミクロン・デバイスにおいては、より微視的観点に立った理論の再検討が不可避である。

2. 基板電流（或いは、正孔の生成率）ゆらぎのSi-MOSFET構造における酸化膜劣化過程への影響。デバイスの信頼性は酸化膜の劣化と深く結び付いている。本研究で明らかにした基板電流ゆらぎは、酸化膜や界面におけるトラップ準位形成等の劣化現象に大きな影響を及ぼすことが予想される。
3. 基板電流ゆらぎの特異な周波数依存性の物理的機構。さまざまな物理現象における $1/f$ 周波数依存性はいまだに明確な理解が得られていないことから、本研究で見出した基板電流（正孔生成率）ゆらぎの特異な周波数依存性は、学術的見地からも興味深い。

### 3 時間軸上での電流ゆらぎ

#### 3.1 電流ゆらぎ解析のための理論的背景

##### 3.1.1 はじめに

電流ゆらぎ（ノイズ）を理論的に考察するとき、電流ノイズ・モードと電圧ノイズ・モードの2種類のデバイスの動作モードが存在する [15]。電流ノイズ・モードとは、電極コンタクト間の電圧を一定に保った状態で電流ノイズを解析するモードである。また、電圧ノイズ・モードとは、デバイスを流れる電流を一定に保持した状態で電極での電圧変動を解析するモードである。両者は、デバイスの電極間のインピーダンスを通じて密接に関連している [9, 10]。一般に、電流ノイズ・モードのほうがその機構が物理的に理解しやすいことから、本研究では電流ノイズ・モードに着目して検討を行った。

##### 3.1.2 電流ゆらぎの理論的基礎

定常状態での電流ノイズの解析において最も基本的な物理量は、電流についての時間相関関数  $C_I(t)$  と電流スペクトル密度  $S_I(f)$  である。実際、理論と実験との比較は電流スペクトル関数を通して行われることが主体であり、 $\gamma$  パラメータや Noise Figure 等のマクロなデバイス・ノイズ特性量はすべてスペクトル関数から評価することができる [10]。

定常状態での電流の時間相関関数  $C_I(t)$  は以下のように定義される。

$$C_I(t) = \langle \Delta I(t) \Delta I(0) \rangle \quad (6)$$

ここで、 $\Delta I(t) = I(t) - \langle I \rangle$  は、電流の時間平均値  $\langle I \rangle$  についての時刻  $t$  における電流残差である。また、角括弧は（アンサンブル平均ではなく）時間についての平均を表す。電流についてのスペクトル密度  $S_I(f)$  は、Wiener-Khintchine の定理から、電流の時間相関関数  $C_I(t)$  を用いて、

$$S_I(f) = 2 \int_{-\infty}^{\infty} dt e^{-i2\pi ft} C_I(t) \quad (7)$$

で表すことができる [11, 21]。

上記の電流スペクトル密度  $S_I(f)$  は、周波数領域  $f \geq 0$  に対して定義される。いま、電流残差  $\Delta I(t)$  のフーリエ係数  $F_T(f)$  を以下のように定義すれば、

$$F_T(f) = \int_{-\infty}^{\infty} dt e^{-i2\pi ft} \Delta I(t) \quad (8)$$

電流の時間相関関数  $C_I(t)$  と電流スペクトル密度  $S_I(f)$  は、次のようにも表すことができる。

$$\begin{aligned} C_I(t) &= \frac{1}{2T} \int_{-T}^T dt' \Delta I(t' + t) \Delta I(t') \\ &= \frac{1}{2T} \int_{-\infty}^{\infty} df e^{i2\pi ft} |F_T(f)|^2 \end{aligned} \quad (9)$$

ここで、電流残差  $\Delta I(t)$  は十分に長い時間間隔  $-T \leq t \leq T$  において定義されると仮定し、それ以外の時間領域ではゼロとする。電流ゆらぎの定義されているこの時間間隔  $2T$  は、電

流ノイズの物理的起源であるフォノン等との散乱の特徴的な時間スケールに比べて十分に長い必要がある。散乱の特徴的な時間スケールは、大体、数十 fs 程度であるから、シミュレーションによりサンプリングする時間領域が数十 ps 程度であれば、この条件は満たされる<sup>9</sup>。式(7)と式(9)から、電流スペクトル密度  $S_I(f)$  は、電流ゆらぎのフーリエ係数  $F_T(f)$  を用いて次のように表される。

$$S_I(f) = \frac{1}{T} |F_T(f)|^2 \quad (10)$$

この関係式から、電流スペクトル密度  $S_I(f)$  が、実関数かつ positive definite であることがわかる。本研究では、式(10)を用いることによって、電流スペクトル密度  $S_I(f)$  をモンテカルロ・シミュレーションより求めた電流の時系列から評価している。

電流の時間相関関数  $C_I(t)$  が実関数かつ偶関数であることに注意すれば、式(7)から、 $C_I(t)$  は

$$C_I(t) = \text{Re} \left[ \int_0^\infty df e^{i2\pi ft} S_I(f) \right] \quad (11)$$

と表せる。電流ゆらぎ(分散)  $\langle \Delta I^2 \rangle$  は

$$\langle \Delta I^2 \rangle = C_I(0) = \int_0^\infty df S(f) \quad (12)$$

で与えられる。つまり、電流ゆらぎ(分散)  $\langle \Delta I^2 \rangle$  は、電流スペクトル密度  $S_I(f)$  を全周波数領域で積分することと等価である。もし、電流スペクトル密度  $S_I(f)$  がある特徴的な周波数領域<sup>10</sup>まで周波数に依存せず白色であると仮定すると、電流ゆらぎ(分散)  $\langle \Delta I^2 \rangle$  は低周波数領域における電流スペクトル密度  $S_I(0)$  に直接比例することになる。

電流時間相関関数  $C_I(t)$  の減衰が主にフォノン散乱によるものであるとして、 $C_I(t)$  が以下のような単純な指数関数的であったとする<sup>11</sup>。

$$C_I(t) = \langle \Delta I^2 \rangle \exp\left(-\frac{|t|}{\tau_{ph}}\right) \quad (13)$$

ここで、 $\tau_{ph}$  はフォノン散乱による緩和時間である。電流スペクトル密度  $S_I(f)$  は、良く知られているように、以下のようなローレンツ型のスペクトル関数で与えられる。

$$S_I(f) = \langle \Delta I^2 \rangle \frac{4\tau_{ph}}{1 + (2\pi f \tau_{ph})^2} \quad (14)$$

このとき、電流スペクトル密度  $S_I(f)$  は、緩和時間  $\tau_{ph}$  の逆数程度の高周波数領域までほぼ白色になる。従って、電流ゆらぎ(分散)  $\langle \Delta I^2 \rangle$  は、この場合、低周波数領域での電流スペクトル密度  $S_I(0)$  に比例し、以下のように与えられる。

$$\langle \Delta I^2 \rangle = S_I(0) \Delta f \quad (15)$$

ここで、 $\Delta f$  はバンド幅で  $\Delta f = 1/(4\tau_{ph})$  とした。

<sup>9</sup>ただし、デバイス内での電界強度が十分に弱い場合は、緩和時間は数十 ps にも及ぶことから、より長いサンプリング時間が必要になる。

<sup>10</sup>この周波数は、当然、電子の相関を破る時間に対応し、ほぼフォノン系との散乱時間の逆数で与えられる。

<sup>11</sup>事実、この仮定は殆どの場合正しい。

バルクのように均一で準平衡状態のもとでは、Nyquist の定理により、電流スペクトル密度  $S_I(f)$  は、

$$S_I(f) = S_I(0) = \frac{4k_B T}{R} \quad (16)$$

で与えられる。ここで、 $k_B, T$  および  $R$  はボルツマン定数、サンプルの（格子）温度、抵抗である。式(16)は、電流ノイズがランダムなフォノン散乱により生じる熱ノイズであることを意味し、散乱の強さが電子のエネルギー分布関数の広がり、つまり（電子）温度  $T$  として表されている。熱ゆらぎと全く同じノイズ源でありながら、別の形態で表されるノイズがショット・ノイズである [44]。

$$S_I(f) = S_I(0) = 2q\langle I \rangle \quad (17)$$

ここで、 $\langle I \rangle$  は電流の平均値である。これは、電流ノイズを電流に関与する電子の数ゆらぎとしてみた場合の電流ノイズの公式である。

しかしながら、これらの良く知られた公式はあくまでも準熱平衡状態かつ均一な材料のもとでのものであり、デバイスのような複雑な構造のもとで、これらの公式を単純に拡張して適用することには注意が必要である。

ここで、低周波数領域での電流スペクトル関数  $S_I(0)$  の意味について、若干述べておく必要がある。本研究では、電子の相関を消失する過程としてフォノン散乱のみを扱っている。これは、GHz 以上の高周波数領域を本研究では研究対象としているためである。一方、低周波数領域では、生成再結合ノイズとフリッカー・ノイズ ( $1/f$  ノイズ) が重要となる。つまり、現実の低周波数領域での電流スペクトル関数  $S_I(0)$  は、式(14)で与えられるフォノン散乱に伴うノイズに加えて、生成再結合ノイズとフリッカー・ノイズに対応する電流スペクトル関数  $S_I(f)$  が加わる。従って、本研究におけるスペクトル関数  $S_I(0)$  は、GHz 以上の周波数領域での白色ノイズ・レベルと解釈されるべきものである。

また、デバイス・サイズの縮小に伴って、新たに弾道的にコンタクトに注入されることにより電子相関が失われる効果が生じる。弾道電子のデバイス内での詳細な走行形態は、電流ゆらぎの時間的相関、すなわちスペクトル関数  $S_I(f)$  の周波数依存性として反映される (transit time 効果)。しかしながら、純粋な弾道電子輸送の transit time の情報は、弾道的に注入された高エネルギー電子によるドレイン領域からの逆拡散過程に伴い大幅に乱されることから、定性的検討において transit time 効果は無視できると考えられる。実際、後述するように、モンテカルロ法より求めた電流スペクトル密度  $S_I(f)$  はローレンツ型スペクトルで与えられることから、transit time 効果は無視できることがわかる。

### 3.1.3 モンテカルロ・シミュレーション

本研究に用いたシミュレーション解析方法は、ドリフト拡散法とモンテカルロ法とを併用したものである。簡単には以下のようにまとめられる。

まず、与えられたデバイス構造および不純物プロファイルのもとでドリフト拡散法を解き、ポテンシャル形状および電子濃度を確定する。そして、これを初期値としたうえで、モンテカルロ法により電子輸送シミュレーションを行う。その際、電界ポテンシャルはモンテカルロ法により更新された電子分布のもとでポアソン方程式を解く自己無撞着法と、ドリフ

ト拡散法より求めた電界ポテンシャルを固定したままでモンテカルロ法を用いたポストプロセス法の2通りを用いた。

本研究で用いたデバイスは4章においては1次元n<sub>in</sub>構造、また5章においては実効チャネル長が300 nmおよび40 nmの2次元MOSFET構造である。また、MOSFET構造におけるデバイスの深さ方向の大きさは、約500 nmとした。尚、この値は空乏層の広がり<sup>12</sup>に比べて十分大きくなるように設定している。5章で用いた2次元MOSFETデバイスの構造

channel length (nm)	300	40
oxide thickness (nm)	10	3.5
substrate impurity (cm <sup>-3</sup> )	$7 \times 10^{17}$	$2 \times 10^{18}$
junction depth (nm)	80	10

表 1: モンテカルロ・シミュレーションに用いた2次元MOSFETデバイス構造パラメータ

パラメータを表1に示す。

本研究で用いたモンテカルロ法は多電子のアンサンブル・モンテカルロ法であり、また計算時間の短縮のために、Siに対する非放物線型の解析的バンド構造を仮定した<sup>13</sup>。シミュレーションに用いたSiの物質パラメータは、文献[40, 41]で与えられている値を用いた。また、考慮した散乱過程としては、フォノン・エネルギーが $\hbar\omega = 60$  meVの光学フォノンと弾性散乱近似のもとでの音響フォノン散乱である。モンテカルロ・シミュレーションに用いたパラメータを表2に示す。また、ソースおよびドレイン電極では自己無撞着シミュレーショ

effective mass	$m^*$	$0.26m_e$
nonparabolicity	$\alpha$	$0.5$ (eV <sup>-1</sup> )
deformation potential	$D$	$9.0$ (eV)
coupling constant	$DK$	$11 \times 10^8$ (eV/cm)
optical phonon energy	$\hbar\omega$	$60$ (meV)

表 2: モンテカルロ・シミュレーションに用いたSiの物質パラメータ

ンではオーミック接触を仮定し、また、固定ポテンシャルでのシミュレーションでは周期的境界条件(ソースおよびドレイン電極から出た電子は、それぞれドレインおよびソース電極から熱平衡状態のもとで注入)を用いた。従って、この場合、シミュレーションを実行中に電子数は変動しない。これは、解析される電流ゆらぎから電子数の変動に伴うショット・ノイズが除かれることを意味するものではない。ソースおよびドレインの高ドープ領域まで含めたデバイス内の全電子数はシミュレーションにおいて変動しないが、チャネル領域に含まれる電子数は常に変動しており、これが通常のショット・ノイズに対応する。また、ソース

<sup>12</sup>基板のアクセプター濃度が $10^{18}$  cm<sup>-3</sup>のとき、空乏層の広がり約35 nmである。

<sup>13</sup>電流特性を決めるのは低エネルギー領域にある電子であることから、高エネルギー電子の特性を正確に記述するフルバンド・モンテカルロ法は使用する必要はない。

およびドレイン・コンタクトでの電位は固定していることから、本シミュレーション解析は前述の電流ノイズ・モードに対応する。

シミュレーションに用いた電子数は一万個から十万個であり、この電子数は、4および5章で詳しく論じるように、デバイスの幅  $W$  の大きさに対応する。シミュレーションに用いられる電子が現実の系の電子に1対1に対応すると仮定するならば、シミュレーションにおける電子数はデバイス幅  $W$  に直接比例する。本研究では、シミュレーションに用いられる電子ができるだけ現実の系と1対1に対応している条件のもとで解析を行う。

シミュレーションにおける電子と現実の電子との対応を良く認識しておくことは重要である。従来の2次元ポアソン方程式と結合した自己無撞着モンテカルロ法では、電子は超粒子 (super-particle) として扱われ、円柱形状になっている。加えて、計算時間を短縮するために、通常は、シミュレーションにおける電子が現実の電子数十個 (あるいはそれ以上) を代表しているものとしてシミュレーションを実行する。しかしながら、昨年度の研究成果で明らかにしたように、このような電子の超粒子的扱いは、電流等の1次の物性を評価するうえでは非常に有効であるが、電流分散のような2次の物性を評価するときには無効である。従って、動的および統計的な電流ゆらぎ解析では電子をできるだけ現実的なものに対応付けるうえからも3次的に扱う必要があり、その意味からも、従来の2次元ポアソン方程式と結合してモンテカルロ・シミュレーションを実行することには問題がある。一方で、現在の計算機能力からすれば、3次元ポアソン方程式と自己無撞着に結合してモンテカルロ・シミュレーションを実行するのは困難である。そこで、本研究の現実的MOSFETデバイス構造でのシミュレーション解析では、自己無撞着計算は意図的にできるだけ避けている。

また、モンテカルロ法自体がstochasticな方法であることから、シミュレーション自体に含まれる人為的なノイズと物理的に本質的な電流ノイズとの区別も重要である。この点は、上述の現実の系での電子との対応と関連づけて、5章で詳しく議論する。

本研究で評価の中心となる物性の一つは電流分散 (variance)  $\langle \Delta I^2 \rangle$  であり、本モンテカルロ計算において以下のように定義される。

$$\begin{aligned} \langle \Delta I^2 \rangle &= \langle (I(t) - \langle I \rangle)^2 \rangle \\ &= \frac{1}{m} \sum_{k=1}^m (I(k\Delta t) - \langle I \rangle)^2 \end{aligned} \quad (18)$$

ここで、 $\Delta t$  は、シミュレーションにより電流をサンプリングする時間ステップである。本解析では  $\Delta t = 1$  fsec とした。また、任意の時刻  $t$  における電流  $I(t)$  は、定常状態かつチャネル方向に対して均一メッシュを用いた場合、Ramo-Shockley の定理を用いて評価することができる [15]。

$$I(t) = \frac{q}{L} \sum_{i=1}^N v_i(t) \quad (19)$$

ここで、 $q, L, N, v_i(t)$  はそれぞれ電子の電荷、電流評価を行う領域のチャネル方向の長さ、この領域に含まれる電子数、チャネル方向の電子速度を表わす。電流をサンプリングする時間間隔  $2T$  は、バイアス条件によって異なるが、大体 20 ps から 50 ps 程度とした。

電流のスペクトル密度  $S_I(f)$  は、電流の時系列から式 (8) と式 (10) より求めることができる。電流のサンプリングする時間ステップ  $\Delta t$  と時間間隔  $2T$  によって、電流スペクトル密



度  $S_I(f)$  の求め得る周波数領域が確定する。即ち、最小および最大周波数はそれぞれ

$$f_{min} = \frac{1}{2T} \quad \text{and} \quad f_{max} = \frac{1}{2\Delta t} \quad (20)$$

で与えられる。例えば、 $\Delta t = 1 \text{ fs}$  および  $2T = 50 \text{ ps}$  とすれば、 $f_{min} = 20 \text{ GHz}$ 、 $f_{max} = 500 \text{ THz}$  となる。

## 3.2 1次元 *nin* 構造での電流ゆらぎ解析

### 3.2.1 はじめに

電流ゆらぎ（ノイズ）は2次のデバイス特性であることから、電流等の通常の1次のデバイス特性に比べて、シミュレーション手法に非常に鋭敏である。つまり、計算に用いられるコンタクト領域の物理モデルや境界条件等によって、計算結果が微妙に影響される。特に、超粒子を用いてシミュレーションを行うモンテカルロ法では、シミュレーションに用いられる粒子が実際の電子或いは正孔に一対一に対応していないことから、モンテカルロ法そのものの数値解析上の誤差が常に含まれる。従って、物理的に本質的な電流ゆらぎ（ノイズ）と数値解析上のノイズとの分離が不可欠になる。

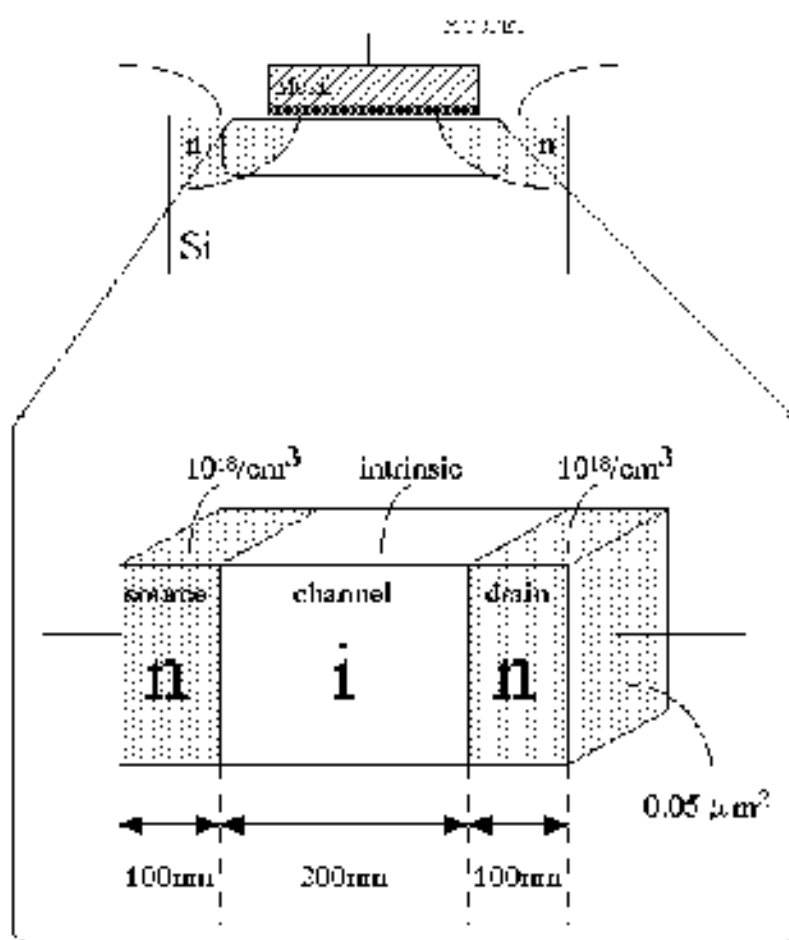


図 13: シミュレーション解析に用いた一次元 Si-*nin* 構造。

そこで、電流ゆらぎシミュレーションの手法依存性（境界条件、コンタクトや自己無撞着性）や電流ゆらぎの基本的物理機構を明確にすることを目的として、図13に示すような一次元 *nin* 構造という単純なデバイス構造を用いて、解析手法についての検討を行った。コンタ

クト近傍の高濃度領域（以降、MOSFETとの類推からソースおよびドレインと呼ぶ）の長さは $0.1\ \mu\text{m}$ とし、それぞれのドナー濃度は $10^{18}\ \text{cm}^3$ とした。チャンネルに相当する *intrinsic* 領域の長さ  $L_{\text{ch}}$  を  $50\ \text{nm}$  から  $400\ \text{nm}$  まで変調することにより、電子の拡散的輸送から準弾道的輸送までカバーできるようにした。シミュレーションに用いた電子数は約1万個程度であることから、一次元 *nin* ダイオードの断面積  $A$  は約 $0.05\ \mu\text{m}^2$ になる。

### 3.2.2 電流ゆらぎの基本的特性

2種類の異なったチャンネル長 ( $L_{\text{ch}} = 50, 200\ \text{nm}$ ) を持つ一次元 Si-*nin* 構造での電流ゆらぎ  $\langle \Delta I^2 \rangle$  の電流依存性を図14に示す。モンテカルロ・シミュレーションはポアソン方程式と結合した自己無撞着法で行なった。また、チャンネルでの輸送形態の推移と電流ゆらぎとの関係を明確にするために、電流および電流ゆらぎ（分散）は（全領域ではなく）チャンネル領域において評価した。また、図14における直線はフル・ショット・ノイズにおける電流依存性を示す。ここでフル・ショット・ノイズとは、すべてのノイズ源がショット・ノイズという意味に使う。

$$\langle \Delta I^2 \rangle \propto 2qI_{\text{ave}} \quad (21)$$

を示す。ここでフル・ショット・ノイズとは、すべてのノイズ源がショット・ノイズという意味に使う。

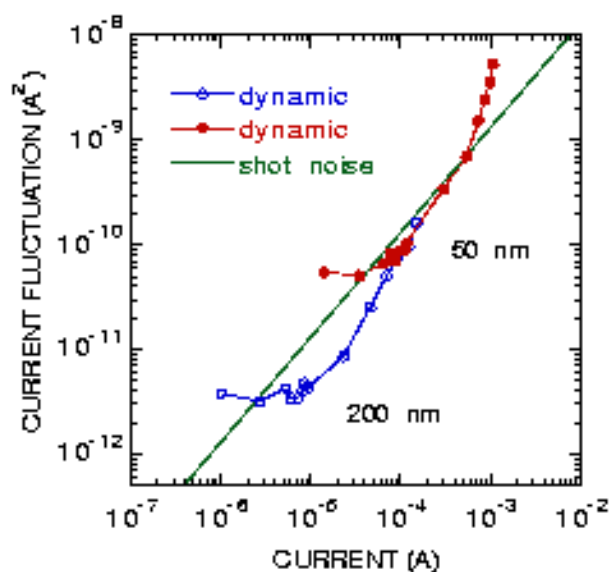


図 14: 一次元 Si-*nin* 構造 ( $L_{\text{ch}} = 50, 200\ \text{nm}$ ) のもとでの電流ゆらぎ  $\langle \Delta I^2 \rangle$  の電流依存性。

線形応答領域にある低電流（バイアス）領域においては、チャンネルの走行電子は局所的に準熱平衡状態にある。その結果、チャンネル領域での電流ゆらぎは、いわゆる拡散的熱ゆらぎ（Johnson noise）が支配的となる。熱ゆらぎは、Nyquistの定理より

$$\langle \Delta I^2 \rangle = \frac{4k_{\text{B}}T}{R_{\text{s}}} \Delta f \quad (22)$$

で表わされるから、図14において、電流に依存しない低電流領域がこの熱ゆらぎに対応する。ここで、 $k_B, T, R_s$  は、それぞれ、ボルツマン定数、(格子)温度、(直列)抵抗を表わす。シミュレーションで求めた電流電圧特性から *nin* ダイオード構造の抵抗  $R_s$  を求めることにより、式(22)から電流ゆらぎ(分散)  $\langle \Delta I^2 \rangle$  を見積もることができる。3種類の異なるチャンネル長 ( $L_{ch} = 50, 200, 400$  nm) を持つ一次元 Si-*nin* 構造に対して、Nyquistの定理から求めた電流ゆらぎ(分散)の理論値とモンテカルロ法より求めたシミュレーション値を表3に示す。表3から明らかなように、両者の一致は非常に良い。

$L(\text{nm})$	$R_s(\Omega)$	theory( $A^2$ )	simulation( $A^2$ )
400	$1.0 \times 10^5$	$6.3 \times 10^{-13}$	$8.8 \times 10^{-13}$
200	$2.3 \times 10^4$	$2.9 \times 10^{-12}$	$3.4 \times 10^{-12}$
50	$1.7 \times 10^3$	$4.0 \times 10^{-11}$	$5.5 \times 10^{-11}$

表 3: Nyquistの定理より見積もられる電流ゆらぎ(分散)の理論値とシミュレーション値との比較。

また、高電流(バイアス)領域においては、チャンネル領域全体にわたる高電界により、チャンネルを走行する電子の散乱頻度が電圧の増加とともに増大する。その結果、電子の分布関数がエネルギー空間で広がり(ホットになり)、電子の熱速度が増大する。結果として、熱ゆらぎが印加バイアスの上昇と共に増幅される。これが、いわゆるホット・キャリア・ノイズと呼ばれるものである。

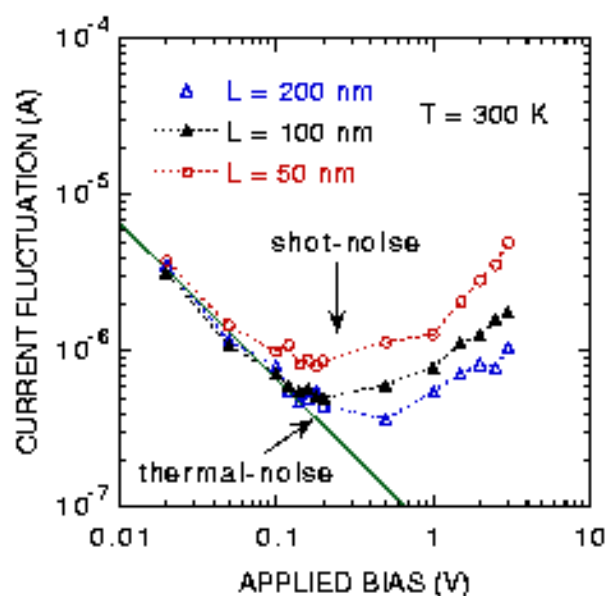


図 15: 一次元 Si-*nin* 構造 ( $L_{ch} = 50, 100, 200$  nm) のもとでの電流ゆらぎ  $\langle \Delta I^2 \rangle / I_{ave}$  の電圧依存性。

以上が電流ゆらぎの一般的傾向であるが、この傾向はチャンネル長の変化に対して、一見、大きな変化が無いように見える。しかし、物理機構は「3.2.6 逆拡散(キックバック)効果」で述べるように大きく異なっている。実際、図14を見ると、チャンネル長の縮小と伴に電流ゆらぎの電流依存性が、フル・ショット・ノイズに漸近するように見える。これは、チャンネルの縮小による電子の輸送形態の変化により、電流ゆらぎの物理機構がなんらかの推移をしていることを示唆する。図15に、電流で割った電流ゆらぎ(Fanoファクター)  $\langle \Delta I^2 \rangle / I_{\text{ave}}$  の電圧依存性を示す。いずれのチャンネル長 ( $L_{\text{ch}} = 200, 100, 50 \text{ nm}$ ) においても、低バイアス領域では熱ゆらぎの傾向 ( $\propto 1/V$ )、また、高バイアス領域ではホット・キャリア・ノイズの傾向(バイアスと伴に単調増加)を示す。一方、式(21)から明らかなように、オーミック領域では、 $\langle \Delta I^2 \rangle / I_{\text{ave}}$  のショット・ノイズは電圧に依存しない。 $L_{\text{ch}} = 50 \text{ nm}$  の極微細ダイオードは、中バイアス領域でこのショット・ノイズの傾向に漸近している。

### 3.2.3 境界条件の電流ゆらぎへの影響

モンテカルロ・シミュレーションには、通常、周期的境界条件とオーミック接触境界条件の二種類が使われる。周期的境界条件では、一方のコンタクトから流れ出した電子を他方のコンタクトに注入し、全電子数が一定の状態ではシミュレーションを行う。コンタクト近傍では、殆どの電子は熱平衡状態にあると考えられることから、注入される電子は熱平衡状態を仮定する。また、オーミック接触境界条件では、コンタクト近傍のある領域に含まれる電子数が常に一定(熱平衡状態のときの電子数)に保つようにシミュレーションを行う。電子数は常にコンタクト近傍でのみ監視されるから、デバイス内に含まれる全電子数はシミュレーション中において変動する。この変動が正確であるためには、デバイス内でのポテンシャル(或いは電界)が常にup-dateされる必要がある。従って、自己無撞着シミュレーションでは、常に、オーミック接触境界条件を用いる必要がある。一般には、バルクのように境界の影響が少ない場合は周期的境界条件を、デバイスのような境界との接触が本質的な場合にはオーミック接触境界条件を用いることが多い。

そこで、この2種類の境界条件のもとでシミュレーションを実行し、その影響を調べた。尚、本セクションでは固定ポテンシャルのもとでシミュレーションを行った。図16は、 $L_{\text{ch}} = 50, 200 \text{ nm}$  の Si-nin 構造における異なる境界条件のもとでの電流ゆらぎ  $\langle \Delta I^2 \rangle / I_{\text{ave}}$  の電圧依存性を示す。周期的境界条件の結果は open symbol で、オーミック接触境界条件の結果は closed symbols で表わす。図16から、低バイアス領域での準熱平衡状態にある熱ゆらぎと、高バイアス領域でのホット・キャリア・ノイズといったダイオード構造特有の電流ゆらぎの基本的特性は、ほぼ不変であると言える。また定量的にも両者の境界条件のもとでの結果に大きな差はみられない。

これらの結果は以下のように解釈される。本セクションの電流ゆらぎシミュレーション評価はチャンネル領域のみで行っていることから、境界条件の影響は、高ドープ領域での電子輸送がチャンネルでの電子相関に如何に影響を与えるかによって表わされる。境界条件に依存しない上述の結果は、弾道輸送が顕著になる極微細構造においても、チャンネル内での電子相関に境界条件が影響を与えていないことを意味する。これは、個々の電子間の相関は、フォノン散乱により数 ps のオーダーで消失するために、コンタクトから  $0.1 \mu\text{m}$  程度離れているチャンネル端に到達するまでに、電子は散乱により境界の記憶を無くすためである。ドレイン

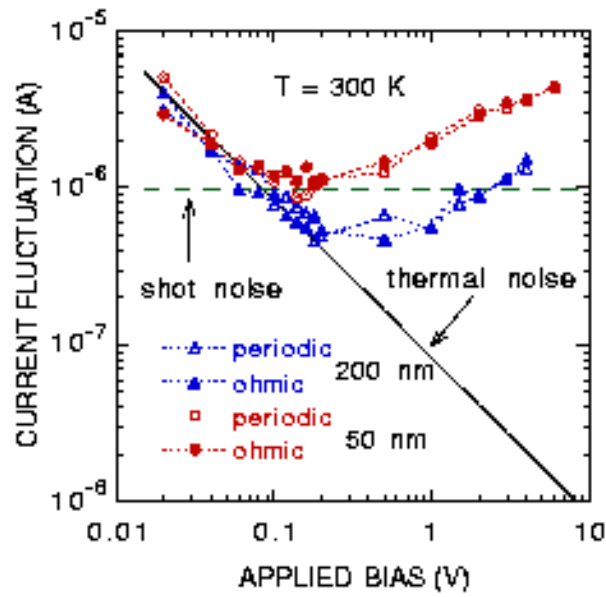


図 16: Si-nin 構造 ( $L_{ch} = 50, 200$  nm) において、異なる境界条件のもとでの電流ゆらぎ  $\langle \Delta I^2 \rangle / I_{ave}$  の電圧依存性。周期的境界条件の結果は open symbol で、オーミック接触境界条件の結果は closed symbols で表わす。

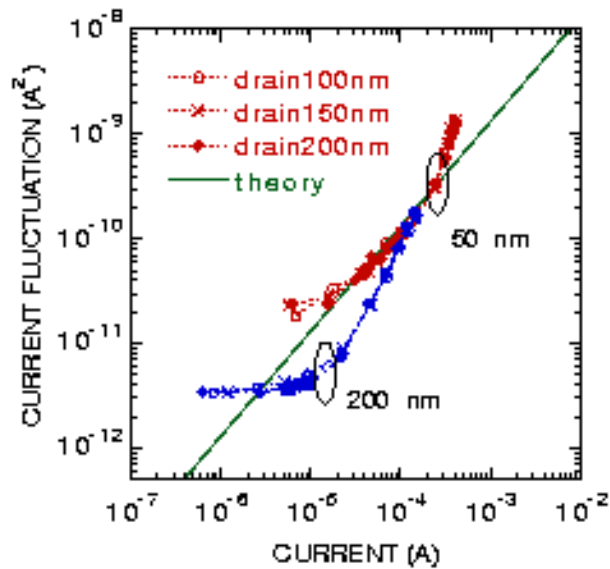


図 17: Si-nin 構造 ( $L_{ch} = 50, 200$  nm) において、ドレイン (アノード) 領域の長さを  $L_d = 100, 150, 200$  nm にしたときの電流ゆらぎ  $\langle \Delta I^2 \rangle$  の電流依存性。自己無撞着かつオーミック接触境界条件を用いた。

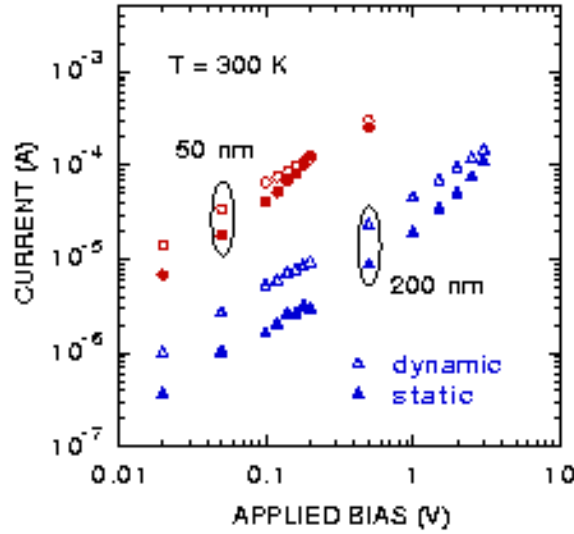


図 18: Si-nin 構造 ( $L_{\text{ch}} = 50, 200 \text{ nm}$ ) において、固定ポテンシャル (static) および自己無撞着 (dynamic) シミュレーションにより求めた電流電圧特性。

(アノード) 領域の長さを  $L_d = 100, 150, 200 \text{ nm}$  にしたときの電流ゆらぎ  $\langle \Delta I^2 \rangle$  の電流依存性を図 17 に示す。電流ゆらぎに対するコンタクトの影響が殆ど見られないことが良くわかる。尚、自己無撞着かつオーミック接触境界条件をシミュレーションでは用いた。

さらに、電流時間相関関数  $\Delta I(0)\Delta I(t)$  の平均は、時間について行われるが、定常状態においては、チャンネル領域での電子の (定常) 分布関数によって行われるものと等価になる。チャンネル領域での電子分布関数は、低バイアス領域ではほぼ熱平衡状態のそれと変わらないが、高バイアス領域では、チャンネルのほぼ全域にわたってホットになり、熱平衡分布関数と大きく異なっている。しかし、いずれのバイアス条件のもとでも、チャンネルでのこれらの電子分布関数の形状は境界条件に大きく依存しない。従って、境界条件に関係なく、チャンネルでの電子輸送が電流ゆらぎを支配的に確定していると考えられる。また、チャンネル領域での定性的な電流ゆらぎシミュレーション解析には、いずれの境界条件も有効であると言える。

### 3.2.4 自己無撞着電流ゆらぎ解析 (長距離電子間相互作用)

ドリフト拡散法で求めたポテンシャル形状を固定したシミュレーションでは、個々の電子の相関は全く存在しない。つまり、個々の電子は全く独立に運動を続けるために、電流の時間相関関数  $\langle \Delta I(0)\Delta I(t) \rangle$  は単独の電子に対する時間相関関数を平均化したものに等しくなる。

$$\langle \Delta I(0)\Delta I(t) \rangle = \left(\frac{q}{L}\right)^2 \sum_{i,j=1}^{N(t)} \langle v_{iz}(0)v_{jz}(t) \rangle = \left(\frac{q}{L}\right)^2 \sum_{i=1}^{N(t)} \langle v_{iz}(0)v_{iz}(t) \rangle \quad (23)$$

一方、電子濃度が高いソースやドレインの高濃度領域においては、電子間の長距離相互作用が存在する。これは電子間のクーロン相互作用の長距離力によるものであり、高濃度領域に電子の集団運動 (プラズマ振動) を励起する (短距離力による電子電子散乱は、通常の

フォノン散乱と同様にそれぞれの電子の相関を消失させる役割を果たし、電流ゆらぎにはフォノン散乱と本質的には相違ない。その結果、ソースやドレインの高濃度領域においてはポテンシャルの振動が生じ、チャンネル両端での電位がゆらく。つまり変位電流が生じる。固定ポテンシャル (static) および自己無撞着 (dynamic) シミュレーションにより求めた電流電圧特性を図 18 に示す。両者の差が変位電流と考えられる。従って、電子間相互作用を考慮した自己無撞着シミュレーションでは、上述のチャンネルでのポテンシャルを固定したもとの電流ゆらぎに、ポテンシャルゆらぎに伴う変位電流の電流ゆらぎが加わる。固定ポテンシャル (static) および自己無撞着 (dynamic) シミュレーションにより求めた電流ゆらぎ  $\langle \Delta I^2 \rangle$  の電流特性を図 19 (a) に、電流ゆらぎ  $\langle \Delta I^2 \rangle / I_{\text{ave}}$  の電圧特性を図 19 (b) に示す。チャンネル領域での電流ゆらぎの大きさは、変位電流に伴い、低バイアス領域で固定ポテンシャルの場合に比べて若干大きくなる。しかしながら、図 19 (b) から明らかなように、電流ゆらぎの電圧依存性といった基本的傾向 (基本的物理機構) は、自己無撞着性を無視した固定ポテンシャルのもとのシミュレーション結果と大きな差はみられない。

### 3.2.5 MC 高速化手法の電流ゆらぎへの影響

モンテカルロ法の最近の大きな進展は、計算機の性能の向上もさることながら、いくつかの高速化手法の進展によるところが大きい。最も広く応用されている高速化手法が統計的重率 (statistical weight) を用いた方法である。基本的アイデアは

シミュレーションに用いられる超粒子の重率 (ウェイト) を電子の存在する位置や電子エネルギーによって変化させる

というものである。尚、通常のモンテカルロ・シミュレーションで用いられる電子は、実際の系の電子数十個に対応することから、シミュレーション上の粒子は超粒子と呼ばれる。具体的には、電子濃度が非常に小さいデバイス基板の深い領域にある電子のウェイトを下げたり、またソースやドレインの高濃度領域でのウェイトを大きくしたりする。エネルギー空間においては、高エネルギー状態に多くの電子を存在させるために電子のウェイトを下げる。例えば、あるエネルギー領域 (例えば、1 eV) に電子が入った時、その電子を全く同じ状態で  $1/w$  倍に増幅させる。ここで、 $w$  はそのエネルギー領域での電子のウェイトを表わす。また、ウェイトが  $w$  の電子がそのエネルギー領域よりも低エネルギーになった場合は、 $1 - w$  の確率で消滅させる。統計的重率 (statistical weight) を用いた場合の Si-nin 構造 ( $L_{\text{ch}} = 50$  nm) での電子の空間分布を図 20 に示す。ここでは、エネルギー領域としては 0.5, 1, 1.5 eV を用いた。統計的重率を用いることにより、なかなか存在し得ないエネルギー領域まで電子を分布させることが容易にできることがわかる。従って、電子濃度に関係無く、ほぼ均一に近い割合でデバイス内部に超粒子を分布させることができ、デバイス内部のポテンシャル計算の精度を向上させることができる。

そこで、モンテカルロ・シミュレーションにおける統計的重率をいろいろと変化させることによって、特性ゆらぎ (電流ゆらぎ) の評価を行った。この統計的重率を用いた高速化手法により、デバイスの一次特性は非常に高精度に求めることができる。統計的重率を用いて求めた  $L_{\text{ch}} = 200, 50$  nm に対する電流電圧特性と電流ゆらぎ  $\langle \Delta I^2 \rangle$  の電圧特性を図 21 に示す。統計的重率を用いることにより、たしかに電流等の一次の物理量は正確に評価される



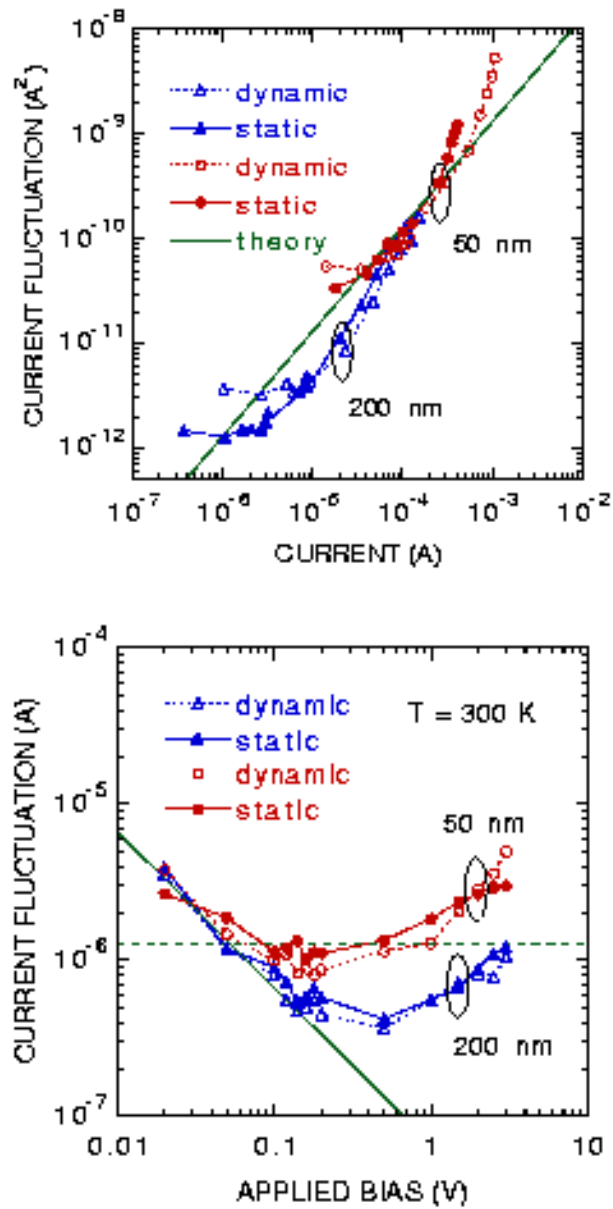


図 19: Si-nin 構造 ( $L_{ch} = 50, 200$  nm) において、固定ポテンシャル (static) および自己無撞着 (dynamic) シミュレーションにより求めた (a) 電流ゆらぎ  $\langle \Delta I^2 \rangle$  の電流特性、および (b) 電流ゆらぎ  $\langle \Delta I^2 \rangle / I_{ave}$  の電圧特性。

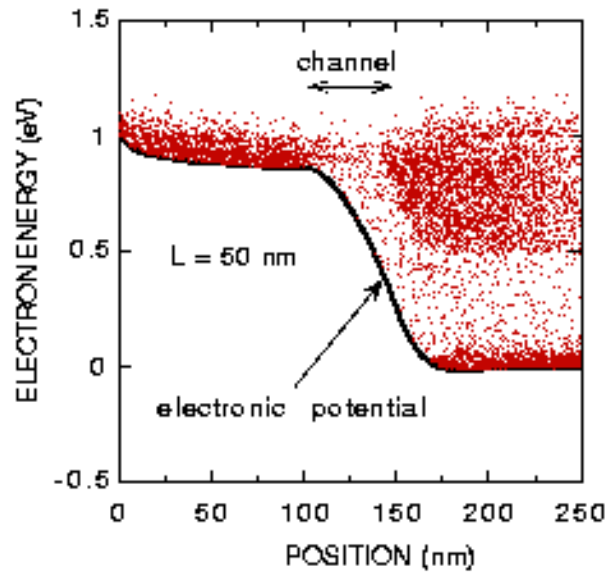


図 20: 統計的重率 (statistical weight) を用いた場合の Si-nin 構造 ( $L_{ch} = 50 \text{ nm}$ ) での電子の空間分布。

が、電流ゆらぎは用いられるウェイトに大きく依存することがわかる。図 22 に電流ゆらぎ  $\langle \Delta I^2 \rangle$  の電流特性を示す。図 21 および図 22 から明らかなように、電流ゆらぎのような 2 次の特性格性量に対しては、各超粒子のウェイトに伴い、モンテカルロ法独自のゆらぎが増幅されてしまい、物理的に正しいゆらぎ特性を評価することが困難になる。従って、高速化手法として有力な統計的重率を電流ゆらぎの評価に単純に応用することはできない。

このような統計的重率に伴うノイズの増大は、以下のように物理的に説明される。モンテカルロ・シミュレーションにおける物理量のゆらぎは、個々の電子の輸送過程における散乱等によるランダム力を反映していることを意味する。つまり、統計的重率を用いた場合は、それぞれの散乱過程に伴うゆらぎが、超粒子のウェイトによって過大評価されてしまうことによる。従って、電流ゆらぎのモンテカルロ法による評価では、2 次元シミュレーションのセクションで詳細に議論するように、シミュレーションに用いられる超粒子が実際の電子一個に相当する条件で実行することが本質的に重要になる。言い替えれば、デバイスの 3 次元の大きさが重要な意味を持つ。本研究での電流ゆらぎの解釈には、幅  $W$  (或いは *nin* 構造における断面積  $A$ ) の大きさに常に留意する必要がある。

### 3.2.6 逆拡散 (キックバック) 効果

チャネル長がサブ  $0.1 \mu\text{m}$  領域に縮小されれば、電子の輸送形態は明らかに変化する。つまり、フォノン散乱等を繰り返しながら走行するいままでの拡散的輸送から、散乱が大幅に抑制された準弾道的輸送への遷移が起こる。しかしながら、電流ゆらぎの基本的傾向、すなわち、バイアスの増加とともに熱ゆらぎからホット・キャリア・ノイズへの遷移は、チャネル長に大きく依存しないように見える。

そこで、チャネル内での電流ゆらぎの物理機構を明確にするために、電流ゆらぎの成分

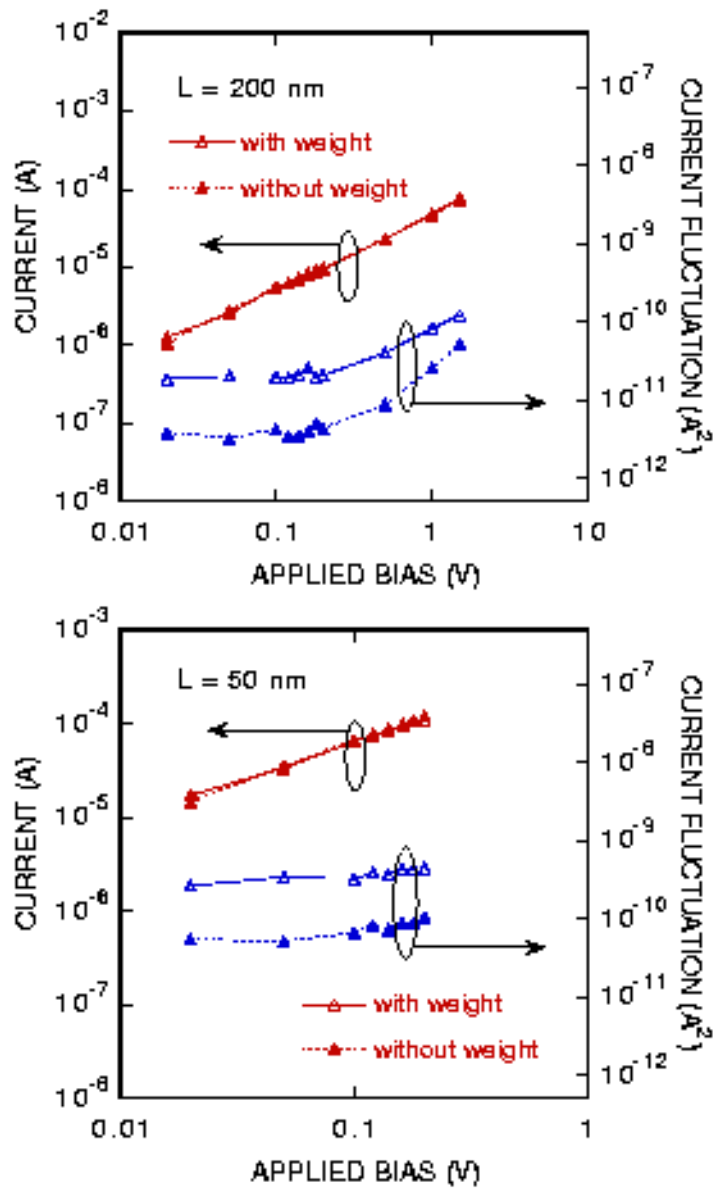


図 21: 統計的重率 (statstical weght) を用いた場合の Si-nin 構造 ( $L_{\text{ch}} = 200, 50 \text{ nm}$ ) での電流電圧特性と電流ゆらぎ  $\langle \Delta I^2 \rangle$  の電圧特性。

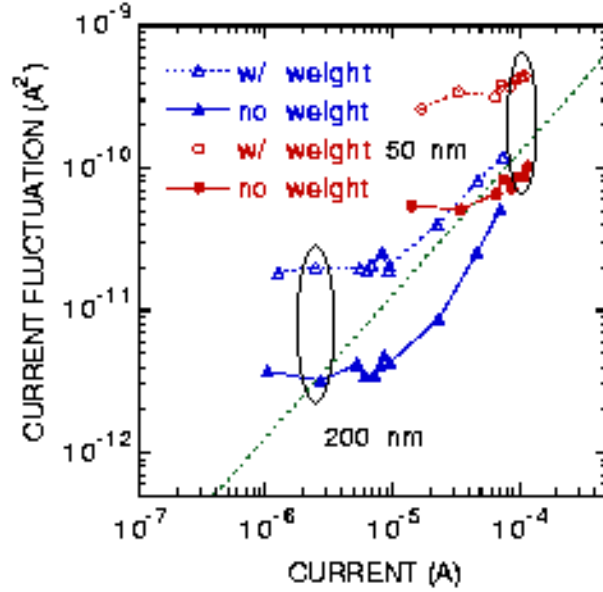


図 22: 統計的重率 (statstical weght) を用いた場合の Si-nin 構造 ( $L_{ch} = 200, 50 \text{ nm}$ ) での電流ゆらぎ  $\langle \Delta I^2 \rangle$  の電流特性。

を熱ゆらぎモードとショット・ノイズ・モードに分離することを試みた。ここで、熱ゆらぎモードおよびショット・ノイズ・モードは、それぞれ電子の平均ドリフト速度の分散とチャネル内での全電子数の分散に比例する電流ゆらぎ成分と定義する。Ramo-Shockley の定理を用いれば、任意の時刻  $t$  における電流  $I(t)$  は

$$I(t) = \frac{q}{L} \sum_{i=1}^{N(t)} v_i(t) = \frac{q}{L} N(t) v_d(t) \quad (24)$$

と表わされるから、電流ゆらぎ  $\langle \Delta I^2 \rangle$  は以下のように書ける。

$$\langle \Delta I^2 \rangle \approx \frac{q^2 \langle \delta N^2 \rangle}{L^2} v_d^2 + \frac{(qN)^2}{L^2} \langle \delta v_d \rangle^2 \quad (25)$$

ここで、 $\langle \delta v_d \rangle = \langle v_d(t) - v_d \rangle$  ( $v_d(t)$  はチャネル内電子の時刻  $t$  におけるドリフト速度) であり、平均は時間に関して取る。第 1 項がショット・ノイズ・モード、第 2 項が熱ゆらぎモードである。また、式 (25) における両者のクロス項は無視した。

いくつかのチャネル長のもとでシミュレーション解析をしたところ、チャネル長の縮小に伴い、熱ゆらぎモードに対するショット・ノイズ・モードの相対的大きさが大幅に上昇することを見出した。Si-nin 構造 ( $L_{ch} = 200, 50 \text{ nm}$ ) での電流ゆらぎ  $\langle \Delta I^2 \rangle$  におけるショット・ノイズ・モードおよび熱ゆらぎモードの電圧依存性を図 23 に示す。電圧に比例する依存性はショット・ノイズ・モードを表わし、低バイアス領域で電圧にほぼ依存しないモードは熱ゆらぎモードを表わす。また、熱ゆらぎモードにおいて電圧に依存する高バイアス領域のノイズは、ホット・キャリア・ノイズを示す。

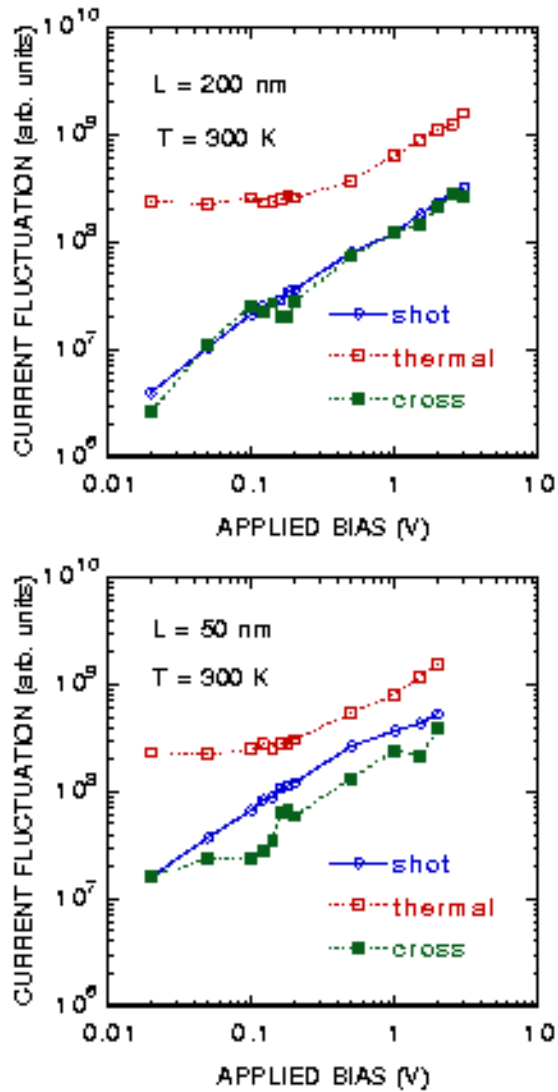


図 23: Si-nin 構造 ( $L_{\text{ch}} = 200, 50 \text{ nm}$ ) での電流ゆらぎ  $\langle \Delta I^2 \rangle$  におけるショット・ノイズ・モードおよび熱ゆらぎモードの電圧依存性。電圧に比例する依存性はショット・ノイズ・モードを表わし、低バイアス領域で電圧にほぼ依存しないモードは熱ゆらぎモードを表わす。

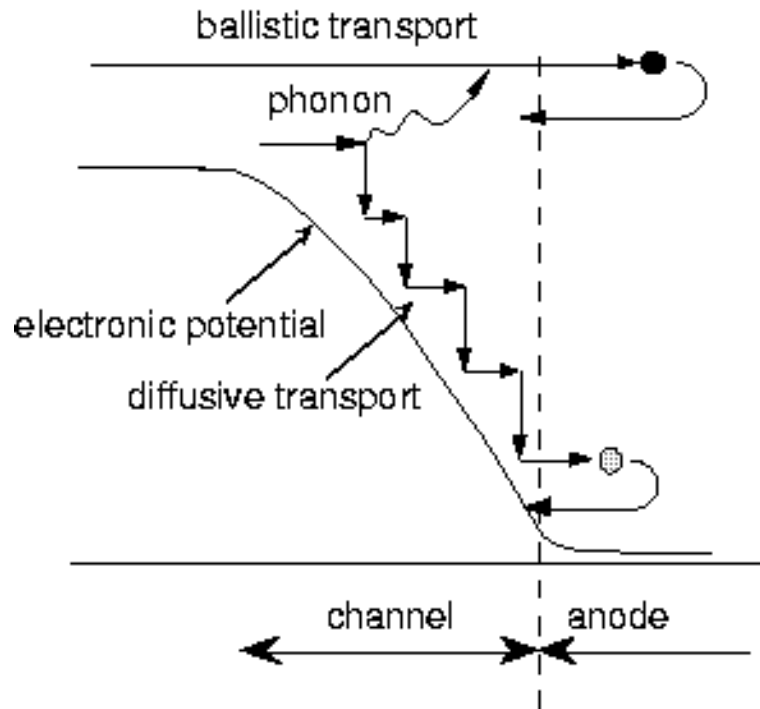


図 24: サブ $0.1\mu\text{m}$  級デバイス構造での高濃度領域からの電子の逆拡散 (キックバック) 過程。

ショット・ノイズ・モードの相対的大きさの増大は、チャンネル長がサブ $0.1\mu\text{m}$ で生じる準弾道輸送に深く関係しており、以下のように解釈される [13, 14]。サブ $0.1\mu\text{m}$ 領域においては、チャンネルを走行する際、かなりの割合の電子がほぼ無散乱に弾道的に走行する<sup>14</sup>。その結果、ドレインに入射した電子は、高エネルギー状態でドレイン領域に注入される。この高エネルギー電子は、通常、電子電子散乱やフォノン散乱等により、ドレイン領域で熱平衡状態に緩和していく。しかし、この緩和の過程において、電子は散乱を受けるたびにその運動方向がランダムに変化する。一方、このような電子は十分なエネルギーを保持しているため、後方散乱を受ければチャンネルの深いところ (ソース近傍) まで戻ることができる。つまり、弾道電子がドレインでの散乱によりキックバックされる。図 24 にドレインからのキックバック (逆拡散) 過程を示す。これが、サブ $0.1\mu\text{m}$  デバイス構造でのショット・ノイズ・モードの増大の大きな要因と考えられる。

上述のシナリオを検証するためにつぎのようなシミュレーションを行った。

デバイス構造等は同じ状態に保ちつつモンテカルロ・シミュレーションを行う。ただし、チャンネルからドレインに高エネルギー状態 (本シミュレーションでは、このときのしきい値エネルギーを  $0.1\text{ eV}$  とした) で注入された電子に対しては、強制的に熱平衡状態にする。この操作を行うことにより、ドレインからのキックバックが大幅に抑制される。このときのシミュレーション結果を図 25 に示す。ここで、通常シミュレーション結果は hot、ドレインを準熱平衡状態に保持してキックバック効果を抑制した結果を cold として表わす。チャンネル

<sup>14</sup>電子の散乱頻度は大体  $10^{13}$  程度であるから、散乱間の自由走行距離は数  $10\text{nm}$  以上になる。

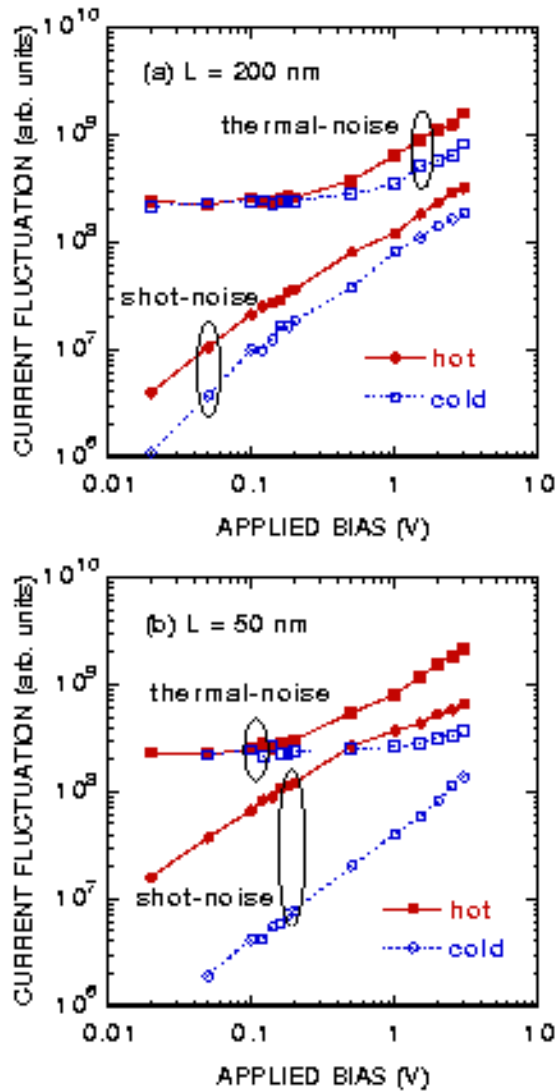


図 25: Si-nin 構造 ( $L_{\text{ch}} = 200, 50 \text{ nm}$ ) での電流ゆらぎ  $\langle \Delta I^2 \rangle$  におけるショット・ノイズ・モードおよび熱ゆらぎモードの電圧依存性。通常のシミュレーション結果は hot、ドレインを準熱平衡状態に保持してキックバック効果を抑制した結果を cold として表わす。

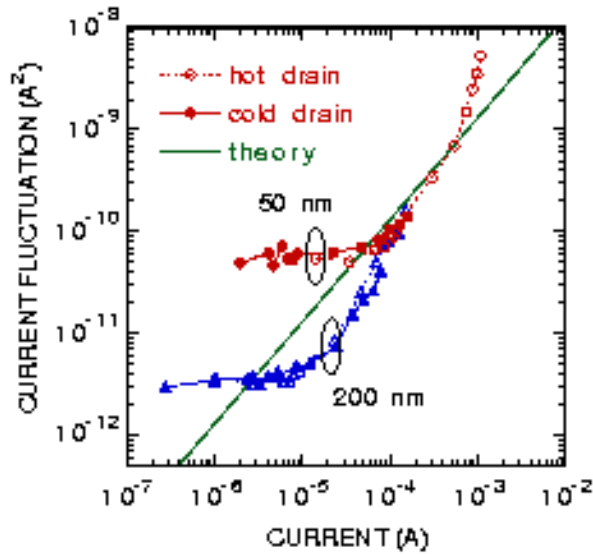


図 26: Si-nin 構造 ( $L_{ch} = 200, 50 \text{ nm}$ ) において、通常の (hot) シミュレーションおよびキックバック効果を抑制した (cold) シミュレーションにより求めた電流ゆらぎ  $\langle \Delta I^2 \rangle$  の電流依存性。

長がサブミクロン領域にある場合は、ショット・ノイズ・モードおよび熱ゆらぎモードのいずれに対しても、通常の (hot な) シミュレーション結果と大きな差は生じない。一方、サブ  $0.1 \mu\text{m}$  領域においては、ショット・ノイズ・モードの大幅な減少が確認できる。つまり、ショット・ノイズ・モードでは、ドレインからのキックバックによる逆拡散が支配的であることを意味する。このキックバック (逆拡散) が可能であるためには、電子がチャネルにおけるポテンシャル勾配に逆らって走行し得ることが必要であり、かなりの高エネルギー状態にある必要がある。つまり、キックバック (逆拡散) 効果は、サブ  $0.1 \mu\text{m}$  デバイス構造特有の効果であると言える。

図 26 には、通常の (hot) シミュレーションおよびキックバック効果を抑制した (cold) シミュレーションにより求めた電流ゆらぎ  $\langle \Delta I^2 \rangle$  の電圧依存性を示す。 $L_{ch} = 200 \text{ nm}$  に対するシミュレーション結果は、いずれのシミュレーションにおいても大きな差は無い。一方、 $L_{ch} = 50 \text{ nm}$  においては、高バイアスでのホット・キャリア・ノイズの領域が大幅に抑制される。これは、このような極微細デバイス構造におけるホット・キャリア・ノイズの物理機構が、サブミクロン・デバイスのものと異なることを示す。つまり、 $L_{ch} = 50 \text{ nm}$  でのホット・キャリア・ノイズも、主にキックバック効果によるものであり、サブミクロン級デバイスの場合のようにチャネル内での高電界によるホット化によるノイズではないことを意味する。

電流ゆらぎとは直接関係はないが、この逆拡散は、極微細構造での電流駆動能力の低下と関係がある可能性がある。つまり、速度オーバーシュートが顕著になるドレイン近傍領域で、キックバック過程は電子の分布関数のホット化につながる。これは、電子のランダムな方向を向く熱速度の増大を意味する。従って、ドレイン近傍での電子のドリフト速度の低下を導く。これは、サブ  $0.1 \mu\text{m}$  デバイスでの速度飽和を導き、電流駆動能力の低下につながる



る。しかしながら、実際のSi-MOSFET構造においては、ドレイン近傍でのポテンシャルの複雑な2次元構造から、後方散乱によってチャンネルに戻り得る立体角 $\Omega$ が狭まる。上述の1次元ダイオード構造では、 $\Omega \approx 2\pi$ であるが、Si-MOSFET構造ではこれよりもかなり小さくなる。従って、実効チャンネル長がサブ $0.1 \mu\text{m}$ 領域のSi-MOSFETでは、キックバック効果はかなり抑制されるのかも知れない。一方で、この立体角が大きいMESFET構造等においては、キックバックの効果が大きく、電流駆動能力の低下につながる可能性も高い。

### 3.2.7 本章のまとめ

1次元 *nin* 構造という単純なデバイス構造を用いることにより、電流ゆらぎシミュレーションの手法依存性(コンタクトや自己無撞着性)や電流ゆらぎの基本的物理機構を明確にすることを目的として検討を行った。

シミュレーションに用いられる境界条件の電流ゆらぎの基本的特性への影響は、弾道輸送が顕著になるサブ $0.1 \mu\text{m}$ 領域の極微細構造においても小さいことを確認した。これは、個々の電子間の相関はフォノン散乱により数psのオーダーで消失するために、コンタクトから $0.1 \mu\text{m}$ 程度離れているチャンネル端に到達するまでに、電子は散乱により境界の記憶を無くすためと考えられる。

また長距離電子間相互作用を考慮した自己無撞着シミュレーションでは、プラズマ振動に伴うポテンシャルゆらぎによる変位電流のゆらぎが加わることを見出した。従って、定量的解析には自己無撞着シミュレーションが不可欠になる。しかしながら、電流ゆらぎの電流および電圧依存性といった基本的傾向は、固定ポテンシャルでのシミュレーション結果と自己無撞着シミュレーションでは大きな差がなく、電流ゆらぎの基本的な物理機構は不変であると言える。

次に、モンテカルロ・シミュレーションにおける統計的重率をいろいろと変化させることによって、電流ゆらぎの評価を行った。その結果、電流等の一次の物理量は確かに正確に評価されるが、電流ゆらぎは用いられるウェイトに大きく依存することを見出した。これは、モンテカルロ・シミュレーションにおける物理量のゆらぎは、個々の電子の輸送過程における散乱等によるランダム力を反映していることによる。つまり統計的重率を用いた場合は、それぞれの散乱過程に伴うゆらぎが、超粒子の統計的重率によって過大評価される。

そして、サブ $0.1 \mu\text{m}$ 領域における電流ゆらぎの物理機構について検討した。その結果、サブ $0.1 \mu\text{m}$ デバイス構造特有の準弾道輸送に伴い、高ドープ領域からの逆拡散(キックバック)効果を見出し、これが新たな電流ゆらぎモードとして顕在化する可能性を見出した。さらに、サブミクロン級デバイスの場合と異なり、ホット・キャリア・ノイズもこの逆拡散(キックバック)効果が支配的要因であることを見出した。また、逆拡散が極微細構造での極微細FET素子での駆動電流能力の低下につながる可能性を指摘した。

### 3.3 2次元Si-MOSFET構造での電流ゆらぎ

#### 3.3.1 はじめに

前セクションでのSi-nin構造における知見をふまえたうえで、現実的なSi-MOSFET構造のもとで、時間的電流ゆらぎ（ノイズ）を物理的観点から検討を行った。

シミュレーションに用いたデバイス構造は、ゲート長が約40 nmと300 nmのSi-MOSFET構造である。シミュレーション方法は、ドリフト拡散法によりデバイス内部でのポテンシャルおよびキャリア濃度を確定し、その形状のもとで、電子輸送のシミュレーションをモンテカルロ法を用いて行った。本シミュレーションに用いたデバイス構造の概念図を図27に示す。また、本セクションのシミュレーションに用いたデバイスの構造パラメータは、セ

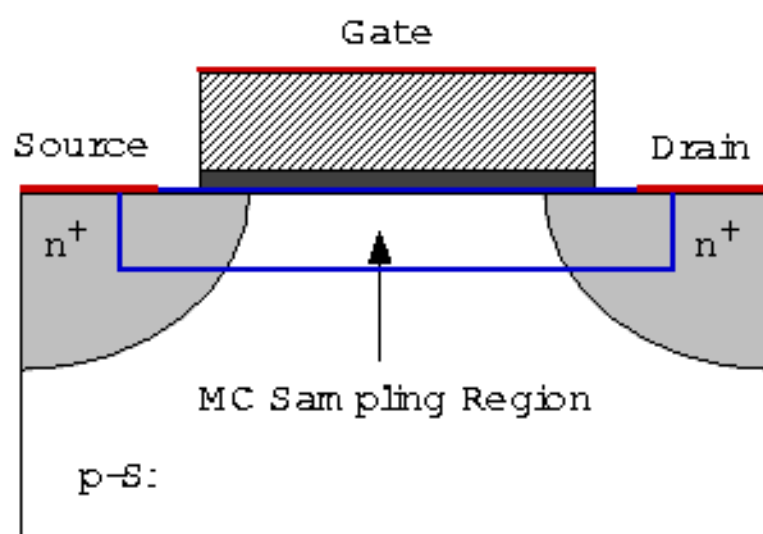


図 27: モンテカルロ法およびドリフト拡散法によるシミュレーション解析に用いたSi-MOSFET構造の概念図。

クション3.1の表1に示してあるものと同じである。電流の時系列および電流ゆらぎ（分散）

channel length (nm)	300	40
oxide thickness (nm)	10	3.5
substrate impurity ( $\text{cm}^{-3}$ )	$7 \times 10^{17}$	$2 \times 10^{18}$
junction depth (nm)	80	10

表 4: モンテカルロ・シミュレーションに用いた2次元MOSFETデバイス構造パラメータ

は、デバイス全域およびゲート直下のチャネル領域の2通りについて評価を行った。これは、後述するように、本シミュレーションで評価する電流ノイズが物理的に本質的なものか、あるいは人為的な数値計算上のノイズであるのか、を見極めるうえでも重要な役割を果たす。モンテカルロ・シミュレーションに用いた電子数は、デバイス幅  $W$  によって異なるが、本

研究では1万から10万個程度である。また、これらの電流ゆらぎ評価は飽和領域におけるドレイン電流を中心に検討を行った。線形領域における電流ゆらぎは、シミュレーションの収束にかなりの計算時間を要することから、今回は研究対象として除外している。

本セクションでは以下のような検討を行う。

まず、サブミクロン領域 ( $L = 300 \text{ nm}$ ) のMOSFET構造のもとで、デバイス幅  $W$  を縮小することにより相対的な電流ゆらぎ (ノイズ) の強度がどのように顕在化するかを調べた。ここで、サブ  $0.1 \mu\text{m}$  領域のデバイス構造のもとでは、準弾道輸送に伴う別の電流ゆらぎ機構が混入してくることから、サブミクロン級デバイスを解析に用いた。さらに、本シミュレーションにより得られる電流ゆらぎ (ノイズ) は物理的に本質的なものであり、人為的な数値計算上のノイズではないことを明らかにした。また、電流ゆらぎの顕在化の意味を明確にするために、電流ゆらぎと中心極限定理との関係について検討した。そして、実効チャネル長が  $40 \text{ nm}$  および  $300 \text{ nm}$  MOSFET 構造のもとでの電流ゆらぎ (ノイズ) の周波数特性を検討した。いずれの場合においても、予想通り、低周波数領域でほぼ白色のローレンツ型電流スペクトル密度を得た。また、このときの電子の緩和時間  $\tau$  は、 $40 \text{ nm}$  および  $300 \text{ nm}$  MOSFET 構造において、大きく異なることを見出した。これは、それぞれのデバイス構造における電子輸送の形態を表しており、 $40 \text{ nm}$  MOSFET での準弾道輸送の間接的検証でもある。そして、局所的な電流分散密度という量を新たに導入することにより、電流ゆらぎの物理機構について検討した。その結果、電流ゆらぎの主要因は、ソースおよびドレインの高ドープ領域での準平衡状態にある熱ゆらぎであることを見出した。

### 3.3.2 時間的電流ゆらぎの基本的傾向 (電圧特性)

標準的 Si-MOSFET 構造のもとでの時間的電流ゆらぎ (分散)  $\langle \delta I^2 \rangle$  の基本的傾向について、モンテカルロ・シミュレーション結果をもとに検討した。シミュレーション手法は、前セクションの  $n_{in}$  構造でのシミュレーションと殆ど同様である。ただし、本シミュレーションではポアソン方程式の結合をはずし、自己無撞着計算は行なっていない。これは、電流ゆらぎの空間的な寄与 (分布) を明確にするために、変位電流に伴うポテンシャルの変動の影響を除くためである。 $n_{in}$  構造での解析結果から明らかのように、電流ゆらぎの定性的傾向を検討するうえでは、自己無撞着性は無視し得る。また、シミュレーションに用いたデバイス構造においては、ドレインおよびソースのコンタクト領域を MOSFET の側面に取った。これは、電流評価として効率の良い Ramo-Shockley の定理を用いて、デバイス全域にわたって電流の評価を可能にするためである。また、電流ゆらぎに対するデバイス内での空間的寄与 (即ち、デバイス構造内でのどの領域が電流ゆらぎに対して最も支配的であるか) を明確にするために、電流評価を行う領域は全デバイス領域において行った。

2 種類の Si-MOSFET 構造 ( $L_{\text{eff}} = 40, 300 \text{ nm}$ ) における電流ゆらぎ (分散)  $\langle \Delta I^2 \rangle$  のドレイン電圧およびゲート電圧依存性を図 28 および図 29 に示す。ただし、電流ゆらぎ  $\langle \Delta I^2 \rangle$  の評価は全デバイス領域で行った。電流ゆらぎ  $\langle \Delta I^2 \rangle$  のドレイン電圧およびゲート電圧依存性は、ドレイン電流の電圧依存性とほぼ同様の傾向を示す。つまり、飽和領域における電流ゆらぎはドレイン電圧に殆ど依存しないが、ゲート電圧に対してはともに増大する。これらの電圧依存性は、実効チャネル長  $L_{\text{eff}}$  が  $40 \text{ nm}$  および  $300 \text{ nm}$  のいずれの MOSFET においてもほぼ同じである。

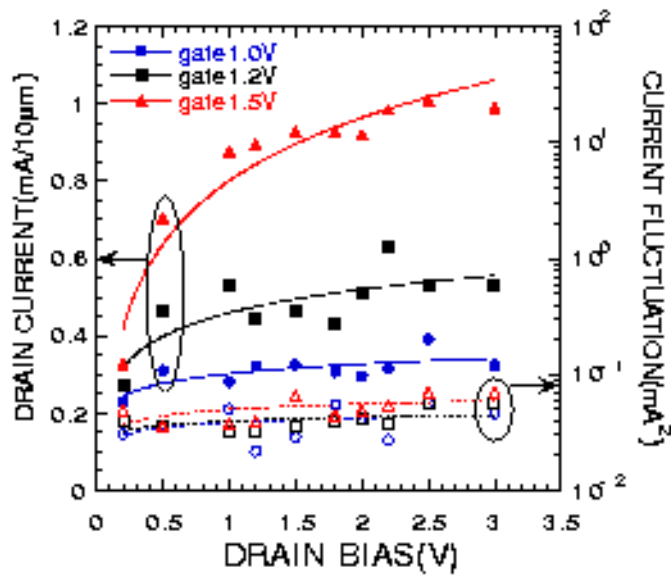


図 28: Si-MOSFE 構造における電流および電流ゆらぎ (分散)  $\langle \delta I^2 \rangle$  のドレイン電圧依存性とゲート電圧依存性。実効チャネル長  $L_{\text{eff}} = 300 \text{ nm}$ 。

電流ゆらぎがドレイン電圧に依存しないことは、*nin* ダイオード構造の傾向と大きく異なる。*nin* 構造では、低バイアス領域の熱ゆらぎからホット・キャリア・ノイズへの移行が低バイアス領域で生じた。しかし、MOSFET 構造では、電流ゆらぎはドレイン電圧に殆ど依存せず、従って、電圧依存性の無い (準平衡) 熱ゆらぎがほぼすべてのドレイン電圧領域で支配的であることを示唆する。この傾向は以下のように解釈される。MOSFET 構造のチャネル領域は、*nin* 構造と異なり、線形 (オーミック) 輸送領域と非線形輸送のピンチオフ領域に明確に分かれる。しかも、通常、ピンチオフ長はチャネル長に比べて充分に小さいから、チャネル領域における電流ゆらぎは、線形 (オーミック) 輸送領域におけるノイズが支配的になると考えられる。この線形輸送領域における電流ゆらぎは、ソース領域の熱平衡状態に近い熱ゆらぎであることから、MOSFET 構造では電流ゆらぎがドレイン電圧に依存しないと考えられる。加えて、電流ゆらぎの評価領域を本シミュレーションではデバイス全域 (ソースおよびドレイン) に広げている。ソースおよびドレイン領域では電子はほぼ熱平衡状態にあることから、ソースおよびドレイン領域では通常の熱ゆらぎが支配的である。これらの要因により、FET 構造では電流ゆらぎがドレイン電圧に依存しない特異な特性を示すものと考えられる [7]。

ゲート電圧依存性についても、上述と同様に、準平衡状態の熱ゆらぎによって解釈される。つまり、準平衡状態の熱ゆらぎは (あまり認識されていないが) ショット・ノイズと同一のノイズ・ソースであることから、電流ゆらぎ  $\langle \Delta I^2 \rangle$  の大きさは、ドレイン電流値に比例する。

$$\langle \Delta I^2 \rangle = 2q I_{\text{ave}} \Delta f \quad (26)$$

従って、電流ゆらぎもゲート電圧の増加と伴に増大する。

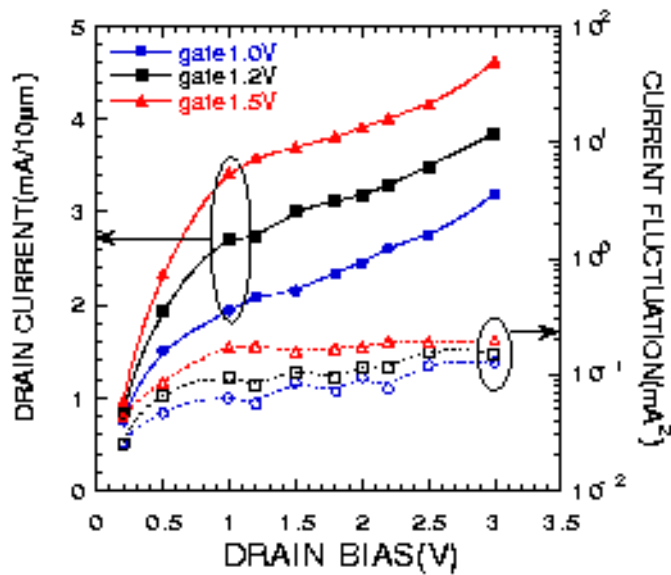


図 29: Si-MOSFE 構造における電流および電流ゆらぎ (分散)  $\langle \Delta I^2 \rangle$  のドレイン電圧依存性とゲート電圧依存性。実効チャネル長  $L_{\text{eff}} = 40 \text{ nm}$ 。

これらの電流ゆらぎの傾向は、3端子のデバイス構造特有のものである。つまり、ゲート電極の存在がピンチオフ領域の存在を可能にし、熱ゆらぎが支配的な電流ゆらぎを生じさせている。従って、MESFET や HFET 等の他の FET デバイスにおいても、同様の電流ゆらぎ特性が期待される。実際、GaAs MESFET 構造に対する最近のモンテカルロ・シミュレーションによれば、電流のスペクトル密度  $S_I(f)$  或いは電流の分散 (variance)  $\langle \Delta I^2 \rangle$  がドレイン電圧に依存しない [35, 37]。しかしながら、後述するようなこれらの物理的要因や電流ゆらぎの空間的起因は、いままで明確ではなかった。

一方で、サブ  $0.1\mu\text{m}$  級の極微細 MOSFET においても、相対的に大きなデバイスと同様の電圧依存性を示すことは一見不思議に思える。このような極微細デバイス構造においては、ピンチオフ長はチャネル長のかなりの部分を占めてしまう。従って、チャネル領域における電流ゆらぎは線形領域の熱ゆらぎに加えて、ピンチオフ領域のホット・キャリア・ノイズの寄与が効いてくるはずである。たしかに、図 29 によれば、 $L_{\text{eff}} = 40 \text{ nm}$  の MOSFET において電流ゆらぎが若干のドレイン電圧依存性を示している。つまり、デバイス・サイズの縮小に伴い、チャネル内でのホット・キャリア・ノイズの寄与が増大している可能性を示唆する。これらの点に関して、さらに詳細に検討を進めるために、電流ゆらぎの空間的寄与 (分布) について次セクションのように検討を進め、物理機構の明確化を図った。

### 3.3.3 電流ゆらぎの FET 構造での特異性

前セクションで見出したように、FET 構造での電流ゆらぎはダイオード構造に比べて特異なドレイン電圧依存性を示す。これは、チャネル内での電子の輸送形態が大きく関わっている。

電子が (バルクにおけるように) チャネル内での高電界により十分にホットになれば、

電子の分布関数はエネルギー空間において大きく広がる。その結果、電子温度は格子温度に比べてかなり高い状態になる。電子温度の上昇は電子の熱速度の増大につながり、従って、ホット・キャリア・ノイズへと導かれる。このような状況では、電子の熱速度の大きさが電界強度に強く依存するために、電流ゆらぎのドレイン電圧依存性が生じる。一方、線形応答（オーミック）領域での電子輸送においては、電子の分布関数の広がりには格子温度程度であり、このときの電子の熱速度は格子温度に対応した程度の大きさである。これは熱平衡状態の熱ゆらぎと殆ど異なる。即ち、電流ゆらぎの大きさは、（準）平衡状態にある電子の熱速度とホットな状態にある電子の（ドリフト速度の増大とともに大きくなる）熱速度との大小関係が深く関わっている。

この状況をより定量的に理解するために、電流ゆらぎのデバイス内部での空間的寄与（分布）について、以下のように検討した。Ramo-Shockley の定理を用いて、任意の時刻における電流の偏差  $\Delta I(t)$  は

$$\Delta I(t) = \frac{q}{L} \sum_{i=1}^{N(t)} \delta v_i(t) \quad (27)$$

と表わされる。いま、デバイス内部での総電子数に変動が無く（生成消滅ノイズを無視している本解析では、この仮定は正しい）、電子間の相関が無い（つまり自己無撞着計算を行わず、集団励起を無視した場合）と仮定すれば、電流ゆらぎ  $\langle \Delta I^2 \rangle$  は、

$$\langle \Delta I^2 \rangle = \left( \frac{q}{L} \right)^2 \left\langle \sum_{i=1}^N \sum_{j=1}^N \delta v_i \delta v_j \right\rangle \approx \left( \frac{q}{L} \right)^2 \left\langle \sum_{i=1}^N \delta v_i^2 \right\rangle \quad (28)$$

となる。ここで、

$$\delta v_i = v_i - \langle v \rangle = v_i - v_d$$

であり、平均は時間に対して取る。また、 $v_d$  は電子のドリフト速度を表わす。通常、 $v_i$  は熱速度の大きさであり、 $T = 300 \text{ K}$  においては、

$$v_i \approx (3kT/m^*)^{1/2} \geq 5 \times 10^7 \text{ (cm/s)}$$

にも及ぶ。即ち、室温において、電子の飽和速度（ $\approx 10^7 \text{ cm/s}$ ）よりもかなり大きい熱速度を平衡状態にある電子は持つ。この事実を認識しておくことは非常に重要である。つまり、通常の熱ゆらぎはこのように大きな熱速度に由来しており、ドリフト速度に伴う速度（電流）ゆらぎは、準平衡状態（或いはオーミック輸送）の場合ほぼ完全に無視できる。従って、このときの電流ゆらぎは平衡状態の熱ゆらぎにほぼ等価になる。

デバイス内部での電流ゆらぎの空間的寄与（分布）を明確にするために、デバイス内部をチャンネル方向に等間隔の  $m$  個のメッシュに切り、式(28)を以下のように変形する。

$$\langle \Delta I^2 \rangle = \left( \frac{q}{L} \right)^2 \sum_{i=1}^m \left( \sum_{m=1}^{N_m} \delta v_m^2 \right) = \left( \frac{q}{L} \right)^2 \sum_{i=1}^m \alpha_{v,i} \quad (29)$$

ここで、電子速度  $\delta v$  に関する和を各メッシュごとの和に変形した。即ち、電流ゆらぎ  $\langle \Delta I^2 \rangle$  に対する各メッシュからの寄与は、電子速度  $\delta v_m^2$  の各メッシュにおける和  $\alpha_{v,i}$  によって表わすことができる。つまり、各メッシュに含まれる電子数  $N_m$  と電子速度の偏差  $\delta v_m^2$  により、電流ゆらぎに対する空間的寄与（分布）が決まる。そこで、ダイオードおよび MOSFET 構造のもとで、電流ゆらぎへの各メッシュからの寄与  $\alpha_{v,i}$  のデバイス内部のチャネル方向の場所の関数として計算した。

Si-nin 構造 ( $L_{\text{eff}} = 200 \text{ nm}$ ,  $V_d = 1, 3 \text{ V}$ ) のもとでの  $\alpha_{v,i}$  の結果を図 30 に示す。チャネル方向における各場所における (a) 電子数  $N_m$  と (b) 電流ゆらぎ  $\langle \Delta I^2 \rangle$  への空間分布（寄与） $\alpha_{v,i}$  を電界分布とともに示す。高電界がほぼチャネル全域に広がっていることから、電子数はチャネル領域でほぼ同程度の大きさを示す。これは、電子のドリフト速度がチャネル全域にわたり大きくなっていることを示す。この状況は、図 30 (b) に良く反映されている。つまり、高バイアス ( $V_d = 3 \text{ V}$ ) のもとでの電流ゆらぎ  $\langle \Delta I^2 \rangle$  への各場所からの空間分布（寄与） $\alpha_{v,i}$  は、ソース端で若干の減少を示すもののその大きさは、チャネルの半分以上の領域でソースおよびドレイン領域での熱ゆらぎに伴う  $\alpha_{v,i}$  と同程度かあるいはそれよりも大きい。言い替えれば、電子がホットになり、電子の熱速度が熱平衡状態のものに比べて増大しているわけである。従って、ダイオード構造においては、印加電圧の増大とともにチャネル領域での電子のホット化が容易に進行し、（準）平衡状態における熱ゆらぎに比べて、ホット・キャリア・ノイズが支配的になることを意味する。

サブミクロン級 ( $L_{\text{eff}} = 300 \text{ nm}$ ) の MOSFET 構造のもとでの同様の結果を図 31 に示す。ソースおよびドレインの高濃度領域に比べて、チャネル内での電子数は大幅に減少する (nin 構造の結果を参照)。またその形状は、チャネル方向での電子ドリフト速度を良く反映している。つまり、狭いピンチオフ領域においてのみ大きなドリフト速度が生じ、それ以外の領域ではオーミックな輸送となる。その結果、電流ゆらぎ  $\langle \Delta I^2 \rangle$  へのチャネル方向の空間分布（寄与） $\alpha_{v,i}$  は、ダイオード構造の結果と大きく異なる。電子数  $N_m$  の減少に伴い、チャネルのほぼ全域にわたって  $\alpha_{v,i}$  はソースおよびドレイン領域での熱ゆらぎのレベルに比べて一桁以上小さくなる。この傾向はドレイン電圧に対して不変である。つまり、ドレイン電圧の増大に伴う高電界化は狭いピンチオフ領域に限定されてしまい、ドレイン電圧に対して  $\langle \Delta I^2 \rangle$  は殆ど変化しない。従って、ダイオード構造でみられた高バイアス下でのチャネル内での熱ゆらぎからホット・キャリア・ノイズへの移行は、MOSFET 構造では生じない。そして、任意のドレイン電圧のもとで、支配的電流ゆらぎ機構は高濃度（ソースおよびドレイン）領域での（平衡）熱ゆらぎであると言える。この状況は、線形なオーミック輸送領域（或いはピンチオフ領域）がチャネル領域に存在することによって実現される。つまり、FET 構造特有の電流ゆらぎ機構と言える。

サブ  $0.1 \mu\text{m}$  級 ( $L_{\text{eff}} = 40 \text{ nm}$ ) の極微細 MOSFET 構造のもとではどのような傾向を示すのであろうか？ 図 32 に、 $L_{\text{eff}} = 40 \text{ nm}$  の Si-MOSFET に対する同様の結果を示す。サブミクロン級 MOSFET の場合に比べて、チャネル領域における電子数の減少が大幅に抑制される（図 31 参照）。これは、良く知られているデバイス・サイズの縮小に伴う電流駆動能力の増大に対応する。その結果、電流ゆらぎ  $\langle \Delta I^2 \rangle$  の空間分布（寄与） $\alpha_{v,i}$  のチャネル方向依存性は、サブミクロン級 MOSFET 構造の結果からダイオード構造の結果のように推移することがわかる。つまり、チャネル領域からの電流ゆらぎへの寄与が増大し、ソース領域におけ

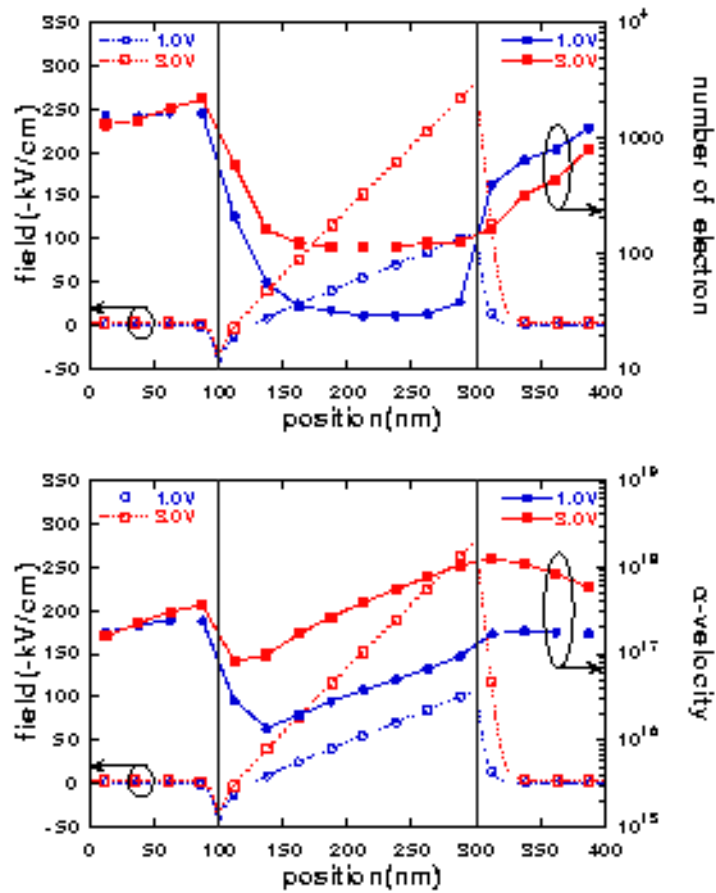


図 30: 一次元Si-nin構造 ( $L_{\text{eff}} = 200 \text{ nm}$ ) のもとでの (a) 電子数のチャネル方向の空間分布と (b) 電流ゆらぎ ( $\langle \Delta I^2 \rangle$ ) へのチャネル方向の空間分布 (寄与)  $\alpha_{v,i}$ 。印加電圧は  $V_d = 1, 3 \text{ V}$  とした。実線は電界分布を示す。



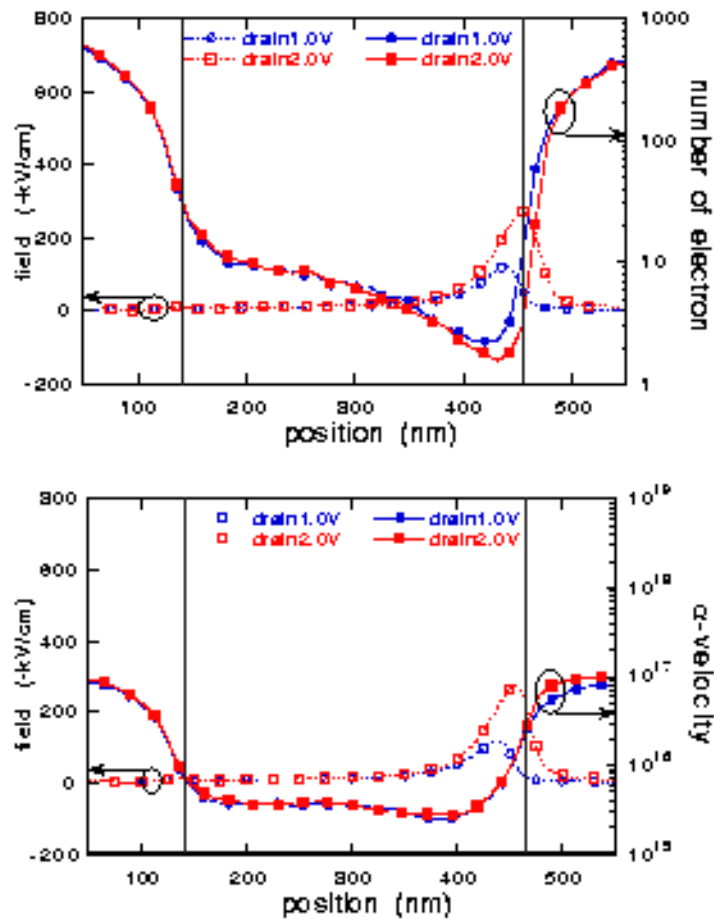


図 31: Si-MOSFET 構造 ( $L_{\text{eff}} = 300 \text{ nm}$ ) のもとでの (a) 電子数のチャネル方向の空間分布と (b) 電流ゆらぎ  $\langle \Delta I^2 \rangle$  へのチャネル方向の空間分布 (寄与)  $\alpha_{v,i}$ 。ゲート電圧は  $V_g = 1.5 \text{ V}$  ドレイン電圧は  $V_d = 1, 2 \text{ V}$  とした。実線は電界分布を示す。

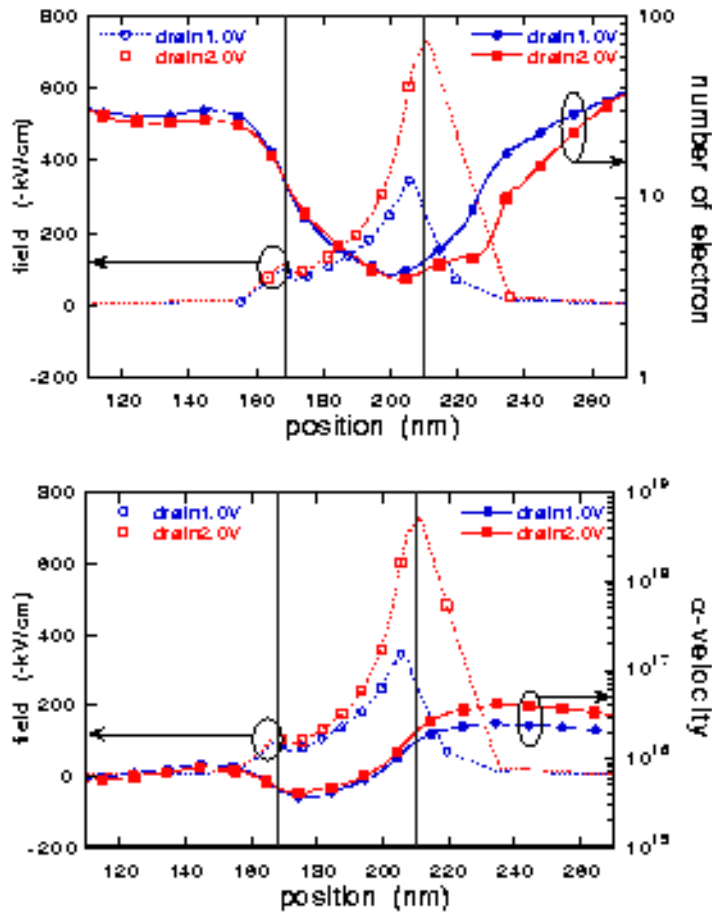


図 32: Si-MOSFET 構造 ( $L_{\text{eff}} = 40 \text{ nm}$ ) のもとでの (a) 電子数のチャネル方向の空間分布と (b) 電流ゆらぎ  $\langle \Delta I^2 \rangle$  へのチャネル方向の空間分布 (寄与)  $\alpha_{v,i}$ 。ゲート電圧は  $V_g = 1.5 \text{ V}$  ドレイン電圧は  $V_d = 1, 2 \text{ V}$  とした。実線は電界分布を示す。

る熱ゆらぎのレベルと同程度の寄与になる。さらに、ドレイン近傍あるいはドレイン領域では  $\alpha_{v,i}$  が大幅に増大し、電流ゆらぎ  $\langle \Delta I^2 \rangle$  の最も支配的な領域となる。これは、サブ  $0.1 \mu\text{m}$  級 ( $L_{\text{eff}} = 40 \text{ nm}$ ) の極微細 MOSFET 構造の特異性であり、電子のチャネル領域での走行 (輸送) 形態に深く関わっている。

サブ  $0.1 \mu\text{m}$  ( $L_{\text{eff}} = 40 \text{ nm}$ ) の極微細 MOSFET 構造においては、電子は準弾道的にチャネル領域を走行する。その結果、印加ドレイン電圧に相当する高エネルギー状態で、電子はドレイン領域に流れ込む。そして、ある電子はダイオード構造で見られた逆拡散効果によりチャネル領域にキックバックされたり、またはドレイン領域で熱平衡状態に緩和していく。従って、ドレイン端およびドレイン領域における電子のエネルギー分布関数は、かなりの高エネルギー領域までテールを引いたホットな分布となる。これは、実効的な電子温度の上昇 (あるいは熱速度の増大) を意味する。その結果、準弾道輸送が可能になるサブ  $0.1 \mu\text{m}$  ( $L_{\text{eff}} = 40 \text{ nm}$ ) 極微細 MOSFET 構造では、ドレインのホット化に伴う熱ゆらぎの増大が生じる。ドレイン近傍およびドレイン領域での  $\alpha_{v,i}$  がドレイン電圧の強い依存性を示すこと

は、上述のシナリオの正当性を裏付けるものと言える。しかしながら、ソースおよびチャネル領域では電子は常にコールドな状態にあることから、電流ゆらぎ  $\langle \Delta I^2 \rangle$  全体におけるドレイン領域のホット・キャリア・ノイズの寄与はダイオード構造の場合に比べてずっと弱く、サブ  $0.1\mu\text{m}$  の極微細 MOSFET においても、依然、ドレイン電圧の依存性が抑制される。

### 3.3.4 微細化に伴う電流ゆらぎの顕在化

電流ゆらぎは電流に関与するチャネル電子数に関わっていることから、中心極限定理に従って、電流ゆらぎの相対的な大きさ（電流の標準偏差を電流の時間平均値で正規化したもの）はデバイス幅の縮小とともに増大する可能性がある。そこで、準弾道輸送等の極微細構造特有の影響を除いて考察するために、実効チャネル長が  $300\text{ nm}$  の Si-MOSFET 構造を用いて、電流ゆらぎの顕在化の可能性の定量的検討を進めた。

チャネル長は  $300\text{ nm}$  に固定したままで、デバイスの幅  $W$  を微細化することにより、電流ゆらぎの相対的な強度  $\sigma_I / \langle I \rangle$  の変化をモンテカルロ・シミュレーションにより考察した。図 33 にそのシミュレーション結果を示す。デバイス幅  $W$  の微細化に伴って、相対的な電流ゆらぎが増大し、その大きさはディープ・サブミクロン領域において 20% 強にも及ぶことがわかる。この電流ゆらぎの顕在化は、電流に関与するチャネル電子数の減少が直接的な原因

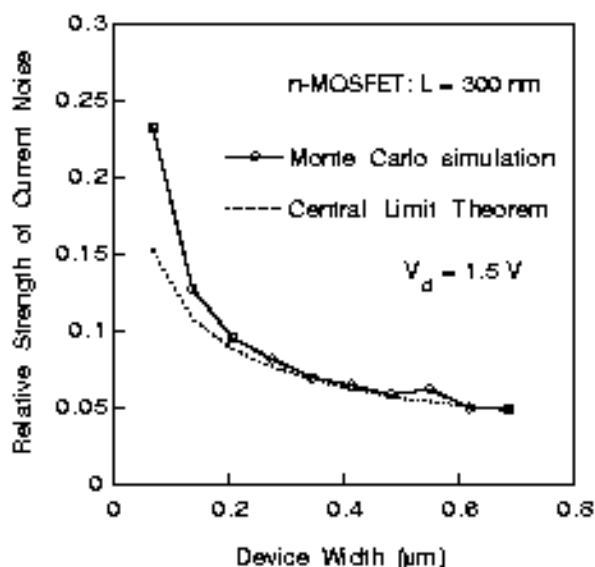


図 33: 実効チャネル長  $300\text{ nm}$  の Si-MOSFET 構造のもとでの相対的電流ゆらぎ  $\sigma_I$  のデバイス幅  $W$  の依存性。

と考えられる。つまり、デバイス幅の増大とともに電流に関与する電子数は比例して増大する。中心極限定理によれば、電子数の増大とともに電流の相対的なゆらぎが減少する。良く知られているように、中心極限定理と密接な関係がある準平衡状態でのショット・ノイズでは、電流の分散  $\langle \Delta I^2 \rangle$  が電流の時間平均値  $\langle I \rangle$  に比例する。

$$\langle \Delta I^2 \rangle = 2q \langle I \rangle \Delta f \quad (30)$$

ここで、 $\Delta f$  はある特定の周波数におけるバンド幅である。時間平均電流値  $\langle I \rangle$  は、当然、デバイス幅  $W$  に比例するから、結局、相対的な電流ゆらぎ  $\sigma_I / \langle I \rangle$  は、デバイス幅  $W$  の縮小とともに以下のように増大する。

$$\frac{\sigma_I}{\langle I \rangle} = \frac{\sqrt{\langle \Delta I^2 \rangle}}{\langle I \rangle} = \sqrt{\frac{2q\Delta f}{\langle I \rangle}} \propto \frac{1}{\sqrt{W}} \quad (31)$$

デバイス幅の平方根  $W^{1/2}$  に逆比例する曲線も図 33 に同時に示す。モンテカルロ・シミュレーションによる結果とこの曲線の一致は非常に良い。

ここで、シミュレーションにより得られる電流ゆらぎが、(ショット・ノイズ或いは熱ゆらぎといった) 物理的に本質的なノイズであるのか、或いは、モンテカルロ法自体が乱数を用いた確率的手法であることから、シミュレーションに伴う人為的なノイズであるのか、を明確にする必要がある。良く知られているように、モンテカルロ法に用いられる電子は超粒子であり、モンテカルロ・シミュレーションの精度は、シミュレーションに用いられる電子数の平方根に逆比例する。これは、まさしく中心極限定理によるものであり、本研究における電流ノイズとの区別が明確ではない。従って、図 33 に示されるデバイス幅の依存性は、シミュレーションに用いられる電子数の依存性と解釈することもでき、シミュレーションの電子数の増大は、単に計算精度の向上(計算誤差つまりノイズの低減)とも解釈できる。言い換えれば、「デバイスの構造は変化させずに、計算精度がシミュレーション粒子の増大に伴い上がることを図 33 は示す」とも解釈することもできる。この場合、図 33 に示される傾向は、単に、モンテカルロ法に潜む人為的な誤差とみなされる。このような解釈と物理的な電流ノイズとを明確に区別するために、シミュレーションにおける電子は現実の電子と 1 対 1 に対応しており、シミュレーションにおける電子輸送は現実をほぼ正確に模倣しているという前提のもとで、我々のシミュレーションの正当性が成り立っている。その結果、シミュレーションで得られる電流ノイズは、物理的に本質的なものであると解釈する。

しかしながら、この解釈を正当化する検証はこれまで何も示されていない。そこで、物理的に本質的なノイズと人為的なノイズとの区別をさらに明確にするために、デバイス内部に含まれる電子数をほぼ一定にしたままでチャネル電子数を増大させる(則ち、ドレイン電圧を一定にしたままゲート電圧を変動させる)条件のもとで、電流ゆらぎの評価を行った。もし、図 33 に示される傾向が人為的な計算精度のものということであれば、シミュレーション精度はシミュレーションに用いられるすべての電子に依存する。従って、シミュレーションに關与する全電子数(つまり、シミュレーションの計算精度)をほぼ一定に保持したままで、適当なパラメータ(ここでは、ゲート電圧)により電流値を変化させることができれば、電流ゆらぎ(ノイズ)のパラメータ依存性は物理的に本質的なノイズと言える。図 34 に、実効チャネル長 300 nm の Si-MOSFET 構造のもとでの相対的電流ゆらぎ  $\sigma_I$  のゲート電圧  $V_g$  の依存性を示す。図 34 から明らかなように、ゲート電圧を変化させても、デバイス内に含まれる電子数はほぼ一定である。しかしながら、相対的な電流ゆらぎ  $\sigma_I / \langle I \rangle$  は、ゲート電圧に強く依存することが判る。則ち、本シミュレーションにおいて評価される電流ゆらぎは、物理的に本質的な電流ノイズであるということを示唆するものと言える。

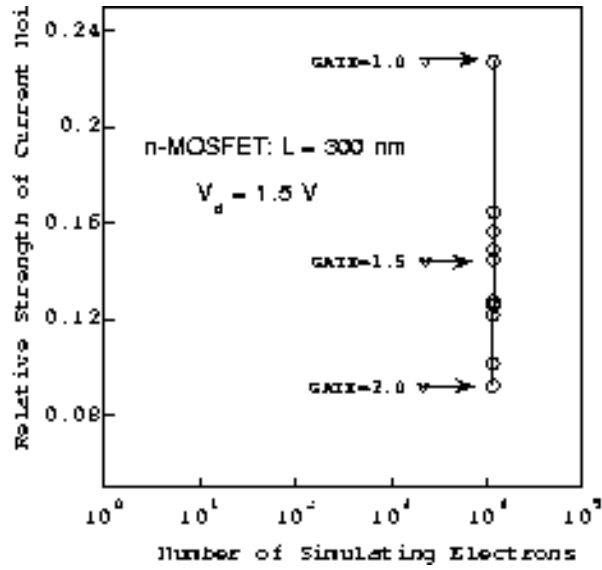


図 34: 実効チャネル長 300 nm の Si-MOSFET 構造のもとでの相対的電流ゆらぎ  $\sigma_I$  のゲート電圧  $V_g$  の依存性。

### 3.3.5 電流ゆらぎと中心極限定理

前サブセクションから、相対的な電流ゆらぎの大きさは、デバイス内に含まれるすべての電子数ではなく、ゲート直下のチャネル電子の数によって支配されるということが明らかになった。そこで、ドレイン電圧は一定のまま、ゲート電圧を変化させたときのゲート直下のチャネル電子の数と相対的な電流ゆらぎ  $\sigma_I / \langle I \rangle$  との関係プロットしたものを図 35 に示す。また、点線は、以下で議論する中心極限定理からの理論的曲線 ( $\propto 1/N_{ch}$ ) を示す。チャネル電子の数が少ないために多少のばらつきがあるものの、シミュレーションによる結果と極限定理からの予測はほぼ同じ傾向を示す。デバイス幅を変化させた場合、全電子数とチャネル電子数はほぼ比例関係にあると考えられるから、図 33 に示された傾向は、デバイス内の全電子数ではなく、チャネル電子数の依存性を反映していると解釈できる。

図 35 に示される中心極限定理と電流ゆらぎとの関係についてすこし議論しよう。Ramo-Shockley の公式によれば、ゲート直下にあるチャネル領域の電子のチャネル方向の速度の和を用いて電流  $I$  は表される。いま、 $i$  番目のチャネル電子の速度を  $v_i$  とすれば、チャネル電子すべての速度の和  $z$  は、

$$z = v_1 + v_2 + \dots + v_{N_{ch}} \quad (32)$$

となり、 $v_i$  と同様に確率変数とみなすことができる。ここで、 $N_{ch}$  はチャネル電子の総数である。 $L_g$  をチャネル長とすれば、ドレイン電流  $I_d$  は、

$$I_d = \frac{qz}{L_g} \quad (33)$$

で与えられる。確率変数  $z$  に対する確率密度  $P_I(z)$  は、以下のように計算できる [22]。

$$P_I(z) = \int dv_1 \dots \int dv_{N_{ch}} \delta(z - (v_1 + v_2 + \dots + v_{N_{ch}})) f(v_1) \dots f(v_{N_{ch}}) \quad (34)$$

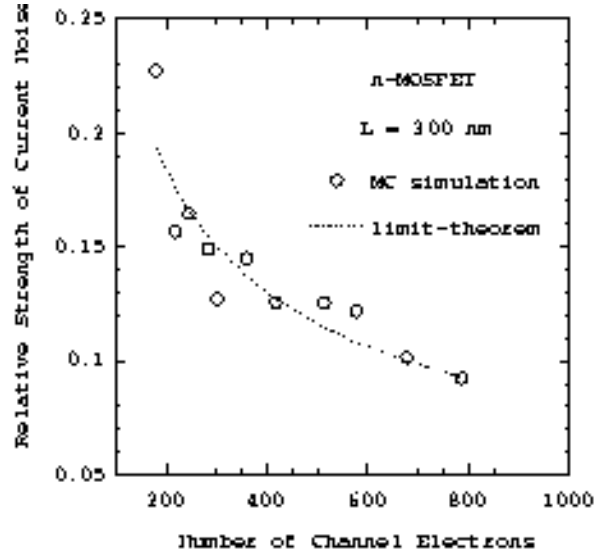


図 35: 相対的電流ゆらぎのデバイス幅依存性。

ここで、定常状態のもとでの  $f(v_i)$  は  $i$  番目の電子の速度に対する確率密度（1体の電子速度分布関数）である。

もし、チャネル電子の数  $N_{ch}$  が十分に大きければ<sup>15</sup>、中心極限定理により、確率変数  $z$  に対する確率密度  $P_I(z)$  は、以下のような正規（ガウス）分布に漸近する [45]。

$$P_I(z) \cong \frac{1}{\sqrt{2\pi N_{ch}\sigma_v^2}} \exp \left\{ -\frac{(z - N_{ch}v_d)^2}{2N_{ch}\sigma_v^2} \right\} \quad (35)$$

ここで、 $v_d$  は電子の平均ドリフト速度であり、 $v_d = \langle z \rangle / N_{ch}$  で与えられる。また、 $\sigma_v^2$  は1個の電子の速度分散であり、 $\sigma_v^2 = kT_e/m^*$ （ $T_e$  は電子温度、 $m^*$  は電子の有効質量）で与えられる。式（35）は、平均ドレイン電流および電流分散が、それぞれ以下のように与えられることを意味する。

$$\langle I_d \rangle = \frac{q}{L_g} N_{ch} v_d \quad (36)$$

および

$$\langle \Delta I_d^2 \rangle = \left( \frac{q}{L_g} \right)^2 N_{ch} \sigma_v^2. \quad (37)$$

$v_t$  を電子の熱速度とすれば、 $kT_e/m^* \approx v_t^2$  であるから、相対的な電流ゆらぎの大きさ  $\sigma_I / \langle I \rangle$  は、

$$\frac{\sigma_I}{\langle I_d \rangle} = \frac{\sigma_v}{v_d} \frac{1}{\sqrt{N_{ch}}} \approx \frac{v_t}{v_d} \frac{1}{\sqrt{N_{ch}}}. \quad (38)$$

となる [39]。図 35 に点線で示した曲線は、

$$\frac{v_t}{v_d} = 2.6 \quad (39)$$

<sup>15</sup>この仮定は、飽和領域を問題にしているときは常に正しい。

としたものである。このとき、熱速度  $v_t$  は約  $1.4 \times 10^7$  (cm/sec) であるから、ドリフト速度は  $5 \times 10^6$  (cm/sec) 程度になる。この値は、モンテカルロ・シミュレーションから見積もられる飽和領域でのドリフト速度の値に近い。

### 3.3.6 電流ゆらぎの周波数特性

セクション 3.1 で説明したように、モンテカルロ法により求めたドレイン電流の時系列データをフーリエ変換することにより、ドレイン電流に対するスペクトル密度を求めることができる。即ち、ドレイン電流  $I(t)$  のフーリエ変換を  $F_T(f)$  とすれば、 $F_T(f)$  と電流スペクトル密度  $S_I(f)$  は以下のように関係づけられる。

$$S_I(f) = \frac{1}{T} |F_T(f)|^2 \quad (40)$$

ここで、 $2T$  はモンテカルロ・シミュレーションにより求めたドレイン電流時系列データの時間領域を表す。モンテカルロ・シミュレーションにより求めた典型的なドレイン電流の時系列データを図 36 に示す。ここで、シミュレーションに用いたデバイス構造は、前述の実効チャンネル長が 300 nm および 40 nm の MOSFET 構造と同じである。チャンネル長が異なるデバイス構造どうしで、直接、電流ゆらぎの比較ができるように、図 36 における電流は時間平均値で正規化している。

図 36 によれば、チャンネル長が 300 nm の MOSFET での電流ゆらぎのほうが、チャンネル長 40 nm の MOSFET のそれに比べて顕著であるように見える。これは、デバイス幅およびゲート電圧が両者において異なることによる。つまり、前セクションの中心極限定理と電流ゆらぎとの関係によれば、電流ゆらぎの相対的強度は、ゲート直下のチャンネル電子数に直接関わっていることから、チャンネル長のみによって電流ゆらぎの大きさを単純に議論することはできない。実際、図 36 の場合では、300 nm MOSFET におけるチャンネル電子数が 40 nm MOSFET のものに比べて小さいことにより、電流ゆらぎがより顕著になっている。

ドレイン電流の時間的相関は、デバイス内に含まれるすべての電子とフォノン等との散乱によって時間軸上でランダムに消失する。このとき、セクション 3.1 で詳しく述べたように、ドレイン電流の時間相関関数  $\langle \Delta I(0) \Delta I(t) \rangle$  は、単純な指数関数型の減衰関数で近似できると考えられる。その場合、電流スペクトル密度は、良く知られているように、以下のようなローレンツ型で与えられる。

$$S_I(f) = \langle \Delta I^2 \rangle \frac{4\tau_{ph}}{1 + (2\pi f \tau_{ph})^2} \quad (41)$$

ここで  $\tau_{ph}$  は電子の緩和時間であり、フォノンとの散乱時間程度で与えられる。

図 36 の 300 nm および 40 nm MOSFETs におけるドレイン電流の時系列データから、式 (40) により求めた電流スペクトル密度の周波数依存性を図 37 に示す。モンテカルロ法より求めたスペクトル密度は点線で示し、セクション 3.1 (および下述) で解説したローレンツ型のスペクトル密度を実線で示す。尚、電流分散  $\langle \Delta I^2 \rangle$  は、電流の時系列データ (図 36) から、直接、評価することができる。従って、式 (41) における free parameter は、緩和時間  $\tau_{ph}$  のみである。そこで、緩和時間  $\tau_{ph}$  を fitting parameter として、ローレンツ型スペクトル密度を求めたものが図 37 における実線のスペクトル密度である。図 37 から明らかなよう

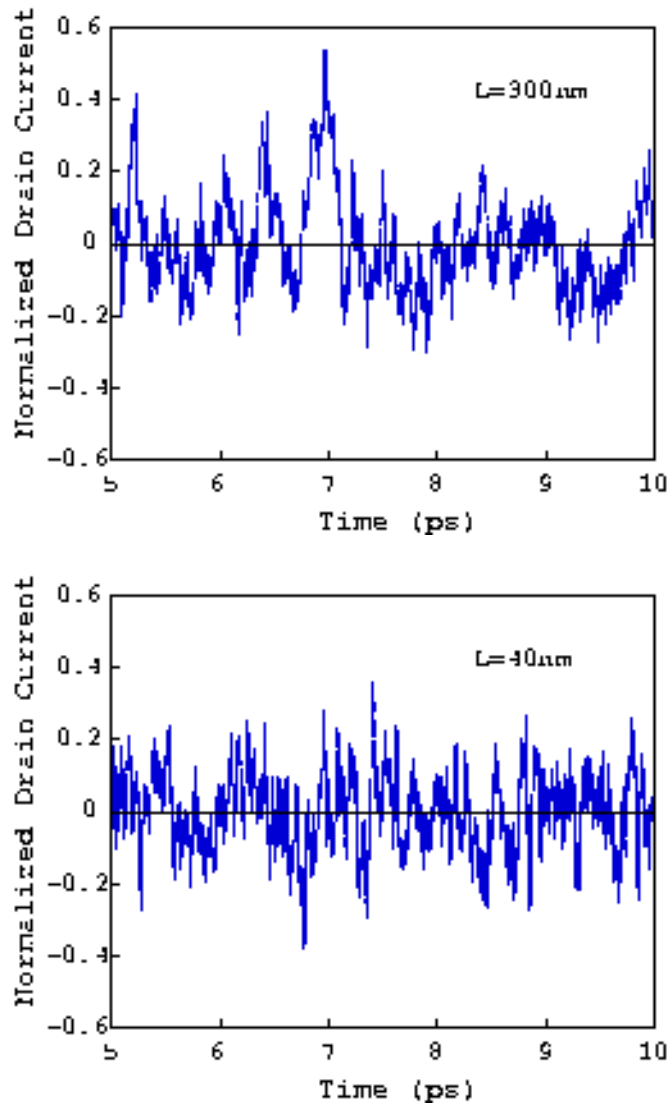


図 36: モンテカルロ・シミュレーションにより求めた実効チャンネル長 300 nm (上図) および 40 nm (下図) の MOSFET におけるドレイン電流の時系列データ。



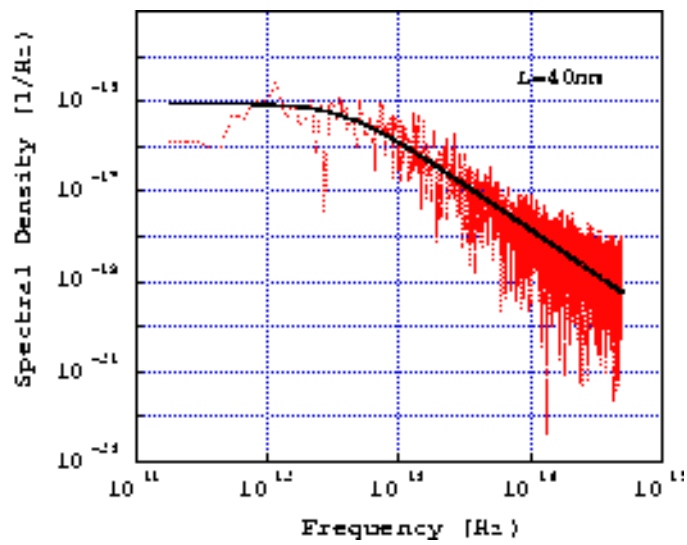
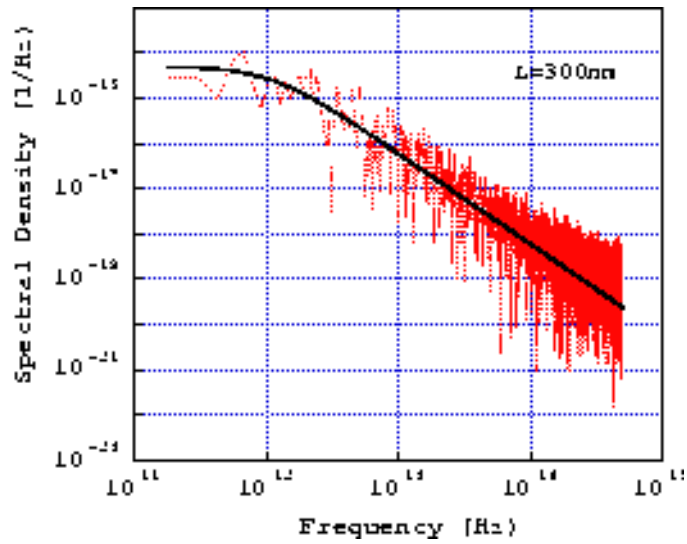


図 37: 実効チャネル長 300 nm (上図) および 40 nm (下図) の MOSFET におけるドレイン電流のスペクトル密度の周波数依存性。

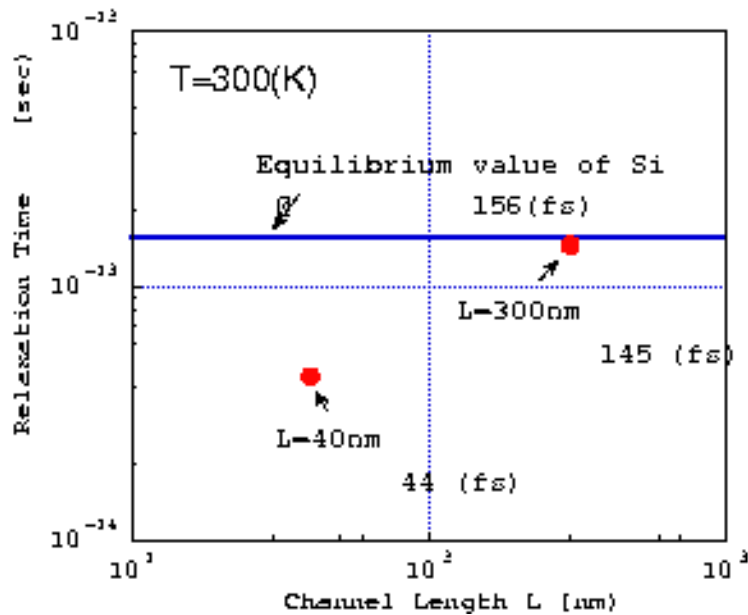


図 38: 実効チャンネル長 300 nm および 40 nm の MOSFET における電子の緩和時間のチャンネル長依存性。実線はバルクにおける緩和時間を表す。

に、モンテカルロ・シミュレーションより求めたスペクトル密度（点線）が、ローレンツ型スペクトル密度（実線）で良く近似できることがわかる。従って、ドレイン電流における電流ゆらぎ（ノイズ）は、低周波数領域ではほぼ白色となる周波数特性をもつと言える [8]。

また、図 37 から求めた実効チャンネル長が 300 nm および 40 nm MOSFET における緩和時間は、それぞれ、145 fs および 44 fs 程度になる。不純物散乱を除いたバルクにおける緩和時間は、移動度  $\mu$  に対する良く知られた公式

$$\mu = \frac{q\tau}{m^*} \quad (42)$$

から見積もることができる。ここで、 $m^*$  は電子の有効質量である。式 (42) から、電子の緩和時間は、ほぼ 156 fs（ただし、不純物散乱は無視）となる。図 38 に、実効チャンネル長 300 nm および 40 nm の MOSFET における電子の緩和時間のチャンネル長依存性を示す。また、実線はうえの公式 (42) より求めたバルクにおける緩和時間を表す。チャンネル長が 300 nm 程度のサブミクロン領域の MOSFET 構造での緩和時間は、バルクにおける緩和時間にかなり近い<sup>16</sup>ことから、電子輸送はほぼ通常の拡散輸送で特徴づけられると言える。一方、チャンネル長が 40 nm の MOSFET での緩和時間が、これらの緩和時間と大幅に異なるのは、電子の輸送形態が拡散輸送から準弾道輸送に推移していることを示唆するものと考えられる。即ち、準弾道輸送に伴って、ドレイン端およびチャンネル領域での電子の高エネルギー化が起こり、電子の散乱頻度が上昇して緩和時間が大幅に短くなると考えられる。これは、チャンネル長の縮小に伴う電子輸送の準弾道化を示す間接的な検証であると言える。

<sup>16</sup>実際には、界面ラフネス散乱の影響により、MOSFET における移動度はバルクのそれに比べて小さい。本シミュレーションでは界面ラフネス散乱の影響を無視している。

### 3.3.7 MOSFET 構造での電流ゆらぎの物理的解釈

前述の preliminary な電流ゆらぎ解析から、MOSFET 構造における時間的電流ゆらぎのドレイン電圧およびゲート電圧依存性は、ドレイン電流の電圧依存性とほぼ同様の傾向を示し、この傾向はバルクあるいは *nin* ダイオード構造におけるそれと全く異なることを見出した。即ち、飽和領域における電流ゆらぎは、電流と同様にドレイン電圧に殆ど依存しない。しかし、ゲート電圧の増大に対しては、電流の増大とともに電流ゆらぎは増大する。一方、バルクあるいは *nin* ダイオード構造においては、(ドレイン)電圧の増大とともに電流ゆらぎも単純に増大する。MOSFET 構造における電流ゆらぎの電圧依存性は、実効チャネル長 40 nm および 300 nm のいずれの MOSFET においてもほぼ同じである。これらの結果は、これまで主張されている微細 MOSFET 構造のもとでのホット・キャリア・ノイズの顕在化の可能性について、再考察を促す結果である。そこで、これらの電流ゆらぎの電圧依存性等の傾向の物理機構を明確にするために、微視的な観点から解析を行った [8, 38, 39]。

電流の分散  $\langle \Delta I^2 \rangle$  は、Ramo-Shockley の公式を用いて、以下のように表すことができる。

$$\begin{aligned} \langle \Delta I^2 \rangle &= \left( \frac{q}{L} \right)^2 \left\langle \sum_{i=1}^N \sum_{j=1}^N \delta v_i \delta v_j \right\rangle \\ &= \left( \frac{q}{L} \right)^2 \int d^3 v_i d^3 v_j \int d^3 x_i d^3 x_j \\ &\quad \sum_{i=1}^N \sum_{j=1}^N \delta v_i \delta v_j f_2(\mathbf{x}_i, \mathbf{v}_i, \mathbf{x}_j, \mathbf{v}_j) \end{aligned} \quad (43)$$

ここで、 $\delta v_i$  は  $i$  番目の電子速度の平均値のまわりのゆらぎ、 $f_2(\mathbf{x}_i, \mathbf{v}_i, \mathbf{x}_j, \mathbf{v}_j)$  は 2 体の電子分布関数である。ドリフト拡散法から求めたポテンシャル形状を固定したままのモンテカルロ・シミュレーションでは、個々の電子の相関は散乱により非常に早く消滅する<sup>17</sup>。従って、個々の電子はほぼ独立に運動すると仮定できることから、2 体の電子分布関数は、1 体の電子分布関数を使って、

$$f_2(\mathbf{x}_i, \mathbf{v}_i, \mathbf{x}_j, \mathbf{v}_j) \approx f_1(\mathbf{x}_i, \mathbf{v}_i) f_1(\mathbf{x}_j, \mathbf{v}_j) \quad (44)$$

と近似できる。その結果、電流分散  $\langle \Delta I^2 \rangle$  は、以下のように書くことができる。

$$\begin{aligned} \langle \Delta I^2 \rangle &\approx \left( \frac{q}{L} \right)^2 \int d^3 v_i d^3 x_i \sum_{i=1}^N \delta v_i^2 f_1(\mathbf{x}_i, \mathbf{v}_i) \\ &= \left( \frac{q}{L} \right)^2 \sum_{i=1}^N \langle \langle \delta v_i^2 \rangle \rangle \end{aligned} \quad (45)$$

上式における平均を表す最後の二重括弧は、空間に依存する 1 体の電子分布関数によって平均を取ることを意味する。式 (45) の意味するところは、電流の分散は各電子の速度分散により生じるということであり、速度分散 ( $\approx kT/m^*$ ) は電子の熱エネルギーに比例することを思い出せば、これは通常の熱ゆらぎに対応することがわかる。

<sup>17</sup>ただし、電子のもつ電荷によるポテンシャルの形成に伴うクーロン力の長距離成分による弱い相関は常に存在する。

既以前セクションで述べたように、局所的な電流分散  $\sigma_I(x)^2$  を以下のように定義することにより、

$$\sigma_I(x)^2 = \left(\frac{q}{L}\right)^2 \sum_{i=1}^N \langle\langle \delta v_i^2 \rangle\rangle \delta(x - x_i) \quad (46)$$

電流ゆらぎ（分散）のデバイス内部における空間依存性を評価することができる。ここで、 $x_i$  は  $i$  番目の電子のデバイス内の位置を表す。当然、電流分散は、チャンネル方向に沿って、局所的な電流分散  $\sigma_I(x)^2$  を積分することにより与えられる。

$$\langle\Delta I^2\rangle = \int dx \sigma_I(x)^2 \quad (47)$$

局所的電流分散  $\sigma_I(x)^2$  を実効チャンネル長 300 nm および 40 nm の n-MOSFET 構造のもとで評価をした結果を、図 39 に示す。局所的電流分散  $\sigma_I(x)^2$  はソースおよびドレインの高濃度領域において最大となり、チャンネル領域においてかなり抑制される。これは、速度分散  $\delta v_i^2$  に加えて、電流ゆらぎ（分散）がその局所的領域に含まれる電子数に依存することによる。従って、チャンネル領域での速度分散はドレイン近傍で増大するにも関わらず、そこでの電子濃度が最小になることから局所電流分散はそこで極小値をもつ。この傾向は、実効チャンネル長 300 nm および 40 nm のいずれのデバイス構造においても成立すると言える。しかしながら、40 nm MOSFET 構造においてはドレイン近傍のチャンネル領域での局所的電流分散  $\sigma_I(x)^2$  が 300nm のものに比べてかなり増大する。これは、チャンネル長が短くなることによって準弾道輸送する電子数が増大し、ドレインに注入される電子が高エネルギー化されることによる。その結果、チャンネル端およびドレイン領域での速度分散が大幅に増大し、ドレイン近傍のチャンネル領域での局所的電流分散の増大に繋がっていると考えられる。

このシナリオを検証するために、ドレイン領域での電子速度分布関数を実効チャンネル長 300 nm および 40 nm の n-MOSFET 構造のもとでプロットしたものを図 40 に示す。300 nm の MOSFET 構造のもとでは、電子速度分布関数はほぼ drifted-Maxwellian で近似することができる。絶対値の大きい領域において、drifted-Maxwellian からのずれが見られるが、そこでの分布関数の絶対値はピーク速度領域のものに比べてかなり小さい。一方、小さいデバイスでは絶対値の大きい領域でのずれが顕著になり、しかも、その大きさがかなり増幅されている。以上の結果は、散乱によって速度が randomize された高エネルギー電子の存在を意味するわけであり、上述の準弾道輸送による電子の高エネルギー化を支持する。また、正の電子速度領域においては、ドレイン電圧によって大きく依存するテールが存在する。この速度成分は、印加されているドレイン電圧に対応したエネルギーであり、（準弾道ではない）弾道電子の存在を意味する。

以上から、MOSFET 構造での電流ゆらぎは、ソースおよびドレインの高濃度領域での準熱平衡状態の熱（拡散）ゆらぎが支配的であるという前述のシナリオが支持される。一方、チャンネル長がサブ 0.1 ミクロン領域まで微細化されるにつれて、準弾道電子の数が増大し、チャンネル領域からの電流分散への寄与が増大すると言える。

### 3.3.8 本章のまとめ

サブミクロンおよびサブ 0.1  $\mu\text{m}$  領域にある 2 次元 Si-MOSFET 構造のもとで、電流の時間的ゆらぎの検討を行った。時間的電流ゆらぎの電圧依存性は、単純な一次元  $nin$  構造のそ

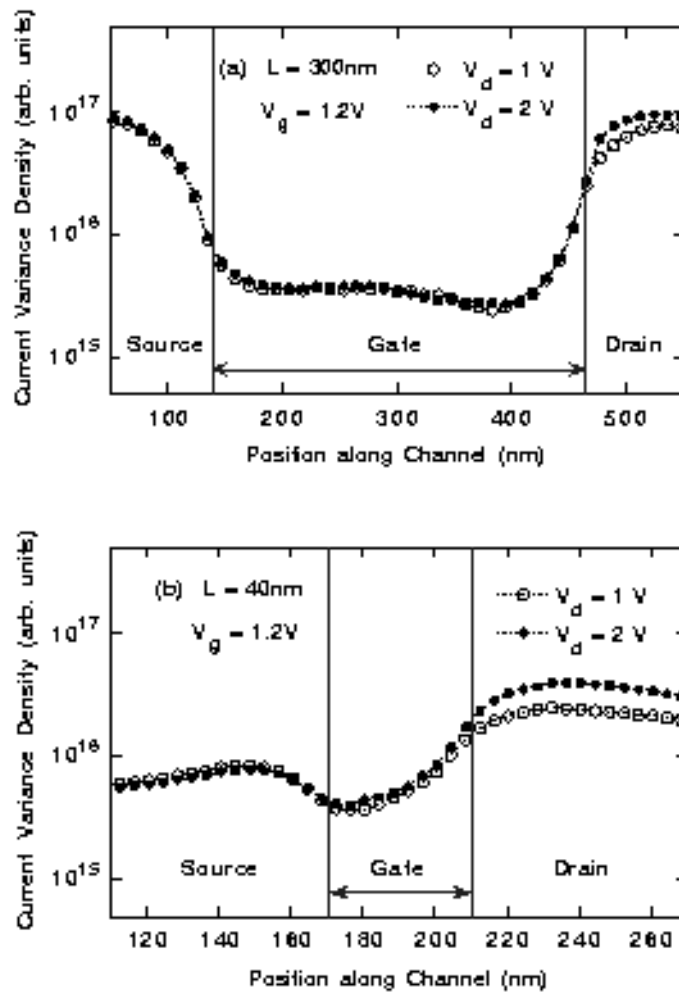


図 39: 実効チャネル長 300 nm および 40 nm の MOSFET 構造のもとでの局所的電流分散  $\sigma_I(x)^2$  のチャネル方向に沿った空間依存性。ドレイン電圧が  $V_d = 1$  (白丸) と 2 V (黒丸) のもとでの結果を示す。

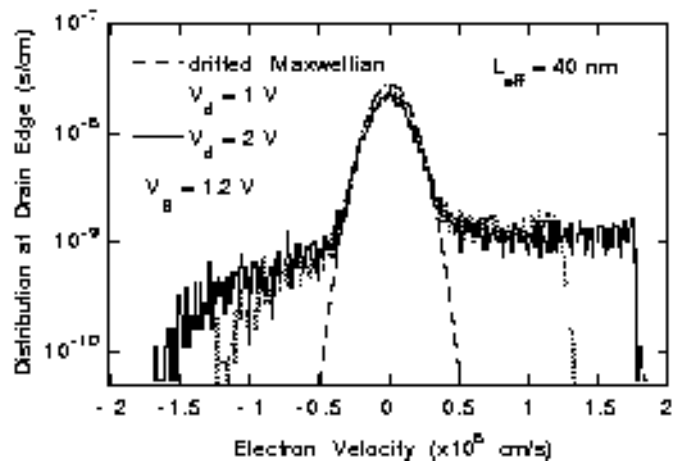
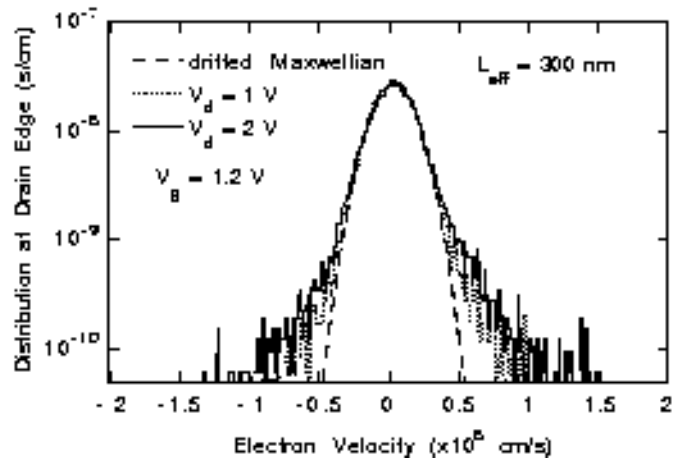


図 40: 実効チャネル長 300 nm および 40 nm の MOSFET 構造のもとでのドレイン領域での速度分布関数。ドレイン電圧が  $V_d = 1$  (点線) と 2 V (実線) のもとでの結果を示す。

れとは全く異なり、殆どドレイン電圧に依存せず、しかも、チャネル長にも大きく依存しないことを見出した。これは、支配的な電流ゆらぎの機構が、任意のドレイン電圧において、高濃度（ソースおよびドレイン）領域での（平衡）熱ゆらぎであるためである。この状況は、線形なオーミック輸送領域（或いはピンチオフ領域）がチャネル領域に存在することによって実現され、FET 構造特有の電流ゆらぎ機構と言える。

一方、サブ  $0.1\mu\text{m}$  領域にある Si-MOSFET 構造においても、同様に、ドレイン電圧の強い依存性が生じないことを見出した。このような極微細構造では、電子は準弾道的にチャネル領域を走行するために、印加されるドレイン電圧に相当する高エネルギー状態で電子はドレイン領域に流れ込む。その結果、ドレイン端およびドレイン領域における電子のエネルギー分布関数は、かなりの高エネルギー領域までテールを引いたホットな分布となり、実効的な電子温度の上昇（あるいは熱速度の増大）を導く。そして、このドレインのホット化に伴う、ドレインでの熱ゆらぎの増大が生じる。しかしながら、ソースおよびチャネルの殆どの領域では、電子は常にコールドな状態にあるために、電流ゆらぎ全体におけるドレイン領域のホット・キャリア・ノイズの影響は、ダイオード構造の場合に比べてずっと弱い。従って、サブ  $0.1\mu\text{m}$  の極微細 MOSFET においても、依然、ドレイン電圧の依存性が抑制される。

次に、Si-MOSFET 構造の微細化に伴って、電流ゆらぎ（ノイズ）が顕在化する可能性をモンテカルロ・シミュレーションにより定量的に検討した。その結果、デバイス構造の 3 次元的サイズの微細化とともに、電流ゆらぎの電流に対する相対的な強度が、ディープ・サブミクロン領域で、特に顕在化してくることを確認した。その大きさは、20 % 強にも及ぶことが予測される。また、電流ゆらぎの相対的な大きさは、ゲート直下のチャネル電子の数が密接に関わっていることを見出した。特に、電流ノイズと中心極限定理との関係について検討を加え、物理的な要因（電子の熱運動）と統計的な要因（チャネル電子数）との関係について考察した。これらの結果から、電流ゆらぎ（ノイズ）の顕在化には、チャネル長に加えて、ゲート幅の微細化がもっとも効いてくると言える。また、この解析を通じて、モンテカルロ・シミュレーションにより評価される電流ゆらぎが、シミュレーション自体に伴う人為的ノイズではなく、物理的に本質的な電流ノイズであることも確認した。これは、乱数を用いる stochastic なモンテカルロ法に含まれるノイズと、物理的に本質的なノイズとの明確な区別についての指針を与えるうえで、興味深い結果であると考えられる。

続いて、電流ゆらぎ（ノイズ）の周波数特性解析を行った。モンテカルロ法より求めたドレイン電流の時系列データをフーリエ変換することにより、電流のスペクトル密度を求めた。その結果、電流スペクトル密度はローレンツ型スペクトルで与えられ、低周波数領域ではほぼ白色になることを確認した。また、電流スペクトル密度に含まれる電子の緩和時間を、実効チャネル長が  $300\text{ nm}$  と  $40\text{ nm}$  の MOSFET について求めた。 $300\text{ nm}$  MOSFET の場合は、バルクにおける緩和時間にほぼ一致したが、 $40\text{ nm}$  MOSFET の場合では、緩和時間が大幅に短くなることが判明した。これは、準弾道輸送に伴うチャネル電子の高エネルギー化を示唆しており、チャネル長の微細化に伴う準弾道輸送の間接的検証でもある。

## 4 3次元 Si-MOSFET 構造での統計的電流ゆらぎ

### 4.1 離散不純物に対する ‘atomistic’ 不純物モデル

#### 4.1.1 はじめに

前章で報告した 2 次元 MOSFET 構造のもとでの電流ゆらぎは、電流に寄与するキャリア（本研究では電子）の微視的な散乱に基づく電流ノイズのことであり、人為的に不可避な本質的なゆらぎを意味した。即ち、理想的なプロセスのもとで全く同一のデバイス構造がすべての素子において実現できたとしても、物理的に避けることのできない時間軸上での電流ゆらぎが議論の対象になっている。一方、個々のデバイス構造の微妙な相違により生じるデバイス特性のばらつきも、デバイスのサイズの微細化に伴って、重要になりつつある。この範疇に入るばらつきは主としてデバイス構造の生成プロセスに付随するものであり、上述の時間軸上の電流ゆらぎと異なって、究極的な理想的プロセスのもとで避けることができるものも少なくない。しかしながら、デバイス内にドーパされる不純物は、拡散過程という本質的に確率的な物理過程に依存するプロセスが伴うことから、不純物の存在する場所や数を人為的に操作することは不可能である。従って、不純物ばらつきは電流ノイズと同様に人為的に不可避なばらつきと言える。各デバイスごとのこのような不純物のばらつきがしきい値のばらつきに繋がり、強いてはドレイン電流の統計的なゆらぎに繋がる。

ここで、上述の 2 種類の電流ゆらぎ（時間軸上の電流ゆらぎと不純物ばらつきに伴う電流ゆらぎ）について、その違いを明確にしておこう。時間軸上の電流ゆらぎは通常の電流ノイズであり、電流値の平均値はデバイスの構造が確定すれば変動しない。一方、不純物ばらつきにともなう電流ゆらぎは、しきい値電圧の変動を誘起し、ドレイン電流の平均値を各デバイスごとに変動させる。そして、このようなばらつきは時間軸上の特性ゆらぎと区別して統計的特性ばらつきと呼ぶことができる。サブ  $0.1 \mu\text{m}$  領域の極微細デバイス構造のもとでは、これら 2 種類の電流ゆらぎが同時に顕在化してくると考えられる。

このような統計的ばらつき要因として最も重要と考えられるものが、デバイス内の不純物ばらつきによるデバイス特性（サブスレシールド特性）ゆらぎである。不純物ばらつきとは、各デバイス内の active な領域（空乏層）に含まれる不純物の数や位置のばらつきを意味する。サブ  $0.1 \mu\text{m}$  領域のデバイス構造においては、このような領域に含まれる不純物の数は 100 個に満たない状況になり得る。この場合、含まれる不純物の不確定性は 10% をゆうに越える。また、イオン化した不純物は、その場所に局在した非常に深いポテンシャルをもつことから、デバイス内のポテンシャルを強く攪乱し、不均一なものにする。これらの効果は本質的に 3 次元的效果であると考えられる。しかしながら、これまでのドリフト拡散シミュレーションの結果によれば、2 次元シミュレーションと 3 次元シミュレーションにおいて顕著な違いは報告されていない [20, 23, 28, 26, 30, 31, 47]。

そこで、本セクションでは、現在広く用いられている ‘atomistic’ 不純物モデルを用いた 3 次元シミュレーションの妥当性を検証するために、離散不純物の導入方法、シミュレーションにおける離散不純物の意味、シミュレーション結果の次元依存性の検討を行った。結論としては、‘atomistic’ 不純物モデルを用いた場合は、物理的に不適切なデバイス特性（しきい値特性）を導く可能性を指摘する [48, 49]。この問題点を克服するために作成した新し



い離散不純物モデルについては、次のセクションで詳細に議論する。

#### 4.1.2 離散不純物の導入方法

デバイス内における不純物は、拡散過程を通じてデバイス内に分布する。良く知られているように、拡散過程はランダム・ウォークと等価な本質的に確率的な過程である。このような過程を通じて生じるある微少領域における不純物の存在確率は、ポアソン分布によって与えられる [45, 22]。そこで、離散化した不純物をデバイス内に分布させるには、以下のような 2 通りの方法が一般に広く使われている。

- デバイス内部全域に期待される不純物数をデバイス内領域にランダムに配置する。
- デバイス内部をメッシュに切り、各メッシュ領域に期待される不純物数を平均値とするポアソン分布により不純物数を確定し、各メッシュ領域内にランダムに配置する。

しかしながら、デバイス内における不純物分布を決める際、これらのいずれの方法を用いるかによって最終的な不純物数の統計分布が異なってくる可能性がある。前者の方法は拡散過程そのものをシミュレートしていることから、その正当性について議論する余地はないものと考えられる<sup>18</sup>。一方、後者の方法では、人為的なメッシュに依存しており、その正当性は、以下のように慎重に検討されるべきである。特に、サブ 0.1 ミクロン領域の極微細 MOSFET 構造においては、両者の違いを認識しておく必要がある。後述するように、しきい値電圧の確定に支配的役割を果たす（空乏層ではなく）ゲート直下での反転層領域に含まれる不純物数は、サブ 0.1 ミクロン領域の極微細 MOSFET 構造において数個のオーダーになる。このような微少領域に含まれる不純物数の統計分布は、デバイスの全領域の体積に比べて微少領域の体積が十分に小さいことから、ポアソン分布で特徴づけられる。

前述の不純物分布の最初の導入方法に従えば、不純物は以下のようにポアソン分布で与えられる。いま、反転層領域およびデバイス全域の体積をそれぞれ  $v, V$  とすれば、1 個の不純物が反転層領域に含まれる確率  $p$  は、 $p = v/V$  で与えられる。全部で  $N$  個の不純物がデバイス全域に含まれているとすれば、これら  $N$  個の不純物のうちの  $n$  個が反転層領域に含まれる確率は、以下のような二項分布  $B(n, p)$  で与えられる。

$$B(n, p) = \frac{N!}{n! (N - n)!} p^n (1 - p)^{N - n} \quad (48)$$

反転層領域の体積  $v$  は、デバイス全域の体積  $V$  に比べて常に小さいといえるから、 $p \ll 1$  である。そこで、 $Np = \langle n \rangle$ （ここで、 $\langle n \rangle$  は反転層領域に含まれる平均不純物数）のもとで、 $N \rightarrow \infty, p \rightarrow 0$  の極限を考えると、以下のように、式 (48) はポアソン分布に変形される。

$$B(n, p) \approx \frac{\langle n \rangle^n}{n!} \left(1 - \frac{\langle n \rangle}{N}\right)^N \rightarrow \frac{\langle n \rangle^n}{n!} e^{-\langle n \rangle} \quad (49)$$

一方、反転層領域を細かい立方メッシュに切った 2 番目の場合では、それぞれのメッシュ内に含まれる不純物数はポアソン分布で与えられるが、半反転層領域全域に対しての不純物

<sup>18</sup>デバイス内に含まれる全不純物の数のゆらぎが、この方法では考慮されないが、全不純物数が膨大であることより、そのゆらぎは  $\propto 1/\sqrt{N}$  によって無視し得る。

の数分布は、中心極限定理から、以下のようなガウス（正規）分布で与えられる。反転層領域内に含まれるメッシュ数を  $N_m$  とし、 $i$  番目のメッシュに含まれる不純物数を  $n_i$  とすれば、反転層内に含まれる不純物数  $n$  は、

$$n = n_1 + n_2 + \cdots + n_{N_m} \quad (50)$$

で与えられる。各メッシュにおける  $n_i$  はポアソン分布で与えられるから、その分散は、平均値に等しい。

$$\sigma_{n_i}^2 = \langle n_i \rangle$$

反転層内に含まれるメッシュ数  $N_m$  が十分に大きければ、中心極限定理により、反転層内の不純物に対する平均値および分散は、それぞれ、

$$\langle n \rangle = N_m \langle n_i \rangle, \quad \sigma^2 = N_m \sigma_{n_i}^2 = N_m \langle n_i \rangle = \langle n \rangle$$

となり、不純物数に対する確率分布は、以下のようなガウス（正規）分布に近づく：

$$P(n) = \frac{1}{\sqrt{2\pi \langle n \rangle}} \exp \left[ -\frac{(n - \langle n \rangle)^2}{2 \langle n \rangle} \right] \quad (51)$$

従って、反転層内に含まれる確率分布は後者の方法においては人為的に用いたメッシュ数に依存したかたちで与えられる。また、不純物数の平均値と分散がポアソン分布と（上記の）ガウス分布で同じであることから、これまでの報告では両者の区別が明確になされていない。

良く知られているように、平均値と分散が反転層領域に期待される不純物数  $\langle n \rangle$  で与えられるガウス（正規）分布とポアソン分布では、不純物数の平均値  $\langle n \rangle$  が十分に大きい領域で殆ど差はない。図 41 に不純物の期待平均値が小さい場合 ( $\langle n \rangle = 5$ ) と大きい場合 ( $\langle n \rangle = 125$ ) におけるポアソン分布とガウス（正規）分布を示す。不純物数の平均値が数個のオーダーのときは、両者の違いが顕著になることがわかる。本研究において対象とするデバイス・サイズはゲート長が数十 nm 程度である。そこで、デバイス幅はゲート長と同程度として反転層のデバイス深さ方向の長さを 10 nm 程度と見積もれば、その領域に含まれる不純物数は 25 個程度である。ここで、基板濃度は均一で  $10^{18}$  1/cm<sup>3</sup> とした。従って、一般的な MOSFET 構造においては、このような極微細領域においても上述の不純物数の統計分布の違いはあまり問題にならないと考えられる。図 42 に、実効チャネル長およびデバイス幅が 50 nm の MOSFET 構造において、酸化膜界面から深さ方向 10 nm までの（反転層）領域に含まれるアクセプター不純物数（平均は  $\langle n \rangle = 25$ ）の統計分布を示す。不純物は、上述の 2 種類の方法（デバイス全域にランダムに生成（random）と各メッシュ内にポアソン分布に従って生成（poisson））によって配置し、生成したサンプル数は 1 万である。また、点線は中心極限定理から予想されるガウス（正規）分布を示す。図 42 から明らかなように、アクセプター不純物数の平均が 25 個程度では、両者の違いは殆どない。

しかしながら、しきい値ばらつきを抑えるために最近提案されているエピ構造をもつデバイス構造においては、反転層領域に含まれる不純物数の期待値  $\langle n \rangle$  が小さいと考えられることから、これらの両者の違いを認識しておくことは重要であると考えられる。

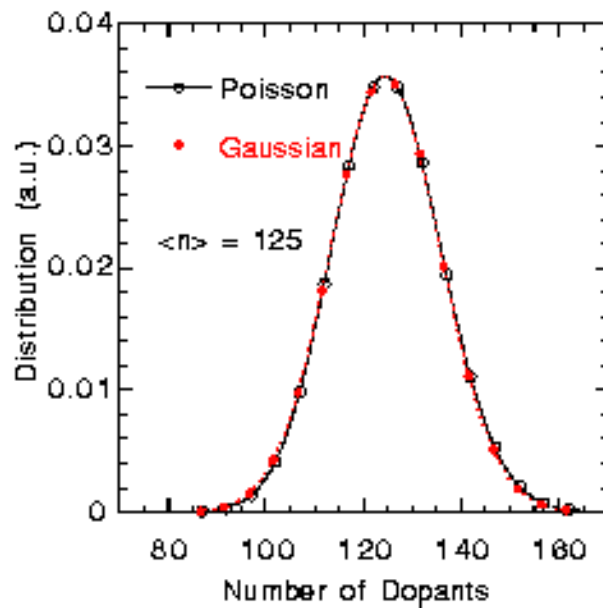
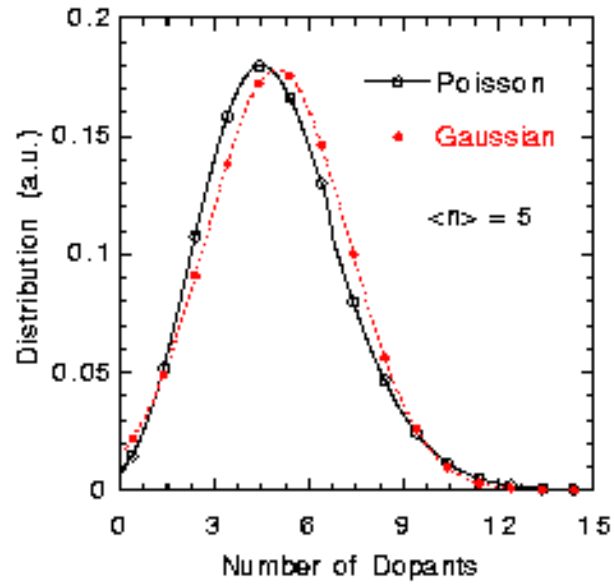


図 41: 不純物の期待平均値  $\langle n \rangle$  が小さい場合 (上図) と大きい場合 (下図) におけるポアソン分布とガウス (正規) 分布。

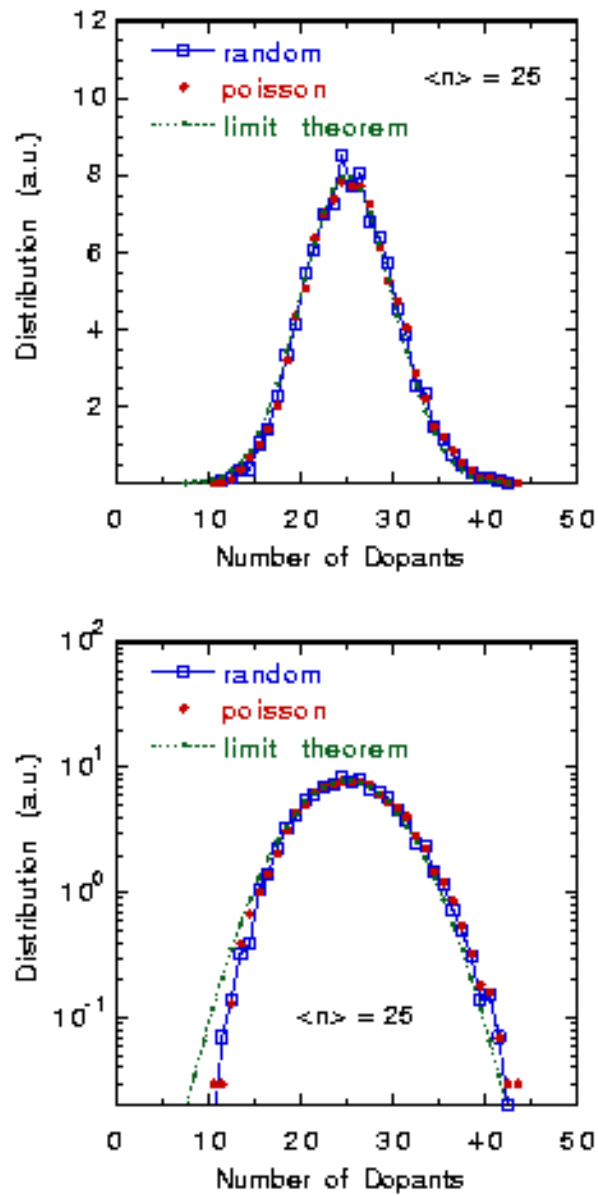


図 42: 実効チャンネル長およびデバイス幅が 50 nm の MOSFET 構造において、酸化膜界面から深さ方向 10 nm までの（反転層）領域に含まれるアクセプター不純物数の統計分布。領域に含まれる平均値は  $\langle n \rangle = 25$ 。

#### 4.1.3 シミュレーションにおける離散不純物の意味

不純物ばらつきを考慮したこれまでのシミュレーションでは、不純物の取扱いに曖昧なところが多い。そこで、サブ0.1  $\mu\text{m}$  領域の極微細 MOSFET 構造における不純物の離散性について、ここで論じることは有用であろう。

極微細デバイス構造の空乏層領域に含まれる不純物数は数十個のオーダーになる。つまり、不純物はまさに離散的にデバイス内に存在する。そして、それぞれの不純物が非常に深いポテンシャルをもつ。一方、ドリフト拡散法等のシミュレーションにおいて、不純物は各メッシュ・ノードに不純物濃度として与えられる。サブ0.1  $\mu\text{m}$  領域の極微細 MOSFET 構造での空乏層領域におけるメッシュ数は、一般に、不純物数に対応する数十個よりもかなり多くなることから、各メッシュ内に含まれる不純物の数は、殆どの場合、0か1になる。つまり、各メッシュ・ノードで不純物濃度が数桁に渡って変化する状況になる。そして、これが atomistic な離散不純物という意味であり、実際に、極微細デバイスではこのような状況が作り出されていると考えられる。

一方、これまでのサブミクロン級のデバイス構造においては、2次元シミュレーションが主体ということもあって、各メッシュ内に含まれる不純物数がゼロになるということは殆ど考えられなかった。そして、このような場合、不純物のばらつきは、各メッシュ・ノードでの不純物濃度が数十%あるいはせいぜいファクターの違いでばらつくという状況になる。換言すれば、不純物ばらつきは、従来のジェリウム近似の拡張で議論することができた。そして、このときのシミュレーションの次元やメッシュ依存性は、次のセクションで議論するように、atomistic な場合と異なって大きな影響を及ぼさないと考えられる。従って、本研究の解析対象であるサブ0.1  $\mu\text{m}$  領域の極微細 MOSFET では、3次元的な atomistic 離散不純物をシミュレーションに再現したうえで解析を行う、ということが本質的になる。

atomistic な離散不純物をシミュレーションにおいて再現するには、メッシュの形状にも注意が必要である。離散不純物の影響を考慮したこれまでの殆どのシミュレーションでは、デバイスの深さ方向、チャンネル方向、デバイス幅方向に対して、それぞれ異なったメッシュ間隔を用いている。これは、ゲート直下の反転層領域でデバイスの深さ方向に細かくメッシュを切る必要があることからの要請であった。しかしながら、不純物のポテンシャルは極対称であり、しかもメッシュ・ノードの濃度は(殆どの場合)不純物1個の存在を表すことから、このような離散的な不純物をできるだけ現実的(atomistic)に再現するためには、対称なメッシュを使うことが不可避である。何故ならば、不均一メッシュを用いた場合には、極在した不純物の作るポテンシャル形状がメッシュ間隔に応じて人為的に変形されてしまうためである。また、それぞれの孤立した離散不純物は、atomistic な離散不純物モデルでは電荷が $\delta$ 関数で表されるために深いポテンシャル形状をもつことから、できるだけメッシュ間隔を小さくする必要がある。そして、このメッシュ間隔が、ポアソン方程式を数値的に解く際の精度に相当することになる。これらのことから、3次元シミュレーションにおいては、用いられるメッシュ・ノード数が膨大にならざるを得ない。

atomistic モデルによる離散不純物の影響を明確にするための本シミュレーションでは、ゲート長は100 nmから30 nm程度のMOSFET構造で計算を実行した。この場合のシミュレーションに用いたメッシュ間隔は、一辺が2 nmの立方メッシュである。従って、不純物がメッシュに1個存在した場合は、そこでの不純物濃度は $1.25 \times 10^{20} \text{ cm}^{-3}$ となる。また、

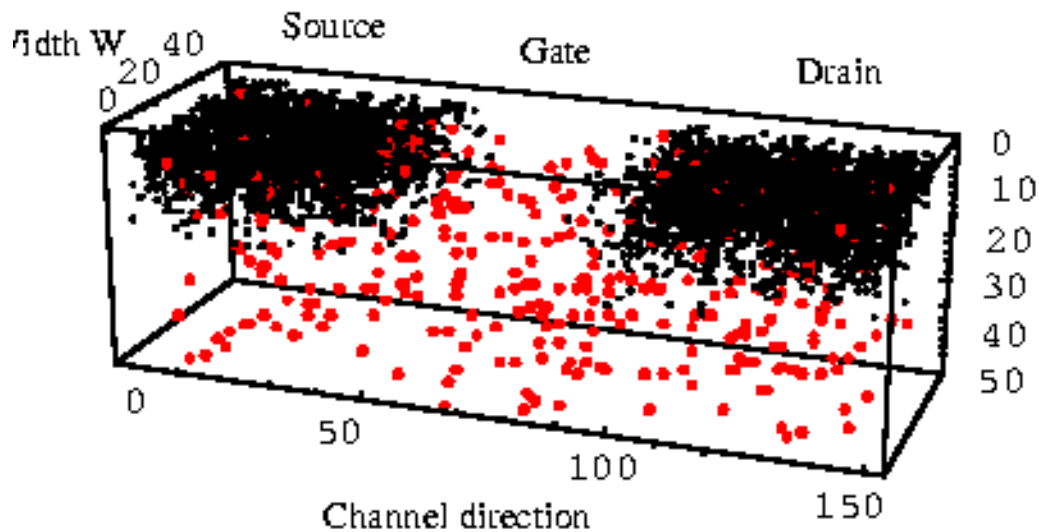


図 43: チャンネル長およびデバイス幅が 50 nm の MOSFET 内での離散不純物の 3 次元分布。黒丸はドナー不純物、灰色はアクセプター不純物を示す。本解析で用いられるいくつかの (atomistic あるいは jellium の) 不純物モデルは、この離散的な不純物分布をもとに構築される。

ソースおよびドレインの高濃度領域のドナー不純物も離散的 (atomistic) に取り扱った。その結果、本シミュレーションにおいては、アクセプター不純物の存在する確率が大多数のメッシュ・ノードにおいて 0 という状況になり、atomistic 不純物の状況が再現できている。前セクションで説明した離散不純物生成の第 2 の方法によって、デバイス内に作成した離散不純物の 3 次元分布の一例を図 43 に示す。チャンネル長およびデバイス幅は 50 nm の MOSFET 構造で、黒丸はドナー不純物、灰色はアクセプター不純物を示す。基板濃度は  $10^{18} \text{ cm}^{-3}$  と設定しており、ゲート直下の ( $xz$ -) 平面内に含まれるアクセプター不純物数の平均は 5 個である。

#### 4.1.4 サブスレシヨルド特性 : jellium 不純物 vs ‘atomistic’ 不純物

##### サブスレシヨルド特性の高バイアス側へのシフト

シミュレーションに用いられる離散不純物の (jellium dopant モデルおよび atomistic dopant モデルに関する) モデル依存性を調べるために、3 次元ドリフト拡散法を用いて MOSFET 構造でのサブスレシヨルド特性を検討した。シミュレーションに用いた MOSFET のデバイス構造パラメータを表 5 に示す。離散不純物 (アクセプターおよびドナーの両方) は、図 43 で表されるように、各メッシュ内においてポアソン分布が成立するように生成した。そして、この不純物分布を固定した状態で、2 種類の不純物モデル (jellium 或いは atomistic) のもとでシミュレーションを実行した。

ドリフト拡散シミュレーションにより求めたサブスレシヨルド特性を図 44 に示す<sup>19</sup>。一

<sup>19</sup> デバイスの構造パラメータ (特に酸化膜厚) が最適化されていないために、しきい値が全体的に高めに

channel length (nm)	50
oxide thickness (nm)	3
substrate impurity ( $\text{cm}^{-3}$ )	$1 \times 10^{18}$
junction depth (nm)	10

表 5: 3Dドリフト拡散シミュレーションに用いたデバイス構造パラメータ

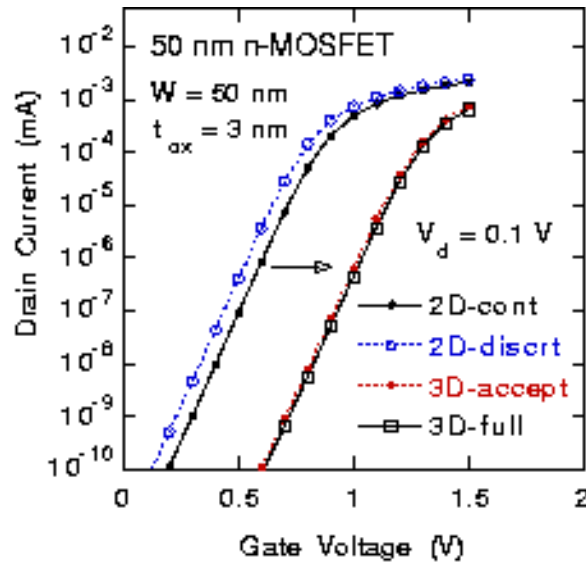


図 44: atomistic な 3次元シミュレーション (ドナーおよびアクセプターの両方を離散化した場合 (3D-full) とアクセプターのみ離散化した場合 (3D-accept)、jellium な不純物である 2次元シミュレーション (2D-discret)、一様な不純物濃度のもとでの 2次元シミュレーション (2D-cont) により求めたゲート長 50 nm の MOSFET におけるサブスレショルド特性。

様な不純物濃度のもとでの通常の 2次元シミュレーションによる結果を実線 (2D-cont)、不純物濃度を不純物数の分布によって変化させた 2次元シミュレーションによる結果を点線 (2D-discret) で示す。これらのシミュレーションは 2次元シミュレーションであることから、各メッシュ内に含まれる不純物数は常に 1 よりも大きく、いずれの場合においても不純物分布は jellium な状態になっている。これらの 2次元シミュレーションの結果において大きな差は見られない。既に報告があるように、非一様 (かつ jellium) な不純物分布のもとでは、しきい値が若干低バイアス領域にシフトする傾向が見られる。一方、ドナーおよびアクセプターの両方の不純物を完全に atomistic にして行った 3次元シミュレーションの結果は、実線 (3D-full) で示す。また、アクセプターのみをを離散化した場合の結果は点線 (3D-accept) で示す。3次元シミュレーションの結果は両者においてほぼ同様のサブスレショルド特性を示すが、2次元シミュレーションによる結果と大幅に異なる。jellium な不純物のものに比べて、atomistic な不純物の場合は、非常に高バイアス領域にサブスレショルド特性が全体

的にシフトする。

この違いが物理的に本質的なものであるのか、或いは、ドリフト拡散法に内在する数値計算上のエラー（破綻）によるものなのかを明確にすることは、シミュレーションの正当性や現実的な極微細デバイス特性の定量的な予測を可能にするうえで非常に重要である。

不純物が局所的に点在するときは、離散不純物濃度は $\delta$ 関数的な形状になる。たとえば、アクセプター不純物に対しての不純物濃度 $\rho_{ac}(\mathbf{r})$ は

$$\rho_{ac}(\mathbf{r}) = -q \sum_{i=1}^{N_{ac}} \delta(\mathbf{r} - \mathbf{r}_i) \approx -q \sum_{i=1}^{N_{ac}} \frac{1}{(\Delta x)^3} \quad \text{if } |\mathbf{r} - \mathbf{r}_i| \leq \frac{1}{\Delta x} \quad (52)$$

で表せる。ここで、 $\mathbf{r}_i$ ,  $N_{ac}$  および  $\Delta x$  はアクセプター不純物の位置、デバイス内に含まれるアクセプター不純物の総数、立方メッシュの1辺の長さである。ただし、不純物があるメッシュ内に含まれる場合は、1個であると仮定している<sup>20</sup>。図43に示した不純物分布のもとで、ゲート酸化膜界面直下の(xz-)平面における不純物の濃度分布を図45に示す。尚、これらの図はatomisticおよびjelliumな不純物モデルに対するものである。atomisticな場合から明らかのように、この平面内には3個のアクセプター不純物が存在する。一方、jelliumモデルにおいては、不純物濃度がデバイス幅方向に平均化されてしまうことから、これらの不純物が人為的に変形される。加えて、幅方向に一樣かつ小さなバンプとして存在することになる。明らかに、このようなjelliumモデルが現実の物理を反映しているとは言い難い。

同じゲート酸化膜直下の平面内における電子に対するポテンシャル分布を、atomisticおよびjelliumな不純物モデルに対して、図46および図47にそれぞれ示す。atomisticな不純物モデルにおいては、3個のアクセプター不純物によって急峻なポテンシャル・ピークが存在する。また、この平面近くに存在する不純物によって、ポテンシャルに弱いバンプが存在し、等高線が歪んで不均一になっているのがみて取れる。チャンネル領域に存在する電子にとって、これらの不純物によるポテンシャルは非常に大きなバリアとして働き、このポテンシャルを避けるように迂回して電子は走行せざるを得ない。つまり、一樣な不純物濃度を仮定した場合に比べて、電子の走行できる領域（面積）が縮小し、チャンネル電子に対する抵抗が大きくなる。加えて、電子のチャンネルでの走行距離が迂回することにより実効的に増大することから、この事実も抵抗の増大を導く。一方、jelliumな不純物モデルの場合は、不純物濃度の不均一性から若干等高線が乱される<sup>21</sup>だけで、チャンネル電子の走行を不均一にする要因は何も存在しない。これらの結果から、atomisticな不純物モデルにおいてはチャンネル領域での電子密度が抑制され、jelliumな不純物モデルの場合に比べて、ソースからドレインにかけての（拡散）ポテンシャル・バリアが低くならない。電子を流すためには、電子濃度を上げてこのバリアを下げる必要があり、より大きなゲート電圧が必要になる。結局、不純物がatomisticな状況においては、サブスレシヨルド特性が高バイアスな領域にシフトせざるを得ないと考えられる<sup>22</sup>。

また、図44から明らかのように、ドナー不純物もatomisticに取り扱った場合は、アクセプター不純物のみを離散的に扱った場合と殆ど差がない。これは、次のように説明される。

<sup>20</sup>atomisticな状況であれば、殆どの場合、この仮定は正しい。

<sup>21</sup>ただし、2次元形状であることからデバイス幅方向は均一になる。

<sup>22</sup>ただし、ここでの議論は、不純物のもつポテンシャルがあくまでもatomisticなポテンシャル形状になると仮定したうえでのことである。次のセクションで明らかにするように、実は、この仮定そのものが物理的に正しくない。



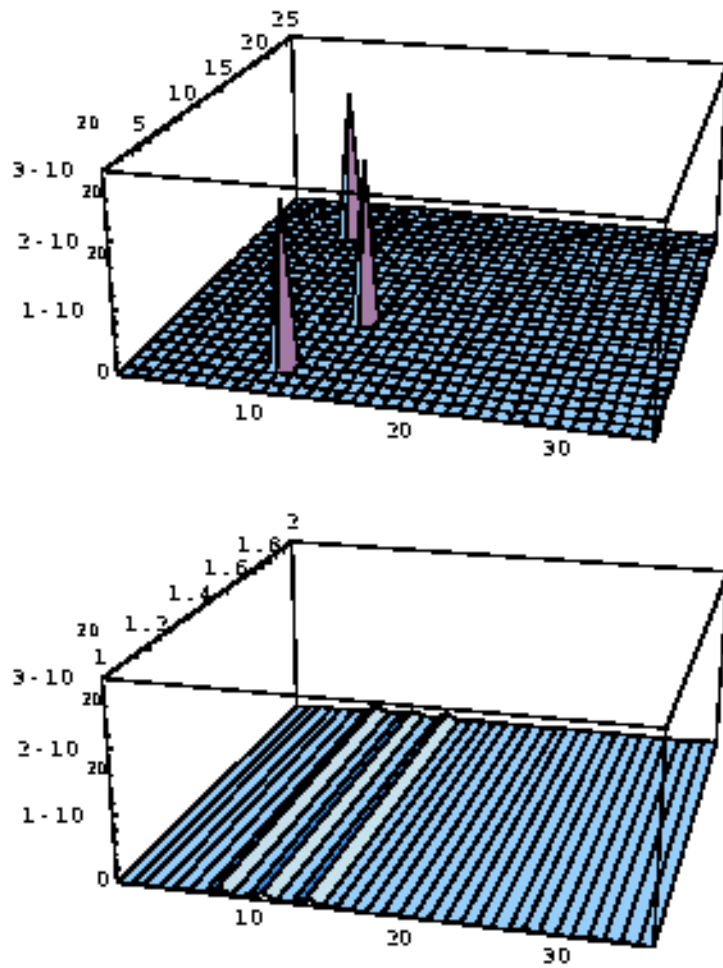


図 45: atomistic (上図) および jellium (下図) な不純物モデルに対するゲート酸化膜界面直下での (xz-) 平面におけるアクセプター不純物の濃度分布。

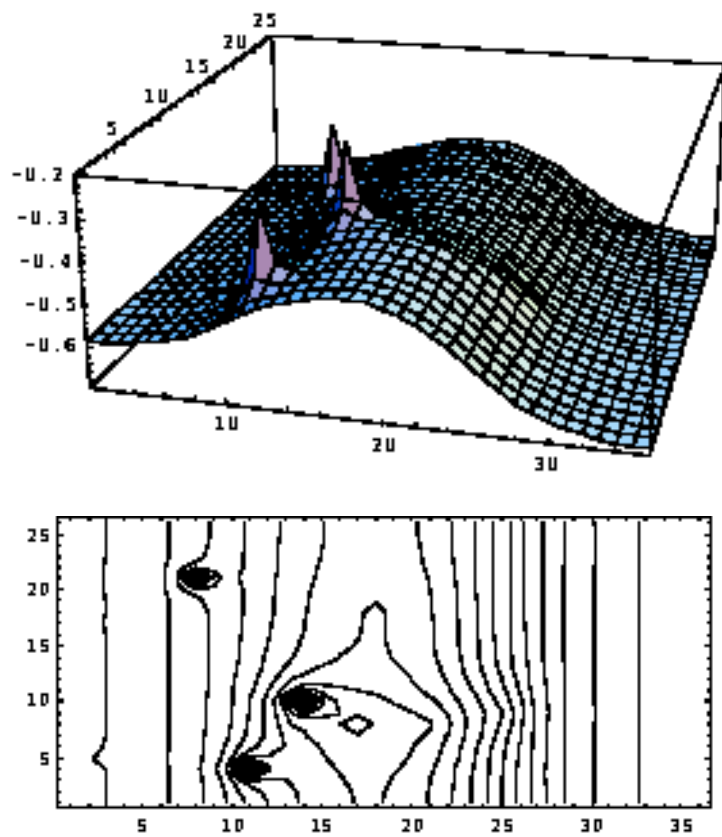


図 46: atomistic な不純物モデルに対するゲート酸化膜界面直下での  $(xz-)$  平面における電子に対するポテンシャル分布 (鳥瞰図および 2-D 等高線)。

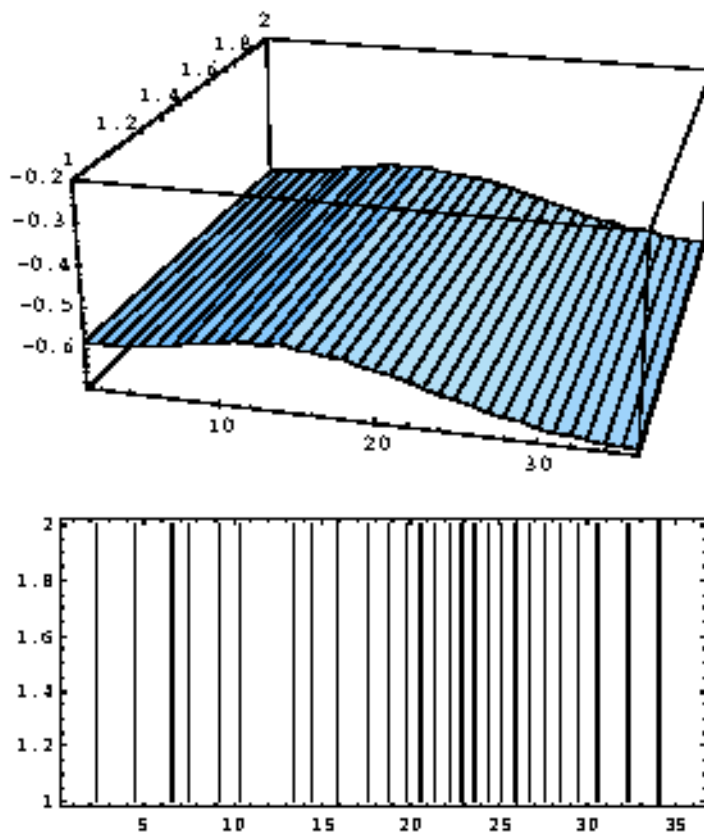


図 47: jellium な不純物モデルに対するゲート酸化膜界面直下での  $(xz-)$  平面における電子に対するポテンシャル分布 (鳥瞰図および 2-D 等高線)。

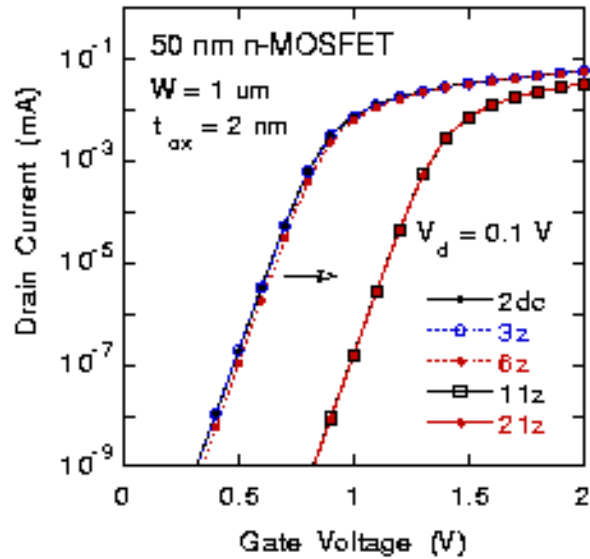


図 48: メッシュ・サイズを変化させたときのサブスレショルド特性。デバイス幅  $W$  は 50 nm、(一様) 基板不純物濃度は  $5 \times 10^{18} \text{ cm}^{-3}$  と設定。

ドナー不純物の離散性が問題になるのは、アクセプター不純物と同程度の濃度領域であると考えられる。本研究で用いたデバイス構造パラメータのなかで、チャンネル方向の接合深さは 10 nm としていることから、ドナー不純物の離散性がアクセプター不純物の離散性と同程度に顕在化する領域は、10 nm よりもかなり狭い領域に限られる。従って、これら二つの場合で大きな差は生じないと考えられる。

#### シミュレーションのメッシュ依存性

しきい値特性のシフトが、atomistic な不純物か或いはjellium な不純物であるかによって生じることから、このようなしきい値特性の特異性は、3D ドリフト拡散シミュレータに用いられるメッシュ・サイズに関わっていると考えられる。そこで、3D ドリフト拡散シミュレーションにおけるサブスレショルド特性のメッシュ依存性を調べた。

デバイス幅  $W$  が 50nm のデバイス構造では、メッシュ・サイズをいかに大きく取っても、3次元のjellium な不純物状態を作り出すことはできない。そこで本セクションでは、デバイス幅を 1  $\mu\text{m}$ 、基板の(一様な)不純物濃度を  $5 \times 10^{18} \text{ cm}^{-3}$  と設定することにする。このデバイス構造のもとで、デバイスのチャンネル方向と深さ方向のメッシュ・サイズはこれまで(一辺 2 nm)と同じく不変に保ち、デバイス幅方向のメッシュ・サイズを変化させて、jellium な不純物モデルから atomistic な不純物モデルへと移行させる。ただし、デバイス幅方向のメッシュ・サイズが大きいため、デバイス全域に立方メッシュを使うことができない。従って、この場合の不純物ポテンシャルは人為的に変形しており、現実的に正しい不純物プロファイルを与えるものではない。

さまざまなメッシュ・サイズを用いることにより、jellium な不純物モデルから atomistic な不純物に移行させるようにして求めたサブスレショルド特性を図 48 に示す。(デバイスの

幅方向の) 用いたメッシュ数は、2, 6, 10, 20個である。図に示されている数字はメッシュ・ノード数で、それぞれ3, 7, 11, 21個を意味する。各メッシュに含まれる不純物の平均数は、メッシュ数が6個において約1個、10個では約0.5個となる。このデバイス構造におけるゲート酸化膜直下の体積と表面積との比は、チャンネル長が短いことから、サブミクロン級のデバイスに比べて大きくなる。言い替えれば、各メッシュに含まれる不純物の平均数が0.5個の場合、表面ではさらにその半分程度になり、かなりのメッシュには不純物が含まれない状況になる。つまり、このとき不純物はatomisticな状況と言える。図48によれば、メッシュ数が6個まではサブスレシールド特性は殆ど変化しないが、それ以上のメッシュ数においてサブスレシールド特性が高ゲート電圧領域に一気にジャンプする。

何故、あるメッシュ数を境にサブスレシールド特性が急にシフトするのか？ このシフトは物理的に正しいのか？ jelliumな不純物分布のもとでは、殆どの電流が流れる酸化膜直下の平面内のポテンシャルは緩やかに変化している(図47参照)。従って、電流は平面内をほぼ均一に流れることができると考えられる。つまり、電子にとって流れることのできる領域は、いずれのゲート電圧においてもほぼこの平面全域である。一方、不純物の分布がatomisticになるにつれて、不純物の作るポテンシャルは急峻なピークとして成長する(図46参照)。このとき、電子にとって流れることのできる領域は、不純物によるこれらのポテンシャル・ピークを避けた領域に限られてしまう。そして、これらの不純物によってチャンネル領域のポテンシャルが引き上げられてしまい、あるゲート電圧までは電子がこのポテンシャル・バリアを越えることができない。つまり、電子がほぼ均一に流れることができる(jelliumな)状況か、或いは蛇行せざるを得ない(atomistic)状況かによって、サブスレシールド特性が急に変化してしまうものと思われる。しかしながら、ほぼ均一な電子輸送から蛇行な電子輸送への推移は、本来ならば、連続的に起きると考えられることから、ドリフト拡散シミュレーションがこのようなatomisticな不純物を正しくシミュレートしていない可能性がある。このような物理的に不可思議な振る舞いは、ポアソン方程式に組み込まれる不純物の電荷分布とそれに応じた静電ポテンシャルによってもたらされている。つまり、ドリフト拡散シミュレータに組み込まれる不純物ポテンシャルは、果たして、デルタ関数的な電荷分布に伴ったもので良いのか、物理的に考察する必要がある。これが、次セクションの目的である。

まとめると、atomisticな不純物分布がシミュレーションに生じている場合は、ほぼ均一なjellium不純物の従来シミュレーションによるサブスレシールド特性に比べて、かなり高いゲート電圧領域にシフトしてしまう。このようなatomisticな不純物分布のもとでのしきい値電圧のシフトは現実的には疑わしいことから、現在のatomisticな不純物モデルが正しい物理を反映しているかどうかは疑わしい。実験的検証の予測のためにも、(シミュレーションに用いられる人為的なメッシュ依存ではなく)現実的に、どの程度の不純物分布でしきい値ばらつきが生じるのか、といった基本的疑問に答える定量的シミュレーションが、将来の安定な集積化のうえで不可欠である。そのためにも、ドリフト拡散法に適した正しい物理を(後述するように)反映した不純物モデルの構築が不可避である<sup>23</sup>。

<sup>23</sup>一方、極微細構造での準弾道輸送のために、定量的なデバイス特性評価のためには、ミクロに電子の輸送を扱うことができるモンテカルロ法等の粒子シミュレーションに頼らざるを得ない。

#### 4.1.5 本章のまとめ

統計的な電流ゆらぎの解析を目的とした3次元Si-MOSFET構造のもとでのシミュレーション解析に着手した。まず、シミュレーションへの離散不純物の導入方法を詳細に検討し、シミュレーションに用いられるメッシュによって、デバイス内における微少領域（反転層領域）における不純物分布に差が生じる可能性を指摘した。そして、現在のところ広く行われているドリフト拡散法を用いたatomisticな不純物ばらつきに着目して、その物理的妥当性について考察を行った。特に、サブ0.1ミクロン領域の極微細デバイス構造のもとでの不純物分布のばらつきの意味について議論したうえで、このような極微細構造での不純物は、離散的な状況を正しく反映したシミュレーションが不可欠であることを強調した。atomisticな局所的な不純物を導入したドリフト拡散法により、サブスレシールド特性を評価した結果、これまでの報告とは異なり、高ゲート電圧側へのサブスレシールド特性の大幅なシフトが判明した。そして、使用されるメッシュによって、不純物がatomisticか或いはjelliumに推移することから、シミュレーション結果もメッシュに強く依存することを見出した。

サブスレシールド特性の大幅な高ゲート電圧側へのシフトは、離散分布した局所的な不純物ポテンシャルによって、反転層領域の電流パスが大きく蛇行し、電子にとってチャネル領域が高抵抗になるためと考えられる。しかしながら、メッシュの大きさを変化させた場合、しきい値特性のジャンプがあるしきい値を越えて急激に起きることから、このシフトはシミュレーション上の人為的な効果である可能性が高い。しかも、現実的にはこのような大幅なシフトは不自然であり、atomisticな不純物モデルの正当性に疑問がある。加えて、電子も離散的であることを鑑みれば、離散性が強調されるサブ0.1ミクロン領域の極微細デバイス構造においては、電子の走行を正しくシミュレーションするモンテカルロ法等の粒子的手法が、定量的な理解を進めるのに必要になると考えられる。

## 4.2 3次元ドリフト拡散法のための新しい離散不純物モデル

### 4.2.1 はじめに

前セクションで指摘したように、サブ-100nm領域の極微細デバイス構造でのデバイス特性解析が常識的になってきたことにより、統計的なしきい値電圧のデバイスごとのばらつきは、現実的な問題となってきている [46]。統計的なしきい値電圧ばらつきについては、1970年代に現象論的議論のもとで既に指摘されている [20] が、本格的な数値シミュレーション解析は、西之原等のパイオニア的なシミュレーション解析が最初である [23]。

これらのシミュレーションでは、実験値あるいはプロセス・シミュレーション等により得られている既知の不純物プロファイルから見積もられる各メッシュの不純物数を平均値としたポアソン分布を用いて、不純物の空間的分布をばらつかせる。この手法をいわゆる‘atomistic’な領域まで拡張した場合は、各メッシュに含まれる不純物数は殆どのメッシュにおいてゼロとなる。これが、前セクションで詳しく議論したような‘atomistic’な不純物モデルである。実際、サブ100 nm領域の極微細 MOSFET においては、まさしくこのような状況が作り出されているわけである。図 49は、相対的に大きな従来のデバイスとサブ100 nm

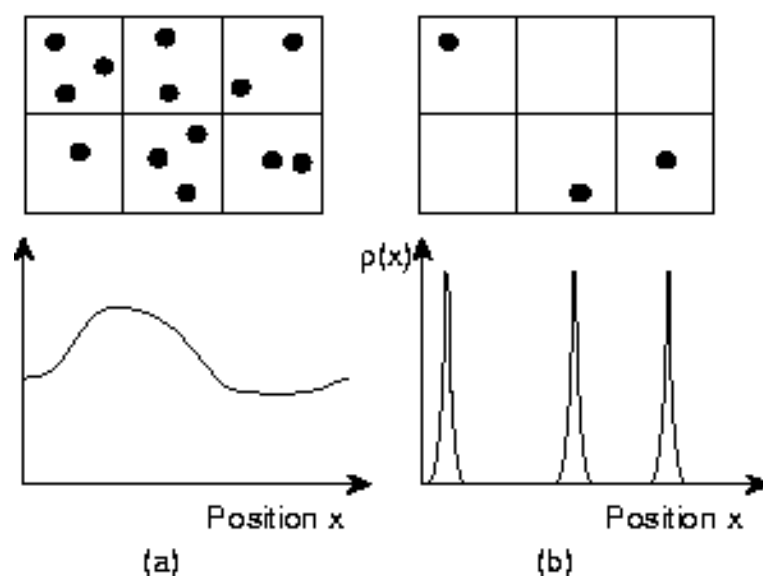


図 49: (a) 大きなデバイスと (b) サブ100 nm の‘atomistic’なデバイスに対するドリフト拡散シミュレーションに用いられる不純物の空間的分布（上図）とそれらの不純物分布に応じた不純物密度（下図）の場所依存性の概念図。

の‘atomistic’なデバイスに対して、ドリフト拡散シミュレーションに用いられる不純物の空間的分布とそれに応じた不純物密度を概念的に示したものである。しかしながら、このような‘atomistic’な状況に対して、‘atomistic’な不純物モデルを用いたドリフト拡散シミュレーションが物理的に妥当なものであるかどうか、ということをはっきりとすることが本セクションの目的の一つである。

本セクションでは、‘atomistic’な状況のもとでの不純物のもつクーロン・ポテンシャルの

物理的意味を詳細に考察し、‘atomistic’なドリフト拡散法の正当性について検討する。その結果、極微細 MOSFET における基本特性の正しい解析には、不純物のもつポテンシャルの長距離と短距離成分の分離が本質的に重要になることを示す。即ち、デバイス・シミュレータに組み込まれたポアソン方程式のポテンシャルは、空間的になだらかに変化する不純物ポテンシャルの長距離成分が反映されることを示す。さらに、我々が最近作成した不純物ポテンシャルの長距離成分を考慮した 3 次元シミュレーションのための新しい不純物モデルについて紹介する [32, 50, 51]。さらに、本不純物モデルは、不純物ばらつきが無視できる相対的に大きなデバイス構造では、従来の jellium 不純物を用いた 2 次元シミュレーションの結果を再現することを示す。

#### 4.2.2 ‘atomistic’不純物モデルの問題点

極微細デバイス構造におけるしきい値電圧ばらつきを解析するうえで最も重要な点は、デバイス基板にドーブされた不純物のミクロスコピックな空間的不均一性を如何にシミュレータに導入するか、ということにある。即ち、一様ドーブした不純物に対しては、不純物はマクロスコピックに均一に分布すると仮定されるが、これはデバイス・サイズが相対的に大きい場合に限り正しい。従って、デバイス・サイズが微細になるにつれて、ミクロスコピックな不均一性が無視できなくなる。

このようなミクロスコピックな不純物の不均一性をシミュレーションに反映させるためには、一般に、デバイス内で想定されている局所的な不純物密度に応じて、不純物数をポアソン分布に従って発生させる。そして、その領域での発生させた不純物数からその点における不純物密度に変換することにより、ポアソン分布に従った不純物のばらつきを生成する。ドリフト拡散シミュレーションにおける不純物の不均一性は、このように導入される。デバイス・サイズが相対的に大きい場合（例えば、2 次元シミュレーション）は、各メッシュに含まれる不純物数は 1 個以上になる。従って、各メッシュごとの不純物密度の変化は、後述する ‘atomistic’ な不純物の場合に比べてずっと小さくなる。これは、各メッシュにおける不純物密度が、有限の値で与え得ることを意味する。一方、‘atomistic’ な状況では、各メッシュに含まれる不純物数は殆どの場合ゼロであり、たまに 1 個存在するといった状況になる。このような場合、各メッシュごとの不純物密度の変化は非常に急峻になり、不純物密度はデルタ関数的な特異な分布になる。これらの状況に応じた不純物密度の違いを図 49 に概念的に示してある。

静電気学から良く知られているように、電荷がデルタ関数で与えられるときは、静電ポテンシャルは、電荷のあるところで特異点になるクーロン・ポテンシャルで与えられる。しかしながら、相対的に大きなデバイスのときのように、電荷分布が有限で滑らかに変化するような場合は、静電ポテンシャルは有限でスムーズに変化する。そして、このときのポテンシャルは、半導体における電子に対する伝導帯あるいは正孔に対する充満帯のバンド・エッジを表現することに注意する必要がある。このようなスムーズなポテンシャルの変化は、ポテンシャルを求める際に使われるメッシュ間隔  $\Delta$  が、不純物の平均的な間隔  $N^{-1/3}$  に比べて十分に大きいことから、各不純物のポテンシャルの近距離成分が暗に無視されることによる（図 49 参照）。

一方、‘atomistic’ な状況では、メッシュ間隔  $\Delta$  は不純物の平均的な間隔  $N^{-1/3}$  と同程度



か小さい。つまり、クーロン・ポテンシャルの長距離成分のみならず近距離成分まであからさまに含まれてしまう。従って、‘atomistic’な不純物は、これまでのjelliumな不純物と異なり、フルのクーロン・ポテンシャルをポアソン方程式に取り込むことになる。このような状況を明確に示すために、図50には、イオン化した不純物により生じるクーロン・ポテンシャルの長距離成分とフルのポテンシャルを概念的に示した。

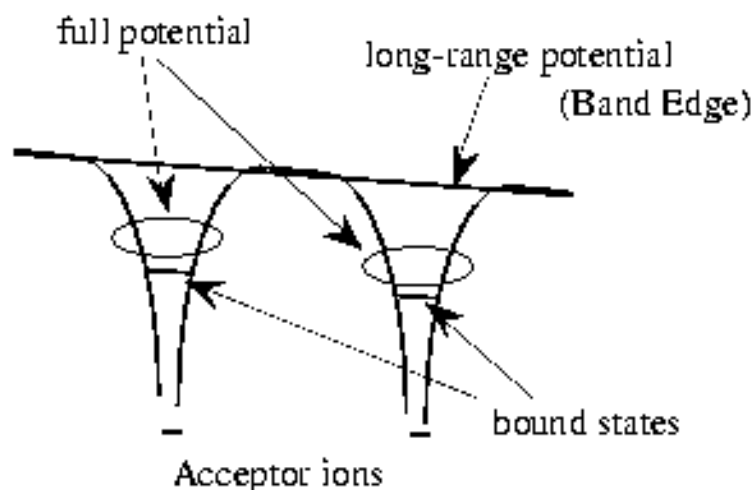


図 50: 局在したイオン化不純物の作るポテンシャルの概念図。実線はフルのポテンシャルと長距離成分を表す。空間的にスムーズに変化するバンドエッジは、不純物ポテンシャルの長距離成分から形成される。

さて、‘atomistic’な状況になっている不純物に対して、しきい値電圧ばらつきをシミュレーション解析する際、古典的なドリフト拡散シミュレータに用いるべきポテンシャルは、どのようなものを用いるべきなのか？これまで広く用いられている‘atomistic’な不純物モデルでは、前セクションで議論したように、電荷分布はデルタ関数的に与えられることから、当然、フルのクーロン・ポテンシャルがシミュレータに組み込まれる。しかしながら、フルのクーロン・ポテンシャルをドリフト拡散シミュレーションに用いた場合は、不純物の近傍にある多数キャリアがポテンシャルに捕獲され、いわゆる自由キャリアとして存在することができなくなる。その結果、イオン化した不純物は常に多数キャリアによって遮蔽され、実効的な不純物の電荷が小さくなる。図51は、ゲート長が50 nmのn-MOSFETでの酸化膜直下の平面での電子に対する静電ポテンシャルを示す。ここで、‘atomistic’な不純物モデルを3次元ドリフト拡散シミュレータに導入して計算を行った。図51から、この平面近傍に3個の局在したアクセプター不純物が存在し、それらの不純物に応じたポテンシャルのピークが見られる。しかも、これらのポテンシャルは、正孔による遮蔽効果によって、裸のクーロン・ポテンシャルに比べて非常に急なスロープをもつことがわかる。しかしながら、酸化膜直下のこの領域は完全に空乏化しているはずであり、自由キャリアである正孔は完全に出払ってしかるべきである。即ち、この結果は、ゲート電極に励起された電荷は空乏層内の裸の不純物の電荷で終端されるべき空乏層が、‘atomistic’な不純物モデルのもとでは、正しく形成されないことを示唆する。勿論、これは物理的に正しくない描像である。

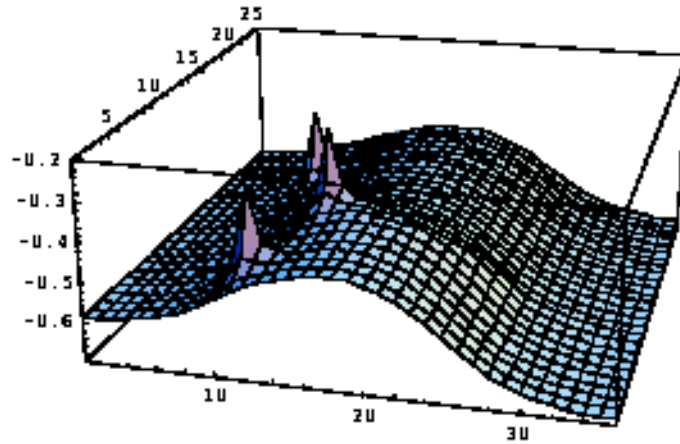


図 51: n-MOSFET ( $L = 50 \text{ nm}$ ) の酸化膜直下の平面内における電子に対する静電ポテンシャル。'atomistic' な不純物モデルのもとで 3 次元ドリフト拡散シミュレータを用いて求めた結果。

このような閉じ込めポテンシャルがある場合、量子力学的には、必ず束縛状態が形成される。しかも、Si の場合、その束縛状態はバンド・エッジに対して非常に浅く、室温程度では容易に連続状態 (バンド) に励起される。即ち、イオン化不純物の近傍にあるキャリアが、不純物のポテンシャルの非常に深いエネルギー準位まで落ち込むことはあり得ない。一方、純粋に古典的なドリフト拡散シミュレータでは、キャリアのポテンシャルによる捕獲を抑え込む機構が存在しない。図 52 に、イオン化した離散不純物によるポテンシャルでのキャリアの捕獲機構の古典的描像と量子論的描像を示す。従って、ドリフト拡散法のような古典的なシミュレータにおいては、キャリアの捕獲を避けるために、不純物のクーロン・ポテンシャルの近距離成分をあからさまに取り除く必要がある。さらに、ポアソン方程式で求まるポテンシャルは、キャリアに対する連続準位を表すバンド・エッジであることも考えれば、ドリフト拡散法におけるポテンシャルは、不純物ポテンシャルの長距離成分が反映されるべきであると考えられる。

#### 4.2.3 3次元離散不純物モデル

前セクションでの議論をもとにして、我々は、不純物ポテンシャルの短距離成分と長距離成分を分離するために不純物のもつ電荷密度に着目した [50]。即ち、離散的な各不純物の電荷密度の短距離成分と長距離成分をあからさまに分離することにより、不純物ポテンシャルの分離を試みた。

原理的には、離散的に局在しているイオン化したアクセプター不純物の電荷密度  $\rho_{ac}(\mathbf{r})$  は、以下のように与えられる。

$$\rho_{ac}(\mathbf{r}) = -e \sum_{i=1}^N \delta(\mathbf{r} - \mathbf{r}_i) \quad (53)$$

ここで、 $e$  は素電荷、 $N$  はデバイス基板全域に含まれるアクセプター不純物の数であり、 $\mathbf{r}_i$

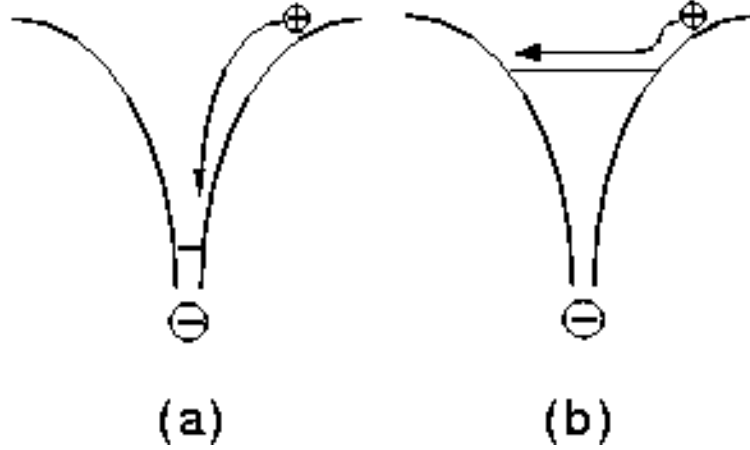


図 52: 離散不純物によるポテンシャルにおけるキャリアの捕獲機構の (a) 古典的描像と (b) 量子論的描像。量子効果によるエネルギー準位はバンド・エッジに対して非常に浅い。

は  $i$  番目のアクセプターの位置を表す。シミュレーションに用いられるメッシュが十分に小さいときは、式 (53) の電荷密度はまさしく ‘atomistic’ な不純物モデルを表す。

式 (53) に含まれるデルタ関数を波数空間で書き直すと、電荷密度の短距離成分と長距離成分をあからさまに分離することが可能になる。

$$\begin{aligned} \rho_{ac}(r) &= -e \sum_{i=1}^N \frac{1}{V} \sum_{k < k_c} e^{i\mathbf{k} \cdot (\mathbf{r} - \mathbf{r}_i)} - e \sum_{i=1}^N \frac{1}{V} \sum_{k > k_c} e^{i\mathbf{k} \cdot (\mathbf{r} - \mathbf{r}_i)} \\ &\equiv -e \sum_{i=1}^N \rho_{ac}^{long}(\mathbf{r} - \mathbf{r}_i) - e \sum_{i=1}^N \rho_{ac}^{short}(\mathbf{r} - \mathbf{r}_i) \end{aligned} \quad (54)$$

ここで、第 1 項は長距離成分を、第 2 項は短距離成分を表す。長距離成分と短距離成分の分離はパラメータ  $k_c$  で行う。物理的には、このパラメータは、不純物に対する多数キャリアによる遮蔽長の逆数、或いは、不純物間の平均距離 (の半分) の逆数と考えられる。しかしながら、ドリフト拡散シミュレーションにおいては、後述するように、フィッティング・パラメータとして扱う。原点にある単一のアクセプター不純物の電荷密度の長距離成分は、以下のように与えられる。

$$\rho_{ac}^{long}(r) = \frac{k_c^3}{2\pi^2} \frac{\sin(k_c r) - (k_c r) \cos(k_c r)}{(k_c r)^3} \quad (55)$$

そして、このときの電子に対する静電ポテンシャルの長距離成分は、以下のように与えられる。

$$\phi_{ac}^{long}(r) = -\frac{2e}{\pi} \frac{1}{r} \int_0^{k_c r} dt \frac{\sin(t)}{t} = -\frac{2e}{\pi} \frac{Si(k_c r)}{r} \quad (56)$$

ここで、 $Si(r)$  は  $\sin$  積分を表す。‘atomistic’ な不純物モデルで存在していた原点での特異点は、上式 (55) と (56) のいずれにおいても除去される。

図 53 および 図 54 に、原点においた単一のアクセプター不純物に対する電荷密度と静電ポテンシャルをそれぞれ示す。これらの図ですべての物理量は、カットオフ・パラメータ  $k_c$  を

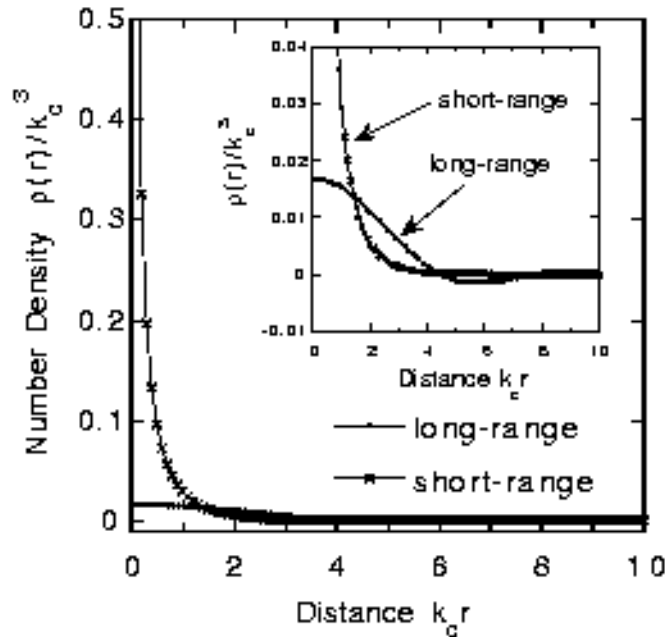


図 53: 原点に局在したイオン化したアクセプター不純物の電荷密度の長距離成分と短距離成分の距離依存性。原点における特異点が長距離成分では除去されている。

用いて規格化している。不純物ポテンシャルの長距離成分はスムーズに空間的に変化し、原点での発散が除かれている。また電荷密度の長距離成分は、大体、パラメータ  $k_c$  の逆数程度の領域にわたって広がっている。このような状況は、‘atomistic’ な不純物モデルの場合と非常に対照的であり、むしろ電荷密度の短距離成分が、‘atomistic’ な状況に近くなってしまおうということを強調しておく。

#### 4.2.4 離散不純物モデルの正当性

我々が最近提案した離散的な不純物モデル [50] の正当性について、実際のいくつかシミュレーション結果を用いて議論する。

シミュレーションに用いたデバイス構造は、典型的な 3 次元 MOS ダイオードと MOSFET 構造である。本稿で用いたデバイス構造の一例を図 55 に示す。デバイス基板のアクセプター不純物は一様ドーピングされていると仮定し、その密度は  $10^{18} \text{ 1/cm}^3$  とした。従って、図 55 の MOS ダイオードおよび MOSFET に含まれるアクセプター不純物数は、それぞれ、1000 個および 750 個程度になる。デバイス内のアクセプター不純物の存在する場所は、それぞれの不純物間に相関が無いようにランダムに発生させる。各メッシュ・ノードでの不純物密度は、式 (55) に従って、それぞれの不純物の電荷密度の長距離成分を重ね合わせることで求めることができる。尚、今回の解析においては、ドナー不純物は従来の jellium な不純物として扱った。

図 56 に、3 次元および 2 次元ドリフト拡散シミュレーションにより求めた Si-MOS ダイオードでの電気容量電圧 (CV) 特性を示す。ここで、不純物モデルとしては、本稿の離

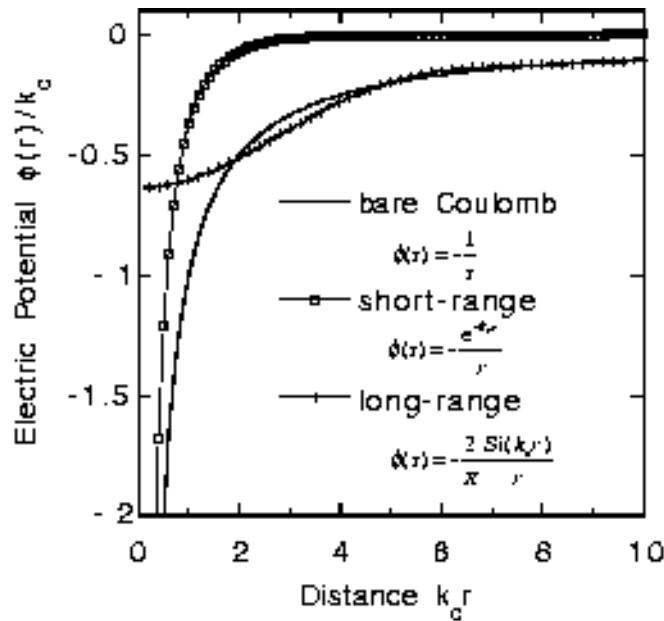
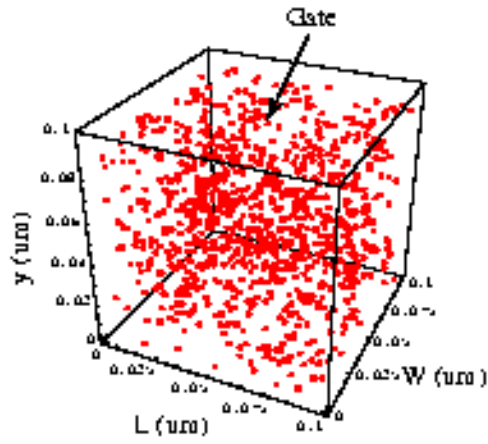


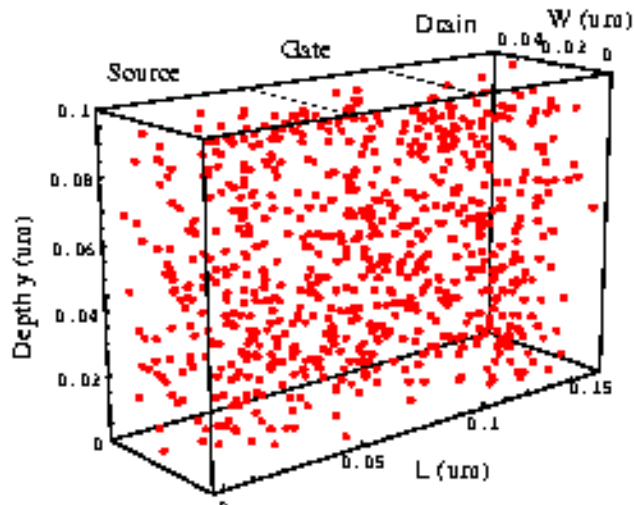
図 54: 原点に局在したイオン化したアクセプター不純物ポテンシャルの長距離成分と短距離成分の距離依存性。実線はフルのポテンシャルを表す。長距離成分は原点における特異点が除去されている。

散不純物モデル (3次元) 従来の不純物ばらつきのない jellium な不純物モデル (2次元) そして ‘atomistic’ な不純物モデル (3次元) の3種類を用いた。デバイス・サイズ  $L$  が相対的に大きな場合 ( $L = 250 \text{ nm}$ ) では、従来の2次元のシミュレーション結果と今回の不純物モデルを用いた3次元シミュレーションの結果が、ほぼ完全に一致する。一方、デバイス・サイズが縮小するにつれて ( $L = 100 \text{ nm}$ )、二つの結果でわずかな差が見え始めてくる。この違いこそが、ミクロスコピックな不純物の不均一性から生じるものであり、いわゆる統計的なしきい値電圧ばらつきを直接的な原因である。

‘atomistic’ な不純物モデルを用いた3次元シミュレーションの結果 ( $L = 100 \text{ nm}$ ) を見ると、全体的に特性が高バイアス領域にシフト (約  $0.5 \text{ V}$ ) していることがわかる。このシフトは前セクションで MOSFET 構造において見られたものと同じもので物理的に正しくない人為的な現象であり、以下のように説明される。前述したように、‘atomistic’ な不純物モデルでは、不純物ポテンシャルの近距離成分があからさまに含まれる。従って、アクセプター不純物の近傍にある正孔はこのポテンシャルに捕獲され、アクセプターの電荷を常に遮蔽してしまう。図 57 にゲート電極に垂直な平面内における正孔密度の等高線を示す。基板内に見られるスポットが、局在したアクセプター不純物を表し、そこに正孔が捕獲されているのがわかる。結果として、ゲート電極に励起された電荷からの電気力線は基板を突き抜け、反対側の境界 (理想的にはバックゲート電極) で終端する。これが、CV 特性の高バイアス方向へのシフトの原因である。従って、‘atomistic’ な不純物モデルでは空乏層が正しく形成されない。実際、‘atomistic’ な不純物モデルでは、このような問題を克服するためにデバイス内部を二つの領域に任意に分割し、‘atomistic’ な領域と従来の jellium な領域を用意する。



(a)  $t_{ox} = 2 \text{ nm}$ ;  $N_{ac} = 10^{18} \text{ cm}^{-3}$



(b)  $L_g = 50 \text{ nm}$ ;  $W = 50 \text{ nm}$   
 $t_{ox} = 2 \text{ nm}$ ;  $N_{ac} = 10^{18} \text{ (cm}^{-3}\text{)}$

図 55: シミュレーションに用いたデバイス構造の例: (a) MOS ダイオードと (b) MOSFET 構造。点はランダムに生成したアクセプター不純物を表す。デバイス基板のアクセプター濃度は一様で  $10^{18} \text{ 1/cm}^3$  と仮定した。

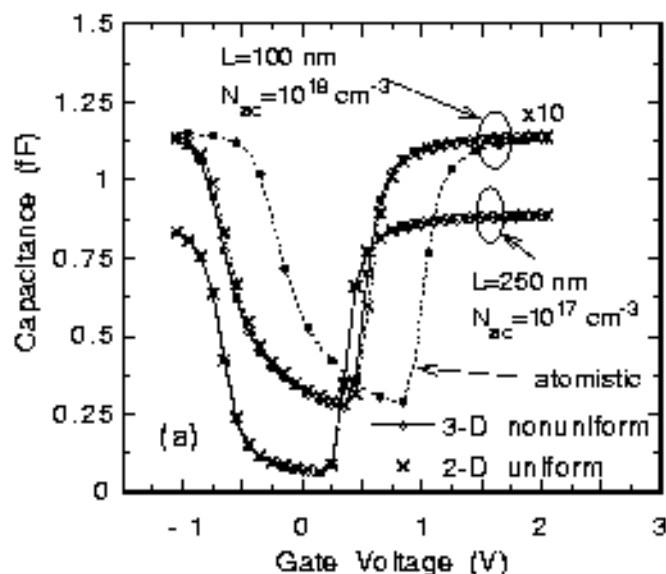


図 56: ドリフト拡散シミュレーションにより求めた MOS ダイオード ( $L = 250 \text{ nm}$  および  $100 \text{ nm}$ ) における電気容量電圧 (CV) 特性。離散不純物モデル (3 次元) は実線で、従来の jellium 不純物 (2 次元) の結果は波線で示す。点線は ‘atomistic’ 不純物モデル (3 次元) を用いた結果を示す。

そして、電気力線を基板内で人為的に終端させるようにする [24, 29, 27]。

我々の新しい離散不純物モデルを用いたときの空乏層の形成の様子を図 58 に示す。図 58 では、MOS ダイオード ( $L = 100 \text{ nm}$ ) での同様の平面内における異なったゲート電圧 ( $V_g = -0.6, 0, 0.6 \text{ V}$ ) での正孔密度の等高線を示す。ゲート電圧の印加とともに、空乏層が正しく形成される様子が見られる。即ち、正孔はモバイルな自由キャリアとして存在し、アクセプター不純物に捕獲されることはない。加えて、アクセプター不純物のミクロスコピックな不均一分布に従って、正孔密度の分布が不均一になる。図 59 に同じ平面内におけるアクセプター不純物の分布を表す密度の等高線を示す。その結果、空乏層の端は一様でなく、変形されているのがわかる。つまり、局所的にしきい値電圧が異なることを示唆する。

MOS ダイオードでの静特性シミュレーションから、本稿の離散不純物モデルが、不純物分布のミクロスコピックな不均一性を良く反映することがわかる。一方で、不純物のミクロスコピックな不均一性が無視できるような大きいデバイス構造のもとでは、これまでの jellium 不純物での 2 次元シミュレーションの結果を再現することができなくてはならない。そのうえで初めて、不純物ばらつきに伴ったしきい値電圧ばらつきの定量的な解析が可能になる<sup>24</sup>。

図 60 に、デバイス・サイズの異なる 2 種類の n-MOSFET でのしきい値特性 (ドレイン電流のゲート電圧依存性) を示す。いずれの MOSFET もゲート長は  $L = 50 \text{ nm}$  とし、デバイス幅は  $W = 500 \text{ nm}$  と  $50 \text{ nm}$  と設定した。また用いたシミュレーション手法は、離散

<sup>24</sup> デバイスのサイズが大きくなるにつれてミクロスコピックな不純物分布の不均一性は無視できることから、相対的に大きなデバイスでのシミュレーション結果はこれまでの jellium な不純物モデルを用いた 2 次元ドリフト拡散シミュレーションの結果を再現しなくてはならない。

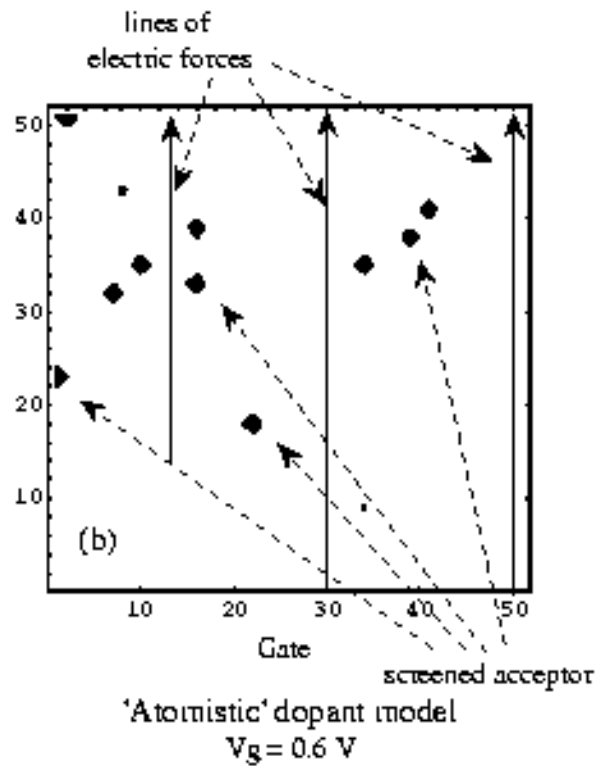


図 57: ゲート電極に垂直な平面 ( $z = 50 \text{ nm}$ ) における正孔密度の等高線。基板内に見えるスポットが局在したアクセプター不純物を表し、そこに正孔が捕獲されている。

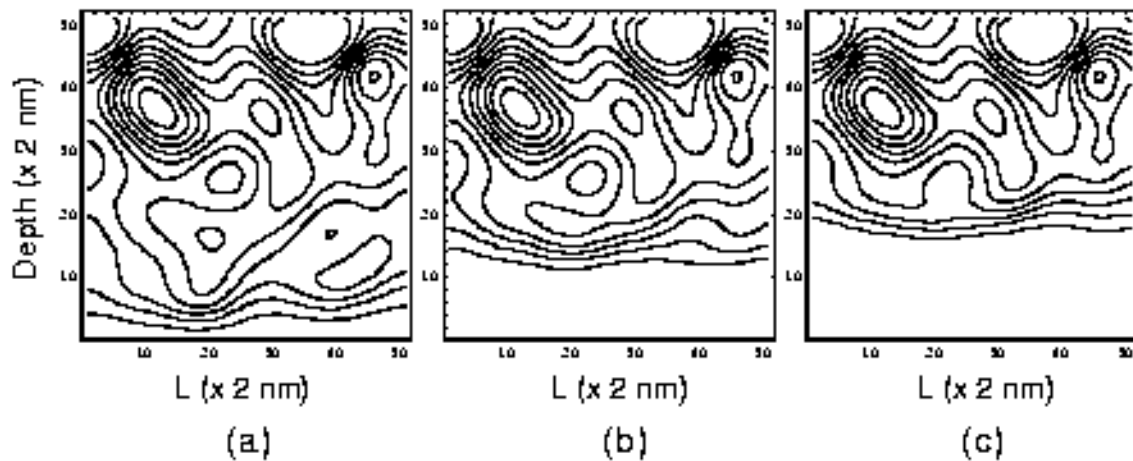


図 58: MOSダイオード ( $L = 100 \text{ nm}$ ) でのゲート電極に垂直な平面 ( $z = 50 \text{ nm}$ ) における正孔密度の等高線。ゲート電圧は (a)  $V_g = -0.6 \text{ V}$ 、(b)  $V = 0 \text{ V}$ 、(c)  $V = 0.6 \text{ V}$  である。ゲート電圧の印加とともに空乏層が形成される様子が見える。



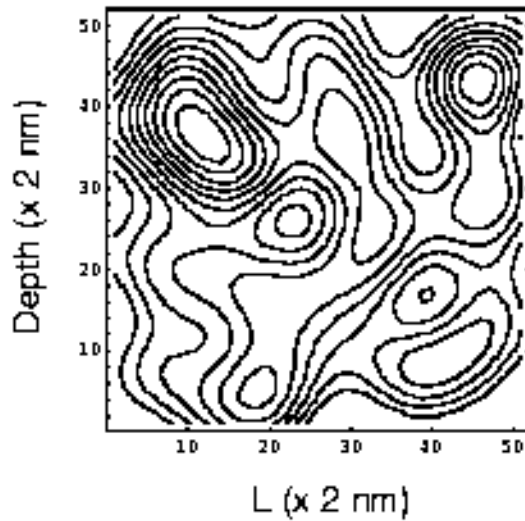


図 59: MOSダイオード ( $L = 100 \text{ nm}$ ) でのゲート電極に垂直な前図と同じ平面 ( $z = 50 \text{ nm}$ ) におけるアクセプター不純物密度の等高線。

不純物モデルを用いた3次元ドリフト拡散法と従来のjellium不純物の2次元ドリフト拡散法である。デバイス・サイズが大きく不純物ばらつきが無視できるような状況 (図 60 (a)) では、オフ電流およびオン電流の両方において、二つのシミュレーション結果で非常に良い一致を得る。このときの不純物ポテンシャルの近距離および長距離成分を分離するカットオフ・パラメータ  $k_c$  は、基板の均一アクセプター密度に対する平均不純物間隔で与えられるスクリーニング長 ( $5 \text{ nm}$ ) の逆数に設定している。つまり、本稿の離散不純物モデルは、物理的に適当なパラメータ  $k_c$  で (相対的に) 大きなデバイスの基本特性の従来結果を再現することができる。言い替えれば、このときのカットオフ・パラメータによって、流体と見なしたドリフトする自由キャリアが感じるポテンシャルの長距離成分を切り出すことができていると言える。このパラメータのもとで微細デバイスの特性を評価すれば、定量的なしきい値ばらつき等のシミュレーション解析が可能になる。

実際、図 60 (b) を見れば、オン電流およびオフ電流領域で2種類のシミュレーションの特性にズレがみられる。しかし、対数プロットから明らかのように、不純物のミクロスコピックな不均一性による特性のばらつきは、オフ電流領域で顕著である。これは、電流値そのものが小さいことにより少数キャリア (いまの場合は電子) による不純物電荷の遮蔽効果が小さく、またゲート電圧が低いために電流の走行領域が基板の深い大きな領域に渡るために、不純物の不均一性がより顕在化するためと考えられる。一方、ゲート電圧が増大するにつれて、少数キャリア (電子) によって不純物の不均一な電荷分布が遮蔽され、なおかつゲート酸化膜直下に電子が束縛されることにより、不純物のミクロな不均一な影響が小さくなる。従って、オン電流領域では、不純物の不均一な影響よりも、電子のキャリアとしての移動度の影響が前面に見えてくる。

図 61 には、小さい MOSFET ( $L_g = 50 \text{ nm}$ ) におけるゲート電圧が  $V_g = 0.6 \text{ V}$  (完全に空乏化している状態での) ゲート酸化膜に垂直な平面 ( $z = 25 \text{ nm}$ ) におけるアクセプター不純物濃度、正孔濃度と電子濃度の等高線図を示す。正孔密度のエッジが近似として空

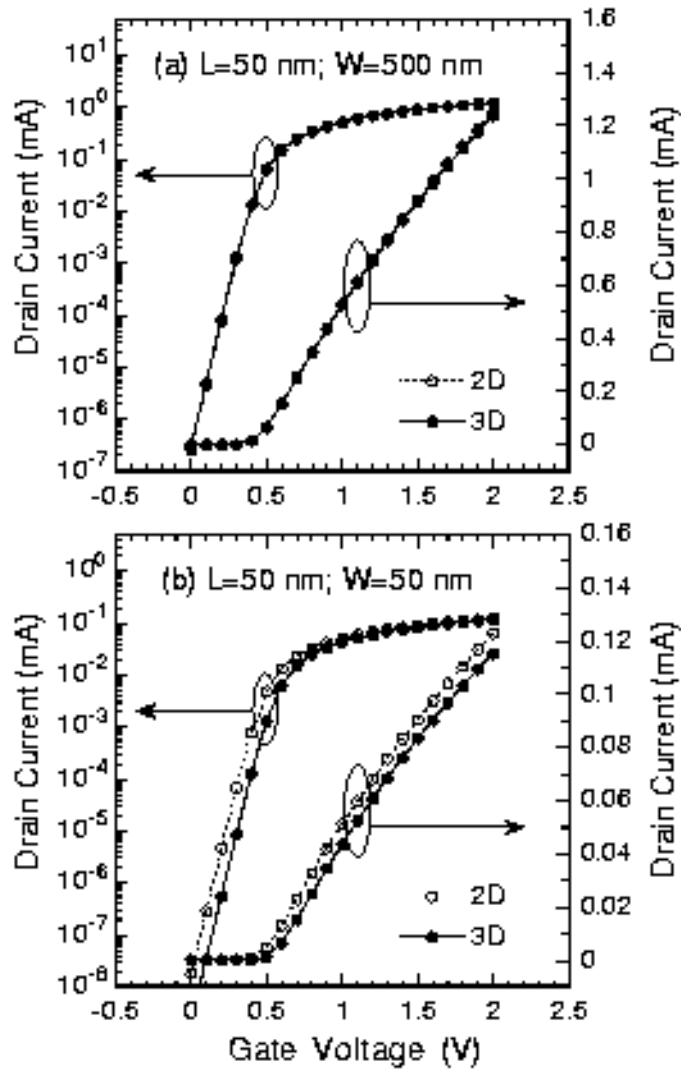


図 60: デバイス・サイズの異なる 2 種類の n-MOSFET におけるドレイン電流のゲート電圧依存性。ゲート長はいずれも  $L = 50$  nm で、デバイス幅は (a)  $W = 500$  nm と (b)  $W = 50$  nm とした。離散不純物を用いた 3 次元シミュレーションは実線で、jellium 不純物の 2 次元シミュレーションは点線で示す。

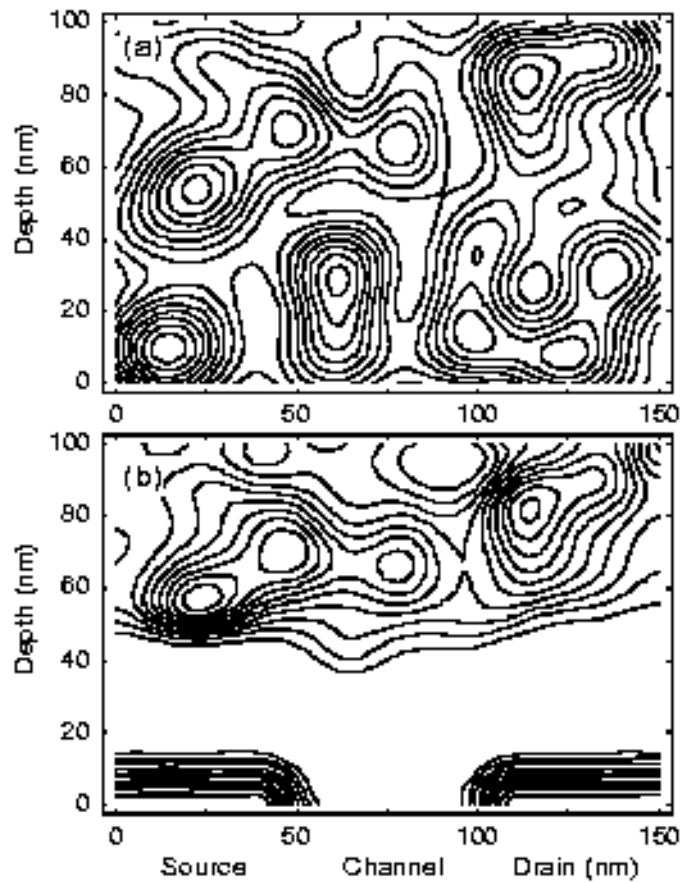


図 61: MOSFET 構造 ( $L_g = 50 \text{ nm}$   $V_g = 0.6 \text{ V}$ ) におけるゲート酸化膜に垂直な平面 ( $z = 25 \text{ nm}$ ) における (a) アクセプター不純物濃度の等高線および (b) 正孔濃度と電子濃度の等高線図。正孔密度のエッジが空乏層のエッジを表す。

乏層のエッジを表すことから、マクロスコピックには均一な不純物分布にも関わらず、ミクロスコピックな不均一性が空乏層形状の形成に密接に関わっている様子がよくわかる。その結果、チャンネル方向において各場所での空乏層幅の大きさ（広がり）が異なることから、しきい値電圧が局所的異なることがわかる。これが統計的なしきい値電圧ばらつきに繋がる。

これらの結果から、本シミュレーション手法を用いたシミュレーション結果の統計的解析を行えば、さまざまなデバイス構造のもとでの定量的なしきい値電圧ばらつきの評価が可能になることは明らかである。それらの詳細な検討については、今後の課題として、別の機会に報告することにする。

#### 4.2.5 本章のまとめ

‘atomistic’な状況のもとでの離散的に存在する不純物のもつクーロン・ポテンシャルについて、物理的観点から考察を与えた。そして、前セクションでの議論から生じた疑問、つまり現在広く用いられている‘atomistic’不純物モデルを用いたドリフト拡散法の正当性について検討した。その結果、後微細 MOSFET における基本特性の正しい解析には、不純物のもつポテンシャルの長距離と短距離成分の分離をすることが本質的に重要になることを明らかにした。特に、デバイス・シミュレータに組み込まれたポアソン方程式のポテンシャルは、空間的になだらかに変化する不純物ポテンシャルの長距離成分が反映されるべきであることを示した。その結果、現在広く用いられている‘atomistic’不純物モデルは、物理的に正しくないデバイス特性評価を導く可能性を指摘した。

そのうえで、不純物ポテンシャルの長距離成分を考慮した 3次元シミュレーションのための新しい離散不純物モデルを提案した。そして、この不純物モデルは、不純物のばらつきが無視できる大きなデバイス構造のもとでは従来の 2次元シミュレーションの結果を再現するとともに、デバイスの微細化に伴った特性ばらつきを定量的に評価することができる可能性を示した。尚、この不純物モデルを用いた定量的なしきい値電圧ばらつきの評価および解析は、早急に検討する必要がある。

## 5 結論

本研究では、ディープ・サブミクロンからサブ0.1ミクロン領域にあるSi-MOSFET構造のもとで、デバイス寿命の不確定性という新たな観点から、極微細デバイスの信頼性について検討した。具体的には、衝突イオン化過程の異方性に伴った基板電流ゆらぎとデバイス劣化との相関を、高精度なフルバンド・モンテカルロ法を用いて検討した。その後で、基板電流ゆらぎがドレイン電流におけるゆらぎと直接的な相関があることから、ドレイン電流のゆらぎを上述の時間的な電流ノイズと不純物の離散性に伴った統計的電流ばらつきといった観点から検討を行った。

### 異方的衝突イオン化による基板電流ゆらぎ

デバイス・サイズがディープ・サブミクロンからサブ0.1ミクロン領域にある典型的デバイス構造 (Si-MOSFET) のもとで、現在のところ最も高精度とされているフルバンド・モンテカルロ法を用いて、デバイス特性 (基板電流) のゆらぎの可能性を検討した。デバイス・サイズがサブ0.1ミクロン領域の極微細デバイスにおいて、基板電流 (或いは、正孔の生成率) のゆらぎが、等方的衝突イオン化過程を前提とした従来の見積もりに比べて数倍大きく顕在化することを、シミュレーションにより初めて示した。

さらに、時間相関関数を評価することにより基板電流ゆらぎの時間スケールを明確にすると共に、このゆらぎの物理機構を検討した。基板電流の時間相関関数の評価をデバイス形状のもとで行い、基板電流ゆらぎの時間スケールを明確にしたうえで、ゆらぎが長時間相関をもつことを見出した。また、基板電流 (或いは、正孔の生成率) ゆらぎの周波数依存性が、通常の $1/f^2$ ではなく $1/f$ 依存性を示すことを見出した。これは、衝突イオン化の起る時間スケールが、異方性に伴い数桁にわたりばらつくためと考えられる。

### 時間軸上での電流ゆらぎ：1次元 $nin$ 構造

1次元  $nin$  構造という単純なデバイス構造を用いることにより、電流ゆらぎシミュレーションの手法依存性 (コンタクトや自己無撞着性) や電流ゆらぎの基本的物理機構を検討を行った。

シミュレーションに用いられる境界条件の電流ゆらぎの基本的特性への影響は、弾道輸送が顕著になるサブ0.1 $\mu\text{m}$ 領域の極微細構造においても小さいことを確認した。これは、個々の電子間の相関はフォノン散乱により数psのオーダーで消失するために、コンタクトから0.1 $\mu\text{m}$ 程度離れているチャネル端に到達するまでに、電子は散乱により境界の記憶を無くすためと考えられる。また、長距離電子間相互作用を考慮した自己無撞着シミュレーションでは、プラズマ振動に伴うポテンシャルゆらぎによる変位電流のゆらぎが加わることを見出した。従って、定量的解析には自己無撞着シミュレーションが不可欠になる。しかしながら、電流ゆらぎの電流および電圧依存性といった基本的傾向は、固定ポテンシャルでのシミュレーション結果と自己無撞着シミュレーションでは大きな差がなく、電流ゆらぎの基本的な物理機構は不変であると言える。

次に、モンテカルロ・シミュレーションにおける統計的重率をいろいろと変化させることによって、電流ゆらぎの評価を行った。その結果、電流等の一次の物理量は確かに正確に評価されるが、電流ゆらぎは用いられるウェイトに大きく依存することを見出した。これ

は、モンテカルロ・シミュレーションにおける物理量のゆらぎは、個々の電子の輸送過程における散乱等によるランダム力を反映していることによる。つまり、統計的重率を用いた場合は、それぞれの散乱過程に伴うゆらぎが、超粒子の統計的重率によって過大評価される。

そして、サブ $0.1\mu\text{m}$ 領域における電流ゆらぎの物理機構について検討した。その結果、サブ $0.1\mu\text{m}$ デバイス構造特有の準弾道輸送に伴い、高ドープ領域からの逆拡散（キックバック）効果を見出し、これが新たな電流ゆらぎモードとして顕在化する可能性を見出した。さらに、サブミクロン級デバイスの場合と異なり、ホット・キャリア・ノイズもこの逆拡散（キックバック）効果が支配的要因であることを見出した。また、逆拡散が極微細構造での駆動電流能力の低下につながる可能性を指摘した。

#### 時間軸上での電流ゆらぎ：2次元 MOSFET 構造

サブミクロンおよびサブ $0.1\mu\text{m}$ 領域にある Si-MOSFET 実デバイス構造のもとで、電流の時間的ゆらぎの検討を行った。

時間的電流ゆらぎの電圧依存性は、単純な一次元  $nin$  構造のそれとは全く異なり、殆どドレイン電圧に依存せず、しかも、チャンネル長にも大きく依存しないことを見出した。これは、支配的な電流ゆらぎの機構が、任意のドレイン電圧において、高濃度（ソースおよびドレイン）領域での（平衡）熱ゆらぎであるためである。この状況は、線形なオーミック輸送領域（或いはピンチオフ領域）がチャンネル領域に存在することによって実現され、FET 構造特有の電流ゆらぎ機構と言える。一方、サブ $0.1\mu\text{m}$ 領域にある Si-MOSFET 構造においても同様にドレイン電圧の強い依存性が生じないことを見出した。しかしながら、その意味するところは大きく異なる。このような極微細構造では、電子は準弾道的にチャンネル領域を走行するために、印加されるドレイン電圧に相当する高エネルギー状態で電子はドレイン領域に流れ込む。その結果、ドレイン端およびドレイン領域における電子のエネルギー分布関数は、かなりの高エネルギー領域までテールを引いたホットな分布となり、実効的な電子温度の上昇（あるいは熱速度の増大）を導く。そして、このドレインのホット化に伴う、ドレインでの熱ゆらぎの増大が生じる。しかしながら、ソースおよびチャンネルの殆どの領域では、電子は常にコールドな状態にあるために、電流ゆらぎ全体におけるドレイン領域のホット・キャリア・ノイズの影響は、ダイオード構造の場合に比べてずっと弱い。従って、サブ $0.1\mu\text{m}$ の極微細 MOSFET においても、依然、ドレイン電圧の依存性が抑制される。

次に、Si-MOSFET 構造の微細化に伴って、電流ゆらぎ（ノイズ）が顕在化する可能性をモンテカルロ・シミュレーションにより定量的に検討した。その結果、デバイス構造の3次元的大小の微細化とともに、電流ゆらぎの電流に対する相対的な強度が、（ディープ・サブミクロン領域で、特に）顕在化してくることを確認した。その大きさは、20%強にも及ぶことが予測される。また、電流ゆらぎの相対的な大きさは、ゲート直下のチャンネル電子の数が密接に関わっていることを見出した。特に、電流ノイズと中心極限定理との関連について検討を加え、物理的な要因（電子の熱運動）と統計的な要因（チャンネル電子数）との関係について考察した。これらの結果から、電流ゆらぎ（ノイズ）の顕在化には、チャンネル長に加えて、ゲート幅の微細化がもっとも効いてくると言える。また、この解析を通じて、モンテカルロ・シミュレーションにより評価される電流ゆらぎが、シミュレーション自体に伴う人為的ノイズではなく、物理的に本質的な電流ノイズであることも確認した。これは、

乱数を用いる stochastic なモンテカルロ法に含まれるノイズと、物理的に本質的なノイズとの明確な区別についての指針を与えるうえで、非常に興味深い結果である。

続いて、電流ゆらぎ（ノイズ）の周波数特性解析を行った。モンテカルロ法より求めたドレイン電流の時系列データをフーリエ変換することにより、電流のスペクトル密度を求めた。その結果、電流スペクトル密度はローレンツ型スペクトルで与えられ、低周波数領域ではほぼ白色になることを確認した。また、電流スペクトル密度に含まれる電子の緩和時間を、実効チャネル長が 300 nm と 40 nm の MOSFET について求めた。300 nm MOSFET の場合は、バルクにおける緩和時間にほぼ一致したが、40 nm MOSFET の場合では、緩和時間が大幅に短くなることが判明した。これは、準弾道輸送に伴うチャネル電子の高エネルギー化を示唆しており、チャネル長の微細化に伴う準弾道輸送の間接的検証でもある。（2次元シミュレーション解析の）最後に、局所的な電流分散という量を新たに導入し、デバイス内における電流ゆらぎ成分の空間分布を明らかにした。そして、MOSFET 構造での電流ゆらぎ（ノイズ）が、高濃度領域における拡散（熱）ゆらぎによることを示した。

#### 統計的電流ゆらぎ：3次元 MOSFET 構造

3次元 Si-MOSFET 構造のもとで、基板内に含まれる離散不純物の不均一性に伴った統計的電流ゆらぎについて検討を行った。

最初に、現在のところ広く用いられている ‘atomistic’ な離散不純物モデルについて、その妥当性について検討した。そこで、シミュレーションへの離散不純物の導入方法を詳細に検討し、シミュレーションに用いられるメッシュによって、デバイス内における微少領域（反転層領域）における不純物分布に差が生じる可能性を指摘した。離散分布した局所的な不純物を再現したうえで、ドリフト拡散法によりサブスレシュルド特性を評価した結果、これまでの報告と異なり、サブスレシュルド特性が大幅に高ゲート電圧側にシフトすることが判明した。そして、使用されるメッシュによって、不純物が atomistic か或いは jellium に推移することから、シミュレーション結果もメッシュに強く依存することを見出した。

サブスレシュルド特性の大幅な高ゲート電圧側へのシフトは、離散分布した局所的な不純物ポテンシャルによって、反転層領域の電流パスが大きく蛇行し、電子にとってチャネル領域が高抵抗になるためと考えられる。しかしながら、メッシュの大きさを変化させた場合、しきい値特性のジャンプがあるしきい値を越えて急激に起きることから、このシフトはシミュレーション上の人為的な効果である可能性が高い。しかも、現実的にはこのような大幅なシフトは不自然であり、atomistic な不純物モデルの正当性に疑問がある。

#### 統計的電流ゆらぎ：新しい離散不純物モデル

‘atomistic’ な状況のもとでの離散的に存在する不純物のもつクーロン・ポテンシャルについて、物理的観点から考察を与えた。そして、現在広く用いられている ‘atomistic’ 不純物モデルを用いたドリフト拡散法の正当性について検討した。その結果、後微細 MOSFET における基本特性の正しい解析には、不純物のもつポテンシャルの長距離と短距離成分の分離が本質的に重要であることを明らかにした。特に、デバイス・シミュレータに組み込まれたポアソン方程式のポテンシャルは、空間的になだらかに変化する不純物ポテンシャルの長距離成分が反映されることを示した。その結果、現在の ‘atomistic’ 不純物モデルは物理的に正

しくないデバイス特性を導く可能性を指摘した。そのうえで、不純物ポテンシャルの長距離成分を考慮した3次元シミュレーションのための新しい離散不純物モデルを提案した。そして、この不純物モデルは、不純物のばらつきが無視できる大きなデバイス構造のもとでは従来の2次元シミュレーションの結果を再現するとともに、デバイスの微細化に伴った特性ばらつきを定量的に評価することができることを示した。



## 謝 辞

本研究を進めるうえで、日頃から貴重なご意見や精神的な励ましを頂いている濱口智尋教授（大阪大学）、谷口研二教授（大阪大学）、小田中紳二教授（大阪大学）、富沢雅彰博士（NTT）、中山範明博士（STARC）、向井幹雄博士（ソニー）、松沢一也博士（東芝）に感謝します。また、本研究に卒業研究の一貫として参加してくれた筑波大学微細電子工学研究室（デバイス物理分野）の学生諸氏に感謝します。

3章での2次元シミュレーションに用いたSi-MOSFETのデバイス構造および不純物プロファイルのデータは、（株）東芝 先端半導体デバイス研究所から提供を受けました。貴重かつ寛大な情報提供に対して深く感謝します。

## 参考文献

- [1] 例えば、M. Ono, M. Saito, T. Yoshimi, C. Fiegna, T. Ohguro, and H. Iwai, "A 40nm Gate Length n-MOSFET," *IEEE Trans. Electron Dev.*, Vol. ED-42, p. 1822 (1995).
- [2] E. Takeda and N. Suzuki, "An Empirical Model for Device Degradation due to Hot-Carrier Injection," *IEEE Elec. Dev. Lett.*, Vol. EDL-4, p. 111 (1983).
- [3] 最近の総合報告として、M. V. Fischetti and S. E. Laux, "Monte Carlo Simulation of Electron Transport in Si: The First 20 Years," *European Solid-State Device Research Conference (ESSDERC-96)*, Sept. 9-11, 1996.
- [4] N. Sano and A. Yoshii, "Monte Carlo Analysis of Ionization Threshold and Impact Ionization in Si," *Phys. Rev. B*, Vol. 41, p. 12122, (1991).
- [5] N. Sano and A. Yoshii, "Impact-Ionization Theory Consistent with a Realistic Band Structure of Silicon," *Phys. Rev. B*, Vol. 45, p. 4171, (1992).
- [6] N. Sano, M. Tomizawa, and A. Yoshii, "Temperature Dependence of Hot Carrier Effects in Short-Channel Si-MOSFET's," *IEEE Trans. Electron Dev.*, Vol. ED-42, p. 2211 (1995).
- [7] N. Sano, "Sub-0.1  $\mu\text{m}$  Device Simulation Technology: Another Problems for Monte Carlo," *Proc. of the International Conference of Simulation on Semiconductor Processes and Devices (SISPAD-99)* pp.23-26 (1999).
- [8] N. Sano, "Increasing Importance of Electronic Current Noise in Sub-0.1  $\mu\text{m}$  Si-MOSFETs," *IEICE Trans. Electronics*, Vol. E-83C, pp.1203-1211 (2000).
- [9] A. van der Ziel, *Fluctuation Phenomena in Semiconductors*, (Butterworths, London, 1959)
- [10] A. van der Ziel, *Noise: Sources, Characterization, Measurement* (Prentice-Hall, New Jersey, 1970).
- [11] A. Ambrozy, "Electronic Noise," *Academiai Kiado, Budapest*, 1982.
- [12] M. V. Fischetti and S. E. Laux, "Monte Carlo Analysis of Electron Transport in Small Semiconductor Devices including Band-Structure and Space-Charge Effects," *Phys. Rev. B*, Vol. 38, p. 9721 (1988).
- [13] N. Sano, K. Natori, M. Mukai, and K. Matsuzawa, "Physical Mechanism of Current Fluctuation under Ultra-small Device Structures," *Proc. of International Workshop on Computational Electronics (IWCE-98)*, p. 112 (1998).

- [14] N. Sano, K. Natori, M. Mukai, and K. Matsuzawa, "Current Fluctuation characteristic of sub-0.1  $\mu\text{m}$  Device Structures: A Monte Carlo Study," *Jpn. J. Appl. Phys. (Letters)*, Vol. 38, pp. L531-L533 (1999).
- [15] L. Varani, L. Reggiani, T. Kuhn, T. Gonzalez, and D. Pardo, "Microscopic Simulation of Electronic Noise in Semiconductor Materials and Devices," *IEEE Trans. Electron Dev.*, Vol. ED-41, p. 1916 (1994).
- [16] L. Reggiani, E. Starikov, P. Shiktorov, V. Gruzinskis, and L. Varani, "Modelling of Small-Signal Response and Electronic Noise in Semiconductor High-Field Transport," *Semicond. Sci. Technol.*, Vol. 12, p. 141 (1997).
- [17] L. Varani, "Noise Phenomena in Semiconductor Transport," *Phys. Stat. Sol. (b)*, Vol. 204, p. 442 (1997).
- [18] S. Donati, M. A. Alam, K. S. Krisch, S. Martin, M. R. Pinto, H. H. Vuong, F. Bonani, and G. Ghione, "Physics-Based RF Noise Modeling of Submicron MOSFETs," *International Electron Devices Meeting Technical Digest (IEDM-98)* (IEEE Electron Devices Society, 1998), session 4.
- [19] 特性ばらつきの統計解析に関しては、例えば、*Proc. of the Third International Workshop on Statistical Metrology* (IEEE Electron Devices Society, 1998).
- [20] B. Hoeneisen and C.A. Meed, "Fundamental limitations in microelectronics I. MOS technology," *Solid State Electron.*, Vol.15, p. 819 (1972).
- [21] F. Reif, "Fundamentals of Statistical and Thermal Physics," McGraw-Hill, New York, 1965.
- [22] L.E. Reichl, "A Modern Course in Statistical Physics (2nd ed.)," Wiley, New York, 1998.
- [23] K. Nishinohara, N. Shigyo, and T. Wada, "Effects of microscopic fluctuations in dopant distributions on MOSFET threshold voltage," *IEEE Trans. Electron Devices*, Vol.ED-39, p. 634 (1992).
- [24] H. S. Wong and Y. Taur, "Three-dimensional atomistic simulation of discrete random dopant distribution effects in sub-0.1  $\mu\text{m}$  MOSFETs," *1993 IEDM Technical Digest*, p. 705 (1993).
- [25] T. Mizuno, "Influence of Statistical Spatial-Nonuniformity of Dopant Atoms on Threshold Voltage in a System of Many MOSFETs," *Jpn. J. Appl. Phys.*, Vol. 35, p. 842 (1996).

- [26] A. Asenov, "Efficient 3D Atomistic Simulation Technique for Studying of Random Dopant Induced Threshold Voltage Lowering and Fluctuations in Decanano MOSFETs," *Proc. of the International Workshop on Computational Electronics (IWCE-98)*, (IEEE Electron Devices Society, 1998), p.263.
- [27] D. Vasileska, W. J. Gross, and D. K. Ferry, "Modeling of Deep-Submicrometer MOSFETs: Random Impurity Effects, Threshold Voltage Shifts and Gate Capacitance Attenuation," *Proc. of the International Workshop on Computational Electronics (IWCE-98)* (IEEE Electron Devices Society, 1998), p.259.
- [28] P.A. Stolk, F.P. Widdershoven, and D.B.M. Klaassen, "Modeling statistical dopant fluctuations in MOS transistors," *IEEE Trans. Electron Devices*, Vol.ED-45, p. 1960 (1998).
- [29] A. Asenov, "Random Dopant Induced Threshold Voltage Lowering and Fluctuations in Sub-0.1  $\mu\text{m}$  MOSFET's: A 3-D Atomistic Simulation Study," *IEEE Trans. Electron Devices*, Vol.ED-45, p. 2505 (1998).
- [30] Y. Yasuda, M. Takamiya, and T. Hiramoto, "Effects of Impurity Position Distribution on Threshold Voltage Fluctuations in Scaled MOSFETs," *Proc. Silicon Nanoelectronics Workshop*, p. 86 (1999).
- [31] D.J. Frank, Y. Taur, M. Jeong, and H.-S.P. Wong, "Monte Carlo Modeling of Threshold Variation due to Dopant Fluctuations," *Proc. VLSI Tech. Symposium*, pp. 169-170 (1999).
- [32] N. Sano and M. Tomizawa, "A Random Dopant Model for 3-D Drift-Diffusion Simulations in MOSFETs," submitted to *IEEE Electron Dev. Lett.* (2001).
- [33] J. Zimmermann and A. Cappy, "Hot Electron Noise in III-V Heterojunction Field Effect Transistor," *Semicond. Sci. Technol.*, Vol. 7, p. B468 (1992).
- [34] V. Bareikis, J. Liberis, I. Matulioniene, A. Matulionis, and P. Sakaras, "Experiments on Hot Electron Noise in Semiconductor Materials for High-Speed Devices," *IEEE Trans. Electron Dev.*, Vol. ED-41, p. 2050 (1994).
- [35] T. Gonzalez, D. Pardo, L. Varani, and L. Reggiani, "Monte Carlo Analysis of the Behavior and Spatial Origin of Electronic Noise in GaAs MESFETs," *IEEE Trans. Electron Dev.*, Vol. ED-42, p. 991 (1995).
- [36] T. Gonzalez, D. Pardo, L. Reggiani, and L. Varani, "Microscopic Analysis of Electron Noise in GaAs Schottky Barrier Diodes," *J. Appl. Phys.*, Vol. 82, p. 2349 (1997).
- [37] J. Mateos, T. Gonzalez, D. Pardo, P. Tadyszak, F. Danneville, and A. Cappy, "Noise and Transit Time in Ungated FET Structures," *IEEE Trans. Electron Dev.*, Vol. ED-44, p. 2128 (1997).

- [38] N. Sano, K. Natori, M. Mukai, and K. Matsuzawa, "Influence of Intrinsic Current Fluctuation in Very Small Si-MOSFETs," *Proceedings of International Conference on Solid State Devices and Materials* (SSDM-99), pp. 22-23 (1999).
- [39] N. Sano, K. Matsuzawa, M. Mukai, and N. Nakayama, "Influence of Thermal Noise on Drain Current in Very Small Si-MOSFETs", *Jpn. J. Appl. Phys.*, Vol. 4B, pp.1974-1978 (2000).
- [40] C. Jacoboni and L. Reggiani, "The Monte Carlo Method for the Solution of Charge Transport in Semiconductors with Application to Covalent Materials," *Rev. Mod. Phys.*, Vol. 55, p. 645 (1983).
- [41] C. Jacoboni and P. Lugli, *The Monte Carlo Method for Semiconductor Device Simulation*, (Springer, New York, 1989).
- [42] N. Sano, and A. Yoshii, "Impact-Ionization Rate near Thresholds in Si" , *J. Appl. Phys.* , Vol. 75, pp.5102-5105 (1994).
- [43] N. Sano and K. Natori, "Substrate Current Fluctuation under Low Drain Voltages in Si-MOSFET's," *Proc. of International Conf. on Simulation of Semiconductor Processes and Devices* (SISPAD-97), pp. 213-216 (1997).
- [44] R. Landauer, "Solid-State Shot Noise," *Phys. Rev. B*, Vol. 47, p. 16427 (1993).
- [45] A. Papoulis, "Probability, Random Variables, and Stochastic Processes (3rd ed.)," McGraw-Hill, New York, 1991.
- [46] T. Tanaka, T. Usuki, T. Futatsugi, Y. Momiyama, and T. Sugii, " $V_{th}$  fluctuation induced by statistical variation of pocket dopant profile," in *IEDM Tech. Digest*, 2000, pp. 271-274.
- [47] Y. Yasuda, M. Takamiya, and T. Hiramoto, "Separation of Effects of statistical impurity number fluctuations and position distribution on  $V_{th}$  fluctuations in scaled MOSFETs," *IEEE Trans. Electron Devices*, vol. ED-47, pp. 1838-1842, 2000.
- [48] N. Sano, M. Tomizawa, and K. Natori, "Statistical Threshold Fluctuations in Si-MOSFETs: Jellium vs. Atomistic Dopant Variations," in *Ext. Abst. Int. Conf. Solid State Devices and Materials*, 2000, pp. 216-217.
- [49] 佐野、松沢、向井、中山、" $V_{th}$ ばらつきの定量的シミュレーションにむけた離散不純物モデル", 平成13年シリコンテクノロジー分科会ULSIデバイス研究会 (武蔵工業大学、2001), シリコンテクノロジー、No. 25, pp. 50-55 (2001).
- [50] N. Sano, K. Matsuzawa, M. Mukai, and N. Nakayama, "Role of long-range and short-range Coulomb potentials in threshold characteristics under discrete dopants in sub-0.1  $\mu\text{m}$  Si-MOSFETs," in *IEDM Tech. Digest*, 2000, pp. 275-278.

- [51] N. Sano, "Device Physics and TCAD: Simulation Issues for Sub-100 nm Devices," 14th SEMICON Korea Technical Symposium 2001, Seoul, Korea, January 31-February 2, 2001 [Proc. SEMICON Korea Tech. Symp., pp. 473-484 (2001)].