

化合物半導体へテロ接合を用いた
移動体通信端末用高出力LEDに関する研究

1999年3月

岩田直高

化合物半導体へテロ接合を用いた
移動体通信端末用高出力FETに関する研究

1999年3月

岩田直高

目次

【第1章】	序論	1
【第2章】	研究の背景と目的	5
	[2.1] マルチメディア時代の移動体通信	5
	[2.2] 移動体通信端末用高出力素子の現状と課題	8
	[2.3] 化合物半導体結晶技術の現状	11
	[2.4] 本研究の目的	13
	[第2章 参考文献]	14
【第3章】	F E T用化合物半導体ヘテロ接合の特性とその改善	15
	[3.1] F E T用化合物半導体ヘテロ接合の特性	15
	[3.2] D Xセンターの回避Ⅰ(低Al組成比AlGaAs中のドナー評価)	17
	3.2.1 試料の作製	18
	3.2.2 P T I S法の原理と測定の実際	18
	3.2.3 P T I S評価結果	21
	3.2.4 有効質量の解析と考察	22
	3.2.5 まとめ	25
	[3.3] D Xセンターの回避Ⅱ(AlAs/GaAs短周期超格子中のドナー評価)	26
	3.3.1 選択ドーブ構造超格子試料	26
	3.3.2 評価結果と考察	28
	3.3.3 D Xセンターモデルの検討	30
	3.3.4 まとめ	33
	[3.4] F E T用化合物半導体ヘテロ接合の熱安定性	34
	3.4.1 試料構造と実験方法	34
	3.4.2 評価結果と考察	35
	3.4.3 まとめ	40
	[3.5] 結論	41
	[第3章 参考文献]	42
【第4章】	高出力M E S F E Tの問題点とその改善	44
	[4.1] GaAsチャネル層の上にアンドーブGaAs層を配したM E S F E T	44
	4.1.1 表面欠陥準位が素子特性におよぼす影響	45

4.1.2	エピタキシャルウェーハ構造	46
4.1.3	作製プロセスと素子構造	46
4.1.4	評価結果と考察	49
4.1.5	まとめ	58
[4.2]	酸化膜ドライエッチング開口によるGaAs結晶へのダメージ評価	59
4.2.1	評価用エピタキシャルウェーハの構造	59
4.2.2	処理条件と評価用試料の作製	60
4.2.3	評価結果と考察	62
4.2.4	まとめ	68
[4.3]	InPチャネルMESFETの検討(ヘテロMIS型InPFET)	69
4.3.1	試料の作成	70
4.3.2	評価結果と考察	71
4.3.3	まとめ	81
[4.4]	結論	82
[第4章]	参考文献	83
【第5章】	高出力ヘテロ接合FETの設計	84
[5.1]	InP系ダブルドープHJFET	84
5.1.1	2次元デバイスシミュレータと用いた素子構造	85
5.1.2	シミュレーション結果と考察	86
5.1.3	まとめ	91
[5.2]	GaAs系ダブルドープHJFET	92
5.2.1	Si-doped AlGaAs/InGaAs/Si-doped AlGaAs構造	92
5.2.2	ダブルリセスゲート構造	98
5.2.3	オン抵抗を低減したダブルドープHJFET構造	100
[5.3]	結論	106
[第5章]	参考文献	107
【第6章】	InP系ダブルドープHJFET	109
[6.1]	素子構造	109
[6.2]	作製プロセス	110
6.2.1	スルー作製プロセス	110
6.2.2	各種エッチャントの開発	112
[6.3]	素子特性	116

6.3.1 DC特性	116
6.3.2 RF特性評価と考察	118
[6.4] 結論	123
[第6章 参考文献]	124
【第7章】 GaAs系ダブルドープHJFET	125
[7.1] 3.5V動作デジタル携帯電話用小型高出力HJFET	125
7.1.1 素子構造と作製プロセス	126
7.1.2 素子特性	128
7.1.3 小型チップでの高効率化に向けた考察	130
7.1.4 符合分割多元接続方式携帯電話への適用検討	133
7.1.5 まとめ	138
[7.2] 1.2V動作デジタル携帯電話用高出力HJFET	139
7.2.1 素子構造と作製プロセス	139
7.2.2 素子特性	141
7.2.3 低電圧動作での高効率化に向けた考察	146
7.2.4 まとめ	149
[7.3] 単一電源動作デジタル携帯電話用高出力HJFET	150
7.3.1 素子構造と作製プロセス	150
7.3.2 素子特性	152
7.3.3 今後の課題と新しい素子構造の提案	156
7.3.4 まとめ	158
[7.4] 結論	159
[第7章 参考文献]	161
【第8章】 小型MMICアンプへの適用	163
[8.1] MMIC用SrTiO ₃ キャパシタ	163
8.1.1 キャパシタ構造	164
8.1.2 キャパシタ特性	164
8.1.3 MMIC作製プロセス	165
[8.2] デジタル携帯電話用MMICアンプ	166
8.2.1 MMICの構成と設計	166
8.2.2 パワーアンプ特性	169
8.2.3 出力回路の損失が出力特性におよぼす影響の考察	170

8.2.4 まとめ	173
[8.3] 符合分割多元接続方式携帯電話用MMICアンプ	174
8.3.1 MMICの構成と設計	174
8.3.2 パワーアンプ特性と考察	175
8.3.3 まとめ	179
[8.4] 結論	179
[第8章 参考文献]	180
【第9章】 結論	181
付録 用語の説明	186
謝辞	190
本研究に関する発表論文および学会発表	191

【第1章】 序論

携帯電話に代表される移動体通信が急速に普及している。たとえば日本国内の携帯電話は、ここ数年、年間1000万台のペースで加入者が増加しており、1998年9月末での登録者数はPersonal Digital Cellular(PDC)携帯電話とPersonal Handy Phone System(PHS)簡易携帯電話を合わせると4281万台となり、日本国民の3人にひとりが持つまでに普及した。移動体通信が目的とする「いつでも、どこでも、だれとでも」行える情報伝達の便利さが、広く一般に受け入れられたものと判断される。この携帯電話の用途は、現在のところ音声の伝達が主であるが、今後のマルチメディア社会の進展を考慮すれば、移動体通信端末を用いたデータ通信の重要性が高まることは必須である。そこで、より高い伝送速度を有する移動体通信システムの要求は高まる一方である。現在、PHSやPDCのパケット通信システムによる30kbps程度の移動体データ通信が利用可能であるが、次世代移動通信システム(IMT-2000)や高速無線LANが実用化され、数Mbps以上の移動体データ通信が可能となれば、情報を入手し加工や利用する場所、状況、方法や形態に自由度が増し、情報化社会の構造そのもの大きく変えるような変革が起こるであろう。

このように今後とも有望な移動体通信であるが、端末に求められる現在の要求は、小型軽量であること、長時間の通話(使用)が可能であること、通話品質が高いこと(伝送速度が速いこと)に加えて価格が安いことなどである。今後は端末の多機能化も課題であろう。これらの要求を満たす端末の実現には、キーデバイスである高性能な送信マイクロ波電力増幅用の高出力素子、デジタル変調と復調を行うベースバンド用ICおよび多機能化やシステム制御用ICの開発が必須である。高出力素子を端末のキーデバイスと位置づける理由は、電池で駆動する端末にとって、消費電力の大きな高出力素子の特性が端末性能に直接反映されるからである。移動体通信端末への要求をブレークダウンすると、高出力素子には

1. 小型であること、
2. 低電圧動作であること、
3. 低歪高効率であること、
4. 低コストであること、

が要求される。

・「小型であること」は、現在のPDC携帯電話が小型軽量の端末ほど販売数が大きいことから、強い要求である。また、高出力素子チップ面積の削減は、一枚の半導体ウェーハから得られるチップ収量を増やすことができるという観点から、「低コス

ト」の主要な手法でもある。

「低電圧動作」の要求は、充電が可能な二次電池の特性や価格と密接に関係している。すなわち、現在最も普及しているLiイオン電池が二次電池の中で最も体積および重さ当たりのエネルギー密度が高いため、同じ端末の消費電力を想定した場合、この電池の利用により端末の小型軽量化が最も図れるからである。したがって、ほとんどすべての携帯電話がLiイオン電池を使用しており、比較的安価にしかも容易に入手可能である。しかしながら、Liイオン電池は放電電圧の時間依存性特性が若干悪いため、端末内の回路は、充電直後の放電開始電圧である4V程度から放電終了直前の3V程度まで、動作対応が求められる。したがって高出力素子は、3.4Vから3.6Vでの動作が規格要求されることが一般的である。一方、最近では端末の低周波側の処理(音声やそのデジタル処理)を行うベースバンド部のSi I Cの動作電圧が2V程度に下がってきた。また、学会レベルでは1V以下の可能性が議論されている。端末での複雑なデジタル演算処理を行う状況が増えるにしたがって、このベースバンドSi I Cの消費電力の割合が端末の中で相対的に増加してきた。高出力素子が1Vで動作可能となれば、パワーマネジメントがより一層容易になり、電源ロスも削減されることから端末使用の長時間化が図れる。そこで、Ni水素電池などを利用する1V動作端末を想定した高出力素子の開発も検討する。

「低歪高効率」は、現在のP D C携帯電話規格でも要求されている項目であるが、最近サービスを開始した符合分割多元接続(C D M A)方式の携帯電話(I S - 9 5 : cdmaOne)規格や次世代移動通信システムの有力候補である広帯域C D M A (W - C D M A)方式では、より一層の低歪特性が要求される。パワーアンプにおいて厳しい歪規格をクリアする場合、歪の少ないA級動作させたうえで飽和出力から大きく出力を絞った線形領域で動作(バックオフ)させることが一般的である。この場合、定常的なD Cバイアスが消費する電力に比較して出力電力の割合が低くなるため、効率は大きく低下する。このトレードオフの関係にある低歪特性と高効率特性の両立は、大きな課題である。これの克服には、素子の線形性向上や整合条件の最適化を中心に検討する。

「低コスト」の要求は、携帯電話が最も民需的な性格の製品であるから、永遠の課題である。逆に言えば、衛星放送用の受信用低雑音F E Tを除けば、マイクロ波帯の素子は官需や大企業からの注文が多く、コストに対してそれほど積極的な検討がなされてこなかったとも言える。現在、携帯電話の高出力素子のほとんどすべてがGaAs素子であるが、この携帯電話と衛星放送チューナはGaAs素子の製造コストを大幅に引き下げた製品である。主な低コスト化の方策は、製造プロセスの簡易化、ステップ数削減、歩留まりの向上とウェーハの大型化やチップの小型化による収量の増加である。

以上の考察より研究テーマの設定が明確化した。本論文では、携帯電話などの移動体通信端末の送信電力増幅に用いる、低電圧において高効率低歪動作する小型な化合物半導体ヘテロ接合FETに関する研究を行う。また、これを用いた超小型の移動体通信用モノリシックマイクロ波IC(MMIC)アンプへの応用についても述べる。

本章に引き続いて第2章では、本研究の背景と目的について述べる。背景では今後のマルチメディア時代の進展に対して大きな貢献が期待される移動体通信の動向と、それに用いる送信電力増幅用の高出力素子に求められる性能をまとめて考察する。また、これらの要求を実現する高出力素子の実現に欠かせない高度な結晶成長技術についても示す。そして、それらより導かれる本研究の目的を示す。

第3章では、移動体端末用高出力素子に適した半導体結晶の選択と様々な半導体の組み合わせによるヘテロ接合の特性検討およびその改善を図った結果を示す。半導体結晶にはSiより伝導特性に優れた化合物半導体を用い、それらのヘテロ接合構造の検討が中心である。特にGaAs系のヘテロ接合FETでは、電子供給層に用いるドナーを添加したAlGaAs中のDXセンターの存在が問題視されるが、これについても混晶物性の観点からの改善と超格子を用いた回避について検討する。さらに、GaAs系ヘテロ構造の信頼性に関係する熱安定性について検討する。

第4章では、ショットキー接合ゲート電極を有する金属-半導体型FET(MESFET)の改良検討を行い、移動体端末用高出力素子としての検討を示す。提案する表面にアンドープ層を有するGaAsMESFETは、現状のMESFETよりは特性改善が認められるものの、低電圧での高効率動作が求められる移動体端末用高出力素子の要求には十分な特性では無いと判断される。一方、InPチャネルMESFETの検討も行ったが、上記の新構造GaAsMESFETを凌駕することができず、移動体端末用高出力素子としては不相当と判断される。

そこで第5章では、ヘテロ接合構造を用いた高出力FETを設計した。結晶系はInP基板上の $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ およびGaAs基板上の $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ ヘテロ接合系である。検討の結果、チャネルの上下に電子供給層を配した構造を特徴とするダブルドープダブルヘテロ接合FET(HJFET)が、高い電子移動度と高いシート電子濃度を示すことから高出力素子に適した構造であることが分かった。

第6章では、InP基板に格子整合する $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 系HJFETの試作と評価検討を示す。まずこの系の未熟な作製プロセスの問題と改善を示し、次にこの系のHJFETの非常に優れた高周波特性を考察する。

第7章では、GaAs基板上の $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 系HJFETの試作と評価検討を示す。まず、Liイオン電池1セルの使用を想定した3.4Vで動作するHJFETの検

討を示す。開発したドライリセスエッチングによるダブルリセスゲート構造の作製技術は、素子特性の高均一化と生産性の向上に大きく貢献することが分かった。これらの結果を用いて作製したHJFETは、Liイオン電池1セルの起電圧以下(3.5V)で動作し、現状のGaAsMESFETを上回る高効率低歪特性(HJFETは60%以上、MESFETは50%程度)を世界最小のチップサイズ(MESFETの半分以下)で実現した。また、一層のオン抵抗の低減を進め、Ni水素電池1セルの起電圧(1.2V)で動作するHJFETも検討した。さらに、本素子構造を用いて負で低いしきい値電圧か正のしきい値電圧を示すように設計した素子によれば、単一正電源動作においても、高効率動作が可能であることを示す。

第8章では、高誘電率SrTiO₃(STO)薄膜キャパシタと組み合わせた移動体通信端末用MMICアンプの試作検討を示す。その結果、たとえばIS-95規格のCDMA用2段MMICアンプ(チップサイズ2.0×1.5mm²)では、48.6%の世界最高効率(従来は35%程度)を3.5V動作にて得るなど、世界最小チップサイズで良好な特性を有するMMICアンプを実現した。

最終の第9章において、本研究の総括を行う。

【第2章】 研究の背景と目的

本章では、本研究の背景と目的について述べる。背景では今後のマルチメディア時代の進展に対して大きな貢献が期待される移動体通信の動向と、それに用いる送信電力増幅用の高出力素子に求められる性能をまとめて考察する。また、これらの要求を実現する高出力素子の実現に欠かせない高度な結晶成長技術についても示す。そして、それらより導かれる本研究の目的を示す。

[2.1] マルチメディア時代の移動体通信

携帯電話に代表される移動体通信が急速に普及している。図2-1は、日本国内の移動電話とPersonal Handy Phone System(P H S)の加入者推移を示したものである [1]。携帯電話は、ここ数年、年間1000万台のペースで加入者が増加しており、1998年9月

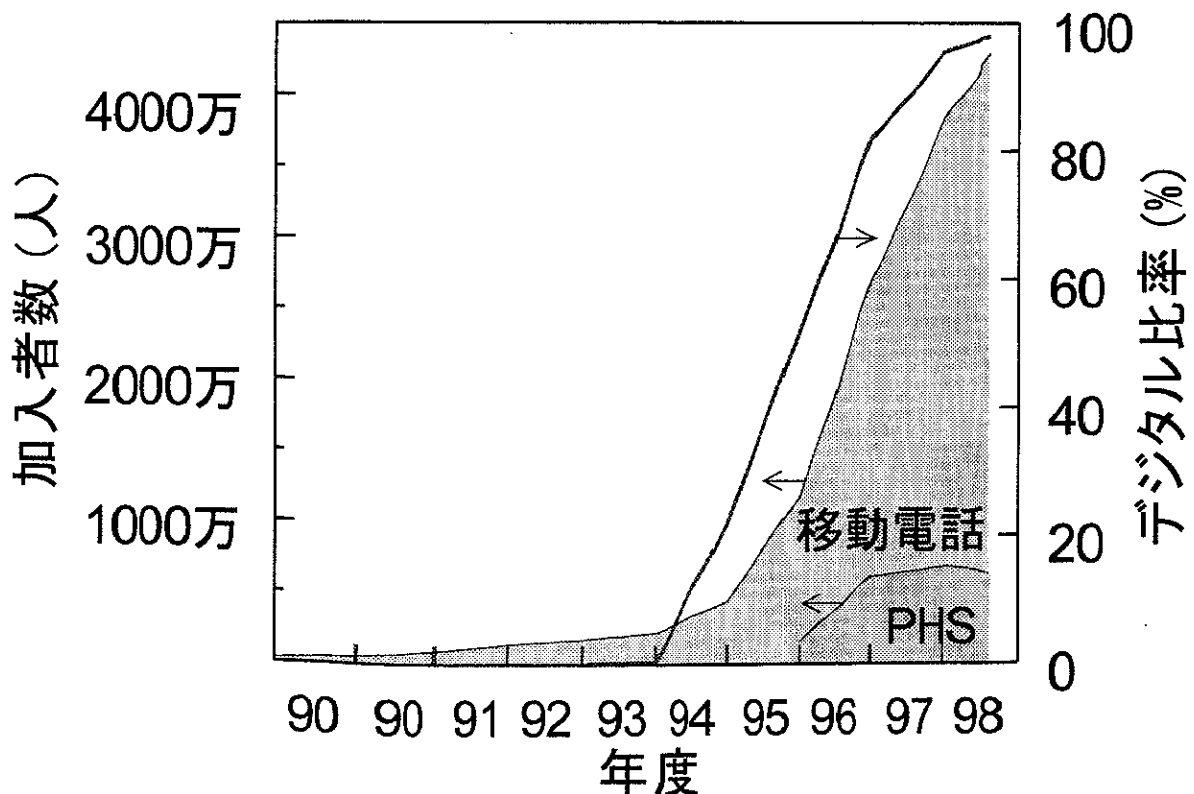


図2-1 移動電話とPHSの加入者推移 [1]

末での登録者数は移動電話とPHSを合わせると4281万台となり、日本国民の3人にひとりが持つまでに普及した。また、移動電話はアナログ方式からPersonal Digital Cellular(PDC)方式と呼ばれるデジタル方式への移行が完了していることも特筆

できる。世界的に見ると地域や国ごとの事情に合わせ、通信方式や普及率の差はあるものの、急速に普及している状況は変わらない。先進国では有線電話が果たせない移動体通信としての利用が魅力的であり、発展途上の国々では敷設コストの低い通信手段として注目されている。いずれにせよ、移動体通信が目的とする「いつでも、どこでも、だれとでも」行える情報伝達の便利さが、広く一般に受け入れられたものと判断される。

一方、日常生活の情報化に伴い、情報通信メディアの普及が近年急速に進んでいる。表2-1は、情報通信メディアの普及予測を示したものである[2]。注目すべきことは、完全に普及した地上放送に代わり、インターネットが2005年で現在の携帯電話並に、半数近い世帯で導入されると予測している。

表2-1 情報通信メディアの普及予測[2]

		1997年	2005年	2010年
インターネット普及 (注1)	利用者数	1,155万	4,136万	4,459万
	利用世帯数	287万	1,929万	2,755万
	世帯普及率	6.4%	41.8%	54.9%
地上放送(注2)	世帯普及率	100%	-	100%
衛星放送(注2)	世帯普及率	-	-	85%
ケーブルテレビ(注2)	世帯普及率	10.1%	-	41%~60%
携帯・自動車電話(注2)	普及率	46.0%	-	46.9%~51.9%
PHS(注2)	普及率	15.3%	-	21.9%~25.9%

郵政省資料等により作成

(注) 1 1997年における普及率は、97年時点の総人口比、2005年及び2010年における普及率は、「日本の将来推計人口(9年1月推計)」(社会保障・人口問題研究所)による総人口の推計値を用いて算出。

(注) 2 地上放送、衛星放送、ケーブルテレビは、「放送高度化ビジョン2010」(9年4月)による。なお、2005年における推計は行っていない。

衛星放送は、BS、CSの区分を設けず、ケーブル経由60%、直接受信25%と想定。

携帯・自動車電話、PHSは、電気通信技術審議会答申「携帯電話等の有効利用方策」(9年2月)による。

現在の携帯電話の用途は、音声の伝達が主であるが、今後のインターネットの普及を中心としたマルチメディア社会の進展を考慮すれば、移動体通信端末を用いたデータ通信の重要性が高まることは必須である。そこで、より高い伝送速度を有する移動体通信システムの要求は高まる一方である。図2-2に、ワイヤレスシステムの動向を示す[3]。現在、PHSやPDCの packets 通信システムによる30kbps程度の移動体データ通信が利用可能であるが、周波数利用効率の向上や高速データ通信を目的としたCDMA方式の導入も開始された。さらに、次世代移動通信システム(IMT-2

000)や高速無線LANが実用化され、数Mbps以上の移動体データ通信が可能となれば、情報を入手し加工や利用する場所、状況、方法や形態に自由度が増し、情報化社会の構造そのもの大きく変えるような変革が起こるであろう。

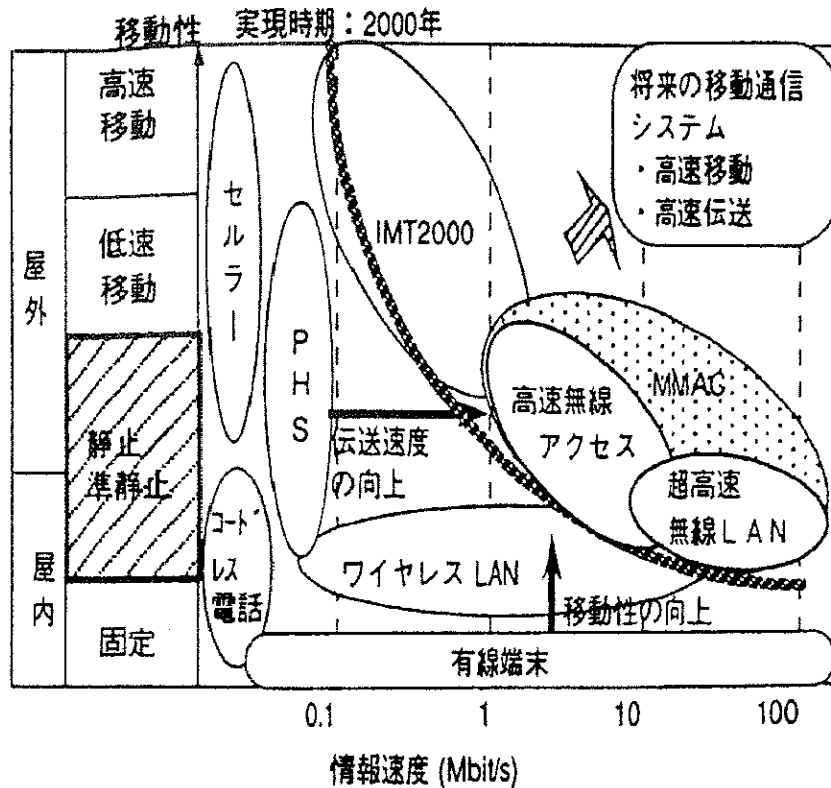


図2-2 ワイヤレスシステムの動向 [3]

このように今後とも有望な移動体通信であるが、端末に求められる現在の要求は、

1. 小型軽量であること、
2. 長時間の通話(使用)が可能であること、
3. 通話品質が高いこと(伝送速度が速いこと)、
4. 価格が安いこと、
5. 多機能であること、

などである。これらの中でも、「小型軽量であること」は端末の売れ行きに関わる最も重要な要求である。PDC携帯電話の例では、各社携帯電話の小型軽量である順と販売台数の順位はほぼ一致する。図2-3は、NEC製のデジタル・ムーバN207HYPERの外観[4]であるが、重さ約75gとトップレベルの軽量である。

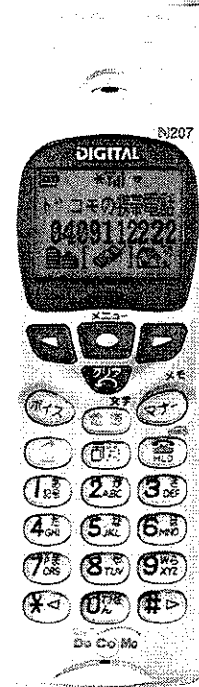


図2-3 デジタル・ムーバ N207HYPERの外観 [4]

[2.2] 移動体通信端末用高出力素子の現状と課題

これらの市場要求を満たす端末の実現には、キーデバイスである高性能な送信マイクロ波電力増幅用の高出力素子、デジタル変調と復調を行うベースバンド用ICおよび多機能化やシステム制御用ICの開発が必須である。高出力素子を端末のキーデバイスと位置づける理由は、電池で駆動する端末にとって、消費電力の大きな高出力素子の特性が端末性能に直接反映されるからである。端末への要求をブレークダウンすると、移動体通信端末用のパワーアンプ(パワーモジュールなどとも呼ばれる)には、

1. 小型であること、
2. 低電圧動作であること、
3. 低歪高効率であること、
4. 低コストであること、

が要求される。

「小型であること」は、先にも示したように、現在のPDC携帯電話が小型軽量の端末ほど販売数が多いことから、強い要求である。小型パワーアンプの実現には、半導体素子チップの小型化が必須である。高価な高出力素子チップの面積の削減は、一枚の半導体ウェーハから得られるチップ収量を増やすことができるという観点から、「低コスト」の主要な手法でもある。図2-4に、携帯電話用パワーアンプの体積と電源電圧の推移を示す。パワーアンプが急速に小型かつ低電圧動作化してきたことが分かる。また、図2-5に 0.1cm^3 のPDC用パワーアンプの外観を示す。

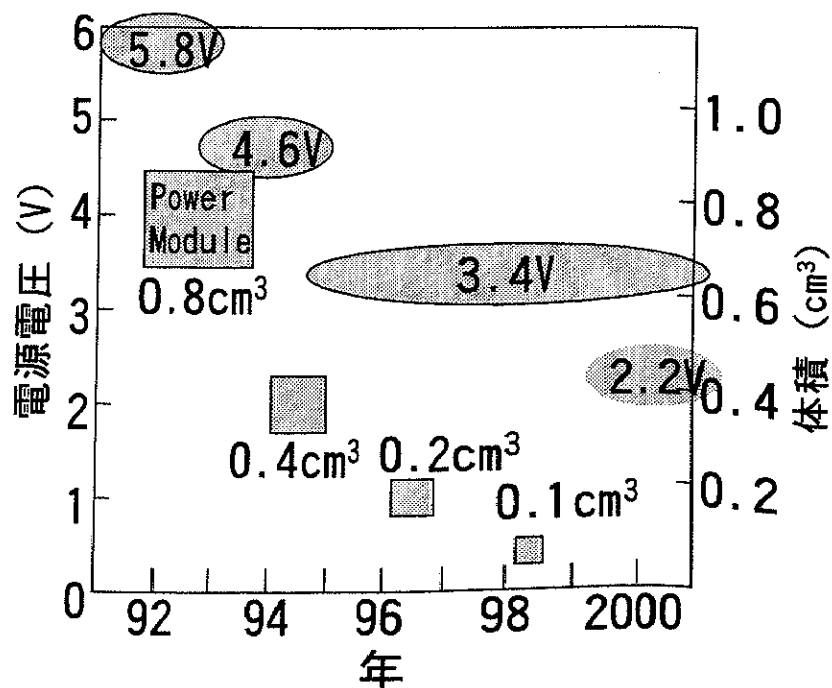


図2-4 携帯電話用パワーアンプの体積と電源電圧の推移

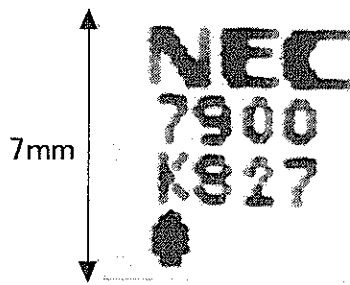


図2-5 0.1cm³P D C用パワーアンプの外観

「低電圧動作」の要求は、充電可能な電池(二次電池)の特性や価格と密接に関係している。すなわち、現在最も普及しているLiイオン電池が二次電池の中で最も体積および重さ当たりのエネルギー密度が高いため、同じ消費電力性能の端末を想定した場合、この電池の利用により端末の小型軽量化が最も図れるからである。したがって、ほとんどすべての携帯電話がLiイオン電池を使用しており、比較的安価にしかも容易に入手可能である。しかしながら、Liイオン電池は放電電圧の時間依存性特性が若干悪いため、端末内の回路は、充電直後の放電開始電圧である4V程度から放電終了直前の3V程度まで、動作対応が求められる。したがって、パワーアンプは3.4Vから3.6V動作での規格要求が一般的である。一方、最近では端末の低周波側の処理(音声やそのデジタル処理)を行うベースバンド部のSi I Cの動作電圧が2V程度に下がってきた。また、学会レベルでは1V以下の可能性が議論されている。端末での複雑なデジタル演算処理を行う状況が増えるにしたがって、このベースバンドSi I Cの消費電力の割合が端末の中で相対的に増加してきた。パワーアンプが1Vで動作可能となれば、パワーマネジメントがより一層容易になり、電源ロスも削減されることから端末使用の長時間化が図れる。そこで、Ni水素電池などを利用した1V動作端末を想定した高出力素子の開発も検討する。

「低歪高効率」は、現在のP D C携帯電話規格でも要求される項目であるが、符合分割多元接続(C D M A)方式の携帯電話(I S - 9 5 : cdmaOne)規格や次世代移動通信システムの有力候補である広帯域C D M A (W - C D M A)方式の規格ではより一層厳しい歪規格が要求される。パワーアンプにおいて厳しい歪規格をクリアする場合、歪の少ないA級動作をさせたうえに、飽和出力から大きく出力を絞った線形領域で動作(バックオフ)させることが一般的である。この場合、定常的なD Cバイアスが消費する電力に比較して出力電力の割合が低くなるため、効率は大きく低下する。このトレードオフの関係にある低歪特性と高効率特性の両立は、大きな課題である。これの克服には、素子の線形性向上や整合条件の最適化を中心に検討する。

「低コスト」の要求は、携帯電話が最も民需的な性格の製品であるから、永遠の課題である。逆に言えば、衛星放送用の受信用低雑音F E Tを除けば、マイクロ波帯の

素子は官需や大企業からの注文が多く、コストに対してそれほど積極的な検討がなされてこなかったとも言える。現在、携帯電話用高出力素子のほとんどすべてがGaAs素子であるが、この携帯電話と衛星放送チューナはGaAs素子の製造コストを大幅に引き下げた製品である。主な低コスト化の方策は、製造プロセスの簡易化、ステップ数削減、歩留まりの向上とウェーハの大型化やチップの小型化による収量の増加である。

パワーアンプに対する以上の要求を、ゲート幅あたりの最大ドレイン電流が比較的小さな($\sim 200\text{mA/mm}$)現状のGaAsMESFETにおいて実現する場合、ゲート幅の増大で対応する以外に方策は無い。ゲート幅を増大すればチップ当たりの最大ドレイン電流の増加とともにオン抵抗の低減を図ることは可能である。このオン抵抗は、7.1.3と7.2.3で考察するように、低電圧での高効率高出力動作の鍵を握る素子特性である。しかしながら、ゲート幅の増大に伴い、以下の不具合が生じる。すなわち、

- I. チップの大型化、
- II. 高コスト化(ウェーハ当たり収量の減少)、
- III. 整合インピーダンスの低下から生じる整合ロスの増大(出力特性の劣化)、
- IV. 発振などの動作の不安定性増大、

などである。したがって、小型で低電圧動作性に優れた高出力素子の実現が望まれる。そのために必要な素子特性は、

- ①. 低いオン抵抗(ゲート幅当たり)、
 - ②. 負で低いしきい値電圧か正のしきい値電圧、
 - ③. 高い最大ドレイン電流(ゲート幅当たり)、
 - ④. 十分なゲート耐圧(Liイオン電池1セルの動作では13V程度)、
 - ⑤. 高い線形性、
- などである。

「低いオン抵抗」は先にも示したように高効率動作化のための重要な特性である。特にゲート幅当たりオン抵抗が低ければ、所望のオン抵抗を短いゲート幅で得られることになり、チップの小型化が図れる。

「負で低いしきい値電圧か正のしきい値電圧」と「高い最大ドレイン電流」が同時に得られるFETは相互コンダクタンスの大きな素子といえ、大きな利得が期待できる。「負で低いしきい値電圧か正のしきい値電圧」は、低電圧動作素子の必須な要求特性でもある。なぜなら、FETはゲートに負のバイアスを印加し、ドレイン電流を絞った状態で動作させることが一般的であるが、携帯端末の場合、この負バイアスをDC-DCコンバータなどの電源ICで発生させている。その場合、用いる電池起電圧の80~90%の負電位を発生させることがせいぜいであり、これを抵抗で分配して供給することが一般的だからである。たとえば、Ni水素電池1セル(1.2V)動作では、し

きい値電圧を -0.9V より低くすることが望ましい。単一正電源動作は、この負電源回路省ける利点を有するが、より一層の負で低いしきい値電圧か正のしきい値電圧が求められる。なお、低電圧動作では、低いドレイン電流(最大ドレイン電流の10%以下程度)に設定したうえで、出力整合回路の負荷インピーダンスの設定において負荷を高め(いわゆる負荷線を寝かした状態)に設定するため、「最大ドレイン電流」を利用するような動作は行わないのが一般的である。したがって、ゲート幅当たりのオン抵抗さえ低ければ、最大ドレイン電流は特に大きい必要は無い。しかしながら、ゲート幅当たりのオン抵抗が低いFETはチャンネルの電子濃度が高く、最大ドレイン電流も大きい傾向があるため、問題は生じない。

「十分なゲート耐圧」は低電圧動作ではあまり問題にならないようにも感じられるが、Liイオン電池1セルの動作においては13V程度が必要である。通常の高出力動作では動作電圧の2倍にピンチオフ電圧を足した値でよいが、高効率動作を想定した場合は、高調波成分に配慮したより高い耐圧が必要である[5]。すなわち、Liイオン電池1セルの動作では、充電直後の電圧(4V)の3倍にピンチオフ電圧($\sim 1\text{V}$)を足した程度(13V)は必要である。FETにおけるゲート耐圧と最大ドレイン電流はトレードオフの関係にあることは良く知られており[6, 7]、このゲート耐圧13Vと最も高い最大ドレイン電流が得られる素子構造の研究が重要である。

「高い線形性」については、各種デジタル携帯電話の厳しい歪規格の達成には不可欠である。FETでは、各素子パラメータ(相互コンダクタンスやゲート-ソース容量)のゲートバイアスに対する依存性が歪特性と関連があること[8]から、素子設計には充分考慮が必要である。

[2.3] 化合物半導体結晶技術の現状

前節で示した要求を満たす高出力素子の実現には、Siより伝導特性に優れたGaAsなどの化合物半導体の適用が適当であろう。化合物半導体結晶の能動層形成には、大きく分けて、バルク結晶を用いてこれに不純物を熱拡散したりイオン注入することによりバルク結晶内に能動層を形成する方法と、結晶基板上にエピタキシャル成長技術により結晶層形成してこれを能動層として用いる方法がある。

バルク結晶に不純物イオン注入し、熱活性化して能動層を形成する方法は、GaAsMESFETのチャンネル形成に比較的良く用いられる方法である[9, 10]。このイオン注入法は仕様の管理された特定の基板に対してイオン注入条件と熱処理条件を最適化することにより、比較的高精度な特性管理が可能であり、生産性が高い。しかしなが

ら、急激な不純物濃度プロファイルの形成は比較的困難であり、ヘテロ接合の形成も不可能である。ヘテロ接合結晶に対しては、オーミックコンタクト用の高濃度n型領域の形成に使われることがある[11]が、熱処理温度が比較的高いため、エピタキシャル成長で形成したヘテロ構造やドナードーピングプロファイルおよびドナー活性化への影響を最小限にする条件の最適化が必須である。また、不純物の熱拡散によるチャンネル形成はほとんど見られず、p⁺n接合ゲート形成のために、Znの拡散が見られる[12]程度である。

一方、エピタキシャル成長技術はここ十数年で目覚ましい進歩を示し、高度なヘテロ接合を制御良く形成し、良好な特性を有する最新鋭のヘテロ接合素子の実現を支えてきた。たとえば、初期の頃は衛星放送受信用の低雑音素子としてGaAs基板上のAlGaAs/InGaAsヘテロ接合[13]を用いた2次元電子ガスFET開発があり、ホモエピタキシャル構造のGaAsMESFETを凌駕する特性を得た。一方、超高周波用の基本素子としてInP基板に格子整合するIn_{0.52}Al_{0.48}As/In_{0.53}Ga_{0.47}As系ヘテロ接合FETの実現にも高度に制御されたエピタキシャル成長技術が必須の技術である。また、従来構造の金属-半導体構造FET(MESFET)に対しても、バッファ層のヘテロ構造化や高精度なドーピングプロファイルと膜厚制御などの高性能化技術を安価な商用素子に適用できるまでに進展した。このように有効なエピタキシャル成長技術であるが、特に急峻なヘテロ接合の形成には分子線成長(MBE)法が、またP系の成長や4インチウェーハの多数枚成長には有機金属原料を用いた気相成長(MOCVD)法が向いていると一応は性格づけられる。InPはPの蒸気圧が他の元素と比較するならば非常に高いため、金属ソースを用いたMBEでの形成は困難であったが、ガスソースMBE[14]または赤リンをバルブセルに入れて用いたMBE[15]が報告されている。しかしながら、今日では両者共に完成度が高く、結晶系やヘテロ構造形成に対する若干の得意不得意やコストに着目して選択している。

この結論に到達するまでには、各エピタキシャル成長法によるテストウェーハの評価を各種行っており、また定常的にも成長装置のオーバーホール後には再度行っている。たとえば、MBEウェーハに対しては、格子定数評価としてX線回折法、表面の観察には散乱光評価法、伝導特性やドーピング濃度の評価にホール測定法、C-V測定法などである。ところで、[3.2]節で示すPhotothermal Ionization Spectroscopy(PTIS)法は、ごく微量($<10^{15}\text{cm}^{-3}$)な残留不純物の同定と定量を行える唯一の方法であるが、各成長装置の導入時期にはこれによって結晶の高純度化と成長技術の高度化を図った。たとえば、GaAs系の成長を行うMBE法によるGaAs成長[16]やクロライド気相成長法によるInP[17]やGaAs成長の成長条件と残留ドナー不純物濃度の依存性を調べた。

これらの検討を基に、それぞれの結晶系と素子構造に合わせて結晶技術の選択と最適な高度化を図った。結晶技術をまとめると、

ヘテロ構造バッファ層付きGaAsMESFET：MBEまたはMOCVD

InPMESFET：イオン注入

InPチャンネルヘテロMIS型FET：イオン注入でInPチャンネル形成、

その後MBEでバリア層を再成長

InP系ダブルドープヘテロ接合FET：MBEまたはMOCVD

GaAs系ダブルドープヘテロ接合FET：MBEまたはMOCVD

となる。MOCVD法は、結晶系や素子構造によらずほぼ適用可能である。また、均一な多数枚成長も高度な設計によれば可能であるから、特にコストを強く意識した場合、有利な成長法である。

[2.4] 本研究の目的

本論文の目的は、3.5V以下で動作し、現状のGaAsMESFETを上回る高効率低歪特性を有する移動体通信端末用の小型高出力素子の実現である。また、移動体通信端末用のマイクロ波モノリシック集積回路(MMIC)パワーアンプの実現も、次世代マルチメディアのワイヤレス化の進展に向けて併せて検討する。

[第2章 参考文献]

- [1] 郵政省ホームページ, 移動電気通信事業加入数の現況 (平成10年 9月末現在) ,
<http://www.mpt.go.jp/policyreports/japanese/stats/Handy-phone.html>.
- [2] 郵政省 通信白書 平成10年度版, 平成10年 通信に関する現状報告 第1章第1節
の5 情報通信メディアの普及予測.
- [3] 小林忠男, 梅比良正弘, 相河聡: 1998年電子情報通信学会ソサイエティ大会講演
論文集1 (PB-2-1, 山梨大学) 579.
- [4] NTT Do Co Mo テクニカルジャーナル 6 (1999年1月) 裏表紙.
- [5] K. Mori, M. Nakayama, Y. Itoh, S. Murakami, Y. Nakajima, T. Takagi and Y. Mitsui:
IEICE Trans. Electron. E78-C (1995) 1229.
- [6] S. H. Wemple, W. C. Niehaus, H. M. Cox, J. V. Dilorenzo and W. O. Schlosser: IEEE
Trans. Electron. Devices ED-27 (1980) 1013.
- [7] N. Iwata, K. Inosako and M. Kuzuhara: 1993 IEEE MTT-S Digest (1993) 1465.
- [8] J. A. Higgins and Reidar L. Kuvås: IEEE Trans. Microwave Theory & Tech. MTT-28
(1980) 9.
- [9] J. P. de Souza and D. K. Sadana: IEEE transactions on electron devices 39 (1992)
166.
- [10] N. Iwata, Y. Mochizuki, S. Fujieda and Y. Matsumoto: Inst. Phys. Conf. Ser.
No. 96: Chapter 6, Paper presented at Int. Symp. GaAs and Related Compounds,
Atlanta, 1988, (1988) 435.
- [11] D. Romer, J. G. Bauer, Ch. Lauterbach: J. Appl. Phys. 72 (1992) 4998.
- [12] M. Dohsen, J. Kasahara, Y. Kato and N. Watanabe: IEEE Electron. Devices Lett.
EDL-2 (1981) 157.
- [13] H. Morkoç, J. Klem, W. T. Masselink, T. S. Henderson and A. A. Ketterson: United
State Patent 4827320 (May 2, 1989).
- [14] M. B. Panish: J. Electrochem. Soc. 127 (1980) 2729.
- [15] R. F. C. Farrow: J. Phys. D 7 (1974) L121.
- [16] Y. Nashimoto, K. Shimizu, K. Arai, N. Iwata and I. Sakuma: 1986 Electronic
Materials Conference (June 27, 1986) M-2.
- [17] N. Iwata and T. Inoshita: Appl. Phys. Lett. 50 (1987) 1361.

【第3章】 F E T用化合物半導体ヘテロ接合の特性とその改善

本章では、低電圧で高効率低歪動作する小型な高出力素子の実現に向けて、まず [3.1] 節で、電子の輸送特性に優れたチャンネル層用の半導体結晶の選択とそれに合ったヘテロ接合を形成するバリア層用の半導体結晶を検討する。次の [3.2] および [3.3] 節では、目的の高出力素子に有力な AlGaAs/InGaAs ヘテロ構造において、ドナーを添加した AlGaAs 電子供給層で問題視される DX センターの回避に関する検討を示す。[3.4] 節では、GaAs 系ヘテロ構造の信頼性に関係する熱安定性について検討する。[3.5] 節において、本章の結論を示す。

[3.1] F E T用化合物半導体ヘテロ接合の特性

高周波特性の良好な素子の実現には、浮遊容量を低く抑えることができる絶縁性の高い基板の使用が必須である。市販されている半絶縁性化合物半導体結晶基板としては、GaAs と InP しかない。これらの上に形成可能なエピタキシャル層として、GaAs 基板上では AlGaAs、InGaAs、InAlGaP などが、また InP 基板上では InAlAs、InGaAs、AlGaAsSb などがある。この中で GaAs、InGaAs や InP などは、伝導帯の Γ 帯底が鋭い構造を有し、電子の有効質量が軽い直接遷移型バンド構造を示す。これらの化合物半導体は Si と比較して電子移動度 (μ_e) が高く、オン抵抗の低い素子のチャンネル層用材料に有望である。さらに、これらの化合物半導体では、有効な電子の閉じこめ効果が得られる上にほぼ格子定数の等しいバリア層用の半導体結晶が容易に得られる。したがって、高い移動度を有する電子を高濃度に蓄えられるヘテロ接合構造の実現が可能である。これによれば、低オン抵抗で高ドレイン電流の F E T の実現が期待できる。

表3-1に、チャンネル層に GaAs、InGaAs または InP を用いて、適当なバリア層材料と組み合わせられた場合に得られると予測される電子輸送特性と物性に関する情報をまとめて示す [1-3]。チャンネル層には、GaAs や InP より電子の有効質量が軽く、移動度が高い上に、特に GaAs と比較した場合、伝導帯底と高次のエネルギー帯間隔が広がっているために電子の飽和速度 (V_s) が高い InGaAs が適していると判断した。InGaAs はその In 組成により十数 nm であれば GaAs 基板上で利用できる組成域 (0.2 以下) [5, 6] と InP 基板上で利用できる組成 (0.5 付近) があるが、それぞれ $Al_{0.22}Ga_{0.78}As$ や $In_{0.52}Al_{0.48}As$ と組み合わせると良好なヘテロ接合が形成できる。GaAs 基板上の $Al_{0.22}Ga_{0.78}As/In_{0.2}Ga_{0.8}As$ ヘテロ接合系は、InP 基板上のそれと比較すると、伝導特性は若干劣るものの、成熟した GaAs 作製プロセスが利用できることや 4 インチ径の安価な GaAs 基板が利用できる利点がある。

ある。一方、InP基板上の $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ ヘテロ接合系は、GaAs基板上のそれと比較すると、伝導特性は良好であるが、チャンネルの $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ の禁制帯幅(E_g)が0.75eVしかないため耐圧不足の懸念があることと、この系の作製プロセスが成熟していないことや市販されているInP基板は3インチ径であり、高価であることが欠点である。

表3-1 GaAs、InGaAs、InPをチャンネル層としたヘテロ接合系の電子輸送特性と物性 [1-4]

チャンネル層材料	GaAs	$\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$	$\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	InP
E_g (eV)	1.42	1.14	0.75	1.38
μ_e ($\text{cm}^2/\text{V}\cdot\text{s}$)* ¹	6000	6500	10000	5000
V_s (cm/s)	1.7×10^7	2×10^7	2.4×10^7	2.8×10^7
N_s (cm^{-2})* ¹	1.8×10^{12}	2.5×10^{12}	3.5×10^{12}	2×10^{12}
バリア層材料	$\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$	$\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$	$\text{In}_{0.52}\text{Al}_{0.48}\text{As}$	$\text{In}_{0.52}\text{Al}_{0.48}\text{As}$
ΔE (eV)	0.14	0.3	0.52	0.28
基板	GaAs	GaAs	InP	InP

*¹ここで示す μ_e と電子のシート濃度(N_s)は、それぞれに適当なバリア層用の半導体結晶にドナーを添加した場合に得られる2次元電子ガスの μ_e と N_s の一般的な値である。

得失は以上の通りであり、この節の検討結果として、GaAs基板上の $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ ヘテロ接合系とInP基板上の $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ ヘテロ接合系が所期の目的に有望であると結論する。

以上のように、GaAs基板上の $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ ヘテロ接合系の有望性を指摘したが、このAlGaAsを用いたヘテロ接合系の2次元電子ガスFETでは、電子供給層であるAlGaAs中のDXセンター[7, 8]が引き起こす電子の不活性化や温度不安定性の問題が指摘されている[9]。そこで、[3.2]および[3.3]節では、DXセンターの問題の回避として、低いAl組成比のAlGaAsの適用検討とAlGaAsと等価な禁制帯幅を有する選択ドープ構造のAlAs/GaAs短周期超格子の検討をそれぞれ示す。

[3.2] DXセンターの回避 I (低Al組成比AlGaAs中のドナー評価)

混晶 AlGaAs 結晶の Al の組成比が 0.2 程度以上になると、ドナー準位が深くなったように観察される、いわゆる浅いドナーの DX センター化の問題は、ホール測定や Deep-Level Transient Spectroscopy (DLTS) 測定で評価されてきた [7, 8, 10-13]。図 3-1 に、 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ の各バンド、浅いドナーと DX センターの Al の組成比 (x) 依存性を示す [10-13]。x=0.2 付近の $\text{Al}_x\text{Ga}_{1-x}\text{As}$ は、禁制帯幅も充分大きく、 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ に対する良好なバリア層材料と判断される。しかしながら、DX センターによるなんらかの影響も危惧されることと、電気的性質を支配する伝導帯の電子の有効質量や浅いドナーの振る舞いそのものもよく分かっていない。これは、高純度 AlGaAs の作製が困難であったことによることが大きい。そこで、高度に制御された分子線成長 (MBE) 法により高純度 n 形の AlGaAs 試料を作製し、それらを Photothermal Ionization Spectroscopy (PTIS) 法 [14] を用いてドナーを詳細に評価し、伝導帯の電子の有効質量やドナーの性質を明らかにした [13]。

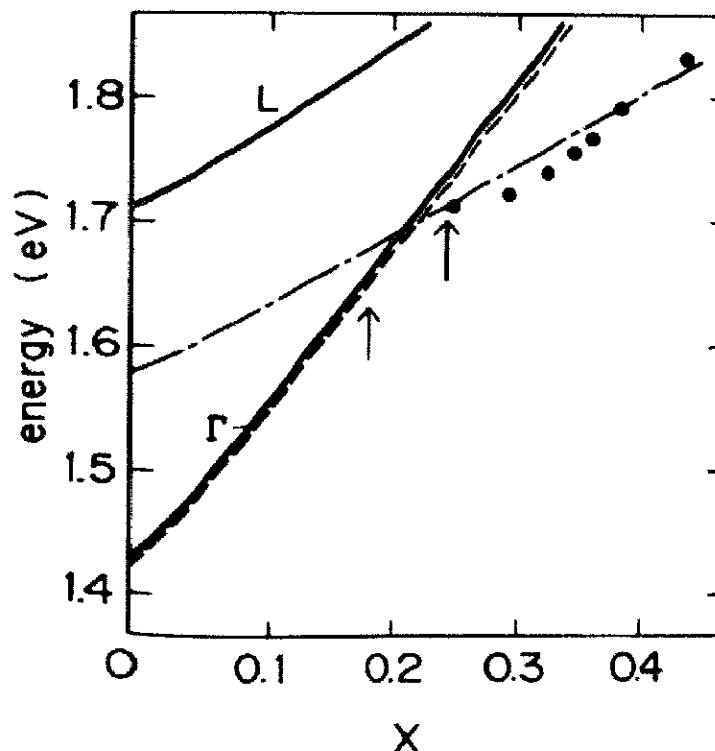


図 3-1 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ の各バンド、浅いドナーと DX センターの Al の組成比依存性

3.2.1 試料の作製

表 3-2 に高純度 n 型試料の詳細を示す。試料は、MBEにより半絶縁性 GaAs 基板上に約 1 μm の高純度無添加 GaAs バッファ層を成長し、それに引き続き Si ドナーを 10^{16}cm^{-3} 程度ドーピングした Al の組成比が 0.18 と 0.24 の AlGaAs および GaAs の層を約 3 μm 形成したものである。なお試料構造の特徴としては、AlGaAs 試料では AlGaAs 層と GaAs バッファ層をグレーデッド層でつなぎ、2次元電子が溜まらないように工夫した。これを省くと、2次元電子がバッファ層に溜まり、失敗した経験がある。成長基板温度は 600°C である。

表 3-2 試料

	GaAs 試料		$\text{Al}_x\text{Ga}_{1-x}\text{As}$ 試料	
Al 組成: x	0	0.18	0.18	0.24
$N_D - N_A (\text{cm}^{-3}) @ 77\text{K}$	5.5×10^{15}	6.9×10^{15}	6.9×10^{15}	9.5×10^{15}

次に、PTIS 評価用に 2 端子のオーミックコンタクトを有する試料の作製手順を以下に示す。

1. 2mm \times 4mm 程度に劈開、
2. 裏面の基板をななめに研磨(遠赤外光の表面と裏面での干渉を防ぐため)、
3. 洗浄および HCl 系エッチャントによる表面処理
4. Sn を用いて水素雰囲気中、450°C 数秒間でオーミックコンタクトを形成

3.2.2 PTIS 法の原理と測定の実際

図 3-2 に PTIS 法の原理を示す。InP や GaAs などの直接遷移型半導体の浅いドナーの性質は、水素原子様モデルでよく説明できることが知られている。PTIS 法は、極低温においてドナーの基底準位である 1s 準位にいる電子が、遠赤外光により励起準位である 2p 準位へ遷移し、引続いて 2p 準位から伝導帯へは密集した準位を介して測定温度で熱的に励起される Photothermal Ionization 過程に注目した評価手法である。この時、同時に磁場を印加することにより、たとえば 2p 準位では縮退が解け、2p 準位は 2p(m=-1)、2p(m=0)、2p(m=+1) の 3 つに分かれる。この水素原子様ドナーモデル準位のリュードベリーエネルギーに対する磁場依存性の様子を図 3-3[15] に示す。このうち、1s から 2p(m=-1) と 1s から 2p(m=+1) への遷移信号は強く、これの磁場依存性を調べることにより、ドナーおよびアクセプタの同定評価やキャリアの有効質量評価が高精度で可能である。PTIS 法は、SIMS 検出限界以下の微量なドナーおよ

びアクセプタの同定評価手段としては、ほとんど唯一の手法である。

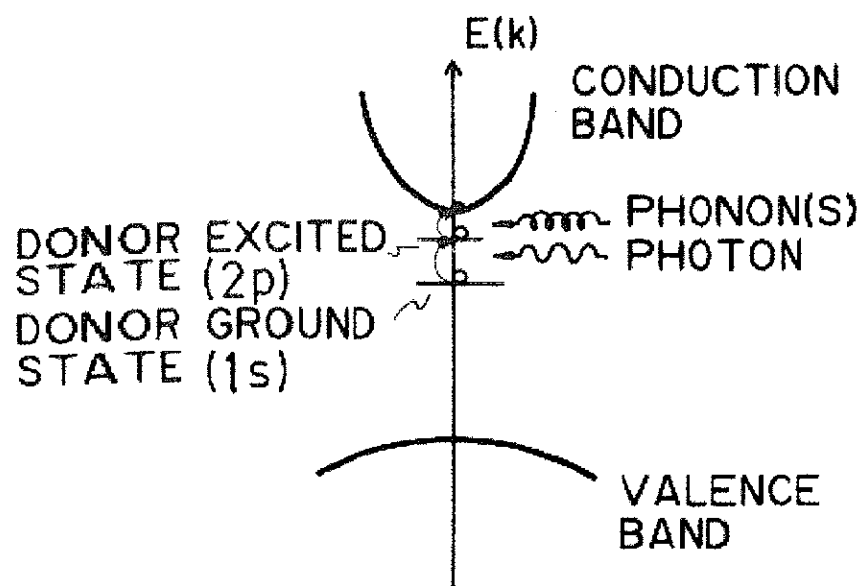


図 3-2 PTIS法の原理

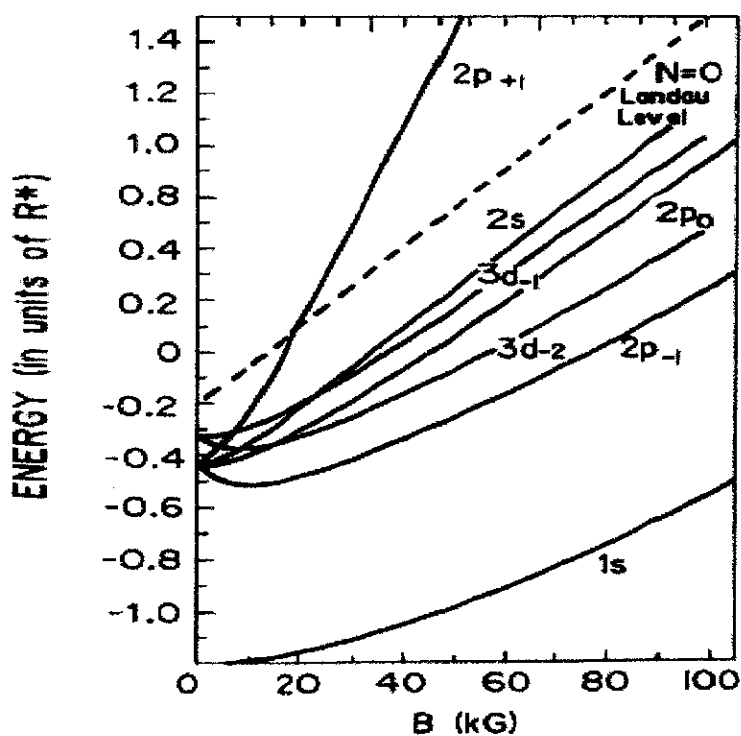


図 3-3 水素原子様ドナーモデル準位の磁場依存性 [15]

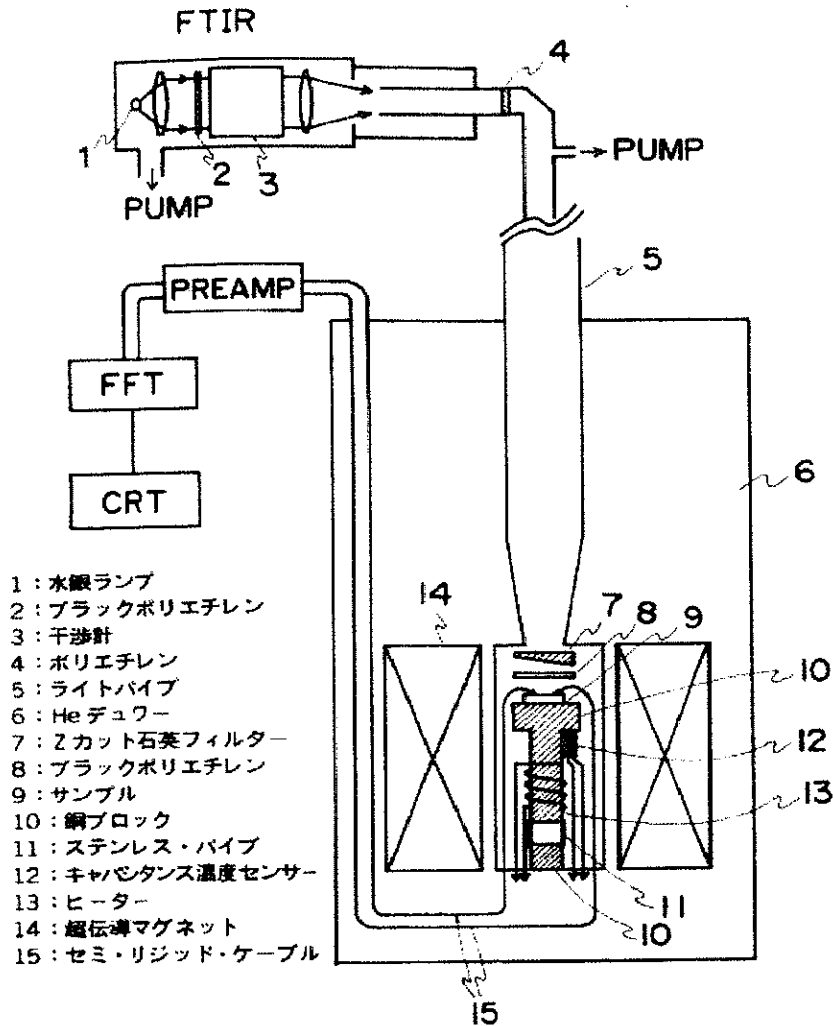


図3-4 PTIS測定装置の構成

図3-4に、PTIS測定装置の構成を示す。測定系の心臓部は、PTIS測定用に改造を施したFTIR装置である。水銀灯から放出された白色光は、マイケルソン型干渉計により干渉波となり、真空のライトパイプ中を導波し、フィルタを経て、試料に照射される。試料には、超伝導コイルにより10Tまでの磁場を印加することができる。また試料温度は、2~50Kの範囲で制御ができる。試料は、成長表面と基板裏面間での遠赤外光の干渉を防ぐ為に、基板を斜め研磨したものをを用いる。試料表面上に設けた2箇所のSnによるオーミックコンタクトにはバイアスが印加され、干渉波の照射により光伝導信号が得られる。その光伝導信号は、増幅後、コンピュータによりフーリエ変換され光伝導スペクトルとなる。このPTIS測定装置の分解能は、 0.08cm^{-1} ($10\mu\text{eV}$)である。

3.2.3 PTIS 評価結果

次に評価結果について示す。図 3-5 に Al の組成比が 0.18 の試料において磁場を 0、5、10T とした時の PTI スペクトルを示す。この図に見られるように、大きなこのスペクトルは、磁場の印加により、2 つに分れることが分かった。一方は磁場に対して大きな依存性を示すが、他方は鈍感である。これは、GaAs で観察される $1s$ から $2p(m=+1)$ へと $1s$ から $2p(m=-1)$ への遷移によるスペクトルの性質と一致する。

図 3-6 は、先のスペクトルにおいてそれぞれのスペクトルのピーク(図中の黒丸)に対して有効質量近似の水素原子様モデルの理論曲線によるカーブフィッティングを行ない、その結果得られたピーク波数を磁場に対してプロット(図中の点線)したものである。図中の点線は、後で示す最適な電子の有効質量と誘電率を仮定して書いた水素原子様モデルの理論曲線であるが、測定点と良く一致する。これより、測定で観察された二つの信号は、 $1s$ から $2p(m=+1)$ へと $1s$ から $2p(m=-1)$ への遷移によるスペクトル

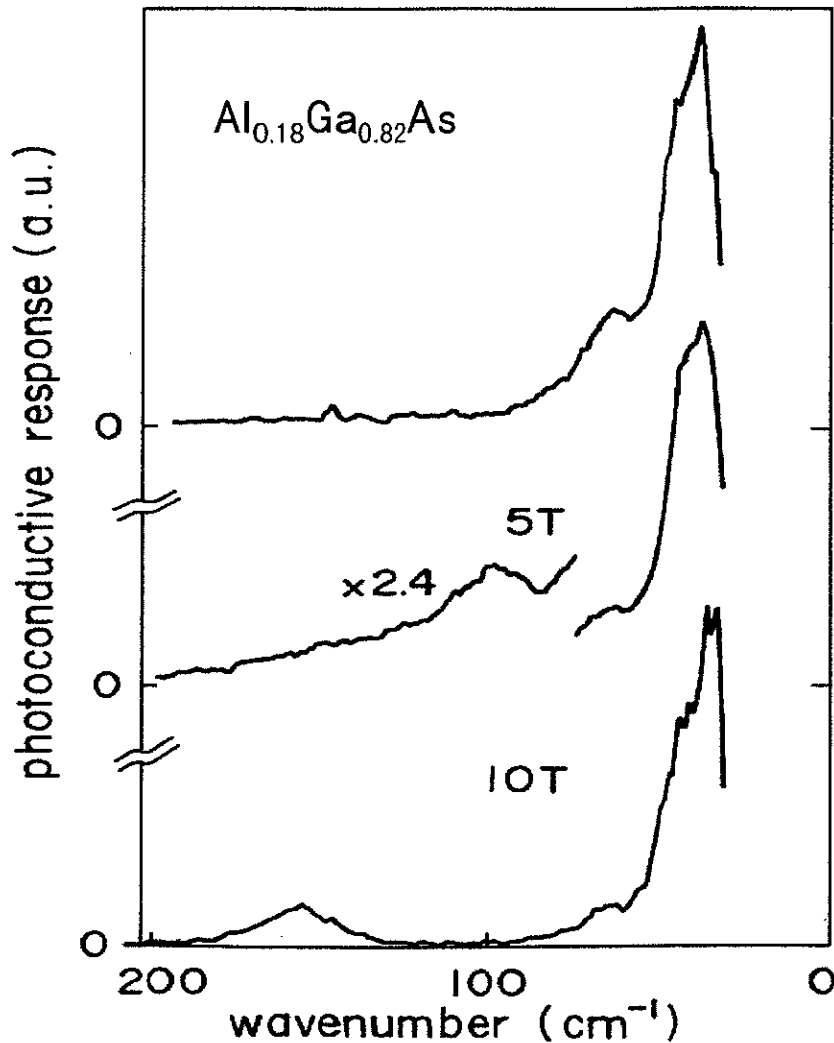


図 3-5 $\text{Al}_{0.18}\text{Ga}_{0.82}\text{As}$ 試料の 0、5、10T での PTI スペクトル

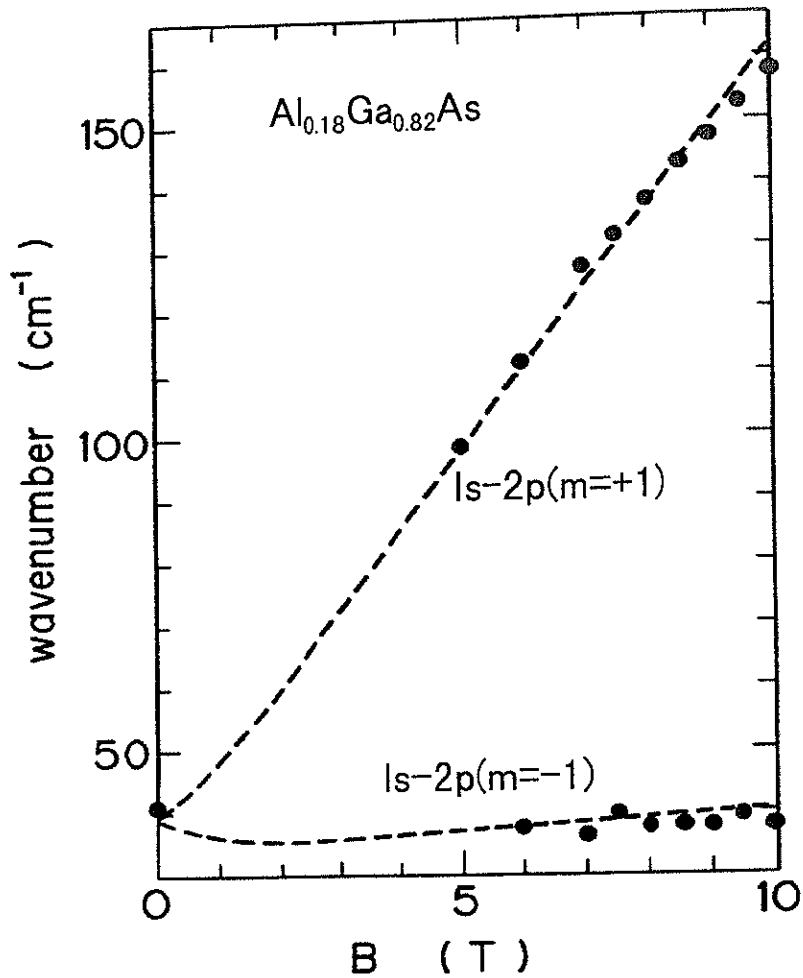


図3-6 P T I スペクトルの磁場とピーク位置の関係

ルであると断定できる。同様のことは、Alの組成比が0.24の試料においても見られ、AlGaAsのドナーにおいても水素原子様モデルが良く成り立つことが分かった。次に、AlGaAsの電子の有効質量を求める手順について示す。

3.2.4 有効質量の解析と考察

水素原子様モデルにおいて $2p(m=+1)$ と $2p(m=-1)$ 準位のエネルギー差 (Δ) と磁場の関係は、文献 [16] にあるように、

$$\Delta = \frac{e \cdot h}{m^* \cdot c} \quad (3.1)$$

と表される。波数 (cm^{-1}) と磁場 (T) で書き直すならば、

$$\Delta(cm^{-1}) = \frac{0.9339}{(m^*/m)} B(T) \quad (3.2)$$

となり、電子の有効質量は、1s から 2p(m=+1)へと 1s から 2p(m=-1)への遷移の波数差と磁場の一次の関係から直ちに求まる。図 3-7は、各試料の 1s から 2p(m=+1)へと 1s から 2p(m=-1)への遷移の波数差と磁場の関係を示したものであり、最小2乗法のフィッティングより、Al の組成比が 0.18 と 0.24 の AlGaAs の電子の有効質量は、0.0767、0.0774 とそれぞれ求められた。また水素原子様モデルより誘電率もそれぞれ 12.67、12.97 と求まった。この図中の点線AとBはそれぞれ文献 [17] で示されている経験的な内挿式より求めた 0.18 と 0.24 の AlGaAs の電子の有効質量の値によるものであるが、測定値とは良い一致は示さないことが分かった。すなわち、Al の組成比と電子の有効質量の関係は、図 3-8 に示すように、直線的な内挿による文献 [17] の式より、文献 [18] に示された相加平均的な式の方が、より最もらしいと言える。

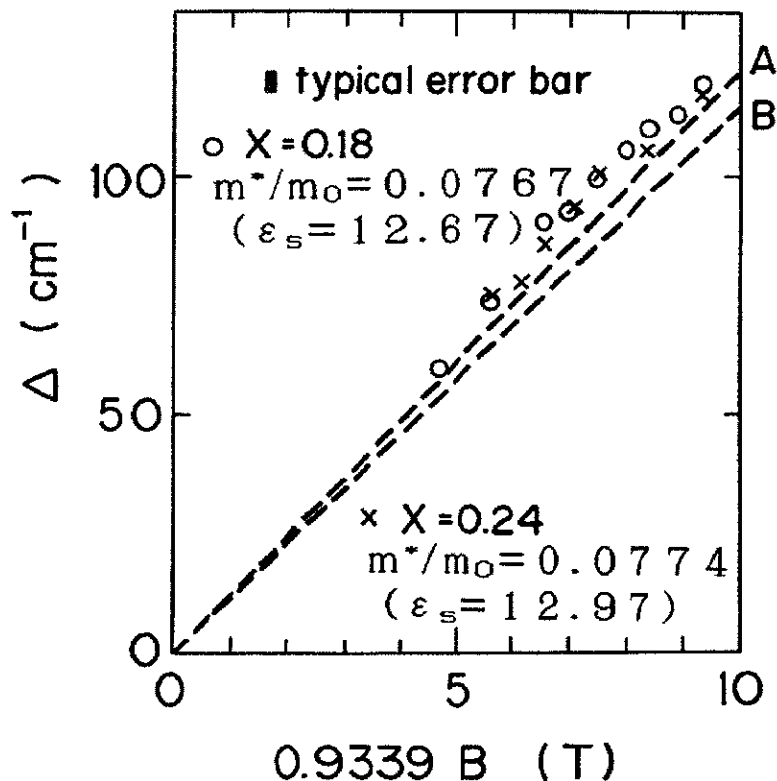


図 3-7 1s から 2p(m=+1)へと 1s から 2p(m=-1)への遷移の波数差と磁場の関係

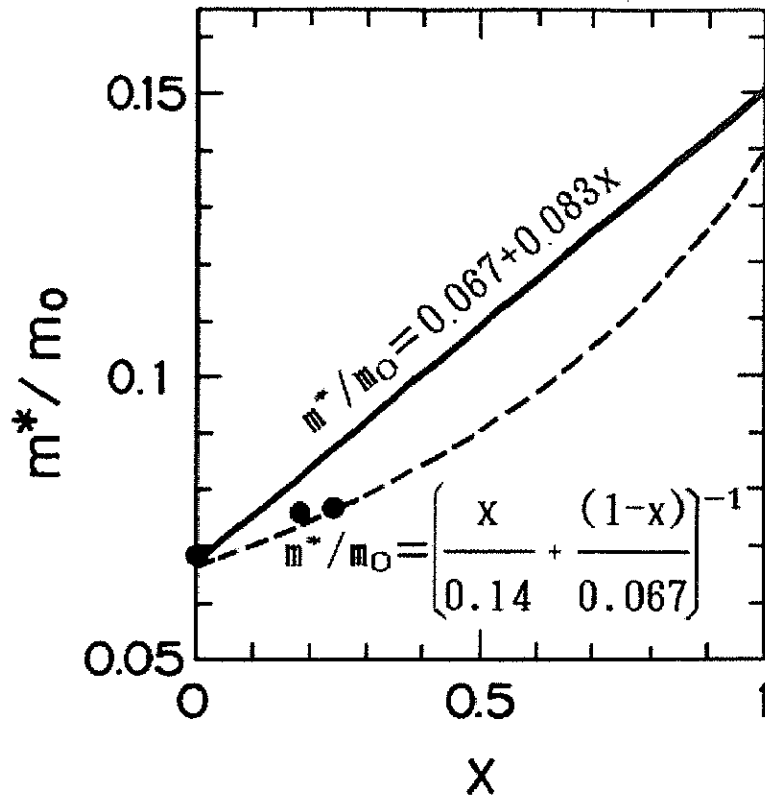


図 3-8 Al の組成比と有効質量の関係

ところでこの解析は、2p 準位の磁場依存性に注目しているため、基底準位 1s が影響を受ける central cell correction を考慮しないですむという利点がある。次に、この解析を歪める可能性のある 3 つの効果 (non-parabolicity、 Stark およびランダムな組成変動によるポテンシャルばらつき) について考察する。まず non-parabolicity 効果については、この効果が顕著化する条件は、有効リドベリエネルギーをはるかに超える波数での測定の場合問題となるので、この場合無視することができる。次に、ランダムに存在するイオン化した不純物などによる Stark 効果が考えられる。この効果は、文献 [19] にあるように GaAs の場合、ドナー濃度 10^{13}cm^{-3} 台の超高純度試料を用いた 0.5 T 以下の弱磁場での測定においてようやく観察される。そこで、 10^{13}cm^{-3} 台の高純度 GaAs と今回の GaAs のピーク位置を 3.5 T 以上で比較した。図 3-9 に、ハイドライド気相成長法による超高純度 GaAs とこの検討での MBE 法による GaAs の 1s から 2p ($m=+1$) へと 1s から 2p ($m=-1$) への遷移の波数差と磁場の関係を示す。図から明らかのように、差は認められないことより、影響は無いと判断される。さらに、ランダムな組成変動によるポテンシャルばらつきがある場合、2p 準位は 0 T の場合で 0.3cm^{-1} 程大きくなることが予測されるとの報告 [16] があるが、それぞれ同じ方向に動くため、その差に変わりはない。また磁場が印加された場合、その変化量は 2p+ 準位と 2p- 準位では異なるが、変化量そのものが磁場の増加に伴って小さくなるため、

この実験の精度上は問題が無いと判断される。

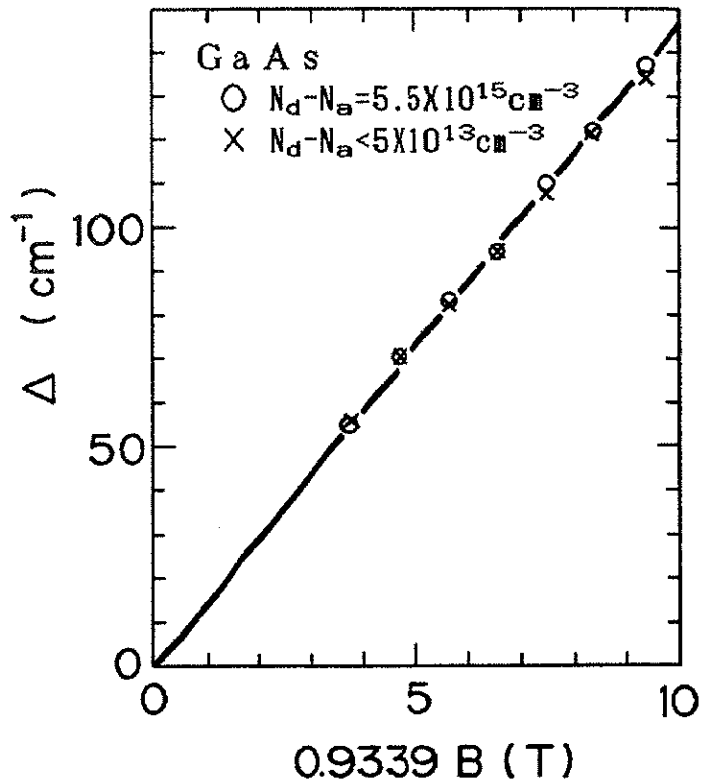


図 3-9 超高純度 GaAs と MBE GaAs の Δ と磁場の関係

3.2.5 まとめ

$\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($x \leq 0.24$) 中のドナーを PTIS 法により、10T 以下の磁場のもとで評価した。試料は MBE により、 10^{16} cm^{-3} 以下の Si を添加して作製したものであり、混晶半導体中のドナーの電子構造が初めて評価できた。解析の結果、AlGaAs 中のドナーは GaAs 中のそれと同様に、水素原子様モデルでよく説明できることが分かった。さらに電子の有効質量を求めたところ、従来から良く用いられている GaAs と AlAs の線形近似から求めた値とは一致せず、実際は、より軽いことが判明した。このように、 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($x \leq 0.24$) の電気的特性は GaAs のそれに類似して良好であり、DX センターなどによる欠点は見いだせない。したがって、 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ チャネル層に対する電子供給層およびバリア層用の半導体材料として好適である。

[3.3] DXセンターの回避Ⅱ (AlAs/GaAs 短周期超格子中のドナー評価)

短周期の AlAs 層と GaAs 層の繰り返しからなる超格子は、その膜厚の設計により、AlGaAs と等価な禁制帯幅 (E_g) が得られるとともに、GaAs 基板に格子整合するため、あたかも AlGaAs と同じように扱うことができる [20-22]。しかしながら伝導特性は、成長面に対して垂直方向はトンネル過程が支配的であり、水平方向は緩く束縛された二次元電子の伝導が支配的であることから非対称の特性となり、バルクの AlGaAs とは異なっている [20-22]。これに加えて、ドナーなどの不純物を添加した場合は、不純物周囲の環境が異なってくる。たとえば、Si ドナーを添加した場合を想定すると、Ⅳ族元素の Si は、Ⅲ族サイトに入ってドナーとなる。これが混晶である AlGaAs 中では Si の最近接原子はⅤ族の As であるが、第二近接原子はⅢ族の Al または Ga となり、制御できない。一方、AlAs/GaAs の短周期超格子に Si ドナーを添加した場合、Si ドナーの最近接原子はⅤ族の As であることは同じであるが、第二近接のⅢ族原子は、Si ドナーを GaAs 層に添加するのか AlAs/GaAs 界面に添加するのかまたは AlAs 層に添加するのかによって変えることができる。これには精密に制御された成長法の利用が必須であるが、今日では分子線成長 (MBE) 法や有機金属気相成長 (MOCVD) 法が高度に発達しており、このような選択ドープ構造の AlAs/GaAs 短周期超格子の実現は可能である。このように、特定の位置に選択ドープされた AlAs/GaAs 短周期超格子が DX センター回避の一方策になることを期待して、様々な選択ドープ構造超格子のドーピング特性や深い準位の振る舞いを調べた [23]。

3.3.1 選択ドープ構造超格子試料

試料は、AlAs/GaAs 短周期超格子層を含むエピタキシャル層で、MBE法により、Si-doped GaAs 基板 (100) 面上に作製した。MBE 成長における基板温度は 520°C 、 As_4/Ga 比は 3 で成長速度は $0.5\ \mu\text{m/hr}$ である。図 3-10 にはエピタキシャル層の構造を、図 3-11 には各選択ドープ構造超格子の構造をバンド図で示す。超格子は 4 格子長 ($22\ \text{\AA}$) の GaAs 層と約 2.5 格子長 (約 $15\ \text{\AA}$) の AlAs 層から成っている。試料は図 3-11(a)、(b)、(c) で示すように、Si を、それぞれ A、B、C と明示した部分に添加した 3 種類である。すなわち、

- (a) GaAs 層ドープ試料：AlAs/GaAs 界面から 1 格子以上離れた GaAs 層にのみ Si を添加した試料、
- (b) AlAs 層ドープ試料：一方の界面から $1/4$ 格子以上、もう一方の界面から $1/2$ 格子以上離れた AlAs 層にのみ Si を添加した試料、

(c) 界面ドーピング試料：AlAs/GaAs 界面±1/2 格子層にのみ Si を添加した試料

である。なお、超格子中でのドナーのドーピング場所は、超格子層の成長速度と各フラックスを制御するシャッターの開閉タイミングにより推定したものである。

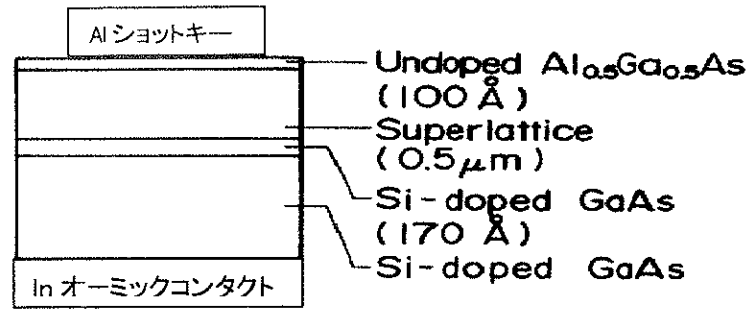


図 3-10 エピタキシャル層の構造

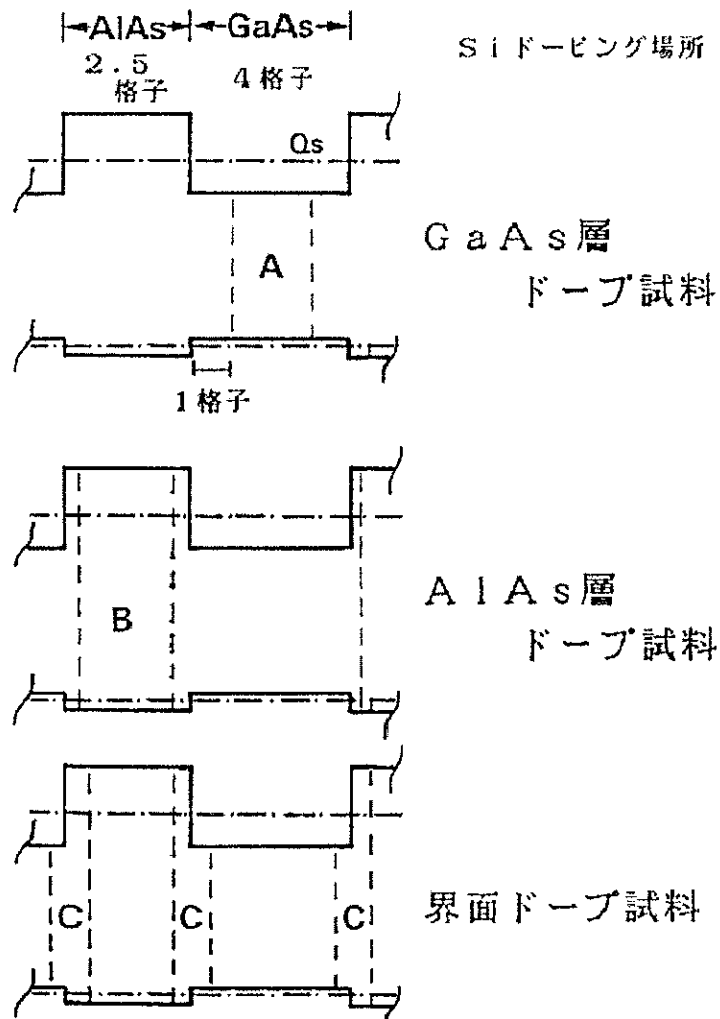


図 3-11 各選択ドーピング構造超格子の構造

3.3.2 評価結果と考察

3枚の試料ウェーハは、室温にて Photoluminescences (PL) 測定を行い、発光エネルギーがほぼ同じ(約 1.80eV)ことを確認した。すなわち、それぞれの超格子試料は、GaAs 層の厚さが 4 格子であることによる量子準位からの発光が得られており、同じ E_g を有する $Al_xGa_{1-x}As$ の実効的等価 $x(x_0)$ は 0.3 である。これらの試料に Al ショットキーを蒸着により形成し、試料裏面には In でオーミックコンタクトをとった。こうして作製した Al ショットキー試料を Capacitance-Voltage (C-V) 法と Deep-Level Transient Spectroscopy (DLTS) [24] 法を用いて、特に DX センターに対応する深い準位に注目して評価した。DLTS 測定では、ショットキー試料に -1.0V のバイアスを印可した後に、2.0V のパルスバイアスを重畳し、接合容量の過渡変化を観察した。

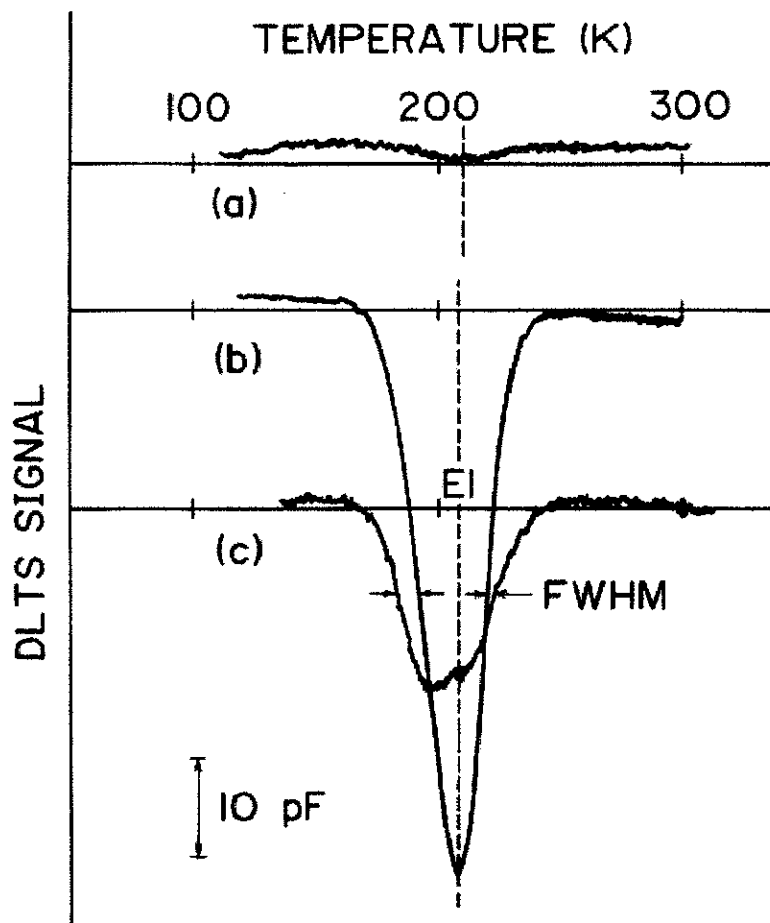


図 3-12 (a) GaAs 層ドーピング、(b) 界面ドーピングおよび (c) 混晶 $AlGaAs$ 試料の DLTS 信号

図 3-12 に、GaAs 層ドーピング試料、界面ドーピング試料および混晶 $Al_{0.3}Ga_{0.7}As$ 試料の DLTS 信号を示す。いずれの試料からも 210K 付近に信号 (E1) が観察された。しかしながら、GaAs 層ドーピング試料からの E1 トラップは、図から明らかなように、非常

に弱い。このE1トラップの電子捕獲および放出の特性は、混晶 AlGaAs 中のDXセンターのそれと酷似している。このE1トラップのDLTS測定においては、電子注入のパルス幅を50ms以上にしなければ、E1トラップへの十分な電子の注入は困難であった。このことは大きな格子緩和を持つDXセンターの特徴と一致する。加えてDLTS測定時のレートウインドに対するDLTS信号ピーク温度の逆数の関係(アレニウスプロット)が混晶中のDXセンターのそれとほぼ一致する。ただし、信号の半値幅に関しては、図3-12で見られるように、超格子試料では混晶試料の場合と異なり、狭いことが特徴である。E1トラップのDLTS信号は、DLTS信号のカーブフィッティングを行った結果、一種類の準位からの信号であることを確認した。このことは、この節の最初に議論した超格子中に添加したドナーの第二近接原子の一方がAlで他方がGaとなるような環境が、深い準位の単色性を造り出していると考えられる。一方、混晶中のDXセンターの信号は、少なくとも2種類以上のエネルギーレベルの信号が重畳していると判断される。E1トラップの信号は、ピーク位置より、DXセンターの高温側の信号と一致すると考えられる。なお、DLTS信号のカーブフィッティングは、単一準位からの放出割合(e) [24]を与える、

$$e = \left(\frac{\delta^\infty \cdot V_{th} \cdot N_c}{g} \right) \cdot \exp\left(\frac{-\Delta E}{kT} \right) \quad (3.3)$$

を用いて行った。ここで、 δ^∞ は温度無限大での捕獲断面積、 V_{th} は電子の熱速度、 N_c は伝導帯の有効状態密度、 g は深い準位の縮退度、 ΔE は深い準位の熱活性化エネルギー、 k はボルツマン定数、 T は絶対温度である。

各超格子試料と混晶 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 試料の測定結果を、表3-3にまとめて示す。表3-3で示す超格子全体での平均的Siのドーピング濃度(C_{Si})は、Siフラックスと各フラックスの比から単純に求めた値であり、DLTS測定の結果として示した値は、E1トラップとDXセンターのパラメータである。AlAs層ドーブ試料と界面ドーブ試料では、浅いドナーによるキャリア濃度よりも深い準位の濃度が高いため、通常のDLTS法での解析は困難である。しかしながら、量の大小などの半定量的な解析や考察には耐えると思われる。ところで、深い準位からの電子放出速度が遅くなる低温では、極短時間であれば、深い準位からイオン化した電子の濃度の寄与が無視できる。したがって、E1トラップが見かけ上フリーズアウトする150Kで素早くC-V測定を行えば、浅いドナーからイオン化された電子だけによるイオン化不純物濃度($N_D - N_A$)を求めることができ、250KでのC-V測定から求めたイオン化不純物濃度の差は、E1トラップの濃度と見なすことができる。界面ドーブ試料では、150Kと

表 3-3 選択ドーブ構造超格子試料と混晶 $Al_{0.3}Ga_{0.7}As$ 試料の評価結果のまとめ

Sample		AlAs/GaAs super lattice			Mixed crystal
Doped layer		GaAs	AlAs	Interface	AlGaAs
T _{sub} (°C)		520	520	520	500
Effective X : X _e		0.298	0.299	0.298	0.301
\bar{C}_{Si} (cm ⁻³)		5×10^{17}	5×10^{17}	5×10^{17}	1.3×10^{18}
C-V	$N_D - N_A$ (cm ⁻³) (150K)	2.6×10^{17}	4.9×10^{16}	2.6×10^{16}	2.6×10^{16}
	$N_D - N_A + N_t$ (250K)	3.8×10^{17}	3.6×10^{17}	9.9×10^{17}	2.3×10^{18}
DLTS	ΔE (eV)	0.49	0.43	0.43	0.39
	σ_{∞} (cm ²)	3×10^{-12}	5×10^{-13}	2×10^{-13}	6×10^{-15}
	N_t (cm ⁻³)	7.9×10^{15}	2.8×10^{17}	6.2×10^{17}	1.3×10^{18}
$N_t / N_D - N_A$		0.031	5.6	24	94

250KでのC-V測定から求めたイオン化不純物濃度の差が大きい。この差の値とDLTS解析結果のE1トラップの濃度は一致することより、界面ドーブ試料では混晶試料と同様に、高濃度のE1トラップが存在することが分かった。また、E1トラップは混晶中のDXセンターより深く、捕獲断面積も大きい、これは超格子固有のバンド構造によると考えられる。

3.3.3 DXセンターモデルの検討

ここで、以上の実験結果を基に、DXセンターの発生機構を考察し、DXセンターのモデルを提案する。最後に、そのモデルの妥当性を考察する。先に示したように、E1トラップの性質はDXセンターと酷似しており、以後は同一の準位として扱う。実験結果を第一次近似的にまとめると、各選択ドーブ構造超格子中のSiの振る舞いは以下のようにまとめられる。すなわち、

1. 界面から1格子(2原子層)以上離れた場所にSiをドーブすると、DXセンターは発生しない、
2. 界面±0.5格子(1原子層)にSiをドーブすると、DXセンターが発生する、

と言い換えられる。このことはDXセンターの発生に界面近傍がかかわっていることを示す。次に、DXセンターと界面近傍の関係を明らかにするために、GaAs層ドーブ試料と界面ドーブ試料を例にとって考察を進める。図3-13に、GaAs層ドーブ試

料の AlAs/GaAs 界面付近の模式図を示す。ここで界面が理想的に形成されたと仮定すると、界面は As 面で分離された場合と Al と Ga がただ一面で混在する場合が考えられる。別の見方をすれば、界面はテラス状の部分と 1 原子層のステップ状の部分で構成されている。Si は界面から 2 原子層離れた GaAs 層にドーパされているので、Si の第 1 近接原子は As、第 2 近接原子は Ga、第 3 近接原子は As、そして第 4 近接原子が Al または Ga となる。一方、界面ドーパ試料を同じように考察すると、Si の

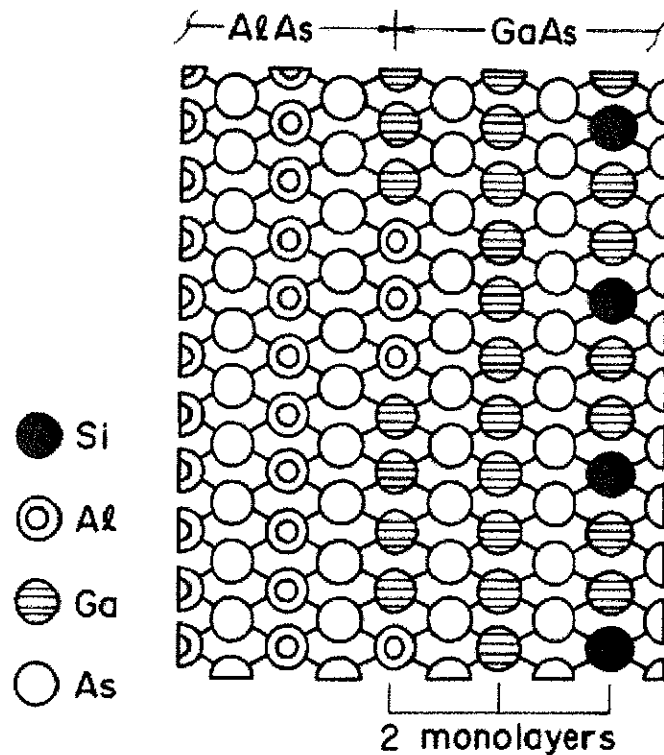


図 3-13 GaAs 層ドーパ試料の AlAs/GaAs 界面付近の模式図

第 1 近接原子は As、第 2 近接原子は Al または Ga となる。この考察と実験結果、すなわち表 3-3 にまとめられた、GaAs 層ドーパ試料では DX センターがほとんど発生せず、ほとんどすべての Si が浅いドナーになることと、界面ドーパ試料ではほとんどすべての Si が DX センターとなることより、図 3-14 に示す DX センターのモデルが提案できる。すなわち、DX センターは、不純物が IV 族元素の場合には、不純物が収まった III 族原子位置を中心に、12 個の第 2 近接原子位置(最近接 III 族位置)で異種 III 族元素が混在する場合の準位と結論される。

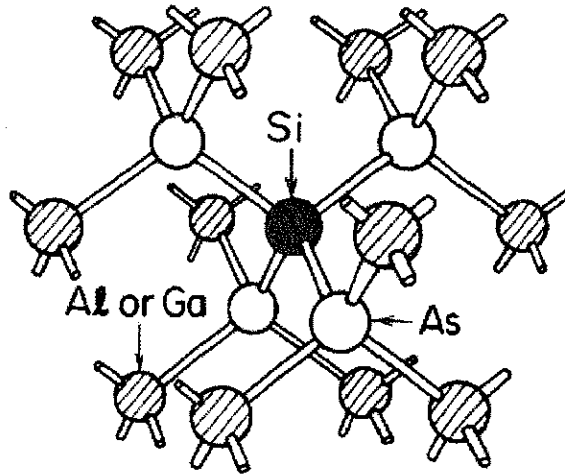


図 3-14 提案するDXセンターのモデル

ところでDXセンターのモデルは、ドナー原子と As 空格子の複合体モデルが提案されている[8]。このLangらによる複合体モデルを図3-15に示す。このモデルでは、

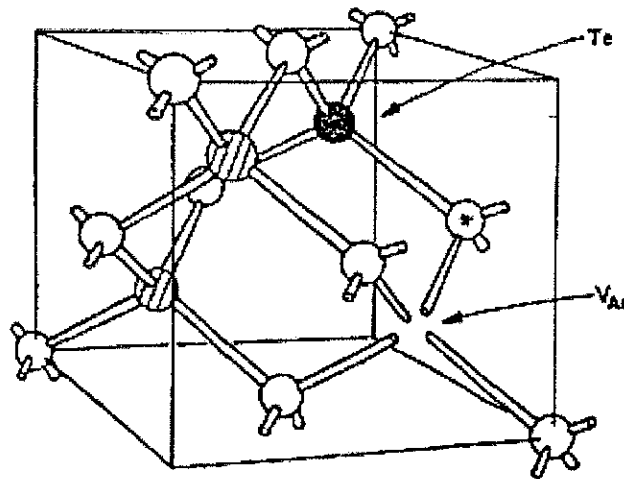


図 3-15 LangらによるDXセンターのモデル[8]

DXセンターの発生に、常にドナー原子と As 空格子の複合体を想定しなければならない。As 空格子の濃度は、結晶成長法や結晶成長条件に左右されるものであるが、その As 空格子とほとんどすべてのドナー原子が複合体を作ること Langらのモデルでは要求される。しかしながら、DXセンターは、結晶成長法や結晶成長条件によらず、ドナーがドーピングされれば、Alの組成比がおよそ0.2以上の混晶AlGaAs中では必ず発生する[10]。しかもドナー種によらず、IV族元素(Si、Sn)でもVI族元素(Te、Se)でも、ドーピングしたドナーの濃度とほぼ同じ濃度のDXセンターが必ず発生することは良く知られている[10-13]。Langらのモデルでは、これらの実験事実を矛盾無く説明することは困難であろう。一方、ここで提案したモデルは、AlとGaの混在のみ

を考えるモデルであり、これらの事実も矛盾無く説明できる。すなわち、ここではⅣ族元素の Si について検討したが、Ⅵ族元素の場合は、4つの第1近接原子位置(最近接Ⅲ族位置)での Al と Ga の混在が DX センターの発生に寄与すると考える。

なお、ドナーがドーピングされた混晶 AlGaAs であっても Al の組成比がおよそ 0.2 以下であれば、図 3-1 に示したように、DX センターは伝導帯とのレゾナント準位になるので[10-13]、伝導帯の電子の有効質量近似が良好に成り立つ浅いドナー準位が AlGaAs の伝導特性を支配することは前節で述べたとおりである。また、GaAs 層ドーピング試料では若干の DX センターの発生が見られたが、これは、成長時の基板温度による界面の1原子層程度の揺らぎや Si の拡散によるものと考えられる。これについては、次の節で詳細に検討する。

3.3.4 まとめ

$\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 層に等価な特性を有する 5 原子層の AlAs 層と 8 原子層の GaAs 層からなる選択ドーピング構造超格子を検討した。その結果、Si を AlAs/GaAs 界面から 2 原子層以上離れた GaAs 層にのみ添加することで、Si を浅いドナーとして活性化し、DX センターの発生を押さえられることが分かった。この結果を基に、DX センターは、不純物がⅣ族元素の場合には、不純物が収まったⅢ族原子位置を中心に、12 個の第2近接原子位置(最近接Ⅲ族位置)で異種Ⅲ族元素が混在する場合の準位とするモデルを提案した。

[3.4] FET用ヘテロ接合の熱安定性

前節で示したように AlAs/GaAs 界面から 2 原子層離れた GaAs 層にのみ Si を選択的にドーピングした 22Å の GaAs 層と約 15Å の AlAs 層から成る超格子(GaAs 層ドーピング構造超格子)は、混晶 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ と同じバンドギャップを有するとともに、DX センターの発生が極めて低く押さえられており、良好な伝導特性を有する [23, 25]。したがって、この選択ドーピング構造超格子は、2 次元電子ガス FET 用の高濃度電子供給層として期待される。しかしながら、AlAs/GaAs 界面では Al と Ga の相互拡散が危惧される [26] ため、その熱安定性について検討する必要がある。また、高濃度の Si がドーピングされた AlGaAs/GaAs 界面では、この相互拡散がエンハンスされることが報告されている [27]。この節では、GaAs 層ドーピング構造超格子の熱安定性を調べることで、この超格子の良好な伝導特性の長期信頼性と、一般的な GaAs 系 2 次元電子ガス FET の界面の長期信頼性に対して知見が得られることを期待して検討を行った [28]。

3.4.1 試料構造と実験方法

超格子層を含むエピタキシャル層は MBE により、Cr-doped GaAs 基板 (100) 面上に作製した。図 3-16(a) に試料構造、(b) に超格子層のバンド構造と Si ドーピング場所を

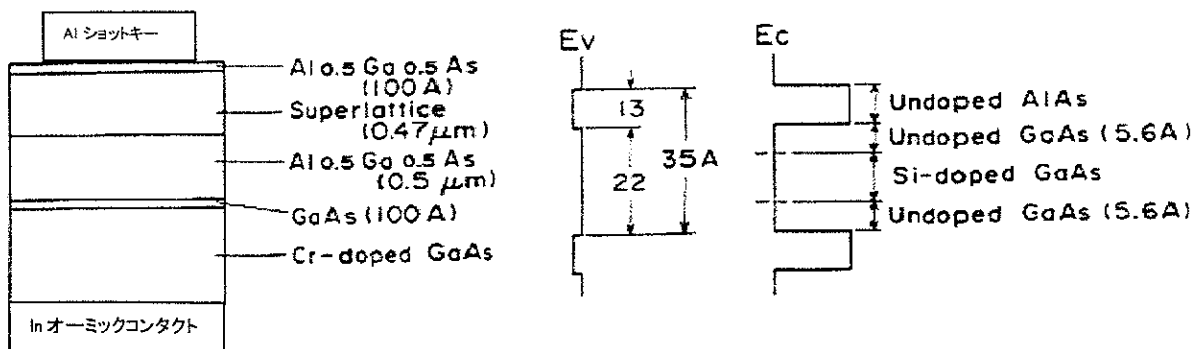


図 3-16 (a) 試料構造、(b) 超格子層のバンド構造と Si ドーピング場所

示す。試料としては、前節の GaAs 層ドーピング構造超格子とほぼ同じであり、超格子層は 22Å 厚の GaAs 層と 13Å 厚の AlAs 層の繰り返しから成っている。GaAs 層は 2 原子層のアンドーピング層で Si ドーピング層を挟み込み、Si を Al から分離した構造をとっている。Si と Ga のフラックス比から計算した選択ドーピング領域への Si ドーピング濃度は、 $3 \times 10^{18} \text{cm}^{-3}$ であり、超格子層の平均的 Si ドーピング濃度は $9.4 \times 10^{17} \text{cm}^{-3}$ である。MBE 成長における基板温度は 520°C で、成長速度は 0.5 μm/hr である。

熱処理にあたっては、2 インチウエーハの中央部より、約 5mm 角の試料を熱処理

温度ごとにそれぞれ割り出して用いた。熱処理は水素ガス中、560°Cから 800°Cの範囲にある5点で、それぞれ30分間行った。熱処理時には成長表面の熱分解を防ぐために、成長表面をGaAsウェーハ上に密着させて行った。熱処理後、各試料を2分割し、一方をホール測定用とし、他方をDLTS測定用に用いた。ホール測定はVan der Pauw法で、77Kおよび室温で行い、77KにおいてはPersistent Photoconductivity (PPC)を評価した。PPCはDarkでキャリア濃度測定後、光照射を行い再びDarkにした後、10分経過後におけるキャリア濃度の増分で示した。熱処理に伴う混晶化の進行はPL測定により観察した。PL測定における励起光源としてはArレーザ(波長5145Å)を用い、励起強度約30mW、励起面積は約30 μm^2 で行った。また、PLスペクトルの検出は、GaAs光電面を持ったホトマルチプライヤを用いた。

3.4.2 評価結果と考察

図3-17に、As-grown試料と熱処理試料の室温でのPLスペクトルを示す。As-grown試料でのPLスペクトルのピークエネルギーは1.756eVである。この値は、Vojakらの計算[29]と照合すると、量子井戸幅22Åの量子準位を介した遷移であるとして合理的なものである。PLピークエネルギーは熱処理温度650°C以上では温度上昇に伴い短波長側にシフトし、AlとGaの相互拡散が生じていることを明瞭に示す。さらに650°C以上の熱処理ではPL強度も減少し、700°Cおよび800°Cの熱処理試料での強度

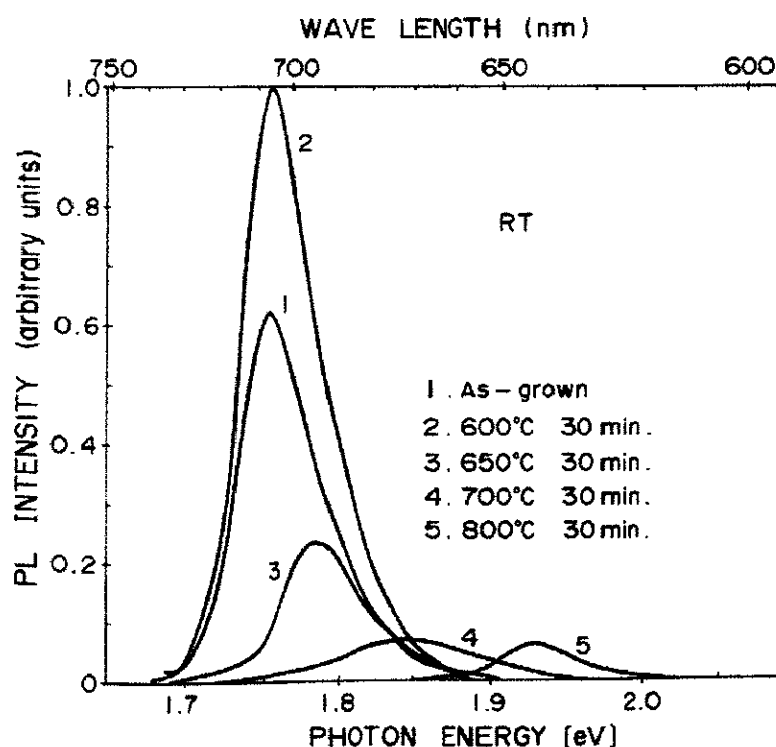


図3-17 As-grown試料と熱処理試料の室温でのPLスペクトル

は、後の表 3-4 に示した MBE による混晶 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 試料の PL 強度と同等になる。したがって、 700°C 以上の熱処理試料からの PL 発光は、超格子が混晶化し、その禁制帯間遷移であることを示唆する。また図 3-17 は、 600°C 以下の熱処理では PL ピークエネルギーが変化せず、混晶化が生じていないことを示している。しかしながら、PL 強度の上昇は観察される。この PL 強度の上昇は、MBE 成長の基板温度が低い場合にはしばしば観察されるもので、こうした試料においては、PL 測定時にも強度の上昇が生じる。ところで、PL ピークの移動は見られないものの、 600°C 以下の熱処理においても深い準位の濃度は、熱処理温度の上昇に伴って増加する。

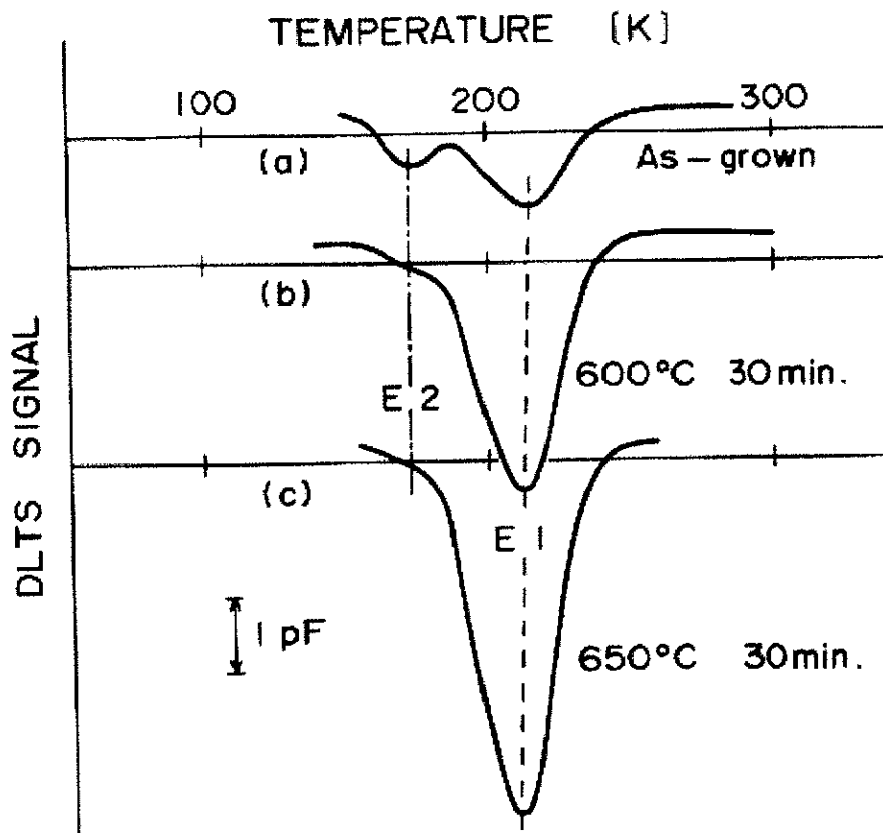


図 3-18 As-grown 試料および熱処理試料の DLTS 信号

図 3-18 に、As-grown 試料および熱処理試料の DLTS 信号を示す。As-grown 試料の DLTS 信号には 2 つのピークが見られ、熱処理温度の上昇に伴って低温側ピーク (E 2) は減少し、高温側ピーク (E 1) が増大することが分かる。この DLTS 信号は、DLTS 測定における容量測定時刻の比 (t_2/t_1) を一定 (図 3-18 では 8) に保ったまま測定間隔を広げ、レートウインドを遅くすることによりピーク高の減少が見られ、キャリアの放出割合が必ずしも指数関数とはならない混晶 AlGaAs 中の DX センターと類似の振る舞いをする [10]。特に E 1 トラップは、DLTS 測定におけ

る電子注入のパルスを 50ms 以上印加しなければ、準位への十分な電子注入は困難であり、DXセンターと同様の振る舞いを示す。加えて、Si-doped $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 混晶中のDXセンターとアレニウスプロット上でほぼ一致する [10]。ゆえに、E1トラップの起源は混晶 AlGaAs 中のDXセンターと同じであると判断される。表3-4に、600°Cで3分間熱処理した超格子試料とMBEで作製したSi-doped $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 混晶試料の測定結果をまとめて示す。なお、深い準位のパラメータ算出においては(3.3)式を用

表 3-4 600°C、3分間熱処理超格子試料*と $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 混晶試料の測定結果のまとめ

sample		superlattice ^x	mixed crystal
\bar{X}		0.371	0.301
\bar{C}_{si} (cm^{-3})		9.4×10^{17}	1.3×10^{18}
PL at RT	peak energy (eV)	1.756	1.799
	effective X: Xe	0.266	0.301
	relative intensity	1.00	0.21
C-V	$N_D - N_A$ (150K) (cm^{-3})	7.9×10^{17}	2.6×10^{16}
	$N_D - N_A + N_t$ (250K)	9.8×10^{17}	2.3×10^{18}
DLTS	ΔE_t (eV)	0.55	0.39
	σ_{∞} (cm^2)	6.7×10^{-11}	5.6×10^{-15}
	N_t (cm^{-3})	3.9×10^{16}	1.3×10^{18}

い、トラップ濃度の算出にあたっては、充分長い印加パルス(100ms)を用いて、測定したDLTS信号の高さより、容量変化分の2乗の項を無視することなく求めている [30]。表3-4に示すように、超格子中のE1トラップ濃度は、混晶 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 中のDXセンター濃度に比べ、一桁以上低いことが特徴である。加えて、E1トラップの活性化エネルギー(ΔE)と捕獲断面積(σ_{∞})は混晶中のそれらと比較すると大きな値であるが、これはバンド構造の違いにより、キャリアの捕獲と放出の過程が異なるためと考えられる。

図3-19に、DLTS測定より得られたE1およびE2トラップの濃度と、2つの測定温度でのC-V測定より得られた正味のイオン化不純物濃度を熱処理温度の逆数に対して示す。650°C以下の熱処理温度領域では、熱処理温度の上昇に伴い、E1トラップは指数関数的に増加し、逆に、E2トラップは減少する。ここでE1トラップの濃度(N_1)は、ボルツマン定数(k)と熱処理温度(T_a)を用いて、

$$N_i(\text{cm}^{-3}) = 2.3 \times 10^{20} \exp\left(\frac{-0.65}{kT_a}\right) \quad (3.4)$$

と表すことができる。先に示したように、600°C以下の熱処理温度領域ではAl-Ga相

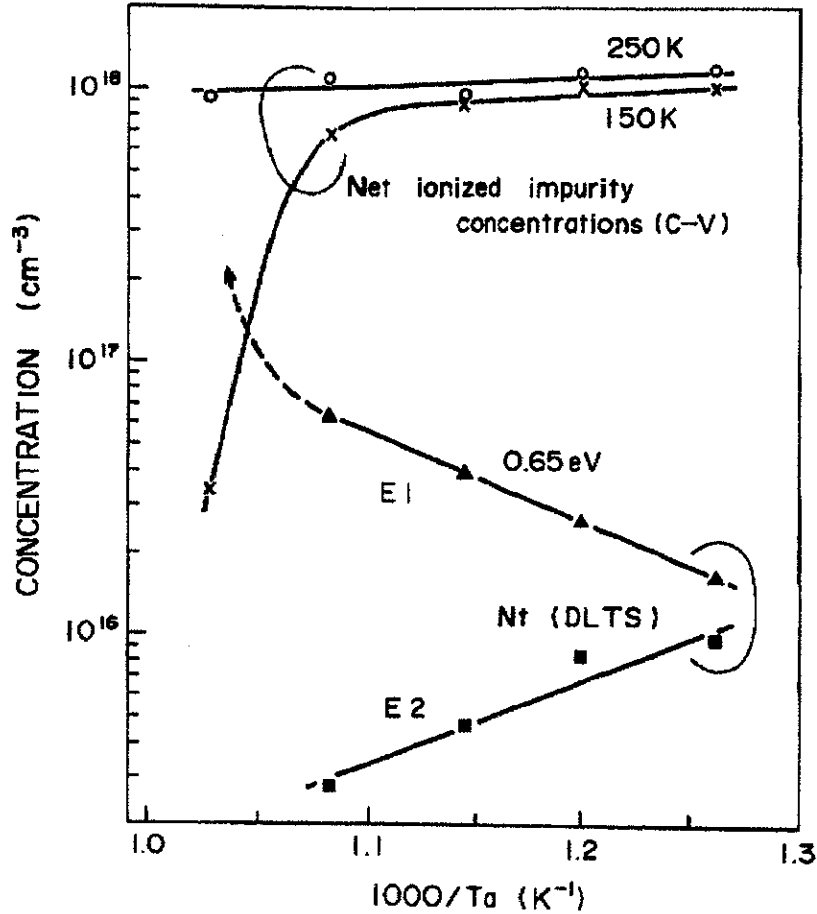


図3-19 E1およびE2トラップの濃度とイオン化不純物濃度の熱処理温度依存性

互拡散に伴う超格子の混晶化は認められない。したがって、この活性化エネルギー0.65eVは、GaAs層中のSiがAlAs/GaAs界面に拡散したことに関係したエネルギーと考えられる。表面濃度を一定とした不純物の拡散では、拡散不純物の総量(C)は、

$$C = \sqrt{D \cdot t} \quad (3.5)$$

と表される。ここで D は拡散定数、 t は拡散時間である。拡散したSiがE1トラップの形成に寄与すると考えられるので、

$$D \propto \exp\left(\frac{-1.3(\text{eV})}{kT_a}\right) \quad (3.6)$$

と表すことができる。この活性化エネルギー(1.3eV)は、800°C以上での GaAs 中における Si の拡散係数の活性化エネルギーとはほぼ一致するものである [31]。ところで、図 3-19 で示された正味のイオン化不純物濃度においては、650°C以上の熱処理で2つの測定温度間の濃度差が急激に増大している。これは、超格子層の混晶化に伴う大量のDXセンターの発生を示している。

図 3-20 に、ホール測定によるキャリア濃度の熱処理温度の逆数に対する関係を示す。図では、300K と 77K におけるキャリア濃度と PPC 濃度を Si ドーピング濃度で

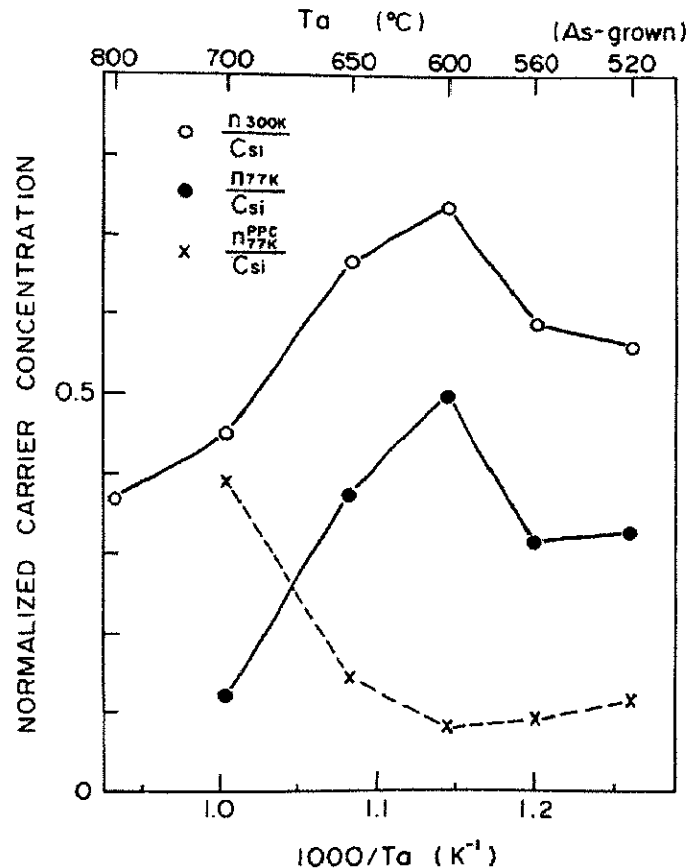


図 3-20 規格化されたキャリア濃度と PPC 濃度の熱処理温度の逆数に対する関係

規格化して示してあるが、キャリア濃度は 600°C以下では熱処理温度の上昇に伴って増加するが PPC 濃度は減少傾向にあり、600°Cでそれぞれ極値をとっている。600°Cでキャリア濃度が最大となることは、図 3-17 の PL 強度の振る舞いと良く対応するものであり、600°C以下での熱処理温度の上昇に伴う PL 強度の増加はキャリア濃度の増加に基づくと考えられる。600°C以下では PPC 濃度も熱処理温度の上昇に伴い若干の減少傾向を示し、しかも PL ピーク波長のずれの無いことから、低温成長結晶の熱処理による何らかの結晶性向上を意味するものであり、これが PL 強度の増加に寄与していると考えられる。

600°Cを越えると熱処理温度の上昇に伴い、キャリア濃度の急激な減少が図 3-17で見られる。この傾向は、図 3-16 の 150K における正味のイオン化不純物濃度の測定結果と一致している。この高温熱処理領域では混晶化が進んでおり、P P C濃度が急激に増加している。700°C以上で熱処理した試料では、試料表面の熱分解が進んだためか D L T S 試料のショットキーはリーク電流が大きく、測定に十分な特性ではないため、評価ができなかった。しかしながら、混晶 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($0.34 < x < 0.66$) 中の Si の D X センター濃度は、ドナーのドーピング濃度と同等であることが知られており [32]、E 1 トラップの濃度は急激に増加していると考えられる。選択 GaAs 層ドープ超格子試料の混晶化に伴い、E 1 トラップ濃度と P P C 濃度は急激に増加しており、共に同一の起源によるものであろう。また、600°C以下で、E 1 トラップ濃度と P P C 濃度が逆の傾向にあるのは、P P C が E 1 トラップだけではなく、低温で比較的大きな光イオン化断面積と非常に小さな電子の捕獲断面積を持つ他のすべてのトラップによるものであることに起因し、これらが低温熱処理によりアニールアウトしたことによる結晶性の改善が反映したものと考える。

3.4.3 まとめ

前節で評価した D X センター濃度が極めて低い特長を有する選択 GaAs 層ドープ超格子試料の熱安定性を評価した。超格子層は 22Å 厚の GaAs 層と 13Å 厚の AlAs 層の繰り返しから成り、GaAs 層は 2 原子層のアンダー層で Si ドープ層を挟み込みこんだ構造である。これは混晶 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 結晶と等価なバンドギャップを有するとともに、約 2 桁低い D X センター濃度を有する。560°C から 800°C の間での 30 分間の熱処理実験を行った結果、600°C 以下の低温熱処理では D X センター濃度の増加は見られるものの、Al と Ga の相互拡散は観測されず、むしろ、結晶性の改善が見られた。D X センター濃度の増加は Si の拡散によると考えられ、Si の拡散係数の活性化エネルギーが 1.3eV であることが分かった。一方、650°C 以上の高温熱処理では、Al と Ga の相互拡散による混晶化が急速に進行することが分かった。

[3.5] 結論

GaAs 系ヘテロ接合 F E T に用いるヘテロ接合構造やそのヘテロ接合の安定性に関する結論を以下に示す。

1. $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ チャネル層に対する電子供給層は Al の組成比が 0.22 程度と低い AlGaAs とのヘテロ接合が相応しい。GaAs 層へ Si を選択的にドーブした AlAs/GaAs 超格子でも DX センターの発生は押さえられるものの、比較的低温から Si の拡散が認められることや低温成長であるためにアニールアウトすべき他の深い準位の発生が危惧される。一方、 $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$ では DX センターがほとんど存在しないことと良好な伝導特性を示す。
2. Si ドナーが存在する AlAs/GaAs 界面での Al と Ga の相互拡散は、 650°C 以上で観察されるものの、比較的安定であることが判明した。これより $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 界面の安定性も同様程度に期待される^{*1}。

したがって、歪系の臨界膜厚を考慮 [5, 6] した、GaAs 基板上的 $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ (厚さ十数 nm 程度) ヘテロ構造が GaAs 系ヘテロ接合 F E T 構造に相当と結論する。

^{*1} 界面の熱安定性評価としては、[3.4] 節の研究に加えて、分子線成長法により作成した 1 周期が 10 格子の AlSb 層と 10 格子の GaSb 層からなる 50 周期の多層量子井戸構造試料において 30 時間の熱処理を行ない、その安定性も調べている [33]。評価は、透過電子顕微鏡、フォトルミネッセンス、ラマン散乱および X 線回折により行なった。その結果、熱処理温度 595°C 以下では Al-Ga 相互拡散がほとんど認められないこと、熱処理温度 635°C 以上では急激な Al-Ga 相互拡散が認められ、熱処理温度 680°C 以上ではほぼ混晶化することが分かった [33]。この GaSb 系は機械的強度が弱く、しかも格子定数は GaAs 系のそれより長いことなどから、結合エネルギーが低く、したがって低い温度での相互拡散が予想された。結果として、GaAs 系超格子よりは低い温度での相互拡散が認められたが、比較的高温まで安定であることが判明した。したがって、GaSb 系より格子定数が短く、結合エネルギーが高い $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 界面の安定性は、AlSb/GaSb 界面以上と推察され、同様の類推より AlAs/GaAs 界面と同程度の熱安定性が期待される。

[第3章 参考文献]

- [1] Yu. F. Biryulin, N. V. Ganina, M. G. Mil'vidski, V. V. Chaldychev and Yu. V. Shmartsev: *Sov. Phys. Semicond.* 17 (1983) 68.
- [2] G. Hill, P. N. Robson, A. Majerfeld and W. Fawcett: *Electron. Lett.* 13 (1977) 235.
- [3] N. Shigekawa, T. Furuta and K. Arai: *J. Appl. Phys.* 69 (1991) 4003.
- [4] W. Fawcett, C. Hilsaum and H. D. Rees: *Electron. Lett.* 5 (1969) 313.
- [5] J. W. Matthews and A. E. Blakeslee: *J. Crystal Growth* 27 (1974) 118.
- [6] R. People: *Appl. Phys. Lett.* 50 (1987) 1604.
- [7] D. V. Lang and R. A. Logan: *Phys. Rev. Lett.* 39 (1977) 365.
- [8] D. V. Lang, R. A. Logan and M. Jaros: *Phys. Rev. B* 19 (1979) 1015.
- [9] R. Fisher, T. J. Drummond, W. Kopp, H. Morçoç, K. Lee and M. S. Shur: *Electron. Lett.* 19 (1983) 789.
- [10] T. N. Theis: *Inst. Phys. Conf. Ser.* 91 (1988) 1; also 95 (1989) 307.
- [11] M. Mizuta, M. Tachikawa, H. Kukimoto and S. Minomura: *Jpn. J. Appl. Phys.* 24 (1985) L143.
- [12] N. Chand, T. Henderson, J. Klem, W. T. Masselink, R. Fischer, Y.-C. Chang and H. Morkoc: *Phys. Rev. B* 30 (1984) 4481.
- [13] T. Inoshita and N. Iwata: *Phys. Rev. B* 42 (1990) 1296.
- [14] G. E. Stillman, C. M. Wolfe and J. O. Dimmock: in *Semiconductors and Semimetals*, ed. by R. K. Willardson and A. C. Beer (Academic, New York, 1977) 12 (1977) 169.
- [15] D. M. Larsen: *Phys. Rev. B* 15 (1973) 535.
- [16] G. E. Stillman, D. M. Larsen and C. M. Wolfe: *Phys. Rev. Lett.* 27 (1971) 989.
- [17] H. C. Casey, Jr. and M. B. Panish: in *Heterostructure Lasers* (Academic, New York, 1978) Pt. A (1978) 192; also Pt. B (1978) 12.
- [18] J. W. Harrison and J. R. Hauser: *J. Appl. Phys.* 47 (1976) 292.
- [19] I. Y. Yanchev and G. L. Bleris: *Semicond. Sci. Technol.* 3 (1988) 1217.
- [20] L. Esaki and R. Tsu: *IBM J. Res. Dev.* 14 (1970) 61.
- [21] R. Tsu and L. Esaki: *Appl. Phys. Lett.* 22 (1973) 562.
- [22] L. Esaki and L. L. Chang: *Phys. Rev. Lett.* 19 (1974) 495.
- [23] N. Iwata, Y. Matsumoto, T. Baba and M. Ogawa: *Jpn. J. Appl. Phys.* 25 (1986) L349.
- [24] D. V. Lang: *J. Appl. Phys.* 45 (1974) 3023.
- [25] T. Baba, T. Mizutani and M. Ogawa: *Jpn. J. Appl. Phys.* 22 (1983) L627.
- [26] P. M. Petroff: *J. Vac. Sci. Technol.* 14 (1977) 973.

- [27] 清水紀智, 松浦延行, 川辺光央, 長谷川文夫, 南日康夫: 第 31 回応用物理学会予稿集 1a-0-10 (1984 年 3 月) 561.
- [28] N. Iwata, Y. Matsumoto and T. Baba: Jpn. J. Appl. Phys. 24 (1985) L17.
- [29] B. A. Vojal, W. D. Laiding, N. Holonyak, Jr. and M. D. Camras: J. Appl. Phys. 53 (1981) 621.
- [30] F. Hasegawa, N. Iwata and Y. Nannichi: Jpn. J. Appl. Phys. 21 (1982) 1479.
- [31] T. Miyazaki and M. Tamura: in Ion Implantation in Semiconductors, ed. by S. Namba (Plenum New York 1975) 41.
- [32] M. O. Watanabe, K. Morizuka, M. Mashita, Y. Ashizawa and Y. Zohta: Jpn. J. Appl. Phys. 23 (1984) L103.
- [33] N. Iwata, Y. Nakahara and I. Hirosawa: Inst. Phys. Conf. Ser. No. 106: Chapter 6, Paper presented at Int. Symp. GaAs and Related Compounds, Karuizawa, 1989, (1989) 459.

【第4章】 高出力MESFETの問題点とその改善

この章では、ショットキー接合ゲート電極を有する金属-半導体型FET(MESFET)の小型移動体通信端末用高出力素子適用への問題点を洗い出し、低電圧高効率動作に向けての改良検討を行った結果を示す。マイクロ波帯用高出力MESFETは、GaAsにおいて実用化されており、これの改良により移動体端末への適用が可能となれば、高度な結晶成長技術や作製プロセス技術がそのまま利用できるため、容易に信頼性と生産性に優れた素子の実現できる。提案する表面にアンドープGaAs層を有するGaAsMESFETは、ドレイン電流の周波数分散が無いなど、現状のMESFETよりは特性改善が認められるものの、低電圧での高効率動作が求められる移動体端末用高出力素子の要求には今ひとつ不十分であることが判明した。また、SiO₂を開口してゲートを形成するプロセスのダメージを評価し、良好な作製プロセスも提案する。一方、Al_{0.3}Ga_{0.7}AsやIn_{0.52}Al_{0.48}Asを絶縁膜として用いるInPチャネルMESFETの検討も行ったが、上記の新構造GaAsMESFETを凌駕することはできなかった。移動体端末用高出力素子としては、第5章以降で示すヘテロ接合FETの適用がふさわしいと判断する。

[4.1] GaAsチャネル層の上にアンドープGaAs層を配したMESFET

この節では、n型GaAsチャネル層がアンドープGaAs層で被われたMESFETの構造や試作プロセスの検討を行なうと伴に、このアンドープ層の効果を実験的な評価素子(TEG)レベルから実際のパワーデバイスまで、詳細に検討した結果を示す[1]。その結果、アンドープGaAs層を配したMESFETは、従来構造MESFETの問題点であった表面の効果が抑えられていることが分かった。さらにDCおよびRF特性は従来構造MESFETのそれらより同等以上であり、RFの入出力特性評価においては、直線性の高い入出力特性と高い飽和出力が認められた。特にゲート幅(W_g)16.128mmの素子では、12.575GHzにおいて2dB利得圧縮時の出力電力(P_{2dB})9.1W(39.6dBm)、電力付加効率(PAE)30%という世界最高レベルの出力が得られた[1]。以下、表面欠陥準位が素子特性におよぼす効果、エピタキシャルウェーハ構造、試作プロセス、評価および考察と続き、最後に本節のまとめを示す。

4.1.1 表面欠陥準位が素子特性におよぼす効果

GaAsMESFETのチャンネルは、ショットキー型のゲート電極を設けるために、通常最も表面側に配置されている。したがって、製品として仕上げるためには、電極部分以外のチャンネル層の表面を保護する必要がある。この従来のMESFET構造が、GaAs表面の問題から逃げられない大きな原因である。その保護膜の条件としては、化学的にも機械的にも安定にデバイスを保護したうえで、デバイス特性を長期間守らなければならない。GaAsと各種表面保護膜との間に存在する高密度の界面準位の研究は長年続けられてきた[2]。しかしながら、この高密度の界面準位を著しく安定に低減する技術は、 SiO_2 や SiN_x など数多くの表面保護膜が検討されてきたにもかかわらず、いまだにGaAsMESFETに対する良好な表面保護膜を見出すまでには至っていない。最近では特殊な表面処理を施したり、表面保護膜との間に薄い緩衝層を挿入することにより著しく界面準位を低減させた報告[3, 4]もあるが、長期的な信頼性や製品へのプロセス展開には検討の余地がある。GaAsMESFETにおいてはこのパッシベーション技術、すなわちGaAs表面と表面保護膜との界面に存在する高密度の表面欠陥準位(界面準位)の制御が最大の課題であると指摘して過言ではない。

この高密度の界面準位はGaAs禁制帯中に分布して存在し、ゲートバイアスの変化に伴い電子の捕獲や放出を繰り返す。この電子の放出の時定数は室温でmsのオーダーであり、マイクロ波帯などの高周波では電子の放出は追従しない。しかしながら電子の捕獲の時定数は、電子の放出の時定数よりはるかに短いため、高出力デバイスのように定常的にゲートに大きな信号が入力された大振幅動作時には、結果としてゲート周辺の表面に電子を定常的に多く捕獲したまま大振幅動作することになり、ゲート周辺の表面の電子ポテンシャルが上がる。したがって、ゲート周辺の表面空乏層が伸び、チャンネル狭さくの原因となる。また単発的なパルス入力の場合は、ドレイン電流の変化がパルス入力に追従しないゲートラグの原因となる。

一方、界面準位を低減する技術の研究開発とは別に、界面準位の問題を構造で回避する試みがある。すなわち、表面の効果がおよびにくい表面状態に鈍感な構造が一つの有力な解決法となる。広い意味では、多段リセス構造やゲート電極周りにSiを多段階にイオン注入した構造のGaAsMESFETも界面準位の影響が少ないことより、この問題を構造で回避しているとも言えるが、ここで検討する構造は、n型GaAsチャンネル層の上にアンドープGaAs層を配したMESFET構造である。この構造は、富士通(アンドープAlGaAs層適用)[5]やWestinghouse(アンドープGaAs層適用)[6]のグループにより報告されている。彼らは、相互コンダクタンス(g_m)の周波数分散がほとんど無いことや飽和出力、ドレイン耐圧が通常のMESFETより高いことなどを実験的に示した。

4.1.2 エピタキシャルウェーハ構造

GaAs チャンネル層の上に配するアンドープ GaAs 層の効果を明らかにするために、このアンドープ GaAs 層の厚さ(T_{IR})を様々に変えて検討できるように配慮したエピタキシャルウェーハを設計した。試作で用いたエピタキシャルウェーハ構造を、図 4-1 にまとめて示す。ウェーハの作製は、2 インチφ半絶縁性 GaAs(100)基板上に MBE 法により、基板温度 745°C、成長速度 0.8 $\mu\text{m/h}$ で成長した。なお、タイプ IV は高出力素子用に検討する構造であり、オーミックコンタクト用の高濃度 n 型領域は、後にイオン注入法で形成した。

TYPE I, II, III	n^+ -GaAs	1000Å	
	Undoped-GaAs	T_{IR} Å	
	n-GaAs	1200Å	
	AlGaAs Buffer	2000Å	
	GaAs Buffer	8000Å	
	Si-GaAs Sub.		
Wafer Type	I	II	III
T_{IR} Å	0	1000	2000
TYPE IV	Undoped-GaAs	4000Å	
	n-GaAs	1200Å	
	AlGaAs Buffer	2000Å	
	GaAs Buffer	8000Å	
	Si-GaAs Sub.		

図 4-1 エピタキシャルウェーハ構造

4.1.3 作製プロセスと素子構造

試作プロセスは 2 通り行なった。まず試作 1 では、タイプ I、II および III のウェーハを用いた。この試作の目的は、アンドープ層の効果に関する基礎データの収集である。試作に用いたマスクには、ゲート付きホール素子、DC 評価用 1 フィンガー型 FET およびオンウェーハで S パラメータが測定できる端子パターンを有する FET TEG (2 フィンガーおよびマルチフィンガー型) などが含まれており、多角的な評価が可能である。この作製プロセスは、オーミック先行で、ゲート形成は Ti/Al のリフトオフプロセスを用いた。このリセスゲート形成プロセスは特徴があるので、そのフローを図 4-2 に示す。なお、ウェーハ表面の n^+ -GaAs 層を除去した部分をワイドリセス領域、またゲート埋め込みのために除去した部分をゲートリセス領域と称する。

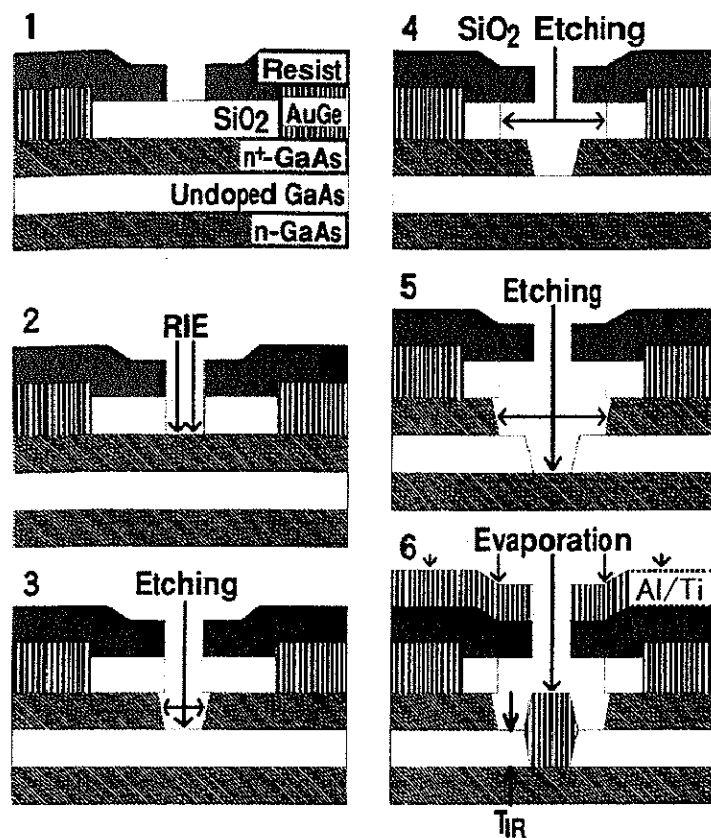


図 4-2 試作 1 のゲート形成プロセスフロー

図 4-2 の 1 は、ゲート PR を終えたウェーハの断面図である。オーミック電極をゲート電極に先行して作製するプロセスなので、ソースとドレインのオーミック電極は既に形成されている。

次に図 4-2 の 2 に示すように、ドライエッチングにより厚さ 4000 \AA の酸化膜 (SiO_2) を開口した。このゲート開口のプロセスは、埋め込みゲート形成におけるキープロセスであり、このプロセス技術の善し悪しによりゲート長 (L_g) やチャンネルへのダメージ量が決まる。このプロセスをウエットエッチングに置き換えた場合、完全な埋め込みゲートを形成することはできない。なお、開口ダメージの評価検討については後の [4.2] 節に示す。このドライエッチングによるゲート開口プロセスは、第 7 章の GaAs 系 HJFET にも適用している。

次に図 4-2 の 3 に示すように、硫酸系エッチャントにより、ゲート埋め込み深さに相当するリセスエッチングを行なった。このゲートリセスエッチングと酸化膜後退後に行なうワイドリセスエッチングのエッチャントとして硫酸系エッチャントを使用することは重要なポイントである。このエッチャントによれば、横方向へのエッチングを比較的抑えることができる。

次に図 4-2 の 4 に示すように、酸化膜の後退エッチングを行なった。この後退距離でワイドリセス幅が決まる。今回の試作では $0.2 \mu\text{m}$ 後退させた。用いたエッチャン

トはバッファードフッ酸(フッ化アンモニウム1000mlにHFを50ml加えたもの)であり、室温で2分間エッチングした。このエッチャントによれば、ほぼ垂直な面を保ったまま酸化膜の後退エッチングが可能である。

次に図4-2の5に示すように、いわゆるワイドリセスエッチングを行なった。このリセスエッチングは、まず、タイプIウェーハのソースドレイン間の飽和電流をモニタしながら行なった後に、その電流データやエッチングレートを基に、それぞれのウェーハに対して所望のデバイス構造を考慮しながら行なった。したがって、各検討項目に合わせたデバイス構造は、エッチング時間だけを頼りに形成しており、プロセスの制御性は良くない。このウエットエッチャントによるリセスエッチングのプロセスは、先のドライエッチングによる酸化膜開口に伴うダメージの問題と合わせて、このゲート形成プロセスの問題点の一つである。

最後に図4-2の6に示すように、Al/Tiを蒸着により形成し、その後、有機溶剤を用いてリフトオフすることにより、ゲートを形成した。

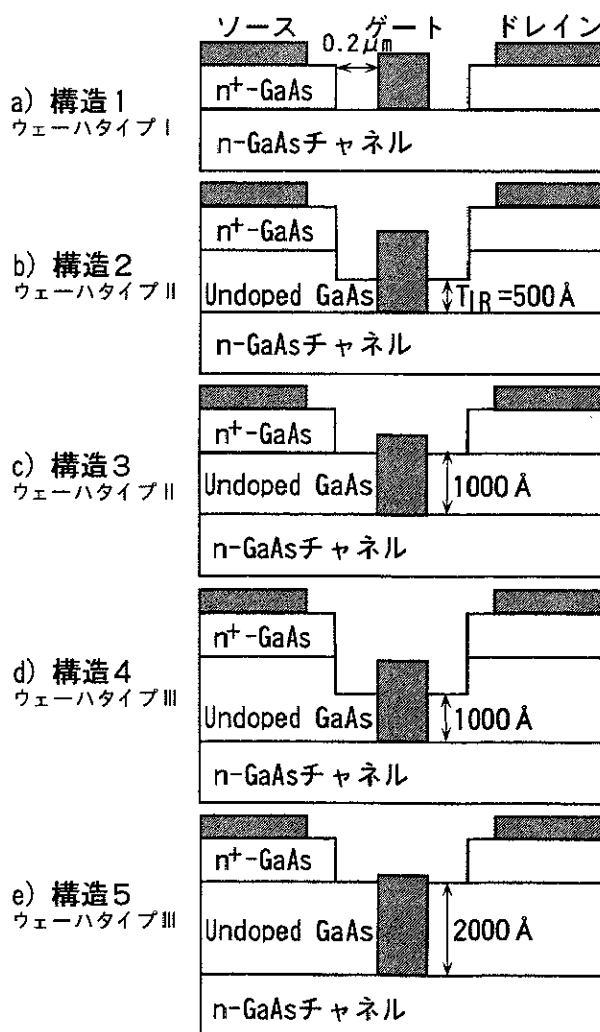


図4-3 作製した試作1の素子構造

作製した試作1の素子構造を図4-3にまとめて示す。図から分かるようにデバイス構造で異なる部分は、アンドープ GaAs 層の厚さだけである。なお、以後は簡単のため、構造番号で素子を区別する。

一方、試作2ではタイプIIおよびIVのウェーハを用いた。タイプIVのウェーハでは、オーミックコンタクト領域にイオン注入法により高濃度n型層を形成することを特徴とした作製プロセスによった。ゲート電極はスパッタ形成によるY型形状の Au/WSi系金属であり、アンドープ GaAs 層に埋め込まれている。リセス構造の寸法は、素子作製後に走査型電子顕微鏡(SEM)で確かめた値である。この素子は、多数のセル構造からなる高出力測定用のチップであり、構造6、7、8としてその断面構造を図4-4に示す。

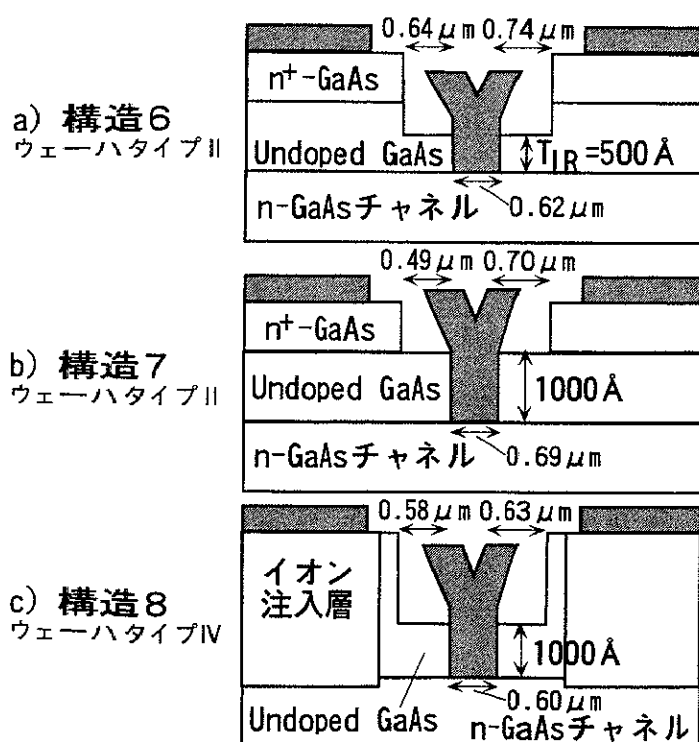


図4-4 タイプIIおよびIVのウェーハを用いた試作2の素子構造

4.1.4 評価結果と考察

まず、ゲートドレイン(G-D)間のアンドープ GaAs 層の効果を明らかにするために、試作1における各ウェーハのゲート付きホール素子を評価した。

図4-5に、表面アンドープ層を有する GaAsMESFETの断面模式図とA-A'線でのバンド構造を示す。GaAsMESFETのG-D間では、入力電力の電圧振幅の変化に伴い高濃度の表面準位は電子の捕獲や放出を繰り返す。この電子の放出の時定数は室温でmsのオーダーであり、マイクロ波帯などの高周波では電子の放出は追従しない。ここで図4-5に示したGaAsMESFETのG-D間のある部分(たとえば図中のA

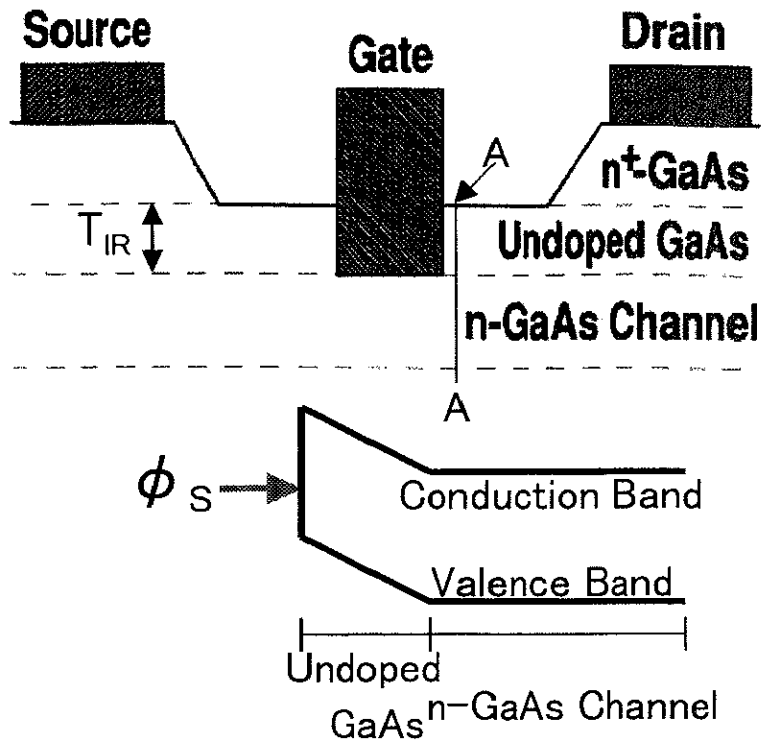


図 4-5 MESFETの断面模式図とA-A'線でのバンド構造を用いたアンドープ層効果の説明

の部分)が、ゲート-ソースバイアス(V_{gs})の変化に伴い、その表面電位が変化した場合を想定する。その表面からチャンネル方向への1次元シミュレーション結果および一連の試作1でのゲート付きホール素子での実験結果を、図 4-6 に示す。横軸は表面電位

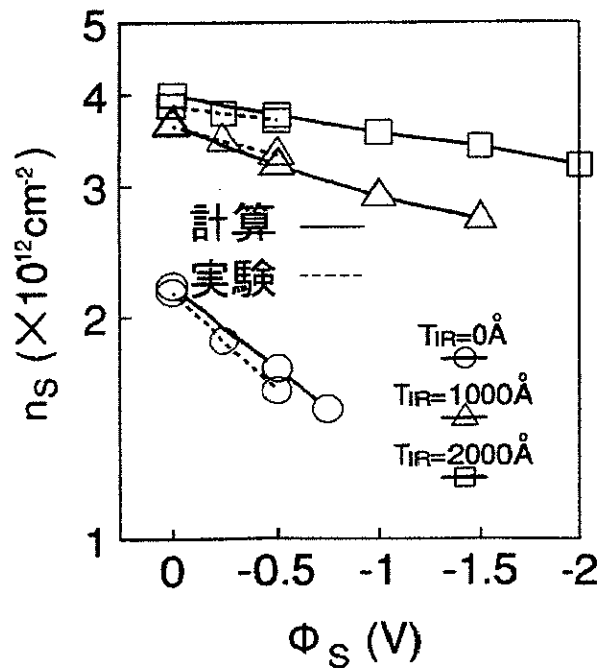


図 4-6 GaAs の表面電位とシートキャリア濃度の関係

(ϕ_s)、縦軸はシートキャリア濃度(n_s)である。横軸の ϕ_s は、実験上はゲート付きホール素子のゲートバイアスであるが、図4-5におけるG-D間のある部分(たとえばA)が V_{gs} の変化に伴い、変調された表面電位とみなせる。この図から分かるように計算と実験は良く一致し、表面アンドープ層の厚さ(MESFETではリセス内のアンドープ層の厚さ、またゲート付きホール素子ではゲート電極下のアンドープ層厚さ) T_{IR} の増加に伴って、表面電位が負に大きくバイアスされた場合でも、 n_s は変化しなくなることが分かった。アンドープ層の厚さが0Åのもの、すなわち通常のMESFET構造では、G-D間の表面電位が負にバイアスされた場合、 n_s は大きく変化する。すなわち、通常のMESFET構造が大振幅動作した時は、G-D間の表面電位が大きく変調され、結果として表面準位に電子を定常的に多く捕獲したまま大振幅動作することになり、表面の電子ポテンシャルが上がり、したがって表面空乏層が伸び、チャネル狭さくの原因となることが証明された。

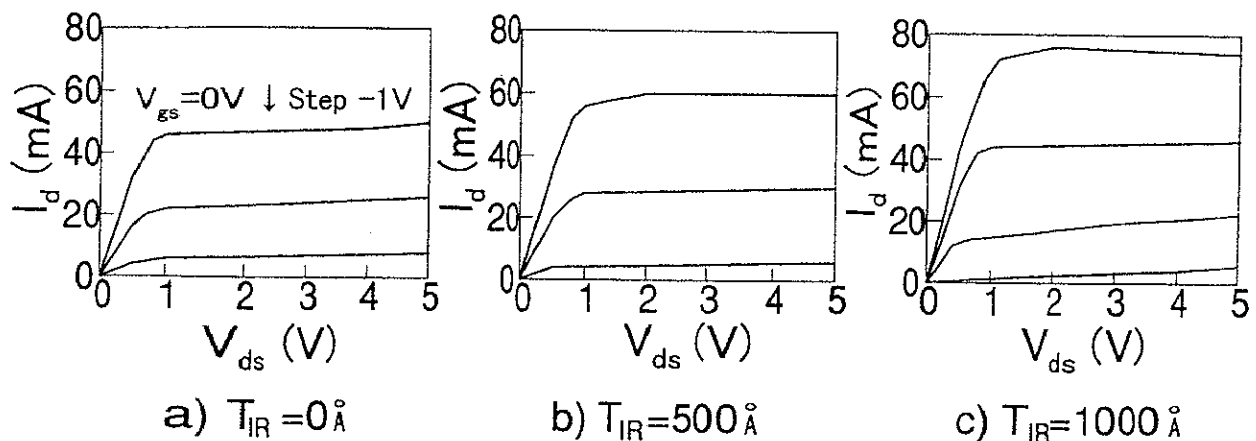
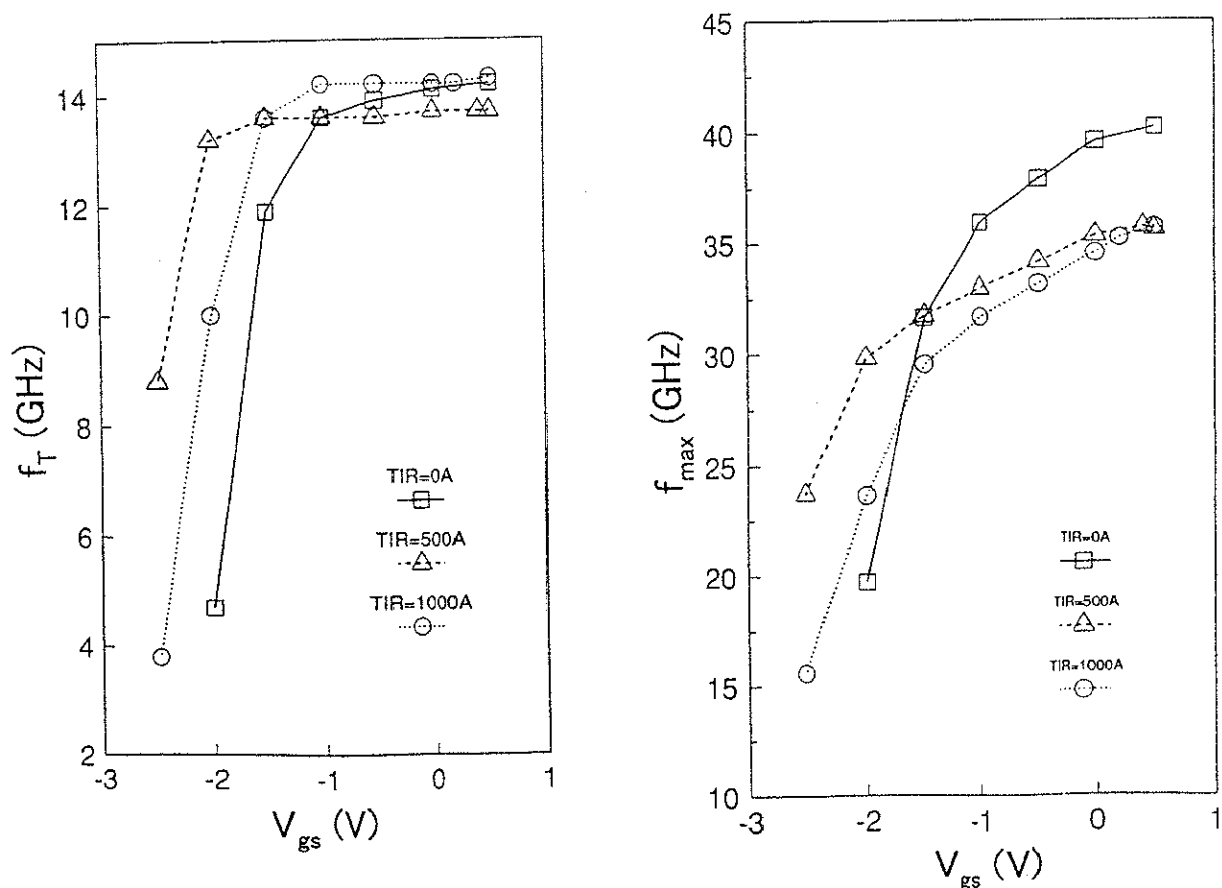


図 4-7 T_{IR} を 0、500、1000 Åと変えた素子のドレイン I-V特性

次に試作 1 の各素子の評価結果を示す。ここで示すデバイスは、ウェーハタイプの I および II を用いて、リセス内の T_{IR} を 0、500、1000 Åと変えたもの(すなわち素子構造 1、2、3)である。図 4-7 に、それぞれの T_{IR} での $L_g=0.6 \mu\text{m}$ 、 $W_g=200 \mu\text{m}$ の素子におけるドレイン I-V特性を示す。 $T_{IR}=0 \text{ Å}$ の素子と比較すれば、 $T_{IR}=500 \text{ Å}$ や $T_{IR}=1000 \text{ Å}$ の素子のドレイン電流(I_d)が大きい。これは GaAs の表面ピンニングで生じる表面空乏層がアンドープ層内に広がり、チャネルへの伸びが抑えられたことにより、ゲート両側のリセス領域での実行的な n_s が増加し、ソース抵抗(R_s)やドレイン抵抗(R_d)が低減されたことによるドレイン電流の増加と判断される。この効果は図 4-6 から分かるように T_{IR} が厚いほど大きく働く。また、表面アンドープ層を有するMESFETでは、従来構造のMESFETとは異なり、 R_s や R_d が低くG-D間やソース-ゲート間での電流リミットが無いため、 g_m の最大は V_{gs} を少し正に振り込んだ点にあること

も分かった。すなわちアンドープ層はチャンネルに対して、多段リセス構造やゲート電極周りに Si を多段階にイオン注入した構造とほぼ同様な効果をもたらすことが分かった。これらの結果は、図 4-6 のゲート付きホール素子の評価結果とも一致し、表面アンドープ層を有する M E S F E T 構造の利点である。

次に 26.5GHz までの小信号 S パラメータ測定評価の結果を示す。評価は、 $L_g=0.6\mu\text{m}$ 、ゲートフィンガ長 $50\mu\text{m}$ の 2 フィンガーゲート型の素子 ($W_g=100\mu\text{m}$) を用いて、電流利得とユニラテラル利得を 6dB/Oct. で外挿し、利得が 0dB となる周波数をそれぞれ電流遮断周波数 (f_T) および最大発信周波数 (f_{max}) とした解析を行なった。図 4-8 a) と b) に、構造 1、2、3 の各素子の f_T と f_{max} の V_{gs} 依存性をそれぞれ示す。ピンチオフバイアス付近の f_T や f_{max} のバラつきは、主にしきい値電圧 (V_p) の違いによるものであり、それを除けば大きな差は見出せない。ところで従来の M E S F E T 構造である $T_{IR}=0\text{\AA}$ 素子の f_{max} が弱冠高いとも判断されるが、これはおそらく $T_{IR}=500\text{\AA}$ および $T_{IR}=1000\text{\AA}$ 素子が埋め込みゲート構造を採用していることより、ゲート容量(ゲートソース容量 (C_{gs}) やゲートドレイン容量 (C_{gd})) が大きいことによると考えられる。



a) f_T の V_{gs} 依存性

b) f_{max} の V_{gs} 依存性

図 4-8 T_{IR} を 0、500、1000Å と変えた素子の f_T と f_{max} の V_{gs} 依存性

図4-9 a)と b)に、 T_{IR} を0、500、1000 Åと変えた(すなわち構造1、2、3)素子の f_T および f_{max} のドレイン-ソースバイアス(V_{ds})依存性をそれぞれ示す。先の V_{gs} 依存性と同一ように、大きな差は見出せない。 f_{max} が $T_{IR}=0$ Å素子において弱冠高い理由も、先と同様であろう。

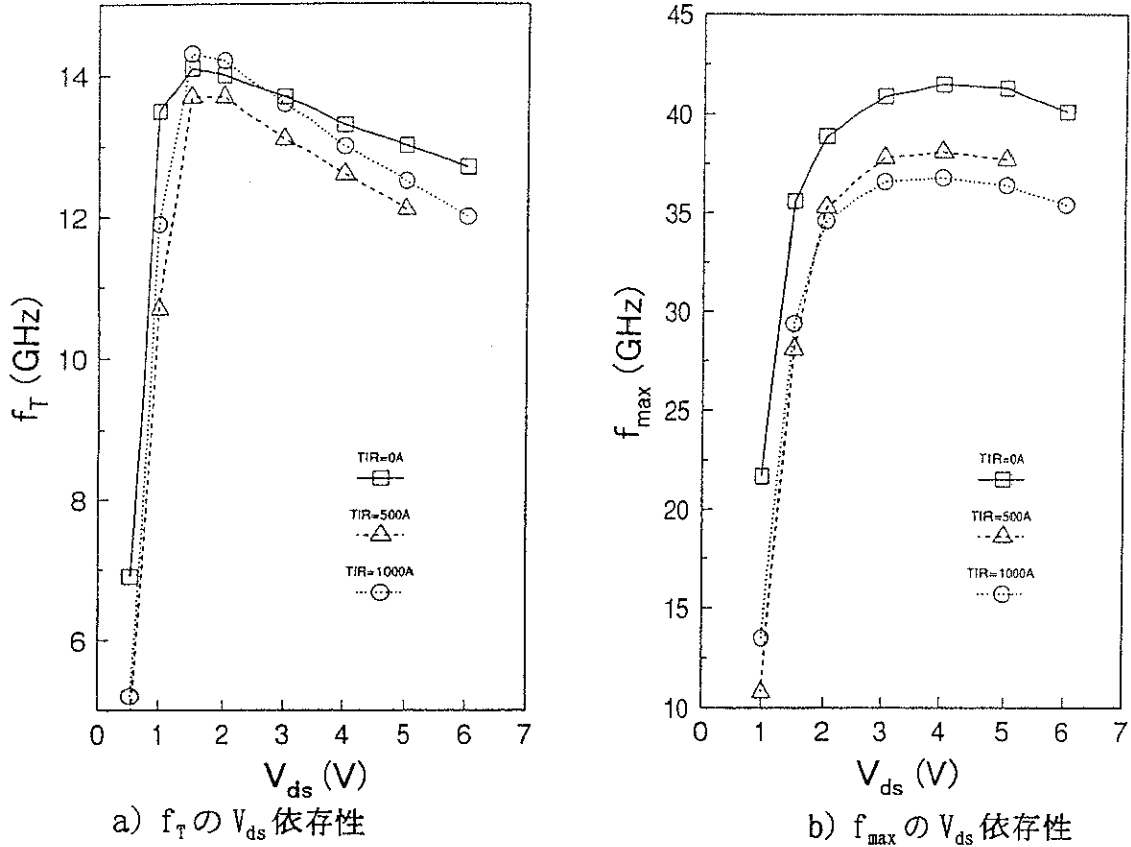


図 4-9 T_{IR} を0、500、1000 Åと変えた素子の f_T および f_{max} の V_{ds} 依存性

ところで試作1の素子にはマルチフィンガータイプのFETは含まれてはいるものの、実験的な評価素子のTEGであり、RFの入出力特性を評価することはできない。しかしながら、ゲートにパルス状のバイアスを印加しながらドレインのI-V測定を行なうことにより、RFの入出力特性を疑似的に評価することができる。すなわち、最大ドレイン電流の周波数分散を評価することにより、RF動作における最大出力の負荷線を予想することができるからである。図4-10に、ゲートバイアスの印加時間がa) 1 msとb) 1 μ sの結果を示す。 V_{gs} としては、それぞれのデバイスにおいて V_T からゲート電流が1 mA/mmとなるゲート順方向オン電圧(V_p)まで印加している。図4-10 a)は界面準位の電子の捕獲や放出が応答する場合であるが、最大ドレイン電流の飽和値は表面アンドープ層を有するMESFET構造と従来のMESFET構造では差がでていいる。これは先のDC評価で示したように、表面アンドープ層を有するMESFET構造ではゲート両側での実行的な n_s が増加した効果によるものであり、

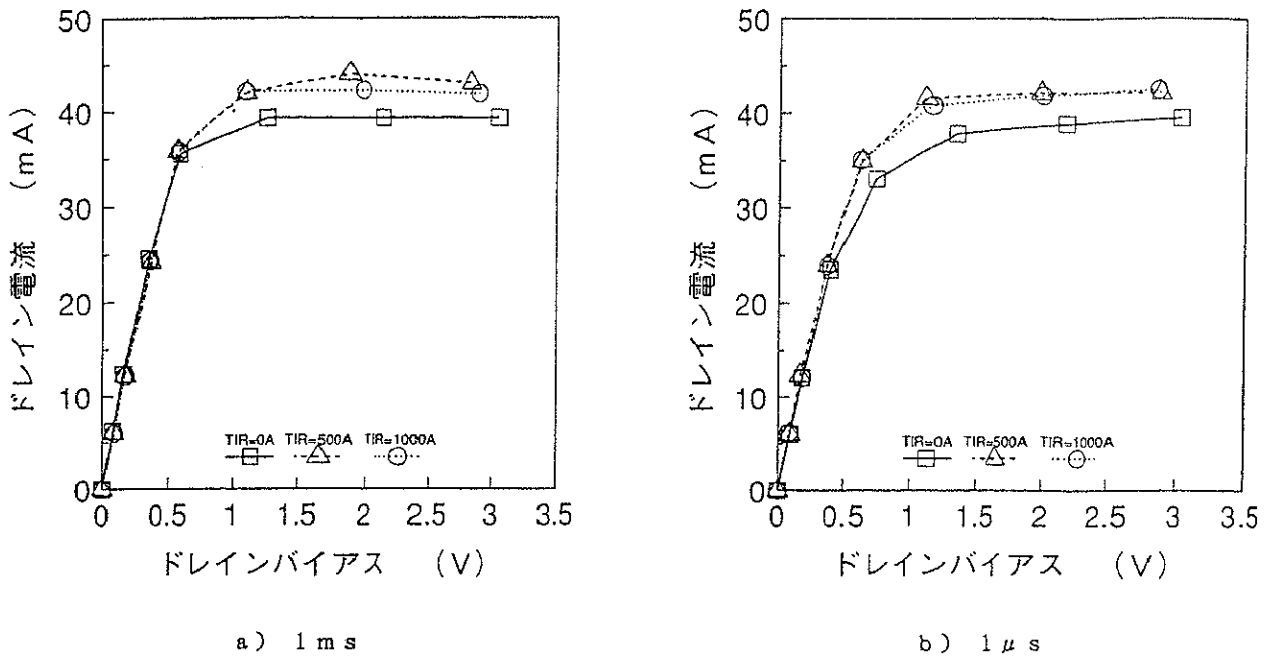


図 4-10 a) 1 ms と b) 1 μ s 幅のゲートバイアスパルスによるドレイン I-V 特性

V_f まで印加した場合でもゲート周辺で増えた n_s によりドレイン電流が制限されないことが分かった。一方、図 4-10 b) は界面準位からの電子の放出が間に合わない場合であるが、この場合、従来の MESFET 構造でのドレイン電流は、ニー電圧付近で小さくなることが分かった。この理由は、表面アンドープ層の無い従来の MESFET 構造では、表面準位に電子が定常的に多く捕獲されたまま大振幅動作した場合は、表面での電子ポテンシャルの上昇をチャンネルへの表面空乏層の伸びにより消費するため、チャンネル狭さくが生じたことによりと説明できる。一方、アンドープ層により表面での電子ポテンシャルの上昇を消費する表面アンドープ層を有する MESFET ではドレイン電流の変化は認められない。これが、表面アンドープ層を有する MESFET の最も大きな特長である。なお、今回の試作 1 ではリセス幅が $0.2 \mu\text{m}$ と狭く、表面の効果が現れにくい構造のためその差は 10% 程度であったが、 $0.5 \mu\text{m}$ 程度のリセス幅を有する FET では 30% 以上の差になって表われる [7]。したがって、従来構造の MESFET では、静特性ではそこそこのドレイン電流があったとしても、RF 動作でのドレイン電流は大幅に減少することになり、高出力は望めないことが分かる。

次に、試作 2 素子の評価結果について示す。表 4-1 に各素子構造における 12 セル素子 ($W_g=16.1\text{mm}$) の DC 特性および 12.575GHz での出力特性および 1 セル素子 ($W_g=1.3\text{mm}$) の小信号特性をまとめて示す。 $V_{gs}=0\text{V}$ での飽和ドレイン電流 (I_{dss}) の違いより、イオン注入法でチャンネルとのコンタクト領域を形成した構造 8 の素子は、キャリ

表 4-1 試作 2 の評価結果のまとめ

素子構造	構造6	構造7	構造8 (I/I)	従来構造
$T_{IR}(\text{\AA})/L_g(\mu\text{m})$	500/0.62	1000/0.69	1000/0.63	0/0.5
<u>Wg=16.1mm(12セル)</u>				
$P_{-2dB}(\text{dBm})$	38.1	39.6	35.8	36.0
$G_L(\text{dB})$	6.0	5.0	6.2	8.2
最大 PAE(%)	32	30	25.5	
$PAE@P_{-2dB}(\%)$	30	27	25	35
$I_{dss}(\text{A})$	2.8	2.9	1.9	3.1
$BV_3(\text{V})$	14	12	25	16
<u>1.3mm(1セル)</u>				
$f_T(\text{GHz})$	14.2	16.5	12.1	18.3
$f_{max}(\text{GHz})$	22.6	21.0	21.1	27.5
$C_{gs}@V_{gs}=0\text{V}(\text{pF})$	2.61	2.79	2.58	2.09

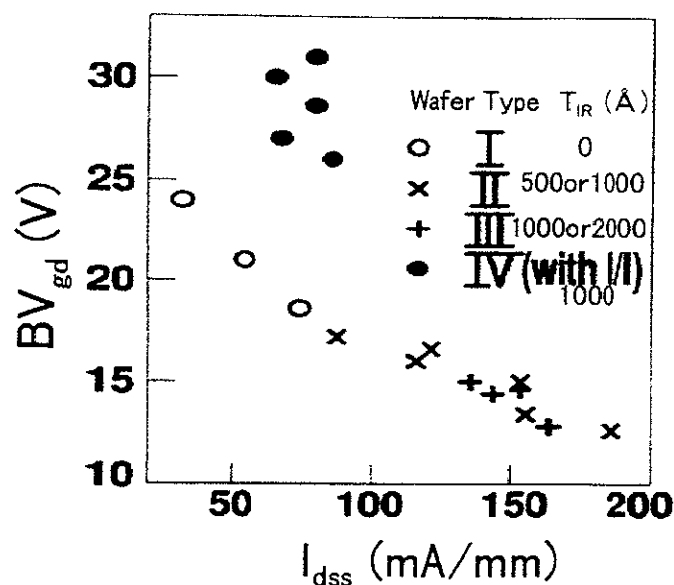


図 4-11 各素子の BV_{gd} と I_{dss} の関係

ア活性化のための熱処理により、チャンネルのキャリアが 40%程度不活性化したと推察される。このタイプの表面アンドープ層を有するMESFETでは、イオン注入活性化技術と合わせてチャンネルのキャリア濃度設計が重要であることが分かった。ただし、このタイプの表面アンドープ層を有するMESFETは、ピンチオフ状態でのドレイン耐圧(BV_3)の高いことが特長である。図 4-11 に、各MESFETのゲート-ドレイン電流-1mA/mm で定義したゲート-ドレイン間耐圧(BV_{gd})と I_{dss} の関係を示す。このタイ

プⅣのウェーハを用いた表面アンドープ層を有するMESFETは、オーミックコンタクトの下にアンドープ層を有しないことが特徴である。したがって、オーミックコンタクトからチャンネル層までn型層で接続されており、オーミックコンタクト付近での電界集中が緩和されている可能性がある。なお、他の表面アンドープ層を有するMESFETの耐圧は、通常MESFETのそれより劣る。またこの劣化は、ゲートの埋め込み深さとの相関があり、深いほど劣化の激しいことが分かった。この劣化の原因は、埋め込んだゲート電極の側面が、(100)面よりショットキーバリアハイトの低い(111)面と接触していること[6]や埋め込みゲートプロセス時のダメージや汚染などのプロセス技術起因の問題が考えられる。

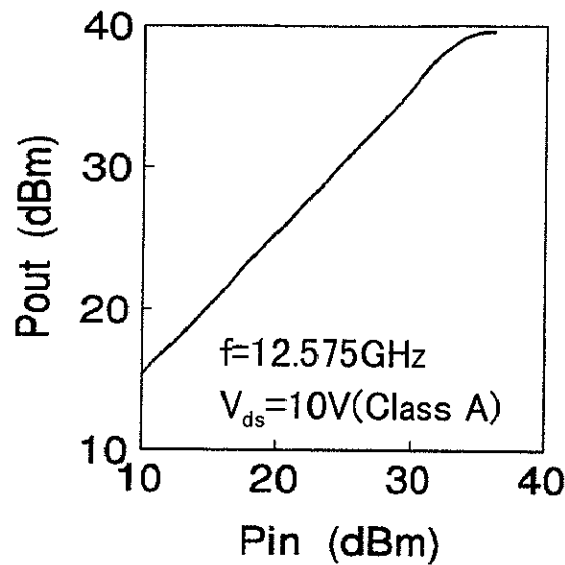


図 4-12 構造 8 素子の入出力特性

次に 12 セルパワーチップの入出力特性を比較する。構造 8 の素子については I_{dss} が小さいことより、従来構造の素子に劣る出力特性であったが、その他の表面アンドープ層を有するMESFETは優れた出力特性を示した。図 4-12 に、構造 7 の 1 チップ 12 セル素子 ($W_g=16.1\text{mm}$) の 12.575GHz での入出力特性を示す。入力電力に対する出力電力の関係は非常に高い直線性を示し、線形利得 (G_L) は 5dB と低いものの、2dB 利得圧縮時に出力電力 (P_{2dB}) 9.1W (39.6dBm)、PAE=30%という世界最高レベルの出力が得られた。これは従来構造MESFETと比較して 2 倍以上の出力密度 (0.57W/mm) であり、表面に鈍感な表面アンドープ層を有するMESFETの高出力デバイスとしてのポテンシャルの高さが示されたと言える。線形利得が低いことと効率も高くない主な理由は、 L_g が $0.69\mu\text{m}$ と長いことによると考えられる。すなわち、

$$f_{\max} \propto f_T \propto \frac{L_g}{v_s} \quad (4.1)$$

(v_s は電子の飽和速度: 1.7×10^7 cm/s)と示される第1次近似式と利得の6dB/oct.の関係によれば、 L_g が $0.1 \mu\text{m}$ 短くなれば G_L は1.5dB程度良くなると見積もられる。したがって、 $L_g=0.5 \mu\text{m}$ の構造7素子では $G_L \sim 8\text{dB}$ となり40%程度のPAEが見込まれる。また埋め込みゲート構造で危惧される C_{gs} などのゲート容量の増加は、表4-1に示すように表面アンドープ層を有するMESFETの方が20%程度高い。これも線形利得を下げ、ひいては f_{max} の低下につながる要因である。ゲート容量の増加は、表面アンドープ層を有するMESFETの構造上避けられないが、ゲート両側での実行的な n_s が増加し、ソース抵抗やドレイン抵抗が下がる効果とのトレードオフでもある。

ところで、本研究で明確になった表面アンドープ層を有するGaAsMESFETの問題点は、

- ①ゲート順方向オン電圧の低下、
- ②アンドープ層厚の増加に伴う耐圧の低下、
- ③現状のプロセス技術では 1000 \AA 以上の埋め込みゲートの形成が困難、
- ④ $3 \Omega \cdot \text{mm}$ 程度のオン抵抗(ゲート耐圧とドレイン電流のトレードオフより)、
などである。

①はGaAsMESFETに共通する欠点であるが、特に本構造の場合(111)面へのゲート接触がより悪化させている[6]可能性がある。これには、ヘテロ構造かpn接合ゲートの適用以外に適当な解は見あたらない。この研究の成果を生かそうとするならば②は重要な欠点である。現状のプロセス技術では 1000 \AA 以上の埋め込みゲートの形成が困難である③の欠点を考慮して $T_{\text{IR}}=1000 \text{ \AA}$ に特化して検討せざるを得ない。実際これまで示したように、 $T_{\text{IR}}=1000 \text{ \AA}$ でも従来構造MESFETと比較するならば十分に差別化できる特性を示すことは可能である。しかしながら、図4-11で示したように、Liイオン電池動作に必要な13V以上の耐圧を得るためには 150 mA/mm の飽和ドレイン電流を得ることがせいぜいである。この時、図4-7のc)から分かるようにオン抵抗は $3 \Omega \cdot \text{mm}$ 程度となる。これらの特性は7.1.3で考察するように、3.5V動作で1W程度の出力を得るために最低限必要な特性であるが、より一層の低電圧動作化や低歪化のためのバックオフなどの余裕がとれない特性である。したがって、本論文の目的を完遂するには、このMESFET構造も十分な特性を有していないと判断せざるをえない。

なお、この素子は表4-1に示したように従来構造MESFETの2倍の出力密度を示すことから、3.5V以上の電圧で動作するマイクロ波帯用の高出力素子に適用可能である。

4.1.5 まとめ

3.5V以下で動作し、現状のGaAsMESFETを上回る高効率低歪特性を有する移動体通信端末用の小型高出力素子の実現に向けて、n型GaAsチャンネル上にアンドープGaAs層を配したMESFETを試作検討した。ゲート電極はAu/WSi系またはAl/Tiであり、アンドープGaAs層を掘り抜きn型GaAsチャンネル上に形成した。通常構造MESFETとの比較から得られた特長は、

1. GaAs表面の効果が抑えられている(ドレイン電流の周波数分散が無い)、
2. ドレイン電流が大きい(リセス領域の抵抗が低い)、
3. 入出力特性の線形性が良く、飽和出力も高い($P_{-2dB}=9.1\text{W}(39.6\text{dBm})$ 、 $\text{PAE}=30\%$ @12.575GHz、 $W_g=16.1\text{mm}$ 、 $T_{IR}=1000\text{\AA}$ 素子)、

とまとめられる。

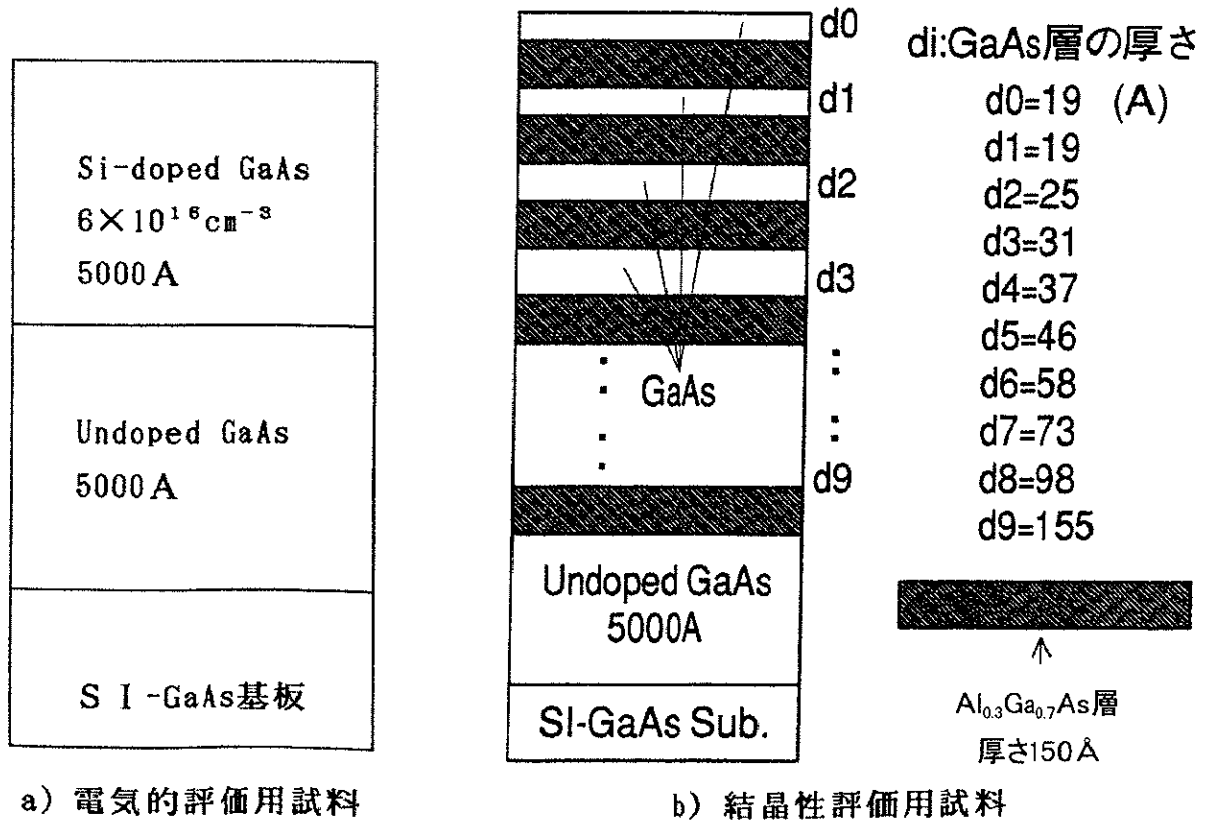
表面アンドープ層を有するGaAsMESFETは、線形性の良い高出力デバイスとして、高いポテンシャルを有していることが分かった。

[4.2] 酸化膜ドライエッチング開口による GaAs 結晶へのダメージ評価

WSi などの耐熱性金属を GaAsMESFETのゲート電極として形成するには、まず GaAs チャンネル層上に SiO₂ を堆積し、その後ゲート部分の SiO₂ を開口し、スパッタ法により耐熱性金属を堆積させるゲート形成プロセスが一般的である。この場合の SiO₂ 開口は、マスクの転写性を落とさないことが、ゲート長を増大させないという観点からすれば肝要である。したがって、マスク転写性の高いドライエッチングによるプロセスが一般的である。しかしながら、このドライエッチングによる SiO₂ 開口プロセスでは、肝心の GaAs チャンネルにドライエッチングによると思われるダメージの導入されることが知られている [8,9]。この節では前節で用いたゲート開口プロセス、すなわち Reactive Ion (Beam) Etching(RIE)と Magnetron Ion (Beam) Etching(MIE)を組み合わせた SiO₂ 開口プロセスにより導入されるダメージの評価を行なった結果について示す。

4.2.1 評価用エピタキシャルウェーハの構造

評価のために用意した試料は、2インチφの半絶縁性(100)GaAs 上に、MBEにより形成した2種類各2枚のエピタキシャルウェーハである。その構造を図 4-13 に示



a) 電氣的評価用試料

b) 結晶性評価用試料

図 4-13 評価用エピタキシャルウェーハの構造

す。a)の電氣的評価用試料(試料1)は、ホール測定やC-V測定によりキャリアへの効果を調べたり、PL評価により不純物汚染を評価することが目的である。またb)の結晶性評価用試料(試料2)では、PL評価により結晶へのダメージ効果を調べることを目的とした。なお試料2は、 $Al_{0.3}Ga_{0.7}As/GaAs/Al_{0.3}Ga_{0.7}As$ の繰り返しで構成される量子井戸の幅を表面から基板方向に向けて幅が広くなるように形成した。これにより、量子井戸からのPLスペクトルは、横軸が波長のチャート上で等間隔に出現すると予測され、スペクトルの重なりを防ぎながら結晶ダメージの深さ方向プロファイルが評価できる。

4.2.2 処理条件と評価用試料の作製

ウェーハ処理のフローを以下に示す。また、それぞれのエッチング条件を表4-2に示す。

1. ウェーハ有機洗浄
2. SiO_2 堆積 5000 Å (常圧CVD、370°Cにて)
3. 各ウェーハを4分割
4. 各ウェーハの1/4ウェーハを集めて4グループのロットを構成
5. ドライエッチング(またはウエットエッチング)処理(表4-2参照)
6. ウェーハ有機洗浄
7. アニール前処理 (塩酸：水=1:1、70°C、4分間)
8. アニール処理 (450°C、30分間)

表4-2 処理条件

RIE条件

流量(sccm)		圧力 (Pa)	進行波パワー (W)	反射波パワー (W)	バイアス (V)	エッチング レート(Å/min)
CF_4	H_2					
66.6	11.9	8.0	300	2.0	305	250

MIE条件

流量(sccm)		圧力 (mTorr)	進行波パワー (W)	反射波パワー (W)	バイアス (V)	エッチング レート(Å/min)
CHF_3	O_2					
11.4	0.4	1.6	130	~0	17	~130

エッチング時間

	ドライエッチング		
	R I E	M I E	ウエットエッチング(BHF)
条件 1	3000Å	2000Å + α	—
MIE(JUST)	12 分間	23 分間(15+8)	
条件 2 MIE	3000Å	2000Å + 3 α	—
(OVER ETCH)	12 分間	39 分間(15+3*8)	
条件 3	3000Å	1000Å	1000Å
MIE+WET	12 分間	7分 30 秒間(15/2)	
条件 4-1	—	—	5000Å
W E T			
条件 4-2	3000Å	—	2000Å
W E T	12 分間		

なお、アニール処理を施したのは、各種類のウェーハの半分だけである。したがって、各種類のウェーハの各ドライエッチング処理条件において、アニール処理を施した試料と未処理の試料がある。また条件4のM I E (OVER ETCH)は、5000ÅのSiO₂を全てウエットエッチング処理した条件4-1試料と3000Å R I E処理した条件4-2試料があるが、後で示すように結果に差異は認められない。

次に、それぞれの1/4ウェーハを用いて作製した評価用試料の作製法について示す。

試料 1

- ・ Al ショットキーダイオード試料

Alを全面蒸着後、400μmφのレジストマスクを設け、その後Alを2μm程度までオーバーエッチングし、そのままAu/Ni/AuGeを蒸着して作製。(アロイはしていない。)

- ・ ホール素子

クローバ型のマスクを用いてメサエッチングを行ない、Inでオーミックコンタクトを形成し、その後アロイして作製。(したがって、熱処理済。)

- ・ P L測定用試料

短冊上に割り出して作製。

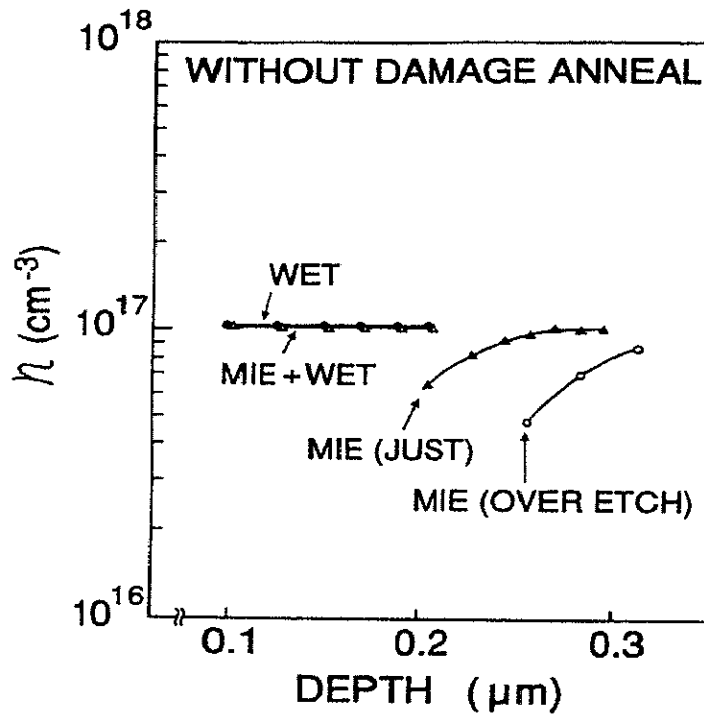
試料 2

- ・ P L測定用試料

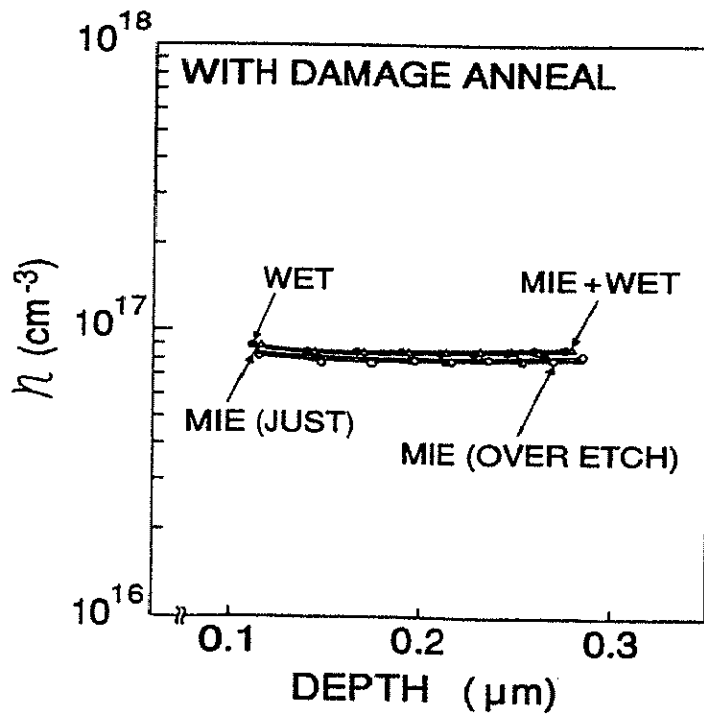
短冊上に割り出して作製。

4.2.3 評価結果と考察

図 4-14 に、室温でのC-V測定から得られたキャリア濃度(n)の深さ方向プロファイルを示す。a)はアニール処理無し、b)はアニール処理有りの試料1の結果である。



a) アニール処理無し



b) アニール処理有り

図 4-14 キャリア濃度の深さ方向プロファイル

なおここでは、5000ÅのSiO₂全てをウエットエッチングで落とした場合(図中でWETと表示)をリファレンスとして採用した。a)のアニール処理無しの結果から分かるように、MIE処理を途中で止めSiO₂を1000Å残せば(MIE+WET)、ウエットエッチング処理(WET)と遜色が無いことが分かった。SiO₂を完全にMIEで落とした場合は、キャリアの不活性化が認められた。MIE(JUST)では、0.26μm程度までその影響がおよぶことが分かった。またそのキャリアの不活性化の程度は、オーバーエッチングの時間と強い相関が認められる。一方b)のアニール処理有りの結果は、一変してキャリアが活性化していることを示している。しかしながら詳細に検討すると、処理の程度の順にキャリア濃度に序列が認められる。深さ0.1~0.2μmの領域では、アニール処理によりMIE(JUST)で、ウエットエッチング処理の90%程度までキャリア濃度が回復することが分かった。

次にホール測定の結果について示す。ホール測定では、チャンネルのキャリアを厚さで積算したシートキャリア濃度(n_s)に関する情報を知ることができる。ホール測定した試料はInのオーミックアロイ温度の関係から、アニール処理を施した試料だけである。図4-15は、試料1においてダメージによりキャリア濃度が5000Åのドーピング層内で一様に低下した場合に観測されるシートキャリア濃度の計算結果である。GaAsの表面ポテンシャルは0.8eVと仮定した。またホール測定の結果を表4-3に示す。ウエットエッチング処理(WET)のリファレンスの結果は、室温でn_s=3.0×10¹²cm⁻²であり、図4-15に示した6×10¹⁶cm⁻³の結果とは一致しない。おそらくMBEのドーピング濃度制御性の問題から、作製した試料1のキャリア濃度が最初から8×10¹⁶cm⁻³程度と高かったと推察される。表4-3から分かることは、C-V測定の結果と同様に、

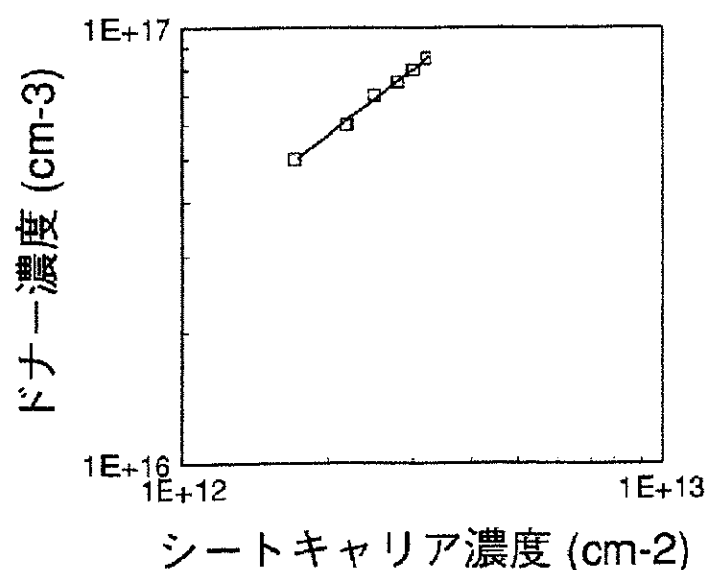


図4-15 ダメージによるシートキャリア濃度低下の計算結果

アニール処理によりMIE (JUST)で、ウェットエッチング処理の90%程度までキャリア濃度が回復することである。電子の移動度(μ_e)や補償比($\theta=N_A/N_D$)においても、各試料間で明瞭な差は認められない。なお補償比は、文献[10,11]の方法によったが、精度は0.05程度である。

表 4-3 ホール測定の結果

	WET	MIE+WET	MIE (JUST)	MIE (OVER ETCH)
RT n_s (cm $^{-2}$)	3.0×10^{12}	3.0×10^{12}	2.6×10^{12}	2.6×10^{12}
μ_e (cm 2 /V \cdot s)	4550	4500	4690	4530
$\theta=N_A/N_D$	0.25	0.25	0.3	0.3
77K n_s (cm $^{-2}$)	2.8×10^{12}	2.8×10^{12}	2.5×10^{12}	2.5×10^{12}
μ_e (cm 2 /V \cdot s)	6260	6190	6340	6120
$\theta=N_A/N_D$	0.35	0.35	0.35	0.35

次に4.2KにおけるPL測定の結果について示す。このPL測定では、試料1において主に不純物汚染と結晶性の評価、また試料2では主に量子井戸の結晶性や再結合

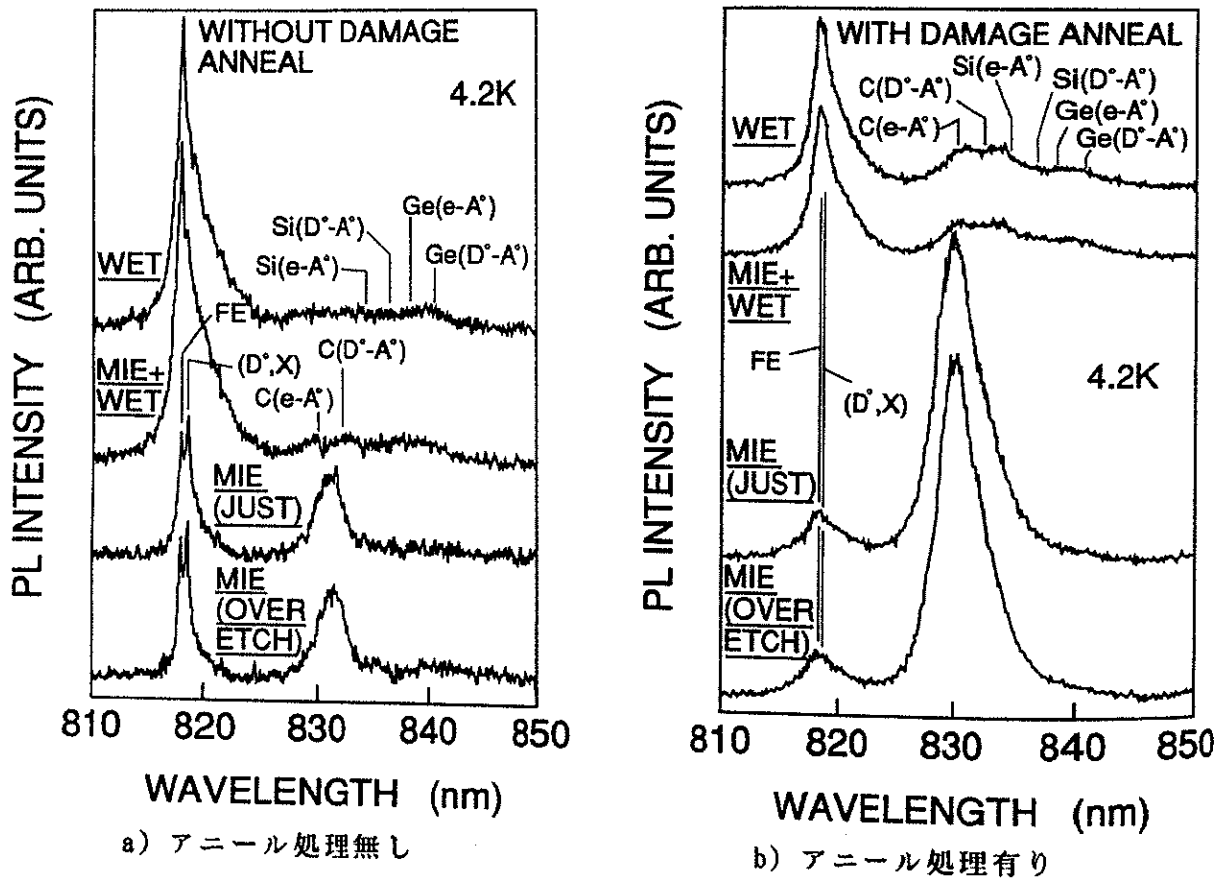


図 4-16 試料1のPLスペクトル

欠陥について評価した。まず試料1のPLスペクトルを図4-16に示す。a)はアニール処理無し、b)は450°Cで30分間アニール処理した試料1の結果である。PL強度は、それぞれの図中では同じレンジで表示してある。a)のアニール処理無しのWETは、リファレンスとなるが、エキシトンの発光強度が強く、良好な結晶性を有していることが確認できた。この図から、エキシトンの発光強度についてはMIE処理を途中で止めSiO₂を1000Å残した場合(MIE+WET)、ウエットエッチング処理(WET)と遜色が無いことが分かった。またSiO₂を完全にMIEで落とした場合は、カーボン(C)汚染が顕著に認められ、エキシトンの発光強度も大幅に減少した。オーバーエッチングの効果は認められない。b)のアニール処理有りの図からも、同様な傾向が認められる。C汚染は特に顕著である。これはGaAs表面がC汚染された後に、低温でのアニール処理にもかかわらず、Cアクセプタの活性化が一部進んだためと推察される。また、400Å程度の表面層の除去により、C汚染に関係した発光の強度が1/10になることを見いだした。C汚染は、表面近傍に限られることが分かった。

図4-17に、試料2のアニール処理有りのWET試料のPLスペクトルを示す。a)はPLスペクトルの全体図であり、b)はその短波長側の拡大図である。a)に示したE1からE9のラインは、量子井戸からの発光波長をフリーエキシトンを考慮して求めたものであり、図4-13b)で示した表面側からの量子井戸の順になっている。図4-17a)から明らかなように、計算と実際の発光波長は良く一致し、試料が設計どおりにできていることが分かった。したがって、スペクトルの何番目までの発光強度が影響を受けているかを判断すれば、表面から何番目までの量子井戸がドライエッチングの影

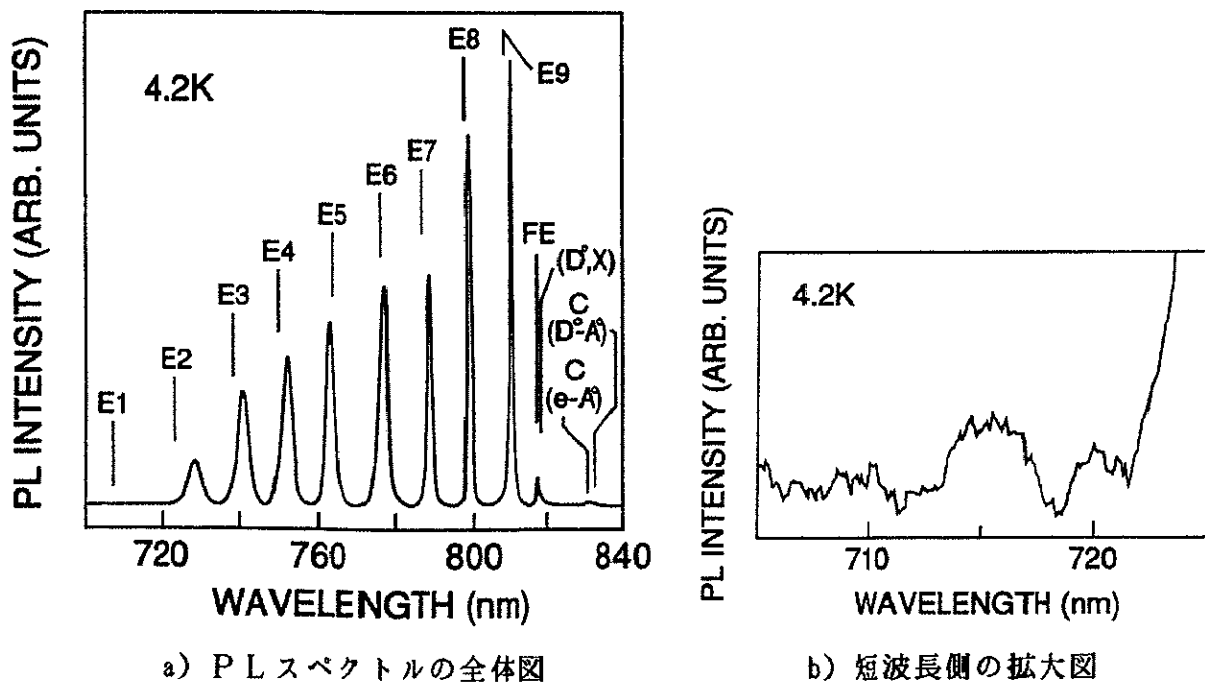


図4-17 試料2のアニール処理有りWET試料のPLスペクトル

響を受けているのかが評価できる。またE1のPLスペクトルについては、a)では確認できないが、拡大したb)では確認することができる。

図4-18に試料2のPLスペクトルを示す。なおMIE+WETは、WETと区別がまったくつかないため割愛した。これはSiO₂を1000Å残した場合は、結晶欠陥的なダメージを受けないことを示しており、先に示した電気的な評価結果と一致する。図4-18 a)はアニール処理無し、b)はアニール処理有りの結果である。図から明らかのように、アニール処理の有る無しにかかわらず同じ傾向であり、MIE(JUST)の条件では2番目の量子井戸まで、MIE(OVER ETCH)の条件では3番目の量子井戸までドライエッチングの影響を受けていることが分かった。すなわち、今回の開口条件(MIE(JUST))では、約350Åまでドライエッチングの影響を受け、その影響はオーバーエッチングの時間と強い相関があることが分かった。またアニール処理を施した試料と未処理の試料との差異がほとんど認められないことから、450℃、30分間程度のアニール処理では回復しない程の安定な欠陥であることが分かった。

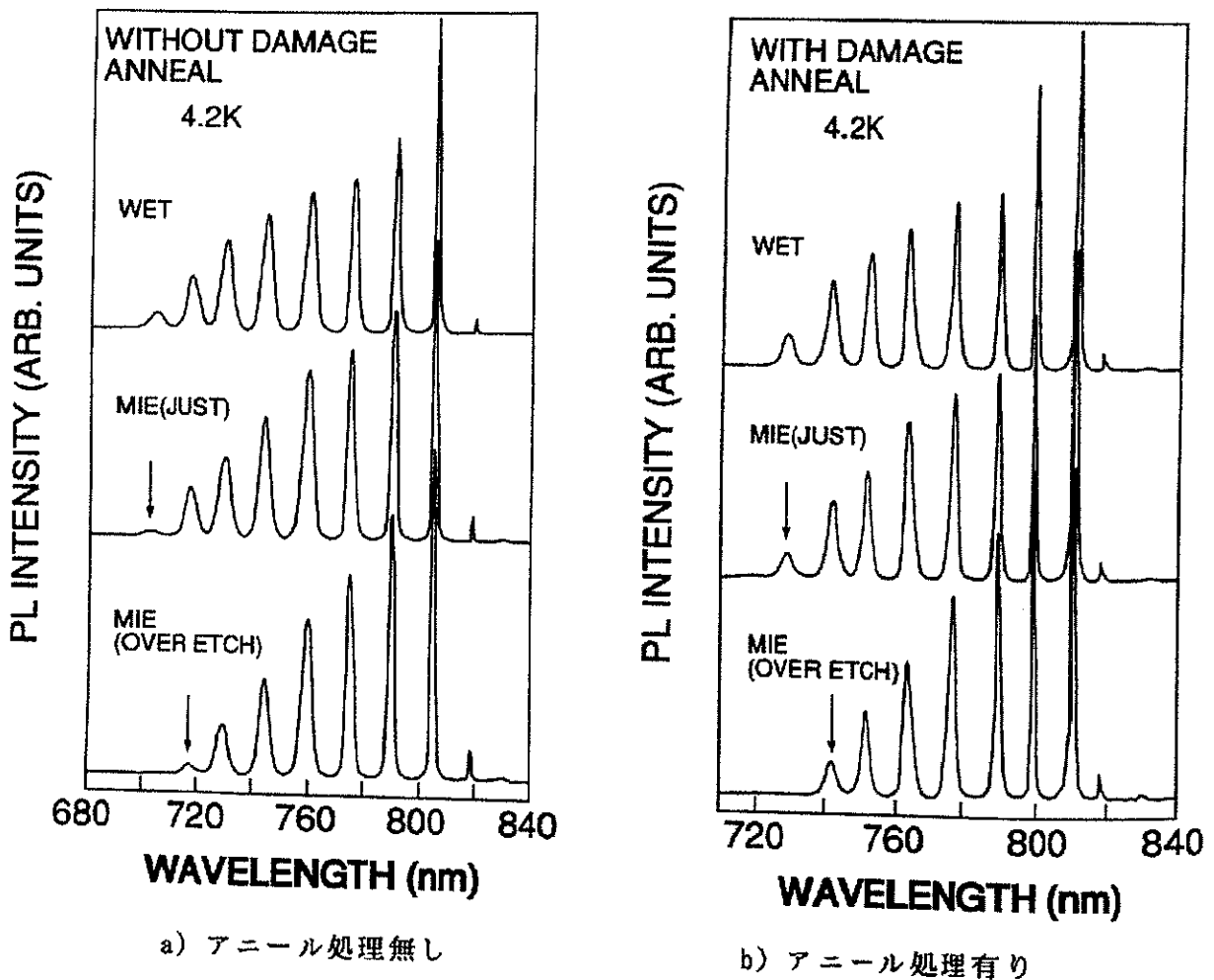


図4-18 試料2のPLスペクトル

以上の結果を基に、 SiO_2 ドライエッチング誘起ダメージの機構について考察する。まず全ての実験結果で共通することであるが、 SiO_2 を1000Å残せば、ウェットエッチング処理と遜色が無い。これは条件4-1試料と条件4-2試料の間にも差が無いことと一致する。したがって、この一連の評価で問題になっているダメージは、MIE処理によるものであると結論できる。したがって、RIE処理により導入されるダメージについては言及できない。ここで、PL測定から分かったC汚染の問題、試料2の評価から明らかになった結晶欠陥的なダメージの問題とC-V測定などの電氣的な評価から分かったキャリアの不活性化の問題の3つに分けて考察する。

まずGaAs表面近傍のC汚染であるが、試料1の処理直後のPLスペクトルには顕著に見られるが、400Å程度の表面層除去後は消滅することから明らかになった。C汚染を避けるためには SF_6 などのガスを利用することも考えられる。

この400Åという厚さが、試料2の評価から明らかになった結晶欠陥的なダメージ層の厚さ(約350Å)と一致していることは興味深い。実験からは、表面から約350Åまでの深さにある量子井戸の発光強度が低下するという結果が得られた。発光強度が低下する機構についての考察は、この実験結果だけでは不十分であるが、その候補としては、量子井戸そのものの構造変化や非発光再結合中心欠陥の増加などが考えられる。量子井戸の構造変化では、AlとGaの相互拡散的な移動を考えなければならない。したがって、結合を切るエネルギーや拡散するエネルギーとMIE処理のバイアスイオンのエネルギーを比較して考慮しなければならない。また非発光再結合中心欠陥の生成メカニズムについても良く分かっていないが、いずれにせよ、450°C、30分間程度のアニール処理では回復しない程の安定な欠陥であることは明言できる。このゲート開口プロセスを利用する場合は、開口後、数百Åのダメージ層を取り除くことが好ましい。

一方、キャリアの不活性化が深さ0.26μm程度まで認められたが、この欠陥はアニール処理でほぼ回復する。したがって、不安定な欠陥であることが分かる。欠陥の構造としては、GaAs結晶内に拡散した水素の原子核が考えられる。この水素の原子核によるキャリアの不活性化効果は良く議論されている[12]。水素の原子核は、比較的低い温度で結晶内を拡散することが良く知られており、キャリア濃度が450°C、30分間程度のアニール処理で回復することと一致する。

4.2.4 まとめ

R I EとM I Eを組み合わせたゲート電極形成用の SiO_2 開口プロセスにより導入されるダメージの評価を行なった。評価は I-V測定、C-V測定、ホール測定と P L測定によった。その結果、

1. ゲート形成のための R I EとM I Eを組み合わせた SiO_2 開口プロセスにより導入されるダメージ(深さ $0.26\ \mu\text{m}$ 程度までのキャリアの不活性化と約 350 Å までの回復しない結晶ダメージ)は、M I E処理による、
2. 処理された表面では、C 汚染が顕著に認められる、
3. M I Eの開口条件では、深さ $0.26\ \mu\text{m}$ 程度までキャリアの不活性化が認められる、
 - ・キャリアの不活性化は、M I Eのオーバーエッチング時間と強い相関がある、
 - ・キャリアの不活性化は、アニール処理でほぼ回復する、
 - ・この不活性化の機構は、結晶内に拡散した水素の原子核に関係があると思われる、
4. M I Eの開口条件では、表面から約 350 Å まで結晶ダメージ層が認められる、
 - ・結晶ダメージ層の厚さは、M I Eのオーバーエッチング時間と強い相関がある、
 - ・結晶ダメージ層は、 450°C 、30 分間程度のアニール処理では回復しない、
 - ・この結晶ダメージ層には、非発光再結合中心欠陥などが存在する、

ことが分かった。

以上の知見より、このゲート開口プロセス後は、 450°C 、30 分の熱処理を行うとともに、開口された GaAs 結晶表面の数百 Å を除去することが望ましい。

[4.3] InPチャンネルMESFETの検討(ヘテロMIS型InPFET)

InPチャンネルのFETに関しては、Ptショットキーを用いたMESFET [13]と $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ や格子不整合系ではあるが $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ を絶縁性ショットキー層として用いたヘテロ絶縁層型FET(広義では金属-絶縁膜-半導体FET(MISFET)) [14]の検討を行った。

InPはGaAsと比較した場合、[3.1]節で示したように電子の飽和速度が大きい、イオン化係数が小さい、熱伝導率が高いなどの特長を有している。したがって、高出力FETのチャンネル材料として、注目すべき半導体である。しかしながら、InPのショットキー障壁高さ(ϕ_b)は約0.4eVと低く、MESFETの実現が阻まれてきた。PtショットキーMESFETの研究では、イオン注入法で形成したInPチャンネルに対して様々な表面処理とゲート金属を検討した。その結果、塩酸系のエッチャントで表面処理した後に1 μm 長のPtゲートを蒸着にて形成し、 SiN_x パッシベーションを配したMESFETにて完全なピンチオフをドレイン電圧7.2Vまで得た。DC特性は、最大ドレイン電流(I_{max})160mA/mm、ゲートドレイン耐圧(BV_{gd})9.1Vであった [13]。これまで達成が困難であったピンチオフの実現は強調できるが、素子特性としては、市販のGaAsMESFET程度であり、低電圧で高效率動作の要求される移動体通信端末用の高出力素子としては不十分な特性である。これは、 ϕ_b が低いことから生じる低いゲート耐圧とその制約からドナー濃度が高められず、ドレイン電流を大きくできないことによる。

一方、InPはGaAsと比較するならば、表面の制御がそれほど困難ではないことが知られている [15]。したがって、InP表面を制御したうえで、その上に絶縁耐圧の高い膜を設けたMIS構造デバイスの実現が有効であろうと判断される。これまで、 SiO_2/InP 構造のMISFETが検討されたが、ドレイン電流のドリフトやヒステリシスが見られた [15]。そこで、InPチャンネル上にMBEによる $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ または $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ ゲート絶縁膜を再成長させて形成したヘテロMIS型FETを検討した。 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InP}$ ヘテロ系は格子不整合系ではあるが、 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{InP}$ ヘテロ系は格子整合系であることから、良好な界面特性が期待できる。しかしながら、 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ の ϕ_b は約0.8eVまたInPとの伝導帯のエネルギー差(δE_c)は0.2~0.3eVであり、 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ と比較するならば低い。さらには格子整合系とはいえ、InPチャンネル上への再成長となるため、その界面を利用するMIS特性の劣化も危惧される。そこで両者の界面特性や素子特性を比較検討し、整理することによりInPチャンネルのヘテロMIS型FETの開発適用を図った。その結果、たとえば $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{InPMISFET}$ では、 $I_{\text{max}} > 200\text{mA/mm}$ 、 $BV_{\text{gd}} > 20\text{V}$ 、 $f_T = 18\text{GHz}$ および $f_{\text{max}} = 61\text{GHz}$ などの特性を得た [14]。

4.3.1 試料の作成

作成した試料は、FET特性評価用のMISFETと界面特性評価用のMISダイオードである。なお評価としては、界面の結晶性についての断面(透過電子線顕微鏡)TEM観察も行なった。

MISFET試作プロセス

低電圧動作で高効率低歪特性を有する移動体通信端末用の小型高出力素子の実現に向けて、 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InPMISFET}$ と $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{InPMISFET}$ を試作した。検討した素子の断面構造を図4-19に示す。また、主要な作製プロセスを以下に示す。

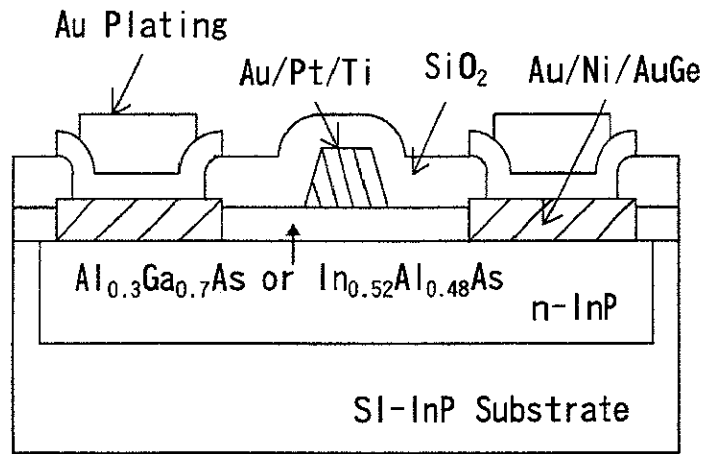


図4-19 ヘテロMIS型FETの構造

1. n-InPチャネル層の形成

Feドープ半絶縁性InP基板に $^{29}\text{Si}^+$ をイオン注入し、活性化熱処理を行なってn型チャネル領域を形成した。作成条件を以下に示す。

Dose: $4 \times 10^{12} \text{cm}^{-2}$ 、注入エネルギー: 30keV

アニール: リンガラス(2000Å)キャップにて 700°C、15分間処理

2. ヘテロ絶縁層形成

MBEにより、700Åの $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ と722Åの $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ をそれぞれ形成した。成長手順としては、Asを照射しながら基板を昇温し、As安定化面を確認した後に500°Cで成長した。膜厚は誘電率($\epsilon(\text{Al}_{0.3}\text{GaAs})=12.06$ 、 $\epsilon(\text{In}_{0.52}\text{Al}_{0.48}\text{As})=12.44$)を考慮して、MISキャパシタのいわゆる絶縁膜容量(C_i)が等しくなるように決定した。

3. オーミックコンタクト形成

2000Å程度の SiO_2 スペーサを形成後、オーミックコンタクト部分を開口するマスクを用い、 SiO_2 および $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ または $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ をそれぞれエッチングし、

AuGe(1500 Å)、Ni(400 Å)、Au(85 Å)の順序で蒸着した。その後リフトオフし、420°Cのスパイクアロイを行なった。

4. ゲート電極形成

Ti(500 Å)、Pt(500 Å)、Au(1200 Å)を順に蒸着し、その後同様にSiO₂スペーサを用いたリフトオフ法により、ゲート電極を形成した。

5. パッド形成

SiO₂を5000 Å堆積した後、オーミック部分の窓開け、Au(1800 Å)/Ti(360 Å)のスパッタ堆積を行なった。その後パッドマスクを用いて約2 μmのAuメッキを施し、パッドを形成した後、不用な部分のAu/Tiをミリングにて取り除いた。

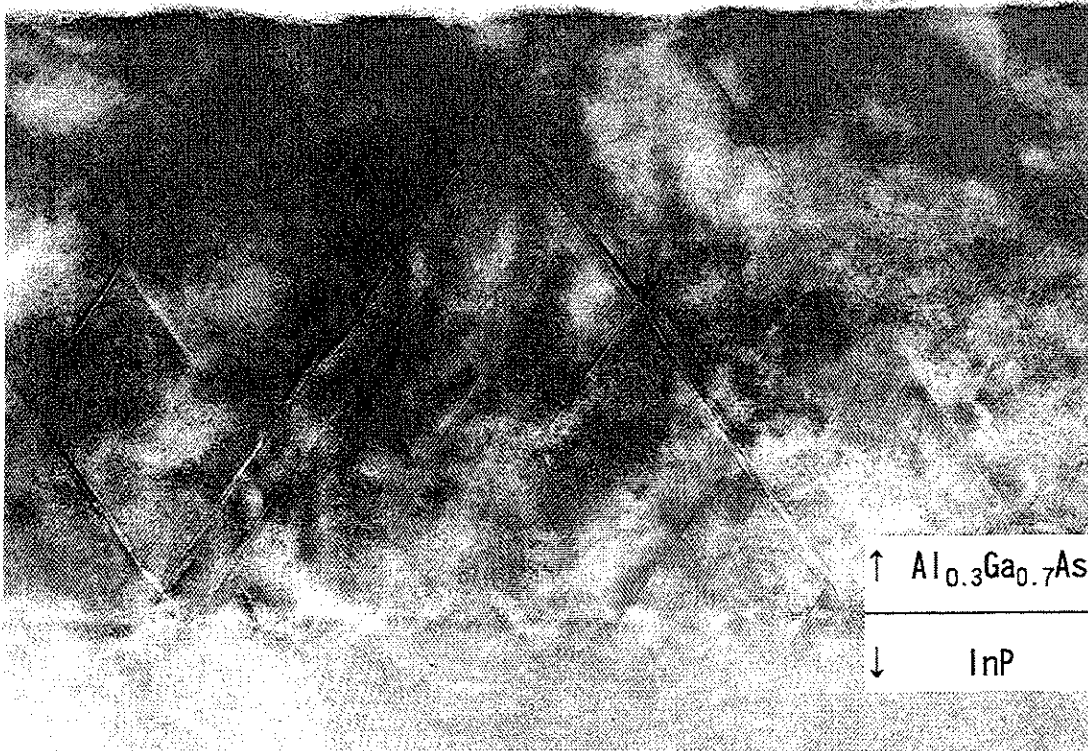
C-V測定用MISダイオード試料

基板には、ドナーとしてSnを $3\sim 6\times 10^{16}\text{cm}^{-3}$ ドープしたLEC基板を用いた。このダイオード試料はMISFETと同時に試作した為、作成プロセスは、前に示したMISFET試作プロセスに準拠している。ショットキーメタルはAu(1200 Å)/Pt(500 Å)/Ti(500 Å)であり、リフトオフ法により同様に形成した。ダイオードの直径は400 μmである。

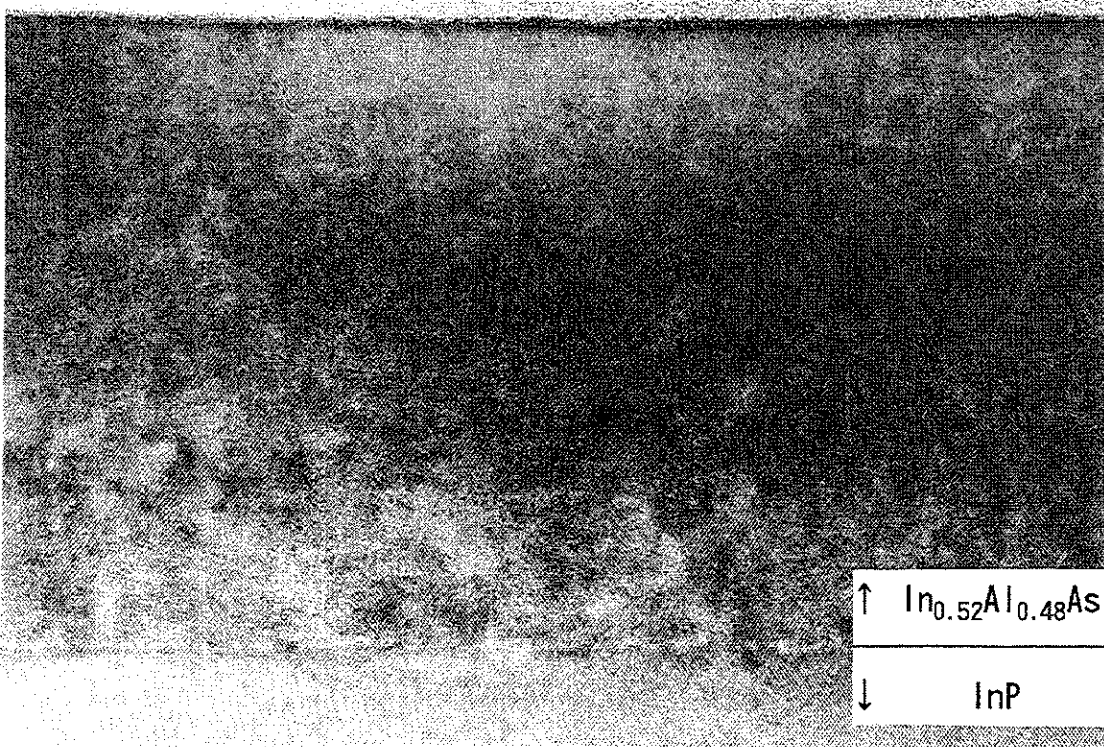
4.3.2 評価結果と考察

図4-20 a)にAl_{0.3}Ga_{0.7}As/InP界面と、b)にIn_{0.52}Al_{0.48}As/InP界面の断面TEM像を示す。倍率は約113万倍である。格子不整合系であるAl_{0.3}Ga_{0.7}As/InPにおいても明瞭な格子像が観察された。また図4-21 a)にAl_{0.3}Ga_{0.7}As/InP系の電子線回折像を、b)にIn_{0.52}Al_{0.48}As/InP系の電子線回折像を示す。Al_{0.3}Ga_{0.7}As/InP系で特徴的なことは、図4-20 a)で見られるように、主に界面から積層欠陥や双晶が多数発生し、欠陥の中には表面まで貫通しているものもあることである。さらに、図4-21 a)に示したAl_{0.3}Ga_{0.7}As/InP系の電子線回折像では高次回折斑点が2個に分れ、格子面間距離の異なる2種類の結晶層が存在することを示しており、これはAl_{0.3}Ga_{0.7}AsとInPの格子定数が3.8%程異なること一致する。一方In_{0.52}Al_{0.48}As/InP界面では、Al_{0.3}Ga_{0.7}As/InP界面で特徴的な界面から発生し、結晶中へ伸びる構造欠陥は認められない(図4-20 b)参照)。また、In_{0.52}Al_{0.48}As層中で発生する欠陥も認められない。回折像も、格子の整合が良いことを示している(図4-21 b)参照)。しかしながら、その界面では格子の湾曲などによる濃淡が部分的に認められ、欠陥の存在が予想される。したがって、再成長界面を利用したIn_{0.52}Al_{0.48}As/InP系では、In_{0.52}Al_{0.48}As層自身の結晶性は高いものの、その界面には欠陥が存在する可能性が高い。ところで、図4-21 b)のIn_{0.52}Al_{0.48}As/InP系の回折像において、回折斑点と回折斑点の間に小さな暗い回折

班点が認められる。これは、いわゆる自然超格子的な周期的組成むらによるものと判断される。実際、断面像の中には、界面に平行な白黒濃淡が認められるものもある。

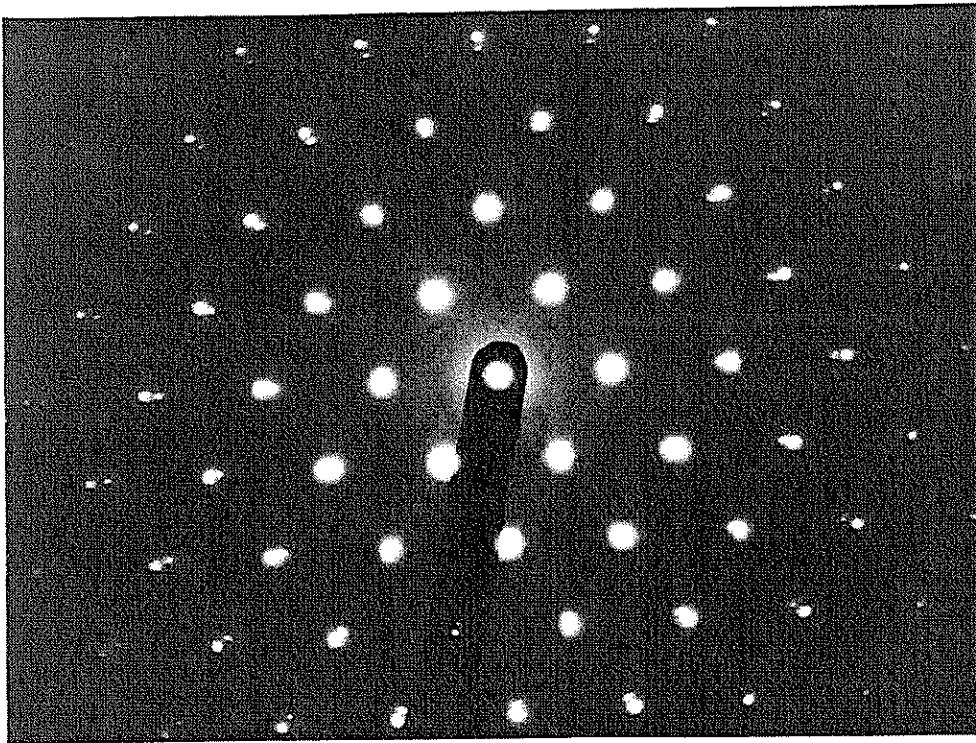


a) $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InP}$ 界面

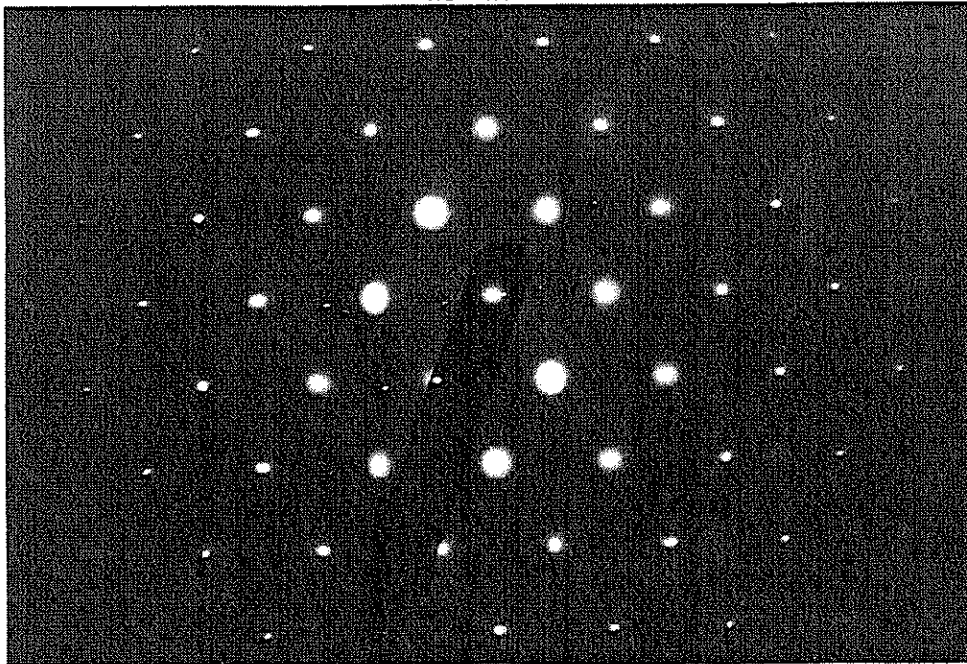


b) $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{InP}$ 界面

図 4-20 断面TEM像 (約113万倍)



a) $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InP}$ 系



b) $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{InP}$ 系

図 4-21 電子線回折像

図 4-22 および図 4-23 に、1 MHz における $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InP}$ MIS ダイオードおよび $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InP}$ MIS ダイオードの a) 室温および b) 77K での C-V 測定結果をそれぞれ示す。それぞれの図で点線は、C-V カーブの理論曲線を示す。 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InP}$ MIS ダイオードの C-V 測定結果より特徴的なことは、室温での C-V カーブが、理論曲線と比較して -1V 程シフトしていることである (図 4-22 a) 参照)。一方、 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{InP}$ MIS ダイオードの室温での C-V カーブは、ほぼ理論曲線と一致す

る。また、77K での C-V カーブはいずれも注入型の C-V カーブであり、 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InP}$ 系でヒステリシスが少々大きいことを除けば差異は無い。したがって、 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InP}$ 系には、-1V 程のシフトをもたらす室温で活性な固定電荷が存在すると解釈される。ところで、低温の 77K で測定すれば、電子の温度が下がる効果によりエネルギー分解能が増し、特に伝導帯付近の浅い界面準位の評価が正確になる。そこで、それぞれ試料の 77K での C-V 測定結果をターマン法 [16] により解析し、界面準位密度のエネルギー分布を求めた。

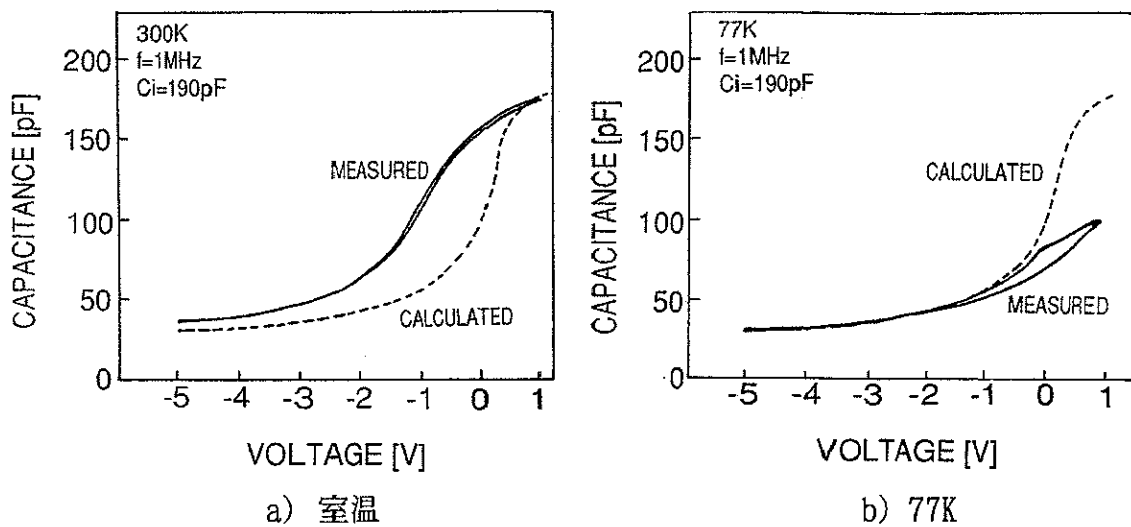


図 4-22 1 MHz における $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InP}$ MIS ダイオードの C-V 測定結果

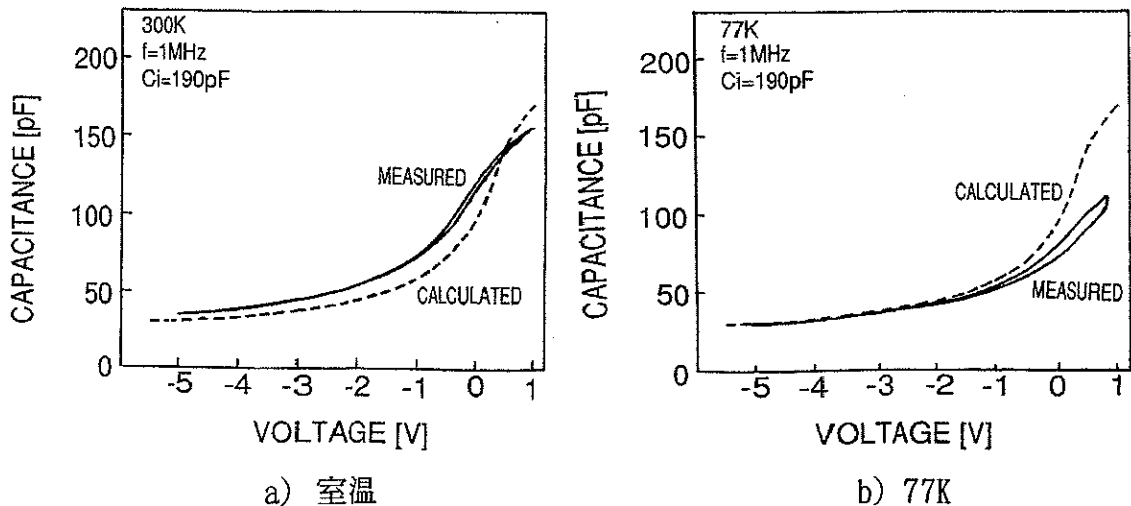
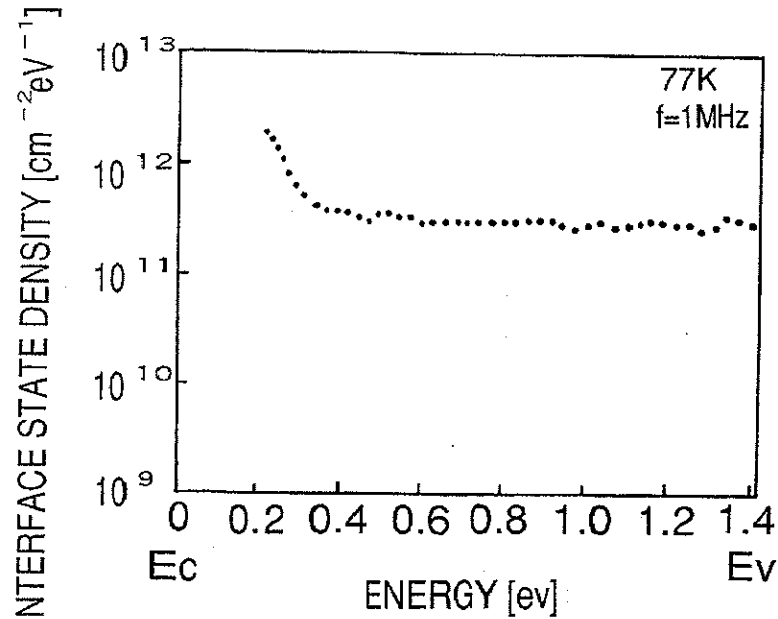


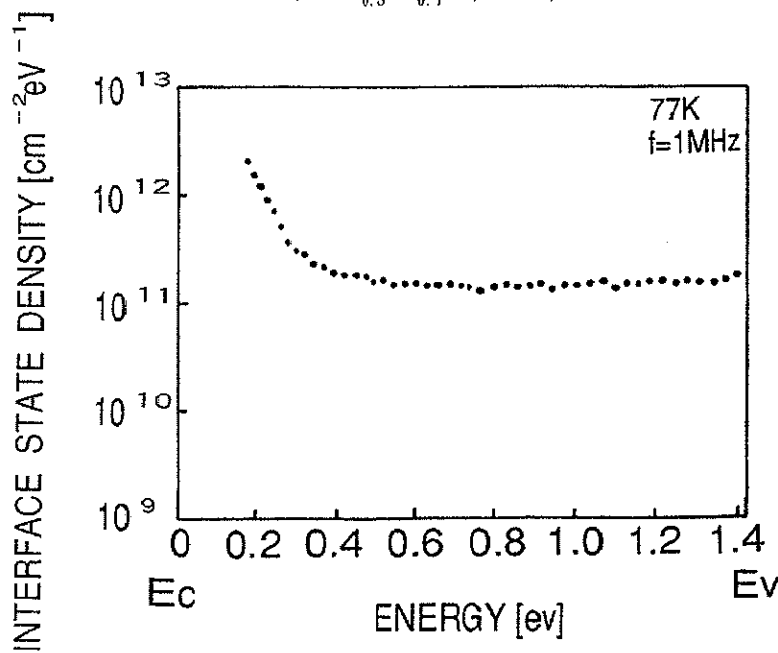
図 4-23 1 MHz における $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{InP}$ MIS ダイオードの C-V 測定結果

$\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InP}$ 系の結果を図 4-24 a) に、また $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{InP}$ 系の結果を b) に示す。いずれも、InP 層を空乏化させる方向の C-V カーブ (ヒステリシスの上側のトレース) から解析した。結果は、全域に渡って $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InP}$ 系の方が界面準位密度は

高いが、ターマン法の精度などを考慮すると、有為な差とは判断し難い。さらに、伝導帯から 2~300meV を除けば、界面準位密度は $10^{12}\text{cm}^{-2}/\text{eV}$ 以下という低い値である。伝導帯付近を除けば禁制帯全域に渡ってフラットで、しかも低い界面準位密度である。これは、ディプレッションモード MISFET 用の界面として重要な特長である。なお、C-V特性の周波数分散は、室温において蓄積側で認められる。分散の程度は、 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InP}$ 系の方が大きい。これは、 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InP}$ 系の方が高い界面準位密度であることを示唆し、ターマン法の結果と一致する。



a) $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InP}$ 系



b) $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{InP}$ 系

図 4-24 界面準位密度分布

InP の界面準位モデルとして、Ga 欠損によるドナー準位(価電子帯から 1.2eV)と P 欠損によるアクセプタ準位(価電子帯から 0.9eV)を Spicer らは提案している [2]。我々のデータも伝導帯近傍に高濃度の準位の存在を両試料共に示しており、エネルギー位置では一致する。したがって、Spicer らのモデルを採用するならば、格子整合系であろうと不整合系であろうと、InP の成長界面では、In や P の欠損による準位が伝導帯近傍に発生するという結論が導かれる。成長界面の C 汚染が激しいことは従来より知られており、したがって起源を明らかにするには、表面処理条件や成長条件と界面特性を詳細に調べる研究が必要である。また、 $Al_{0.3}Ga_{0.7}As/InP$ 系において -1V 程のシフトをもたらす固定電荷の起源や場所については、推察の域を出ないが、 $Al_{0.3}Ga_{0.7}As$ 層中や界面に存在する構造欠陥端の不對電子などが考えられる。

図 4-25 に $L_g=0.6\mu m$ 、 $W_g=200\mu m$ の MISFET のゲート-ドレイン間の I-V 特性を示す。順方向の I-V 特性からは、それぞれの絶縁膜の ϕ_B および δE_C の差によると思われる順方向耐圧差が認められる。すなわち、それぞれの絶縁膜の ϕ_B および δE_C と厚さ (700Å) の関数として順方向耐圧が決まると思われる。逆方向の耐圧も、 $Al_{0.3}Ga_{0.7}As/InP$ 系の方が見かけ上高いものの、ソフトなブレイクダウンをかなり低いバイアスから起こしている。したがって、-8V 付近までは、 $In_{0.52}Al_{0.48}As/InP$ 系の方がかえってリーク電流は低い。たとえば 5.0V において、 $In_{0.52}Al_{0.48}As/InP$ 系は約 0.5 μA 、また $Al_{0.3}Ga_{0.7}As/InP$ 系は約 1 μA であった。 $Al_{0.3}Ga_{0.7}As/InP$ 系は、順方向逆方向共にソフトな立ち上がりであるといえる。これは、貫通した転位などの欠陥による電流パスが存在する可能性を示唆している。いずれにせよ、ゲート耐圧特性は両者共に $BV_{gd}>20V$ と良好である。

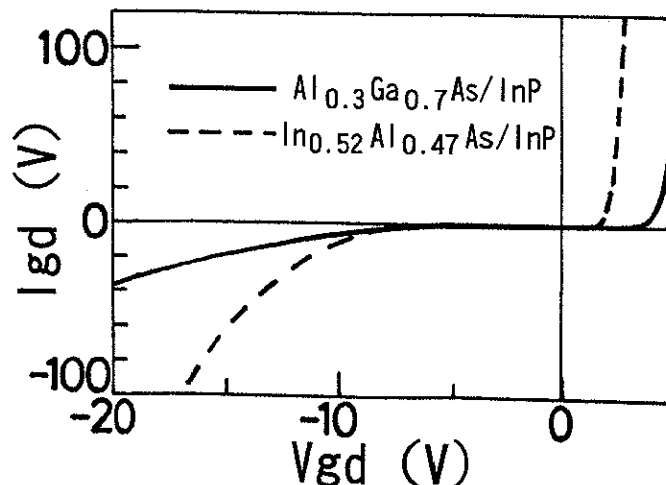
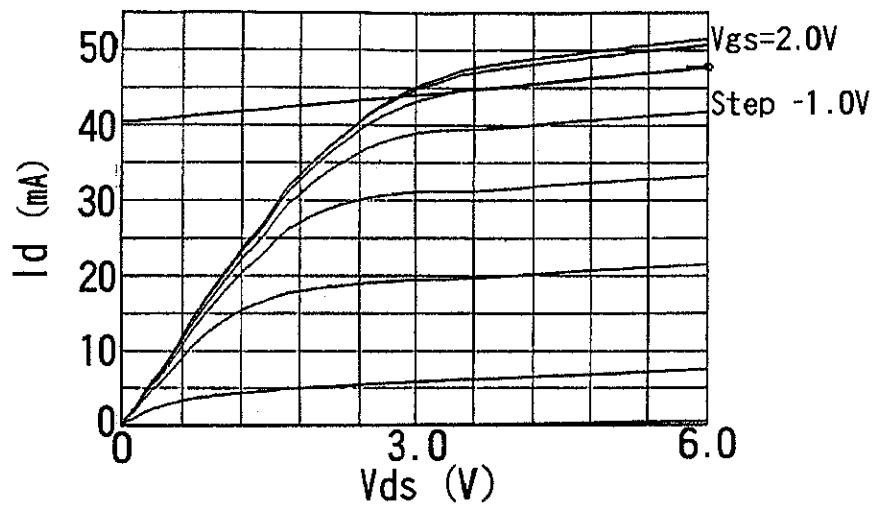


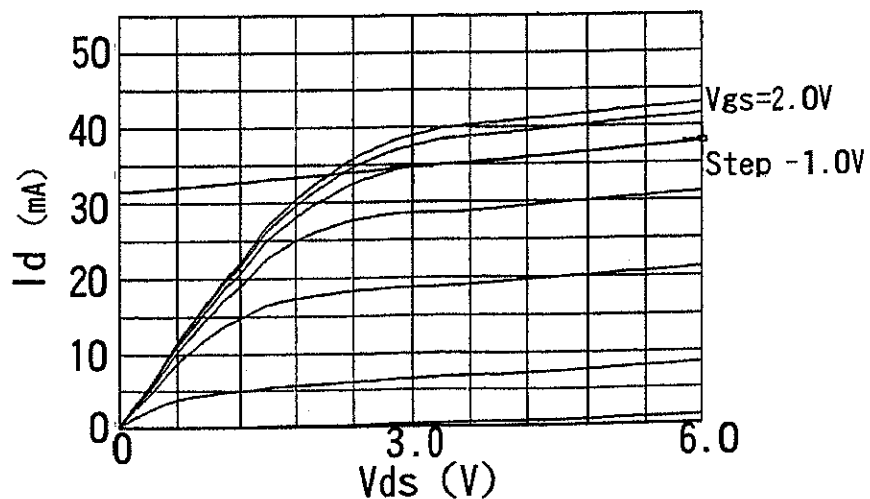
図 4-25 $L_g=0.6\mu m$ 、 $W_g=200\mu m$ MISFET のゲート-ドレイン間 I-V 特性

次に、試作した $Al_{0.3}Ga_{0.7}As/InP$ MISFET と $In_{0.52}Al_{0.48}As/InP$ MISFET の代表的なドレイン I-V 特性を図 4-26 a)、b) にそれぞれ示す。両者共に $I_{max}>200mA/mm$

を得た。しかしながら、いずれの InPMISFET もゲート幅当たりのオン抵抗が $10 \Omega \cdot \text{mm}$ 程度と高い欠点が判明した。オン抵抗は、FET のチャンネルが最も開いている時のソースドレイン間の抵抗であり、7.1.3 や 7.2.3 で議論するように、低いほど低電圧動作時の効率が向上するキーパラメータである。この InPMISFET のオン抵抗が高い欠点は、物性面では [3.1] 節で検討したように InP の移動度の低いことと、チャンネル層をイオン注入法により形成したためエピタキシャル層ほどの移動度が得られなかったことが原因である。したがって、これらの InPMISFET の移動体通信端末用適用は不適当と判断される。一方 InP は、飽和速度が大きいことと熱伝導率が GaAs より優れるので、高電圧動作高出力素子として活路が見いだせるであろう。



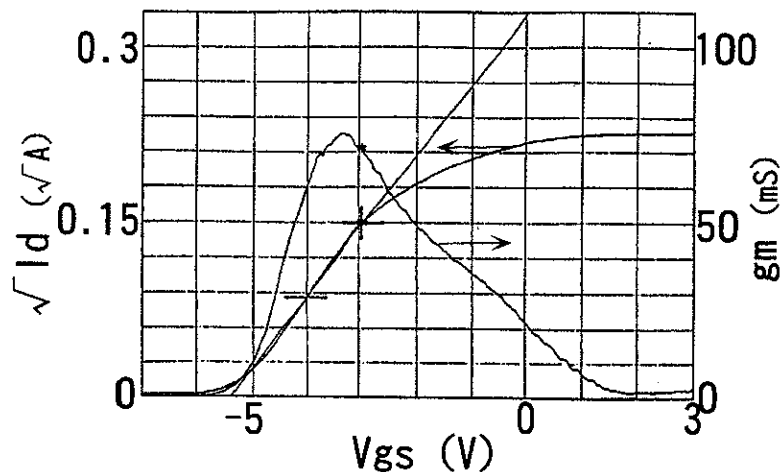
a) $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InPMISFET}$ の代表的なドレイン I-V 特性



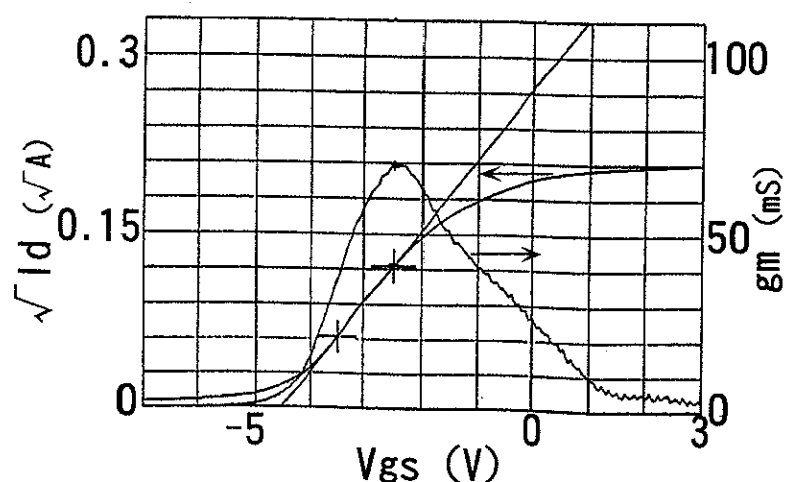
b) $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{InPMISFET}$ の代表的なドレイン I-V 特性

図 4-26 各 MISFET の代表的なドレイン I-V 特性 ($L_g=0.6 \mu\text{m}$, $W_g=200 \mu\text{m}$)

図 4-27 a)、b)に $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InPMISFET}$ と $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{InPMISFET}$ の $V_{ds}=6.0\text{V}$ における I_d と g_m の V_{gs} 依存性をそれぞれ示す。 g_m の最大値(g_{mmax})は 70mS/mm 程度であり、両者に差異は無いものの、 g_{mmax} が得られる V_{gs} は、 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InPMISFET}$ で -3.3V 、 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{InPMISFET}$ で -2.4V と約 1V ずれている。また、しきい値電圧(V_T)も、 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InPMISFET}$ で -5.4V 、 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{InPMISFET}$ で -4.5V と約 1V だけ $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InPMISFET}$ の V_T が大きくなっている。したがって、図 4-27 a)の $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InPMISFET}$ のグラフを 1V シフトすることにより b)の $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{InPMISFET}$ のグラフとほぼ重ね合わせることができる。 I_{ds} と V_{gs} の関係についても同様である。このシフトは先に示したように、MISダイオードの $C-V$ 測定においても確認しており、固定電荷によるものと考えられる。



a) $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InPMISFET}$ の I_d と g_m の V_{gs} 依存性



b) $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{InPMISFET}$ の I_d と g_m の V_{gs} 依存性

図 4-27 各MISFETの I_d と g_m の V_{gs} 依存性 ($V_{ds}=6\text{V}$)

両者のRF特性を比較評価するために、小信号Sパラメータ測定を40MHzから40GHzの範囲で行なった。評価には $L_g=0.6\mu\text{m}$ 、 $W_g=140\mu\text{m}$ のオンウェーハ測定用の素子を使用した。電流利得とユニラテラル利得を6dB/Oct.で外挿し、利得が0dBとなる周波数をそれぞれ f_T および f_{max} とした解析を行なった。図4-28に、 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InP}$ MISFETと $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{InP}$ MISFETの $V_{\text{ds}}=7.0\text{V}$ における V_{gs} と f_T および f_{max} の関係を示す。図4-28から明らかなように、 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InP}$ MISFETと $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{InP}$ MISFETを比較した場合、 f_T および f_{max} の最大値を示す V_{gs} についても $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InP}$ MISFETの方が約-1V大きくなっている。前述のように、このシフトを固定電荷に起因するものとして1Vシフトさせて重ね合わせた場合、 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{InP}$ MISFETの方が V_{gs} のほぼ全域において f_T 、 f_{max} 共に高い。

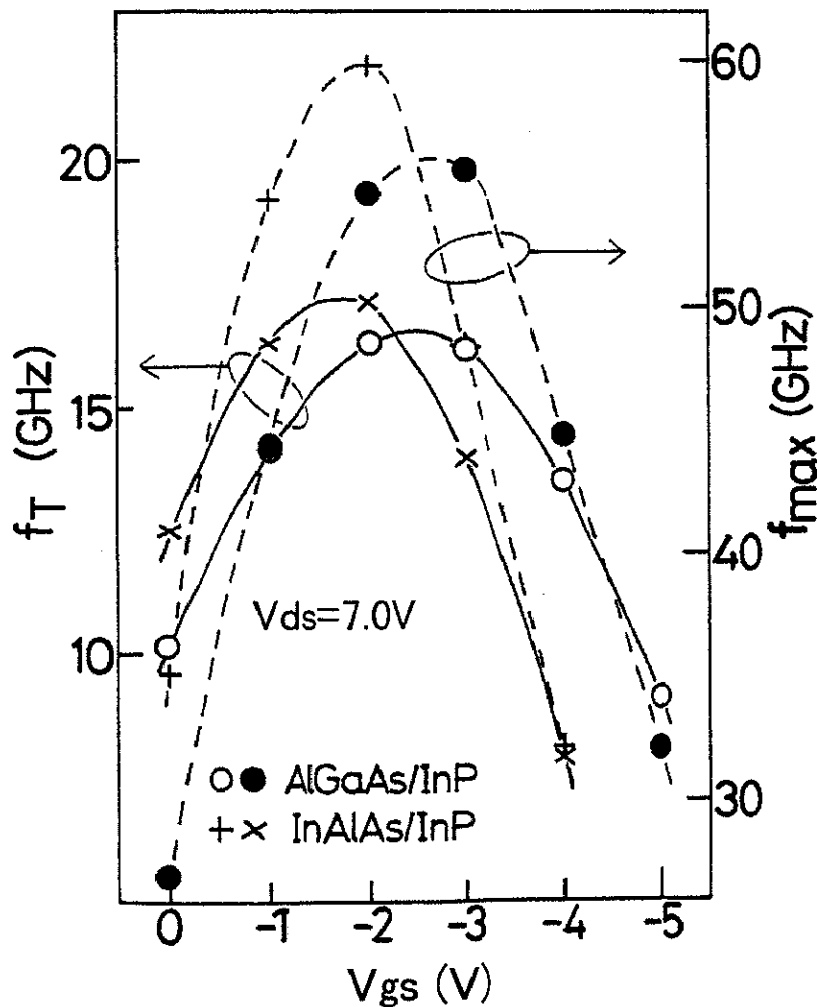


図4-28 V_{gs} と f_T および f_{max} の関係($V_{\text{ds}}=7\text{V}$)

以上の様に f_T や f_{max} の最大値を与える V_{gs} が、 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InP}$ MISFETは $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{InP}$ MISFETと比較して、-1Vシフトしていることが明らかになったので、次にそれぞれのMISFETにおいて f_T や f_{max} の最大値を与える V_{gs} に固定し

た場合($\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InPMISFET}$ では $V_{gs}=-3.0\text{V}$ 、 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{InPMISFET}$ では $V_{gs}=-2.0\text{V}$)の V_{ds} と f_T の関係を図 4-29 に示す。 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InPMISFET}$ は、 V_{ds} の増加にともなって f_T は単調に減少する。一方 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{InPMISFET}$ では、 V_{ds} が 4~9V の範囲で f_T は約 17GHz で一定になることが分かった。この違いの原因の一つとして、いわゆる長ゲート効果が考えられる。長ゲート効果は、ゲート直下のチャンネルに伸びた空乏層が V_{ds} の増加に伴ってドレイン方向にも伸び、したがって実行的なゲート長が増加することにより、電子のゲート下の走行時間が増加する効果である。この長ゲート効果が原因であるかどうかは、等価回路のパラメータ抽出を行ない、ゲート-ドレイン間容量の V_{ds} 依存性を整理して検討する必要がある。仮に長ゲート効果が原因であるならば、その効果が発生または抑制している要因として、絶縁膜表面の電位と表面準位密度およびヘテロ界面の電位と界面準位密度を検討しなければならないであろう。

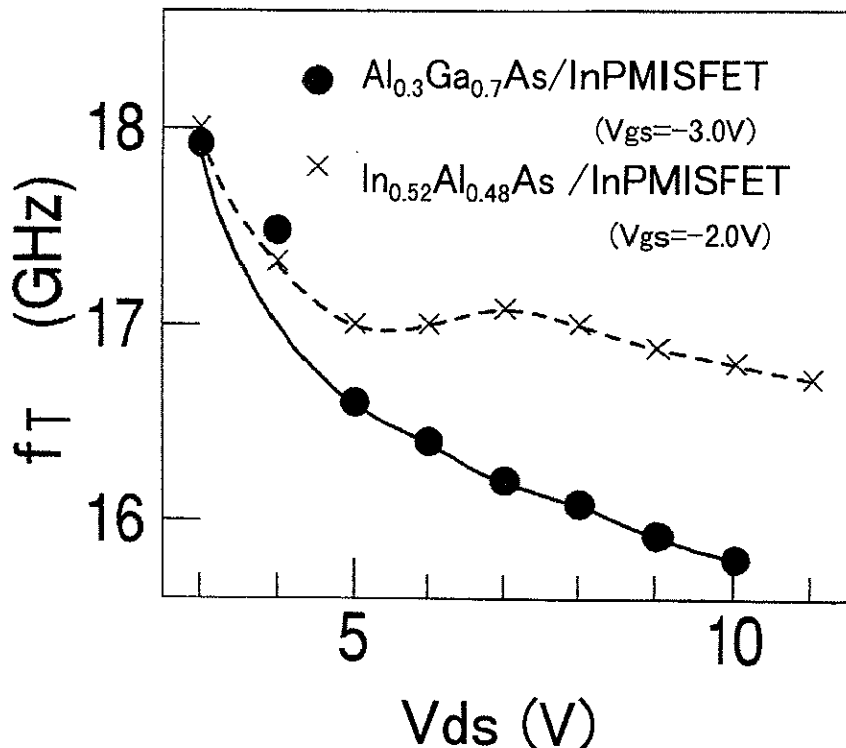


図 4-29 V_{ds} と f_T の関係 ($V_{gs}(\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InP})=-3.0\text{V}$ 、 $V_{gs}(\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{InP})=-2.0\text{V}$)

同様に、それぞれのMISFETにおいて f_T や f_{max} の最大値を与える V_{gs} に固定した場合($\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InPMISFET}$ では $V_{gs}=-3.0\text{V}$ 、 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{InPMISFET}$ では $V_{gs}=-2.0\text{V}$)の V_{ds} と f_{max} の関係を図 4-30 に示す。図から分かるように、 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InPMISFET}$ では $V_{ds}=7\text{V}$ 、また $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{InPMISFET}$ では $V_{ds}=9\text{V}$ まで f_{max} は V_{ds} の増加にともなって増加する。 V_{ds} の低い範囲でその増加にともなって f_{max} が増加する理由は、主にゲート-ドレイン間容量の減少による。その後

f_{\max} が減少する理由は、先ほど示した長ゲート効果などにより f_T が減少することによると考えられる。したがって、 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{InPMISFET}$ の f_{\max} が、 $V_{ds}=9\text{V}$ まで減少しない理由は、長ゲート効果が小さいことによるとも考えられる。これは図 4-29 での結果と一致する。

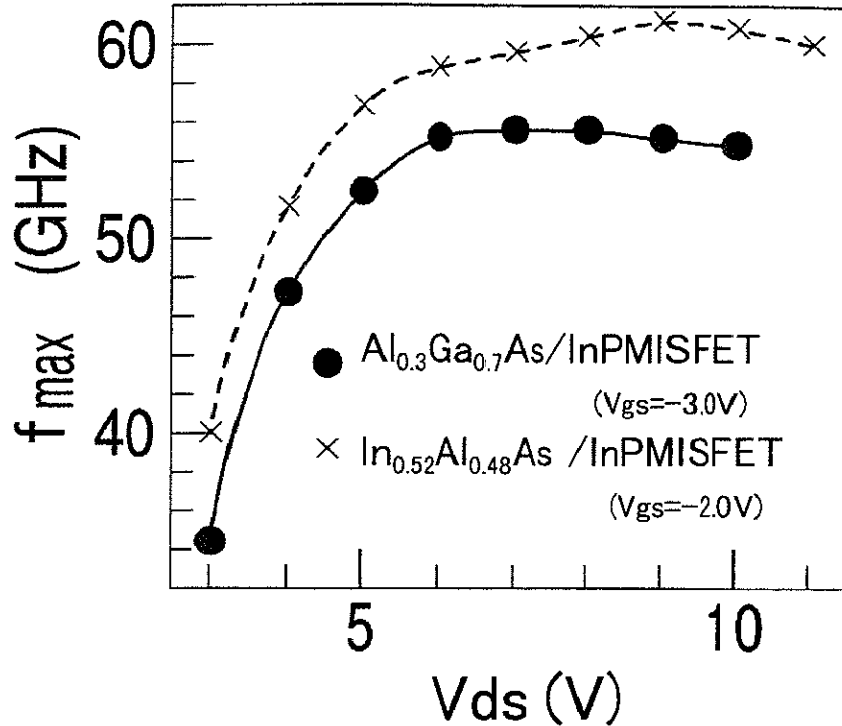


図 4-30 V_{ds} と f_{\max} の関係 ($V_{gs}(\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InP})=-3.0\text{V}$ 、 $V_{gs}(\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{InP})=-2.0\text{V}$)

4.3.3 まとめ

格子不整合系である $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InP}$ 系と格子整合系である $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{InP}$ 系を、界面特性や素子特性を通して比較検討した。以下に得られた結果をまとめる。

1. 断面 TEM 観察より、 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InP}$ 系は界面から積層欠陥や双晶が多数発生し、欠陥の中には表面まで貫通しているものもある。一方 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{InP}$ 系では、 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InP}$ 界面で見られる構造欠陥は認められない。
2. MIS ダイオードの C-V 測定の結果、 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InP}$ 系は $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{InP}$ 系と比較して、C-V カーブは -1V シフトする (室温) もの、伝導帯近傍を除けば界面準位密度は $10^{12}\text{cm}^{-2}/\text{eV}$ 以下と低く、両者で差異はほとんど無い。
3. MISFET の素子特性評価の結果、 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InP}$ 系の g_m や f_T 、 f_{\max} の最大値を与える V_{gs} や V_T は、 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{InP}$ 系それらと比較して、C-V 測定と同様に -1V シフトする。このシフトを除けば、素子特性に大きな差は認められない。
4. f_T や f_{\max} の V_{ds} 依存性比較の結果、 V_{ds} の増加に伴って f_T や f_{\max} が減少する傾向は、 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{InPMISFET}$ の方が $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InPMISFET}$ より少ない。

[4.4] 結論

MESFETの改良を行い、移動帯末端用高出力素子としての検討を示した。

提案した表面にアンドープGaAs層を有するGaAsMESFETは、現状のMESFETと比較するならば、ドレイン電流の周波数分散が抑えられているなどの特性改善が認められるものの、順方向ゲート耐圧が低いことや $3\Omega\cdot\text{mm}$ 程度のオン抵抗しか得られないことなど、低電圧での高効率動作が求められる移動帯末端用高出力素子の要求には十分な特性では無いと結論する。

また、 SiO_2 を開口してゲートを形成するプロセスのダメージ評価より、ゲート開口プロセス後は、 450°C 、30分の熱処理を行うとともに、開口されたGaAs結晶表面の数百Åを除去することが望ましいことが分かった。

$\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ や $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ を絶縁膜として用いるInPチャネルMESFETの検討も行ったが、オン抵抗が $10\Omega\cdot\text{mm}$ 程度と高いなど、移動帯末端用高出力素子としては不相当と判断する。

[第4章 参考文献]

- [1] N. Iwata, H. Mizutani, S. Ichikawa, A. Mochizuki and H. Hirayama: Inst. Phys. Conf. Ser. No. 120: Chapter 3, Paper presented at Int. Symp. GaAs and Related Compounds, Seattle, 1991, (1991) 119.
- [2] W. E. Spicer, P. W. Chye, P. R. Skeath, C. Y. Su and I. Lindau: J. Vac. Sci. Technol. 16 (1979) 1422.
- [3] Y. Nannichi and H. Oigawa: Extended Abstracts of the 22ed (1990 International) Conference on Solid State Devices and Materials (1990) 453.
- [4] T. Waho, F. Yanagawa, Y. Yamada-Maruo and H. Saeki: Solid-State Electron. 33, Supplement (1990) 253.
- [5] M. Takikawa, K. Kasai, M. Ozeki, Y. Hirachi and A. Shibatomi: Semi-Insulating III-V Materials 1986 (1986) 603.
- [6] S. Sriram, R. C. Clarke, R. L. Messham, T. J. Smith and M. C. Driver, 1989 IEEE Cornell University Conference (1989) 218.
- [7] K. Matsunaga, N. Iwata and M. Kuzuhara: Inst. Phys. Conf. Ser. No. 129: Chapter 9 Paper presented at Int. Symp. GaAs and Related Compounds, Karuizawa (1992) 749.
- [8] D. L. Green, H. F. Wong, D. G. Lisham, T. Y. Liu, E. L. Hu, P. M. Petroff, P. O. Holtz and J. L. Merz: Inst. Phys. Conf. Ser. No. 96: Chapter 6, 347 Paper presented at Int. Symp. GaAs and Related Compounds, Atlanta, Georgia, (1988) 347.
- [9] Y. Ide, N. Takado and K. Asakawa: Inst. Phys. Conf. Ser. No. 106: Chapter 7, Paper presented at Int. Symp. GaAs and Related Compounds, Karuizawa, (1989) 495.
- [10] W. Walukiewicz, L. Lagowski, L. Jastrzebski, M. Lichtensteiger and H. C. Gatos: J. Appl. Phys. 50 (1979) 899.
- [11] W. Walukiewicz, J. Lagowski and H. C. Gatos: J. Appl. Phys. 53 (1982) 769.
- [12] S. J. Pearton, U. K. Chakrabarti and W. S. Hobson: J. Appl. Phys. 66 (1989) 2061.
- [13] 尾藤康則, 岩田直高, 葛原正明: 1996年電子情報通信学会エレクトロニクスソサイエティ大会 C-420 (1996年9月) 78.
- [14] 岩田直高, 笠原健資, 麻埜和則, 大畑恵一: 第51回応用物理学会学術講演会講演予稿集 27a-SZM-15 (1990年9月) 1138.
- [15] H. H. Wieder: Properties of INDIUM PHOSPHIDE EMIS Datareviews Series No. 6, 14. 7 (INSPEC, United Kingdom 1991) 295.
- [16] L. M. Terman: Solid State Electron. 5 (1962) 85.

【第5章】 高出力ヘテロ接合FETの設計

この章では、小型移動体通信端末適用の GaAsMESFETを凌駕するマイクロ波高出力FETとして、InP 基板に整合する $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ ヘテロ接合を用いたFETと GaAs 基板上的 $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ ヘテロ接合を用いたFETの設計を行う。2次元デバイスシミュレーションより、チャンネルの上下に電子供給層を配した構造を特徴とするダブルドープダブルヘテロ接合FETが、高い電子移動度、高いシート電子濃度、高バイアス時の低いゲート端電界および低いドレインコンダクタンスを示すことから、高出力素子に適した構造であることが分かった。材料系は、GaAs 基板上的 $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ ヘテロ接合系が、現状の成熟した量産作製プロセスが利用できること、ドライリセスエッチングプロセスにより均一に良好な素子特性を再現できることおよびオン抵抗を低減できる多層キャップ構造が適用できるので、良好な特性のFETを実現するうえで有利である。

[5.1] InP系ダブルドープHJFET

この節では、InP 基板に整合する $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ ヘテロ接合を用いたFETの設計を2次元デバイスシミュレータを用いて行う。特に、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ チャンネル層の上下に $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 電子供給層を配したダブルドープHJFETと $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ チャンネル層の上に $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 電子供給層を配したシングルドープHJFETの得失を議論する。

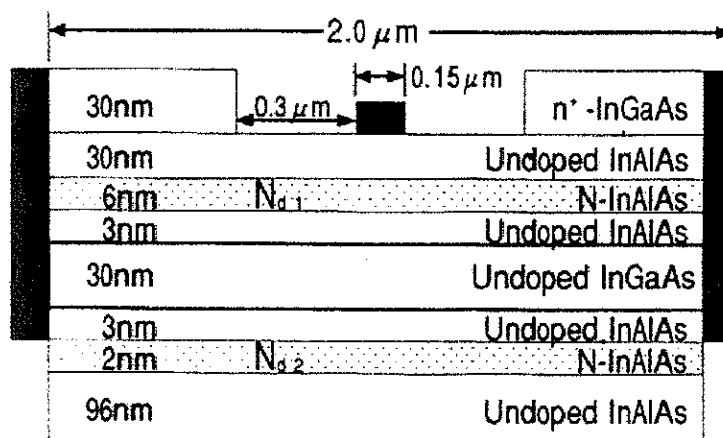
InP 基板に格子整合した $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 系HJFETは、GaAs系HJFETを凌ぐ高い電流遮断周波数 [1, 2] や低雑音特性 [3] より、マイクロ波ミリ波帯の超低雑音素子として有望視されている。一方、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ チャンネル層の上下に $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 電子供給層を配したダブルドープ構造HJFETは、高い電流密度と高い最高発振周波数を有することよりミリ波帯用高出力素子として米国を中心に研究開発が進められている [4]。この $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ ヘテロ接合FETは、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ チャンネル層の電子移動度が高いこととヘテロ接合のバンド不連続量が大きいためから2次元電子ガス濃度が高いので、低いオン抵抗と高い最大ドレイン電流が期待できる。この節では、それぞれのHJFETのDC特性を2次元デバイスシミュレータを用いて解析し、比較検討する。その結果、ダブルドープHJFETはシングルドープHJFETより、ドレインコンダクタンスが低い、ゲートのドレイン端での電界が低い、飽和ドレイン電圧が低いなどの高出力素子に適した特性を

有することが分った [5]。

5.1.1 2次元デバイスシミュレータと用いた素子構造

用いた2次元デバイスシミュレータは、スタンフォード大学で開発されたPISCES-2ET [6]である。このシミュレータは、ドリフトディフュージョンキャリア輸送モデルを用いたシミュレータであり、GaAs や InP に格子整合するヘテロ接合デバイスの2次元構造シミュレーションが可能である。考慮した項目は、移動度の不純物濃度および電界依存性、不純物の不完全イオン化、オージェ再結合である。各混晶半導体のパラメータは、主に2元系からの内挿値を用い、また重要なパラメータについては測定値を用いた。ちなみに、InP に格子整合する $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ と $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ の伝導帯バンドオフセットは 0.5V を用いている [7]。

図 5-1 に、シミュレーションに用いたダブルドープHJFET(DHJFET)構造を示す。 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ バッファ層の上に電子供給層、スペーサ層、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ チャネル層、スペーサ層、上部電子供給層、ショットキー層、そしてコンタクト用の n^+ - $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層を有している。素子はシングルリセスゲート構造を想定しており、ゲート長は $0.15\mu\text{m}$ 、ゲートとリセス端の距離は $0.3\mu\text{m}$ である。



*InAlAs及びInGaAsのIn組成は0.52,0.53

図 5-1 シミュレーションに用いたダブルドープHJFET構造

一方、シングルドープHJFET(SHJFET)構造は、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ チャネル層の上に $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 電子供給層を配した構造のHJFETであり、このチャネル下の電子供給層をアンドープとしたただけであり、層の厚さなどは変えていない。結晶中の残留不純物としては、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ で $1 \times 10^{15}\text{cm}^{-3}$ 、 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ で $5 \times 10^{14}\text{cm}^{-3}$ のドナーを考慮した。また、リセス表面には $1 \times 10^{12}\text{cm}^{-2}$ のアクセプタ型の表面準位を禁制帯の中央に設けた。表面準位濃度は、表面空乏層の厚さに影響する重要なパラ

メータであり、ドレイン電流に大きく影響する。そこで、0 から $1 \times 10^{14} \text{cm}^{-2}$ の範囲で様々に変え、各報告値と合うように最適化した。またシミュレーションの結果は、この値により定性的には変わることが無いことを 3×10^{11} から $3 \times 10^{12} \text{cm}^{-2}$ の範囲で確認した。

5.1.2 シミュレーション結果と考察

最初にドレインコンダクタンス特性を比較検討するために、ドレイン電流がおおよそ等しくなるようにドナー濃度を様々に調節した。図 5-2 に、ゲートバイアス (V_g) -0.8V としてドナー濃度 (N_d) を変えた場合のドレイン I-V 特性を示す。実線が DHJFET、破線が SHJFET であり、ドナー濃度とドレインコンダクタンス (g_d) をまとめて示してある。この $V_g = -0.8\text{V}$ は $6.0 \times 10^{18} \text{cm}^{-3}$ のドナー濃度を有する SHJFET のピンチオフ電圧の半分である。この図 5-2 から、ドナー濃度の増加に伴って、ドレイン電流とドレインコンダクタンスが増加する様子が分かる。すなわち、電流の小さな FET では大きな差異は認められないものの、 $V_g = -0.8\text{V}$ でのドレイン電流 (I_d) が 400mA/mm を超える SHJFET のドレインコンダクタンスは急激に増加することが分かった。これについて以下に考察する。

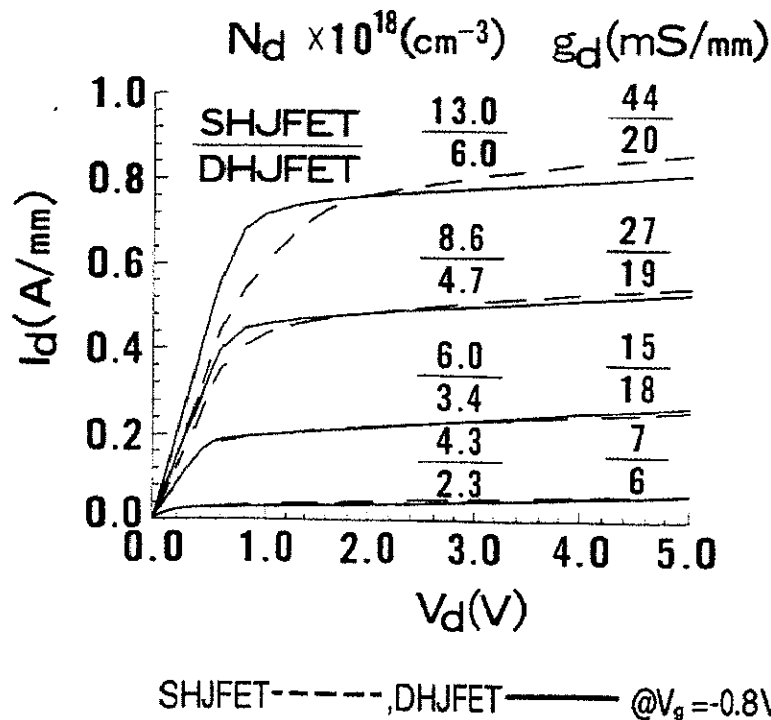


図 5-2 $V_g = -0.8\text{V}$ として N_d を変えた場合のドレイン I-V 特性

今後は差異が認められた $8.6 \times 10^{18} \text{cm}^{-3}$ の SHJFET と $4.7 \times 10^{18} \text{cm}^{-3}$ の DHJFET を比較する。図 5-3 に、それぞれの HJFET の $V_g = -0.8\text{V}$ においてドレインバ

イアス (V_d) を様々に変えた場合の $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ チャンネル層中央での電界分布を示す。この図より、SHJFETはゲート端での電界集中が激しいことが分かった。さらに、ドレインバイアスの増加に伴って、SHJFETは急激に電界が増加するのに対して、DHJFETは緩やかに増加するとともにドレイン側に高電界領域が伸びることも分かった。この差はポテンシャル解析より、ゲート下の電子供給層の濃度差によりゲート周りのポテンシャルの様子が異なることによることが判明した。この結果は、DHJFETがSHJFETより実行的に長いゲート長を有することを示唆する。ゲート長が長くなることに伴うドレインコンダクタンスの低下が報告されている [8] ことより、DHJFETの低いドレインコンダクタンスはこの実効的ゲート長の増加によると判断される。

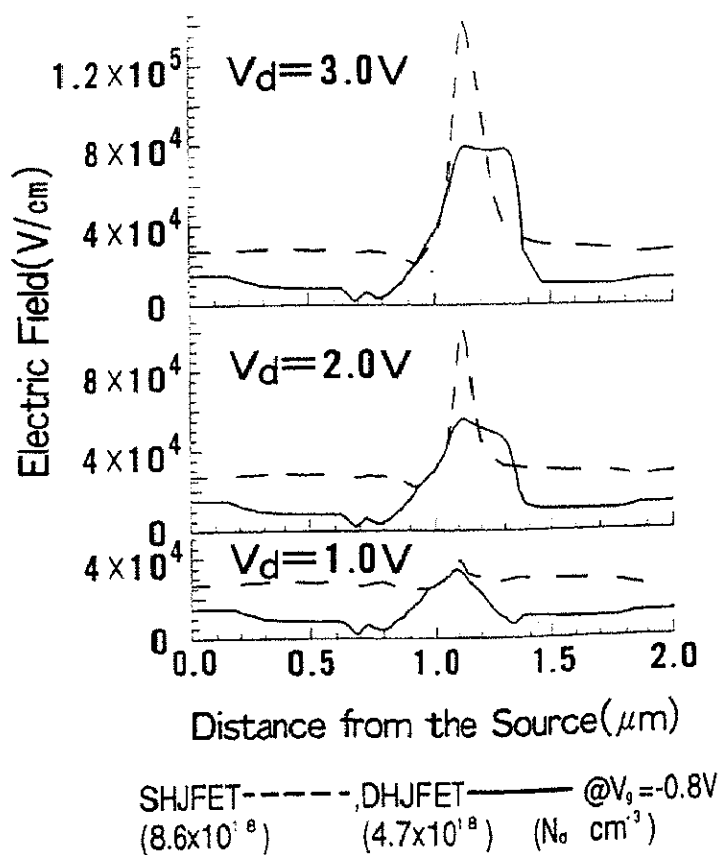


図 5-3 $V_g = -0.8\text{V}$ における $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ チャンネル層中央での電界分布

また、ショットキー層中央での電界分布比較においても、シングルドープHJFETはダブルドープHJFETより電界が高いことが分かった。この傾向はドナー濃度の減少に伴って差異は小さくなるが、ダブルドープHJFETが逆に大きくなることは認められなかった。シングルドープHJFETは、ダブルドープHJFETと同じ電流密度を得るためには図 5-2 で示したように、ドナー濃度を高めなけれ

ばならないが、この高い濃度の電子供給層によりゲート-ドレインバイアスのほとんどがショットキー層内で消費されるため電界が高くなる。ゲートからトンネルでショットキー層に注入される電子がアバランシェブレークダウンの原因であるとする[9]ならば、ショットキー層内電界の低いダブルドープHJFETはシングルドープHJFETより高いゲート耐圧を有すると考えられる[10]。

図 5-4 に、ドレインコンダクタンスが増加したSHJFETのゲートのドレイン端での電子濃度分布を表面から深さ方向に示す。深さ 39 から 69nm の領域が $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ チャネル層に相当する。SHJFETはドレインバイアスが小さい時は、ゲート側の $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 界面に電子をとじ込めているが、ドレインバイアスが 2V から 3V へと増加するに伴って後側の界面にも電子が蓄積されることが分かった。SHJFETにおけるドレインコンダクタンスの増加は、この後側の界面での電子濃度の増加が原因であろうと推察する。一方DHJFETにおいては、チャンネル内での電子分布の変化は小さいことが分かった。したがって、DHJFETのドレインコンダクタンスが小さい理由としては、ドレインバイアスによるチャンネル電子濃度の変化が小さいことと、先に示したように実行的なゲート長がSHJFETより長いことによると考えられる。

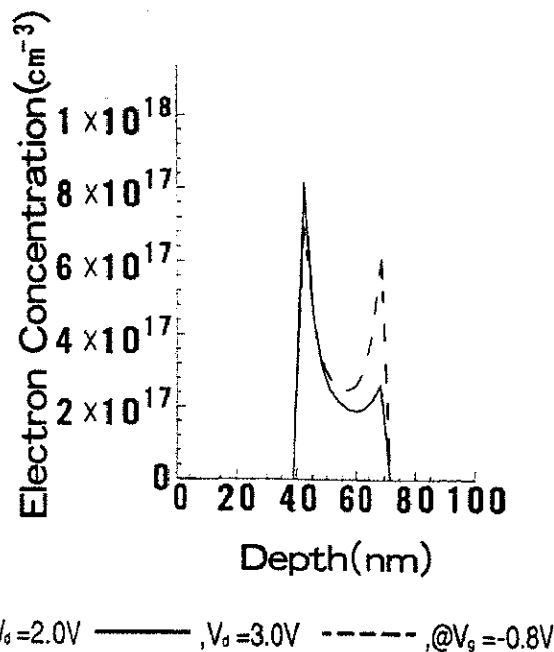
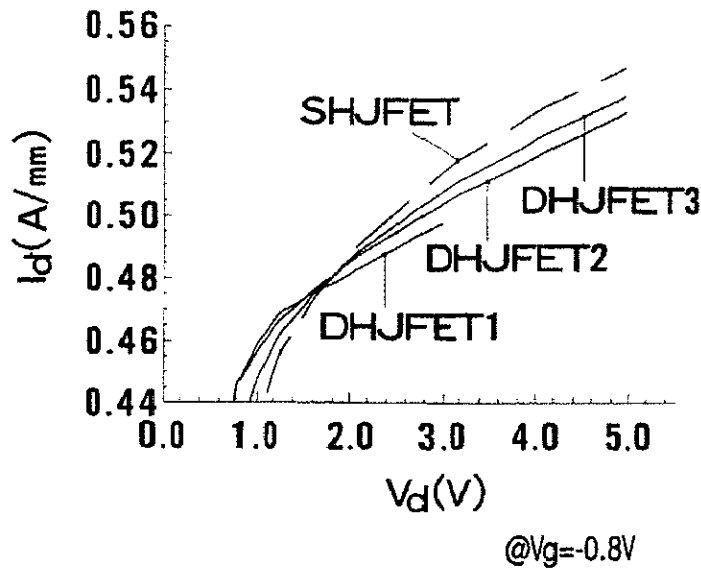


図 5-4 SHJFETのゲートのドレイン端での電子濃度分布

これまでの検討は、DHJFETの上と下の電子供給層で同一のドナー濃度を用いてきたが、これを独立に変えることも可能である。これもDHJFETの大きな特徴であり、これにより相互コンダクタンスはもとより、以下に示すようにドレイ

ンコンダクタンスもデザインできることが判明した。図 5-5 に、上と下の電子供給層でドーピング濃度のバランスを変えたシミュレーション結果を示す。ここでチャンネルの上の電子供給層のドナー濃度を N_{d1} 、チャンネル下の電子供給層のドナー濃度を N_{d2} とする。その結果、チャンネルの上の電子供給層のドナー濃度 N_{d1} を増加させるとドレインコンダクタンスは増加することが分かった。言い換えると、チャンネルの上下にドーピングするシートドナー濃度の比を 60:40 から 100:0 のシングルドープ H J F E T まで増加させるとドレインコンダクタンスは下表にまとめたように、倍近くまで増加することが分かった。この傾向も、図 5-4 で示した上下のヘテロ界面での電子濃度の増加で説明することができる。



FET	N_{d1} (cm^{-3})	N_{d2} (cm^{-3})	$N_{d1} \times 6\text{nm} : N_{d2} \times 2\text{nm}$	g_d (mS/mm)
DHJFET1	3.2×10^{18}	6.4×10^{18}	60:40	16.7
DHJFET2	4.7×10^{18}	4.7×10^{18}	75:25	18.8
DHJFET3	7×10^{18}	1.8×10^{18}	92:8	21.9
SHJFET	8.6×10^{18}		100:0	26.9

図 5-5 上下電子供給層でドーピング濃度のバランスを変えたシミュレーション結果

次に、ダブルドープ H J F E T の低い飽和ドレイン電圧について考察する。ドナー濃度が高い $6 \times 10^{18} \text{cm}^{-3}$ の DH J F E T と $1.9 \times 10^{19} \text{cm}^{-3}$ の SH J F E T においては、 $V_g = -0.8\text{V}$ 、 $V_d = 1.0\text{V}$ の条件で、DH J F E T のドレイン電流は飽和しているが SH J F E T では十分な飽和は得られていない。図 5-6 に、このバイアス条件での等電位線図を示す。このとき、チャンネル内の等電位線の間隔を比較すると、SH J F E T

は等間隔であるが、DHJFETのゲートのドレイン端でのポテンシャルは詰っており、電界が高いことを示している。すなわち、DHJFETは低いドレインバイアスでチャンネルの電界を高めることができることが分かった。これがDHJFETのより低い飽和ドレイン電圧の原因であると考えられる。しかしながらDHJFETは、ドレインバイアスを高めていっても、図 5-3 で示したように、ゲートのドレイン端での電界はSHJFETのように単調に高くなる。したがって、低電圧かつ高耐圧素子構造であると結論できる。またSHJFETは、高い電流を得るためには、ドーピング濃度を高める必要があるが、そうすると電子供給層がたかもポテンシャルシールド面として働くことも分かった。

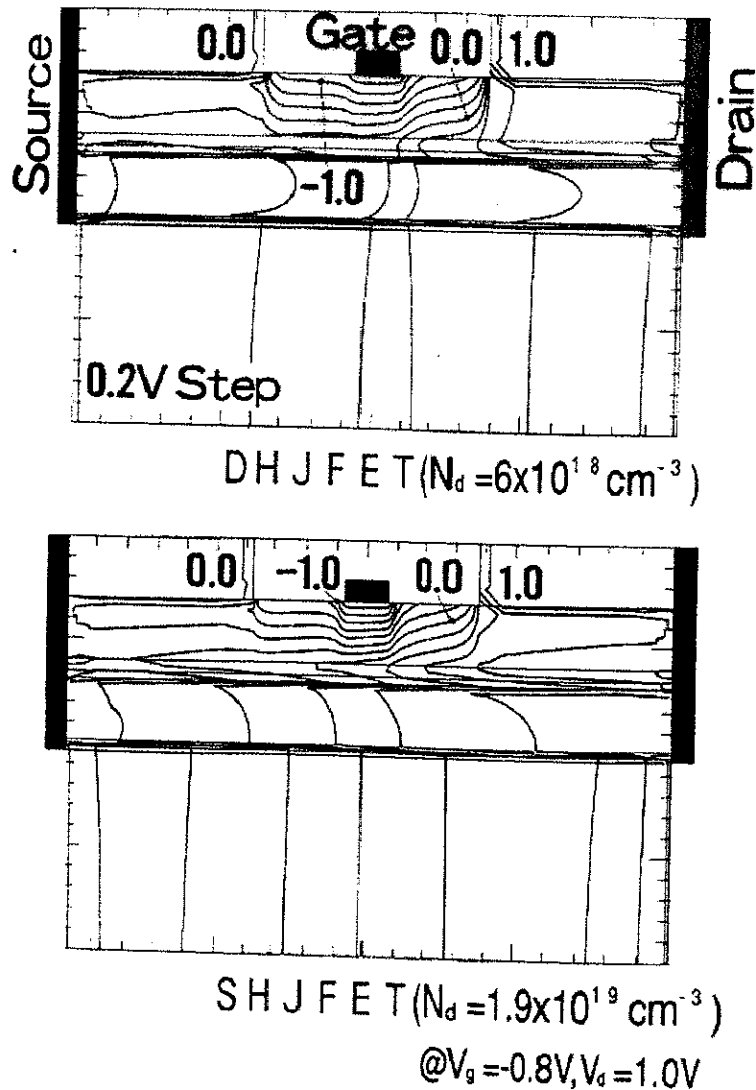


図 5-6 $V_g = -0.8 \text{ V}, V_d = 1.0 \text{ V}$ での各HJFETの等電位線

5.1.3 まとめ

2次元デバイスシミュレータにより InP 系のシングルおよびダブルドープ構造 H J F E T の D C 特性を解析し、比較検討した。その結果、ダブルドープ H J F E T はシングルドープ H J F E T より、

1. ドレインコンダクタンスが低い、
 2. ゲートのドレイン端での電界が低い、
 3. 飽和ドレイン電圧が低い、
- ことなどが分かった。

これらの特長より、ダブルドープ H J F E T は低電圧で動作する高周波帯高出力素子に適していると判断する。

[5.2] GaAs系ダブルドープHJFET

この節では、GaAs基板上に作製する $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ ヘテロ接合を用いたFETの設計を行う。ヘテロ接合構造は、前節までの結果をもとにして、Si-doped $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}/\text{Si-doped Al}_{0.22}\text{Ga}_{0.78}\text{As}$ 構造を基本としたダブルドープダブルヘテロ接合構造を採用する。このGaAs系ダブルドープHJFETは、第3章で検討した良好な伝導特性と高い熱安定性に加えて、GaAsMESFETや低雑音HJFET製品などの生産で成熟した作製プロセス技術が利用できる特長がある。設計では、まずダブルドープダブルヘテロ接合構造について、低電圧動作の高出力素子に相応しい構造を検討する。次に、最大ドレイン電流とゲート耐圧のトレードオフ関係や素子表面の問題を回避するために、ダブルリセスゲート構造を検討する。このダブルリセスゲート構造の形成には、ヘテロ接合構造を生かした選択ドライリセスエッチングの適用が有効である。基本的にはこれら2つの検討で低電圧動作の高出力素子に相応しい特性が得られるが、今後のより一層の低電圧動作化と単一正電源動作のためのエンハンスメント型化に対応するために、ヘテロ接合構造のFETにおいてオン抵抗を低減する構造の提案と検討を最後に示す。

5.2.1 Si-doped AlGaAs/InGaAs/Si-doped AlGaAs 構造

GaAs基板上のダブルドープダブルヘテロ接合構造としては、第3章の結論を基にSi-doped $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}/\text{Si-doped Al}_{0.22}\text{Ga}_{0.78}\text{As}$ 構造を基本とした。用途に合わせた詳細な設計項目としては、

1. 上部および下部電子供給層のドーピング濃度と厚さ
2. チャンネル層の厚さ
3. 電子供給層とチャンネル層の間のスペーサー層の厚さ
4. 上部電子供給層上のショットキー層の厚さ

があげられる。なお、ショットキー層より上のダブルリセス構造やオーミックコンタクト形成用の高濃度n型GaAs層の設計については、次の5.2.2および5.2.3で示す。

基板の上に形成するバッファ層の構造については、GaAs基板上にGaAs層をいったん配した上に200nm程度の $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$ 層を形成したものかAlGaAs/GaAs

構造を数周期繰り返したものをを用いた。いずれの構造も、大きな差異は認められなかった。基本的には、成長界面での欠陥や汚染不純物の影響を能動層部分に伝えない厚さや構造であることと、バッファ層自体が不要な伝導特性を示さないことが肝要である。

ここで、小型移動体通信端末用の低電圧動作高出力素子への要求項目は、第2章でも示したが、

- I. オン抵抗が低いこと(5.2.2 および 5.2.3 でも検討)、
 - II. 負で低いしきい値電圧か正のしきい値電圧であること、
 - III. 最大ドレイン電流が大きいこと(GaAsMESFETの2倍程度)、
 - IV. ゲート耐圧が充分高いこと(Liイオン電池1セルの動作では13V程度)、
 - V. 相互コンダクタンスのゲートバイアスに対する線形性が高いこと(低歪化)、
- と、まとめることができる。

IとIIIは、後の第6章で詳細に検討するように小型で出力特性に優れた高出力素子の実現に重要なパラメータであるが、第2章で検討したように、ゲート幅当たりのオン抵抗が低いFETはチャンネルの電子濃度が高いので、最大ドレイン電流も大きい傾向がある。しかしながら低電圧動作では、低いドレイン電流(最大ドレイン電流(I_{max})の10%程度)に設定したうえに、出力整合回路の負荷インピーダンスの設定において負荷を高め(いわゆる負荷線を寝かした状態)に設定するため、最大ドレイン電流を利用するような動作は行わないのが一般的であるから、ゲート幅当たりのオン抵抗さえ低ければ最大ドレイン電流は特に大きい必要は本来無い。これらとIIの「負で低いしきい値電圧か正のしきい値電圧」は相反する要求である。この相反する要求を満たすには、各層の薄層化と電子供給層の高濃度化が必須である。

IVの「充分なゲート耐圧」は低電圧動作ではあまり問題にならないようにも感じられるが、Liイオン電池1セルの動作で13V程度は必要である。通常の高出力動作では動作電圧の2倍にピンチオフ電圧を足した値でよいが、高効率動作を想定した場合は、高調波成分に配慮した高い耐圧が必要である[11]。すなわち、Liイオン電池1セルの動作では、充電直後の電圧(4V)の3倍にピンチオフ電圧(~1V)を足した程度(13V)は必要である。FETにおけるゲート耐圧と最大ドレイン電流はトレードオフの関係にあることは良く知られており[12, 13]、この13Vと最も高い最大ドレイン電流が得られるHJFET構造の実現が重要である。

Vの「高い線形性」については、各種デジタル携帯電話の厳しい歪規格の達成には不可欠である。FETでは各素子パラメータ(相互コンダクタンスやゲートソース容量)のゲートバイアスに対する依存性が歪特性と関連がある[14]ことから、素子設計には十分な配慮が必要である。[5.1]節で示したように、ダブルドープHJFETは、上下の電子供給層を任意に設計できるので、素子特性の線形化には有利である。先に示した1から4までの詳細設計項目は、互いに密接に関係しており、選択の範囲は広いが、IからVまでの低電圧動作の高出力素子への要求項目により大きな制約を受けるため、以下に示すようにHJFETの構造を決めていくことができる。

まず、チャンネル層の $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ は $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$ に挟みこまれているので、これを薄くすると量子準位が井戸底より上昇し、見かけ上の伝導帯バンドオフセットが減少する。こうなると、溜め込める電子濃度が減少し、最大ドレイン電流の減少につながるので、結晶弾性的に許容できる最大の厚さ(十数 nm)を選んだ[15, 16]。このチャンネル層は電子の波動関数程度の十数 nm と薄いため、両側の電子供給層から生じた電子は、それぞれの界面に強く局在せずにはたがって、ダブルチャンネルの2次元電子ガスFETのような動作はしない。したがって、相互コンダクタンスのゲートバイアス依存性は、ふたこぶラクダの背中のような形状にはならず、矩形に近い形状の特性(図7-27参照)の実現が可能である。

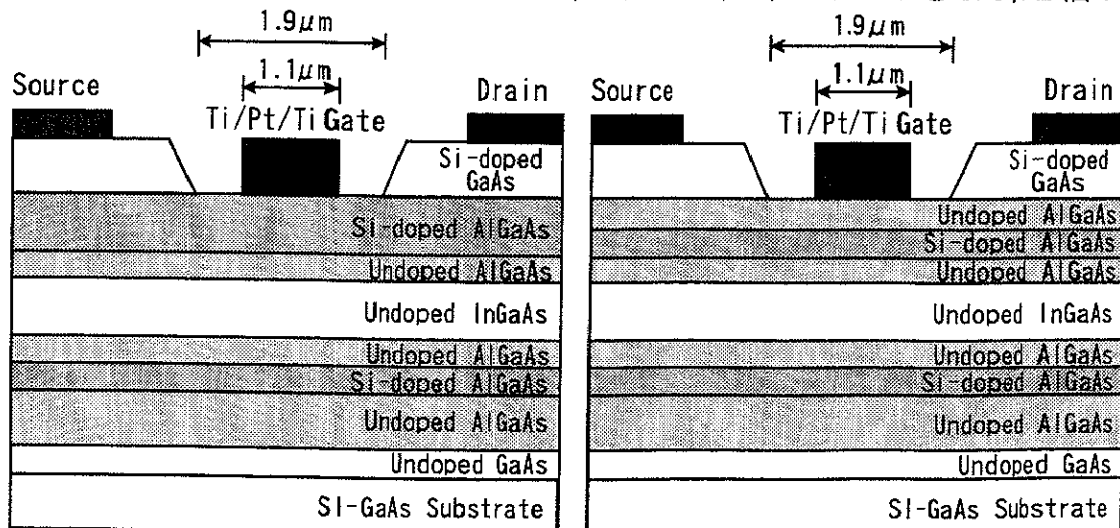
アンドープ $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$ からなるスペーサー層はチャンネル層中の電子が電子供給層のドナー散乱を受けないようにすることにより電子移動度を確保する重要な層であるが、この厚さの増加にともなってチャンネル層中の電子濃度が低下することは良く知られている[17]。ここでは、高いシートキャリア濃度の必要性と薄層化の制約から、1~2nmとした。

なお、以下に示す能動層の設計には、1次元のデバイスシミュレータ[18]を用いた。このシミュレータは、ヘテロ構造での量子効果を考慮したうえで、セルフコンシステントに電荷制御解析ができる[18]。このシミュレータを用い、ゲート下、リセス下、オーミック下の3領域に分けてそれぞれの領域で伝導帯バンド構造と各層のシートキャリア濃度を求め、その後これら3領域の結果を比較検討することで素子設計を行った。前節で用いた2次元デバイスシミュレータは、ヘテロ構造を含んだオーミック領域の計算ができないこと、各領域の効果が独立に分からないことと、計算時間がかかり実際的でないことから用いなかった。なお、シミュレーションでは、ゲートバイアスに対するシートキャ

リア濃度の変化や伝導帯バンド構造が求まるだけであり、正確なしきい値電圧や最大ドレイン電流が設計できるわけではなく、およその見積もりが可能な程度である。したがって、このシミュレーションを用いた設計により試作を行い、この評価データをシミュレーションにフィードバックして精度を高めている。現在はデータの蓄積が進み、設計の精度は高まっており、しきい値電圧で数十 mV、最大ドレイン電流で数十 mA レベルの精度で設計が可能である。特に、試作評価を終えた素子に最適化指針を与える設計に関しては、高い精度で行うことができる。

次に、ショットキー層と上下の電子供給層を検討した。低歪化のために、相互コンダクタンスのゲートバイアスに対する高い線形性を得るためには、上下の電子供給層からチャンネル層に発生する電子濃度のバランスが重要である。[5.2]節の 2 次元デバイスシミュレーションでも同様の結果を得たが、上下電子供給層のシートドーピング濃度(ドーピング濃度×層厚)の比が、およそ 3 : 1 から 4 : 1 程度で線形性の高い台形形状の相互コンダクタンスのゲートバイアス線形性が得られた。具体的な例は、7.3.1 と図 7-27 に示す。

ところで、上部電子供給層には、ショットキー層と電子供給層の区別無くドナーを一様にドーピングする(アンドープショットキー層無し)構造と $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$ 層中でショットキー層と電子供給層を区別し、ドナーをチャンネル層寄りの狭い範囲に高濃度ドーピングした(アンドープショットキー層有り)構造が考えられる。これらの得失を、 $1.1\mu\text{m}$ 長の Ti/Al/Ti ゲートを $1.9\mu\text{m}$ 幅の



a) アンドープショットキー層無し構造 b) アンドープショットキー層有り構造

図 5-7 ダブルドーピング HJ FET の構造

リセス構造の中央に形成した簡易なHJFET試作を通して比較検討した。図5-7に、検討したダブルドープHJFETの構造をそれぞれ示す。リセス構造は、ウエットエッチングで形成した。

まず、 I_{\max} とゲート-ドレイン電流 $-1\text{mA}/\text{mm}$ で定義したゲート-ドレイン間の2端子耐圧(BV_{gd})の関係を調べた。図5-8に、 I_{\max} と BV_{gd} の関係を示す。ばらついている測定点は、多段階に分けて行ったウエットエッチングによるリセス形成工程の不安定さによるものであるが、同じ I_{\max} の素子を比較すると、アンドープショットキー層有り構造のHJFETの方が、アンドープショットキー層無し構造より高い耐圧が得られた。これは、ゲート電極直下の $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$ 層の伝導帯バンドベンディング構造が異なるためと考えられる。すなわち、アンドープショットキー層有り構造では、このアンドープショットキー内にゲートバイアスが一定電界でかかることより比較的低電界であるが、アンドープショットキーが無い一様ドープ構造HJFETの $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$ 層は放物線状の伝導体バンド構造を示すのでゲート直下が特に高電界であることに起因していると推察される。 I_{\max} と BV_{gd} のトレードオフ相関を改善したアンドープショットキー層有り構造HJFETは、所望の I_{\max} に対してより高い BV_{gd} を設計できるので、より優れた構造であると結論できる。

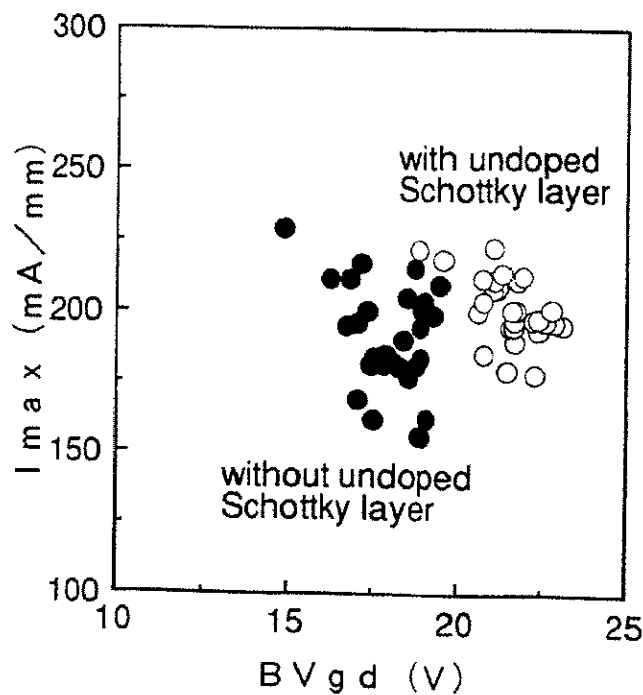


図5-8 I_{\max} と BV_{gd} の関係

また、アンドープショットキー層有り構造HJFETの長所は、飽和ドレイン電圧特性にも見られた。図5-9に、実効的なニー電圧(V_{ek})と I_{max} の関係を示す。最大ドレイン電流が飽和するニー電圧は、素子のドレイン電流飽和特性によっては定義しにくいことと、移動体通信端末での低電圧動作では、ドレイン電流を絞って(最大ドレイン電流(I_{max})の10%程度)に設定したうえで、出力整合回路の負荷インピーダンスの設定において負荷を高め(いわゆる負荷線を寝かした状態)に設定するため、利用するドレイン電流としてはせいぜい100mA/mm程度である。そこで、ここでは $V_g=0.5V$ のときに、ドレイン電流が100mA/mmとなるドレイン-ソース電圧を仮に V_{ek} と定義する。図5-9から分かるように、アンドープショットキー層有り構造の V_{ek} は0.35から0.45V程度、一方アンドープショットキー層無し構造の方が低いことが分かった。これは、 $V_g=0.5V$ とゲート電極を正にバイアスした場合、ゲート電極直下の $Al_{0.22}Ga_{0.78}As$ 層中に電子が溜まり、これがソースからドレインへ伝導する、いわゆる実空間遷移の伝導によるものであることが1次元のシミュレーションから判明した。実空間遷移伝導では、移動度の低い $Al_{0.22}Ga_{0.78}As$ 層中を伝導するため、この割合がチャネル電子の伝導と比較して多くなると、 V_{ek} は高くなる。シミュレーションの結果、アンドー

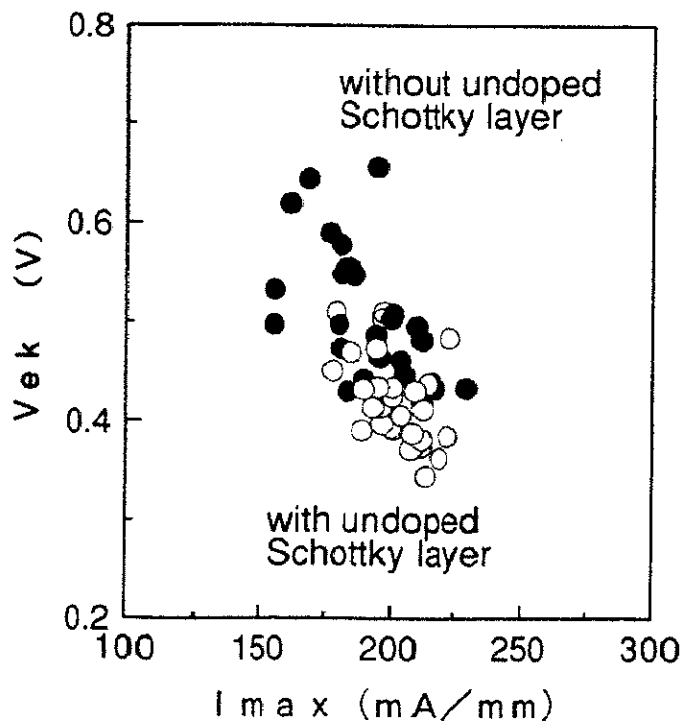


図5-9 実効的なニー電圧(V_{ek})と I_{max} の関係

プショットキー層有り構造では全体の電子濃度の 5%が、またアンドープショットキー層無し構造では 11%が実空間遷移伝導していることが分かり、 V_{ek} の差が説明できた。アンドープショットキー層の無い一様ドーピング構造では、チャンネル層への電子供給にほとんど寄与しないゲート電極直下の $Al_{0.22}Ga_{0.78}As$ までドーピングされているため、先の耐圧の考察でも問題になったこの部分の放物線状の伝導帯バンドベンディング構造により、電子がこの層中に溜まりやすくなることが分かった。

以上より、ダブルドーピングダブルヘテロ構造として、十数 nm 厚の $In_{0.2}Ga_{0.8}As$ チャンネル層の上下に 1~2nm 厚の $Al_{0.22}Ga_{0.78}As$ スペース層を配し、さらにその上下に薄層かつ高濃度ドーピングを行った電子供給層を設け、上部電子供給層の上にはアンドープ $Al_{0.22}Ga_{0.78}As$ ショットキー層を配するとした設計指針を得た。また、歪特性に配慮し、相互コンダクタンスのゲートバイアスに対する高い線形性を得るには、上下電子供給層のシートドーピング濃度の比が、およそ 3 : 1 から 4 : 1 程度が適当であることも分かった。

5.2.2 ダブルリセスゲート構造

能動層の上にオーミックコンタクト用の高濃度 n 型層を配した FET 用のエピタキシャルウェーハ構造では、ゲート電極形成のために、その高濃度層を除去するリセスエッチング工程が必須である。そして、そのリセス距離は、ゲート耐圧に配慮する必要がある。最も簡単な 1 段のリセスゲート構造では、4.1.1 で示したように、このリセス領域の半導体表面の欠陥準位が引き起こす問題が生じた。一方、ダブルリセスゲート構造は、4.1.1 で検討したように、そうした表面の効果がおよびにくく、表面状態に鈍感な FET の実現が可能である。しかも、最大ドレイン電流とゲート耐圧のトレードオフの関係 [12, 13] を 5.2.1 と 7.1.2 の比較から分かるように、大幅に改善することができる。

このような特長を有するダブルリセス構造であるが、低電圧動作高出力 HJFET 用に設計するにあたっては、

1. オン抵抗が低いこと (5.2.3 でも検討)、
 2. 最大ドレイン電流が大きいこと (GaAsMESFET の 2 倍程度)、
 3. 表面の効果を抑制できること、
 4. ゲート耐圧が充分高いこと (Li イオン電池 1 セルの動作では 13V 程度)、
- に配慮する必要がある。1 と 2 については、5.2.1 でも検討したとおり、同じ

指針で設計できる。図 5-10 に、H J F E T のオン抵抗の構成要素説明図を示す。なお素子は、ドライリセスエッチングでダブルリセス構造を形成するウェーハ構造で示している。オン抵抗は、ソースおよびドレイン下のコンタクト抵抗とソース-ゲート間のリセス領域の抵抗、ゲート下のチャンネル抵抗、ゲート-ドレイン間のリセス領域の抵抗からなる。オン抵抗の低減には、これらの抵抗成分の低減が課題であるが、リセス構造の最適化で低減が可能な抵抗は、ソース-ゲート間のリセス領域の抵抗とゲート-ドレイン間のリセス領域の抵抗である。すなわち、この領域の抵抗(Δr_{on})は、それぞれのリセス距離(L)、リセス領域のチャンネルのシートキャリア濃度(N_s)、電子移動度(μ)、ゲート幅(W_g)、電子の素電荷(e)を用いると、

$$\Delta r_{on} = \frac{L}{eN_s\mu W_g} \quad (5.1)$$

と表せる。これより、リセス距離を狭めることが肝要であることは容易に理解できる。 N_s は、1次元のシミュレーションから得られ、ゲートリセス構造を深めに形成すること(ワイドリセス領域での表面からチャンネルまでの距離が充分にあること)という設計指針も容易に得られ、定性的にも理解しやすい。すなわち、表面欠陥準位により形成された表面電位をチャンネルに伝わりにくくすればよいわけである。これは、[4.1]節で検討した内容であり、3の「表面効果の抑制」にほかならない。したがって、ゲートリセス構造は深い程その効果があるわけであるが、深い程、実際にはゲート形成が困難になることやしきい値電圧のばらつきが生じるため、20 から 30nm のゲートリセス深さを用いている。なお、このゲートリセス深さで表面効果の抑制など十分な効果が得られていることを、

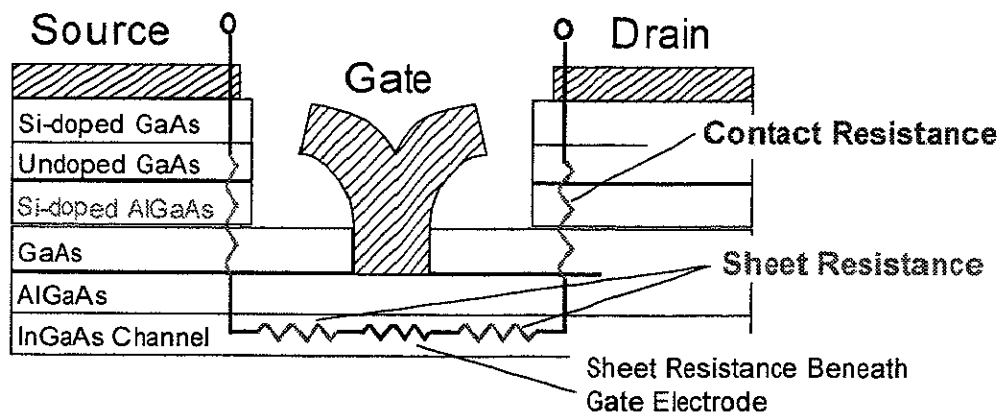


図 5-10 H J F E T のオン抵抗の構成

試作で確認している [19-21]。なお、(5.1)式と1次元のシミュレーションの組み合わせはゲート下の抵抗成分の見積もりにも有効であり、これらにより、コンタクト抵抗を除く抵抗成分が見積もれる [22]。

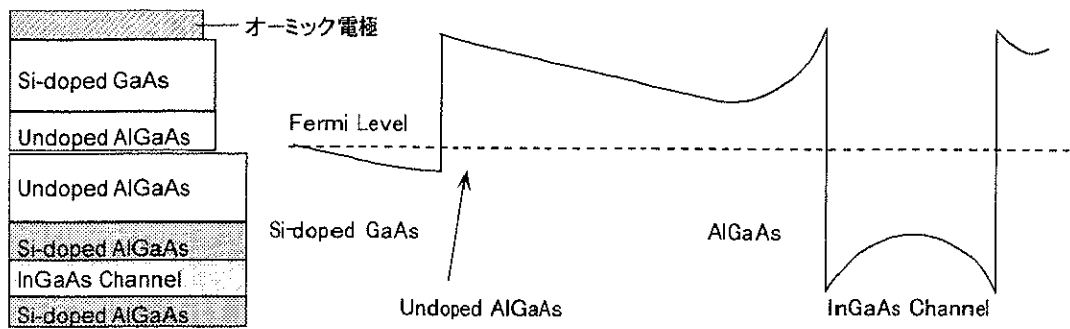
耐圧に関しては、定性的な説明 [12] はあるものの、定量性に乏しく、また素子表面の状態など作製プロセスに依存する部分も大きいので、試作により積み重ねたデータ(たとえば、素子構造に対する I_{\max} と BV_{gd} の相関)より設計を行った方が精度が高い。この例については、次の 5.2.3 に示す。

5.2.3 オン抵抗を低減したダブルドープHJFET構造

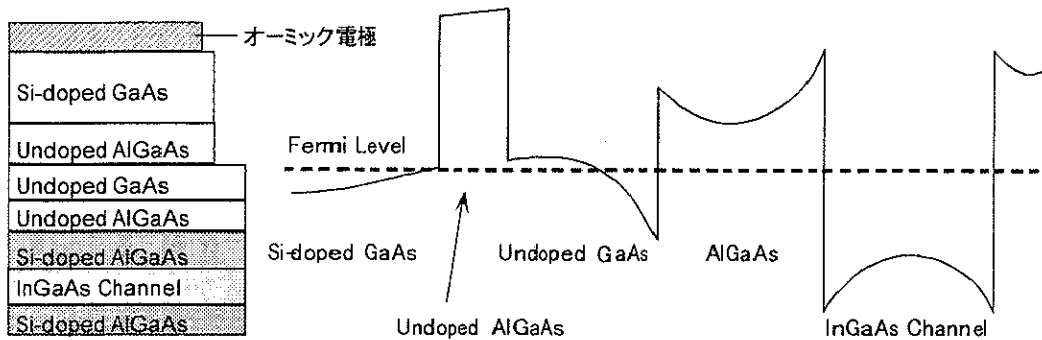
HJFETのコンタクト抵抗は、オン抵抗のおよそ半分を占めるほど大きく、その低減は大きな課題である。コンタクト抵抗は、図 5-10 に示したように、オーミック金属-半導体間接触抵抗とその下からチャンネルまでの半導体中の抵抗に分けられる。特に、ヘテロバリアを越える半導体中の抵抗が高いことが抵抗測定より分かっている。図 5-11 に検討したオーミック電極からチャンネルまでのウェーハ構造と伝導帯のバンド構造を示す。なお、伝導帯バンド構造は1次元のシミュレーション結果であり、ウェーハ層構造ではスペーサー層を省いて表示している。

図 5-11 a) は、ウエットエッチングでダブルリセス構造を形成するHJFETのオーミック電極部分のウェーハ構造とその伝導帯バンド構造である。1段目のワイドリセスの表面は Si-doped GaAs 層下のアンドープ $Al_{0.22}Ga_{0.78}As$ 層であり、2段目のゲートリセス面はそのアンドープ $Al_{0.22}Ga_{0.78}As$ 層のほぼ中央(深さ 20nm 程度)である。このウェーハ構造では、オーミック電極下に厚い $Al_{0.22}Ga_{0.78}As$ 層が高いヘテロバリアを示しながら存在するため、オン抵抗の低減には不向きな構造である。コンタクト抵抗としては、 $1\Omega \cdot mm$ 程度である。また、[4.1]および[4.2]節で示した WSi スパッタゲート形成のための SiO_2 開口プロセスとウエットエッチングによるゲートリセス形成を組み合わせると、ウエットリセスエッチングが少なからず異方性を示すため、埋め込み形状のリセスゲートが形成されやすい [23, 24]。この場合、 $Al_{0.22}Ga_{0.78}As$ 斜面のショットキー高さが底のそれより若干低いため [25]、ゲート順方向のオン電圧は若干低くなる傾向がある。

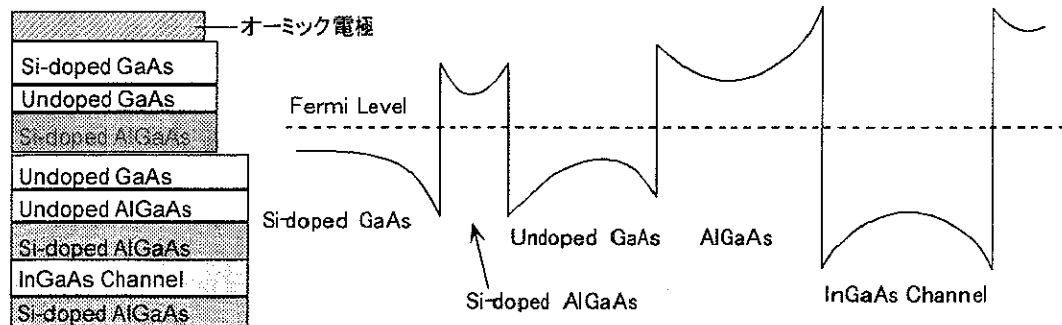
一方、図 5-11 b) は、ドライエッチングでダブルリセス構造を形成するHJFET [26, 27]のオーミック電極部分のウェーハ構造とその伝導帯のバンド構



a) ウエットリセスエッチング用HJFETのオーミック電極下の層構造とそのバンド構造



b) ドライリセスエッチング用HJFETのオーミック電極下の層構造とそのバンド構造



c) 多層キャップ層による低コンタクト抵抗構造とそのバンド構造

図 5-11 様々なオーミック電極からチャネルまでのウェーハ構造とバンド構造

造である。ワイドリセスとゲートリセスをドライエッチングで作製するため、各リセス構造の希望する深さ位置に $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$ 層を配して、ドライリセスエッチングが可能なエピ構造を採用している。したがって、ワイドリセスの表面は Si-doped GaAs 層下のエッチングストップ層であるアンドープ $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$ 層辺りであり、ゲートリセス面は、その下のアンドープ GaAs 層とアンドープ $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$ 層の界面付近である。2段目のリセスはウエットリセスエッチングによる埋め込みゲート電極構造とは異なり、ゲートの両側に数十 nm 程度の

隙間が開いた構造である。これは、 BCl_3 と SF_6 ガスによる Electron Cyclotron Resonance (ECR) 法によるドライエッチングが等方的なエッチングであることと、 $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$ ショットキー層を完全に露出させるためにオーバーエッチングをかけることにより、そのオーバーエッチング相当の隙間が生じることによる。詳細なドライエッチング条件などは文献[28]を参照して頂きたい。このウェーハ構造では、高いヘテロバリアを示す薄い $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$ エッチングストップ層が必要ではあるが、 $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$ 層の厚さとしては図 5.11 a) のウェットエッチング用構造より薄くなることが特徴である。コンタクト抵抗は、 $1\ \Omega\cdot\text{mm}$ より低く、改善が見られる [26, 27]。これは、 $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$ エッチングストップ層の厚さが 5nm 程度と薄いため、この層のトンネル伝導が比較的容易であるためと推察する。

そこで、この $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$ エッチングストップ層に高濃度の Si ドーピングを行い、ポテンシャルバリアを下げようというアイデアが、図 5-11 c) である [29]。この Si-doped $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$ はアンドープ GaAs に挟まれており、両側の界面のポテンシャルを下げやすくし、電子を多く溜められる構造である。この多層キャップ層を適用した HJFET とこれを適用しない図 5-11 b) 構造の HJFET を試作し、コンタクト抵抗の差を比較した。図 5-12 に、試作した HJFET のリセス構造の説明図を示す。比較検討したエピタキシャルウェーハ構造は、7.3.3 で特性を紹介するしきい値電圧が正の値を示す単一正電源動作が可能な HJFET 用のものである。 L_w はワイドリセス距離、また L_{gdr} はゲートドレイン間リセス距離である。なお、図中で詳細なエピタキシャルウェーハ構造は省略している。

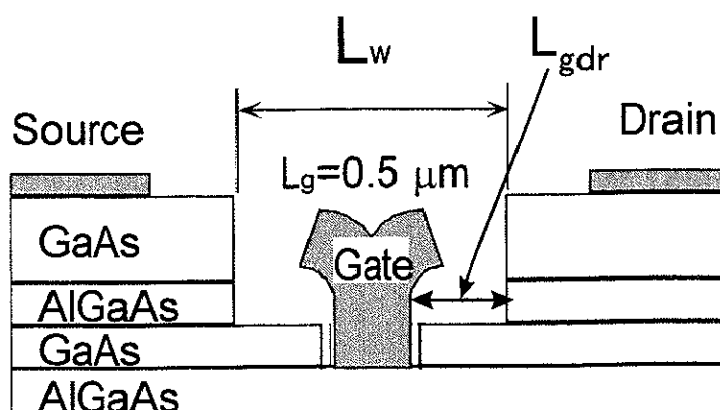


図 5-12 リセス構造の説明図

図 5-13 に、多層キャップ層を適用したHJFETとこれを適用しないHJFETのオン抵抗とワイドリセス距離の関係を示す。多層キャップ層を適用したHJFETのオン抵抗はいずれのワイドリセス距離においても $0.1 \Omega \cdot \text{mm}$ 低いことが分かった。オーミック電極下のキャップ層以外に層構造の差異は無いので、この多層キャップ層はコンタクト抵抗を $0.05 \Omega \cdot \text{mm}$ 低減できることが分かった。

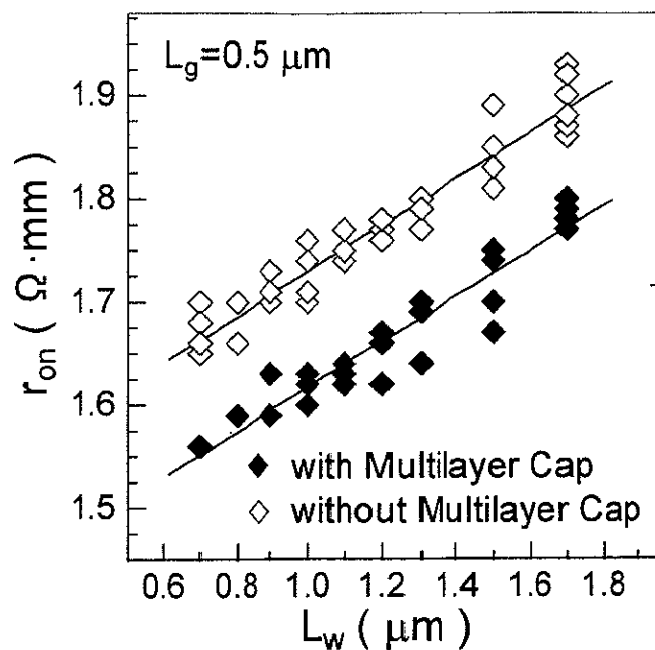


図 5-13 多層キャップ層の有無におけるオン抵抗とワイドリセス距離の関係

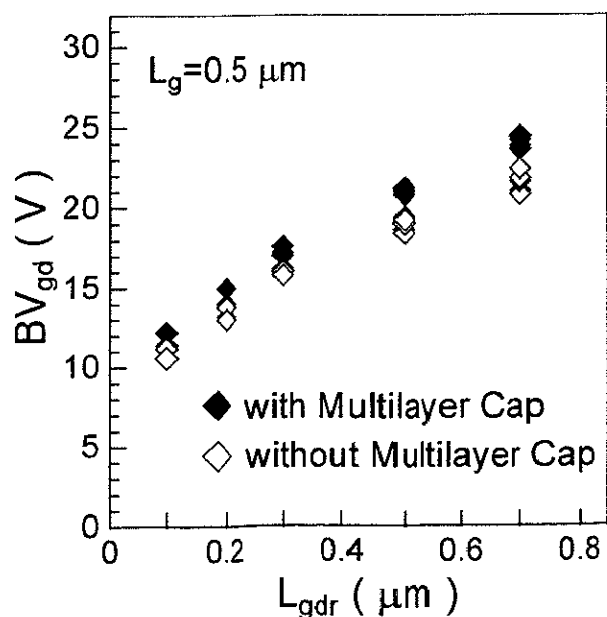


図 5-14 多層キャップ層の有無における BV_{gd} と L_{gdr} の関係

さらに、多層キャップ層を適用したHJFETとこれを適用しないHJFETのゲート耐圧特性も調べた。図5-14に、それぞれのHJFETのゲート-ドレイン間耐圧とゲート-ドレイン間リセス距離の関係を示す。図から明らかのように、この多層キャップ層の導入は、耐圧特性に変化を与えないことが分かった。

多層キャップ層のダブルドープダブルヘテロ構造HJFETへの適用によれば、ドライリセスエッチングプロセスと組み合わせることによりしきい値ばらつきを7.1.2で示すように20mV程度におさえながら、コンタクト抵抗を0.05Ω・mm低減でき、しかも耐圧特性は劣化しないので、極めて好ましいと結論できる。

さらに、この低コンタクト抵抗構造に加えて、ワイドリセス領域のGaAs層の中に高濃度のドナーをドーピングしたHJFETも検討した[30]。図5-15に、この高濃度ドープリセス層と低コンタクト抵抗多層キャップ構造を有するHJFETの構造を示す。図5-11c)ではアンドープGaAsの一層であったワイ

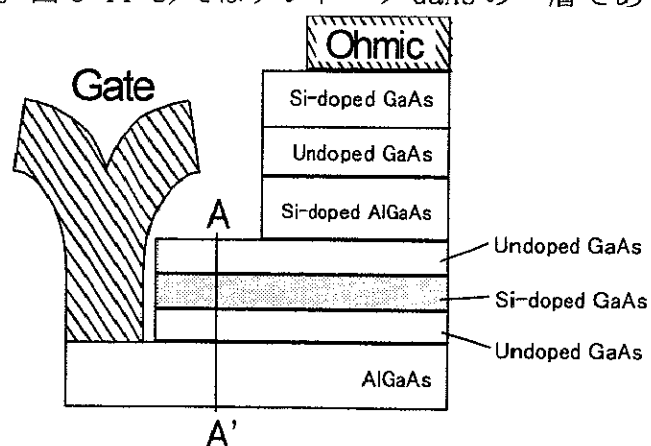


図5-15 高濃度ドープリセス層を有するHJFETの構造

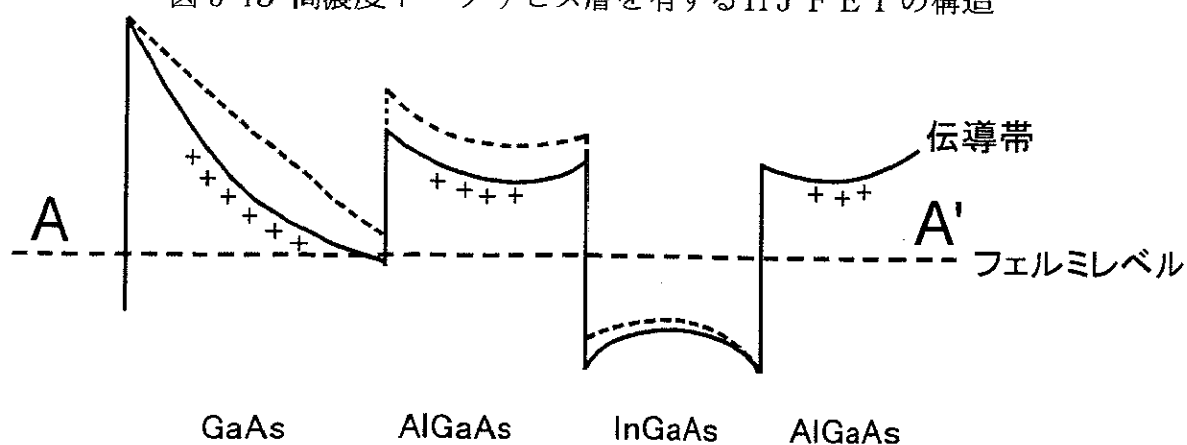


図5-16 図5-15のA-A'間での伝導帯バンド構造

ドリセスのテラス部分の層を Undoped GaAs/Si-doped GaAs/Undoped GaAs の3層に分けている。これにより、このテラス部分のポテンシャルが下がり、チャンネルの電子濃度が高まるとともに、ワイドリセス表面の欠陥準位の効果がチャンネルに伝わりにくくなることも期待される。

図 5-15 で A-A' 間の伝導帯バンド構造を図 5-16 に示す。図中で点線は、高濃度ドープリセス層を有しない H J F E T の伝導帯バンド構造であり、いずれも 1 次元シミュレーションの結果である。ワイドリセス表面の GaAs 層中央のポテンシャルが Si ドナーの高濃度ドーピングにより下がり、これに伴ってチャンネル上部のヘテロ界面のポテンシャルが下がり、電子濃度の増加が確認できた。増加したシート電子濃度は、しきい値電圧が +0.18V の H J F E T において、 $3 \times 10^{11} \text{cm}^{-2}$ であり、約 10% 増加した。この高濃度ドープリセス層と低コンタクト抵抗多層キャップ構造を有する H J F E T の特性は、7.3.3 で示すように、世界最高の効率特性を P D C 規格出力時に達成している。しかしながら、図 5-15 から分かるように、この構造ではゲート電極と高濃度ドープリセス層の間隙が極めて狭く、接触しないように注意を払う必要がある。注意深く作製されたこの高濃度ドープリセス層を有する H J F E T の耐圧特性は良好であり、この層を有しない H J F E T と同等である。

この高濃度ドープリセス構造は、しきい値電圧を正にするエンハンスメント型 H J F E T への適用において、ワイドリセス下のチャンネルの電子を枯渇しないようにする有効な構造であると結論できる。現在のところ、この高濃度ドープリセス層と低コンタクト抵抗多層キャップ構造へのドーピング濃度は $4 \times 10^{18} \text{cm}^{-3}$ であり、層厚についても 1 種類検討しただけである。用途に合わせた最適化が必要である。

[5.3] 結論

本章で行った InP 基板上的 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ と GaAs 基板上的 $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ ヘテロ接合系を用いた FET の設計より得られた結論を示す。

2次元デバイスシミュレーターを用いた InP 基板上的 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ ヘテロ接合 FET の設計より、チャンネルの上下に電子供給層を配した構造を特徴とするダブルドープダブルヘテロ接合 FET が、高い電子移動度、高いシート電子濃度、高バイアス時の低いゲート端電界および低いドレインコンダクタンスを示すことから、高出力素子に適した構造であると結論する。

半導体材料系は、GaAs 基板上的 $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ ヘテロ接合系が、現状の成熟した量産作製プロセスが利用できること、ドライリセスエッチングプロセスにより均一に良好な素子特性を再現できることおよびオン抵抗を低減できる多層キャップ構造が適用できるので、良好な特性の FET を実現するうえで有利と結論する。

[第5章 参考文献]

- [1] P. Ho, M. Y. Kao, P. C. Chao, K. H. G. Duh, J. M. Ballingall, S. T. Allen, A. J. Tessmer and P. M. Smith: *Electron. Lett.* 27 (1991) 325.
- [2] L. D. Nguyen, A. S. Brown, M. A. Thompson and L. M. Jelloian: *IEEE Trans. on Electron. Devices* 39 (1992) 2007.
- [3] D. C. Streit, K. L. Tan, R. M. Dia, A. C. Han, P. H. Liu, H. C. Yen and P. D. Chow: *Electron. Lett.* 27 (1991) 1149.
- [4] M. Matloubian, L. D. Nguyen, A. S. Brown, L. E. Larson, M. A. Melendes and M. A. Thompson: 1991 *IEEE MTT-S Digest* (1991) 721.
- [5] 岩田直高, Zhiping Yu, James. S. Harris: 第 55 回応用物理学会学術講演会講演予稿集 19a-W-3 (1994 年 9 月) 1068.
- [6] PISCES-2ET User Manual, Zhiping Yu, *et al.*, Technical Report, Stanford University, Jan. 1994.
- [7] R. People, K. W. Wecht, K. Alavi and A. Y. Cho: *Appl. Phys. Lett.* 43 (1983) 118.
- [8] H. Statz, H. A. Haus and R. A. Pucel: *IEEE Trans. on Electron. Devices* 21 (1974) 549.
- [9] S. R. Bahl and J. A. del Alamo: *Proceedings of the 5th International Conference on InP and Related Materials*, Paris, France (1983) 243.
- [10] H. -F. Chau, D. Pavlidis and K. Tomizawa: *IEEE Trans. on Electron. Devices* 38 (1991) 213.
- [11] K. Mori, M. Nakayama, Y. Itoh, S. Murakami, Y. Nakajima, T. Takagi and Y. Mitsui: *IEICE Trans. Electron.* E78-C (1995) 1229.
- [12] S. H. Wemple, W. C. Niehaus, H. M. Cox, J. V. Dilorenzo and W. O. Schlosser: *IEEE Trans. Electron. Devices* ED-27 (1980) 1013.
- [13] N. Iwata, K. Inosako and M. Kuzuhara: 1993 *IEEE MTT-S Digest* (1993) 1465.
- [14] J. A. Higgins and Reidar L. Kuvås: *IEEE Trans. Microwave Theory Tech.* MTT-28 (1980) 9.
- [15] J. W. Matthews and A. E. Blakeslee: *J. Crystal Growth* 27 (1974) 118.
- [16] R. People: *Appl. Phys. Lett.* 50 (1987) 1604.
- [17] S. Hiyamizu, J. Saito, K. Nanbu and T. Ishikawa: *Jpn. J. Appl. Phys.* 22

- (1983) L609.
- [18] Y. Ando and T. Ito: IEEE Transaction on Electron. Devices 35 (1988) 2295.
- [19] K. Matsunaga, N. Iwata and M. Kuzuhara: Inst. Phys. Conf. Ser. No. 129: Chapter 9, Paper presented at Int. Symp. GaAs and Related Compounds, Karuizawa, 1992, (1992) 749.
- [20] N. Iwata, K. Inosako and M. Kuzuhara: 1993 IEEE MTT-S Digest (1993) 1465.
- [21] K. Inosako, N. Iwata and M. Kuzuhara: IEICE Transaction Electron. E78-C (1995) 1241.
- [22] K. Yamaguchi, N. Iwata, M. Kuzuhara and Y. Takayama: IEEE Transaction on Electron. Devices 45 (1998) 361.
- [23] N. Iwata, H. Mizutani, S. Ichikawa, A. Mochizuki and H. Hirayama: Inst. Phys. Conf. Ser. No. 120: Chapter 3, Paper presented at Int. Symp. GaAs and Related Compounds, Seattle, 1991, (1991) 119.
- [24] N. Iwata, Y. Okamoto and M. Kuzuhara: Inst. Phys. Conf. Ser. No. 129: Chapter 12, Paper presented at Int. Symp. GaAs and Related Compounds, Karuizawa, 1992, (1992) 937.
- [25] S. Sriram, R. C. Clarke, R. L. Messham, T. J. Smith and M. C. Driver, 1989 IEEE Cornell University Conference (1989) 218.
- [26] N. Iwata, M. Tomita, K. Yamaguchi, H. Oikawa and M. Kuzuhara: 1996 GaAs IC Symposium Technical Digest (1996) 119.
- [27] N. Iwata: 1997 Microwave Workshop and Exhibition, Microwave Workshop Digest (1997) 155.
- [28] H. Oikawa, M. Kohno, A. Mochizuki and Y. Nashimoto: Electrochemical Society Proceedings 96(2) (1996) 246.
- [29] 尾藤康則, 岩田直高, 富田正俊: 1998年電子情報通信学会総合大会論文集エレクトロニクス2 (C-10-26, 東海大学) 103.
- [30] 尾藤康則, 岩田直高: 1998年電子情報通信学会エレクトロニクスソサイエティ大会講演論文集2 (C-10-6, 山梨大学) 53.

【第6章】 InP系ダブルドープHJFET

[5.1]節で設計方針を示したが、この系のHJFETは $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ チャネル層の高い電子移動度や $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ ヘテロ接合での大きなバンド不連続量による高い2次元電子ガス濃度などの材料物性の長所から、低いオン抵抗と高い最大ドレイン電流が期待できる。この章では、主に 60GHz 帯での高速無線LAN用の $0.15\mu\text{m}$ 長 Al/Ti/T型ゲートを用いたダブルドープ構造HJFETの試作評価を行った結果[1,2]を示す。また、メサアイソレーションおよびゲートリセス形成には新規に開発した $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ を選択的にエッチングする酒石酸系リセスエッチングプロセスを含めて、作製プロセスも示す。

試作評価の結果、最大ドレイン電流(I_{max})700mA/mmのHJFETにおいて、5.7Vのゲート耐圧(BV_{gd})と30mS/mmという低いドレインコンダクタンス(g_d) (電圧利得:14)を得た。Sパラメータ評価より、ゲート幅(W_g) $50\mu\text{m}$ のHJFETにおいて571GHzの最大発振周波数(f_{max})を、 $W_g=100\mu\text{m}$ のHJFETにおいて115GHzの電流利得遮断周波数(f_T)を得た[1,2]。これらの優れた特性は、ゲート抵抗の低いT型形状の $0.15\mu\text{m}$ 長ゲート、ワイドリセス構造、厚いアンドープ $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ ショットキー層および開発したメサアイソレーションおよび選択リセスエッチングプロセスによる。

[6.1] 素子構造

60GHz帯での高速無線LAN用の高出力ダブルドープ構造HJFETの実現に向

	THICKNESS (Å)	FREE CARRIER CONC. (cm ⁻³)	INDIUM CONTENT
GaInAs : Si	300	2.0 E19	0.53
AlInAs undoped	315	--	0.52
AlInAs : Si	65	6.0 E18	0.52
AlInAs undoped	20	--	0.52
GaInAs undoped	300	--	0.53
AlInAs undoped	20	--	0.52
AlInAs : Si	25	6.0 E18	0.52
AlInAs undoped	7000	--	0.52
InP Semi-insulating substrate			

図6-1 ダブルドープ $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ HJFETのエピタキシャル構造

けて、試作を行った。図6-1に、検討したダブルドープ $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ H J F E Tのエピタキシャルウェーハ構造を示す。このウェーハは、半絶縁性3インチInPウェーハ(100)面上にM B Eにより作製した。エピタキシャル構造の特徴は、チャンネル層の両側にパルス状のドーピングを行なったことと315Åと比較的厚いアンドープ $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ ショットキー層を用いたことである。

[6.2] 作製プロセス

この節では、3インチInPウェーハに対応するH J F E Tスルー作製プロセスの開発について示す。このスループロセスは、微細なパターンの形成においてステップと電子線(E B)露光を用いた精度と再現性の高い目合わせ技術、新規に開発した $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 選択エッチャントによるメサアイソレーションエッチングおよびリセスエッチングプロセス技術を統合したものである。まず、スルー作製プロセスを開発適用したエッチャントとともに示した後に、各エッチャントの検討結果の詳細を示す。

6.2.1 スルー作製プロセス

InP系H J F E Tは、大きく分けると $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ をチャンネル層とするF E T(たとえばこの章で検討するダブルドープ $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ H J F E T)とInPをチャンネル層とするF E T(たとえば[4.3]節で示した $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{n-InP}$ F E T)がある。エピタキシャルウェーハを用いた試作を想定した場合、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ チャンネルF E Tでは、その層構造においてV族が同じ系の $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ と $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ の組み合わせとなるため、選択エッチングは難しいものの、等方性エッチングは比較的簡単である。しかしながらInPチャンネルF E Tでは、その層構造は $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ とInPの組み合わせとなるためV族が異なる系となり、選択エッチングは比較的容易であるが等方性エッチングが逆に困難となる。それぞれの系において、等方エッチャントと選択エッチャントの開発が必要である。一方、パッシベーション前処理に適したエッチャント開発も重要である。Inの酸化物は導電性であり、表面処理を怠れば素子分離が不完全なデバイスとなることは良く知られている[5]。

ここではまず、スルー作製プロセスを開発適用したエッチャントとともに表6-1に示す。また、図6-2には簡易化したスルー作製プロセスを示す。各エッチャントの検討結果の詳細については6.2.2を参照して頂きたい。

表 6-1 3 インチ InP ウェーハを用いたスルー作製プロセス

主な工程	特徴など
1. マークエッチング	硫酸系エッチャント
2. メサエッチング	硫酸系エッチャントによるメサエッチング後に琥珀酸系エッチャントによる $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ チャネル層のサイドエッチング
3. オーミック形成	Au/Ni/AuGe (アロイ用の熱処理は行っていない) ^{*1}
4. リセス形成	EB露光を2回行ったレジストマスクによる琥珀酸系エッチャントによるリセスエッチング。ゲートのドレイン端からリセス端までの距離 (L_{gdr}) は $0.3\mu\text{m}$
5. ゲート形成	Al/Ti リフトオフ形成による $0.15\mu\text{m}$ 長 T 型ゲート
6. 電極形成	ポリイミドを用いたエアブリッジ金メッキプロセス

^{*1} この試作のオーミック形成では、Au/Ni/AuGe によるオーミックの条件として、アロイとノンアロイの両者を検討したが、有為な差を見出すまでには至らなかった。本研究ではノンアロイ試料のデータを示す。

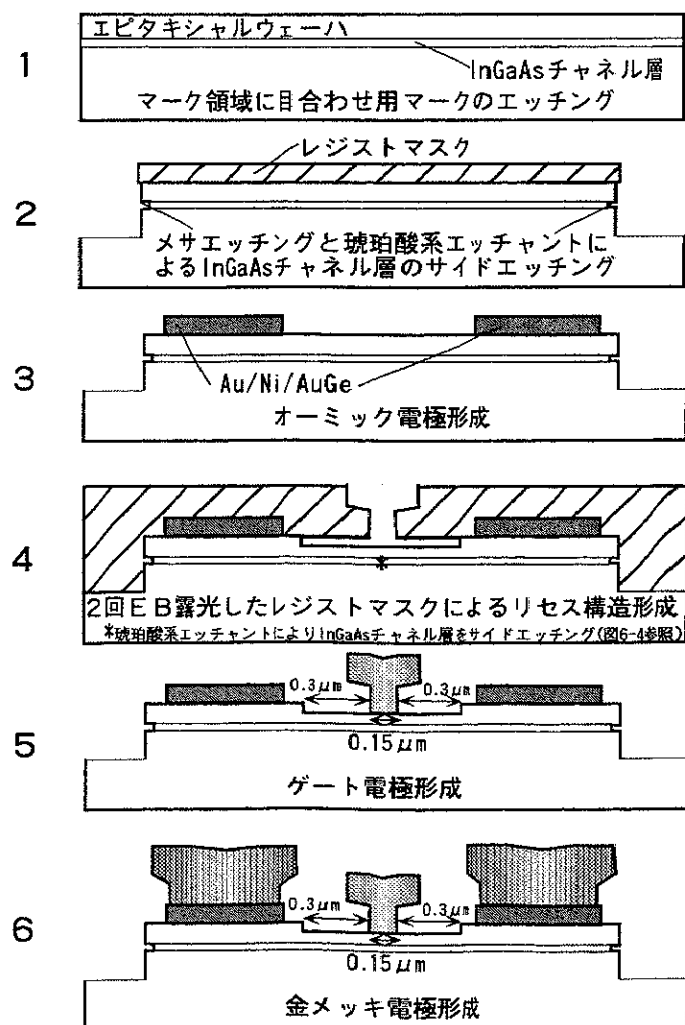


図 6-2 $0.15\mu\text{m}$ 長 T 型ゲートを有する InP 系 HJFET スルー作製プロセス

なお、InP チャンネル FET へのスルー作製プロセスの適用は、表 6-2 を参照してエッチャントを変更すればよい。表 6-2 に、 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ HJ FET および $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{n-InP}$ FET を作製する場合、各作製プロセスに適用するエッチャントをまとめて示す。

表 6-2 各エッチャントの各 HJ FET プロセスへの適用

FET プロセス	$\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ HJ FET	$\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{n-InP}$ FET
マークエッチ	硫酸(1:8:1200)系	硫酸(1:8:1200)系 および塩酸・リン酸系
メサエッチ	硫酸(1:8:1200)系 および琥珀酸系	硫酸(1:8:1200)系 および塩酸・リン酸系
リセスエッチ	琥珀酸系および 硫酸(1:8:1200)系	硫酸(1:8:1200)系

6.2.2 各種エッチャントの開発

以下に、検討した 4 種類のエッチャントの詳細な検討結果を示す。

・硫酸・過酸化水素水・水(3:1:1 @20℃) [以後、硫酸(3:1:1)系エッチャント]

一般的な硫酸系エッチャントであるが、特に組成と温度の最適値を調べた。半絶縁性 InP 基板(100)面上に AZ 系レジストを用いてオリエンタルフラットに対して並行および垂直方向にパターンニングを行い、その試料を用いて検討を行った。なお、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ および $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ のエッチング速度測定用試料としては、分子線成長法で半絶縁性 InP 基板(100)面上に厚く成長したエピタキシャルウェーハを用いた。このエッチャントは、調合時に発熱するので、まず十分に攪拌し、温度が一定になることを確認してから用いた。

図 6-3 に、様々な組成のエッチャントにおけるエッチング速度とエッチャント温度の関係を示す。硫酸(3:1:1)系エッチャントのエッチング速度が最も大きく、エッチャント温度を下げるにしたがってエッチング面は鏡面化する。走査電子顕微鏡によるエッチング断面形状の観察より、最も等方的にエッチングできる条件は、硫酸・過酸化水素水・水が 3:1:1、20℃ のときであることが分かった。なお図 6-3 中に 5:1:1、50℃ のデータが無い理由は、レジストが変質剥離するためである。耐レジスト性に多少問題がある。また、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ および $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ に対するエッチング速度は極めて

大きく、制御は困難である。表 6-3 にエッチング速度をまとめて示す。

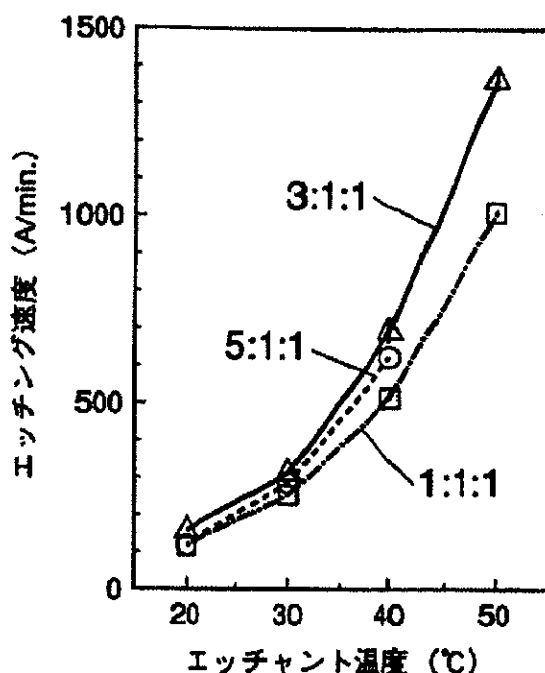


図 6-3 硫酸系エッチャントのエッチング速度とエッチャント温度の関係

表 6-3 硫酸(3:1:1)系エッチャント(@20°C)のエッチング速度

	$\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	$\text{In}_{0.52}\text{Al}_{0.48}\text{As}$	InP
エッチング速度(Å/min.)	極めて大きい	極めて大きい	160

・硫酸・過酸化水素水・水(1:8:1200 @20°C) [以後、硫酸(1:8:1200)系エッチャント]

$\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ や $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 用の等方エッチャントである。このエッチャントの場合、調合時に発熱することはないが、正確に調合することが比較的難しく、データがバラついた。また、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ のエッチング形状は良好であるが、 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ のエッチングでは、マスクエッジでエッチングが進行するようにも見受けられた。InP に対しては、ほぼノンエッチである(選択比 100 程度)。表 6-4 にエッチング速度と InP に対する選択比をまとめて示す。

表 6-4 硫酸(1:8:1200)系エッチャント(@20°C)のエッチング速度と選択比

	$\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	$\text{In}_{0.52}\text{Al}_{0.48}\text{As}$	InP
エッチング速度(Å/min.)	550	620	< 6
選択比	92	103	1

・塩酸・リン酸・水(4:1:6 @17°C) [以後、塩酸・リン酸系エッチャント]

InP の選択エッチャントとして検討した。ただしエッチング形状に問題がある。マスクエッジでエッチングが進行し、平坦なエッチングが難しい。エッチャント温度を下げるにしたがって、エッチング速度が減少し、エッチング形状も平坦になる。InP に対するエッチング速度は 17°Cにおいて、120(パターン中央)~230(マスクエッジ) Å/min. である。表 6-5 にエッチング速度と $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ と $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ に対する InP の選択比をまとめて示す。

表 6-5 塩酸・リン酸系エッチャント(@17°C)のエッチング速度と選択比

	$\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	$\text{In}_{0.52}\text{Al}_{0.48}\text{As}$	InP
エッチング速度(Å/min.)	<20	<20	120~230
選択比	1	1	~10

・琥珀酸・アンモニア・過酸化水素水・水(pH=5.5 @17°C) [以後、琥珀酸系エッチャント]

$\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ の選択エッチャントとして報告されている [3]。 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ や InP に対する選択性は極めて高い。ただしこのエッチャントもマスクエッジでエッチングが進行する形跡が認められる。エッチャント温度を下げるにしたがって、エッチング形状は比較的良好になり、17°Cではほぼ問題無い。なお、エッチング速度は調合の度にバラつき、さらに時間とともに変化するように見受けられた。したがって、使用に際して $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ に対するエッチング速度だけは、絶えずチェックする必要がある。このエッチャントの調合方法は特異であり、表 6-6 にその詳細を示す。また、表 6-7 にエッチング速度と $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ に対する選択比をまとめて示す。

表 6-6 琥珀酸系エッチャント 560ml (3 inchφ InP ウェーハ用)の調合方法

- ①水 400ml に琥珀酸(白い粉状)32g を良く攪拌しながら溶かす。
- ②アンモニア水 48ml を入れて攪拌する。
- ③透明になったエッチャントに、さらに琥珀酸 48g を良く攪拌しながら溶かす。
- ④pH をチェックしながら pH=5.5 になるまでアンモニア水を入れる。(約 35ml)
- ⑤ここままで 510ml ぐらいになるが、ここから 480ml を取る。
- ⑥ H_2O_2 80ml を加え、攪拌する。
- ⑦完成

表 6-7 琥珀酸系エッチャント (@17°C) のエッチング速度と選択比

	$\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	$\text{In}_{0.52}\text{Al}_{0.48}\text{As}$	InP
エッチング速度 (Å/min.)	190	2.2	3.3
選択比	86.4	1	1.5

今回開発したプロセスの中で特徴的なプロセスは、琥珀酸系エッチャントを用いて行ったダブルドープ $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ H J F E T におけるメサエッチングとリセスエッチングである。以下に、詳細を示す。

$\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ H J F E T においては、ノンピンチオフや大きなドレインコンダクタンス (g_d) がしばしば問題となる [3]。これは、ゲート金属がメサ段においてバリアハイトの低い $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ チャンネル層に接触すること [3] および伝導的なバッファ層や成長界面の問題と考えられている [4]。今回開発した $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ を選択的にエッチングする琥珀酸系エッチャントと硫酸系エッチャントの併用によるメサエッチングおよびリセスエッチングにより完成した素子のメサエッチング部分の模式図を図 6-4 に示す。 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ チャンネル層は両側の $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 層の間に後退した構造となる。したがって、ゲートがメサ段で $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ チャンネル層に接触することが無い。これが、この研究で示す良好なピンチオフ特性と低い g_d をもたらしたと判断する。またバッファ層やパッシベーション表面の問題も、 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ バッファ層の厚さの最適化やメサエッチングの深さを制御し、InP 基板を露出させないように工夫することにより回避した。なお、表面処理用のエッチャントとしては、成長前処理用に硫酸 (3:1:1) 系エッチャント、またオーミックやゲート形成前には バッファードフッ酸を用いた。

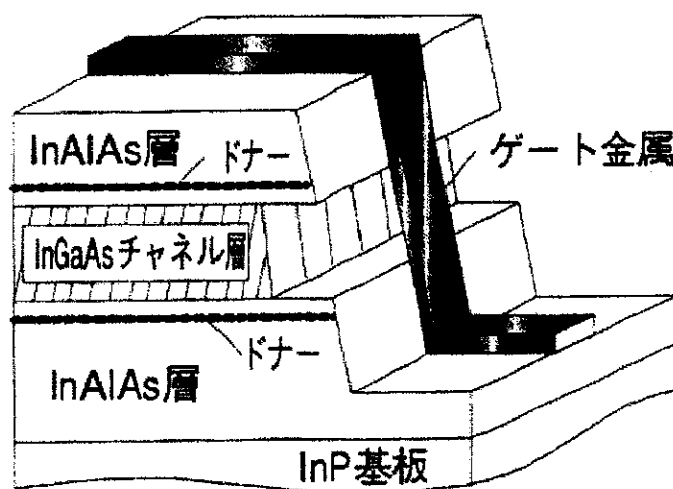


図6-4 メサエッチング部分の模式図

[6.3] 素子特性

今回の評価検討は、すべてオンウェーハでの評価による。DC測定はYHP社製の半導体パラメータアナライザ(4145B)によった。またSパラメータ測定は、カスケード社製のウェーハプローバとウイルトロン社製のネットワークアナライザ(MODEL 360)を用いた測定系により、40 または 60GHz まで測定した。

6.3.1 DC特性

図6-5に、ゲートフィンガー1本で、ゲート長 $0.15\mu\text{m}$ 、ゲート幅(W_g) $50\mu\text{m}$ のDC測定用HJFETのドレインI-V特性を、図6-6にソースドレイン電圧(V_{ds})1Vにおける相互コンダクタンス(g_m)およびドレイン電流(I_d)のゲート-ソース電圧(V_{gs})依存性を示す。

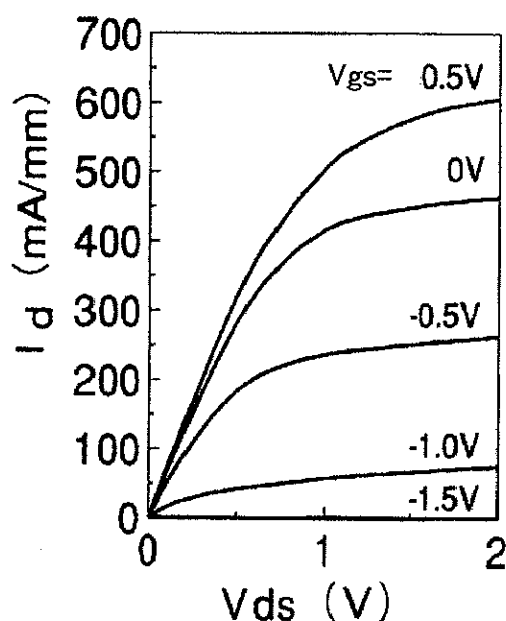


図6-5 ドレインI-V特性

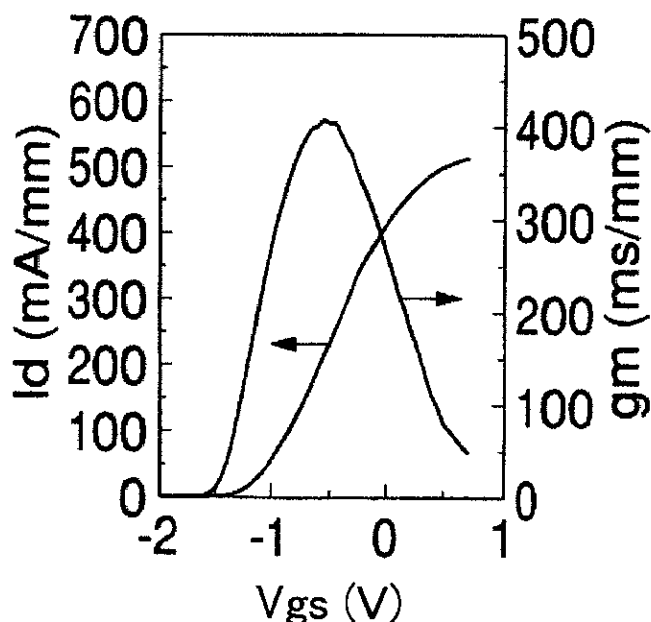


図6-6 g_m および I_d の V_{gs} 依存性

図6-5のドレインI-V特性から分るように、 I_{max} は 700mA/mm と大きくしかも完全なピンチオフ特性が得られた。また、この系で良く観察されるキック現象[4]も観察されない。特筆すべきことは、 30mS/mm (@ $V_{gs}=0\text{V}$)と極めて低いドレインコンダクタンス(g_d)である。 g_m の最大値は 440mS/mm であり、 g_d と g_m の比である電圧利得は14という高い値になる。これらの良好なDC特性は、今回開発した琥珀酸系エッチャントと硫酸系エッチャントを併用したメサエッチングおよびリセスエッチングプロセスによりもたらされたと考えている。図6-6に示した g_m の V_{gs} 依存性は、比較的ブロードな特性である。これは大振幅動作するパワーデバイスの特性としては相応しい特性で

ある。この特性と I_{\max} が 700mA/mm という高電流特性は、[5.1]節で議論したように、チャンネル層の両側に電子供給層を上下に2層配したダブルドープ構造の特長である。

図6-7に $I_{\max}=700\text{mA/mm}$ を有する $W_g=50\mu\text{m}$ HJFETのゲート-ドレイン間I-V特性を示す。ゲート-ドレイン間電流 -1mA/mm で規定した BV_{gd} は 5.7V である。これは I_{\max} が 700mA/mm のデバイスにおいて得られた値としては比較的高い値である(文献[3]では、 $I_{\max}=500\text{mA/mm}$ のデバイスにおいて $BV_{gd}=8\text{V}$) が、Liイオン電池1セルの動作には不足している。これは、通常の高出力動作では動作電圧の2倍にピンチオフ電圧を足した値でよいが、高効率動作を想定した場合は、高調波成分に配慮したより高い耐圧が必要である[6]からである。したがって、Liイオン電池1セルの動作では、充電直後の電圧(4V)の3倍にピンチオフ電圧($\sim 1\text{V}$)を足した 13V 程度は必要であるため、適用は困難と判断される。この研究では、厚いアンドープ $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ ショットキー層と $L_{gd}=0.3\mu\text{m}$ という比較的広いリセス構造および新規に開発したプロセスによりゲートリークが減少したことなど、ゲート耐圧向上に向けた検討が進められた。しかしながら、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ チャンネル層のバンドギャップが 0.75eV しかないことが、この系のHJFETの高電圧動作化を阻んでいると判断される。

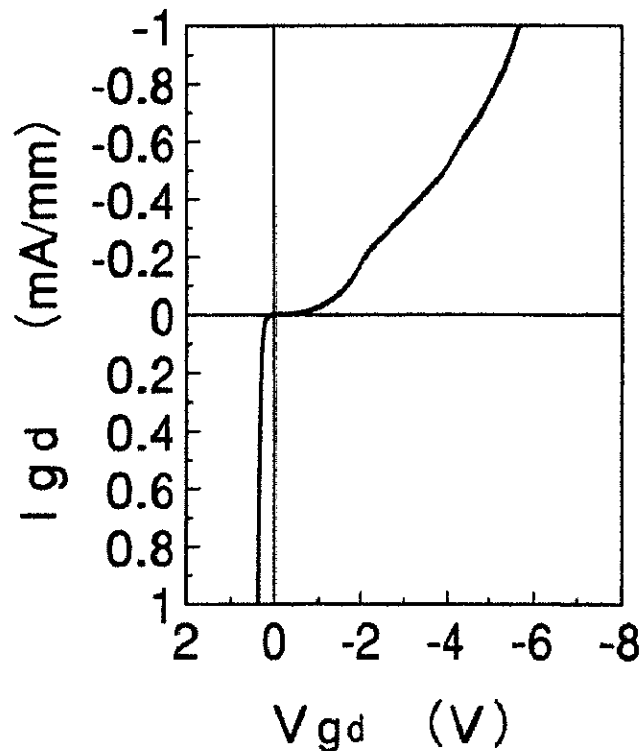


図6-7 ゲート-ドレイン間I-V特性

6.3.2 RF特性評価と考察

オンウェーハのSパラメータ評価にあたっては、ゲートフィンガー長が25または50 μm でゲートフィンガー2本構造のSパラメータ評価用素子(TEG)を用いた。したがって W_g は、それぞれ50および100 μm となる。まずそれぞれのSパラメータTEGにおいて、 g_m が最大となる $V_{gs}=-0.3\text{V}$ にバイアスを設定し、 V_{ds} を変えながらSパラメータを測定した。その結果をEEsof社製のマイクロ波シミュレータ(Touchstone)により解析し、図6-8に示す小信号等価回路の各パラメータを抽出した^{*2}。なお V_{ds} の低い領域での結果からパラメータ抽出を行なった場合、不安定な解を示す場合がある。そこで、 $V_{ds}\leq 1\text{V}$ でのパラメータ抽出の場合、TEGパターンやプロセスにより決定される寄生要因パラメータ(図6-8中のゲートインダクタンス(L_g)、ゲートパッド容量(C_{pg})、ゲート抵抗(R_g)、ソースインダクタンス(L_s)、ドレインパッド容量(C_{pd})、ドレインインダクタンス(L_d))は、 V_{ds} の大きい領域での幾つかのパラメータ抽出結果をもとに決定し、固定して求めた。

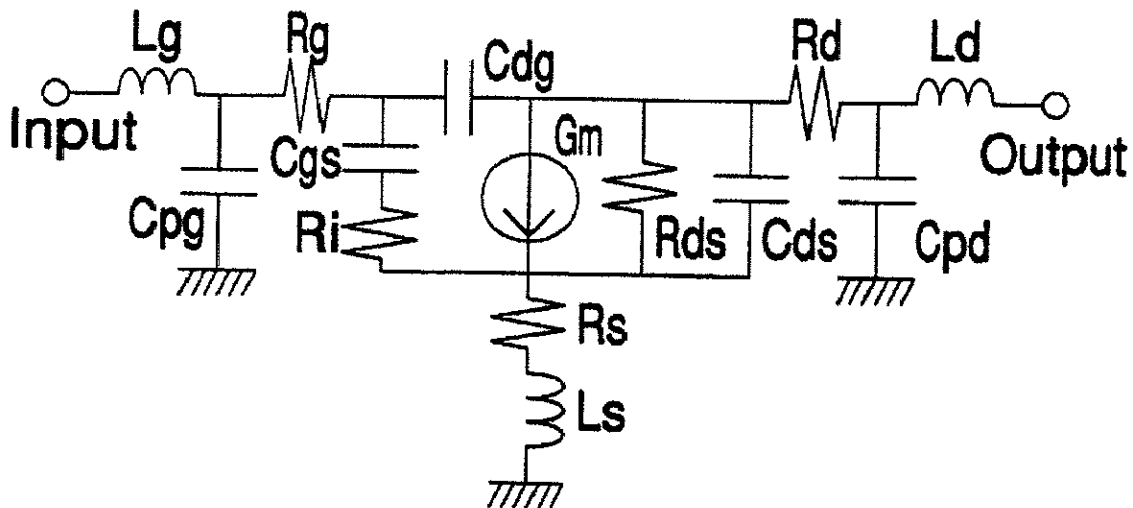


図 6-8 小信号等価回路

^{*2} SパラメータTEGパターンには、測定のために130 μm 程度の50 Ω コプレーナラインが入出力にそれぞれ接続されている。571GHzは、図6-8に示したFET等価回路の f_{max} である。コプレーナラインを含めた f_{max} の最高値は418GHzである。

図6-9に、 $V_{gs}=-1.0\text{V}$ と $V_{ds}=1.0\text{V}$ における0.15 μm 長ゲートを有する $W_g=50\mu\text{m}$ SパラメータTEGの各利得と周波数の関係を示す。この動作点において本報告の最高値が得られた。電流利得が-20dB/decadeの関係で減衰し、0dBとなる電流遮断周波数(f_T)は95GHz、またユニラテラルゲイン($|U|$)および最大有能電力利得(MAG)が0dBとなる f_{max} は571GHz^{*2}である。この571GHzの f_{max} は、著者らの知るかぎり、世界最高値である[4]。

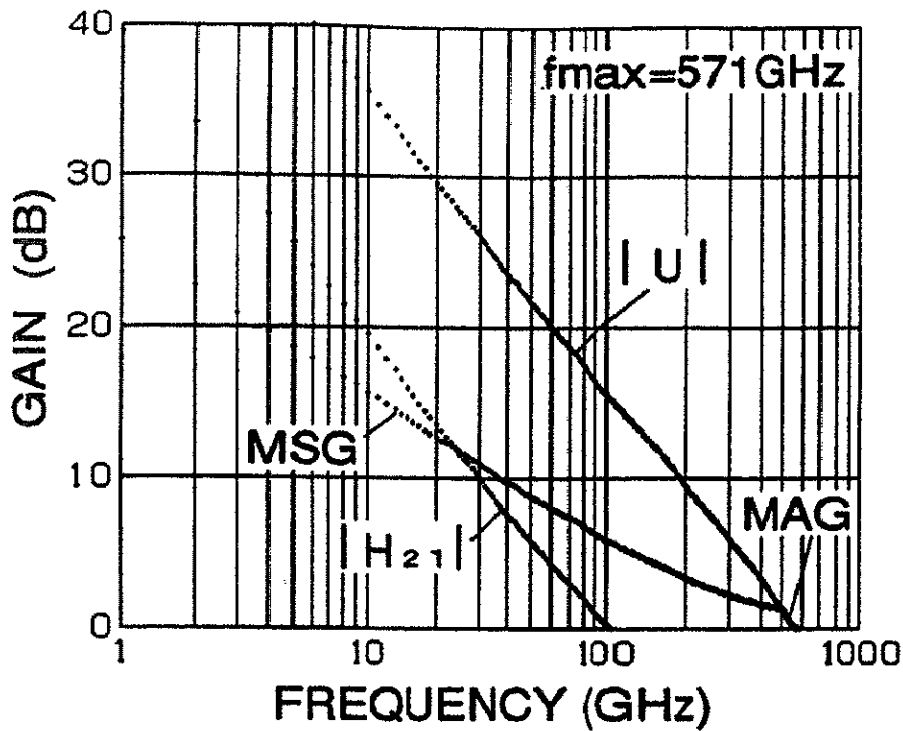


図 6-9 $W_g=50\mu\text{m}$ SパラメータTEGの各利得と周波数の関係

図 6-10 a)と b)に、ゲート長 $0.15\mu\text{m}$ の $W_g=50\mu\text{m}$ と $100\mu\text{m}$ の Sパラメータ TEG の f_T と f_{max} の V_{ds} 依存性をそれぞれ示す。両者ともほぼ同じ傾向を示す。すなわち、 V_{ds} の増加に伴って f_T は $V_{\text{ds}}=1\text{V}$ で鋭いピークを形成し、 1.5V 以降では緩やかに減少する。一方 f_{max} は $V_{\text{ds}}=1$ から 1.5V の間で緩やかなピークを示す。 $W_g=100\mu\text{m}$ FETにおける f_{max} の最大値は 345GHz であり、 $W_g=50\mu\text{m}$ FETの 571GHz におよばないが、 f_T の最大値は 102GHz と上回っている。これは、 $W_g=100\mu\text{m}$ FETの方がドレイン電流が大きいいため、パッドなどの寄生容量の影響を受けにくいためである。また $W_g=50\mu\text{m}$ FETの f_{max} が $W_g=100\mu\text{m}$ FETのそれより高い理由は、後で示すように、ゲートフィンガー長(ゲート幅)の削減に伴うゲート抵抗(R_g)の減少でほぼ説明できることがパラメータ抽出の結果分かった。また、 $W_g=50\mu\text{m}$ FETと $W_g=100\mu\text{m}$ FETの各パラメータは、ゲート幅でよくスケールリングされていることも明らかになったので、今後は $W_g=100\mu\text{m}$ FETのパラメータ抽出結果を示すことにより考察を進める。

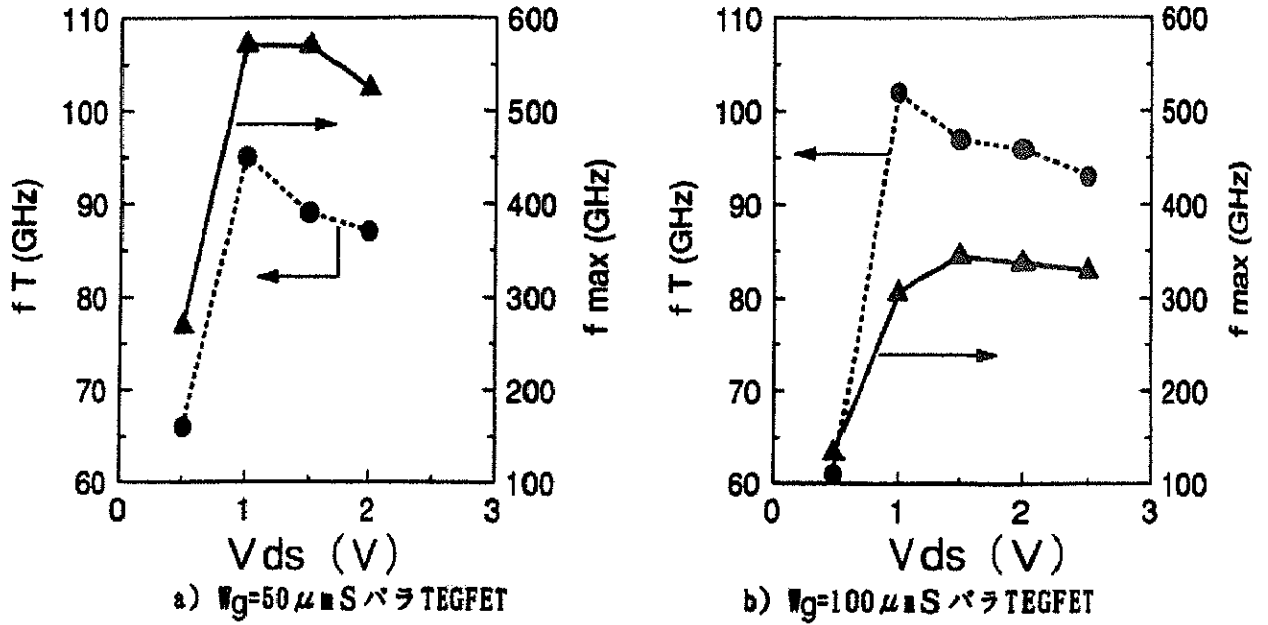


図 6-10 f_T と f_{max} の V_{ds} 依存性

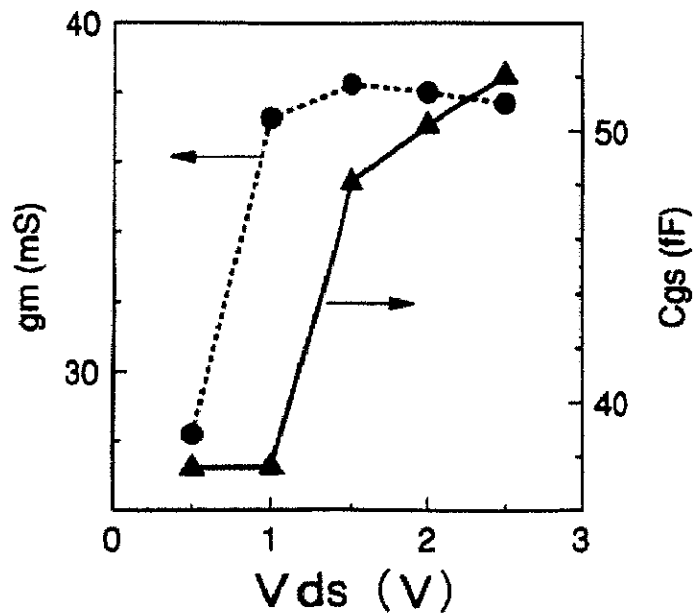


図 6-11 g_m と C_{gs} の V_{ds} 依存性

図 6-11 に $W_g=100\mu\text{m}$ FET の g_m とゲート-ソース容量 (C_{gs}) の V_{ds} 依存性を示す。 g_m および C_{gs} は V_{ds} の増加に伴って増加することが分かった。 f_T は、

$$f_T = \frac{g_m}{2\pi C_{\text{gs}}} \quad (6.1)$$

と簡易に表すことができるが、図 6-10 a) で示した f_T の $V_{\text{ds}}=1\text{V}$ で鋭いピークは、 g_m

が増加したにもかかわらず、 C_{gs} が $V_{ds}=1V$ ではまだ小さい値であることによる。 C_{gs} が V_{ds} の増加に伴って増加する理由は、ゲート長が $0.15\mu m$ と短いため、 V_{ds} の増加に伴ってドレイン側の高いバイアスがゲート下のチャネル層を越えてソース側に影響し、ソース側の空乏層を縮めるためと推察される。これを防ぐには、ゲートの下からチャネル層の下までの距離をゲート長で割った値(アスペクト比)を高くすれば良いと考えられる。

図 6-12 に $W_g=100\mu m$ MFE T のドレインコンダクタンス (g_d) とゲートドレイン容量 (C_{gd}) の V_{ds} 依存性を示す。 C_{gd} と g_d は V_{ds} の増加に伴って急激に減少することが分かった。ところで f_{max} は、

$$f_{max} = \frac{f_T}{\left[4g_d(R_i + R_s + R_g) + 4\left(\frac{C_{gd}}{C_{gs}}\right)g_m R_g \right]^{1/2}} \quad (6.2)$$

(R_i と R_s については図 6-8 参照)

と表すことができる[7]。図 6-10 a) で示した f_{max} の V_{ds} 依存性は次のように説明できる。すなわち、 f_T は $V_{ds}=1V$ でピークを持ちその後は急激に減少するが、 g_d と C_{gd} は V_{ds} の増加に伴って急激に減少するので、 f_{max} は $V_{ds}=1V$ を過ぎたあたりで緩やかなピークを示す。

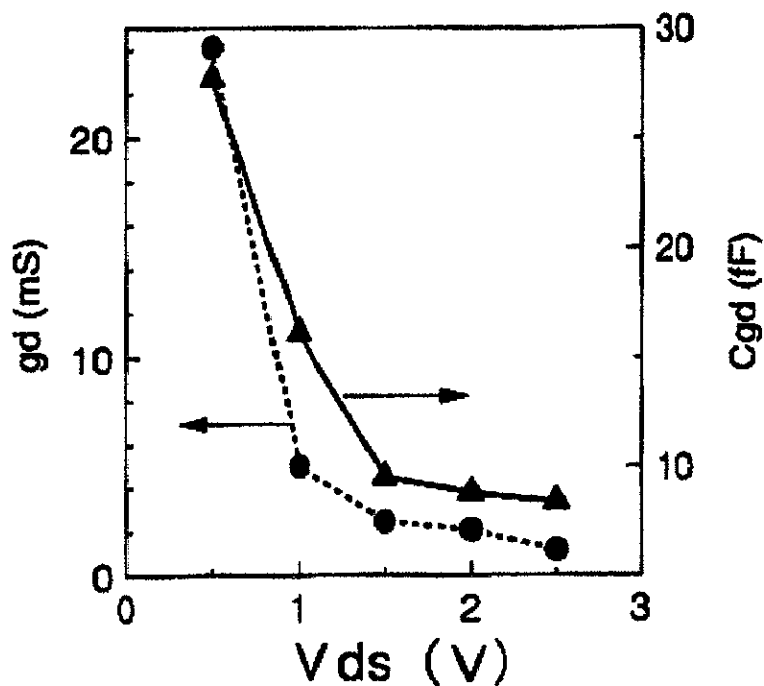


図 6-12 g_d と C_{gd} の V_{ds} 依存性

解析の結果、今回試作したFETの f_{\max} が高い理由は、 R_g 、 g_d や C_{gd} が低いためであることが分かった。 R_g は f_{\max} に大きく影響するパラメータであるが、パラメータ抽出を行なう場合、その導出が最も難しいことを我々はしばしば経験している。そこで、まず別に作製したダミーゲートの4探針測定より、DCのゲート金属抵抗を $R_g(DC)=125.5\Omega/\text{mm}$ と求め、次にRFでの R_g は、

$$R_g = \frac{R_g(DC) \cdot W_g}{3N^2} \quad (6.3)$$

(N:ゲート本数)

の関係より、パラメータ抽出に用いる R_g の初期値を決定した。その後パラメータ抽出を行ない、最適な R_g を求めた。得られた R_g は、 $W_g=50\mu\text{m}$ FETと $W_g=100\mu\text{m}$ FETにおいてそれぞれ 0.55Ω と 1.07Ω である。これらの低い値は、T型形状のゲートによるものである。 g_d と C_{gd} は、パラメータ抽出の結果、それぞれ $20\text{mS}/\text{mm}$ および $80\text{fF}/\text{mm}$ という極めて低い値である。これらの低い値は、厚いアンドープ $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ ショットキー層とワイドリセス構造によるところが大きい。また、 g_d の低下については新規に開発したプロセスによりゲートリークが減少したこと、 C_{gd} の減少については耐压特性の向上により大きな V_{ds} の印加が可能となったことも重要な要素である。

図6-13に g_m/g_d と C_{gs}/C_{gd} の V_{ds} 依存性を示す。以上考察してきた g_d および C_{gd} とそれらに対する g_m および C_{gs} の比は、 f_{\max} 向上の指針としてしばしば議論されるが[8]、その値は V_{ds} の増加に伴って単調に増加することが分かった。

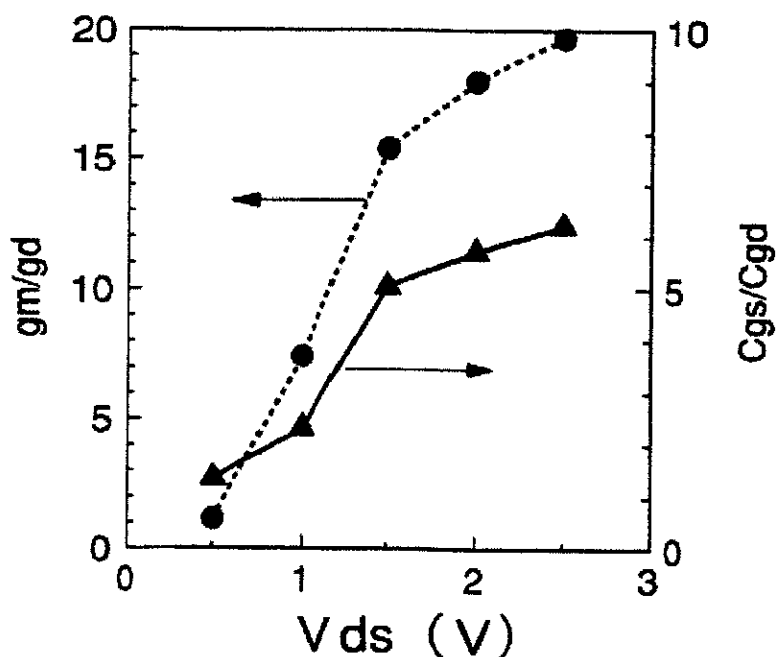


図6-13 g_m/g_d と C_{gs}/C_{gd} の V_{ds} 依存性

以上の結果は、 f_{\max} の向上には、 R_g 、 g_d および C_{gd} の削減が重要であること、したがって、今回採用した厚いアンドープ $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ ショットキー層とワイドリセス構造および新規に開発したプロセスが有効であることを示す。

[6.4] 結論

0.15 μm 長T型ゲートを用いたInP系ダブルドープ構造HJFET用作製プロセスの開発と素子の試作評価を行なった。

$I_{\max}=700\text{mA/mm}$ のHJFETにおいて、5.7Vの BV_{gd} と30mS/mmという低い g_d (電圧利得14)を得た。Sパラメータ評価より、 $W_g=50\mu\text{m}$ のHJFETにおいて571GHzの f_{\max} を、 $W_g=100\mu\text{m}$ のHJFETにおいて102GHzの f_T を得た。これらの優れた特性は、ゲート抵抗の低いT型形状の0.15 μm 長ゲート、ワイドリセス構造、厚いアンドープ $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ ショットキー層および新規に開発した $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 選択エッチャントによるメサアイソレーションおよびリセスエッチングプロセスによる。この研究により、ミリ波帯の高出力素子として、InP系ダブルドープHJFETが有望であることを示した。

しかしながら、この系のHJFETでは、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ チャネル層のバンドギャップが0.75eVしかないため、比較的広いリセス構造の採用にもかかわらずLiイオン電池1セルでの動作に十分な耐圧(>13V)が得られなかった。したがって、次に示すGaAs系ダブルドープHJFETが適当と判断する。

[第6章 参考文献]

- [1] 岩田直高, 富田正俊, 葛原正明: 第40回応用物理学会学術講演会講演予稿集 30a-F-11 (1993年3月) 1247.
- [2] N. Iwata, M. Tomita and M. Kuzuhara: *Electron.Lett.* 29 (1993) 628.
- [3] S.R. Bahl and J. A. del Alamo: *IEEE Electron.Device Lett.* 13 (1992) 195.
- [4] J.B. Kuang, P.J. Tasker, G.W. Wang, Y.K. Chen, L.F. Eastman, O.A. Aina, H. Hier and A. Fathimlla: *IEEE Electron.Device Lett.* 9 (1988) 630.
- [5] J. Dickmann, K. Riepe, H. Haspeklo, B. Maile, H. Daembkes, H. Nickel, R. Lösch and W. Schlapp: *Electron.Lett.* 28 (1992) 1849.
- [6] K. Mori, M. Nakayama, Y. Itoh, S. Murakami, Y. Nakajima, T. Takagi and Y. Mitsui: *IEICE Trans.Electron.* E78-C (1995) 1229.
- [7] P. Wolf: *IBM J. Res. Develop.* 14 (1970) 125.
- [8] P. Ho, M. Y. Kao, P. C. Chao, K. H. G. Duh, J. M. Ballingall, S. T. Allen, A. J. Tessmer and P. M. Smith: *Electron.Lett.* 27 (1991) 325.

【第7章】 GaAs系ダブルドープHJFET

この章では、これまでのGaAsヘテロ接合系の検討やダブルドープHJFETの設計を基に、GaAs基板上の $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 系HJFETの試作と評価を行った結果を示す。まず、Liイオン電池1セルで駆動する950MHz帯のPersonal Digital Cellular(PDC)携帯電話用高出力HJFETの検討を示す。開発したドライリセスエッチングによるダブルリセスゲート構造の作製技術は、素子特性の高均一化と生産性の向上に大きく貢献することが分かった。これらの結果を用いて作製したHJFETは、Liイオン電池1セルの起電圧(3.5V)以下で動作し、現状のGaAsMESFETを上回る高効率低歪特性(HJFETは60%以上、MESFETは50%程度)を世界最小のチップサイズ(MESFETの半分以下)で実現した。より低歪特性が要求される符号分割多元接続(CDMA)方式においても、良好な高効率特性を得た。また、1.2Vにおいても1Wの出力電力と50%以上の効率を得ることができたことは、他の半導体系や構造の素子においても報告は無く、特筆できる。さらに、負で低いしきい値電圧か正のしきい値電圧に設計したHJFETによれば、単一正電源動作においても、高出力高効率動作が可能である。

[7.1] 3.5V動作デジタル携帯電話用小型高出力HJFET

最近では、Liイオン電池1セル(3.4~3.6V)で動作する小型軽量の携帯電話が一般的に市販されている。変調方式は、デジタル方式の $\pi/4$ シフトQuadrature Phase Shift Keying(QPSK)変調波を用いるPDC方式であり、従来のアナログ方式と比較するならば、高い周波数利用効率、データ通信への親和性や秘話性の向上などのメリットがある。今後は、通話の長時間化、より一層の小型軽量化と低コスト化が進むと予想され、高出力素子には、効率向上とチップ面積縮小の要求が高まっている。これらの要求に応えるため、これまでのGaAsヘテロ接合系の検討やダブルドープHJFETの設計を基に、ドライリセスエッチングによる $0.8\mu\text{m}$ 長オフセットゲートを有する高出力ダブルドープダブルヘテロ接合FETを開発した[1, 2]。最大ドレイン電流(I_{max})は $640\text{mA}/\text{mm}$ 、ゲート-ドレイン耐圧(BV_{gd})は12.7Vである。しきい値電圧(V_{T})のバラつき(σV_{T})は20mVと従来のウェットリセスHJFETの1/5程度である。3.4V動作での950MHz $\pi/4$ シフトQPSK信号を用いた評価より、 -51.5dBc の50kHz離調隣接チャネル漏洩電力比(P_{adj})時に1.23Wの出力電力(P_{out})と56.3%の電力付加効率(PAE)を7.0mmのゲート幅(W_{g})の素子で得た。このPAEは従来比10%の効率向上であり、チップサイズは

1/3と大幅に小型化された。これは、リセス構造の最適化による I_{\max} の増加とゲートあたりのオン抵抗(r_{on})の低減による[1, 2]。

7.1.1 素子構造と作製プロセス

高効率低歪特性を有する移動体通信端末用の小型高出力素子の実現に向けて、ダブルドープ $Al_{0.22}Ga_{0.78}As/In_{0.2}Ga_{0.8}As$ H J F E Tを試作した。図7-1に、検討したH J F E Tの断面構造を示す。素子は基本的に13.5nm厚 $In_{0.2}Ga_{0.8}As$ チャンネル層の上下に $Al_{0.22}Ga_{0.78}As$ 電子供給層を配したダブルドープダブルヘテロ構造である。表面側の電子供給層の上にはアンドープ $Al_{0.22}Ga_{0.78}As$ ショットキー層を設けることにより、充分ゲート耐圧を確保している。また、1段目のワイドリセスと2段目のゲートリセス構造をドライエッチングで作製するため、各リセス構造の希望する深さ位置に $Al_{0.22}Ga_{0.78}As$ 層を配して、ドライリセスエッチングが可能なエピ構造を採用している。ゲートリセスの深さは20nmである。この2段目のリセスはウエットリセスエッチングによる埋め込みゲート電極構造とは異なり、ゲートの両側に数十nm程度の間隙が開いた構造である。これは、 BCl_3 と SF_6 ガスによるElectron Cyclotron Resonance(E C R)によるドライエッチングが等方的なエッチングであることと、 $Al_{0.22}Ga_{0.78}As$ ショットキー層を完全に露出させるためにオーバーエッチングをかけたことにより、そのオーバーエッチング相当の間隙が生じることによる。詳細なドライエッチング条件など文献[3]を参照して頂きたい。ゲート電極はスパッタ形成のAu/WSi系であり、ゲート長はP D C方式の950MHzにおいて十分な利得を得るとともに、ゲート幅の増大に伴発振などの不安定性を抑制するため、 $0.8\mu m$ とした。ソース-ゲートリセス間隔(L_{sgr})、ゲート-ドレインリセス間隔(L_{gdr})は、それぞれ $0.5\mu m$ と $1.3\mu m$ である。なお比較のため、ゲート長(L_g) $1.0\mu m$ 、 $L_{sgr}=L_{gdr}=1.2\mu m$ の素子も同一ウェーハ上に作製した。

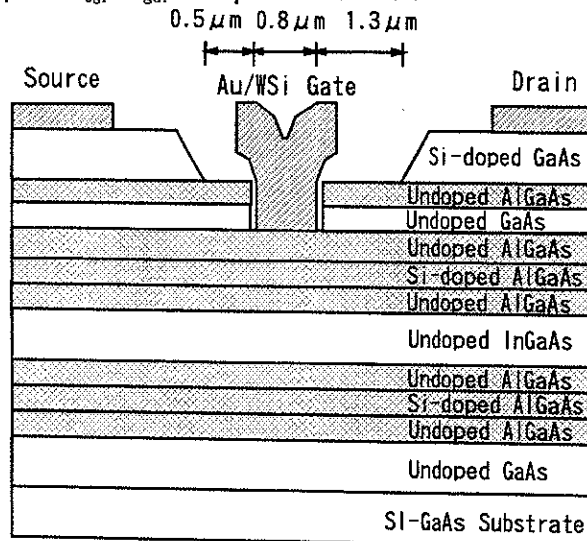


図7-1 $0.8\mu m$ ゲート長H J F E T構造

図7-2に、図7-1で示したH J F E Tのスルー作製プロセスを示す。図7-2の1で示すように、チャンネル層より下のウェーハ構造は省略している。まず図7-2の2で示すように、ドライエッチングによりワイドリセスを形成する。次に図7-2の3で示すように、B注入による結晶損傷を能動領域以外の部分に施し、ドナーを不活性化することにより、素子分離を行う。次に図7-2の4で示すように、SiO₂の層間膜に対してゲート形状の開口を行い、これをマスクとしてドライエッチングによりゲートリセスを形成する。ここでのゲート開口プロセスは、[5.2]節で検討したプロセスと類似のものであり、ゲート開口形状がY型になるように、最適化が図られている。次にAu/WSi系ゲート電極をRFスパッタ法で堆積し、ゲート電極上にマスクを設け、イオンミリングを行うことにより図7-2の5で示すようなゲートを形成する。その後、図7-2の6で示すように、Au/Ni/AuGeオーミック電極をリフトオフ法で形成し、図7-2の7で示すように、金メッキを施して電極形成する。ウェーハ表面が完成した後に裏面を研磨し、最後にヒートシンクへの良好な熱接触を得るための金メッキを施し、完成となる。

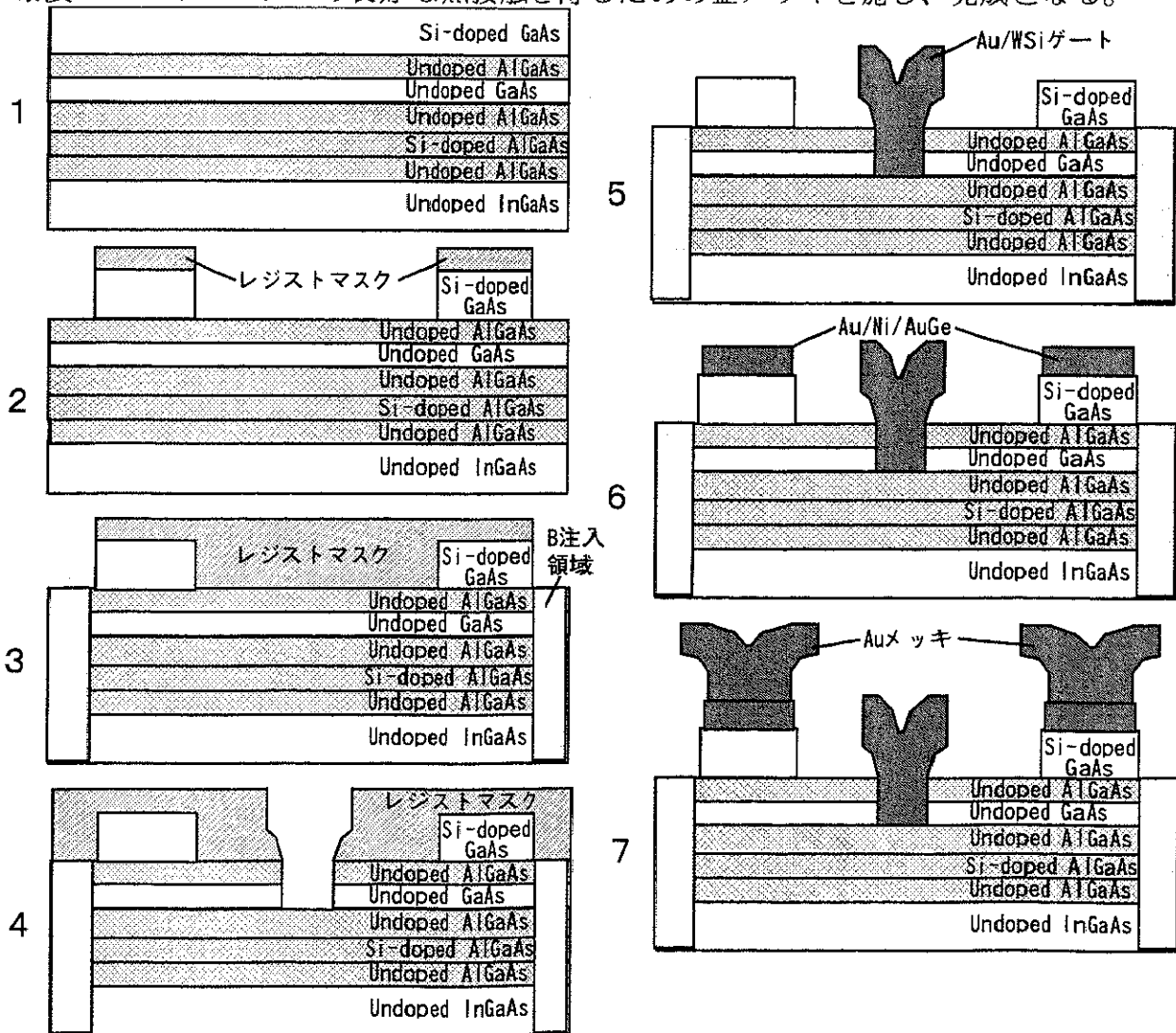


図7-2 ドライリセスエッチングによるWSiゲートH J F E Tスルー作製プロセス

7.1.2 素子特性

図7-3に、 $L_g=0.8\mu\text{m}$ のAu/WSi系ゲートをソース側に寄せて形成したHJFETのドレインI-V特性を示す。ゲート-ソース電圧(V_{gs})1.5Vでの I_{max} は640mA/mm、相互コンダクタンス(g_m)の最大値は330mS/mmと良好である。また、ゲート-ドレイン電流(I_{gd}) -1mA/mm での BV_{gd} は12.7Vと3.5V以下の動作に十分な値である。 V_T の平均値は3インチウェーハ面内で -1.19V であり、 σV_T は20mVと小さい。表7-1に、DC特性を $L_g=1.0\mu\text{m}$ のHJFETと併せて示す。 L_{sgf} や L_g の削減に伴って、 I_{max} と g_m は微増することが分かった。また、 I_{max} でのニー電圧(V_k)は0.2V減少し、 r_{on} は $2.3\Omega\cdot\text{mm}$ と低い。

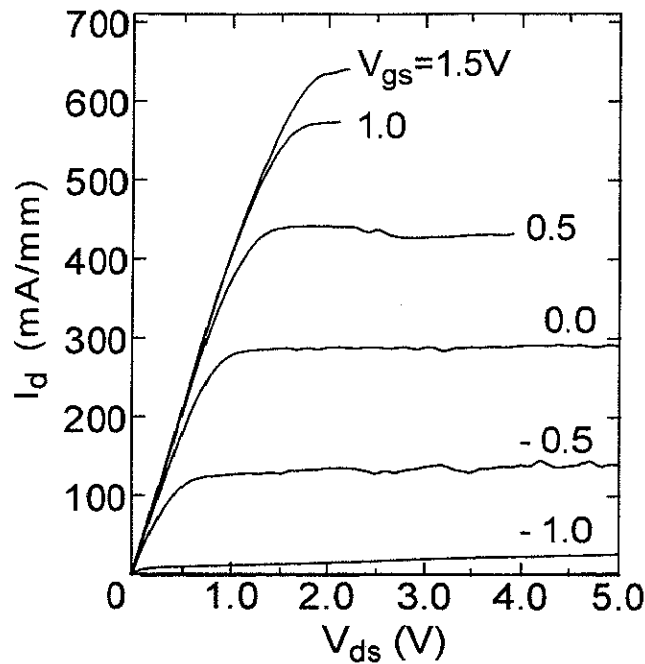


図7-3 ドレインI-V特性

表7-1 DC特性のまとめ

	0.8 μm ゲートHJFET	1.0 μm ゲートHJFET
I_{max} (mA/mm) (@ $V_{gs}=1.5\text{V}$)	640	580
g_m (mS/mm) (@ $V_{ds}=2.0\text{V}$)	330	290
BV_{gd} (V) (@ $I_{gd}=-1\text{mA/mm}$)	12.7	13.2
I_{max} (V) (@ V_k)	1.4	1.6
r_{on} ($\Omega\cdot\text{mm}$)	2.3	2.7

$W_g=7.0$ および 10.5mm の $0.8\mu\text{m}$ ゲートHJFETを950MHzの $\pi/4$ シフトQPSK変調波を用いてドレイン-ソース電圧(V_{ds})3.4V、セットドレイン電流(I_q)500mAで評価した。

まず図7-4に、P D C方式の歪規格である隣接チャネル漏洩電力(P_{adj})の定義を示す。 P_{adj} は、主チャンネルと50kHz離れた隣接チャネルの積分電力の比で定義され、単位はdBcである。また、 P_{adj} と3次および5次の相互変調歪(IM3およびIM5)との関係も併せて示す。これらの相互変調歪との関係は、7.1.4でまとめて考察する。

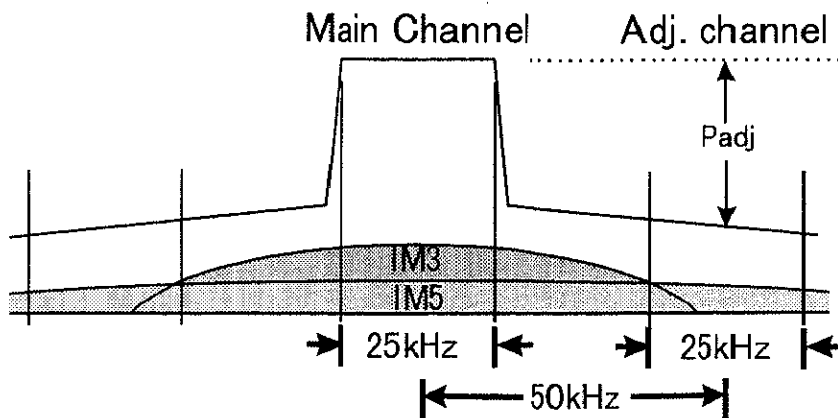


図7-4 P D C方式での隣接チャネル漏洩電力(P_{adj})の定義

測定にはコンピュータで制御されたオートチューナによるソースプルおよびロードプル入出力測定評価系を用いた。評価系の概要を図7-5に示す。まず適正な整合条件を求めるために、入力電力(P_{in})14dBm(1~2dB利得圧縮相当)の $\pi/4$ シフトQ P S K信号を印可しながら、H J F E Tの入力側は利得整合、出力側は $P_{adj}=-50$ dBcとなる出力電力が最大となる整合条件を求めた。

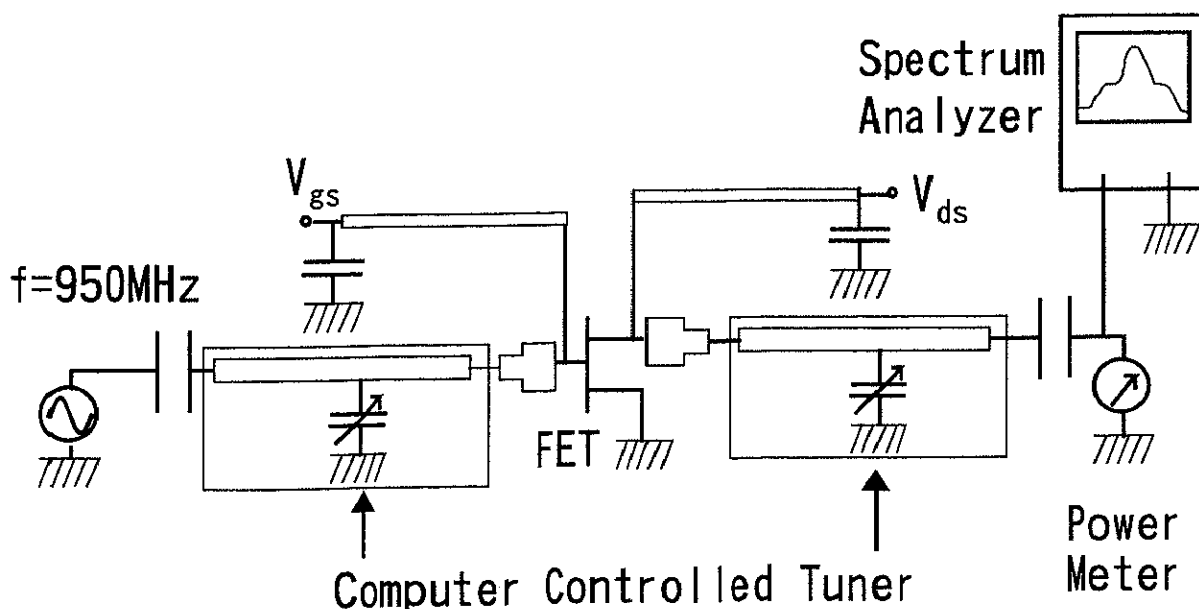


図7-5 評価系の概要

図7-6に、 $W_g=7.0\text{mm}$ の $0.8\mu\text{m}$ ゲートHJFETのPDC入出力特性を示す。 $P_{\text{adj}}=-51.5\text{dBc}$ 時に、 $P_{\text{out}}=1.23\text{W}$ (30.9dBm)、 $\text{PAE}=56.3\%$ 、付随利得(G_a)= 15.8dB を得た。この時のドレイン電流(I_{DC})は、 618mA であった。筆者の知る限り、 10mm 以下のゲート幅でPDC規格を満たした最初の報告である。一方、 $W_g=10.5\text{mm}$ の $0.8\mu\text{m}$ ゲートHJFETにおいては、同様な測定の結果、 $P_{\text{adj}}=-50.5\text{dBc}$ 時に、 $P_{\text{out}}=1.35\text{W}$ (31.3dBm)、 $\text{PAE}=60.6\%$ 、 $G_a=15.9\text{dB}$ 、 $I_{\text{DC}}=638\text{mA}$ を得た。 7.0mm 幅素子より、 P_{out} と PAE が良好である。この出力と効率に対するゲート幅の効果については次の7.1.3で検討する。また、同一ウェーハ上の $W_g=10.5\text{mm}$ の $1.0\mu\text{m}$ ゲートHJFETのPDC出力特性は、 $P_{\text{adj}}=-50.3\text{dBc}$ 時に、 $P_{\text{out}}=1.32\text{W}$ (31.2dBm)、 $\text{PAE}=57.2\%$ 、 $I_{\text{DC}}=664\text{mA}$ である。 $0.8\mu\text{m}$ ゲートHJFETと比較すると、 PAE は約3%低い。

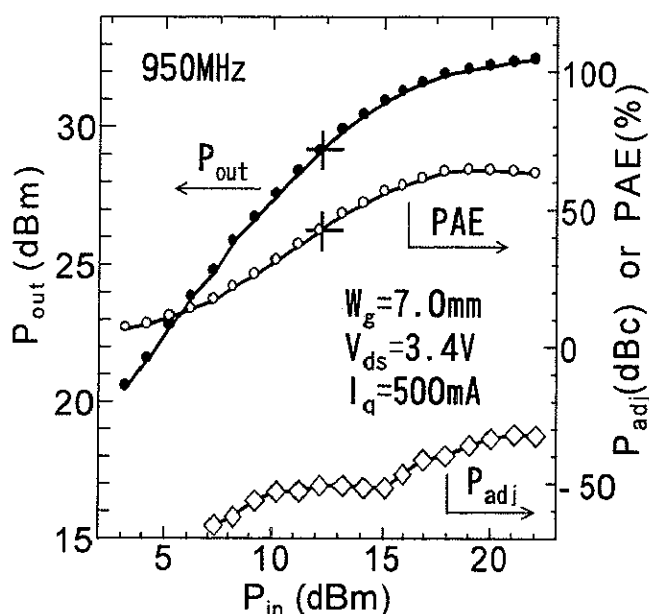


図7-6 $W_g=7.0\text{mm}$ の $0.8\mu\text{m}$ ゲートHJFETのPDC入出力特性

7.1.3 小型チップでの高効率化に向けた考察

出力と効率に対するゲート幅の効果について検討するため、A級動作を想定し、その線形領域最大出力(P_{omax})とその時のドレイン効率(η_d)を見積もった。図7-7にA級動作解析説明図を示す。電池で駆動する移動体通信端末の高出力素子は、低電圧での高効率動作に主眼が置かれているため、セットドレイン電流は低く設定され、高出力動作時の I_{DC} も比較的低くなる条件(図7-7で示されている寝た負荷線)で負荷整合されることが一般的である。すなわち、ここでのA級動作は素子の I_{max} を利用した素子の最大出力に対する議論ではなく、実効的なニー電圧である V_{min} (その時のドレイン電流は I_{dmax})と動作点(V_{ds} , I_{DC})を結んだ負荷線上の議論である。この解析では、 g_m の V_{gs} に対するフラットな特性と無限小のドレインコンダクタンスを仮定しているが、HJFET

TのDC特性は図7-3から分かるように、この仮定が良く成り立つ。この条件でA級動作解析と称する理由は、理想的には無歪な線形領域最大出力として動作点を中心とした電流電圧振幅が対称のトランジスタ動作を想定しているからである。

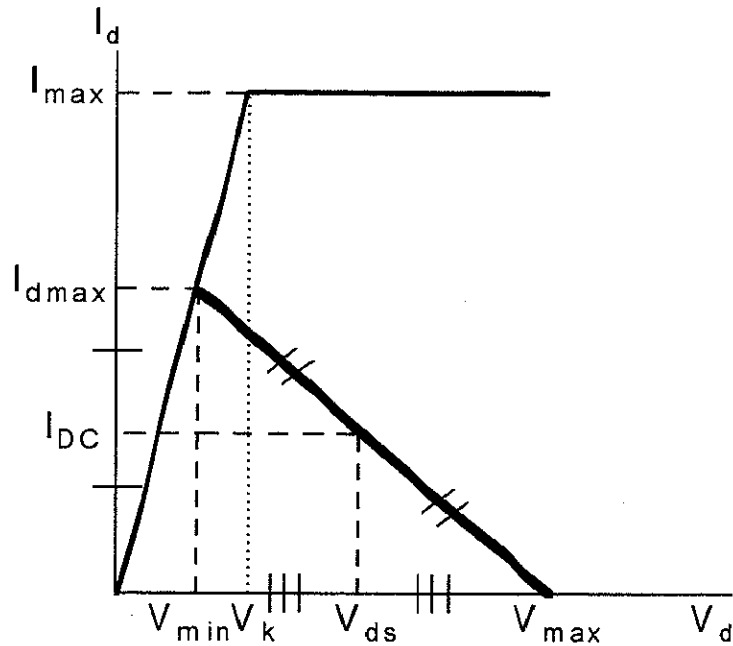


図7-7 A級動作解析説明図

ところで、実効的な二-電圧の V_{min} は、

$$V_{min} = 2I_{DC} \cdot R_{ON} \quad (7.1)$$

と表される。ここで R_{on} はチップのオン抵抗であり、 r_{on} と W_g で

$$R_{ON} = \frac{r_{on}}{W_g} \quad (7.2)$$

と表される。したがって、 P_{omax} とその時の η_d は、

$$P_{omax} = \frac{I_{DC} \cdot V_{ds}}{2} - I_{DC}^2 \cdot R_{ON} \quad (7.3)$$

$$\eta_d = \frac{1}{2} - \frac{I_{DC} \cdot R_{ON}}{V_{ds}} \quad (7.4)$$

と表される。この解析手法は、動作点での考察を行うことにより、実際の動作を良く再現することが分かった。すなわち、 $0.8\mu\text{m}$ ゲートH J F E Tのデータ ($V_{ds}=3.4\text{V}$ 、 $I_{DC}=0.57\text{A}$ 、 $r_{on}=2.3\Omega\cdot\text{mm}$ 、 $W_g=7.0\text{mm}$)を(7.1)、(7.2)、(7.3)式に代入すると、 P_{omax} と η_d は 0.86W と 44.4% とそれぞれ求めた。これらの結果を、図7-6のP D C入出力特性中に+を使ってプロットすると、 1.0dB 利得圧縮点と良い一致を示した。線形領域最大出力は利得圧縮が始まる最大の出力電力であるから、この一致は妥当であると判断される。なお、PAEは入力電力を差し引いた効率、 η_d は入力電力を考慮しない効率であるが、このH J F E Tは利得が 16dB 以上と高いため、効率間の誤差は 1% 程度である。 10.5mm 幅の素子においては、 $P_{omax}=0.90\text{W}$ 、 $\eta_d=46.3\%$ と見積もられ、同様に解釈できる。これらの一致より、歪を抑えた出力重視の動作モードはA級動作に類似していると推察される。ところで、図7-6に示した測定結果より $P_{adj}=-50\text{dBc}$ を満足する動作は、約 1.7dB 利得圧縮時に得られていることが分かった。このP D C規格出力点(測定)は 1dB 利得圧縮点(測定)と比較すると、 P_{omax} と η_d は $30\sim 40\%$ 大きいことが分かった。この出力と効率の増加は、利得圧縮動作により出力波形がつぶされた効果によるものである。したがって、測定の 1dB 利得圧縮点とほぼ一致する P_{omax} と η_d を $1.3\sim 1.4$ 倍することにより、P D C歪規格を満足する P_{out} とPAEをおよそ見積もることができる。そこで、 P_{omax} と η_d を指標として、P D C出力特性に対するゲート幅の効果を考察する。

図7-8に、 $0.8\mu\text{m}$ ゲートH J F E Tのデータを用いた P_{omax} 、 η_d および V_{min} の W_g 依存性を示す。 $W_g > 5\text{mm}$ ではなだらかな P_{omax} と η_d の W_g 依存性が、 5mm 以下になると急激に減少することが分かった。これは W_g の減少に伴い、 V_k が見えはじめ、 V_{min} が V_k に漸近するた

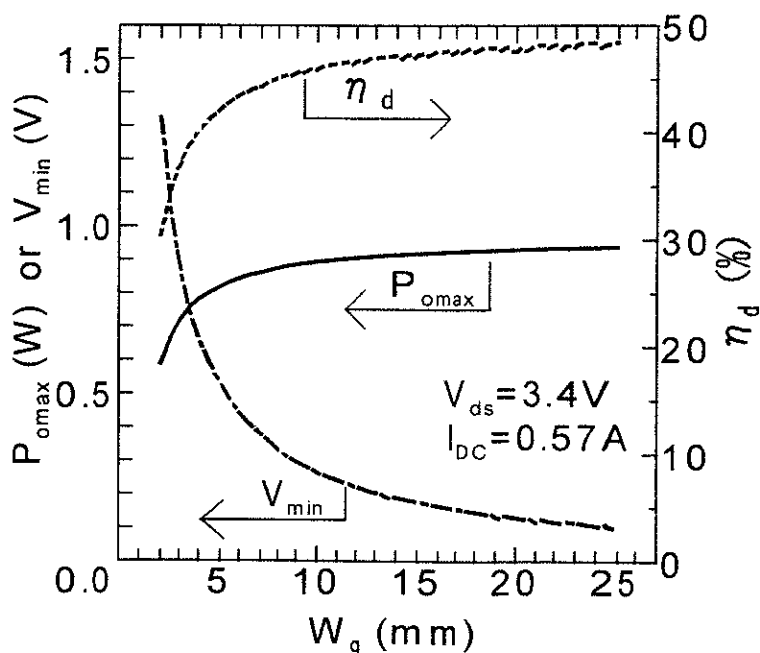


図7-8 $0.8\mu\text{m}$ ゲートH J F E Tの P_{omax} 、 η_d および V_{min} の W_g 依存性

めである。したがって、ゲート幅7.0mm素子は、良好な出力特性と小型化のバランスがとれた設計であると結論される。一方、10.5mm幅の素子については、効率を重視した設計と結論される。ところで、PDC歪規格時に1.0Wの出力(P_{out} では0.75W)が得られるゲート幅を見積もると、約3.5mmとなる。そこで、3.5mm幅のHJFETを同様に評価したところ、PDC歪規格時に $P_{out}=1.02$ 、PAE=48.9が得られ、解析の正しさが確かめられた。また、同様な解析を $W_g=10.5$ mmの1.0 μ mゲートHJFETについても行ったところ、 $W_g=10.5$ mmの0.8 μ mゲートHJFETとのPAEの差(約3%)は、オン抵抗の差で説明できることも判明した。

7.1.4 符合分割多元接続方式携帯電話への適用検討

第2章で示したように、携帯電話の加入者が急速に増加しており、回線不足が危惧されることから周波数利用効率の一層の向上や、高速データ通信を目的としたCDMA方式の導入が検討され、日本でも一部サービスが開始した。CDMA方式ではアメリカや韓国でのIS-95規格の実用化が先行している。IS-95方式の携帯電話では送信電力の可変範囲は80dBと広範囲であり、全可変範囲にわたって低歪と高効率動作が求められる。ここでは、開発した良好な特性を有する0.8 μ mゲートHJFETのIS-95規格に準拠した出力特性評価を示す[4]。広い出力電力範囲において低歪および高効率特性を得るために、歪および効率特性のゲート電圧依存性も調べた。その結果、0.8 μ mゲートHJFETは、CDMA用増幅器として世界最高の効率を電源電圧3.5Vで実現するとともに、低出力時の効率も良好であった[4]。

まず図7-9に、IS-95規格の歪規格である隣接チャネル漏洩電力(ACPR)の定義を示す。いずれのACPRも主チャネルの積分電力とそれぞれの30kHz幅に落ちる電力比のdB表示(dBc)である。また、各ACPRとIM3およびIM5との関係も併せて示す。

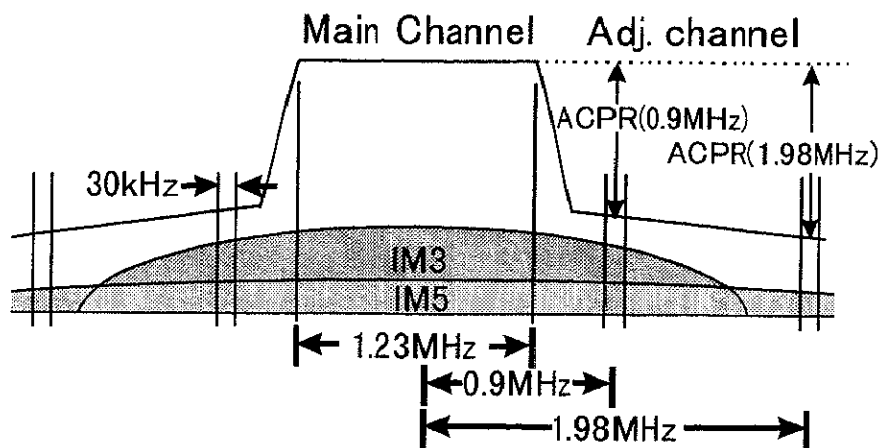


図7-9 IS-95規格での隣接チャネル漏洩電力(ACPR)の定義

評価に用いた素子は、図7-1に構造を示した $0.8\mu\text{m}$ ゲートHJFETであり、ゲート幅は 17.5mm である。この素子の 950MHz におけるCDMA出力特性を評価した。測定には、IS-95規格に準拠した 1.23MHz 幅のオフセットQPSK変調信号を用いた。電源電圧は 3.5V 、セットドレイン電流を 300mA (I_{max} の4% @ $V_{\text{gs}}=-1.03\text{V}$)とした。入出力整合はオートチューナーを用いて行い、歪を考慮した利得および出力重視整合である。まず、図7-10に P_{out} 、PAE、利得(Gain)および 0.9MHz 離調および 1.98MHz 離調の隣接チャンネル漏洩電力(それぞれACPR(0.9MHz))、ACPR(1.98MHz))の入力電力(P_{in})依存性を示す。ACPR(0.9MHz)= -43dBc およびACPR(1.98MHz)= -58.5dBc 時に $P_{\text{out}}=1.0\text{W}$ (30.0dBm)、PAE= 53.2% 、 $G_a=16.8\text{dB}$ を得た。この 53.2% の電力付加効率は、IS-95規格を満たすトランジスタの最高値である。

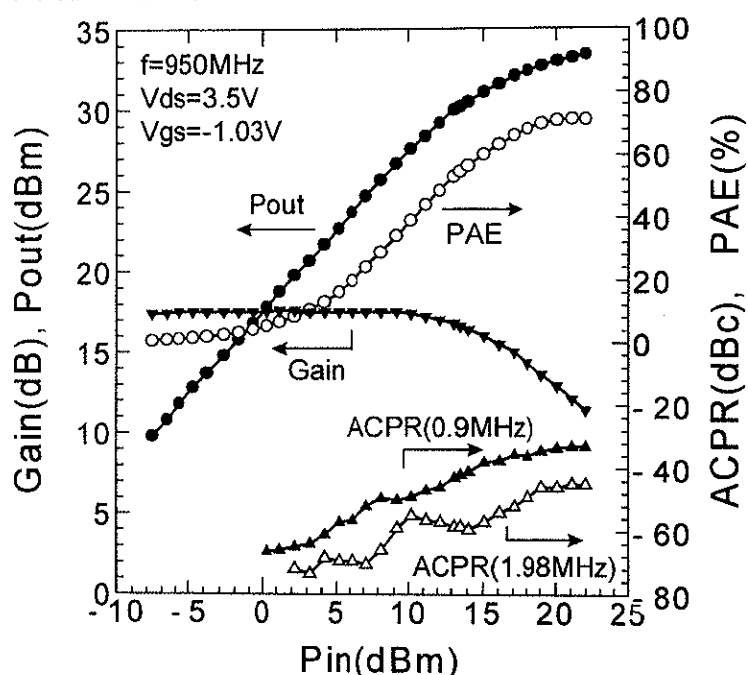


図7-10 P_{out} 、PAE、GainおよびACPRの P_{in} 依存性(CDMA規格)

ここで、利得圧縮と歪特性の考察のために、この素子の 950MHz におけるPDC出力特性を評価する。 $V_{\text{ds}}=3.5\text{V}$ 、 $I_{\text{q}}=400\text{mA}$ ($5\% I_{\text{max}}$ @ $V_{\text{gs}}=-0.99\text{V}$)において、歪を考慮した利得重視および出力重視整合を行った。図7-11に P_{out} 、PAE、Gainおよび 50kHz 離調の隣接チャンネル漏洩電力(P_{adj})の P_{in} 依存性を示す。 $P_{\text{adj}}=-48\text{dBc}$ 時に $P_{\text{out}}=1.15\text{W}$ (30.6dBm)、PAE= 61.2% および $G_a=15.4\text{dB}$ を得た。本素子は、 2.0dB 利得圧縮時にてPDC歪規格を満たした。次に、バイアス条件および入出力整合条件を固定し、CDMA変調信号入力時の出力特性を評価した。本素子はACPR(0.9MHz)= -42dBc およびACPR(1.98MHz)= -65dBc 時に $P_{\text{out}}=0.8\text{W}$ (29.0dBm)、PAE= 49.4% および $G_a=16.3\text{dB}$ を示した。この時利得圧縮は 1.0dB であった。よって、IS-95歪規格はPDC歪規格に対して 1dB 程度利得圧縮

縮動作が厳しいことが分かった。

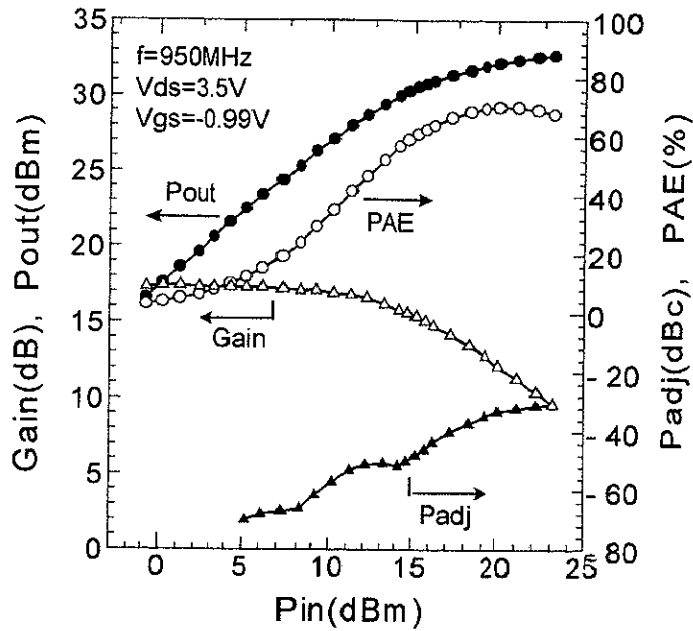


図7-11 P_{out} 、PAE、Gainおよび P_{adj} の P_{in} 依存性(PDC規格)

CDMAとPDC方式の歪特性を議論するため、図7-12にCDMAおよびPDC変調信号入力時のPAE、ACPRおよび P_{adj} の P_{out} 依存性を示す。ACPR(1.98MHz)は P_{adj} と類似した P_{out} 依存性が見られた。これは、図7-4と図7-9に示されたそれぞれの定義から明らかであるが、IM5と相関があることを示している[4]。一方、ACPR(0.9MHz)は、IM3およびIM5から構成されていると推察される[4]。

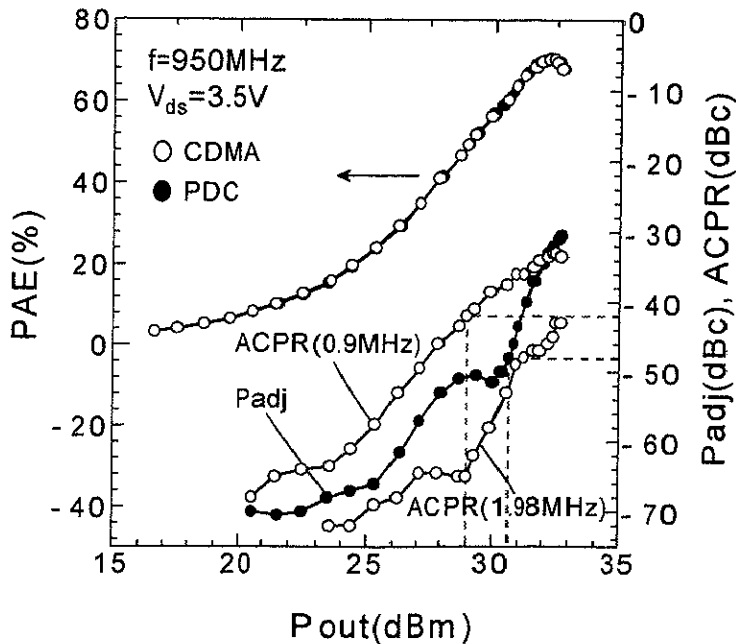


図7-12 CDMAおよびPDC変調信号入力時の出力特性

CDMA方式では、幅広い出力電力範囲において低歪特性と高効率動作が求められる。そこで、低い出力電力においても低歪および高効率特性を得るために、CDMA出力特性のゲート電圧依存性を調べた。電源電圧3.5Vにおいて、入出力整合は図7-10に示す特性を得た条件(歪を考慮した利得重視および出力重視整合)に固定し、セットドレイン電流(I_q)は53~500mA(I_{max} の0.7~6%、また V_{gs} では-1.18~-0.96V)の範囲において、CDMA出力特性を測定した。図7-13に各 I_q におけるPAEおよびACPR(0.9MHz)の P_{out} 依存性を示す。 I_q の低下に伴い、同じ出力レベルでのPAEは増加した。 $I_q=53$ mAでのPAEは $I_q=500$ mAでのPAEに対して、25dBm出力時に最大15%の向上が見られた。B級に近い動作(@ $I_q=53$ mA)において、12mW(10.8dBm)出力時のPAEは4.9%と高いことから、ゲート電圧制御による広い出力電力範囲での高効率化が可能であると判断される。ところで、飽和出力領域において P_{out} およびPAEは収束し、有意差は認められなかった。これは、入力電力の増加に伴って動作時のDCドレイン電流が I_q によらず一定値に収束するためと思われる。一方、ACPR(0.9MHz)は、 I_q の低下に伴って25dBm以下の低い出力レベルにおいて約20dBの劣化が見られた。

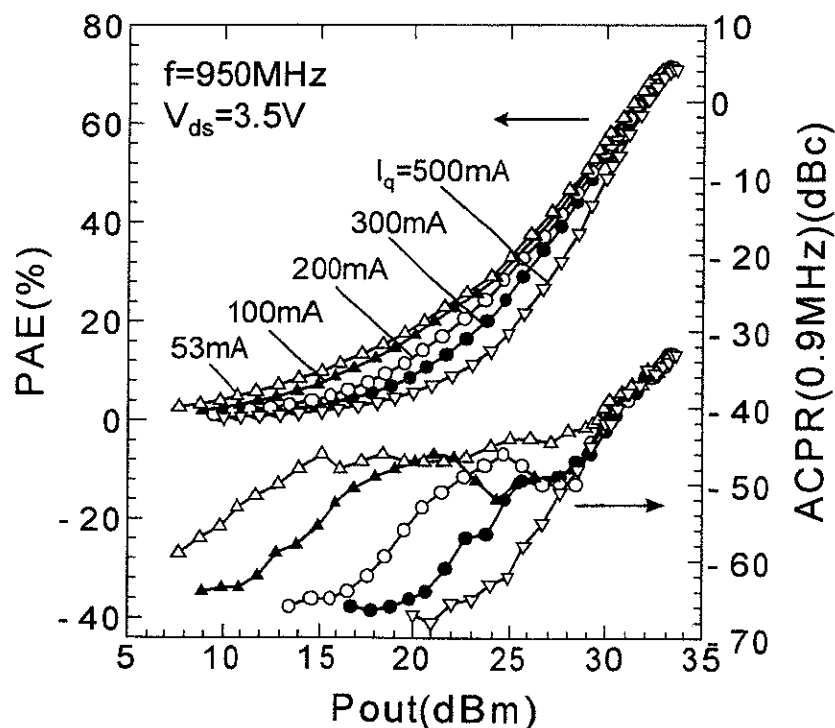


図7-13 各 I_q におけるPAEおよびACPR(0.9MHz)の P_{out} 依存性

図7-14に、IS-95歪規格時[ACPR(0.9MHz) \leq -42dBcおよびACPR(1.98MHz) \leq -54dBc]の P_{out} およびPAEの I_q 依存性を示す。PAEは $I_q=100$ mAにおいて、最大54.7%を示した(0.95W出力時)。一方、 P_{out} は I_q の増加に伴って増加するが、 $I_q \geq 300$ mAでは1.0W以上を維持した。CDMA出力特性はPDC出力特性に比べ、B級に近い動作での歪特

性の劣化が緩やかである傾向が見られた。この原因については、ピンチオフ近傍での非線形な素子特性(主に g_m)の3次および5次の係数に関係すると考えている[5]。

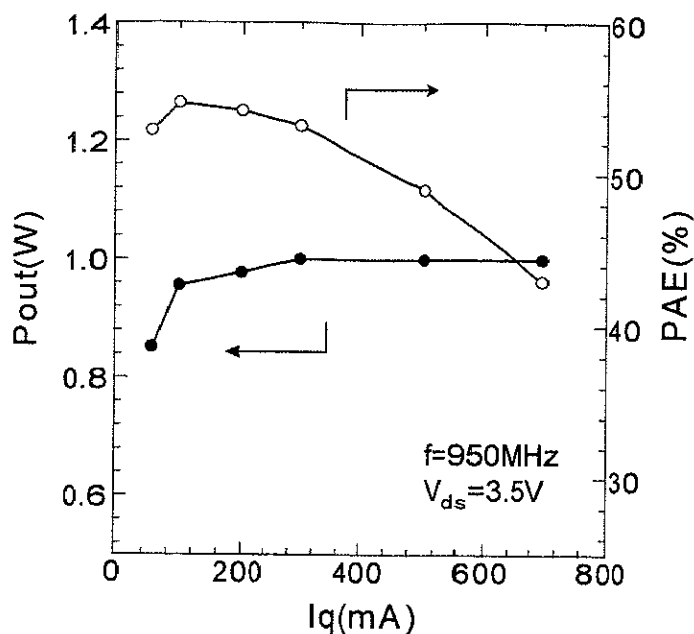


図7-14 I S-9 5 歪規格時の P_{out} およびPAEの I_q 依存性

次に、本素子のCDMA出力特性の電源電圧依存性を調べた。セットドレイン電流および入出力整合回路は図7-10の特性を得た条件($I_q=300\text{mA}$ 、歪を考慮した利得重視および出力重視整合)に固定し、 $V_{ds}=1.5\sim 4.0\text{V}$ の範囲において出力特性を調べた。図7-15に、I S-9 5 歪規格時の P_{out} およびPAEの電源電圧依存性を示す。PAEは電源電圧

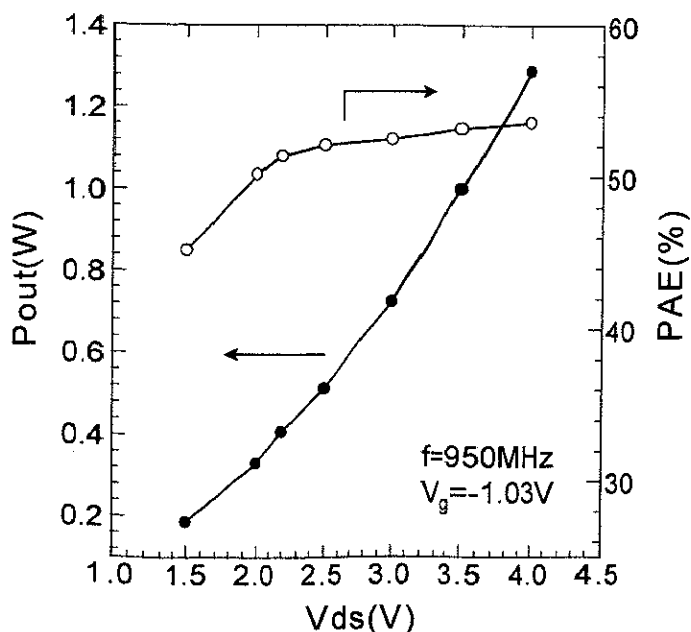


図7-15 I S-9 5 歪規格時の P_{out} およびPAEの電源電圧依存性

2.0Vにおいても、50.2%の高いPAEを示した。この低電圧動作での良好な効率、次の節で議論するが、開発した素子のオン抵抗が低いことによる。一方、出力電力は電源電圧の二乗に比例して増加するが、これは負荷抵抗を一定とした場合の電力と電圧の関係に一致する。

7.1.5 まとめ

Liイオン電池1セルで動作するHJFETの検討を行った。素子は、2段のリセス構造を有するダブルドープ $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ ヘテロ接合FETである。リセス構造はドライエッチングで形成され、そのばらつきを20mV程度と極めて小さくすることができた。

作製したダブルドープHJFETのDC特性は $r_{\text{on}}=2.3\Omega\cdot\text{mm}$ 、 $I_{\text{max}}=640\text{mA}/\text{mm}$ 、 $BV_{\text{gd}}=12.7\text{V}$ と良好である。これは、 $0.8\mu\text{m}$ 長のWSiゲートがソース側にオフセットして設けられた構造によるところが大きい。3.4V動作における950MHzの $\pi/4$ シフトQPSK信号を用いた評価より、PDC歪規格時に1.23W(30.9dBm)の出力電力と56.3%の高い電力付加効率を $W_g=7.0\text{mm}$ の素子で得た。本素子は、Liイオン電池の1セル駆動で50%以上の効率を示す世界最小チップサイズのPDC用高出力素子である。

A級動作解析を用いて、PDC規格を満たすFETのゲート幅と実効的なニー電圧、線形領域最大出力およびドレイン効率の関係を考察した。ゲート幅の増大に伴い、チップのオン抵抗が低下するため、出力と効率は増加するが、7mm以上のゲート幅があれば、良好な出力特性が得られることが分かった。

次に $W_g=17.5\text{mm}$ のHJFETをIS-95規格に準拠して出力特性を評価した。その結果、IS-95歪規格時に $P_{\text{out}}=1.0\text{W}$ (30.0dBm)、PAE=53.2%を3.5V動作にて得た。また、低電圧での動作性も良好である。

[7.2] 1.2V動作デジタル携帯電話用高出力H J F E T

前節ではLiイオン電池1セル(3.4~3.6V)で動作する小型軽量の携帯電話用の高出力H J F E Tの研究開発[1]について示した。今後は、パワーアンプの高効率化やP D C方式のハーフレート化で可能となった通話の長時間化により、端末の電池が小さくなり、一層の小型軽量化と低コスト化が進むものと予想される。一方、最近では端末の低周波側の処理(音声やそのデジタル処理)を行うベースバンド部のSi I Cの動作電圧が2V程度に下がってきた。また、学会レベルでは1V以下の可能性が議論されている。端末での複雑なデジタル演算処理を行う状況が増えるにしたがって、このベースバンドSi I Cの消費電力の割合が端末の中で相対的に増加してきた。そこで、パワーアンプが1V程度で動作可能となれば、パワーマネジメントがより一層容易になり、電源ロスも削減されることから端末使用の一層の長時間化が図れる。そこで、Ni水素電池などを利用した1V動作端末を想定した高出力H J F E Tの開発を検討した[2, 6]。

試作検討した素子構造は、前節のH J F E Tに類似した0.8 μ m長のAu/WSi系ゲートを狭リセス構造内のソース側にオフセットして設けたダブルドープH J F E Tである。オン抵抗は2.1 Ω ·mmと低く、 $W_g=28$ mmの素子をP D C歪規格に準拠して評価した結果、 $P_{out}=1.0$ WとPAE=51.5%を1.2V動作で得た。A級動作解析の結果、この1.2V動作での良好な出力特性は、本素子のオン抵抗が2.1 Ω ·mmと低いことによると結論された。

7.2.1 素子構造と作製プロセス

図7-16に、H J F E Tの構造を示す。素子は13.5nm厚 $In_{0.2}Ga_{0.8}As$ チャンネル層の上下に $Al_{0.22}Ga_{0.78}As$ 電子供給層を配したダブルドープダブルヘテロ構造である。[5.2]節で示したように、高移動度チャンネル層を電子供給層ではさんだこの構造は、高ドレイン電流密度設計が可能であるとともに、低いオン抵抗を有することから、低電圧動作における高効率高出力動作が可能である。1.2V動作検討では、より一層の低いオン抵抗が求められることは、7.1.3での検討でも明らかである。そこで、チャンネル層のキャリア濃度を高めるため、電子供給層ドナー濃度を $4.0 \times 10^{18} \text{cm}^{-3}$ と高めた。キャリア濃度を高める方策としては、電子供給層の厚さを増やすことも一策ではあるが、実空間遷移の問題やしきい値電圧が負の高い値になることを防ぐために、上層で9nmおよび下層で3.5nmとした。また、表面側の電子供給層の上にはアンドープ $Al_{0.22}Ga_{0.78}As$ ショットキー層を設け、十分なゲート耐圧を確保している。ゲート電極はAu/WSi系であり、このショットキー層に埋め込まれている。ゲート長はP D C方式の950MHzにおいて充分な利得を得るとともに、ゲート幅の増大に伴う発振などの不安定性を抑制するため、

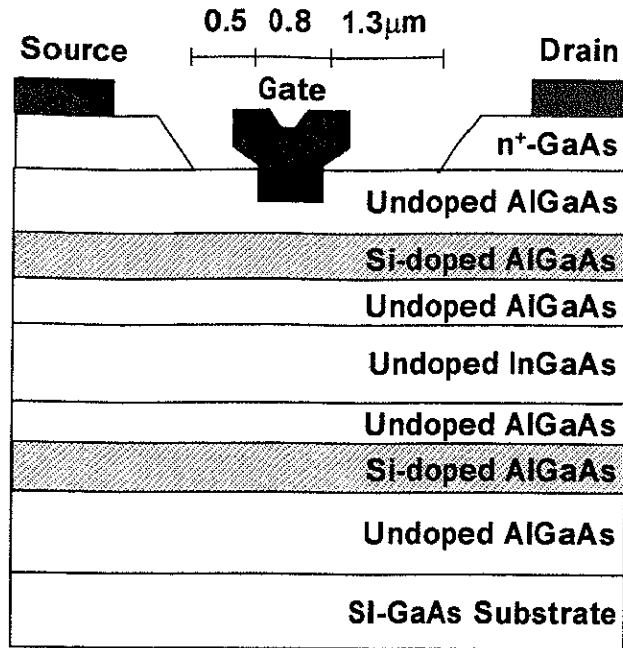


図7-16 0.8 μm 長ゲートHJFETの構造

0.8 μm とした。埋め込みゲート電極構造は表面の影響の抑制、ソース抵抗の低減およびニー電圧の低減に有効である [7-9]。また、しきい値電圧は、端末の負電源回路の制約より、電源電圧より低い負の電圧であることが望まれることから、ショットキー層への埋め込みゲートリセスエッチングを約20nmと深くした。そのため、ゲートリセスエッチングを注意深く制御して行った。ゲートリセス幅(L_r)は3.4 μm であり、ソース-ゲートリセス間隔(L_{sgr})とゲート-ドレインリセス間隔(L_{gdr})は、それぞれ0.5 μm と1.3 μm とした。比較のために、1.0 μm 長ゲートFETも同一ウェーハ内に作製したが、このFETの L_r は3.4 μm であり、 L_{sgr} と L_{gdr} はそれぞれ1.2 μm と1.2 μm である。ゲート長(L_g)および L_{sgr} の短縮により、 L_r は0.8 μm 短縮された。これにより、 $N_s=3 \times 10^{12} \text{cm}^{-2}$ 、 $\mu=6500 \text{cm}^2/\text{V}\cdot\text{s}$ とすれば、 $W_g=1.0 \text{mm}$ あたりのオン抵抗(r_{on})は、約0.3 $\Omega \cdot \text{mm}$ の減少が見込まれる。試作したFETチップは単位セルあたりゲート幅3.5mm(単位フィンガー長220 $\mu\text{m} \times 16$ 本)のFETで構成されている。評価に用いたHJFETは8セル構成で、28mmのゲート幅である。図7-17に、パッケージに納めた1.2V動作高出力HJFETの外観写真を示す。なお、GaAs基板は、厚さ35 μm まで薄層化し、裏面にはヒートシンク

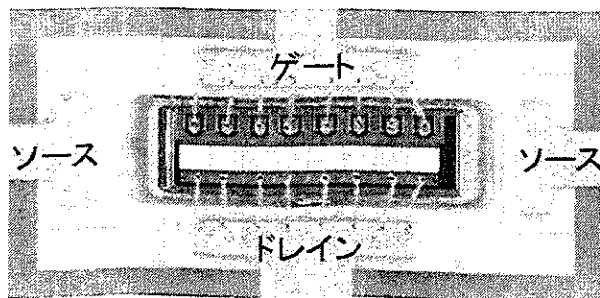


図7-17 1.2V動作高出力HJFETの外観写真

への良好な熱接触を得るためAuメッキを施している。

7.2.2 素子特性

図7-18に、DC測定用の $W_g=100\mu\text{m}$ 素子のドレインI-V特性、また、図7-19に g_m および I_d の V_{gs} 依存性を示す。素子は、良好なピンチオフ特性を示し、 $V_T=-1.1\text{V}$ である。 $V_{gs}=1.5\text{V}$ での I_{max} は 640mA/mm 、 g_m は平坦な V_{gs} 依存性を示し 340mS/mm であった。また、 BV_{gd} は 8.1V である。

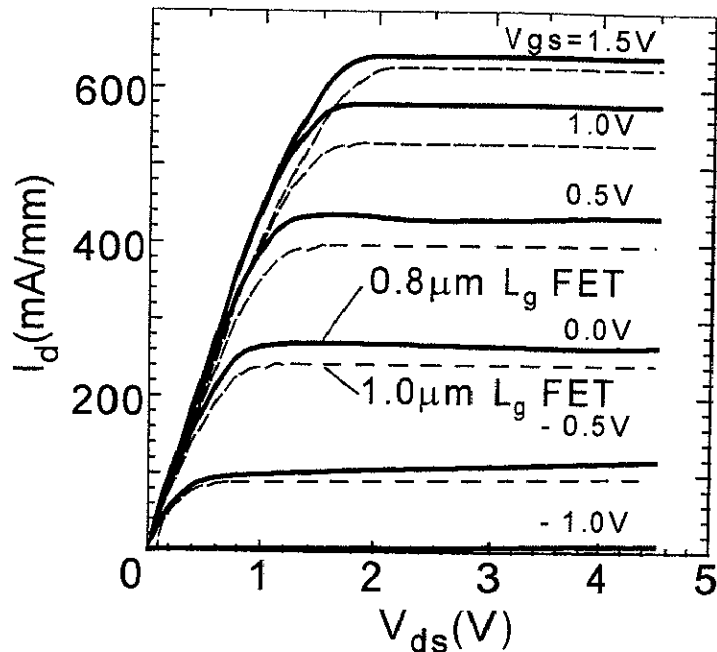


図7-18 ドレインI-V特性

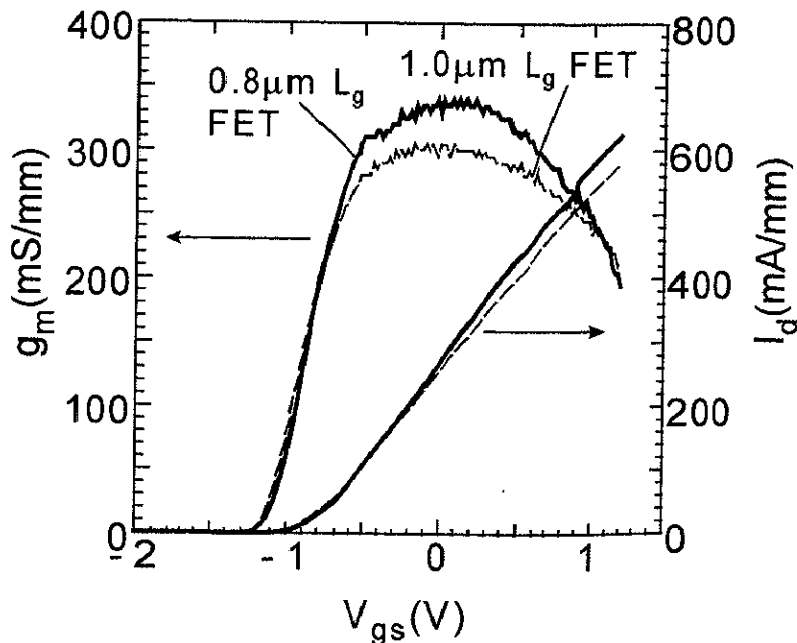


図7-19 g_m および I_d の V_{gs} 依存性

表7-2に、1.0 μm 長ゲートFETも併せて各素子のDC特性をまとめて示す。L_{SGT}およびL_gの短縮によりg_mが微増する傾向が認められた。I_{max}でのV_kは1.35Vであり、1.0 μm 長ゲートFETと比較して、150mV低減された。r_{on}は図7-18のドレインI-V特性においてI_{max}のI-Vカーブの立ち上がりの線形領域から算出した。r_{on}は2.1 $\Omega\cdot\text{mm}$ であり、1.0 μm 長ゲートFETの2.4 $\Omega\cdot\text{mm}$ より0.3 $\Omega\cdot\text{mm}$ 低い。これは先に示したL_rの短縮から見積もったr_{on}の減少に良い一致を示す。

表7-2 各素子のDC特性

	0.8 μm L _g FET	1.0 μm L _g FET
I _{max} (mA/mm)	640	630
V _T (V)	-1.1	-1.1
g _m (mS/mm)	340	300
BV _{gd} (V)	8.1	7.7
V _k (V)	1.35	1.50
r _{on} ($\Omega\cdot\text{mm}$)	2.1	2.4

r_{on}の低減など良好なDC特性が確認できた0.8 μm オフセットゲートFETにおいて、W_g=28.0mm素子の1.2V動作PDC評価を行った。入力信号には周波数950MHz、 $\pi/4$ シフトQPSK変調信号を用いた。V_{ds}=1.2Vにおいて、入出力共に適正な整合条件を求めするために、測定にはオートチューナーを用いたソースプルおよびロードプル入出力測定評価系を使用した。セットドレイン電流(I_d)は2.0A(I_{max}の11%、V_{gs}=-0.74V)に設定した。入力(ソース)側のインピーダンス(Z_s)は、最大の利得が得られる条件に整合した(Z_s=2.3-j5.1 Ω)。一方、出力(ロード)側のインピーダンス(Z_l)は、入力電力が18.7dBm(74.1mW)において、P_{adj}が-50dBc以下を満たしつつ出力電力が最大となるインピーダンスに整合した。この時、出力インピーダンスはZ_l=0.5-j6.4 Ω であった。

図7-20に、P_{out}、PAE、P_{adj}およびI_dのP_{in}依存性を示す。P_{adj}=-50.8dBc時にP_{out}=30.0dBm(1.0W)、PAE=51.5%および付随利得(G_a)11.3dBを得た。また、実効的なV_k(負荷インピーダンスと最大ドレイン電流のI-Vカーブから導出)は0.23Vとなった。筆者の知る限りでは、1.2V動作でPDCを満たした最初の報告である。試作した素子の1.2VPDC動作時の出力電力密度は36mW/mmであった。これは報告されている1.5V動

作高出力MESFETの飽和出力密度(35mW/mm)[10]より高い。なお本素子は、PAEの最大値(PAE_{max})65.4%の時に飽和出力電力(P_{sat})31.6dBm(1.45W)を示す。線形利得は12.9dBであった。

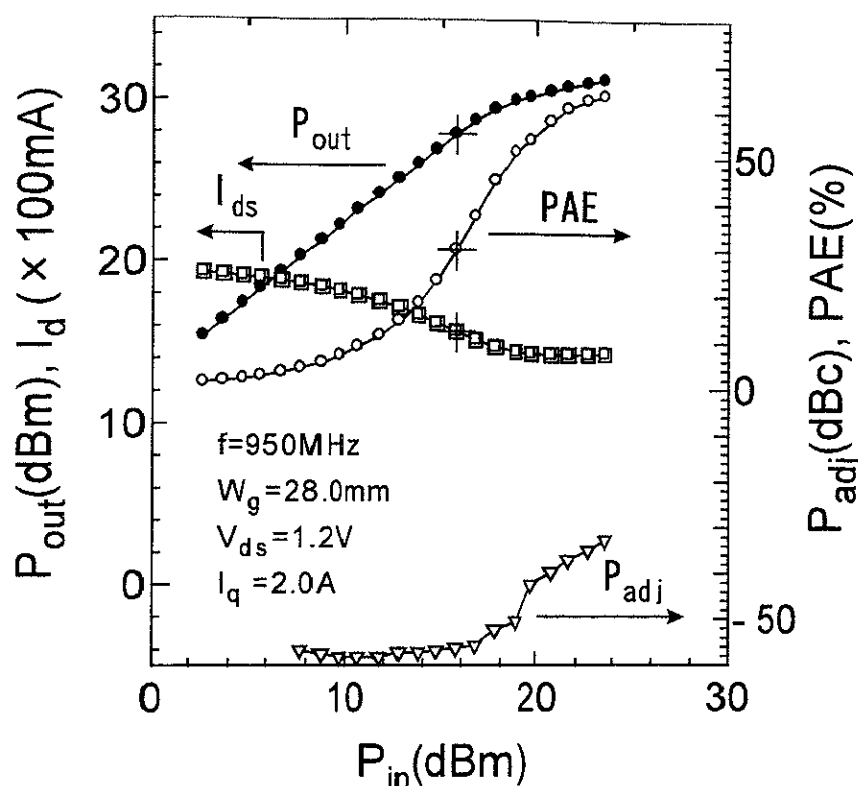


図7-20 P_{out} 、PAE、 P_{adj} および I_d の P_{in} 依存性

次に、本素子において入力電力の増加による動作点の変動を知るために、出力特性のセットドレイン電流依存性を調べた。実験では、図7-20に示す1.2V動作時の入出力特性を得るソース側およびロード側のインピーダンス($Z_s=2.3-j5.1\Omega$ 、 $Z_L=0.5-j6.4\Omega$)を固定し、 I_q を I_{max} の2%以上のさまざまな範囲(0.4A~3A)で変化させ、出力電力と動作時のDCドレイン電流の入力電力依存性を調べた。図7-21に、各 I_q における P_{out} および I_d の P_{in} 依存性を示す。線形利得は $I_q=1.2\sim 1.6$ Aの設定時が最も高く、約15dBを得た。飽和領域の出力特性は $I_q=2$ Aに設定したときが最も高い。 I_q を0.4Aから1.2Aに設定したとき、入力電力の増加に伴って I_d は増加する傾向が見られた。一方、1.6A以上の I_q では、入力電力の増加に伴って I_d は減少する傾向を示した。これは、実際の動作点付近の g_m 特性が非線形な V_{gs} 依存性を示す(図7-18および図7-19参照)ことから、 I_d は順方向の電流電圧振幅に対して上詰まりを生じ、 I_{DC} が I_q より減少したものと思われる。いずれの I_q においても、飽和領域において I_d は1.5A付近に収束する傾向が認められた。1.5Aでの動作は線形A級動作での最適動作点に等しい。このことは、適当な負荷が与えられると、A級動作点に収束することを示している。

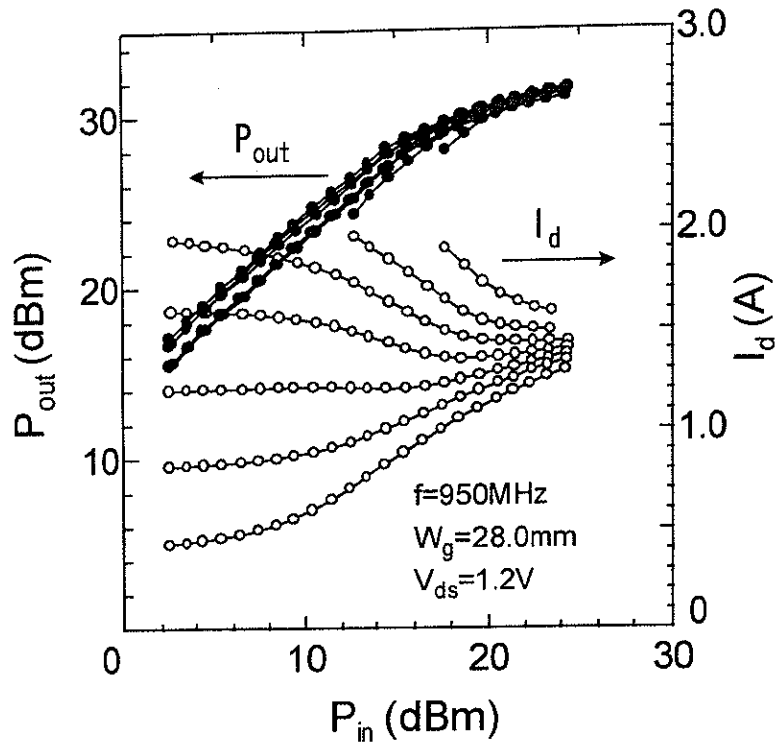
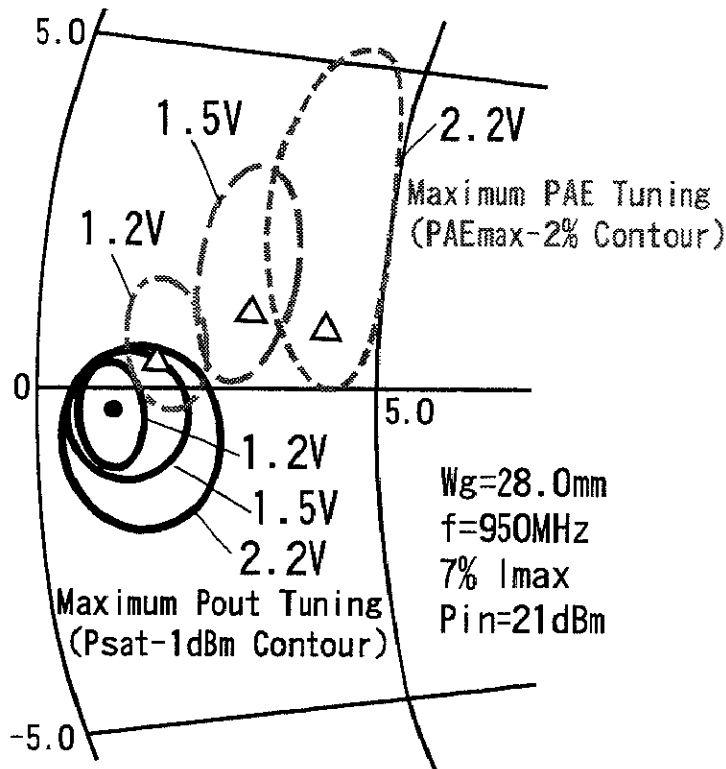


図7-21 各 I_d における P_{out} および I_d の P_{in} 依存性

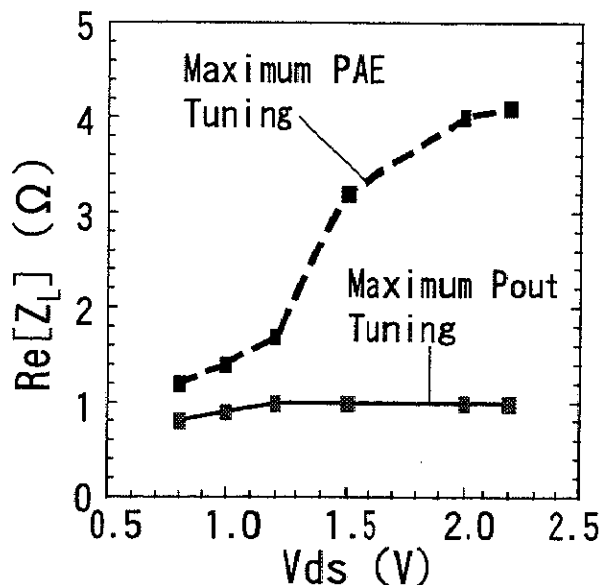
一方、同一ウェーハ上の $W_g=28.0\text{mm}$ を有する $1.0\mu\text{m}$ 長ゲートFETは、 1.2V 動作時に、 $P_{adj}=-50.5\text{dBc}$ と同時に、 $P_{out}=0.9\text{W}$ (29.5dBm)、 $\text{PAE}=45.9\%$ および $G_a=10.3\text{dB}$ を示した。この時、動作ドレイン電流は 1.42A であった。また、実効的な V_k は 0.27V となった。線形利得は 11.9dB である。 $0.8\mu\text{m}$ オフセットゲートFETでは、 -50dBc より良好な P_{adj} を確保した出力電力として、 0.1W の向上が認められた。また、PAEにおいては約6%の改善を得た。これらの出力特性の改善は、次の7.2.3で示すように、 r_{on} が $0.3\Omega\cdot\text{mm}$ 低減されたことによる。

また、この $1.0\mu\text{m}$ 長ゲートFETを用いて、ロードインピーダンスを出力を重視した整合条件と効率を重視した整合条件について動作電圧依存性を検討した[11]。ソースインピーダンスは、 21.0dBm 入力時に利得が最大となるインピーダンスに固定した。図7-22に、各整合条件でのロードインピーダンスをa)にスミスチャート上で、またb)にロードインピーダンスの実部をそれぞれ示す。出力を重視した整合条件では、動作電圧にかかわらず、ロードインピーダンスは 1Ω 程度であることが分かった。一方、効率を重視した整合条件でのロードインピーダンスは、動作電圧の低下にしたがって、低下することが分かった。 1.2V 動作におけるロードインピーダンスは、出力を重視した整合条件で $1.0-j0.5\Omega$ 、効率を重視した整合条件では $1.7-j0.2\Omega$ となり、両者は近接する。これは、動作電圧が高い場合は、消費電流を押さえながら出力を得る負荷条件が探し得るが、動作電圧の低減にともなって負荷条件の選択がせばまり、まず出力

を出すことが効率の向上につながることを示していると推察される。動作電圧の低減に伴って、整合条件の寛容度が劣化(図7-22 a)に示した等高線の内側[出力を重視した整合条件では P_{sat} から1dB低下する領域、効率を重視した整合条件では PAE_{max} から2%低下する領域]の面積の減少)していることも、この推論を支持する。



a) スミスチャート上での動作電圧とロードインピーダンスの関係



b) 動作電圧とロードインピーダンスの実部の関係

図7-22 各整合条件におけるロードインピーダンスの動作電圧依存性

7.2.3 低電圧動作での高効率化に向けた考察

ここでは、7.1.3で議論したA級動作解析を第一次近似として用いて、低電圧動作時のPDC出力特性を考察する。図7-7に、解析に用いたFETのドレインI-V特性、 V_{ds} 、 I_{DC} および負荷線の関係をもう一度示す。A級動作は、一般に負荷線が I_{max} とドレイン耐圧を利用した最大出力の動作モードで表される。一方、高効率動作が求められる携帯電話用パワートランジスタでは、線形動作時に I_{max} まで動作がおよぶことはない。したがって、ここではA級動作を、2倍の動作ドレイン電流(I_{DC})で表される実効的な I_{max} (I_{dmax})と実効knee電圧(V_{min})で検討した。

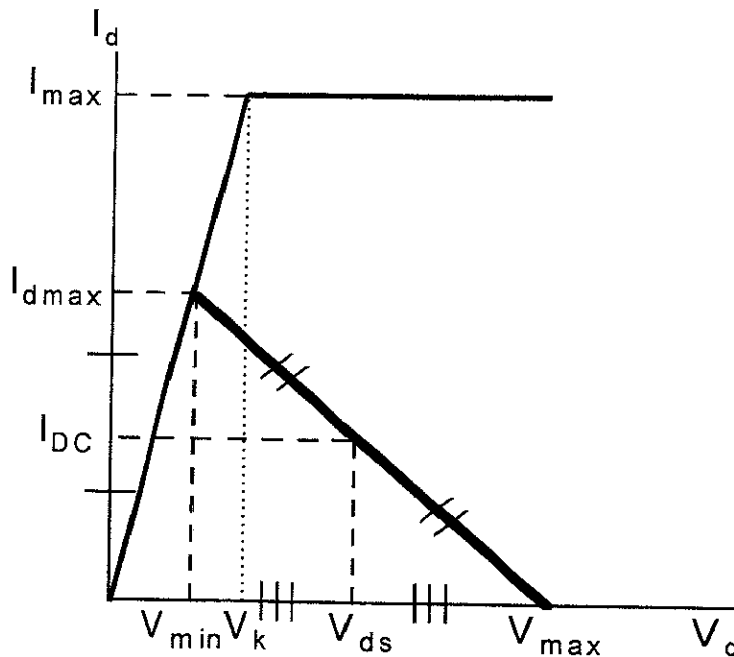


図7-7 A級動作解析説明図

解析を簡単にするため、FETの g_m は V_{gs} に依存せず一定、また無限小の g_d を仮定した。さらに、負荷インピーダンスは実数部のみを考慮し、負荷線が直線近似できるものと仮定する。このとき、7.1.3で示したように、 P_{omax} と η_d は以下の式で与えられる。

$$P_{o\max} = \frac{I_{DC} \cdot V_{ds}}{2} - I_{DC}^2 \cdot R_{ON} \quad (7.3)$$

$$\eta_d = \frac{1}{2} - \frac{I_{DC} \cdot R_{ON}}{V_{ds}} \quad (7.4)$$

P_{omax} と η_d は V_{ds} 、 I_{DC} と R_{ON} の3つの変数で表すことができる。ある一定の V_{ds} において R_{ON} を低減すること、または I_{DC} を増加することによって、 P_{omax} の向上が見込める。しかしながら、PAEの低下および配線抵抗による電源電圧の降下を考慮すると I_{DC} の増加は望

ましくない。したがって、低電圧動作では基本素子の r_{on} の低減が、 P_{omax} と η_d の向上には極めて重要である。ここで、 $W_g=28.0\text{mm}$ 素子($R_{ON}=0.075\Omega$)の P_{omax} および η_d を、(7.3)および(7.4)式に $V_{ds}=1.2\text{V}$ 、 $I_{DC}=1.54\text{A}$ を代入して見積もると、それぞれ 0.75W 、 40.3% が得られた。これらは、図7-20に示した+印の点となり、測定された入出力特性の1dB利得圧縮点と良い一致を示した。また、 Z_L は 0.64Ω と見積もられ、ロードブル測定から得られた Z_L の実部の 0.5Ω に良く一致する。 P_{omax} は利得圧縮が始まる最大の出力であることから、この一致は妥当であると判断される。したがって、歪みを抑えた出力重視整合時の動作モードはA級動作に類似していると推察される。また、測定では1.6dB利得圧縮時において $P_{adj}=-50.8\text{dBc}$ と同時に $P_{out}=1.0\text{W}$ を示し、PDC規格を満たした。この時、 P_{out} および η_d は1dB利得圧縮時の特性(P_{omax} と同等)よりいずれも約30%大きな値を示した。したがって、 -50dBc 以下の P_{adj} と同時に1W以上の出力電力を得るには、 P_{omax} は 0.75W 以上であれば良いと見積もられる。

次に、 $V_{ds}=1.2\text{V}$ におけるPDC出力特性の R_{ON} 依存性を、解析より検討する。 I_{DC} は実験より得られた 1.54A に固定した。図7-23に、 P_{omax} と η_d の R_{ON} 依存性の計算結果を示す。 P_{omax} と η_d は R_{ON} の低下に伴い、単調増加した。これより、1W以上の出力電力でPDC規格を満たす $P_{omax} \geq 0.75\text{W}$ を得る R_{ON} は、 0.075Ω 以下であればよいことが分かった。

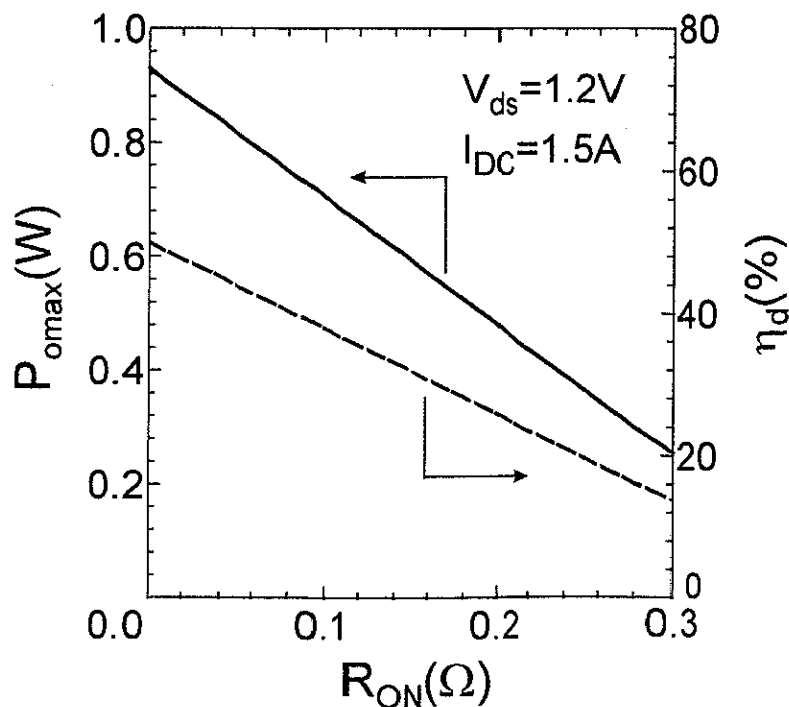


図7-23 P_{omax} と η_d の R_{ON} 依存性

一方、 $1.0\mu\text{m}$ 長ゲートFETは、 $W_g=28.0\text{mm}$ の素子の R_{ON} は 0.085Ω であることから、 P_{omax} および η_d はそれぞれ、 0.71W および 38.5% と見積られる。これらの計算値もまた、 1dB 利得圧縮時の測定値に良い一致を示した。さらに、測定では $P_{\text{adj}}=-50.5\text{dBc}$ と同時に $P_{\text{out}}=0.9\text{W}$ 、 $\text{PAE}=45.9\%$ を 1.6dB 利得圧縮時において得ている。したがって、今回の $0.8\mu\text{m}$ 長ゲートFETがPDC規格において、 P_{out} で 0.1W 、 PAE で 6% 増加したことは、 R_{ON} が 0.01Ω 低いことによることが解析から分かった。これは、先に示したように、 L_r の短縮によって基本素子の r_{on} を $0.3\Omega\cdot\text{mm}$ 低減したことによる。

さらに、測定したPDC出力特性と良い一致が得られたA級解析を用いて、低電圧動作時の P_{omax} と R_{ON} との関係を見積もり、素子のPDC特性の電源電圧依存性を予測した。解析では、(7.3)式を用いて I_{DC} は 1.5A に固定した。図7-24に、それぞれの P_{omax} を得るときの V_{ds} と R_{ON} の相関(計算値)を示す。図中に今回の 1.2V 動作PDC特性およびこれまでに報告した 1.5V および 2.2V 動作PDC出力特性[11, 12]の測定値($P_{-1\text{dB}}$ および R_{ON})を+印で示す。いずれの測定値も V_{ds} と R_{ON} の相関上にあり、 $V_{\text{ds}}=1\sim 2\text{V}$ 、 $R_{ON}=0.05\sim 0.15\Omega$ の範囲において計算結果が測定値に一致することが確かめられた。

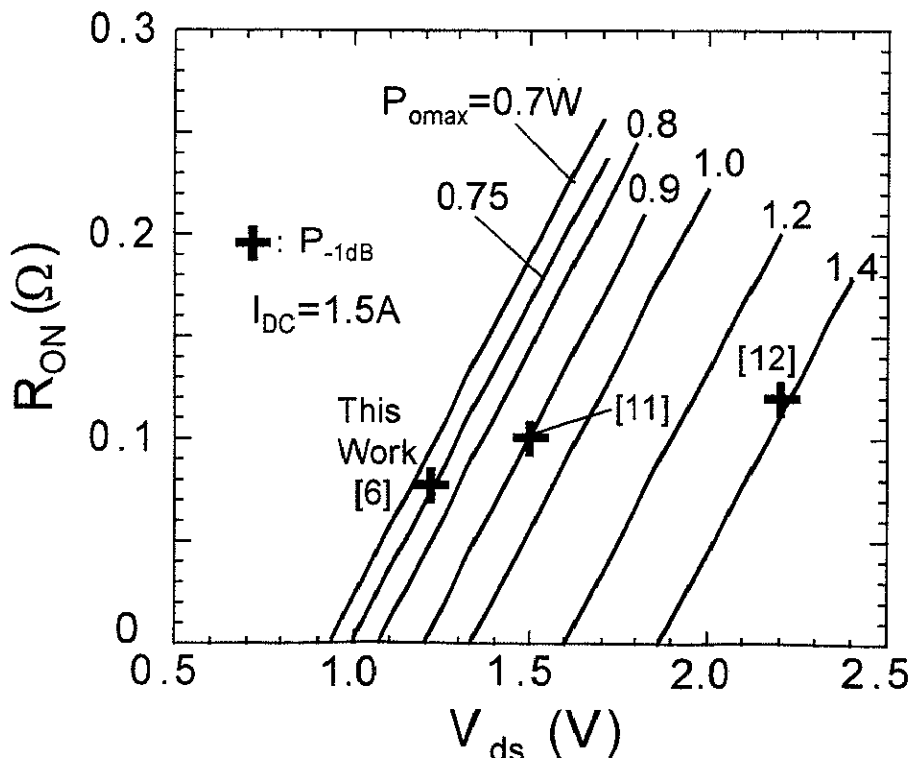


図7-24 各 P_{omax} における V_{ds} と R_{ON} の関係(計算)

図7-24によれば、 1.5V 動作では、出力 1W で $P_{\text{adj}}<-50\text{dBc}$ を満たす P_{omax} の最小値 0.75W を得るためには、 R_{ON} は 0.17Ω 以下であればよいが、 1.2V 動作では、 0.08Ω に低減する必要がある。また、 $W_g=28.0\text{mm}$ の $1.0\mu\text{m}$ 長ゲートFETは 1.5V 動作においてPDC規格特性を示したが、 R_{ON} が 0.09Ω であることより、出力電力 1W 以上で $P_{\text{adj}}<-50\text{dBc}$ を満たす動

作電圧はせいぜい1.3Vであると推察される。本素子で1.2V動作させるためには $W_g=32\text{mm}$ 以上が必要とされる。ただし、ゲート幅の増加はインピーダンスの低下による整合の困難化および結合ロスの増加による利得の減少を招くとともに、チップサイズおよびコストにおいて不利となる。したがって、今回1.2V動作PDC特性を得たことは、 $2.1\Omega\cdot\text{mm}$ の低い r_{on} を実現したことによる。

また本解析によれば、1.1V動作において $P_{\text{omax}}=0.75\text{W}$ を得る R_{ok} は 0.04Ω であることから、 $W_g=28.0\text{mm}$ の素子において $P_{\text{adj}}<-50\text{dBc}$ と同時に出力1Wを満たすには、 $1.1\Omega\cdot\text{mm}$ の r_{on} が求められる。

7.2.4 まとめ

Ni水素電池1セルで動作するPDC用Si-doped $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}/\text{Si-doped}$ $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$ H J F E Tを検討した。1.2V動作でPDC規格達成のために、しきい値電圧を負の低い値に保ちながら、オン抵抗を低減する設計を行っている。試作した狭いリセスと $0.8\mu\text{m}$ 長オフセットゲートを有するH J F E Tは $2.1\Omega\cdot\text{mm}$ の r_{on} と $640\text{mA}/\text{mm}$ の I_{max} を示した。 $W_g=28.0\text{mm}$ の素子は1.2V動作における 950MHz の $\pi/4$ シフトQPSK変調信号を用いた評価の結果、 -50.8dBc の P_{adj} と同時に 1.0W の出力電力と 51.5% の電力付加効率を達成した。A級動作解析手法は歪を抑えた出力重視整合時の動作の第一次近似として有効であること、また本手法より、今回比較的短いゲート幅の素子において1.2V動作でのPDC規格が達成できたことは、 $2.1\Omega\cdot\text{mm}$ の低い r_{on} を実現したことによることが分かった。

[7.3] 単一電源動作デジタル携帯電話用高出力HJFET

アメリカで普及しているアナログのAdvanced Mobile Phone System(AMPS)方式やヨーロッパを中心に普及している変調により振幅が変化しないデジタルのGlobal System for Mobile Communications(GSM)方式の携帯電話では、歪に対する規格が厳しくないため、ゲートバイアス用の負電圧発生回路を必要としない単一正電源動作が可能なエンハンスメント型の高出力SiMOSFETが使用されている。また最近では、移動体通信端末の一層の小型軽量化とコスト削減の要求から、PDC方式に対しても単一正電源動作が可能な高出力素子が要求されている。GaAsFETはドレインアイドル電流設定のため、ゲートに印加する負電圧がドレインバイアス電源の他に必要である。そこで、しきい値電圧が正の値であるエンハンスメント型かまたは負の値であってもゲートには負電位の供給を必要としないFETの実現が期待される。そのようなしきい値電圧のFETは、[7.1]節や[7.2]節で示したゲートに負電位の供給を必要とするFETと比較するならば、最大ドレイン電流が一般的に大きくないことから、高出力化にはゲート幅の増大が必要である。しかしながら、しきい値電圧の高い設定精度とウェーハ面内での低いしきい値電圧のばらつきが要求されるので、ゲート幅の大きな高出力素子の実現は疑問視されていた。この節では、ダブルドープHJFETに改良を加え、1W以上の出力を示す低電圧単一電源動作高出力素子の検討を示す[13]。検討した $1.0\mu\text{m}$ 長ゲートHJFETのしきい値電圧は -0.35V であり、ゲートバイアス 0V での単一正電源動作が可能である。また、最大ドレイン電流は 300mA/mm とGaAsMESFET以上であり、その他のDC特性も $g_m=240\text{mS/mm}$ および $BV_{gd}=13\text{V}$ と良好である。 $W_g=21.0\text{mm}$ 素子の 950MHz の $\pi/4$ シフトQPSK信号を用いた評価より、PDC歪規格時に $P_{out}=2.45\text{W}$ および $\text{PAE}=47.1\%$ を 3.0V 単一正電源動作で得た[13]。

7.3.1 素子構造と作製プロセス

HJFETはアンドープ $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$ ショットキー層の適用により、GaAsMESFETと比較すると高いゲート順方向オン電圧を有しているためゲートへの入力電圧振幅が大きくとれることと、GaAsMESFETより大きなドレイン電流が得られるので、単一正電源動作の高出力素子として有望である。しきい値電圧を低くするには、ショットキー層を薄くする方法やAlGaAs電子供給層へのSiドナードーピング濃度を下げる方法がある。小型高効率素子の実現という目的に照らし、ドレイン電流の低下がある程度押さえられるショットキー層の薄いHJFETを設計した。ショットキー

層が薄くなれば g_m の V_{gs} 依存性も変わるので、良好な歪特性の実現を目指して g_m の線形性に配慮し、ダブルドーピングのバランスを最適化した。ところで、一般的なシングルリセス構造のFETにおいてしきい値電圧を低くすると、ゲート横のリセス領域では表面電位によりチャンネルの電子濃度が低下し、 R_{on} が増大しする。したがって、7.1.3および7.2.3で考察したように、出力特性は劣化する。しかしながら、本素子のように埋め込みゲート構造を採用した場合、ゲート横のリセス領域では厚いアンドープAlGaAs層が表面電位の緩衝層となり下のチャンネルへの影響を著しく緩和し、ドレイン電流の低下と周波数分散の問題を押さえることができる[7-9]。また、この検討ではウェットエッチャントによるリセスエッチングを適用したが、7.1.1で示したドライリセスエッチング技術の適用により、しきい値電圧の制御要求が厳しい単一電源動作HJFETの実用化は可能である。

図7-25に試作したHJFETの構造を示す。素子は13.5nm厚 $In_{0.2}Ga_{0.8}As$ チャンネル層の上下に $Al_{0.22}Ga_{0.78}As$ 電子供給層を配したダブルドーピングダブルヘテロ構造であり、ゲートは1.0 μm 長のAu/WSi系ゲート、またゲート幅は21.0nmである。チャンネル層上の電子供給層濃度は $4.5 \times 10^{18} cm^{-3}$ 、厚さは9nmであり、下の電子供給層濃度は $4.0 \times 10^{18} cm^{-3}$ 、厚さは4nmである。上部電子供給層の上のアンドープショットキー層の厚さ(30nm)は、[7.2]節で検討したショットキー層厚(40nm)より薄い。ワイドリセスは、エッチングレートを基に、Si-doped GaAs層を除去することにより形成した。次の埋め込みゲート用リセス形成は、30nm厚のアンドープショットキー層をおよそ20nm除去することにより行った。この時、しきい値電圧をモニタしながらエッチング深さを調整したが、これには一滴の酒石酸をプローブに用いたC-V測定によった。調整値は、-0.6Vである。完成したウェーハの V_T は、-0.3~-0.9Vの範囲

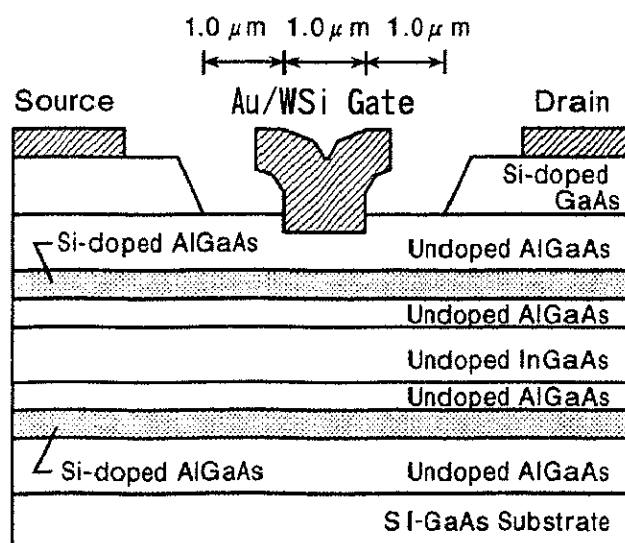


図7-25 単一電源動作HJFETの構造

でばらついた。このばらつきが大きい理由は、ウェットエッチングによる埋め込みゲート用リセス形成を、多数回に分けて行ったことによると推察される。7.1.1で示したように、このばらつきは、ECRを用いた結晶ドライエッチングにより1/5程度に抑制することは可能である[1, 3]。最後にGaAs基板は、厚さ50 μm まで薄層化し、裏面にはヒートシンクへの良好な熱接触を得るためAuメッキを施した。

7.3.2 素子特性

図7-26に試作したHJFETのドレインI-V特性を示す。 V_T は-0.35Vであり良好なピンチオフ特性を示す。 $V_{gs}=0.0\text{V}$ の時の飽和ドレイン電流(I_{dss})は45mA/mmであり、 I_{max} は300mA/mmとGaAsMESFET以上である。また、 V_k は I_{dss} において0.3Vと低い。また、ゲート-ドレイン間I-V特性評価より、 BV_{gd} はゲート-ドレイン電流-1mA/mmにて13V、また-0.1mA/mmにて10.5Vであった。

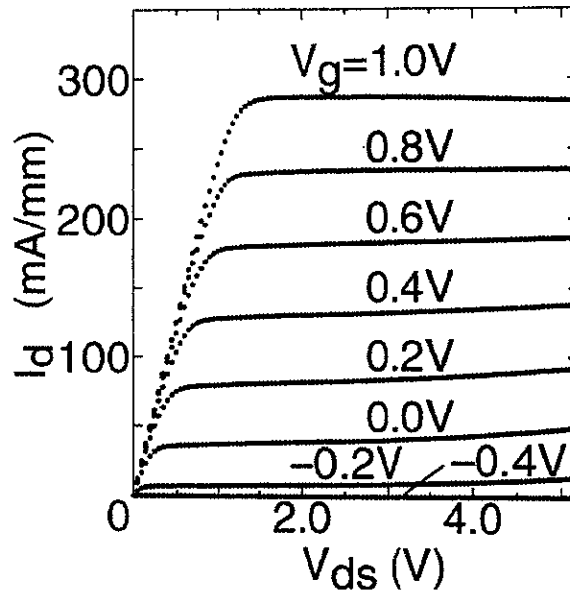


図7-26 HJFETのドレインI-V特性

図7-27に、DC測定用の $W_g=200\mu\text{m}$ FETの $V_{ds}=3.0\text{V}$ における I_d および g_m の V_{gs} 依存性を示す。 g_m の最大値は240mA/mmである。また、良好な歪特性の実現を目指して g_m の線形性に配慮し、ダブルドーピングのバランスを最適化した設計であるため、極めてフラットな g_m の V_{gs} 依存性を示す。このHJFETは、 $V_{gs}=0.0\text{V}$ において、ドレイン電流は I_{max} の15%となり、移動体通信用高出力FETとして使いやすい。いわゆる、負のゲートバイアスの必要が無い疑似エンハンスメント型FETである。一方、[7.1]節や[7.2]節で示したHJFETでは適当なバイアス電流のセットのために、負電圧がゲートバイアス用に必要である。

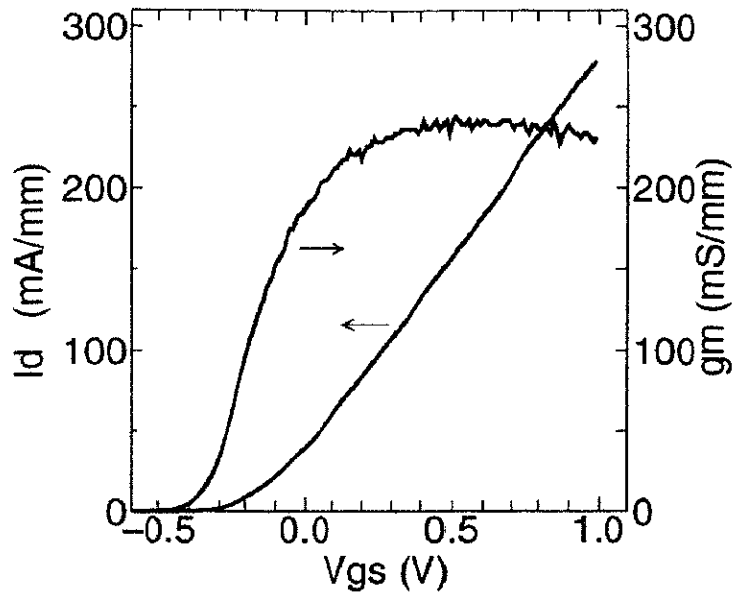


図7-27 g_m および I_{ds} の V_{gs} 依存性

RF入出力特性評価は、コンピュータで制御されたオートチューナによるソースプルおよびロードプル入出力測定評価系を用いて行った。バイアス条件は、 $V_{ds}=3.0V$ および $V_{gs}=0.0V$ である。セットドレイン電流は $0.95A$ となり、 I_{max} の15%である。図7-28に、950MHzの入力信号21.5dBm入力時に、ソース側を利得重視の整合($Z_s=1.0-j0.5\Omega$)、ロード側を出力を重視した整合と効率を重視した整合時の P_{out} とPAEの P_{in} に対する関係を示す。出力を重視した整合において、飽和出力電力(P_{sat})3.28W(35.2dBm)とPAEの最大値(PAE_{max})64.8%を得た。本素子の BV_{gd} (13V)は3.0V

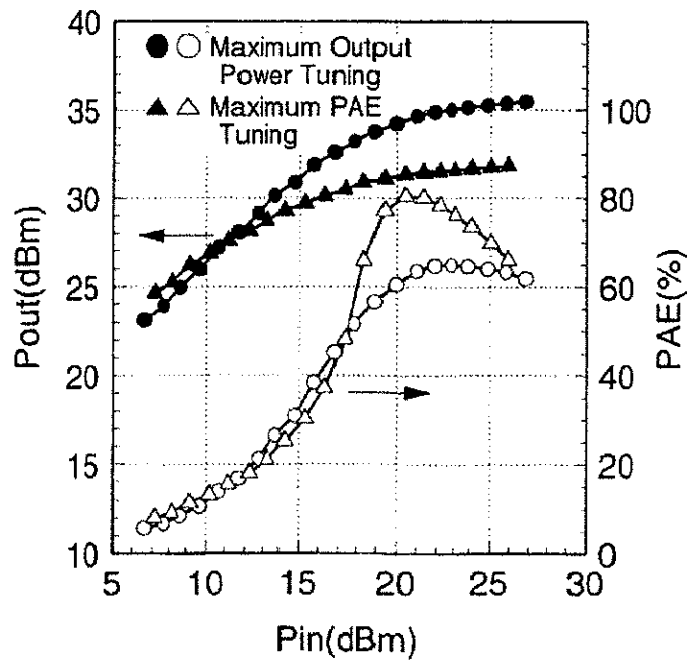


図7-28 出力を重視した整合と効率を重視した整合時の P_{out} とPAEの P_{in} に対する関係

に対して充分高いので、ゲート電流は負にならず、飽和領域において順方向にゲート電流が急激に流れることが分かった。一方、効率重視整合にて $P_{\text{sat}}=1.45\text{W}$ (31.6dBm)と $\text{PAE}_{\text{max}}=80.4\%$ を得た。これらの評価は歪に対する配慮は無いが、3W以上の出力電力と80%以上の高い効率が得られたことより、試作したHJFETは、3.0V単一電源で動作するAMPSやGSM用の携帯電話用高出力素子として好適であることが分かった。

図7-29に、 $V_{\text{gs}}=0.0\text{V}$ 、950MHzにおける P_{sat} とPAEの V_{ds} 依存性を示す。整合条件は、上記の各条件に固定した。出力は、 V_{ds} の減少に伴って減少することが分かった。しかしながら、出力重視整合の場合、2.0V動作においても1.68W(32.3dBm)の飽和出力を示す。また PAE_{max} は、1.0V以上の広い範囲に渡って60%以上を示した。3.0Vにおける出力重視整合は、ユニバーサルで使いやすい整合であることが分かった。一方、効率重視整合の場合は、1.5V以上で70%以上の高い PAE_{max} を示すが、それ以下の動作電圧では急激に減少することが分かった。

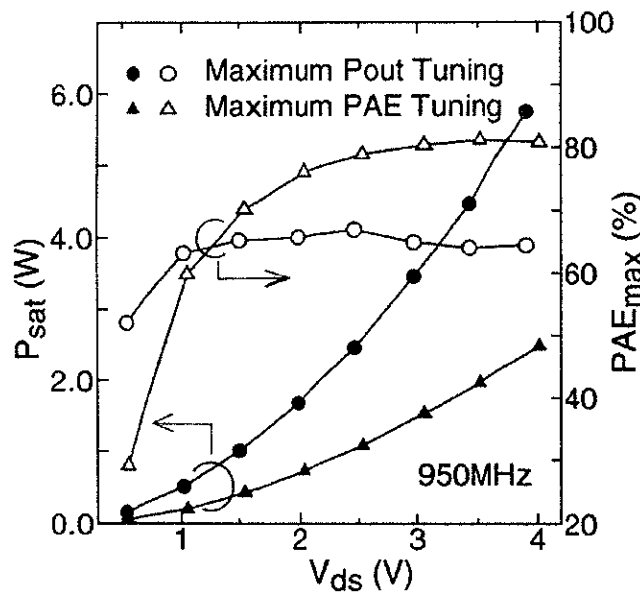


図7-29 $V_{\text{gs}}=0.0\text{V}$ における P_{sat} とPAEの V_{ds} 依存性

次に歪規格を有するデジタル携帯電話への適用を目指し、この素子の3.0V単一正電源動作でのPDC評価を行った。入力信号には周波数950MHz、 $\pi/4$ シフトQPSK変調信号を用いた。バイアス条件は、先と同じく $V_{\text{ds}}=3.0\text{V}$ および $V_{\text{gs}}=0.0\text{V}$ である。したがって、セットドレイン電流は0.95Aとなり、 I_{max} の15%である。まず、入出力ともに適正な整合条件を求めるために、オートチューナーを用いたソースプルおよびロードプル測定を行った。先に、ソースプル測定により、ソース側のインピーダンスは最大の利得が得られる条件に固定した。次に、ロード側のインピーダンスを様々に変えて評

価した。図7-30に、ロードプル測定より求めたロードインピーダンスと P_{out} 、PAE、 P_{adj} の関係を示す。垂直のハッチングで示された領域は1W以上の P_{out} が得られるインピーダンス領域であり、垂平のハッチングで示された領域は50%以上のPAEが得られるインピーダンス領域である。一方、白抜きの領域は-50dBcより良好な P_{adj} が得られるインピーダンス領域であり、3つのパラメータのインピーダンス関係より、最適なロードインピーダンスとして、 $2.5-j2.8\Omega$ を得た。

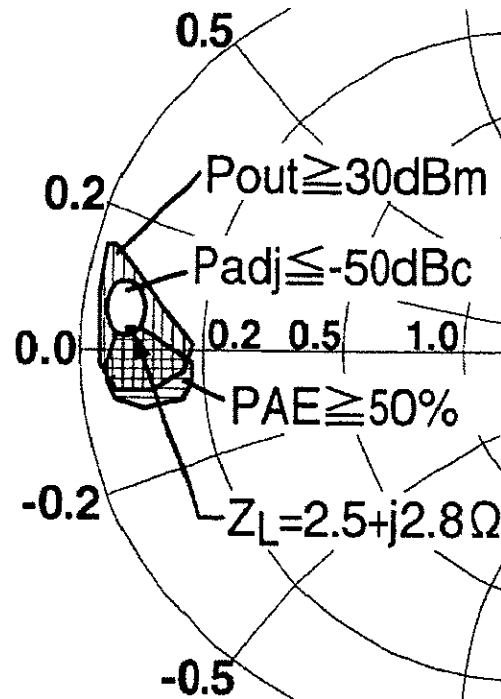


図7-30 ロードインピーダンスと P_{out} 、PAE、 P_{adj} の関係

以上のロードプル測定の結果をもとにPDC出力特性を評価した。図7-31に、 P_{out} 、PAEおよび P_{adj} の P_{in} 依存性を示す。 $P_{adj} = -50.6\text{dBc}$ 時に $P_{out} = 2.45\text{W}$ (33.9dBm)、PAE=47.1%を得た。線形利得は14.8dBであった。以上の結果は、歪規格を有するデジタル携帯電話においても、適用可能であることを示す。なお、効率が[7.1]節での値より劣る理由は、ゲート長が $1.0\mu\text{m}$ と長いことやリセス構造が最適化されていないことから、オン抵抗が比較的大きな値であることによる。この改善には、各構造の最適化と次に示すコンタクト抵抗を低減する新しい素子構造の適用が有効である。

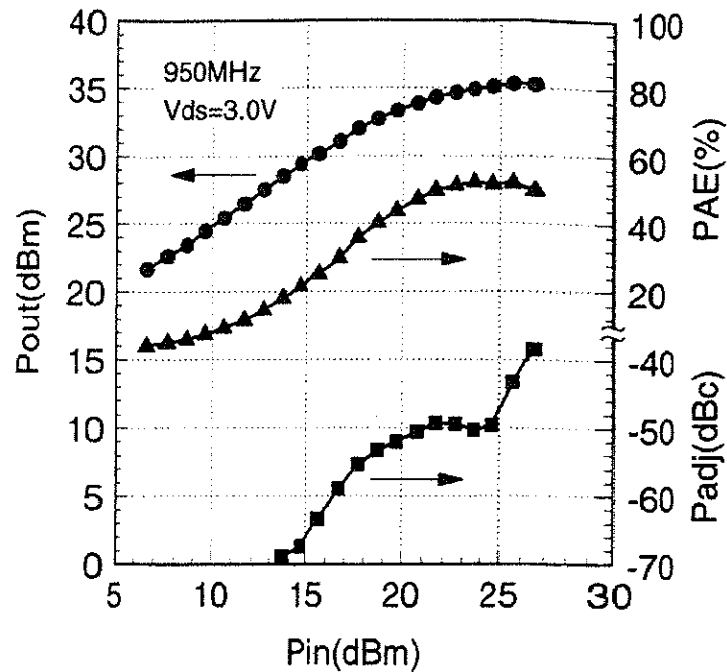


図7-31 P_{out} 、PAEおよび P_{adj} の P_{in} 依存性

7.3.3 今後の課題と新しい素子構造の提案

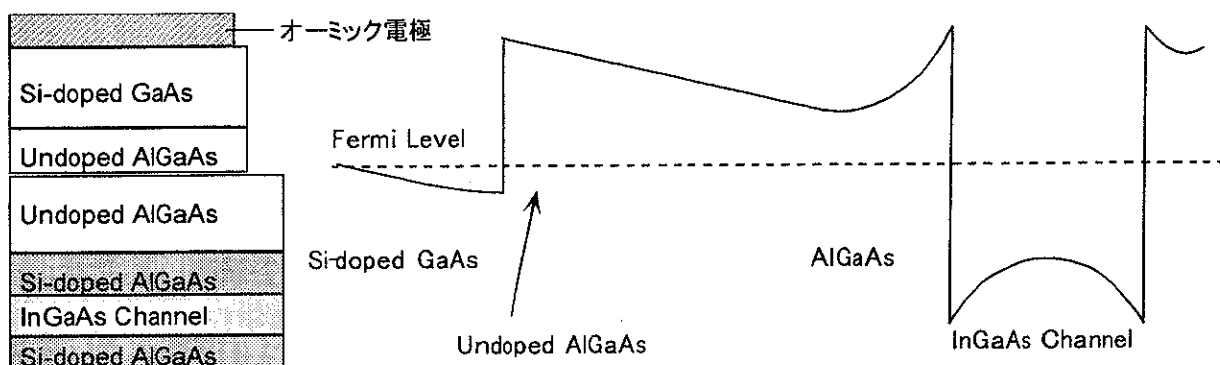
単一正電源動作HJFETに対する今後の課題としては、しきい値電圧が正の値である完全なエンハンスメント化があげられる。エンハンスメント動作が可能になり、 $V_{gs}=0V$ でのドレイン電流(リークドレイン電流)が無視できるようになれば、パワーモジュールの電源をオンオフするために通常の携帯電話で使用されているドレインバイアススイッチ回路が、ゲートバイアス用の負電圧発生回路とともに不要になる。したがって、携帯電話の小型軽量化、低コスト化には重要な技術である。これに加えて、このドレインバイアススイッチ回路のオン時の抵抗で劣化していたパワーモジュールの効率も改善されるので、通話の長時間化にも貢献する。しかしながら、HJFETのエンハンスメント動作化には、

1. オン抵抗の増大、
2. 最大ドレイン電流の減少、
3. 不安定性の増加、
4. 入力電圧振幅の制約、

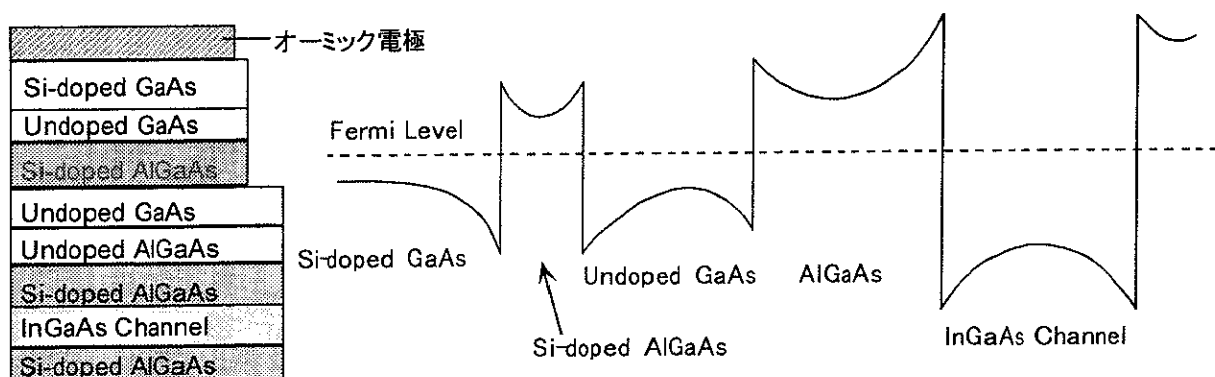
が危惧される。1および2の項目は正のしきい値電圧を得るため、シートキャリア濃度を下げる必要があるために生じる欠点である。ゲート幅の増大でも対処できるが、チップの大型化、コストの増大につながる。エンハンスメント型HJFETにおいても、オン抵抗低減が出力特性の向上に有効であることは同様である。オン抵抗は、ソースおよびドレイン電極下のコンタクト抵抗(金属-半導体間のオーミックコンタクト)

ト抵抗とそこからチャンネルまでのヘテロ接合による抵抗)とソースドレイン間のチャンネル抵抗からなる(図5-10参照)から、コンタクト抵抗の低減とリセス領域の低抵抗化が課題となる。特にヘテロ接合FETでは、オーミック金属からチャンネルまでの間に、ヘテロバリアが存在するため、高い抵抗が危惧される。これらには、5.2.2で示したダブルリセス構造の最適設計や5.2.3で示した多層キャップ層を適用した低コンタクト抵抗構造の適用が有効であろう。

図7-32 a)にこの節で検討したHJFETのオーミック電極下の層構造とそのバンド構造を、b)に提案する多層キャップ層による低コンタクト抵抗構造とそのバンド構造を示す。なお、設計指針の詳細は、5.2.3に示してある。a)ではショットキー層と電子供給層を含む厚いAlGaAs層が高いポテンシャルバリアを形成しているのに対して、b)ではドライエッチングによるワイドリセス形成用の薄いAlGaAsに強くSiをドーピングしているため、前後のアンドープGaAs層に電子が溜まり、ポテンシャルバリアの低いことが分かる。実際にSiドーピングしていない構造と比較して予備検討を行ったところ、コンタクト抵抗は $0.05 \Omega \cdot \text{mm}$ 低減できた[14]。この構造を適用した $W_g=19.2 \text{mm}$ のエンハンスメント型HJFET($V_T=+0.11 \text{V}$)の単一3.5V動作($I_q=300 \text{mA}$)PDC出力



a) この節で検討したHJFETのオーミック電極下の層構造とそのバンド構造



b) 提案する多層キャップ層による低コンタクト抵抗構造とそのバンド構造

図7-32 オーミック電極下の層構造とそのバンド構造

特性を評価したところ、 $P_{out}=1.03W(30.1dBm)$ 、 $PAE=64.0\%$ を $P_{adj}=-48.7dBc$ 時に得た[14]。さらに、この低コンタクト抵抗構造に加えて、ワイドリセス領域のGaAs層の中に高濃度のドナーをドーピングしたH J F E TのP D C出力特性を評価したところ、 $P_{out}=1.15W(30.6dBm)$ 、 $PAE=67.6\%$ を $P_{adj}=-48.3dBc$ 時に得た[15]。これらの良好な値を、正のしきい値電圧を有するH J F E Tにより達成できたことは特筆できる。また、入力電圧振幅の制約の問題については、H J F E Tのショットキー高さがGaAsM E S F E Tよりは高いものの、しきい値電圧が正の値になればショットキー高さとの差は小さく、大きな問題になる。これを解決するにはより高いショットキー高さを有する半導体とのヘテロ構造の適用または p^+ ゲート技術の開発が考えられる。今後の大きな課題である。素子の発振に代表される不安定性の増加は、入力電圧振幅が制約されている割に大きなドレイン電流を発生する、すなわち g_m の大きな素子で問題となる項目である。対応は、入力電圧振幅の増加や発振に強いゲートリセス構造や素子パターンの適用が挙げられる。

7.3.4 まとめ

低電圧単一電源で動作するダブルドープ構造H J F E Tを検討した。しきい値電圧を負の低い値に設定するにあたっては、小型高効率素子の実現という目的に照らし、電子供給層濃度を下げないでドレイン電流の低下がある程度押さえられる薄いショットキー層を適用した。試作したH J F E T($L_g=1.0\mu m$ 、 $W_g=21mm$)のD C特性は、 $V_T=-0.35V$ 、 $I_{dss}=0.95A(45mA/mm)$ 、 $I_{max}=6.2A(300mA/mm)$ 、 $BV_{gd}=13V$ と良好である。 $V_{gs}=0.0V$ および $V_{ds}=3.0V$ のバイアス条件の950MHzでの出力特性評価において、出力を重視した整合条件では $P_{sat}=3.28W(35.2dBm)$ と $PAE_{max}=64.8\%$ を、また効率を重視した整合条件では $P_{sat}=1.45W(31.6dBm)$ と $PAE_{max}=80.4\%$ を得た。さらに、P D C規格に準拠した出力特性評価を行ったところ、 $P_{adj}=-50.6dBc$ 時に $P_{out}=2.45W(33.9dBm)$ 、 $PAE=47.1\%$ を得た。

[7.4] 結論

GaAs基板上のダブルドープ $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ H J F E Tの試作検討より導かれた結論を示す。

検討した3.4V動作高出力H J F E Tは2段のリセス構造を有しており、このリセス構造をドライエッチングで形成すると、しきい値電圧のばらつきを20mV程度と極めて小さくすることができた。D C特性は、 $2.3\Omega\cdot\text{mm}$ のオン抵抗や12.7Vの十分なゲート耐圧など良好である。これは、 $0.8\mu\text{m}$ 長のW Siゲートがソース側にオフセットして設けられた構造による。3.4V動作にて、P D C規格出力時に56.3%の高い電力付加効率をゲート幅7.0mmの素子で得た。また、17.5mm幅の素子において53.2%の効率でI S-95規格を満たした。さらに、A級動作解析を用いて、P D C規格を満たすF E Tのゲート幅と実効的なニー電圧、線形領域最大出力およびドレイン効率の関係を考察した。この検討より、小型チップでの高効率動作には、オン抵抗の低減が肝要であるとの結論を得た。

1.2V動作H J F E Tの検討から、A級動作解析手法は歪を抑えた整合動作の第一次近似として有効である。ゲート幅28.0mmのH J F E Tが、P D C規格出力時に51.5%の高い効率を得た理由は、 $2.1\Omega\cdot\text{mm}$ の低いオン抵抗によることが解析の結果分かった。低電圧での高効率動作には、オン抵抗の低減が肝要であると結論する。

正電源だけで動作するH J F E Tは、ショットキー層を薄くし、しきい値電圧を-0.35Vとすることで実現した。D C特性は良好であり、3.0V単一電源動作の効率を重視した整合条件での80.4%の高い効率やP D C歪規格を満たすなどの良好なR F出力特性を示した。この構造を基に、より小型高効率化が可能な低コンタクト抵抗構造の提案やこれを用いたH J F E Tの良好な予備検討結果も示した。

他の高出力F E Tとの出力特性比較を行うため、図7-33に、P D C規格出力を達成する各種高出力F E Tのゲート幅と電源電圧の関係を示す。本研究で実現した高出力H J F E Tは、幅広い動作電圧に対して、他の高出力F E Tの半分程度のゲート幅で最高の効率特性を示すなど、本研究の目的である3.5V以下で動作し、現状のGaAs M E S F E Tを上回る高効率低歪特性を有する移動体通信端末用の小型高出力素子に相応しいと結論する。

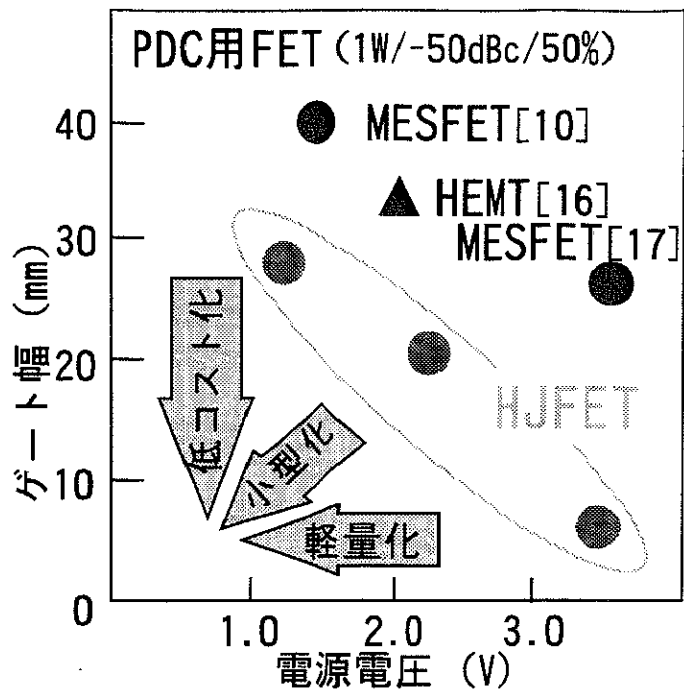


図7-33 PDC規格出力時の各種高出力素子のゲート幅と電源電圧の関係

[第7章 参考文献]

- [1] N. Iwata, M. Tomita, K. Yamaguchi, H. Oikawa and M. Kuzuhara: 1996 GaAs IC Symposium Technical Digest (1996) 119.
- [2] N. Iwata: 1997 Microwave Workshop and Exhibition, Microwave Workshop Digest (1997) 155.
- [3] H. Oikawa, M. Kohno, A. Mochizuki and Y. Nashimoto: Electrochemical Society Proceedings 96(2) (1996) 246.
- [4] K. Yamaguchi, N. Iwata and M. Tomita: 1997 Asia Pacific Microwave Conference Proceedings 3 (1997) 1105.
- [5] G. Hau, T. B. Nishimura and N. Iwata: 1999 IEEE MTT-S International Topical Symposium on Technologies for Wireless Applications (1999) Accepted.
- [6] K. Yamaguchi, N. Iwata, M. Kuzuhara and Y. Takayama: IEEE Transaction on Electron. Devices 45 (1998) 361.
- [7] K. Matsunaga, N. Iwata and M. Kuzuhara: Inst. Phys. Conf. Ser. No. 129: Chapter 9, Paper presented at Int. Symp. GaAs and Related Compounds, Karuizawa, 1992, (1992) 749.
- [8] N. Iwata, K. Inosako and M. Kuzuhara: 1993 IEEE MTT-S Digest (1993) 1465.
- [9] K. Inosako, N. Iwata and M. Kuzuhara: IEICE Transaction Electron. E78-C (1995) 1241.
- [10] T. Tanaka, H. Furukawa, H. Takenaka, T. Ueda, A. Noma, T. Furuki, K. Tateoka and D. Ueda: 1995 IEEE IEDM Technical Digest (1995) 181.
- [11] N. Iwata, K. Inosako and M. Kuzuhara: Solid-State Electron. 41 (1997) 1587.
- [12] N. Iwata, K. Inosako and M. Kuzuhara: Electron. Lett. 31 (1995) 2213.
- [13] N. Iwata, K. Inosako and M. Kuzuhara: Inst. Phys. Conf. Ser. No. 145: Chapter 5, Paper presented at 22ed Int. Symp. on Compound Semiconductors, Cheju Island, 1995, (1995) 813.
- [14] 尾藤康則, 岩田直高, 富田正俊: 1998年電子情報通信学会総合大会論文集エレクトロニクス2 (C-10-26, 東海大学) 103.
- [15] 尾藤康則, 岩田直高: 1998年電子情報通信学会エレクトロニクスソサイエティ大会講演論文集2 (C-10-6, 山梨大学) 53.
- [16] H. Ono, Y. Umemoto, H. Ichikawa, M. Mori, M. Kudo, O. Kagaya and Y. Imamura: 1994 IEEE IEDM Technical Digest (1994) 899.
- [17] T. Tateoka, K. Tateoka, A. Sugimura, H. Furukawa, M. Yuri, N. Yoshikawa and

K. Kanazawa: 1994 IEEE MTT-S Digest (1994) 569.

【第8章】 小型MMICアンプへの適用

移動体通信用パワーアンプでは、小型軽量化と高効率化が重要な課題である。たとえばPersonal Digital Cellular(PDC)携帯電話においては、小型軽量化と通話の長時間化のために、電力の大半を消費する送信用パワーアンプの小型化、高効率動作、低電圧動作が強く求められている。また、部品点数の低減や組み立て調整コストの削減要求も強いことから、パワーアンプのマイクロ波帯モノリシック集積回路(MMIC)化が大きな課題である。前章までに、PDC用高出力素子としてダブルドープダブルヘテロ構造を有するヘテロ接合FET(HJFET)の研究開発を示した。たとえば、ゲート幅(W_g)7 μ m素子の3.4V動作にて、出力電力(P_{out})1.23W、電力付加効率(PAE)56.3%および51.5dBcの50kHz離調隣接チャンネル漏洩電力(P_{adj})の良好なPDC出力特性を得た。この良好な特性を有するHJFETは、MESFETの約2倍の出力電力密度を有することから、小型MMICの能動素子としても有望である。GaAsMMICのコストはチップ面積に強く依存するから、MMICの一層の小型化には、この小型能動素子の適用に加えて、キャパシタやインダクタなどの受動素子の小型化も重要である。そこで、従来の金属-絶縁膜-金属構造(MIM)キャパシタに用いた SiN_x 誘電膜(比誘電率(ϵ_r) \sim 6.5)に代わり、 $SrTiO_3$ (STO)、 $(Ba_xSr_{1-x})TiO_3$ (BST)などの高誘電率薄膜材料を用いたマイクロ波キャパシタが検討されている[1]。これらの材料の比誘電率は数100に達し、 SiN_x を用いたキャパシタサイズの数10分の1以下への小型化が可能である。そこで、高い電力密度を持つHJFETと高い ϵ_r を持つSTOキャパシタの特徴を生かすためにこれらのMMIC要素技術を統合し、移動体通信端末用超小型MMICパワーアンプの開発を行った[2]。

[8.1] MMIC用 $SrTiO_3$ キャパシタ

FETアンプの基本的な回路構成は、入力整合回路、ゲートバイアス回路、高出力FET、ドレインバイアス回路、出力整合回路であり、移動体通信用の周波数帯ではキャパシタやインダクタなどの受動素子の占める面積が大きい。したがって、MMICアンプの小型化には、受動素子の小型化が有効である。そこで、高い比誘電率(ϵ_r)を有する $SrTiO_3$ に着目し、MMIC用のキャパシタ適用を検討した。このSTOはSiDRAM用キャパシタへの適用が検討されているBSTと比較した場合、低温でスパッタ法により薄膜形成できるため、GaAs基板を用いるMMIC用の誘電体としてより適していると判断される。

8.1.1 キャパシタ構造

図8-1にSTOキャパシタの断面構造を示す。キャパシタは、400°Cの低圧CVD法によって成膜した200nm厚のSiO₂膜上に作製した。下部電極はPt(70nm)/Ti(20nm)の積層構造である。この下部電極は耐ミリング性に優れた構造である[3]。誘電体は、450°CのRFスパッタ法で形成した200nm厚のSTO膜、上部電極は70nm厚のPtである。

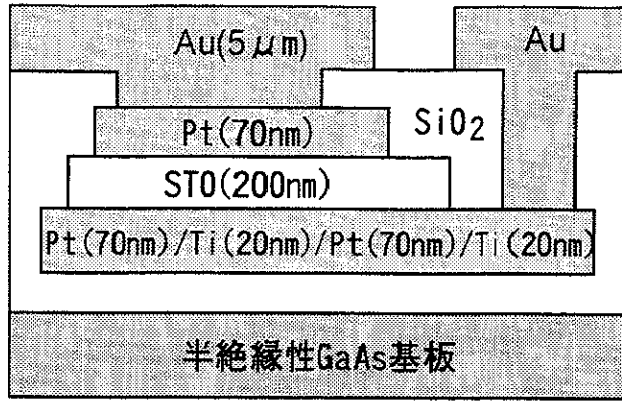


図8-1 STOキャパシタの断面図

8.1.2 キャパシタ特性

図8-2に作製したキャパシタのI-V特性を示す。5V印加時のリーク電流密度は、 $1.6 \times 10^{-5} \text{A/cm}^2$ 、リーク電流密度100mA/cm²にて定義した耐圧は50Vであった。電極面積2500μm²のキャパシタの容量は1MHzにて20pFであり、これと膜圧から求めたε_rは180であった。また今回用いた作製プロセスによれば、この高いε_rは20GHzまで一定である[3]。

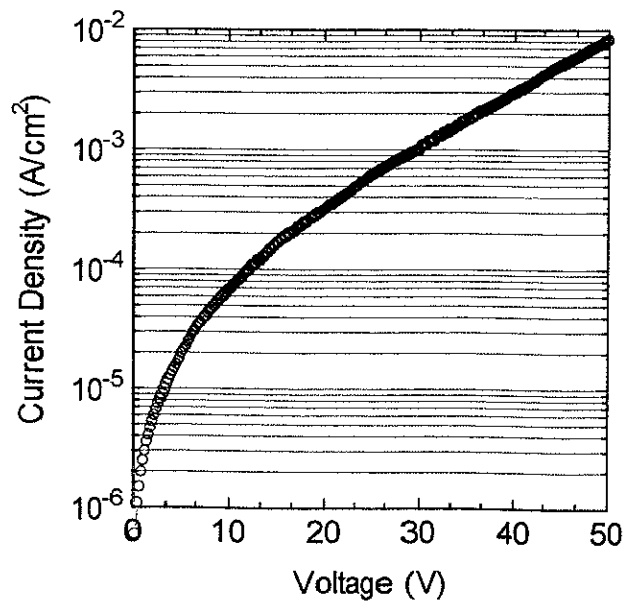


図8-2 作製したSTOキャパシタのI-V特性

8.1.3 MMIC作製プロセス

図8-3にMMIC作製プロセスのフローを示す。MMICの作製では、HJFETエピタキシャルウェーハを用いて、キャパシタを作製した後、FETを作製した。まず、下部電極、STO、上部電極を順次RFスパッタ法で成膜し、上から順に Ar^+ イオンミリングにより加工してキャパシタを形成した。次に、キャパシタ上に低圧CVD法による厚さ50nmの SiO_2 膜を配した。FET作製プロセスはGaAs系HJFETのドライリセスプロセスと同様である。 BCl_3/SF_6 ガスを用いたECRドライエッチングで

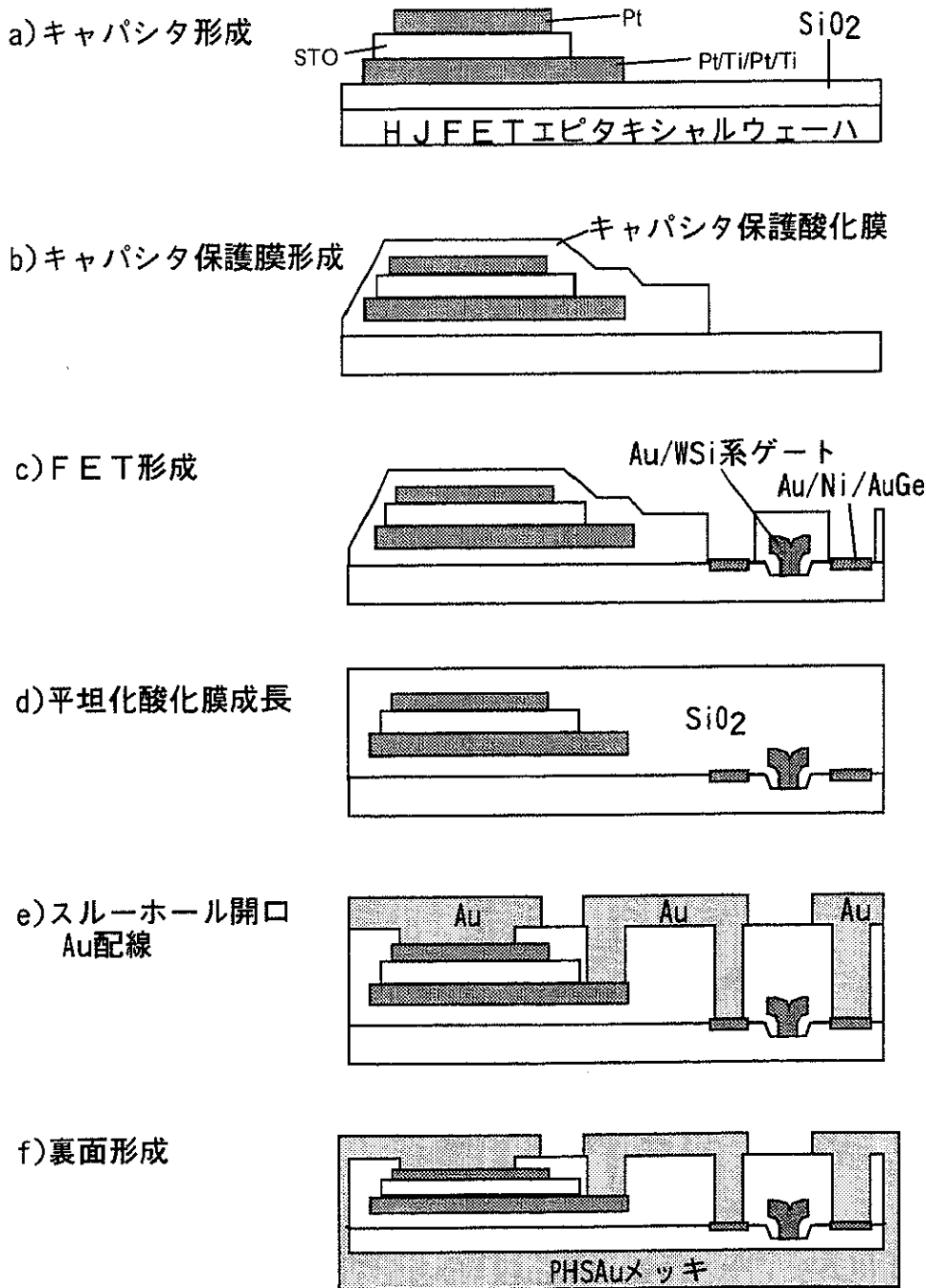


図8-3 MMIC作製プロセス

ワイドリセスとゲートリセスを形成した[4]。また、配線スルーホール開口時のオーバーエッチングによるキャパシタ上部電極へのダメージを低減するため、キャパシタ上部電極へのスルーホール開口と、下部電極およびF E Tへのスルーホール開口を別個に行った。インダクタおよび配線には5 μm 厚のAuメッキを施し、回路抵抗の低減を図った。表面のMM I C作製プロセス終了後、基板を研磨し、ウェーハ裏面にAuメッキを施した。表面グラウンドとの接続には表面と裏面をつないぐAuメッキによった。

[8.2] デジタル携帯電話用MM I Cアンプ

前章のGaAs系H J F E Tと前節のS T Oキャパシタを用いたMM I C作製プロセスにより、P D C用の2段アンプを試作検討した。H J F E TとS T Oキャパシタの組み合わせによれば、小型で高効率なMM I Cアンプの実現が期待できる。

8.2.1 MM I Cの構成と設計

図8-4に用いたH J F E Tの断面構造を示す。エピタキシャル構造は、13.5nm厚の $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ チャネル層の上下に $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$ 電子供給層を配したダブルドープダブルヘテロ構造である。表面側の電子供給層の上にはアンドープの $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$ ショットキー層を設け、十分なゲート耐圧を確保している。ワイドリセスとゲート埋め込みリセスを BCl_3/SF_6 ガスによるECRドライエッチングで作製するため、それぞれのF E Tの所望するしきい値電圧を与える深さ位置に $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$ 層を配している。ゲート電極

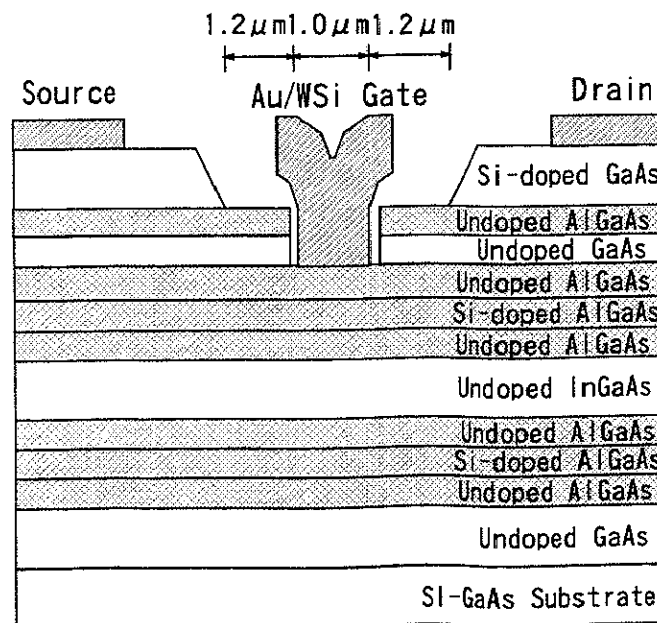


図8-4 P D C用MM I Cアンプに用いたH J F E Tの断面構造

はAu/WSi系電極であり、アンドープショットキー層に形成されたりセス内に形成されている。HJFETのリセスゲート構造は、ソース-ゲートリセス間隔(L_{sg})が $1.2\mu\text{m}$ 、ゲート長(L_g)が $1.0\mu\text{m}$ 、ゲート-ドレイン間リセス間隔(L_{gd})が $1.2\mu\text{m}$ であり、[7.1]節と比較すれば、オン抵抗に対する最適化を図っていない構造である。

図8-5 a)にHJFETのドレインI-V特性、またb)に相互コンダクタンス(g_m)およびドレイン電流(I_d)のゲート-ソース電圧(V_{gs})依存性を示す。最大ドレイン電流 ($I_{\text{max}} @ V_{gs}=1.5\text{V}$) は 500mA/mm であった。素子は良好なピンチオフ特性を示し、しきい値電圧(V_T)は -0.8V であり、3インチウェーハでのしきい値電圧のばらつき(δV_T)は 20mV であった。 g_m の最大値は 300mS/mm である。また、ゲート-ドレイン間耐圧(BV_{gd} [ゲート-ドレイン電流(I_{gd})- 1mA/mm にて])は 20V と高い。3.4V動作に対して十分に高い BV_{gd} が得られた理由は、ドライリセスエッチングが等方的なエッチングであること、 $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$ ショットキー層を完全に露出させるためオーバーエッチングをかけたことにより2段目のゲートリセス構造においてゲート電極の両側に数十nmの隙間が形成されたこと[4]、および $1.2\mu\text{m}$ と比較的大きな L_{gd} を適用したことによる。

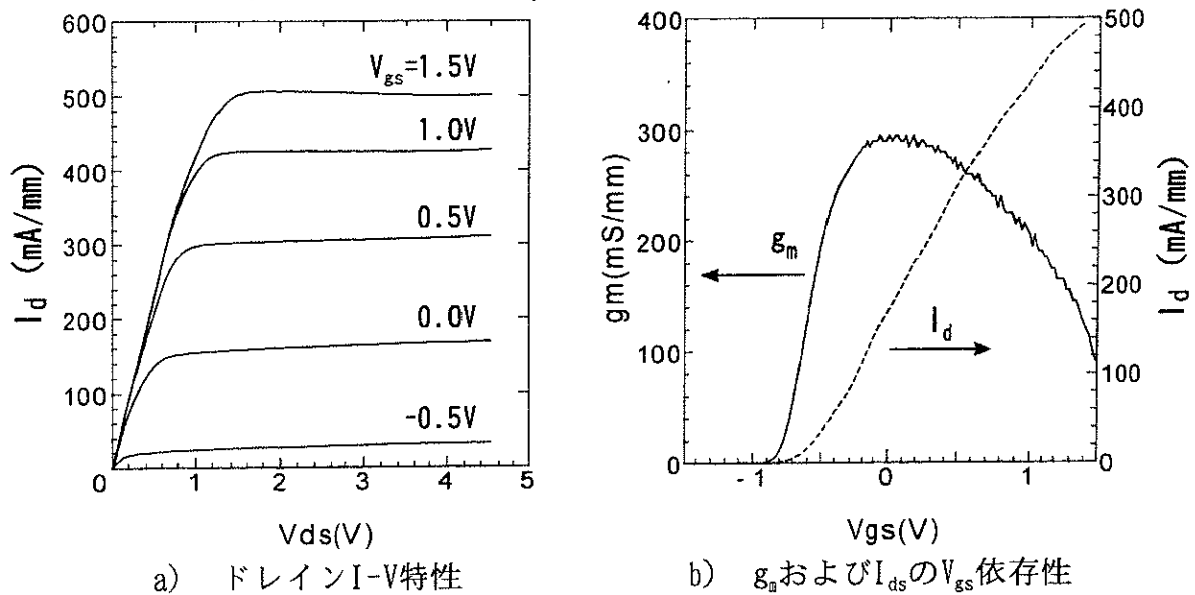


図8-5 PDC用FETのDC特性

図8-6に、3.4V動作PDC用2段アンプの回路図を示す。入力、段間および出力整合回路とバイアス回路はすべてMMIC内部に形成した。HJFETのゲート幅は前段が 3.5mm 、後段が 17.5mm である。2つのFETは段間キャパシタのみで直結されている。図8-7に、950MHzにおける前段FETの出力インピーダンス(S22)および後段FETの入力インピーダンス(S11)を示す。後段FETのゲート幅は前段のFETの4~5倍のとき、前段FETのS22と後段FETのS11は近接することが分かった。これにより段間回路は整合回路の省略が可能であり、チップサイズの小型化に有効である。

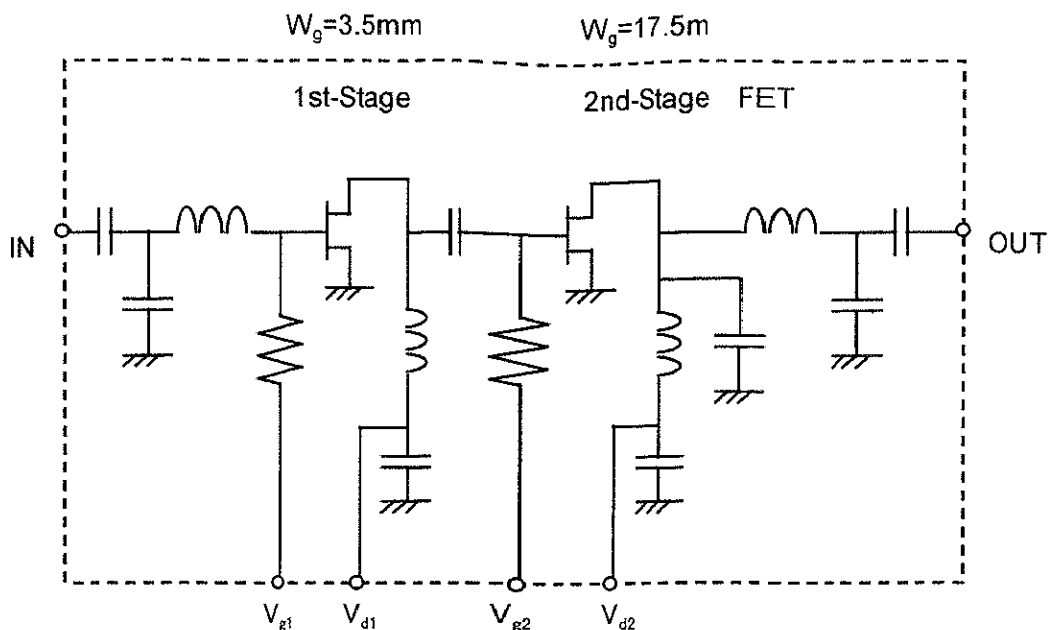


図8-6 3.4V動作PDC用2段アンプの回路図

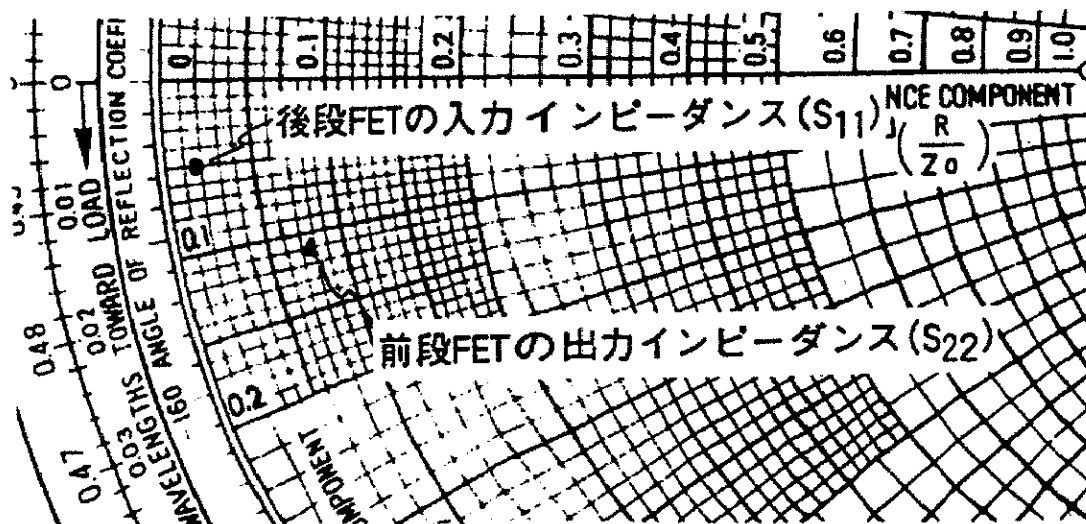


図8-7 950MHzにおける前段FETの S_{11} および後段FETの S_{22}

入出力整合回路およびバイアス回路はスパイラルインダクタとSTOキャパシタで構成した。入力側はハーモニックバランスシミュレーションを行い、利得最大となるインピーダンスに整合した。一方出力側は、最初にハーモニックバランスシミュレーションにて出力最大となるインピーダンスを求めた。次に、低歪特性を同時に得るために、950MHz $\pi/4$ シフトQPSK変調信号入力時のロードプル評価結果をもとに、 -50dBc 以下の P_{adj} を確保しつつ出力最大となるインピーダンスを考慮して決定した。アンプの出力電力1W付近では、後段FETの動作ドレイン電流が700mAにおよぶため、後段FETのドレインバイアス回路および出力整合回路の損失が顕著であることがシミュレーションより分かった。よって、出力整合回路および後段FETのドレイン

バイアス回路には線幅 $100\mu\text{m}$ 、間隔 $5\mu\text{m}$ 、Auメッキ厚 $5\mu\text{m}$ のスパイラルインダクタを用い、低抵抗化を図った。さらに、スパイラルインダクタの中央にパッドを設け、ボンディングワイヤにより外部に引き出している。これは、スパイラルインダクタの引き出し線をゲート金属で形成するプロセスでは、引き出し線が高抵抗となり、損失増加を招くためである。後段のFETのドレインバイアス回路は、スパイラルインダクタとSTOキャパシタの並列回路からなり、基本波(950MHz)に対して高いインピーダンスを実現する。図8-8に作製したMMICのチップ写真を示す。チップサイズは $2.0 \times 2.4\text{mm}^2$ である。このMMICのチップ面積は、これまでに報告されている3.3V動作アナログ携帯電話用MMICパワーアンプ($2.5 \times 3.48\text{mm}^2$) [5]の約半分であり、世界最小である。

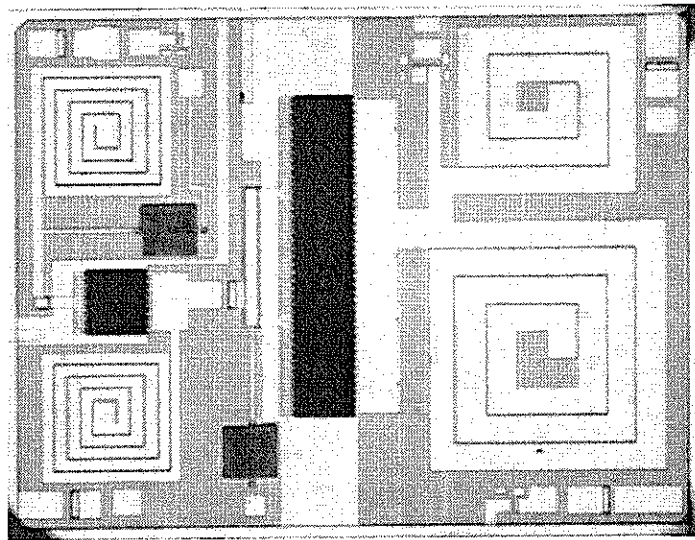


図8-8 作製した3.4V動作PDC用MMICパワーアンプ

8.2.2 パワーアンプ特性

図8-9に、作製したMMICパワーアンプの小信号利得および出力反射損失の周波数依存性を示す。前段FETのドレイン電圧(V_{d1})、後段FETのドレイン電圧(V_{d2})は3.4Vである。前段FETのゲート電圧(V_{g1})、後段FETのゲート電圧(V_{g2})はそれぞれ -0.35V 、 -0.4V とした。小信号利得は最大28.2dBを示し、1dB利得圧縮する帯域は、920MHzから970MHzである。

図8-10に、950MHz $\pi/4$ シフトQPSK変調信号入力時の出力電力(P_{out})、PAE、利得(Gain)および P_{adj} の入力電力依存性を示す。 $V_{d1}=V_{d2}=3.4\text{V}$ 、 $V_{g1}=-0.35\text{V}$ 、 $V_{g2}=-0.4\text{V}$ とした。 $P_{\text{adj}}=-50.5\text{dBc}$ 時に、 $P_{\text{out}}=0.8\text{W}$ (29.0dBm)、PAE=30%、付随利得(G_s)=26.4dBを得た。なお、飽和出力電力(P_{sat})は1.12W(30.5dBm)、その時PAEは39%であった。得られた効率が、[7.1]節などで示したHJFETだけの特性におよばない理由は、回路内のロスによる。これについては、次の8.2.3で考察する。

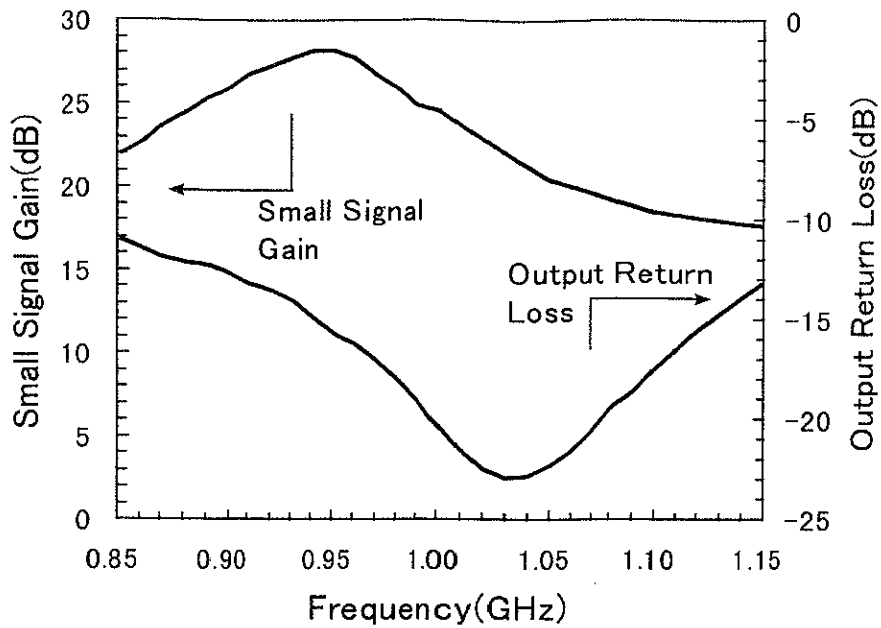


図8-9 利得および損失の周波数依存性

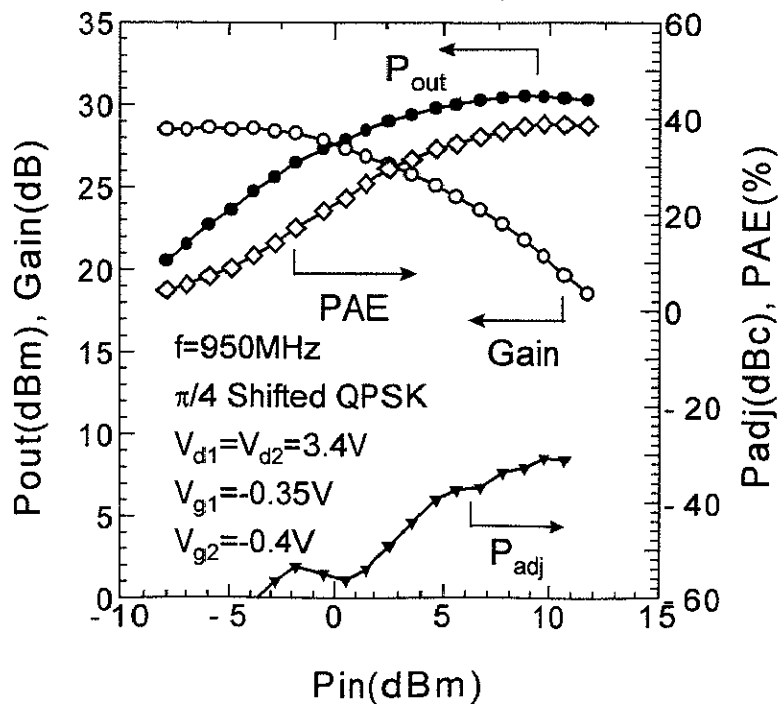


図8-10 950MHz $\pi/4$ シフトQPSK変調信号入力時の出力特性

8.2.3 出力回路の損失が出力特性におよぼす影響の考察

設計当初より、終段FETの出力整合回路およびドレインバイアス回路(出力回路)の損失がMMICの出力特性を劣化させることは、シミュレーションより危惧されたことであった。そこで、Auメッキ厚 $5\mu\text{m}$ のラインを用いるなどの工夫を行ったことは前に示したとおりである。しかしながら、効率はPDC規格出力時で30%程度であり、

単体のHJFETを用いたパワーモジュール(50%以上)より見劣りする。そこで、出力回路を含まないMMICを用いてPDC出力特性評価を行い、出力回路の損失と出力特性の関係を検討した。

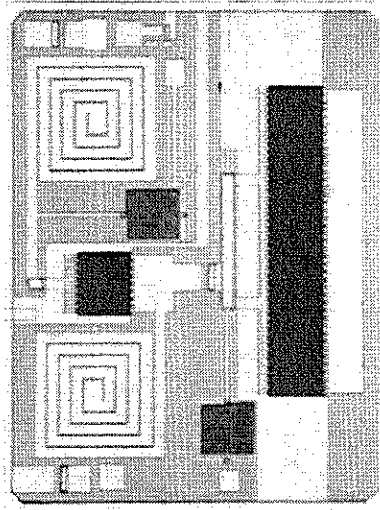


図8-11出力回路を含まないMMICチップ写真

図8-11に出力回路を含まないMMICチップ写真を示す。出力回路を含まないMMICのチップサイズは $2.0 \times 1.4 \text{mm}^2$ である。また、図8-12に除去した出力回路(図8-6、図8-8および図8-11参照)の等価回路構成を示す。それぞれの受動素子は、シリーズ抵抗を加えてモデル化した。Sパラメータ測定とパラメータフィッティングにより、出力整合回路に用いたスパイラルインダクタのシリーズ抵抗は 1.0Ω と抽出された。同様に、カップリングキャパシタンスのシリーズ抵抗は 0.6Ω と求められた。各集中

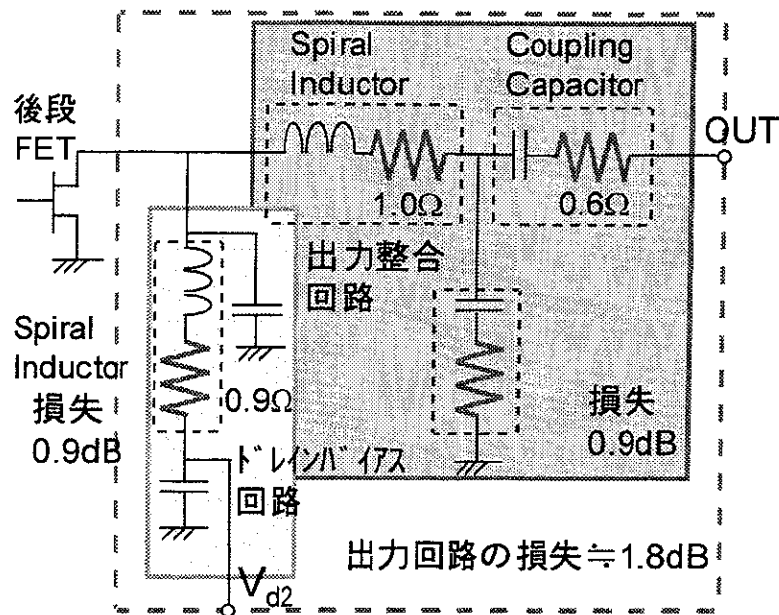


図8-12 除去した出力回路の等価回路構成

定数のシリーズ抵抗より、出力整合回路における損失は0.9dBと見積もられた。また、ドレインバイアス回路のシリーズ抵抗は0.9Ωとなった。後段FETの動作ドレイン電流は1W出力時に700mAにおよぶことから、ドレイン電圧降下による出力低下から換算した損失は0.9dBと見込まれた。したがって、1W出力時の出力回路全体での損失は1.8dBと見積もられた。

次に、出力回路を含まないMMICパワーアンプ(図8-11)の950MHzにおけるPDC出力特性評価を行った。出力整合はMMICの外部に設けたチューナーを用いて行い、出力重視整合とした。図8-13に、 P_{out} 、PAE、Gainおよび P_{adj} の P_{in} 依存性を示す。 $P_{adj} = -49.5\text{dBc}$ 時に $P_{out} = 1.0\text{W}$ (30.0dBm)、PAE=42%、 $G_a = 29.8\text{dB}$ を示した。また、 $P_{sat} = 1.7\text{W}$ (32.3dBm)、その時PAE=55%を得た。

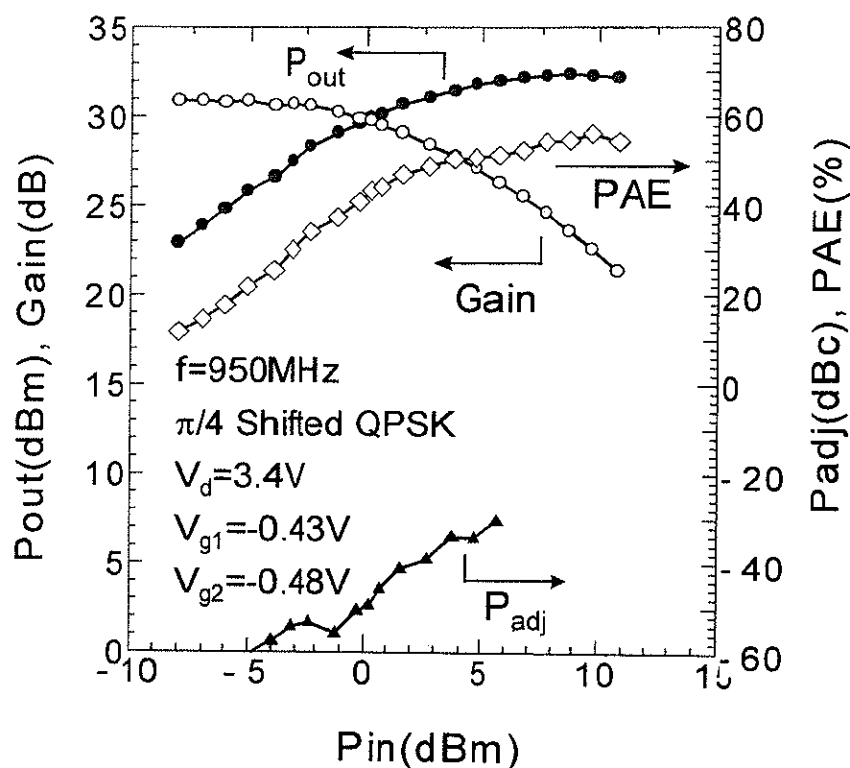


図8-13 出力回路を含まないMMICの P_{out} 、PAE、Gainおよび P_{adj} の P_{in} 依存性

ここで、 P_{sat} およびその時のPAEと出力回路損失の関係を考察する。 P_{sat} とその時PAEは、MMICの後段FETのドレイン端までに得られる利得(G_i)、出力回路の挿入損失(L_o)、消費電力(P_{DD})を用いると、

$$P_{sat} = P_{in}(G_i - L_o) \quad (8.1)$$

$$PAE = \frac{P_{in}(G_i - L_o - 1)}{P_{DC}} \quad (8.2)$$

とそれぞれ表される。図8-14に、 P_{sat} とその時のPAEの出力回路の損失依存性の計算結果を示す。計算には飽和出力特性の測定値($P_{sat}=1.7W(32.3dBm)$ 、 $PAE=55\%$)を用いた。損失1.8dBにおいて、 $P_{sat}=1.12W(30.5dBm)$ 、 $PAE=36.3\%$ と見積もられた。これは出力回路を含むパワーアンプの測定値の $P_{sat}=1.12W(30.5dBm)$ 、 $PAE=39\%$ (図中のそれぞれ+および×)に良く一致している。したがって、PAEの向上には出力回路の損失低減が重要であると結論される。

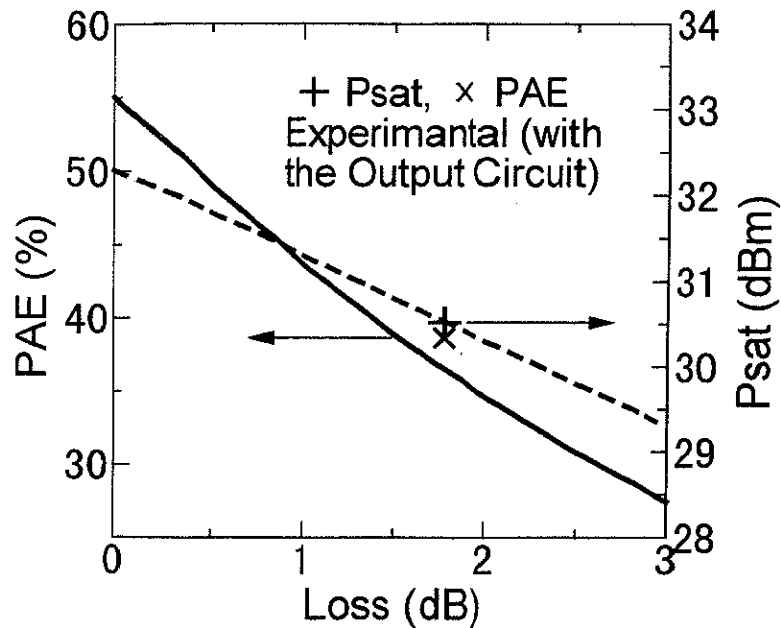


図8-14 P_{sat} とその時のPAEの出力回路の損失依存性

8.2.4 まとめ

PDC用MMICパワーアンプを試作した。作製したMMICは、ダブルドープHJFETおよび高誘電率STOキャパシタにより構成され、整合回路とバイアス回路を内蔵したうえで超小型化を実現した。PDC用2段パワーアンプは、3.4V動作における950MHzの $\pi/4$ シフトQPSK変調信号を用いた評価より、 $P_{adj}=-50.5dBc$ 時に $P_{out}=0.8W$ 、 $PAE=30\%$ および $G_a=26.4dB$ を $2.0 \times 2.4mm^2$ のチップサイズで実現した。解析の結果、出力段の整合回路とドレインバイアス回路の損失が出力特性の劣化に大きく寄与することが分かった。

[8.3] 次世代デジタル携帯電話用MMICアンプ

携帯電話の周波数利用効率の向上や、高速データ通信を目的とした符号分割多元接続(CDMA)方式の導入が検討されている。CDMA方式ではアメリカや韓国でのIS-95規格の実用化が先行している。IS-95方式の携帯電話では送信電力の可変範囲は80dBmと広範囲であり、パワーアンプには小型高効率化と全出力可変範囲にわたって低歪と高効率動作が求められる。そこで、[8.2]節のHJFETに対して低オン抵抗の最適化を進めた狭いリセス内にゲート電極をオフセットして配したダブルドープHJFETとSTOキャパシタを用いてMMIC2段パワーアンプを試作検討した。アンプ回路は、[8.2]節で得られた出力回路のロスが出力特性におよぼす劣化を考慮し、出力段の整合回路とドレインバイアス回路を省いた構成である。IS-95規格に準拠した出力特性評価では、広い出力電力範囲において低歪および高効率特性を得るために、歪および効率特性のゲート電圧依存性も調べた。その結果、MMICパワーアンプは、CDMA用増幅器として世界最高の48.6%の電力付加効率を電源電圧3.5Vで実現した。また、低出力時の効率も良好であった。

8.2.1 MMICの構成と設計

前節の評価解析結果をもとに、出力段の整合回路とバイアス回路を省いたMMICパワーアンプの設計を行った。設計にはハーモニックバランスシミュレーションを用い、最初に出力量の整合回路とバイアス回路を含めてMMICパワーアンプを歪を考慮した利得重視の設計を行い、その後のマスク作図時に、出力段の整合回路とバイアス回路を省いた。図8-11にMMICパワーアンプの回路構成を示す。MMICは2段のHJFET($W_g=4.0\text{mm}$ および 20.0mm)、入力および段間整合回路とバイアス回路で構成される。

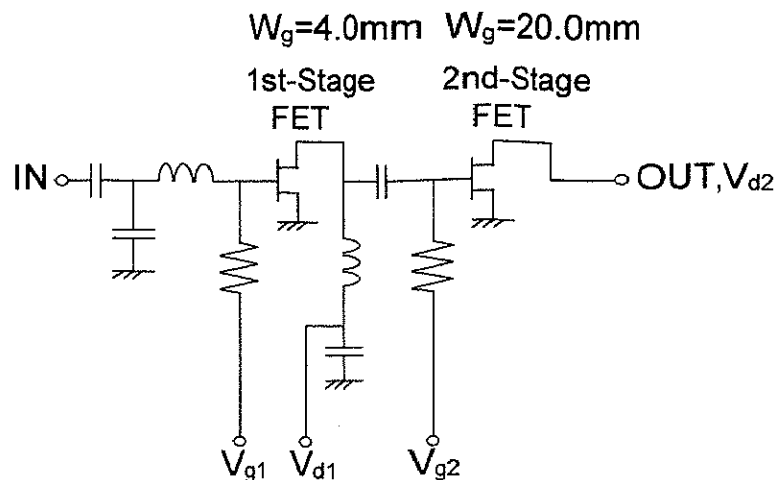


図8-11 MMICパワーアンプの回路構成

H J F E Tの基本構造は先に示した構造と同様である。より高電流を得るために、 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ チャンネル層上下の $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$ 電子供給層の濃度/厚さは $4.0 \times 10^{18}\text{cm}^{-3}/10\text{nm}$ および $4.0 \times 10^{18}\text{cm}^{-3}/4\text{nm}$ とした。また、ゲートリセス幅を $2.2\mu\text{m}$ (L_{sgr} と L_{gdr} はそれぞれ $0.6\mu\text{m}$ と $1.0\mu\text{m}$)と短縮し、オン抵抗の低減を図った。ゲート電極は $0.6\mu\text{m}$ 長のAu/WSi系電極であり、低オン抵抗と高利得による高効率化を狙った。H J F E TのD C特性は、 $I_{\text{max}}(@V_{\text{gs}}=1.5\text{V})=630\text{mA/mm}$ 、 $R_{\text{on}}=2.1\Omega\text{mm}$ 、 $BV_{\text{gd}}(@I_{\text{gd}}=-1\text{mA/mm})=16.4\text{V}$ 、 $V_{\text{T}}=-1.0\text{V}$ である。また、S T Oキャパシタの素子構造は前節と同じであり、誘電率180、リーク電流密度 100mA/cm^2 で定義した耐圧は 50V である。図8-12に作製したM M I Cのチップ写真を示す。スパイラルインダクタと配線にはメッキ厚 $5\mu\text{m}$ のAuを用いた。チップサイズは $2.0 \times 1.5\text{mm}^2$ と、C D M A用M M I Cパワーアンプで世界最小サイズである[6]。

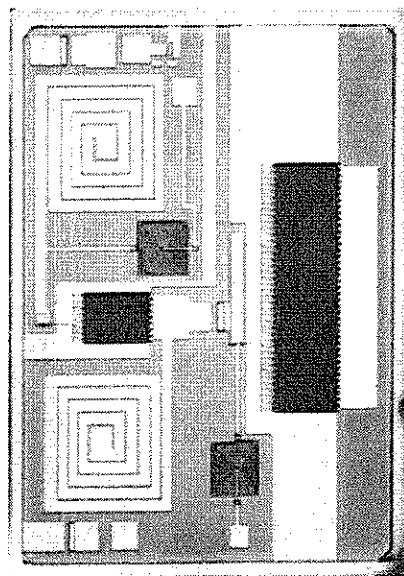


図8-12 作製したCDMA用M M I C 2段アンプ

8.3.2 パワーアンプ特性と考察

このM M I Cを用いて、 840MHz におけるC D M A出力特性を評価した。測定にはI S - 9 5規格に準拠した 1.23MHz 幅のC D M A信号を用いた。前段F E Tのドレイン電圧(V_{d1})と後段F E Tのドレイン電圧(V_{d2})はともに 3.5V 、また前段のセットドレイン電流(I_{q1})は 50mA ($V_{\text{g1}}=-0.90\text{V}$)、後段(I_{q2})は 53mA ($V_{\text{g2}}=-0.99\text{V}$)とした。出力整合はM M I Cの外部に設けたチューナーを用いて行い、歪を考慮した出力重視整合である。図8-13に P_{out} 、PAE、Gainおよび 0.9MHz と 1.98MHz 離れの隣接チャンネル漏洩電力比(ACPR)の P_{in} 依存性を示す。ACPR(0.9MHz)= -42dBc およびACPR(1.98MHz)= -60dBc 時に $P_{\text{out}}=0.93\text{W}$ (29.7dBm)、PAE= 48.6% 、 $G_{\text{a}}=28.4\text{dB}$ を得た。この 48.6% の電力付加効率は、I S - 9 5規格を満たすM M I Cパワーアンプの最高値である[6]。またこの時、ドレイン電流は前段が 78mA 、出力段が 470mA であった。出力段のドレイン効率は 56.8% と高い。

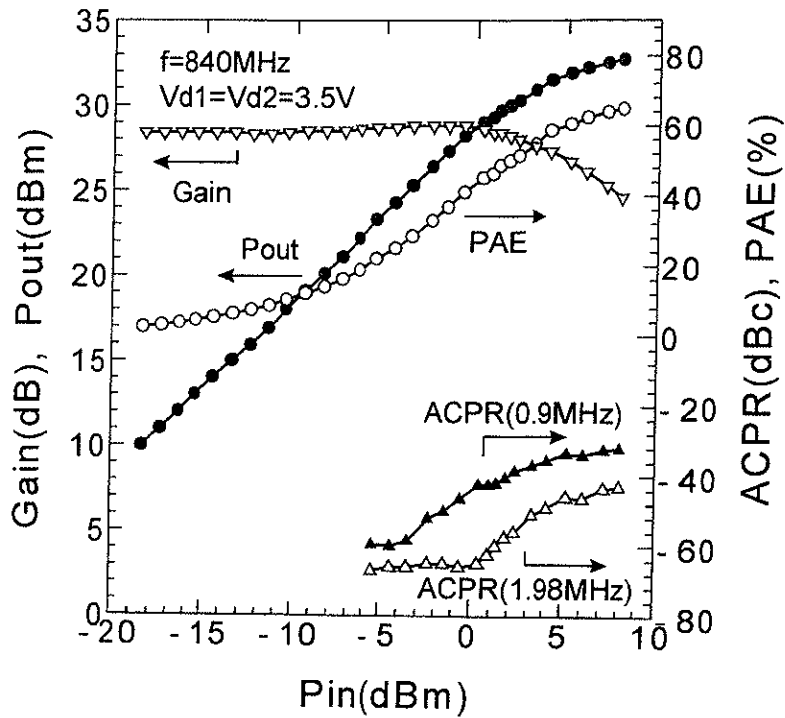


図8-13 P_{out} 、PAE、GainおよびACPRの P_{in} 依存性

図8-14に、I S-95歪規格時の P_{out} およびPAEの電源電圧依存性を示す。ゲートバイアスおよび出力整合回路は図8-13の特性を得た条件 ($V_{g1}=-0.90V$ 、 $V_{g2}=-0.99V$ 、歪を考慮した出力重視整合)に固定し、 $V_{d1}=V_{d2}=0.8\sim 4.0V$ の範囲において出力特性を調べた。PAEは1.2V以上の幅広い電源電圧の範囲において、46.9%以上を維持することが分かった。一方、出力電力は電源電圧に比例して増加した。

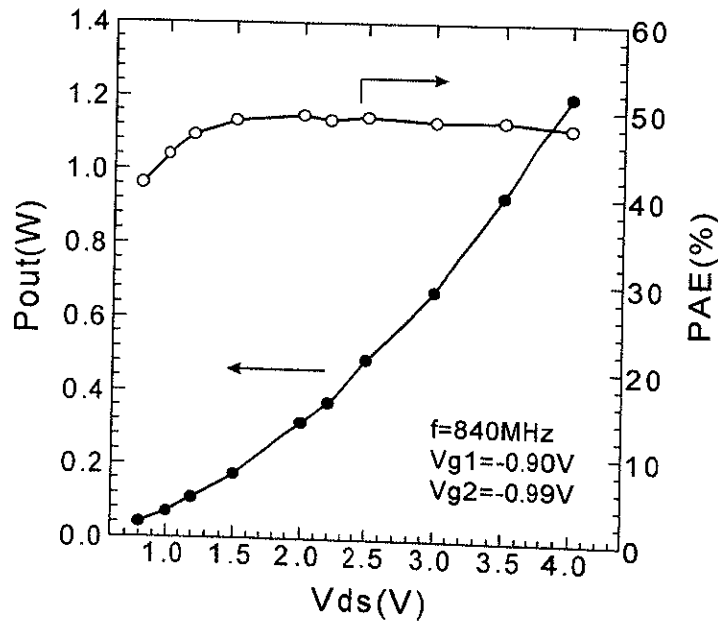


図8-14 I S-95歪規格時の P_{out} およびPAEの電源電圧依存性

広い出力電力範囲での低歪および高効率特性を得るために、CDMA出力特性のセットドレイン電流依存性を調べた。最初に、前段における歪および効率特性のセットドレイン電流依存性を調べた。ドレイン電圧($V_{d1}=V_{d2}=$)3.5Vにおいて、 I_{q2} および出力整合回路は図8-13の特性を得た条件($I_{q2}=53\text{mA}$ 、歪を考慮した出力重視整合)に固定し、 $I_{q1}=25\text{mA}\sim 200\text{mA}$ (1.0~8.0% I_{max})の範囲において出力特性を調べた。図8-15に、それぞれの前段のセットドレイン電流(I_{q1})におけるPAEおよびACPR(0.9MHz)の P_{out} 依存性を示す。PAEは I_{q1} の減少にともなって全出力電力範囲において増加した。 $I_{q1}=25\text{mA}$ 時のPAEは $I_{q1}=200\text{mA}$ 時のPAEと比較して27dBm出力において最大12%向上した。一方、歪特性は I_{q1} による有意差は見られなかった。これより、前段は線形動作していると判断され、歪は非常に低いレベルである。そして、 I_{q1} の大小がPAEの差に反映される。

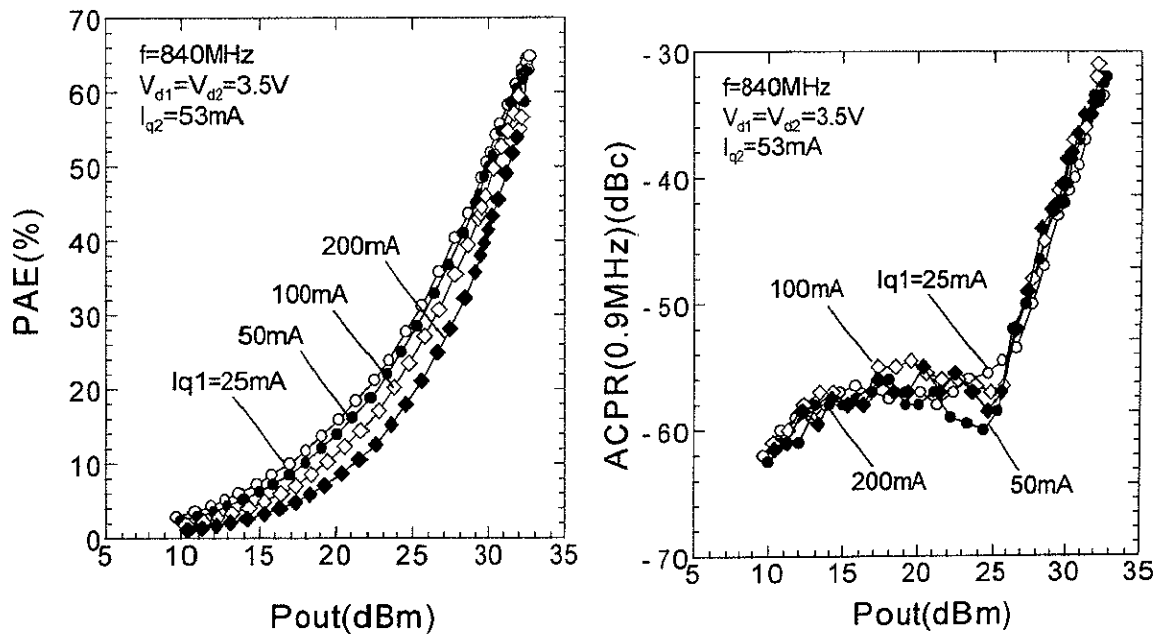


図8-15 それぞれの I_{q1} におけるPAEおよびACPR(0.9MHz)の P_{out} 依存性

次に、出力段における歪および効率特性の後段のセットドレイン電流(I_{q2})依存性を調べた。ドレイン電圧($V_{d1}=V_{d2}=$)3.5Vにおいて、 I_{q1} および出力整合回路は図8-13の特性を得た条件($I_{q1}=50\text{mA}$ 、歪を考慮した出力重視整合)に固定し、 $I_{q2}=12\text{mA}\sim 207\text{mA}$ (0.1~1.7% I_{max})の範囲において出力特性を調べた。図8-16に、それぞれの I_{q2} におけるPAEおよびACPR(0.9MHz)の P_{out} 依存性を示す。PAEは I_{q2} の低下にともなって向上する。 $I_{q1}=12\text{mA}$ 時のPAEは $I_{q1}=207\text{mA}$ 時と比較して22dBm出力において最大5%増加した。また、 I_{q1} 依存性とは異なり、飽和出力領域では収束した。出力段をB級に近い動作($I_{q1}=12\text{mA}$)をさせることによって15mW(11.8dBm)出力時にPAE=4.1%を示すことから、出力段のゲート電圧による高効率出力制御が可能であることが分かった。

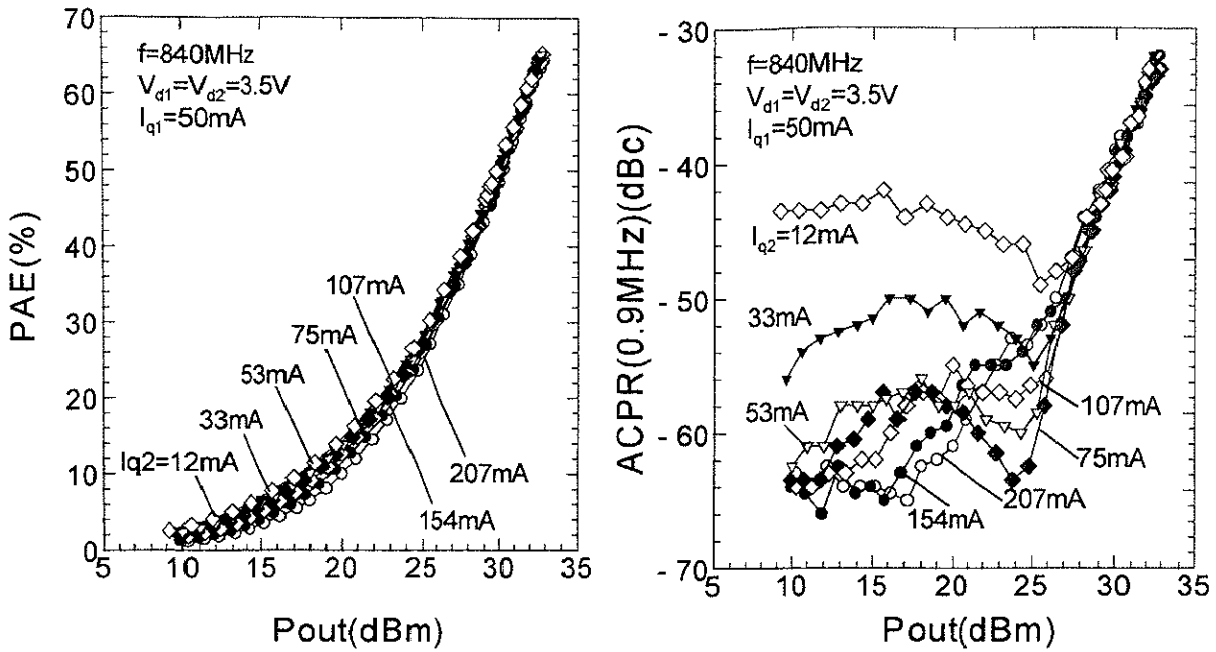


図8-16 それぞれの I_{q2} におけるPAEおよびACPR(0.9MHz)の P_{out} 依存性

一方歪特性は、B級に近い動作では低い出力電力レベル(～100mW)でのACPRが劣化することが分かった。図8-17に、IS-95歪規格時の P_{out} およびPAEの I_{q2} 依存性を示す。 P_{out} およびPAEは $I_{q2}=53\text{mA}$ において最大となり、0.93W出力時に48.6%を示した。さらに低い $I_{q2}=12\text{mA}$ においても0.83W出力時に46.9%のPAEが得られた。今回、出力段はB級に近い動作においても低歪特性を維持し、高い効率を得ることができた。

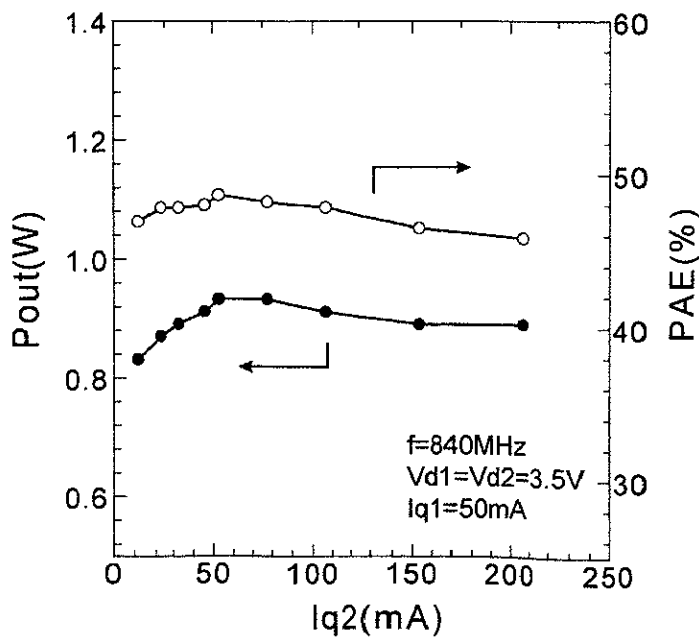


図8-17 IS-95歪規格時の P_{out} およびPAEの I_{q2} 依存性

8.3.3 まとめ

狭いリセス内にゲート電極をオフセットして配したHJSETとSTOキャパシタを用い、出力段の整合回路とドレインバイアス回路を省いたMMICアンプを設計、試作し、CDMA出力特性を評価した。その結果、840MHzのIS-95規格に準拠した評価より、 $ACPR(0.9\text{MHz})=-42\text{dBc}$ および $ACPR(1.98\text{MHz})=-58\text{dBc}$ 時に $P_{\text{out}}=0.93\text{W}$ (29.7dBm)、 $PAE=48.6\%$ 、 $G_a=28.4\text{dB}$ を3.5V動作で得た。出力段をB級に近い動作をさせることによって、15mW出力時に $PAE=4.1\%$ を示すことから、出力段のゲート電圧による高効率出力制御が可能であることが分かった。また、電源電圧1.2V以上において46.9%以上の高いPAEを示した。本MMICは、チップサイズが $2.0\times 1.5\text{mm}^2$ であり、CDMA用MMICパワーアンプでの世界最小サイズである。

[8.4] 結論

高誘電率STO薄膜キャパシタを用いたPDCおよびCDMA用の2段MMICアンプの試作検討より得られた結論を示す。

高誘電率STO薄膜キャパシタは、 SiN_x キャパシタの1/30サイズで同じ容量値が実現でき、MMICの小型化に有効である。

このSTOキャパシタと小型高効率なHJFETの組合せによるCDMA用の2段MMICアンプでは、世界最高の効率48.6%を3.5V動作にて得た。この技術によれば、世界最小チップで良好な特性を示すMMICアンプの実現が可能である。

出力特性の解析より、良好な特性を示すMMICアンプの実現には、回路内での損失の削減が重要であると結論する。

[第8章 参考文献]

- [1] S. Nagata, T. Ueda, A. Noma, H. Koizumi, K. Kanazawa, H. Ishida, T. Ueda, T. Tanaka, D. Ueda, M. Kazumura, G. Kano, and C. P. Araujo: ISSCC93 proc. (1993) 172.
- [2] N. Iwata, K. Yamaguchi, T. B. Nishimura, K. Takemura, M. Kuzuhara and Y. Miyasaka: Solid-State Electron., accepted for publication.
- [3] T. B. Nishimura, N. Iwata, K. Takemura, M. Kuzuhara, Y. Miyasaka: Jpn. J. Appl. Phys. 35 (1996) L1683.
- [4] N. Iwata, M. Tomita, K. Yamaguchi, H. Oikawa and M. Kuzuhara: IEEE GaAs IC Symp. Tech. Dig. (1996) 119.
- [5] K. Yamamoto, K. Maemura, M. Komaru, N. Kasai, T. Oku, Y. Sasaki and N. Tanino: Proc. 24th European Microwave Conference (1994) 1066.
- [6] T. M. Roh, Y. Suh, B. Kim, W. Park, J. B. Lee, Y. S. Kim and G. Y. Lee: Electron. Lett. 32 (1996) 1928.

【第9章】 結論

携帯電話などの移動体通信端末の送信電力増幅に用いる、低電圧で高効率低歪動作する小型な化合物半導体ヘテロ接合FETに関する研究を行った。

本研究前半においては、有望なヘテロ接合半導体系を選択し、DXセンターの回避などを検討するとともに、GaAsMESFETを凌駕するGaAs基板上的ダブルドープ $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 構造ヘテロ接合FET(HJFET)を設計した。また、MESFETの改良検討も行い、比較検討した。後半では、目的の高出力HJFET実現に向けて、作製プロセスの検討、各種アプリケーションに対応した素子の試作と評価解析を行った結果を示した。また、このHJFETを用いた超小型移動体通信用MMICアンプへの適用検討も示した。

以下に、得られた結果をまとめる。

(1) 移動体通信端末用高出力素子開発の意義

送信電力増幅用の高出力素子は、電池で駆動する移動体通信端末内では消費電力が大きい素子であることから、端末の性能を左右するキーデバイスである。マルチメディア時代の進展に伴う情報量の増大は、送信出力の歪規格を一層厳しくしている。このような市場の動向や要求、端末および内部回路の開発動向や二次電池の特性から判断すると、低電圧で高効率低歪動作する小型高出力素子の実現が本研究の目的である。

(2) 高出力素子用ヘテロ接合特性とその改善

半導体結晶にはSiより伝導特性に優れた化合物半導体を用い、低いオン抵抗と高い最大ドレイン電流が期待できるそれらのヘテロ接合構造の検討を中心に行った。その結果、GaAs基板上的 $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ ヘテロ接合系とInP基板上的 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ ヘテロ接合系が所期の目的に有望であることが分かった。

GaAs系ヘテロ接合FETでは、電子供給層に用いるドナーを添加したAlGaAs中のDXセンターの存在が問題視されるが、これを混晶物性の観点から、 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($x \leq 0.24$)中のドナーをPTIS法により評価検討した。試料はMBEにより、 10^{16}cm^{-3} 以下のSiを添加して作製したものである。その評価の結果、混晶半導体中のドナーの電子構造が初めて示された。すなわち、AlGaAs中のドナーはGaAs中のそれと同様に、水素原子様モデルでよく説明できることが分かった。電子の有効質量を求めたところ、従来から良く用いられているGaAsとAlAsの線形近似から求めた値とは一致せず、実際は、より軽いことが判明した。このように、 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($x \leq 0.24$)の電気的特性はGaAsのそれに類似して良好であり、DXセンターなどによる欠点は見いだせない。したがって、

$\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($x \leq 0.24$)は、 InGaAs チャンネル層に対する電子供給層およびバリア層用半導体材料として好適である。

このDXセンターの問題を、 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 層に等価な特性を有する5原子層の AlAs 層と8原子層の GaAs 層からなる選択ドープ構造超格子により回避する方策も検討した。その結果、 Si を AlAs/GaAs 界面から2原子層以上離れた GaAs 層にのみ添加することで、 Si を浅いドナーとして活性化し、DXセンターの発生を押さえられることが分かった。これより、DXセンターは、不純物がIV族元素の場合には、不純物が収まったIII族原子位置を中心に、12個の第2近接原子位置(最近接III族位置)で異種III族元素が混在する場合の準位とするモデルを提案した。

DXセンター濃度が極めて低い特長を有する上記の選択 GaAs 層ドープ超格子試料の熱安定性を評価した。600°C以下の低温熱処理ではDXセンター濃度の増加は見られるものの、 Al と Ga の相互拡散は観測されず、むしろ、結晶性の改善が見られた。DXセンター濃度の増加は Si の拡散によると考えられ、 Si の拡散係数の活性化エネルギーが1.3eVであることを導いた。一方、650°C以上の高温熱処理では、 Al と Ga の相互拡散による混晶化が急速に進行することが分かった。

以上の結果より、歪ヘテロ系の臨界膜厚を考慮した GaAs 基板上の $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ ヘテロ接合系が、小型で低電圧高効率動作する高出力素子に相当と結論する。これを用いた素子の信頼性も高いと結論する。

(3) MESFETの改良検討

移動帯端末用高出力素子として、MESFETの改良を行った。提案した表面にアンドープ GaAs 層を有する GaAs MESFETは、ドレイン電流の周波数分散が無いなど、現状のMESFETよりは特性改善が認められるものの、低電圧での高効率動作が求められる移動帯端末用高出力素子の要求には十分な特性では無いことが分かった。

SiO_2 を開口してゲートを形成するプロセスのダメージを評価し、作製プロセスへの適用に際しては熱処理とダメージ表面層の除去が肝要であることを明らかにした。

$\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ や $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ を絶縁膜として用いる InP チャンネルMESFETの検討も行ったが、上記の新構造 GaAs MESFETを凌駕することができず、移動帯端末用高出力素子としては不相当であることが分かった。

(4) 高出力ヘテロ接合FETの設計

低電圧で高効率低歪動作する小型高出力素子の実現に向けて、 InP 基板上の $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ ヘテロ系と GaAs 基板上の $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ ヘテロ系を用いたFETの設計を行った。

2次元デバイスシミュレーションより、チャンネルの上下に電子供給層を配した構造を特徴とするダブルドープダブルヘテロ接合FETが、高い電子移動度、高いシート電子濃度、高バイアス時の低いゲート端電界および低いドレインコンダクタンスを示すことから、高出力素子に適した構造であることが分かった。

ヘテロ接合系は、GaAs基板上的 $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 系が、現状の成熟した量産作製プロセスが利用できること、ドライリセスエッチングプロセスにより均一に良好な素子特性を再現できることおよびオン抵抗を低減できる多層キャップ構造が適用できるので、良好な特性のFETを実現するうえで有利であることが分かった。

(5) InP系ダブルドープHJFET

InP基板に格子整合する $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 系ダブルドープHJFETの試作と評価検討を行った。まず、この系の作製プロセスの問題を指摘し、InGaAs選択エッチャントによるリセスエッチングプロセスなどを開発した。これを用いて、 $0.15\mu\text{m}$ 長のT型ゲートを有するHJFETを試作した。その結果、 $700\text{mA}/\text{mm}$ の高い最大ドレイン電流などの優れたDC特性や 571GHz の高い最大発振周波数などの優れたRF特性を得た。さらに、この高い最大発振周波数の理由を、Sパラメータより抽出した各素子パラメータより考察したところ、低いドレインコンダクタンスとゲート抵抗によることが分かった。この研究により、ミリ波帯の高出力素子としてはこの系のダブルドープHJFETが有望であることは示せたものの、Liイオン電池1セルでの動作に十分な耐圧($>13\text{V}$)が得られなかった。次に示すGaAs系ダブルドープHJFETが、移動体通信端末用の高出力素子に相当である。

(6) GaAs系ダブルドープHJFET

GaAs基板上的 $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 系ダブルドープHJFETの試作と評価検討を行った。HJFETは、Liイオン電池1セルの使用を想定したPersonal Digital Cellular(PDC)および符合分割多元接続(CDMA)方式の携帯電話への適用、Ni水素電池1セル用の 1.2V 動作PDC携帯電話への適用および 3.0V 単一正電源動作への適用を検討した。

3.4V 動作高出力HJFETは、 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ チャンネル層の上下にSi-doped $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$ を配したダブルドープダブルヘテロ接合構造を基本とし、ゲートは2段のリセス構造に囲まれている。このリセス構造はドライエッチングで形成され、しきい値電圧のばらつきを 20mV 程度と極めて小さくすることができた。DC特性は、 $2.3\Omega\cdot\text{mm}$ のオン抵抗や 12.7V の十分なゲート耐圧など良好である。これは、 $0.8\mu\text{m}$ 長のWSiゲートがソース側にオフセットして設けられた構造による。 3.4V 動作にて、PDC規

格出力時に56.3%の高い電力付加効率をゲート幅7.0mmの素子で得た。本素子は、3.5V動作で50%以上の効率を示す世界最小サイズのPDC用高出力素子である。このHJFETは、CDMA出力特性も良好であり、17.5mm幅の素子において53.2%のIS-95規格を満たす最高効率を得た。また、A級動作解析を用いて、PDC規格を満たすFETのゲート幅と実効的なニー電圧、線形領域最大出力およびドレイン効率の関係を考察した。この検討より、小型チップでの高効率動作には、オン抵抗の低減が肝要であることが分かった。

1.2V動作HJFETの検討から、A級動作解析手法は歪を抑えた整合動作の第一次近似として有効であることが分かった。ゲート幅28.0mmのHJFETが、PDC規格出力時に51.5%の高い効率を得た理由は、 $2.1\Omega\cdot\text{mm}$ の低いオン抵抗設計によることが解析の結果分かった。低電圧での高効率動作には、オン抵抗の低減が肝要であることが分かった。

正電源だけで動作するHJFETは、ショットキー層を薄くし、しきい値電圧を -0.35V とすることで実現した。DC特性はGaAsMESFET以上に良好であり、3.0V単一電源動作の効率を重視した整合条件での80.4%の高い効率やPDC歪規格を満たすなどの良好なRF出力特性を得た。この構造を基に、より小型高効率化が可能な低コンタクト抵抗構造の提案を行い、この構造を用いたHJFETの予備検討から低歪高効率特性を得た。

以上のように、本研究で実現した高出力HJFETは、幅広い動作電圧やアプリケーションに対して、GaAsMESFETの半分程度の小型チップで最高の効率特性を示した。

(7) 小型MMICアンプへの適用

高誘電率 SrTiO_3 薄膜キャパシタを用いたPDCおよびCDMA用の2段MMICアンプの試作検討を行った。

PDC用2段MMICアンプの解析の結果より、良好な特性を示すMMICアンプの実現には、回路内での損失の削減が重要であることが分かった。

この結果を用いて設計したCDMA用の2段MMICアンプでは、世界最高の効率48.6%を3.5V動作にて得るなど、世界最小チップで良好な特性を示すMMICアンプを実現した。

以上、3.5V以下で動作し、現状のGaAsMESFETを上回る高効率低歪特性を有し、単一正電源動作も可能な移動体通信端末用の小型高出力HJFETを実現した。

本研究を振り返ると、高出力素子の研究開発は、半導体物性、結晶成長、素子設計、作製プロセスおよび評価解析など、物理から応用実用化技術までの幅広い領域にまたがっていることに驚かされる。この研究成果を基に開発された量産仕様の高出力HJFETは、現在PDC用パワーモジュールに用いられ、量販されている。今後も、このダブルドープHJFETは、エンハンスメント動作での実用化、一層の低コンタクト抵抗化、またIMT-2000などの歪規格の一層厳しいアプリケーションへの対応など、発展が続くであろう。さらにMMICやその他回路への適用が進み、低電圧動作高出力素子としての確固たる地位を確保するとともに、一層の発展を遂げ、GaAsMESFETを凌駕する高効率高出力素子としての市民権が得られることを祈りつつ本論文を結ぶ。

携帯電話関連

PDC: Personal Digital Cellular の略。一般に「携帯電話」と呼ばれる日本国内でのデジタル携帯電話の方式規格であり、NNT DoCoMo により提案された。 $\pi/4$ シフト Quadrature Phase Shift Keying(QPSK) 変調波を用い、25kHz 幅のチャンネルを有し、時間分割多元接続(TDMA)方式で多人数を収容するシステムである。使用する周波数は 950MHz と 1.5GHz である。

PDC(歪)規格: PDC方式の携帯電話端末の出力規格で、アンテナ端において 0.8W の出力電力と -45dBc より良好な隣接チャンネル漏洩電力が求められる。送信電力増幅用の高出力素子には、アンテナ切り替えのスイッチのロスや温度特性など考慮して、1W の出力電力と -48dBc より良好な隣接チャンネル漏洩電力が要求されるので、通常これを言う。また、効率には規格が無く、高い程他の素子と差別化が図れる。また、PDC歪規格は -48dBc より良好な隣接チャンネル漏洩電力のことを指して本論文では用いている(図 7-4 参照)。

ACPR、 P_{adj} : Adjacent Channel Leakage Power Ratio(隣接チャンネル漏洩電力[比])の略であり、デジタル携帯電話の歪規格を規定する指標である。語意の通り、隣のチャンネルに漏れてじゃまをする電力のことであり、主チャンネルの電力との比(dBc)で表す(図 7-4 および図 7-9 参照)。たとえば、PDC歪規格は -48dBc より良好であることであるが、これは、主チャンネルに出力する電力に対して 50kHz 離れた 25kHz 幅のチャンネルにこぼれる電力との比が 48dB 以上あることを指す。送信電力が隣のチャンネルに漏れる理由は、素子が高出力増幅するときの歪の発生による。なお、本論文では PDC方式に対しては P_{adj} を、CDMA方式に対しては ACPR を区別して用いた。

QPSK: Quadrature Phase Shift Keying の略であり、位相と振幅の制御により、0 と 1 のデジタル情報を変調する方式である。PDCをはじめ、多くのデジタル携帯電話の変調方式である。様々な QPSK方式があり、PDCでは $\pi/4$ シフト QPSK変調方式を採用しており、比較的簡便で、復調精度の高い方式である。

CDMA: Code Division Multiple Access(符号分割多元接続)の略であり、多人数を収容するシステム方式のひとつである。PDCは時間分割多元接続(TDMA)方式であり、1チャンネルを時間分割により多人数を収容するシステムであるが、CDMAは、各ユーザにユニークなコードを割り当て、これを

変調した信号を1チャンネルに多重化して使用する。復調する場合は、ユニークなコードを基に復調する。用いる変調速度(チップレート)により、(狭帯域)N-CDMA(cdmaOne: IS-95)(1.23Mcps)および(広帯域)W-CDMA(IMT-2000)(4.096Mcps)と呼び換える。

IS-95規格: アメリカや韓国、最近では日本でもサービスを開始したCDMA方式のデジタル電話規格であり、cdmaOneやN-CDMAと同じである。アンテナ端において、出力電力0.3Wの1.23MHz幅のQPSK信号に対して、900kHz離れの30kHz幅に-42dBcより良好な隣接チャンネル漏洩電力が求められる。

素子関連

MMIC: Microwave Monolithic Integrated Circuit(マイクロ波モノリシック[一体化]集積回路)の略である。基板は寄生容量の影響を避けるため、半絶縁性が達成できるGaAsやInPを用い、この上にトランジスタ、キャパシタやインダクタを形成し、結合することによりマイクロ波帯やミリ波帯の回路を実現する。個別の部品をプリント基板上に実装した回路と比較して、小型化が容易に達成できる。

HJFET: HeteroJunction Field Effect Transistor(ヘテロ接合FET)の略であり、本論文では特に、InGaAsチャンネルの上下に電子供給層を配したダブルドープ構造の高電子移動度トランジスタを指す。

I_{\max} : Maximum Drain Current(最大ドレイン電流)の略称であり、ゲートに正の電位(HJFETでは1.0~1.5V)を印加してチャンネルを最大に開けたFETが流せる最大の電流値のことである。

r_{on} : On-Resistance(オン抵抗)の略称であり、ゲートに正の電位(HJFETでは1.0~1.5V)を印加したドレインI-Vカーブの立ち上がり部分の傾き(単位はゲート幅当たりの抵抗値: $\Omega \cdot \text{mm}$)のことである。傾きが急峻な程、オン抵抗は低く、実効的なニー電圧は低くなる。したがって、線形領域最大出力と効率が增加する(図7-7参照)。

実効的ニー電圧(Effective Knee Voltage): 一般的なニー電圧(V_k)は、ドレインI-V特性において、ドレイン電圧の増加に伴って、直線的にドレイン電流が立ち上がる部分と飽和する部分の境目のドレイン電圧として定義されるが、低電圧で動作する移動体用の高出力素子では、負荷線とドレイン電圧の増加に伴って直線的にドレイン電流が立ち上がる部分との交点のドレイン電圧を実効的ニー電圧(V_{min})とした方が理解しやすい(図7-7参照)。

PAE: Power-Added Efficiency(電力付加効率)の略であり、出力電力から入力電力を

差し引いた値をDCバイアスの消費電力で割った値の%表示である。本論文では、効率はすべてこの電力付加効率のことである。

BV_{gd} : ゲートドレイン間耐圧(Gate-to-Drain Breakdown Voltage)の略称であり、ゲートに負電位を印可し、ゲートドレイン電流が規定された値(本論文では -1mA/mm)に達したときのゲートドレイン電圧であり、通常は正の値で表示する、いわゆるゲート耐圧のことである。 BV_{gd} が高いほど高い電圧で動作させることができる。Liイオン電池(充電時4V)を用いて高調波の処理を考慮した高効率動作の場合、13V(電源電圧の3倍にピンチオフ電圧を足した値)が必要とされる。

Sパラメータ(Scattering Parameter) : 素子の高周波特性を表記するのに便利な指標である。通常トランジスタは2端子回路として評価され、 S_{11} 、 S_{12} 、 S_{21} 、 S_{22} の4つの値に置き換えられる。インピーダンスを表記するスミスチャート上にこれらを示すと、 S_{11} は入力整合条件、 S_{22} は出力整合条件に有用な情報を与える。

線形性の良い入出力特性 : トランジスタの増幅動作では、入力電力の増加に伴って出力電力が比例して増加する領域とその後、出力電力が伸びなくなる領域に大きく分けられる。線形性の良い入出力特性とは、入力電力の増加に伴って出力電力が比例して増加する最初の領域が特に良好な比例関係にあることを言う。縦横の軸がdBm単位のグラフでは直線になる。この領域では歪が低い。

線形性の良い素子設計 : FETの各パラメータ(相互コンダクタンスやゲート容量など)は入力電力やバイアス電圧に対して非線形性が強い。これを素子構造、特にエピタキシャルウェーハの層構造を検討し、使用する動作条件でなるべく非線形性が現れないようにする設計のことである。ダブルドープHJFETは、二つの電子供給層の設計で相互コンダクタンスの線形性を高めることが可能である。

線形領域最大出力、 P_{omax} : 語意の通り線形領域での最大出力であり、線形領域から飽和領域に移る界での出力電力のこと。測定では、便宜的に線形領域の利得から1dB低下した利得時の出力電力をいう場合が多く、低歪な出力である。厳密な定義(解析的)では、ドレインI-V特性上で動作バイアス点を負荷線の中心に置いたA級動作において、負荷線と最大ドレイン電流のDCカーブが交わる点、それから垂直に下ろしたドレイン電流が0Aの点、負荷線とドレイン電流0Aが交わる点とそれから垂直に上げた線で囲まれた四角形の面積の1/8の出力電力(図7-7参照)であり、理論的には無歪である。

飽和特性：トランジスタの増幅動作では、入力電力の増加に伴って出力電力が比例して増加する領域とその後、出力電力が伸びなくなる領域に大きく分けられるが、その内、後者の特性を指す。線形性と飽和特性が良い素子は、縦横の軸が dBm 単位のグラフで直線的に出力が伸びた後に、一度の折れ曲がりて出力が飽和する。一方、表面準位の充放電の効果などで飽和特性の悪い素子は、線形領域と飽和領域の区別が明確ではなく、だらだらとした入出力特性である。したがって、歪特性も悪い。

ドレイン電流の周波数分散、ゲートラグ：ゲートに入力される信号の周波数によって、ドレインからの出力レベルが異なる現象をいう。または、ゲートへの矩形入力信号に対して、ドレインからの出力信号が鈍って出力される現象をいう。この現象が大きな素子は、DC特性から見込まれる出力特性と実際のマイクロ波帯での出力特性が異なることになる。原因は表面準位の充放電やバッファ層中の深い順位の充放電によるとされる。

謝辞

本研究を進め、まとめるにあたり、多くの方々のお世話になりました。ここにお礼を申し上げます。

最初に、大学院時代より多年にわたって親身なご指導をいただいております筑波大学物質工学系長谷川文夫教授に、心から感謝の意を表します。長谷川文夫教授のご指導とご鞭撻なくしては、本論文は決して完成し得なかったものです。また、本論文をまとめるにあたっては主査をしていただき、学位の申請手続きから論文作成のご指導まで、たいへんお世話になりました。厚くお礼を申し上げます。そして、論文の審査と貴重なご指導をいただいた筑波大学物質工学系 川辺光央教授、村上浩一教授、物理工学系 名取研二教授、連携大学院 松本和彦助教授に深く感謝いたします。

本研究は、日本電気株式会社 基礎研究所、マイクロエレクトロニクス研究所(当時)、関西エレクトロニクス研究所において行われたものです。この研究の機会を与えていただいた篠田大三郎博士、渡辺久恒支配人、太田道宏取締役、高山洋一郎主席技師長、阿部浩之所長、小川正毅所長、宇治俊男所長代理、水戸郁夫所長代理をはじめ多くの方々に心より感謝いたします。小川正毅所長には、基礎研究所時代よりご指導をいただくとともに、本論文をまとめるにあたってはご快諾とご激励をいただき、深く感謝いたします。

そして、本研究を進めるにあたり直接ご指導いただいた松本良成マネージャー、井下猛博士、水田正志主席技師、馬場寿夫研究マネージャー、大畑恵一主管研究員、葛原政明研究部長、平山裕光プロジェクトマネージャー、伊東朋弘部長、宮坂洋一主任研究員をはじめ多くの方々に心より感謝いたします。本研究の一部は、日本電気株式会社より派遣されたスタンフォード大学留学中の成果であります。Department of Electrical Engineering の James S. Harris 教授と Zhiping Yu 博士には直接ご指導をいただき、深く感謝いたします。

本研究を行うにあたっては日本電気株式会社と関西日本電気株式会社の多くの方々のお世話になりました。これらの方々のご支援とご協力に深く感謝いたします。特に、共同研究者の麻埜和則主任、笠原健資主任、水谷浩主任、松永高治主任、岡本康宏主任、山口(旧姓 猪砂)佳子氏、西村武史氏、尾藤康則氏、富田正俊氏の方々に感謝いたします。

最後に、暖かく支援してくれた家族に感謝します。

本研究に関する発表論文および学会発表

学術論文 (筆頭著者)

"Thermal Stability of a Short Period AlAs/n-GaAs Superlattice,"

Naotaka Iwata, Yoshishige Matsumoto and Toshio Baba,

Jpn. J. Appl. Phys., Vol.24, pp.L17-L20, 1985.

"DX Center-Like Trap in Selectively Si-Doped AlAs/GaAs Superlattice,"

Naotaka Iwata, Yoshishige Matsumoto, Toshio Baba and Masaaki Ogawa,

Jpn. J. Appl. Phys. Vol.25, pp.L349-352, 1986.

"Spectroscopic Evidence that Oxygen Suppresses Si Incorporation into Vapor Phase Epitaxial InP,"

Naotaka Iwata and Takeshi Inoshita,

Appl. Phys. Lett., Vol.50, pp.1361-1363, 1987.

"High Performance Double-Doped InAlAs/InGaAs/InP Heterojunction FET with Potential for Millimeter-Wave Power Application,"

Naotaka Iwata, Masatoshi Tomita and Masaaki Kuzuhara,

Electron. Lett., Vol.29, pp.628-629, 1993.

"2.2V Operation Power Heterojunction FET for Personal Digital Cellular Telephones,"

Naotaka Iwata, Keiko Inosako and Masaaki Kuzuhara,

Electron. Lett., Vol.31, pp.2213-2214, 1995.

"Double-Doped Power Heterojunction FET for 1.5V Digital Cellular Applications,"

Naotaka Iwata, Keiko Inosako and Masaaki Kuzuhara,

Solid-State Electron., Vol.41, No.10, pp.1587-1590, 1997.

"Li-Ion Battery Operated Power Amplifier MMICs Utilizing SrTiO₃ Capacitors and Heterojunction FETs for PDC and CDMA Cellular Phones,"

Naotaka Iwata, Keiko Yamaguchi, Takeshi B. Nishimura, Koichi Takemura, Masaaki Kuzuhara and Yoichi Miyasaka,

Solid-State Electron., accepted for publication.

学術論文 (共著者)

"Liquid-Encapsulated Czochralski Growth and Characterization of GaAs_{1-x}P_x Solid Solution Single Crystals,"

Taketoshi Hibiya, Hisao Watanabe, Haruhiko Ono, Takashi Matsumoto and Naotaka Iwata.

J. Electrochem. Soc.: SOLID-STATE SCIENCE AND TECHNOLOGY, Vol.134, pp.981-984, 1987.

"Identification of the Neutral Donor Molecule in III-V Semiconductors."

Takeshi Inoshita and Naotaka Iwata,
Semicond. Sci. Technol., Vol.4, pp.28-34, 1989.

"Magneto-Optical Spectrum of Donors in $Al_xGa_{1-x}As$ and Its Implications on the DX Center,"

Takeshi Inoshita and Naotaka Iwata,
Phys. Rev. B, Vol.42, pp.1296-1304, 1990.

"Power Heterojunction FETs for Low-Voltage Digital Cellular Applications,"

Keiko Inosako, Naotaka Iwata and Masaaki Kuzuhara,
IEICE Trans. Electron., Vol.E78-C, No.9, pp1241-1245, 1995.

"1.2V Operation Power Heterojunction FETs for Digital Cellular Applications,"

Keiko Yamaguchi, Naotaka Iwata, Masaaki Kuzuhara and Yoichiro Takayama,
IEEE Transaction on Electron. Devices, Vol.45, No.2, pp.361-365, 1998.

国際会議プロシーディング (筆頭著者)

"AlN Encapsulant Grown by MOCVD for Ion Implantation Processing of GaAs,"

Naotaka Iwata, Yasunori Mochizuki, Sinji Fujieda and Yoshishige Matsumoto,
Inst. Phys. Conf. Ser. No.96: Chapter 6, Paper presented at Int. Symp. GaAs and Related
Compounds, Atlanta, 1988, pp.435-438 1988.

"Thermal Stability of an AlSb/GaSb Superlattice,"

Naotaka Iwata, Yoshifumi Nakahara and Ichiro Hirosawa,
Inst. Phys. Conf. Ser. No.106: Chapter 6, Paper presented at Int. Symp. GaAs and Related
Compounds, Karuizawa, 1989, pp.459-464, 1989.

"Extensive Study on the Effect of Undoped GaAs Layers on MESFET Channels and its
Application for Ku-Band Extra High Output Power Devices,"

Naotaka Iwata, Hiroshi Mizutani, Satoshi Ichikawa, Akira Mochizuki and Hiromitsu
Hirayama,
Inst. Phys. Conf. Ser. No.120: Chapter 3, Paper presented at Int. Symp. GaAs and Related
Compounds, Seattle, 1991, pp.119-124, 1991.

"Breakdown Voltage Enhancement in a GaAs MESFET with a Step-Doped Channel under High
Output Power Operation,"

Naotaka Iwata, Yasuhiro Okamoto and Masaaki Kuzuhara,
Inst. Phys. Conf. Ser. No.129: Chapter 12, Paper presented at Int. Symp. GaAs and Related
Compounds, Karuizawa, 1992, pp.937-938, 1992.

"3V Operation L-Band Power Double-Doped Heterojunction FETs."

Naotaka Iwata, Keiko Inosako and Masaaki Kuzuhara,
1993 IEEE MTT-S Digest, pp.1465-1468, 1993.

"Single Low-Voltage Operation of Power Heterojunction FETs for Digital Cellular Application,"

Naotaka Iwata, Keiko Inosako and Masaaki Kuzuhara,
Inst. Phys. Conf. Ser. No.145: Chapter 5, Paper presented at 22ed Int. Symp. on Compound Semiconductors, Cheju Island, 1995, pp.813-816, 1995.

"7mm Gate Width Power Heterojunction FETs for Li-Ion Battery Operated Personal Digital Cellular Phones,"

Naotaka Iwata, Masatoshi Tomita, Keiko Yamaguchi, Hirokazu Oikawa and Masaaki Kuzuhara,
GaAs IC Symposium Technical Digest 1996, p.119-122, 1996.

"Power Heterojunction FETs for Digital Cellular Applications,"

Naotaka Iwata,
1997 Microwave Workshop and Exhibition, Microwave Workshop Digest pp.155-160 (Invited).

"49% Efficiency Power Amplifier MMIC Utilizing SrTiO₃ Capacitors for 3.5V Li-Ion Battery Operated CDMA Cellular Phones",

Naotaka Iwata, Keiko Yamaguchi, Takeshi B. Nishimura, Koichi Takemura and Yoichi Miyasaka,
1998 IEEE Radio Frequency Integrated Circuits Symposium Digest, pp.65-68, 1998.

国際会議プロシーディング (共著者)

"1.2V Operation 1.1W Heterojunction FET for Portable Radio Applications,"

Keiko Inosako, Naotaka Iwata and Masaaki Kuzuhara,
1995 IEEE International Electron Devices Meeting Technical Digest, pp.8.2.1-8.2.4, 1995.

"3.4V Operation 1W MMIC Power Amplifier with SrTiO₃ Capacitors for Digital Cellular Phones,"

Keiko Yamaguchi, Takeshi B. Nishimura, Naotaka Iwata, Koichi Takemura, Masaaki Kuzuhara and Yoichi Miyasaka,
1997 IEEE MTT-S Digest, pp.1403-1406, 1997.

"50% High Efficiency 1W Power Heterojunction FET for 3.5V CDMA Cellular Phones."

Keiko Yamaguchi, Naotaka Iwata, and Masatoshi Tomita,
1997 Asia Pacific Microwave Conference Proceedings, Vol.3, pp.1105-1108, 1997.

筑波大学附属図書館



1 00990 12460 8

本学関係