

第 3 章

理想トランスを用いた複素フィルタの実現とその演算増幅器によるシミュレーション

本章では、前章で述べた周波数シフト法により得られた複素フィルタの実現方法について検討する。

まず従来法として、前章で簡単に述べたジャイレータを用いた複素フィルタの実現法について述べる。その結果、複素フィルタがジャイレータ、キャパシタ、インダクタ、抵抗によって構成できることが示されている。次に、理想トランスを用いた虚数抵抗の新しい実現法を提案している。提案する方法は、虚部回路を実部回路に対する双対回路とすることにより実現される。その結果、複素フィルタは理想トランス、キャパシタ、インダクタ、抵抗から構成できることが示されている。この回路は理想トランスを含むため、ジャイレータを用いた従来の回路と同様に広義の受動素子から構成される。このことは実際の受動素子による実現は困難であることを示しているが、本章で提案する方法は、複素フィルタの狭義の受動実現の可能性を示唆するものである。

さらに本章では、上記の理想トランスを含んだ複素フィルタを原形回路として、この回路を演算増幅器を用いてシミュレートしている。この回路は、原形回路の低感度性を受け継ぐことが期待される。3次チェビシェフ形複素バンドパスフィルタを構成し実験を行うと共に、計算機を用いて素子感度特性の解析を行い、提案手法の有効性を確認している。

3.1 ジャイレータを用いた複素フィルタの構成

3.1.1 虚数抵抗の実現

図 3.1(a) に虚数抵抗を示す。同図において、虚数抵抗 jR を流れる電流 i およびその両端の電圧 v の関係は、次式で示される。

$$v = jRi \quad (3.1)$$

上式において、電流 i と電圧 v を次式のように実部と虚部に分割する。

$$\left. \begin{aligned} v &= v_r + jv_i \\ i &= i_r + ji_i \end{aligned} \right\} \quad (3.2)$$

ここで、添え字 r と i はそれぞれ実部と虚部を示している。式 (3.2) を式 (3.1) に代入し、Z-マトリクス形式で表すと、

$$\begin{pmatrix} v_r \\ v_i \end{pmatrix} = \begin{pmatrix} 0 & -R \\ R & 0 \end{pmatrix} \begin{pmatrix} i_r \\ i_i \end{pmatrix} \quad (3.3)$$

となる。上式をポート r とポート i を有する 2 端子対回路の入出力関係を記述した Z-マトリクスと考えれば、同式は図 3.1(b) に示すジャイレータを示していることがわかる [28, 29]。以上のことから、虚数抵抗をジャイレータにより等価的に実現することができることがわかる。

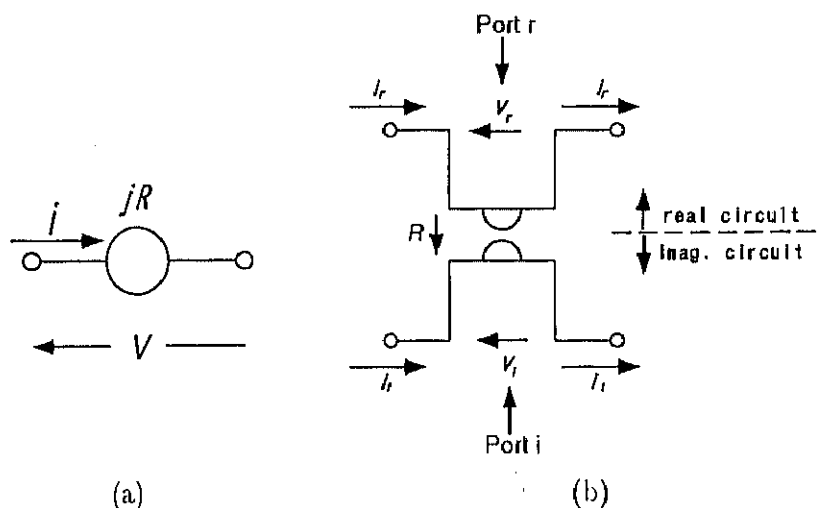


図 3.1: (a) 虚数抵抗 (b) ジャイレータを用いた虚数抵抗の実現 [28, 29]

3.1.2 実一端子対素子の実現

次に虚数抵抗以外の2端子素子について述べる。まず、図3.2(a)に示した実一端子対素子を流れる電流 i およびその両端の電圧 v の関係は、次式で示される。

$$v = Zi \quad (3.4)$$

上式において、前述のジャイレータの場合と同様に、電流 i と電圧 v をその実部と虚部に分割し、 Z -マトリクス形式で表すと、

$$\begin{pmatrix} v_r \\ v_i \end{pmatrix} = \begin{pmatrix} Z & 0 \\ 0 & Z \end{pmatrix} \begin{pmatrix} i_r \\ i_i \end{pmatrix} \quad (3.5)$$

となる。上式をポート r とポート i を有する2端子対回路の入出力関係を記述した Z -マトリクスと考えれば、同式は図3.2(b)に示す回路で実現することができることがわかる。

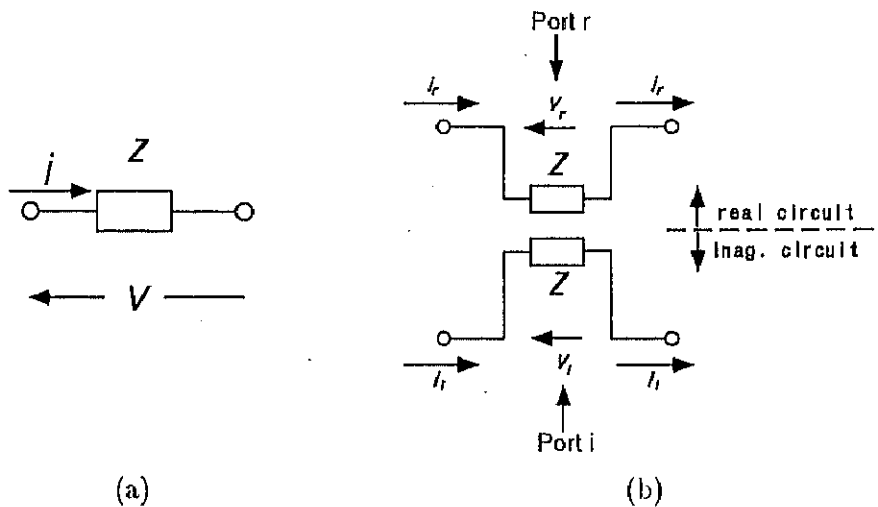


図 3.2: (a) 信号経路分割前 (b) 信号経路分割後

3.1.3 構成例

以下に示す仕様に基づく複素バンドパスフィルタを設計する。

通過帯域内リップル	1dB
中心周波数	10rad/s
通過帯域幅	2rad/s

この仕様を満足する複素フィルタは、図3.3に示す3次実ローパスフィルタの中心周波数を周波数軸方向に $\omega_s = 10\text{rad/s}$ だけ周波数シフトすることにより得られる。この複素フィルタを図3.4

に示す。さらに、本節で述べた方法により複素フィルタを構成すると、図 3.5 のフィルタが得られる。

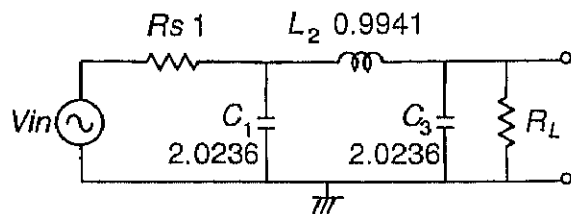


図 3.3: 3次チェビシェフ形実ローパスフィルタ

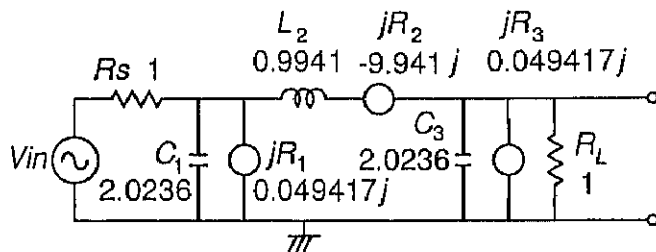


図 3.4: 複素フィルタ

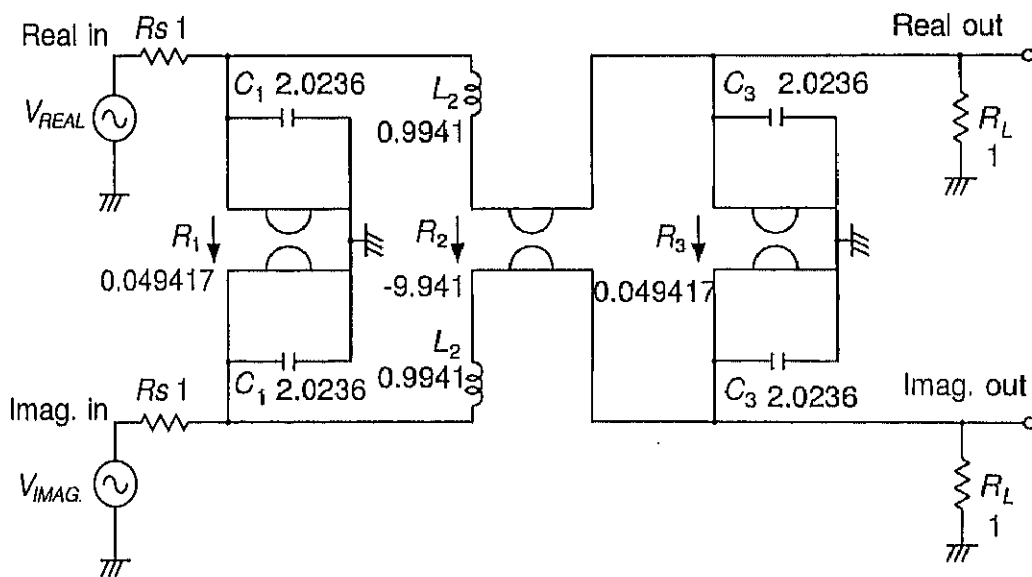


図 3.5: ジャイレータを用いて実現した複素フィルタ

3.2 理想トランスにより虚数抵抗を実現した複素フィルタ

3.2.1 理想トランスによる虚数抵抗の実現

本節では、前節で述べたジャイレータを用いた複素フィルタの虚部回路の電流と電圧の関係を入れ替えることについて考える。そのために、次式で定義される v_i, i_i' を導入する。

$$\left. \begin{aligned} v_i' &= R_0 i_i \\ i_i' &= (1/R_0) v_i \end{aligned} \right\} \quad (3.6)$$

ここで R_0 は $[\Omega]$ の単位を持つ正の定数である。虚部回路において電流と電圧の関係を入れ換えることは、虚部回路を実部回路に対して後述する双対回路 (Reciprocal Network) とすることにより実現される。式 (3.6) を式 (3.3) に代入することにより、次式が得られる。

$$\begin{pmatrix} v_r \\ i_i' \end{pmatrix} = \begin{pmatrix} 0 & -R/R_0 \\ R/R_0 & 0 \end{pmatrix} \begin{pmatrix} i_r \\ v_i' \end{pmatrix} \quad (3.7)$$

式 (3.7) は h -マトリクスによる表示となっている。同式を F -マトリクス形式に書き直せば、

$$\begin{pmatrix} v_r \\ i_r \end{pmatrix} = \begin{pmatrix} -R/R_0 & 0 \\ 0 & -R_0/R \end{pmatrix} \begin{pmatrix} v_i' \\ -i_i' \end{pmatrix} \quad (3.8)$$

となる。式 (3.8) は図 3.6 に示す巻き数比が $R : (-R_0)$ の理想トランスを示している。負の巻き数比は 1 次、もしくは 2 次側の端子の極性を反転させることにより実現できることは言うまでもない。以上のことから、巻き数比が R に比例する理想トランスにより、虚数抵抗 jR を等価的に実現することができることがわかる。

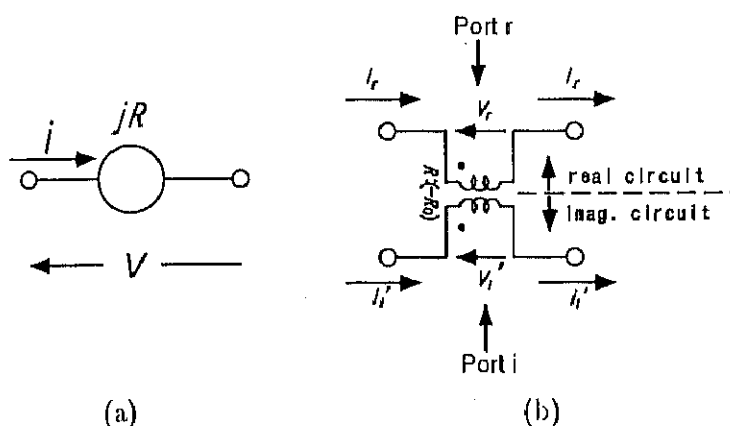


図 3.6: (a) 虚数抵抗 (b) 理想トランスを用いた虚数抵抗の実現

3.2.2 双対回路

前述の双対回路の求め方を述べる。インピーダンス素子 Z_1 と Z_2 の間に $Z_1 Z_2 = R_0^2$ の関係があるとき、これらの素子は互いに逆回路となる [37, 38]。このとき 2 つの素子の電流と電圧の関係は式 (3.6) に示すように入れ替えられている。表 3.1 に逆回路の例を示す。

逆回路を一般化して、ある回路の閉路方程式における電流、電圧をそれぞれ (電流) $\times R_0$ 、(電圧) $\div R_0$ で置き換えるとき、ある別の回路の接点電圧方程式が得られるなら、両回路は双対であるという。図 3.7(a) の回路を例にとり、その双対回路の求め方の手順を以下に示す¹。

- i) 原回路内の全ての閉ループ内と、回路の外に 1 つだけ番号をつけたノードを書く。
- ii) 各ノードに時計回りに矢印を書く。
- iii) 原回路内の素子を横切るように全てのノード間に破線を書く。
- iv) それらの線で横切られた素子に表 3.1 で示される逆回路を割り当てる。

虚数抵抗に相当する理想トランスの 1 次側と 2 次側はそれぞれ実回路 (原回路) と虚回路 (原回路に対する双対回路) の間に接続され、原回路と双対回路を結合する働きを持つが、その極性は次の手順により決定することができる。

- i) 原回路において理想トランス T_k ($k = 1, 3$) の 1 次側をまたぐ破線の両端のノードを A_k 、 B_k とする。このとき便宜的にノード A_k の時計回りに電流が流れていると仮定² する。そして、コイルへの電流流入口に ● 印を付ける。
- ii) この場合、双対回路において T_k の 2 次側からノード A_k の方向に電流が流れ出るように T_k の極性を決定する。すなわち、コイルからの電流流出口に ● 印をつける。

図 3.7(a) に示す回路の双対回路は、同図 (b) に示す回路となる。これらの回路を 1 つにまとめることにより、図 3.8 に示す複素フィルタが得られる。素子値は次に示す構成例の下で設計したものである。同図において、簡単のため $R_0 = 1$ としている。このことは虚部回路に含まれる素子値の決定を容易にするばかりでなく、実際の応用を考慮すれば、通常実部および虚部入出力端の始端、終端の規格化抵抗は等しく設計されることが多いと思われるため、好都合であるといえる。

¹ この手順は平面回路 (平面上に配線が交差せずして書くことのできる回路) にだけ適用することができる。

² 電流の向きを逆に仮定した場合、すなわちノード B_k において時計回りに電流が流れていると仮定した場合において決定される極性は、ノード A_k において時計回りに電流が流れていると仮定した場合において決定される極性と同一である。

表 3.1: 逆回路

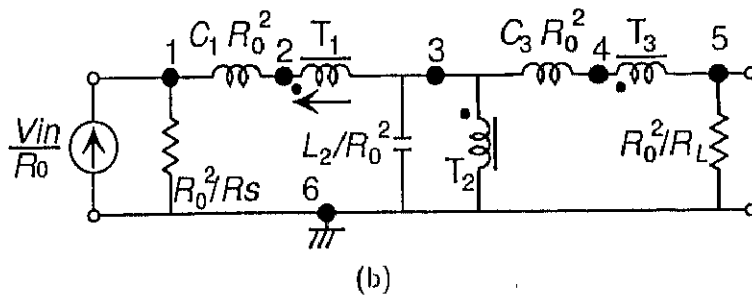
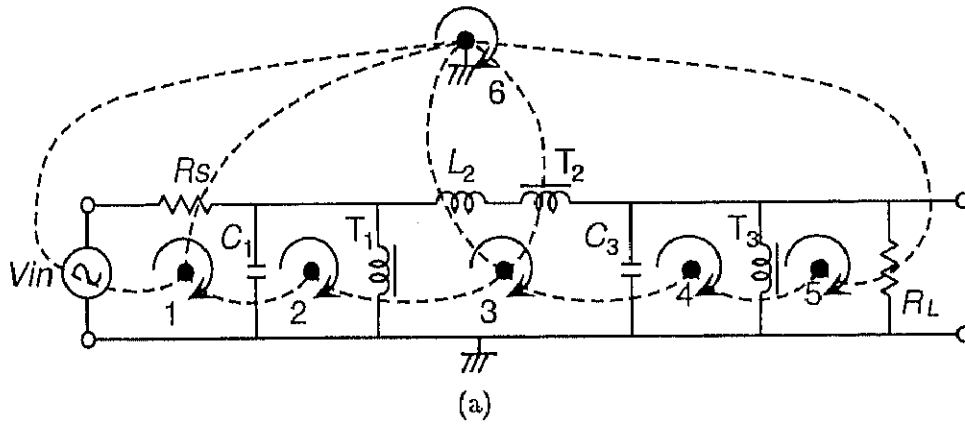
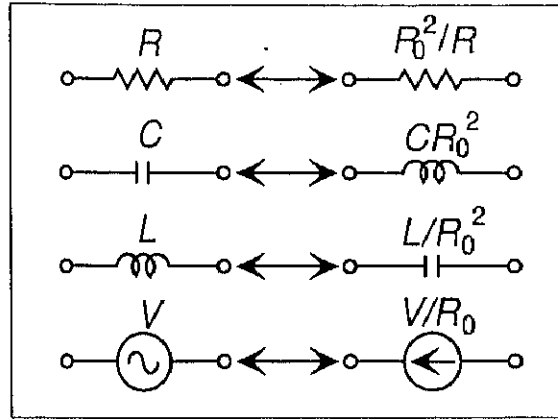


图 3.7: (a) 原回路 (b) 双对回路

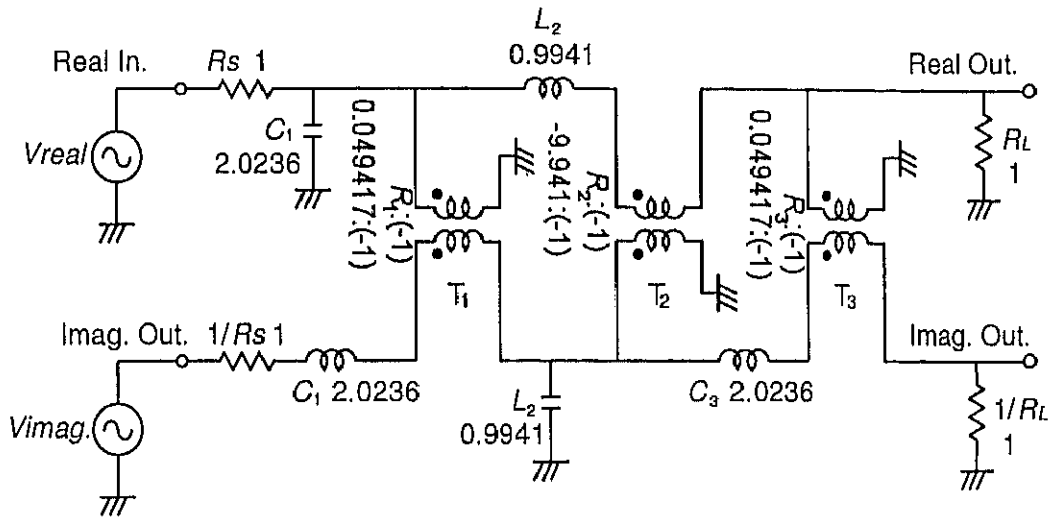


図 3.8: 理想トランスを用いて実現した複素フィルタ

3.2.3 構成例

構成例として、以下の設計仕様に基づくフィルタを構成する。この仕様は 3.1.3 のそれと同一である。

通過帯域内リップル	1dB
中心周波数	10rad/s
通過帯域幅	2rad/s

この仕様を満足する複素フィルタは、すでに図 3.4 に示されている。この回路を理想トランスを用いて実現すると、図 3.8 に示す回路が得られる。同図の素子値は、ここでの構成例の仕様に基づいている。

本論文の定義に従えば、図 3.5 のジャイレータを用いた複素フィルタと図 3.8 の理想トランスを用いた複素フィルタの両者は広義の受動実現である。但し両者の間には、ジャイレータは非相反素子であるのに対し、理想トランスは相反素子であるという大きな違いがある。トランジスタ等の能動素子を含む回路は一般に非相反性を持つ。このことを考慮すると、ジャイレータは受動素子の中でも特異な素子であることがわかる。以上のことから、本章で提案する理想トランスによる複素フィルタは、非相反素子を含まないという点において、狭義の受動実現の可能性をより高く持っているといえる。

3.3 演算増幅器によるシミュレーション

3.3.1 理想トランスの除去

図 3.8 に示す原形回路をシミュレートするためには、理想トランスを他の回路で置き換える必要がある。そこでまず、図 3.9(a) に理想トランスとそれに直列に接続されているインダクタを示す。この回路の電流と電圧の関係は、三端子対 Y-パラメータ形式を用いて、

$$\begin{pmatrix} i_1 \\ i_2 \\ i_3 \end{pmatrix} = \begin{pmatrix} 1/n^2 Z_b & -1/n Z_b & 1/n Z_b \\ -1/n Z_b & 1/Z_b & -1/Z_b \\ 1/n Z_b & -1/Z_b & 1/Z_b \end{pmatrix} \begin{pmatrix} v_1 \\ v_2 \\ v_3 \end{pmatrix} \quad (3.9)$$

となる。この等価回路として、図 3.9(b) の回路を考える。同図の回路の三端子対 Y-パラメータは、

$$\begin{pmatrix} i_1 \\ i_2 \\ i_3 \end{pmatrix} = \begin{pmatrix} 1/(Z_1 // Z_2 // Z_5) & -1/Z_2 & -1/Z_5 \\ -1/Z_2 & 1/(Z_2 // Z_3 // Z_6) & -1/Z_3 \\ -1/Z_5 & -1/Z_3 & 1/(Z_3 // Z_4 // Z_5) \end{pmatrix} \begin{pmatrix} v_1 \\ v_2 \\ v_3 \end{pmatrix} \quad (3.10)$$

となる。式 (3.9) と式 (3.10) を比較すると、

$$\left. \begin{aligned} Z_1 &= n^2 Z_b & Z_2 &= n Z_b \\ Z_3 &= -n Z_b & Z_4 &= n Z_b \\ Z_5 &= -n Z_b & Z_6 &= -n Z_b \end{aligned} \right\} \quad (3.11)$$

となる。図 3.8 から、 Z_b はインダクタ L であるから、

$$Z_b = sL \quad (3.12)$$

となる。従って、式 (3.12) を式 (3.11) に代入すると、図 3.9(b) の各素子値は、

$$\left. \begin{aligned} Z_1 &= n^2 sL & Z_2 &= nsL \\ Z_3 &= sL & Z_4 &= nsL \\ Z_5 &= -nsL & Z_6 &= -nsL \end{aligned} \right\} \quad (3.13)$$

となり、両者の回路は等価となる。以上のことから、図 3.10 に示す原形回路が得られる。但し、同図において $R_0 = 1$ としている。

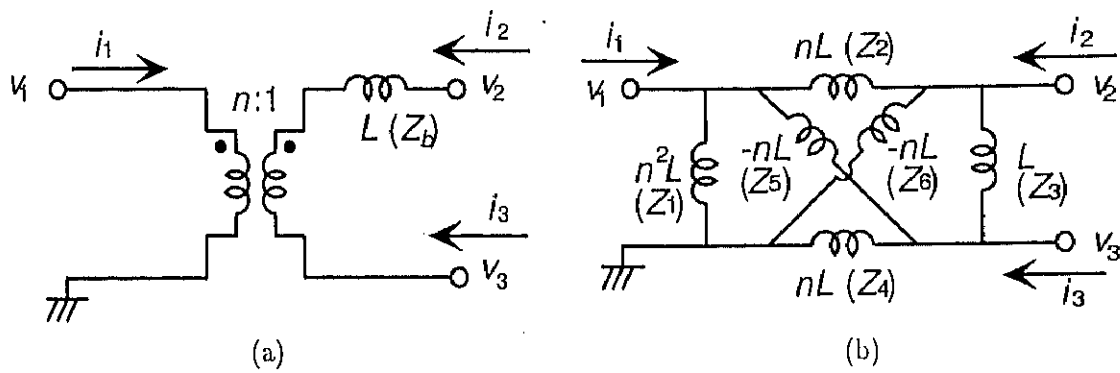


図 3.9: (a) 理想トランスとインダクタ (b) 等価回路

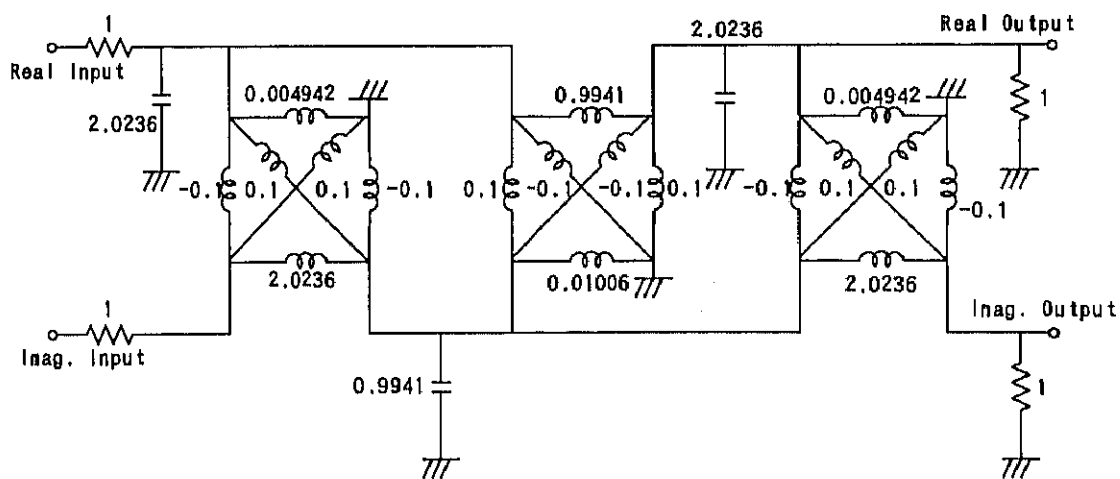


図 3.10: 理想トランスを除去した原形回路

3.3.2 FDNR シミュレーション

FDNR シミュレーション [3] は回路の各素子に $1/s$ のインピーダンススケールリングを施すことによって実現される。この操作は Bruton 変換と呼ばれている [39]。この様子を下図に示す。

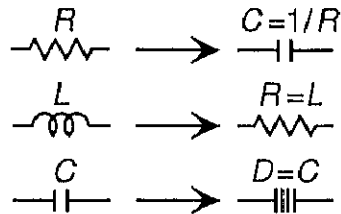


図 3.11: Bruton 変換

上図から、抵抗およびインダクタはそれぞれキャパシタ、抵抗に変換されるが、キャパシタを変換する際、素子値が D で示される新しい素子が生まれることがわかる。この素子は FDNR と呼ばれおり、下図に示す GIC (Generalized Immittance Converter) を用いてシミュレートすることができる。

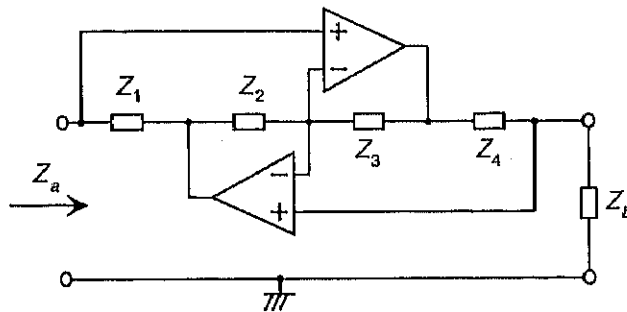


図 3.12: GIC

上図において、 Z_a 側から見たインピーダンスは、

$$Z_a = \frac{Z_1 Z_3}{Z_2 Z_4} Z_b \quad (3.14)$$

となる。ここで、 $Z_1 = Z_2 = Z_4 = R$ 、 $Z_3 = 1/sC$ 、 $Z_5 = 1/sC$ とすれば、

$$Z_a = \frac{1}{s^2 C C_L R} \equiv \frac{1}{s^2 D} \quad (3.15)$$

となる。以上のことから、図 3.13 に示すように $D = C C_b R$ の接地形 FDNR を実現することができる。

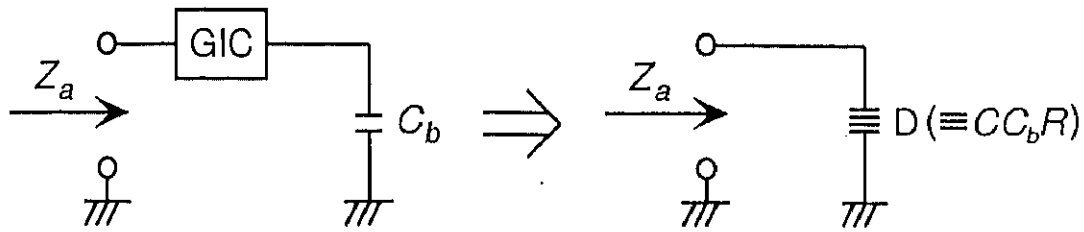


図 3.13: 接地形 FDNR の実現

ここで、図 3.10 に示す回路の全素子に $1/s$ のインピーダンススケールリングを行うと、図 3.14 の回路が得られる。

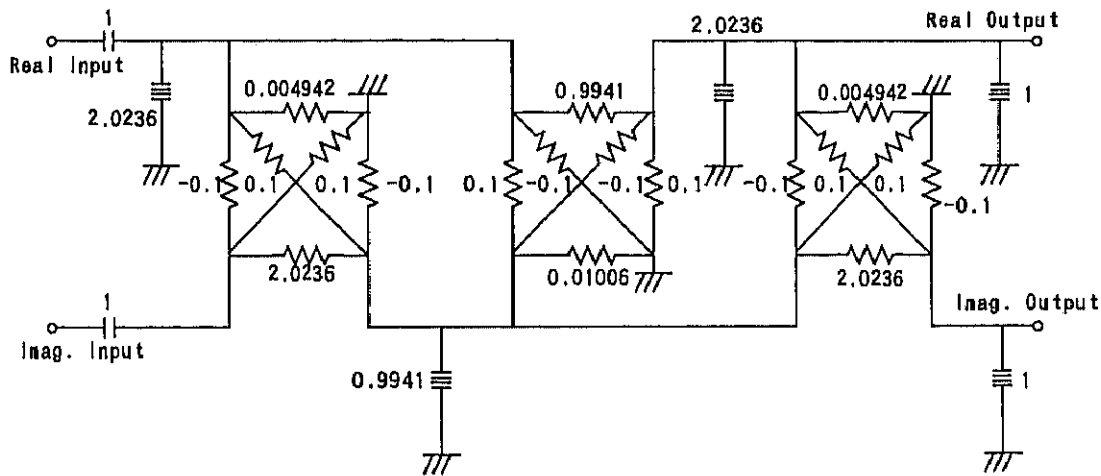


図 3.14: Bruton 変換を施した複素フィルタ

次に、同図に含まれる負性抵抗のうち、接地形負性抵抗の実現方法について述べる。まず、図 3.15 の回路を考える。同図の回路は NIC (Negative Immittance Converter) と呼ばれる。

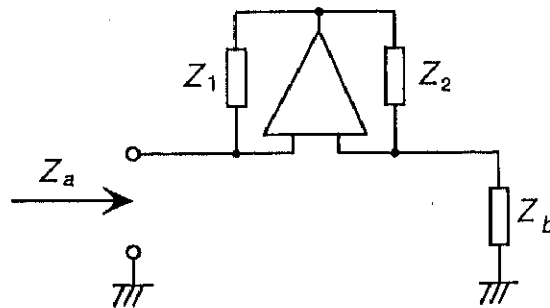


図 3.15: NIC

同図において、 Z_a 側から見たインピーダンスは、

$$Z_a = -\frac{Z_1}{Z_2} Z_b \quad (3.16)$$

となる。 $Z_1 = Z_2 = R$ 、 $Z_b = R_b$ とすれば、 $Z_a = -R_b$ となり接地形の負性抵抗を実現することができる。次に、フローティング形負性抵抗の実現方法について述べる。両端子が非接地であるフローティング素子は、それぞれの端子電圧が任意で、かつ、どちらの端子も接地されていない。この様子を下図に示す。

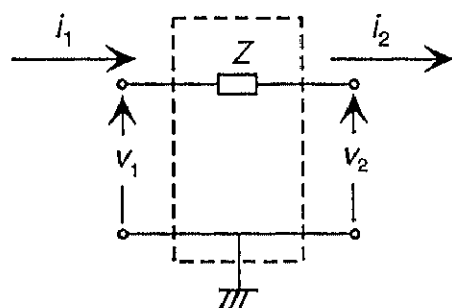


図 3.16: フローティング素子

同図に示す回路の F -マトリクスは、

$$\begin{pmatrix} v_1 \\ i_1 \end{pmatrix} = \begin{pmatrix} 1 & Z \\ 0 & 1 \end{pmatrix} \begin{pmatrix} v_2 \\ i_2 \end{pmatrix} \quad (3.17)$$

となる。従って、ある二端子対回路の F -マトリクスが上式の形式で表されるならば、この回路は素子値 Z のフローティング素子を含むと考えられる。ここで、図 3.17 に示す回路について考察する。同回路の F -マトリクスは、

$$\begin{pmatrix} v_1 \\ i_1 \end{pmatrix} = \begin{pmatrix} 1 & -R_b \\ 0 & 1 \end{pmatrix} \begin{pmatrix} v_2 \\ i_2 \end{pmatrix} \quad (3.18)$$

となる。上式と式 (3.17) を比較すれば、図 3.17 の回路は素子値 $-R_b$ のフローティング形負性抵抗であることがわかる。

以上の理論より、図 3.18 に示す回路が得られる。

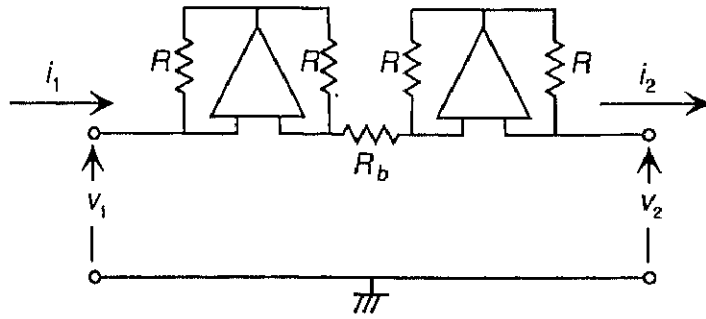


図 3.17: フローティング形負性抵抗

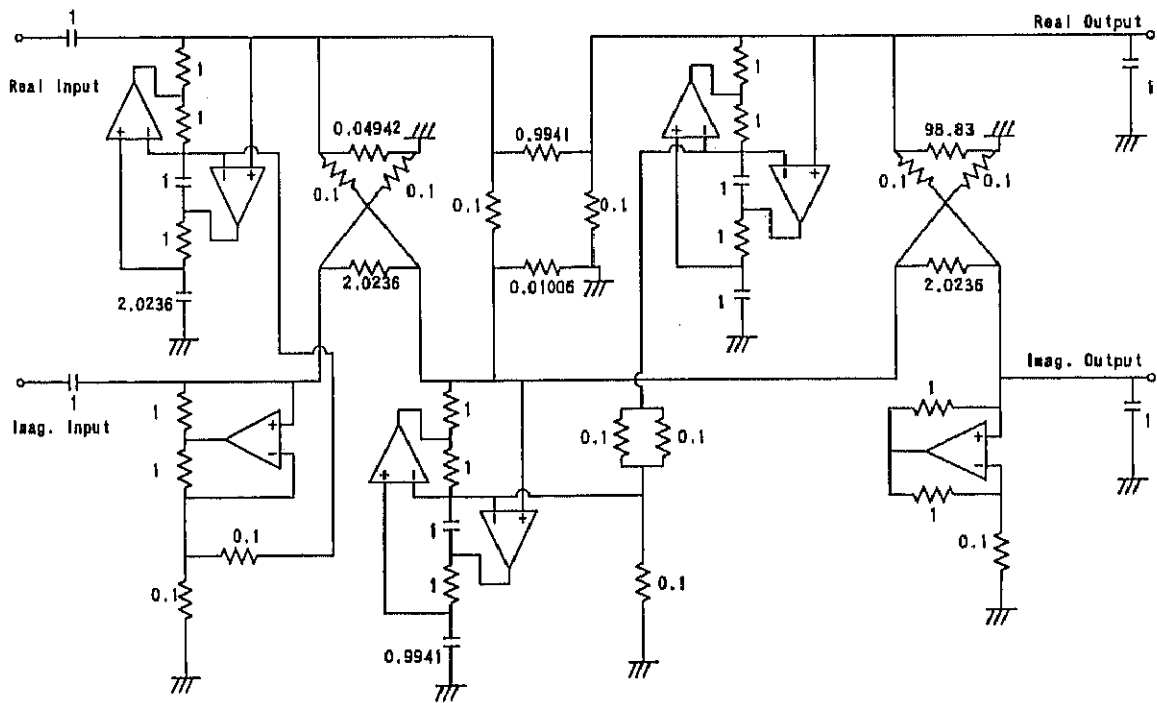


図 3.18: FDNR を用いて構成された複素フィルタ

3.4 素子感度

図 3.19 に原形回路の素子感度特性を示す。但し、同図の感度特性には理想トランスの巻き数比およびジャイレーションコンダクタンスに対する感度は含まれていない。実線は図 3.8 に示される回路の素子感度特性を示し、また破線は図 3.5 に示すジャイレータを用いた回路の素子感度特性を示している。同図から、提案回路と従来回路はほぼ同程度の感度特性を有していることがわかる。

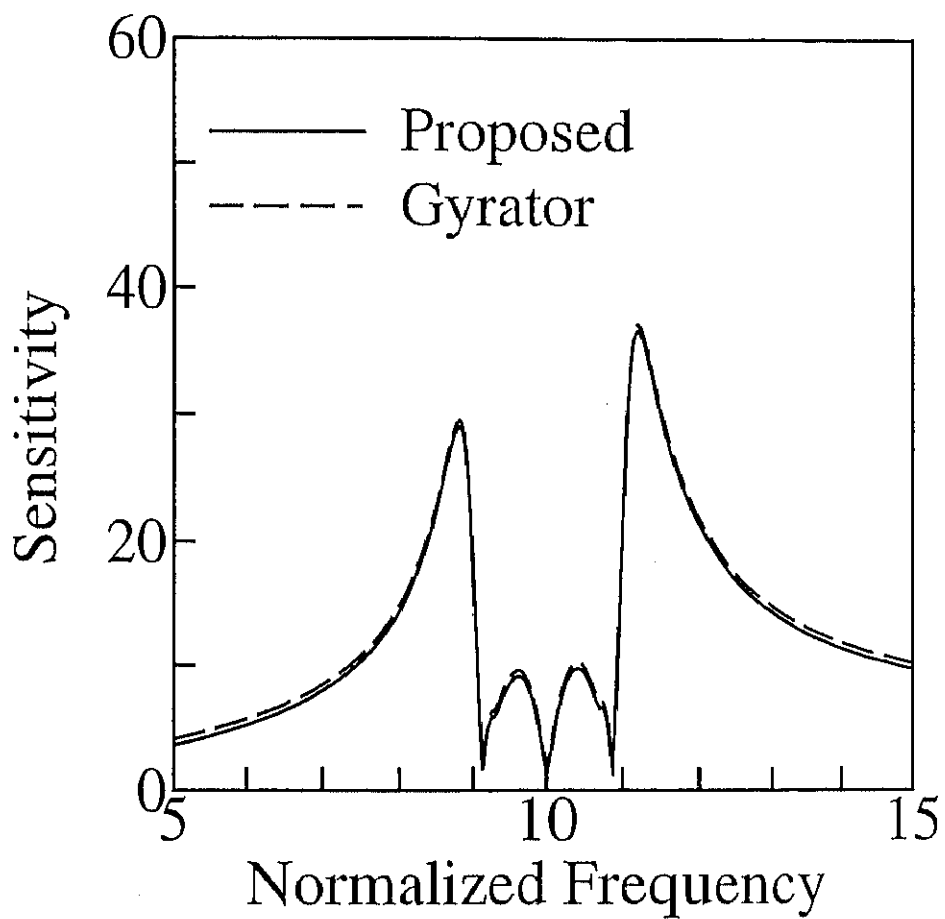


図 3.19: 原形回路の感度特性

次に、図 3.20 に演算増幅器によりシミュレートされた回路の素子感度特性を示す。実線は図 3.18 に示す回路の感度特性を示している。また、破線と一点鎖線はそれぞれ図 3.21 に示す複素リープフロッグシミュレーション法 [21] に基づく複素フィルタの感度特性、図 3.22 に示す NIC を用いてシミュレートされた複素フィルタの感度特性を示している。図 3.20 から、提案回路の感度特性は、従来の複素リープフロッグ形フィルタのそれと比較して僅かに高いが、従来のジャイレータを用いた回路のそれと比較するとかなり低いことがわかる。この理由として、ジャイレータが演算増幅器による NIC を用いた回路により実現されていることが考えられる。この種の回路は非常に感度が高いため、この回路を用いた複素フィルタの素子感度も高くなる。

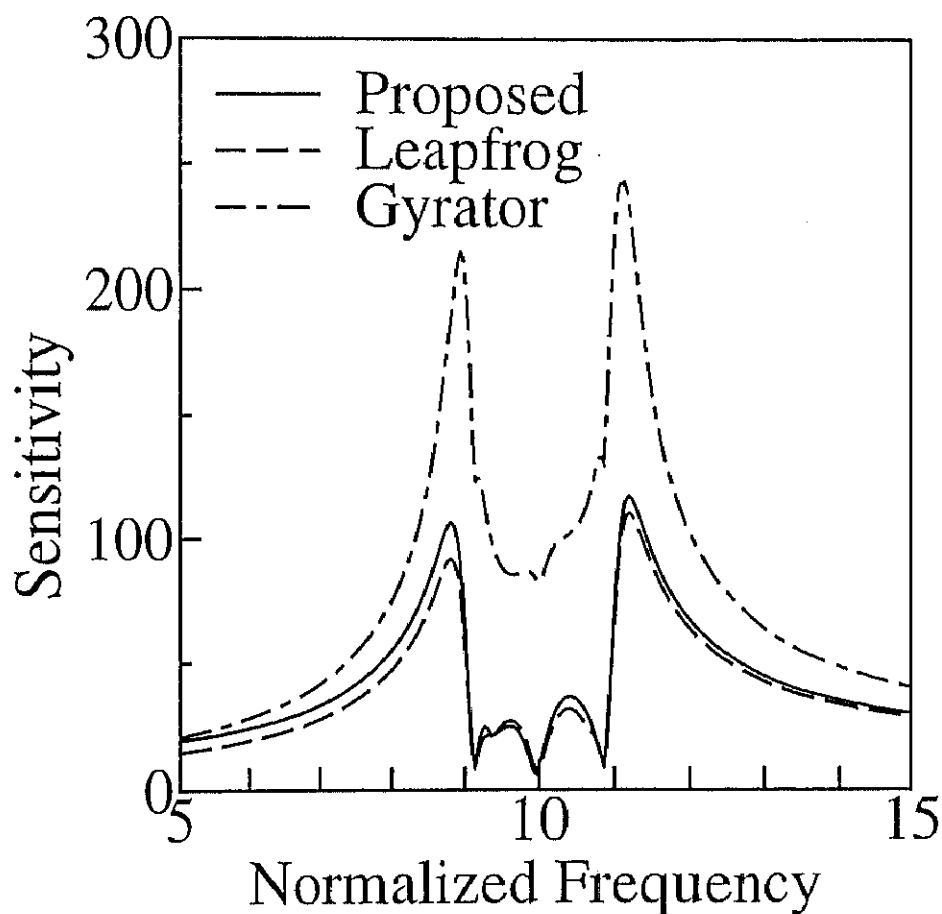


図 3.20: 演算増幅器によりシミュレートされた回路の感度特性

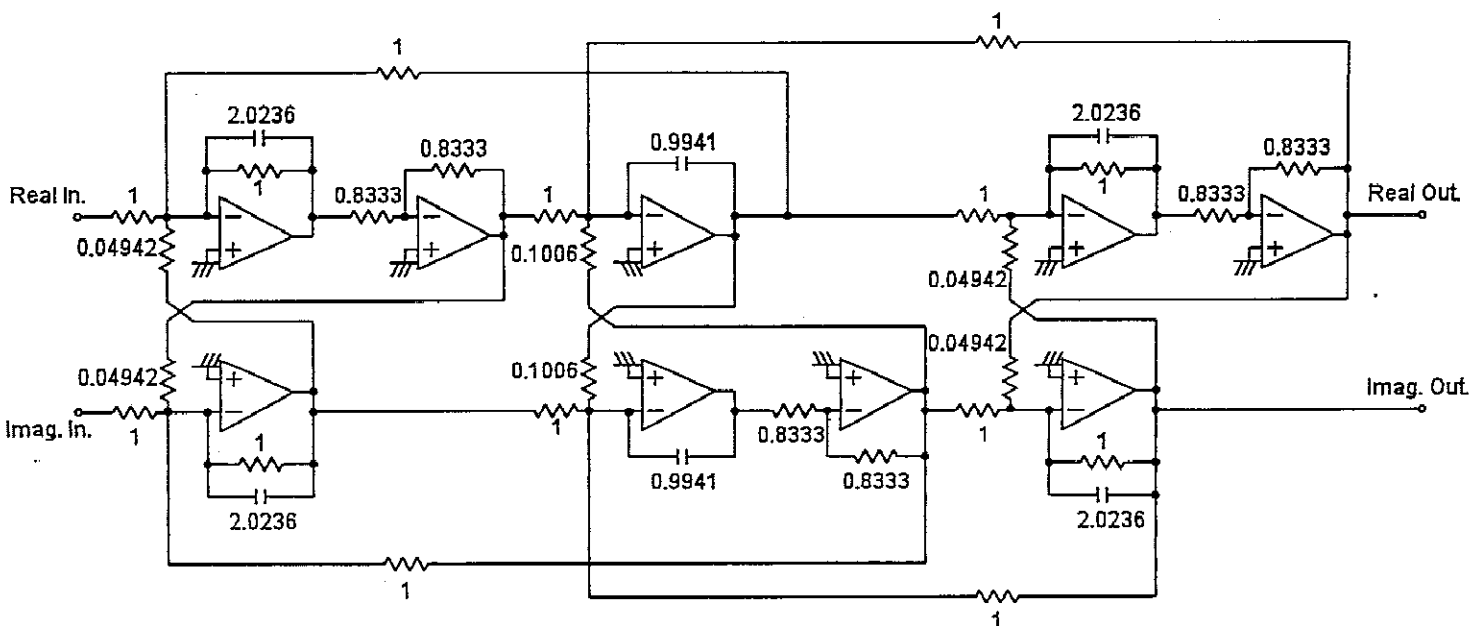


図 3.21: 複素リーマンロッキングシミュレーション法に基づいた複素フィルタ [21]

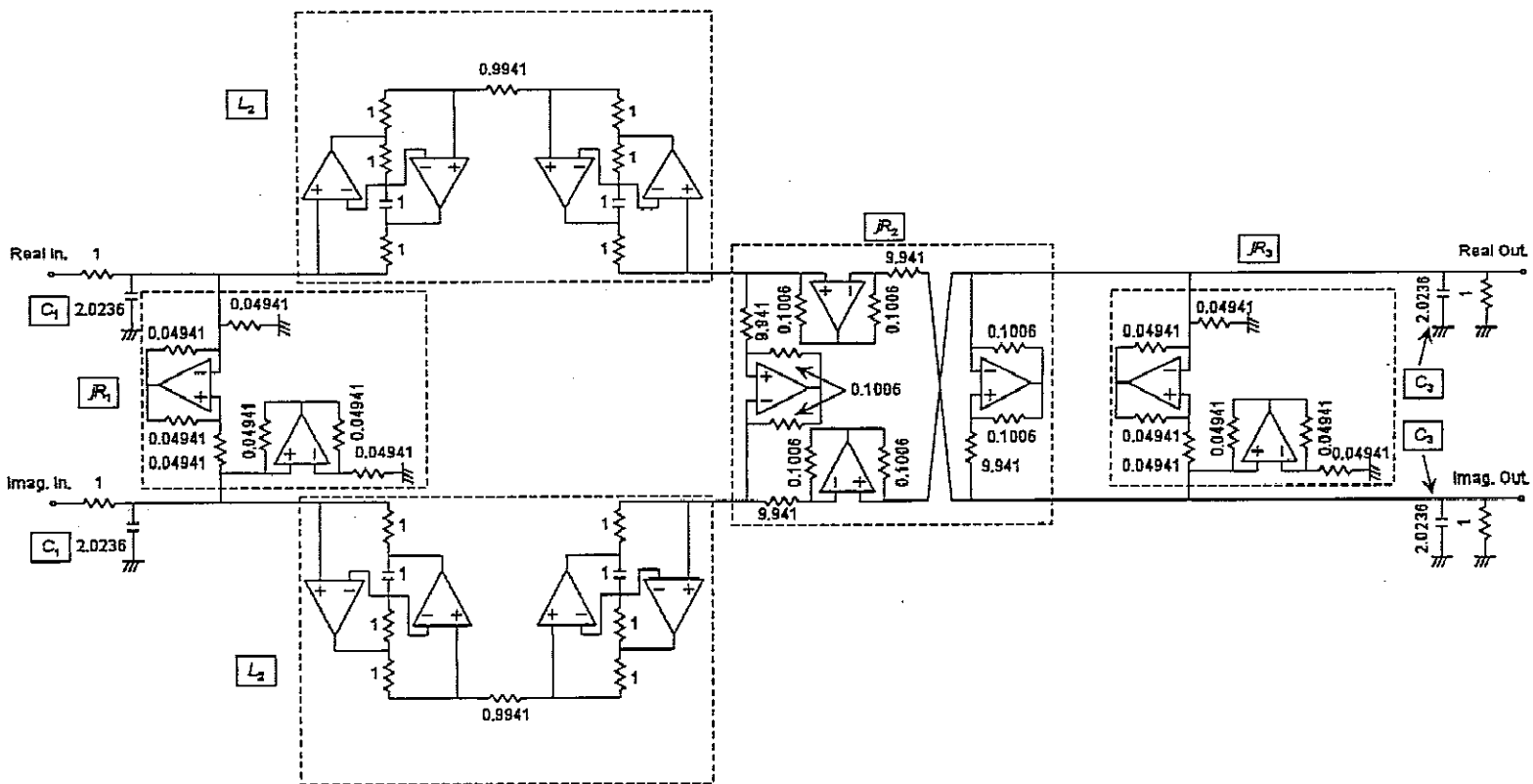


図 3.22. NICを用いて実現した複素フィルタを用いた複素フィルタ [28]

3.5 実験

本章で提案した回路を実際に製作し、その周波数応答を測定して有効性を確認する。

3.5.1 フィルタの仕様

実験に図 3.18 に示した回路を用いる。但し、同図の回路は動作周波数および素子値が規格化されているため、同回路に以下の要領でスケーリングを施した。

スケーリングは次式に従って行われる。

$$\left. \begin{aligned} R_{new} &= K_m \cdot R_{old} \\ C_{new} &= C_{old} / K_f K_m \\ L_{new} &= L_{old} \cdot K_m / K_f \end{aligned} \right\} \quad (3.19)$$

ただし、

$R_{old}, C_{old}, L_{old}$: スケーリング前の素子値
$R_{new}, C_{new}, L_{new}$: スケーリング後の素子値
K_f	: 周波数スケーリング係数
K_m	: インピーダンススケーリング係数

である。本実験では、

$$\begin{aligned} \text{周波数スケーリング係数 } K_f &= 2\pi \cdot 500 \\ \text{インピーダンススケーリング係数 } K_m &= 20k \end{aligned}$$

とした。その結果得られた回路を図 3.23 に示す。このフィルタの通過域周波数は 4.5kHz~5.5kHz となる。同図において、抵抗 R_B は DC バイアス安定化のために挿入されている。

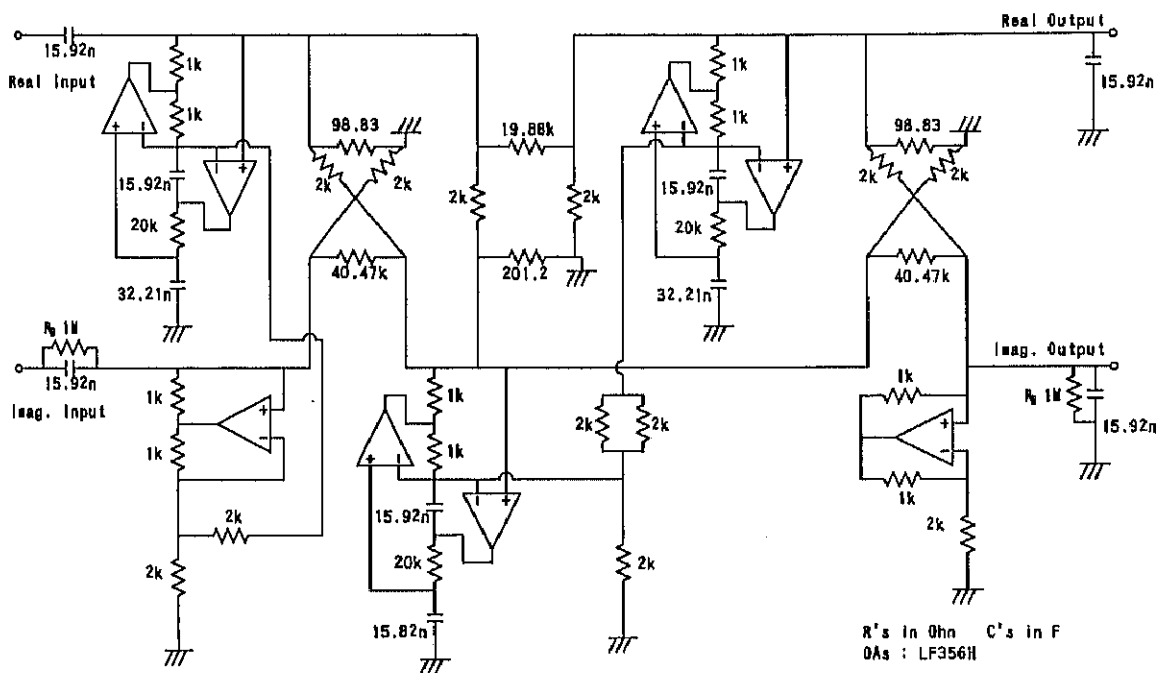


图 3.23: 实验回路

3.5.2 測定装置

使用した測定機器とその用途を以下に示す。

表 3.2: 実験に使用した測定機器

装 置	用 途
LF インピーダンスアナライザ YHP HP4192A	・素子値の調整 ・被測定フィルタの周波数特性計測
計算機 NEC PC-9801FA	・インピーダンスアナライザを用いた自動計測の制御 ・データの整理
2ch 100MHz オシロスコープ Tektronix 2236	・被測定回路の入出力波形のモニタ
トラッキング直流電源 菊水 PWC0620	・被測定回路への±電源供給

3.5.3 位相差分波器

等リプル位相差となる周波数範囲が 100Hz-10kHz、位相差が $90^\circ \pm 0.3^\circ$ となるように設計された位相差分波器を準備した。文献 [31] を用いれば、同仕様を実現するために必要なパラメータは $1/k = 100$ 、次数 $n=8$ 次となり、図 3.24 に示す回路が得られる。但し、同図の回路素子として、キャパシタにはスチロールコンデンサを用い、抵抗には炭素皮膜抵抗を用いた。これらの素子値は、誤差が 0.1% 以下となるようインピーダンスアナライザを用いて調整した。

同図の位相特性を図 3.25 に示す。同図から、若干の特性偏差が認められる。この原因は、演算増幅器の GB 積 (有限利得帯域幅積) によるものが考えられる。位相特性の改善は同回路に GB 積補償を施すことにより可能であると思われるが、本実験ではこの回路をそのまま用いることとした。

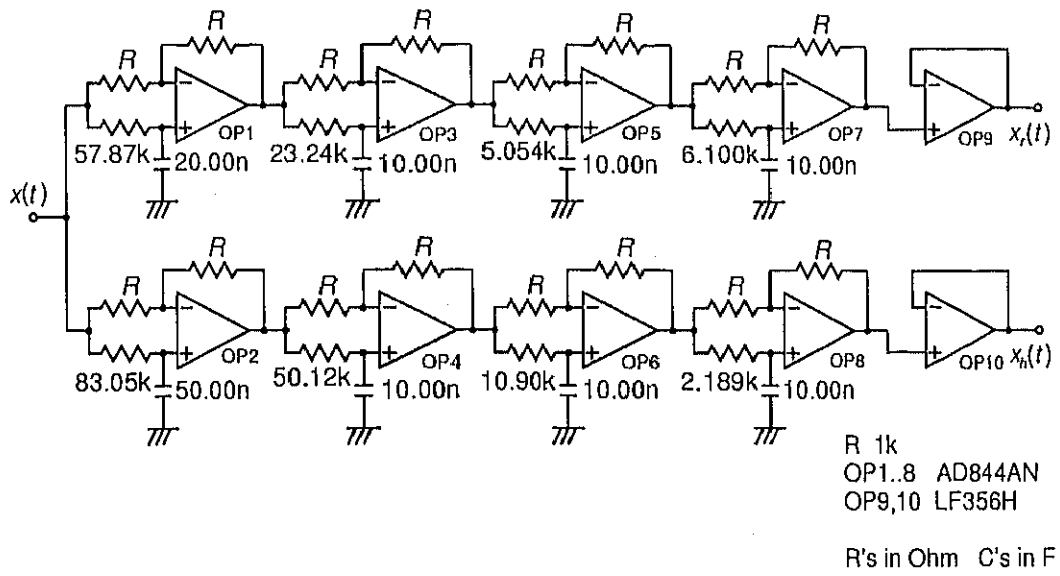


图 3.24: 位相差分波器

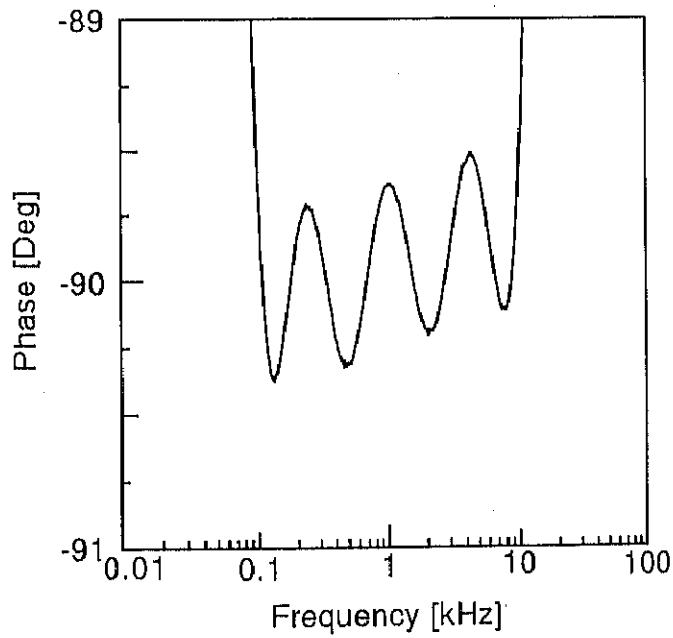


图 3.25: 位相差分波器的位相特性

3.5.4 測定システム

表 3.2 の装置を用いた下図のシステムにより、周波数応答の自動計測を行う。同図内の S_1 、 S_2 は位相差分波器を示している。

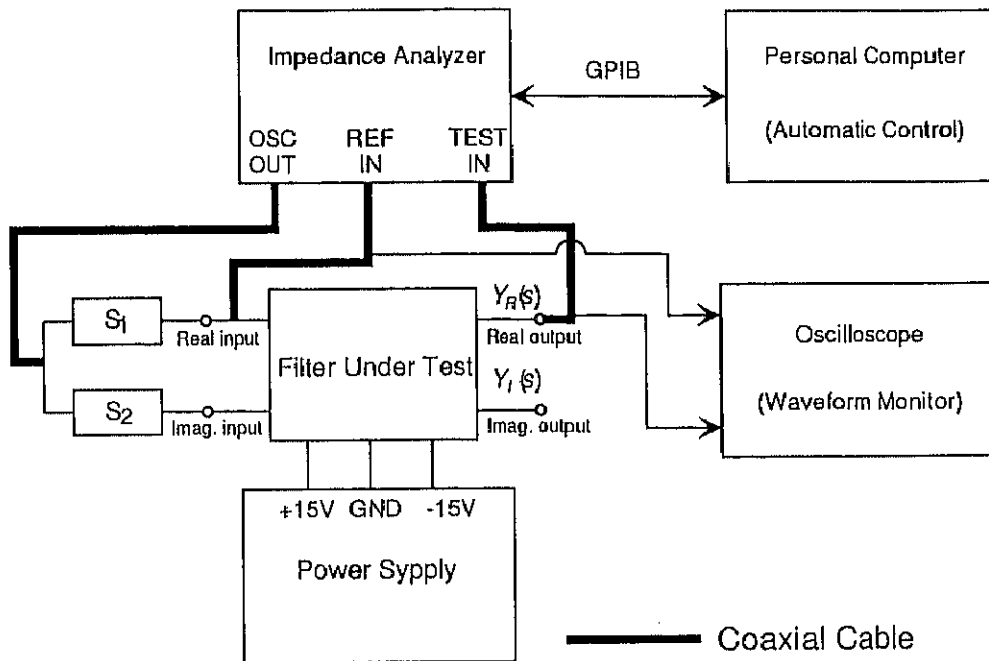


図 3.26: 測定システム

3.5.5 実験結果

図 3.27、3.28 に実験結果を示す。これらの図において、実線は測定値、破線は全ての素子が理想的な素子であった場合の理論値、一点鎖線は非理想分 (抵抗 R_B と演算増幅器の GB 積) を考慮した場合のシミュレーション結果を示している。

同図から、理論値と実測値に若干の偏差が見られる。測定値が非理想分を考慮した場合のシミュレーション値に近い特性が得られていることから、これらの非理想分が特性偏差に影響しているものと考えられる。

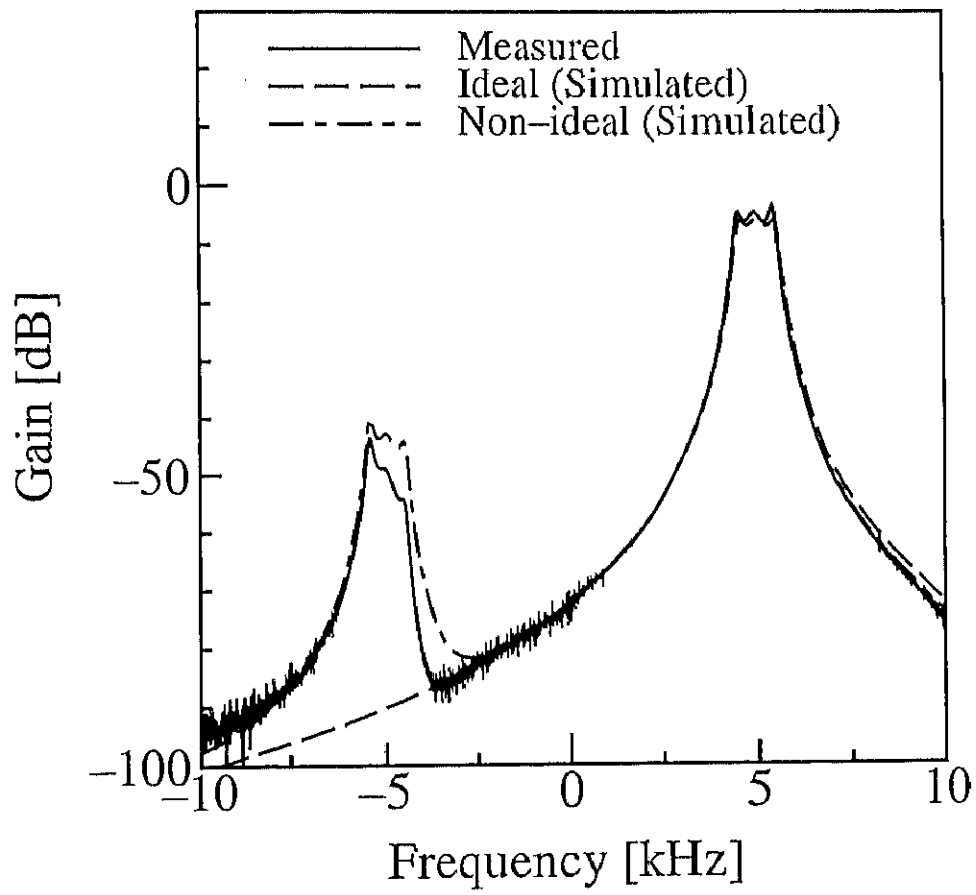


图 3.27: 实验结果

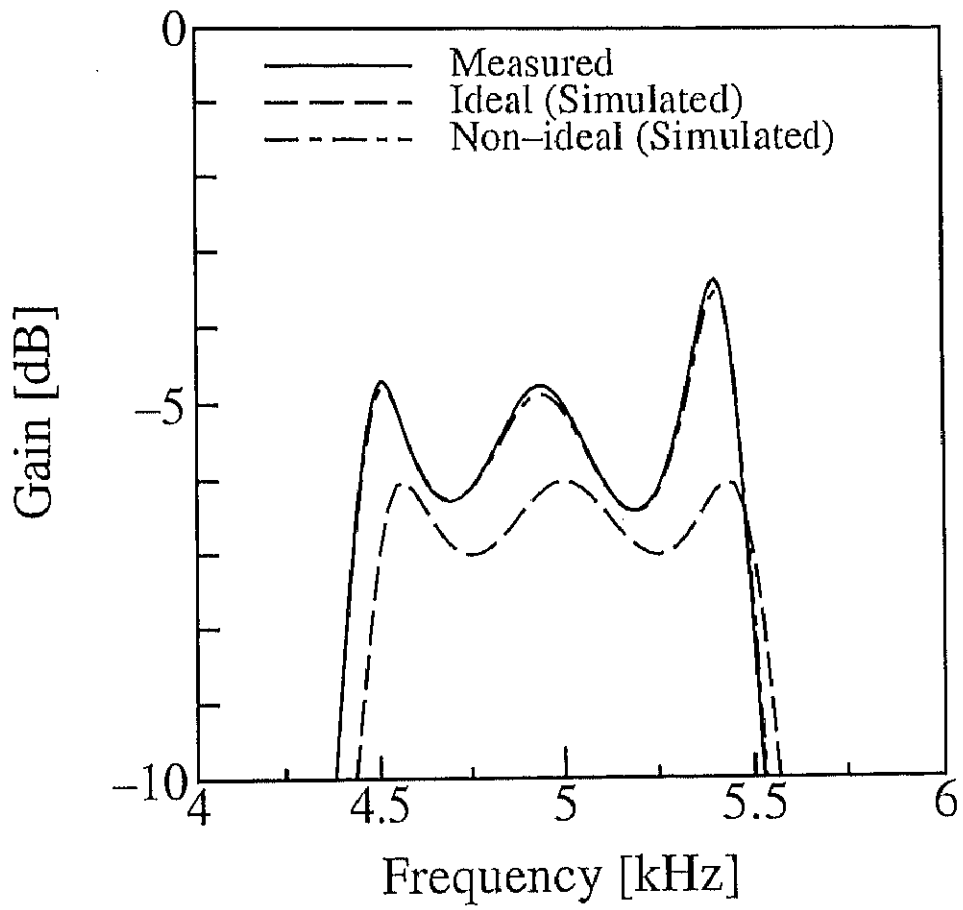


図 3.28: 通過域付近の拡大図

3.6 まとめ

本章では、理想トランスを虚数抵抗により実現する方法を示した。このことにより、抵抗、インダクタ、キャパシタ、理想トランスだけを用いて複素フィルタを構成することができる。また、このフィルタを原形回路としてFDNR法によりシミュレートする方法について述べた。さらに計算機を用いて素子感度特性を解析し、原形回路の感度は従来法のものと比較してほぼ同程度であることを示した。また能動回路では、従来のジャイレータを用いた回路のそれよりもかなり低感度であることを示した。また、提案回路を実現し、実験を行った結果、その周波数特性が理論値とほぼ一致することを示し、提案回路の有効性を確認した。

本章で提案した原形回路について考えれば、この回路は複素フィルタの広義の受動実現を示しているといえる。理想トランスは受動素子であるが、その受動実現に際しては、自己インダクタンスを十分に高くしなければならない。従って、現段階において実際の受動実現は困難であるといわざるを得ない。しかしながら従来のジャイレータを用いた回路と比較すれば、提案回路は相反素子だけで構成されているから、複素フィルタの狭義の受動実現の可能性を示唆するものであると考えられる。次章では、複素フィルタの狭義の受動実現について検討する。