

氏名(本籍)	やすながもりとし (埼玉県)		
学位の種類	博士(工学)		
学位記番号	博乙第871号		
学位授与年月日	平成5年3月25日		
学位授与の要件	学位規則第5条第2項該当		
審査研究科	工学研究科		
学位論文題目	ウェーハスケール集積回路によるニューラルネットワークのハードウェア化の研究		
主査	筑波大学教授	工学博士	徳山 巖
副査	筑波大学教授	理学博士	鈴木 哲郎
副査	筑波大学教授	工学博士	平井 有三
副査	筑波大学教授	工学博士	中澤 喜三郎

論文の要旨

本研究は、学習動作を含めたニューラルネットワークの計算処理時間の高速化をはかるため、大規模ニューラルネットワークをウェーハスケール集積回路によって試作実現し、その機能を実証したことにに関するものである。ハードウェアアーキテクチャ、ニューロン回路方式、集積回路構造、システム構成について検討して新しい提案を行い、デジタル回路方式を用いて内外で初めてウェーハスケール集積回路によるニューラルネットワークを実現した。

第2章では、本研究でデジタル回路方式を選択した理由について、特に1,000ニューロンを越す大規模ニューラルネットワークをハードウェア化する観点から検討し、次の2点に新方式を提案している。ニューラルネットワークでは、各ニューロンが互いに完全に結合されなければならないが、ニューロン数が増大した時、この結合配線がハードウェアに対し負担を増す結果となる。著者は「時分割バス方式」を考え、物理的には一つのデータバスに全てのニューロンを接続し、時間間隔ごとに特定のニューロンが出力を送信し、全てのニューロンがこの信号を受信して計算処理することによって結合配線の負担軽減を実現した。さらに、ニューラルネットワークの学習のため、出力層から入力層への逆方向信号伝送が必要であるが、本研究では、これを行う専用回路を別に設け、演算の同時実行により計算速度の高速化を達成する「二重ネットワーク方式」を新たに提案している。

第3章は、ニューロン回路の具体的設計、ウェーハスケール集積回路への実装について述べている。ニューロン回路のシナプスは荷重値を記憶するメモリと乗算器、セル本体は加算器とレジスタで構成し、また学習回路を各ニューロン回路に分散させることによって、回路面積を減少し高集積化をはかっている。さらに、時分割バスを階層構造化し、電源供給バスは格子状に配置する手法

を開発し直径5インチのシリコンウェーハ上に、0.8 μ m CMOS技術を用いて144個の学習機能つきニューロンを実装している。ニューロン回路、バス系に存在する欠陥救済のため独自の方式、ウェーハの放熱設計についても記述されている。

第4章では実際に試作を行い、ニューラルネットワークの性能評価を行った結果が述べられている。セラミック基板に実装後に、電源系に欠陥のあるチップの検出除去、欠陥ニューロンのアドレス排除を行い、正常動作ニューロンはウェーハ上で125個以上(歩止まり87%)となった。このウェーハ8枚で1,000ニューロンからなるマルチウェーハシステムを実現し、16都市巡回セールスマン問題を0.1秒で解く性能が得られた。これはスーパーコンピュータを用いたニューラルネットワークシミュレーションに比し10倍の速度であった。

第5章では、将来大規模なニューラルネットワークを構成する場合の課題が検討されている。ウェーハ検査による欠陥排除は多大の労力・時間を要するため、これを省略し、ニューラルネットワークの自律的欠陥回路排除を利用する手法について、実験とシミュレーションによりその有効性を示している。多くのウェーハスケール集積回路を三次元的に積層実装する場合に必要なウェーハ間の接続コネクタについて試作検討の結果も述べている。低融点金属中にマイクロピンを挿入する方式によって、従来のこの種コネクタに比し、ピン間隔で2.8倍、単位面積当たりのピン数で8倍の高密度ピンコネクタが実現された。

審 査 の 要 旨

デジタル回路のみによるニューラルネットワークの構成は、集積度が低下するなどの理由から従来開発例が少なかったが、著者はこれをウェーハスケール集積回路を用いるという斬新な発想と、幾多の新しいアーキテクチャ、回路方式、システム構成を取り入れることで実現し、1,000ニューロンという最大規模の試作機を内外で初めて完成した。これにより、ノイマン形計算機の不得手とする認識、学習、高度の記憶、最適化問題処理などの分野でのニューラルネットワークの優位性を実証する端緒が開かれ、その工学的意義は高く評価できる。

よって、著者は博士(工学)の学位を受けるに十分な資格を有するものと認める。