

モバイルコンピューティングシステムにおける  
実用化に向けた抵抗変化型メモリの劣化機構の研究

細 谷 啓 司

2020年 2月

筑波大学大学院博士課程

数理物質科学研究科博士論文

博士（工学）

モバイルコンピューティングシステムにおける  
実用化に向けた抵抗変化型メモリの劣化機構の研究

細 谷 啓 司

ナノサイエンス・ナノテクノロジー専攻

# 目次

第 1 章 序論.....	3
1.1 緒言 .....	3
1.2 抵抗変化型メモリを取り巻く状況の変化.....	3
1.2.1 IT 分野を支える半導体 .....	3
1.2.2 メモリヒエラルキー .....	4
1.2.3 抵抗変化型メモリによる新たなメモリ応用分野への期待.....	5
1.3 本研究の目的と構成.....	9
参考文献.....	10
第 2 章 : STT-MRAM の基本特性.....	12
2.1 はじめに.....	12
2.2 STT-MRAM .....	12
2.2.1 STT-MRAM の動作原理とデバイス応用開発の歴史.....	12
2.2.2 本研究のモチベーション.....	16
2.3 サンプル試作.....	17
2.4 MgO トンネルバリアの Coherent Tunneling 評価 .....	19
2.4.1 I-V 特性のバイアス依存性 .....	19
2.4.2 I-V 特性の温度依存性 .....	20
2.5 MgO トンネルバリアの信頼性基礎評価.....	21
2.5.1 極薄 MgO-MTJ の TDDB 評価手法.....	21
2.5.2 極薄 MgO-MTJ 実現のためのプロセスチューニング .....	23
2.5.3 TDDB ストレス印加時の抵抗ドリフトおよびバリア破壊現象.....	23
2.6 本章のまとめ.....	25
参考文献.....	26
第 3 章 : STT-MRAM の劣化機構へのアプローチ .....	29
3.1 はじめに.....	29
3.2 抵抗ドリフト現象の詳細評価と劣化モデルへのアプローチ.....	29
3.2.1 MgO-MTJ 抵抗変化のストレス電圧・極性依存 .....	29
3.2.2 Trap De-trap 現象評価 .....	31
3.2.3 抵抗ドリフト現象の Bias 依存と寿命予測 .....	32
3.3 TDDB 寿命予測モデリング .....	32
3.3.1 各種絶縁膜破壊モデル .....	32
3.3.2 MgO バリア発熱シミュレーション .....	33
3.3.3 各種 TDDB 寿命予測モデルによるフィッティングにおける発熱補正効果 .....	36
3.4 抵抗ドリフト現象のモデルフィッティングによる Microscopic な劣化現象へのアプローチ ..	39

3.4.1	Microscopic なバリア劣化モデル .....	39
3.4.2	Trap Assisted Leakage(TAL)モデルに基づく MgO-MTJ 抵抗変化量の見積もり .....	42
3.4.3	Filamentary Defect Assisted Leakage(FAL)モデルに基づく MgO-MTJ 抵抗変化量の見 .....	45
3.4.4	抵抗ドリフト実測値の理論値フィッティングによるバリア劣化モデル構築 .....	47
3.5	本章のまとめ.....	50
	参考文献.....	51
第 4 章	ReRAM セルの動作原理と劣化機構へのアプローチ.....	54
4.1	はじめに.....	54
4.2	ReRAM .....	54
4.2.1	ReRAM の動作原理とデバイス開発の歴史.....	54
4.2.2	Dielectric Breakdown モデルによる ReRAM 動作解析のモチベーション .....	56
4.3	サンプル試作.....	57
4.4	Dielectric Breakdown モデルに基づく ReRAM 動作と劣化機構のモデル化.....	58
4.4.1	I-V 特性 : Switching 特性と Cycling 評価 .....	58
4.4.2	Forming, Reset, Set,劣化のモデル化.....	61
4.5	本章のまとめ.....	65
	参考文献.....	66
第 5 章	結論.....	68
5.1	各章の結論 .....	68
5.2	全体の総括 .....	71
研究業績	.....	73
謝辞	.....	76

# 第 1 章 序論

## 1.1 緒言

本章では、まず半導体 LSI(Large Scale Integration：大規模集積回路)分野で注目されている幾つかの抵抗変化型メモリについて、その研究開発の歴史とデバイス動作原理および材料構成、そしてコンピュータシステムのメモリヒエラルキーにおける抵抗変化型メモリの位置付け、その応用分野としての期待、その中で例として Storage Class Memory (SCM) 応用、そしてとりわけ最近になって急激に注目度が上がってきている人工知能 (Artificial Intelligence：AI)分野への応用、そこに向けての抵抗変化型メモリの抱える課題について述べ、最後に、本論文の目的を述べる。

## 1.2 抵抗変化型メモリを取り巻く状況の変化

### 1.2.1 IT 分野を支える半導体

現在、世の中を支える最先端技術、その中でもいわゆる IT (Information Technology: 情報技術) 技術として、かつては軍需産業、大型コンピュータのようなエンタープライズ向け応用が主流であったが、徐々にパーソナルコンピュータを始めとする個人向け応用が 1980 年代に加速され、その後も更なる高性能化、低価格化、モバイル化、低消費電力化が進み、今ではコンピュータ応用にとどまらず、家電製品、自動車、ゲーム機、携帯電話などにも搭載されて、人間の生活のあらゆる側面においてもはやなくてはならない存在となっている。そして、近年では IoT (Internet of Things) という概念が世に幅広く知られるようになってきているように、IT 技術がインターネット技術と結びついて、一人の個人が扱い、受信発信し、共有できることのできる情報量も膨大なものとなりつつあり、今なおその潜在的な必要情報量としての需要は増え続けていると言われている。このような IT 技術を支える核となっている部品、「産業のコメ」と呼ばれているのが半導体技術であり、その主流となって、IT 技術を支えてきたのが、20 世紀に急速に発展してきたシリコン半導体デバイス応用技術である。このシリコン半導体の代表的な製品が (1) ロジック半導体および (2) 半導体メモリである。ロジック半導体は主としてコンピュータの CPU(Central Processing Unit：中央演算処理装置)や家電などのもう少し小型の製品に使われているマイコンにも使われている半導体チップであり、コンピュータの制御、情報の演算、情報転送等の役割を担っている。一方、半導体メモリは、ロジック半導体と密接に連携し、主として情報の記憶装置として働く。IT 分野において増え続ける情報処理量の需要に追いつくために、これら半導体メモリにおいてはその開発を通して一貫して大容量化、低コスト化の努力が続けられており、その技術の進展に応じて半導体メモリ分野の市場は今なお拡大し続けている。実際に、半導体のワールドマーケットトレンド調査結果によると、半導体製品全体、そしてその中でもマーケットが大きく主要な半導体メモリである NAND 型フラッシュメモリ(2D および 3D タイプ)およびダイナミック・ランダム・アクセス・メモリ (Dynamic Random Access Memory：DRAM)の世界マーケットは少なくとも

今後 2025 年まで単純増加し続けるという予測結果が提示されている[1]。

### 1.2.2 メモリヒエラルキー

図 1-1 に、コンピュータシステムにおけるメモリヒエラルキーの従来型および近未来型を示す。図中左側のピラミッドは従来型のコンピュータにおけるメモリシステム、右側のピラミッドは近未来において半導体技術を用いて進化した後のイメージを示す。それぞれのピラミッド構造の横軸は、要求されるメモリ容量（ビット数）を、縦軸はアクセス速度を示す。コンピュータシステムにおいては、高性能、大容量、低価格という市場要求を 1 種類のメモリシステムで実現するのは不可能であるため、図 1-1 に示すような階層構造が必然的に存在する。CPU(Central Processing Unit：中央演算処理装置)から直接データを受け渡しするレジスタやキャッシュと呼ばれる回路では、内部に蓄積されたビット情報へのアクセス頻度が高く高速のアクセスが要求される一方、必要とするビット規模はそれほど大きくないため、ビットコストが比較的高いがアクセス速度の速いスタティック・ランダム・アクセス・メモリ (Static Random Access Memory：SRAM) が半導体メモリとして使われている。一方、それよりアクセス頻度、高速性の要求が落ちるがもう少し大きな容量が必要な主記憶装置＝メインメモリとしては、アクセス速度は SRAM に劣るがビットコストの安い上述の DRAM と呼ばれる半導体メモリが主として使われている。これらのメモリは「揮発性 (Volatile)」であり、電源バックアップがなくなれば、メモリ内に記憶されている情報は失われる。一方、コンピュータメモリシステムでピラミッド底辺に近い領域は一種の外部記憶装置であり、ここに、電源バックアップがない状態でも記憶可能ないわゆる「不揮発性(Non-Volatile)」デバイスである磁気ディスクドライブ装置 (Hard Disk Drive：以下 HDD)、CD-ROM、磁気テープ等といった装置が従来のコンピュータシステムでは用いられており、SRAM や DRAM では保持できない大容量の情報を蓄積することが可能となっている。これらの中でも HDD はそのビットコストの安さから、長年コンピュータの外部記憶装置の主流であったが、近年、この領域も NAND 型フラッシュメモリと呼ばれる半導体メモリに置き換わりつつある。NAND 型フラッシュメモリは不揮発型半導体メモリの代表選手であり、今現在において HDD よりは未だビット当たりのコストは高いが、3 次元高積層化プロセス開発等の企業努力によりビットコストが下がってきていること、またデータアクセス速度も HDD より高速であるため、コンピュータシステムの HDD がフラッシュメモリを用いた SSD (Solid State Drive) に徐々に置き換わっている。半導体メモリ置き換えの更なるメリットとして、磁気記録ディスクをレコード盤のように回転させながら磁気ヘッドで情報にアクセスする HDD に対して、駆動部分がなく耐衝撃性に優れた NAND 型フラッシュメモリは、モバイル応用においては非常に大きなアドバンテージを有しており、 아이폰 など携帯性が高くそれほどの大容量メモリを必要としないモバイル機器では既にフラッシュメモリがメインの不揮発性記憶システムとして搭載されている。

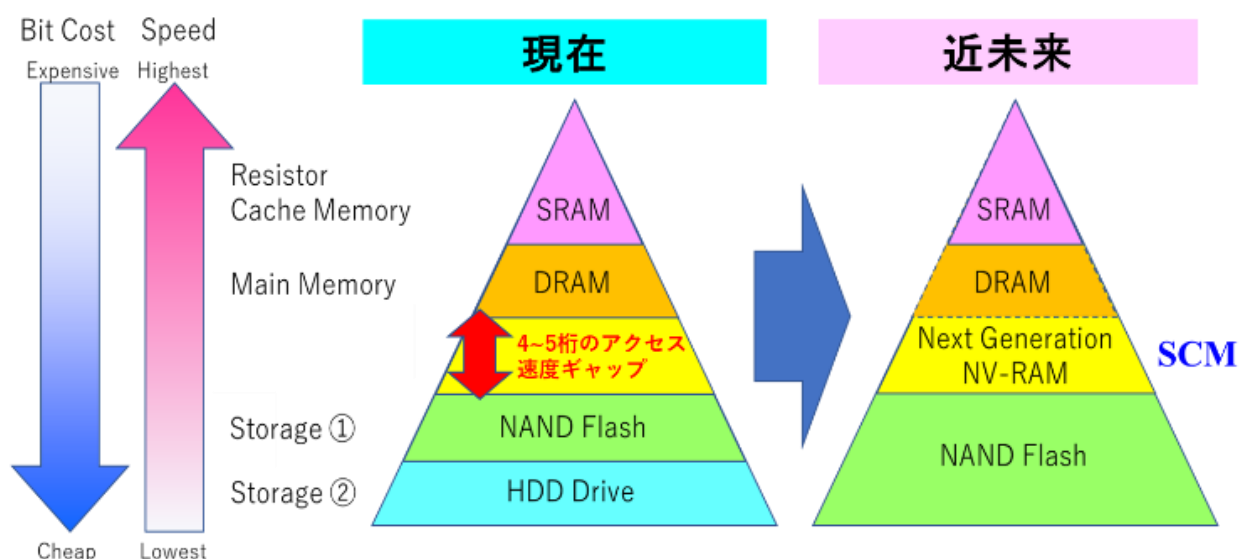


図1-1 コンピュータシステムにおけるメモリヒエラルキー。半導体メモリのエンジニアリングコミュニティが提唱しているストレージクラスメモリ (Storage Class Memory : 以下 SCM) の概念を取り込み、筆者が作図を行った[2]。

### 1.2.3 抵抗変化型メモリによる新たなメモリ応用分野への期待

このように、シリコン半導体の技術進歩により今なお発展を続ける半導体メモリ市場であるが、近年の IT 分野におけるニーズの変化に伴い、新たに脚光を浴び始めているのが抵抗変化型メモリである。ここではその中から 2 つの新たな応用分野について説明したい。一つ目は、前述の図1-1に示すコンピュータシステムのメモリヒエラルキーに関わる新たな需要である。もう一度、話をコンピュータシステムのメモリヒエラルキーに戻したい。従来のメモリヒエラルキーにおいて、メインメモリ階層を担う DRAM と、ストレージ階層を担う HDD で、アクセス時間が 4-5 桁ほど異なり、システムとして適切な範囲 (1-2 桁の差) を大きく逸脱しており、HDD へのアクセスが増えるとコンピュータシステムの動作速度が大きく低下するという問題を抱えていた。この HDD が NAND フラッシュメモリに置き換わることで、この差は 3-4 桁程度まで縮まってきたが、なおシステムとしての乖離は大きい状態にある。このギャップを埋めるために、半導体メモリのエンジニアリングコミュニティが提唱しているのがストレージクラスメモリ (Storage Class Memory : 以下 SCM) である[2]。SCM に使われるメモリに期待されるスペックは、NAND フラッシュよりも高速に Read/Write アクセス可能であること、そして DRAM 以上のビット規模、同程度あるいはそれ以上の Retention Time(電源バックアップがない時のデータ保持時間~消費パワー)を実現できることである。そして、この SCM を実現する候補として、20 年ほど前から企業や大学において研究開発が盛んに行われるようになってきたのが「次世代不揮発性メモリ」であり、中でも研究の主流となってきたのが「抵抗変化メモリ(ReRAM : Resistance Random Access Memory)」、「相変化型メモリ(PCM : Phase Change Memory)」、そして「スピン注入磁気抵抗変化メモリ(STT-MRAM : Spin Transfer Torque Magneto-Resistive Random Access Memory)」である。これらは、SRAM や DRAM と違ってそれぞれのメモリが不揮発性を備え

ており、DRAM 並みのアクセススピード、NAND 型フラッシュメモリ並みのビットコストを実現できれば、メインメモリ、ストレージメモリを全てまとめて置き換える「ユニバーサルメモリ (Universal Memory)」を実現することが可能であることも、これら抵抗変化型メモリの研究開発の大きなモチベーションにつながっている。

そして、もう一つ、この「次世代不揮発性メモリ」の新たな応用分野として急速に注目を集めているのが AI(人工知能: Artificial Intelligence)応用分野である[3]。昨今、人工知能であるコンピュータシステムが囲碁の世界チャンピオンを破ったニュースが記憶に新しいが[4]、そのシステムそのものは非常にまだ巨大であり、消費電力も大きく、インターネットを通して巨大なコンピュータシステムにアクセスして活用する、いわゆるクラウドコンピューティングシステムとしてでなければ現状その恩恵に預かることは難しい。AI 分野の目指す方向性の一つとして、個々人の所有するモバイル機器がエッジコンピューティングシステムとして人類の頭脳の働きを補完し、飛躍させることによって、人間の文明活動のあらゆる側面において人類に資することが期待されるが、そのためにはコンピュータシステムの飛躍的な小型化、省電力化が欠かせない。人間の脳細胞は 3T(テラ)バイトと言われ、また人間の囲碁チャンピオンを囲碁で打ち負かしたコンピュータシステムの消費電力は、人間の頭脳の消費電力の 1 万倍以上とも言われており、この巨大な乖離へのチャレンジはまだまだ始まったばかりである[5]。そのような夢のデバイス実現に向けて、現在の半導体メモリの単純な微細化、低消費電力化とはやや異なるアプローチとして注目を浴び始めているのが上述の「次世代不揮発性メモリ」である。AI 応用分野における抵抗変化型メモリへの期待を文献[3][5]を参考に、図 1-2 にまとめた。現在のコンピュータシステムの主流はノイマン型コンピューティングと言って、演算処理を行う CPU と記憶システムであるメモリが別々の回路になっており、情報を書き換えるたびに CPU とメモリ間の情報伝送が必要であり、そのような構造が、複雑な回路と処理時間、そして消費電力の増大といった問題を生み出しているが、実際、人間の頭脳の働きはデジタルというよりアナログに近く、また、実際の人間の頭脳においては外部からの刺激に応じて逐次シナプスに重み書き込まれることによる「学習」が行われており、しかもノイズも多く、複雑かつ高精度すぎるコンピュータシステムと比較すると、実はかなり異質な構成となっている。

ところで、現在の AI システムにおいては、「Deep Learning」と言われる、十分なデータを用いて、予め機械が自動的にデータから特徴を抽出する学習作業が AI の目的ごとに必要である。現在の AI システムは、図 1-2 の左図に示すように、人間の頭脳を模した情報記憶ノードとしてのニューロン (Neuron) と、各ニューロン同士の結合を Weight (重み) によって調整するシナプス (接合体: Synapse) によるネットワークで構成されている。この回路において、任意の Input に対して所望の Output が得られるように、全ての Weight の重みを調整せねばならない。このために、Input に対して、Weight を少しずつ調整しながら、毎回得られた Output を外部に書き出して確認し、Input に Feedback し続ける、いわゆる Back Propagation と呼ばれる作業を行わねばならず、巨大なコンピュータシステムにおいてこの作業は現状数週間もかかると言われており、人間の頭脳と AI システムの上述の大きな乖離の一因となっている。

この乖離を克服するためには、人間の頭脳のように外部から情報を取り込むたびにシナプスを書き換えていくような「逐次的学習」が必要とされている。より安価なシステムで人間の頭脳に接近できる



究極の超低消費電力 AI システム実現の一案として、図1-2の右図に示す、次世代不揮発メモリの抵抗素子をシナプスに見立てた単純クロスポイントアレイを用いる構造が提案されている。このようなアレイ型の AI チップが実現できれば、任意の Input に対する Output をモニターしながら、そのまま同じ入出力端子を使って Weight に相当する各ノードの抵抗変化素子を書き換えて、所望の Output にたどり着くようチューニングを行う。すなわち Back propagation のような複雑なシステムを介することなく、より効率的に、チップに学習させることができる。新たな入力パターンに対してもリアルタイムに Weight を調整することができ、最終的には、人間の頭脳により近い「継続的に学習し続ける」システムの実現も可能である。このような半導体システムの実現によって、最終的には、「Deep Learning」と呼ばれるステップを Skip し、大幅な小型化、省電力化を実現することができれば、AI 機能を有したモバイルコンピューティングの実現も可能であり、このような応用を目指した研究が既に多くの機関で進められている[6][7][8][9][10]。

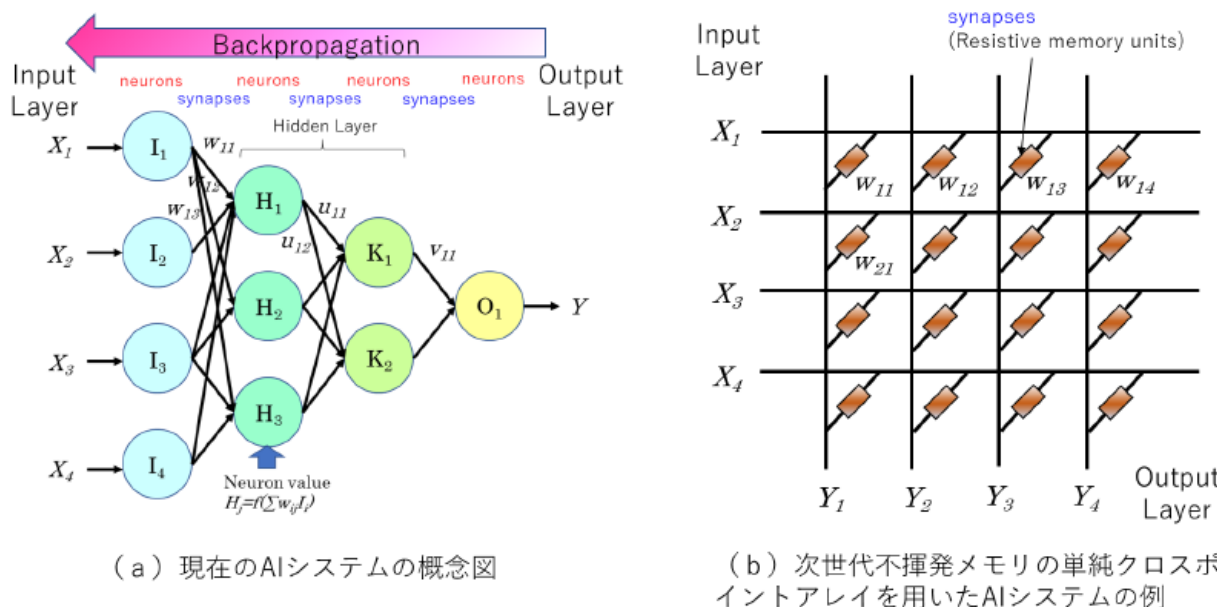



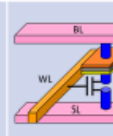
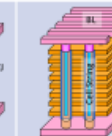
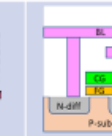


図1-2 AI 応用分野における抵抗変化型メモリへの期待。文献[3][5]を手掛かりに筆者が作図を行った。

一方、これらの大きな期待値に比して、「次世代不揮発性メモリ」候補が抱える課題は上述の消費電力だけではない。AI チップのトレーニングとして、Online Training と Offline Training の 2 つのステップが存在するが[11]、それぞれの Training を実行するために、抵抗変化型メモリに要求されるスペックは大きく異なる。Online Training はいわゆる「随時学習」であり、何度も書き換えられることを想定する必要があるため、Bit 密度、低 Power、再現性、Endurance といったスペックが重要となる。一方、Offline Training はいわゆる「初期学習」であり、膨大な情報を長期間覚えさせる必要があるため、データの保持特性、すなわち Retention 特性や、やはり Bit 密度などが重要になる。すなわち、Online Training/Offline Training 両方に対応するためには、メモリ動作の多側面において高度な性能が求められることになる。

表 1-1 に、SCM や AI 応用に向けた各種「次世代不揮発性メモリ」の Target に対する到達度をシグナルカラーで示すベンチマーク結果を示す[2][3][12]。なお、Target として、現状 SCM や AI 応用に明確な Target はないため、一つの指標として SCM 応用を想定した数値を掲示した[2]。この表が示すように、ユニバーサルメモリ (SCM) 応用あるいは AI 応用に向けて、ボトルネックとなる弱点を完全に克服できた半導体メモリ候補は未だ存在しないのが実情である。

表 1-1 次世代不揮発性メモリベンチマーク。文献[2][3][12]を参考にして、筆者が作成した。

	SCM Target	ReRAM	PCRAM	FeRAM	STT-MRAM	3D NAND	2D NOR
							
Bit Size (F <sup>2</sup> )	<< 8	<< 4 by 3D	4~20	12~22	6~20	<< 1	25~40
Prospects for scalability	--	Unknown	Promising	Poor	Unknown	Yes by 3D	Maybe
P/W/E time	<200ns	<10ns	~10ns	<20ns	<10ns	100us ~1ms	<10ns
Write energy / bit	--	< 10fJ	~10pJ	<10fJ	~0.1pJ	< 10fJ	~10pJ
特性変動 (Maturity)	High	Low	Medium	Medium	Medium	High	Very high
Non-Volatility	Yes	Sometimes	Yes	Yes	Yes	Yes	Yes
Endurance	> 10 <sup>8</sup>	> 10 <sup>8</sup>	> 10 <sup>8</sup>	> 10 <sup>12</sup>	> 10 <sup>15</sup> ?	> 10 <sup>3</sup>	> 10 <sup>5</sup>
MLC/SLC	--	Yes	Yes	Difficult	Difficult	Yes	Yes

これら、現状多くの課題を抱える抵抗変化型メモリ候補の中から、本研究においては STT-MRAM および ReRAM を選んだ。それぞれの候補に対する期待と想定される課題を本章の最後にまとめた。

まず、STT-MRAM は、安定した抵抗 2 値を有し、特性変動の小さい、優れた Endurance 特性が期待できる。そして、書き込み速度も DRAM に近いそこそこの高速性が期待できる。一方、セルの 0 / 1 情報の抵抗比に直結する MR 比(Magneto-Resistance Ratio)が十分ではないため、大規模アレイの読み出しに懸念があること、1nm という超薄膜バリアでの大規模アレイ製品化実績がないこと (小~中規模は 2019 年現在サンプル出荷の実績あり)、抵抗が 2 値状態であり、AI 応用で有利であるアナログ素子 (多値化) 目的には不向きであるといった懸念・課題も存在する。

一方の ReRAM は幾つかの異なる物理モデルに基づくタイプが研究されているが、構造がシンプルであり、3次元化による超高密度化に期待が持て、書き込み速度がそこそこ速いこと、また AI 応用にはアナログ的な抵抗変化による多値化も有利である。一方で、動作原理は解明中 (2019 年現在ではかなりクリアになってきている) であること、動作原理的に Endurance に懸念がある、といった懸念・課題も存在する。

両メモリはこのように期待値と懸念・課題もあるが、表 1 – 1 のベンチマーク結果で、完全な赤シグナルの項目はないことから、まだ改善の余地はあるとして選択させていただいた。本研究では、これら両メモリの主に特性変動や、**Endurance** といった信頼性に関わるモデリングを実施し、将来的なポテンシャルを明確にすることを主たる目的とした。

### 1.3 本研究の目的と構成

本研究では、上述のように、「次世代不揮発性メモリ」候補の中で **STT-MRAM** と **ReRAM** という 2 つの候補を選んで、それらが将来的に **SCM** や **AI** 応用を実現するポテンシャルを見極めるために、基本的な動作機構と劣化機構について研究し、モデル化することを目的とした。

第 2 章では、**STT-MRAM** の動作原理について説明し、サンプル試作、基本特性、また信頼性基礎評価を行った結果について論じる。

第 3 章では、第 2 章で行った信頼性基礎評価の結果をベースとして、酸化膜経時破壊 (**Time Dependent Dielectric Breakdown : TDDB**) ストレスにおける抵抗ドリフト現象および **TDDB** 寿命の詳細評価を行い、**TDDB** 寿命予測と抵抗ドリフト現象のモデル構築による **Microscopic** な劣化現象へのアプローチを行った結果について述べ、**STT-MRAM** の今後の展開に向けた課題、アプローチについて論じる。

第 4 章では、**ReRAM** の動作原理について説明し、サンプル試作、基本動作の評価、更には **Dielectric Breakdown** モデルに基づく **ReRAM** 動作と劣化機構のモデル化を行った結果について論じる。

第 5 章は、本論文の結論である。

## 参考文献

- [1] Dr. Handel Jones, International Business Strategies (IBS), “Semiconductor Industry from 2015 to 2025,” SEMI, [www.semi.org](http://www.semi.org), August 4, 2015
- [2] “Storage Class Memory Towards a disruptively low-cost solid-state non-volatile memory,” Science & Technology –IBM Almaden Research Center, January 2013.
- [3] Dmitri Strukov, “Mixed-Signal Neurocomputing: Prospects and Challenges,” pp.257-292, Tutorial, 10<sup>th</sup> International Memory Workshop (2018)
- [4] “Google DeepMind's AlphaGo computer beats top player Lee Sedol for third time to sweep competition,” 12 March 2016 <https://www.independent.co.uk>,
- [5] Damien Querlioz, “Correspondence Between Emerging Memories and Neuromorphic Computing: The Case of Spintronic Devices,” pp.173-212, Tutorial, 10th International Memory Workshop (2018)
- [6] O. Bichler, M. Suri, D. Querlioz, D. Vuillaume, B. DeSalvo, and C. Gamrat, “Visual Pattern Extraction Using Energy-Efficient “2-PCM Synapse” Neuromorphic Architecture,” IEEE Trans. on Elec. Dev., VOL. 59, NO. 8, Aug. 2012.
- [7] L. Cavigelli, and L. Benini, “Origami: A 803 GOp/s/W Convolutional Network Accelerator,” IEEE Transactions on Circuits and Systems for Video Technology, Vol. 27, Issue 11, Nov. 2017.
- [8] B. Moons, R. Uytterhoeven, W. Dehaene, and M. Verhelst, “ENVISION: A 0.26-to-10 TOPS/W Subword-Parallel Dynamic Voltage-Accuracy-Frequency Scalable CNN Processor in 28nm FDSOI,” Proc. of 2017 IEEE International Solid-State Circuits Conference (ISSCC), pp14.5 (2017).
- [9] Yu-Hsin Chen, T. Krishna, J. Emer, and V. Sze, “Eyeriss: An Energy-Efficient Reconfigurable Accelerator for Deep Convolutional Neural Networks,” Proc. of 2016 IEEE International Solid-State Circuits Conference (ISSCC), pp14.5 (2016).
- [10] A. Mizrahi, T. Hirtzlin, A. Fukushima, H. Kubota, S. Yuasa, J. Grollier and D. Querlioz, “Neural-like computing with populations of superparamagnetic basis functions,” Nature Communications, vol 9, pp.1533 (2018)
- [11] Tuo-Hung Hou “RRAM-based Neuromorphic Computing: Device and Algorithm Co-design, ”

pp.328-364, Tutorial, 10<sup>th</sup> International Memory Workshop (2018)

[12] Shimeng Yu, “Neuro inspired computing with emerging nonvolatile memory,” Proceedings of the IEEE, Vol. 106, Issue 2, pp.260 (2018)

## 第 2 章 : STT-MRAM の基本特性

### 2.1 はじめに

本章では、STT-MRAM のデバイス作成とその評価手法、そして MgO-MTJ(磁気トンネル接合 : Magnetic Tunneling Junction)の基本特性について述べる。第 2 章第 2 節では STT-MRAM の動作原理とデバイス開発の歴史、本研究で MgO-MTJ 構造にフォーカスした背景について、第 2 章第 3 節ではデバイスの作製方法について、第 2 章第 4 節では MgO-MTJ 構造の基本特性としての Coherent Tunneling 性の評価について、第 2 章第 5 節では MgO をトンネルバリアとして適用した MTJ の信頼性評価手法および初期の結果、プロセスチューニングについて述べる。

### 2.2 STT-MRAM

#### 2.2.1 STT-MRAM の動作原理とデバイス応用開発の歴史

MRAM (Magnetic Random Access Memory : 磁気抵抗変化型ランダムアクセスメモリ) の読み出し動作原理を図 2-1 に示す[1]。強磁性体/非磁性体/強磁性体の MIM(Metal-Insulator-Metal)型で、強磁性体にはあらかじめ一軸磁気異方性を持たせている。非磁性体を挟んだ両側の強磁性体の磁化の向きが同じである Parallel 状態において低抵抗状態を、強磁性体の向きが互いに反対方向を向いた Anti-Parallel 状態において高抵抗状態となり、この 2 つの状態の抵抗差である磁気抵抗効果 (Magneto-Resistance) を読み出す。Parallel(= “0” あるいは “P”)と Anti-Parallel(= “1” あるいは “AP”)状態での抵抗比を MR 比(Magneto-Resistance Ratio)と呼ぶ。

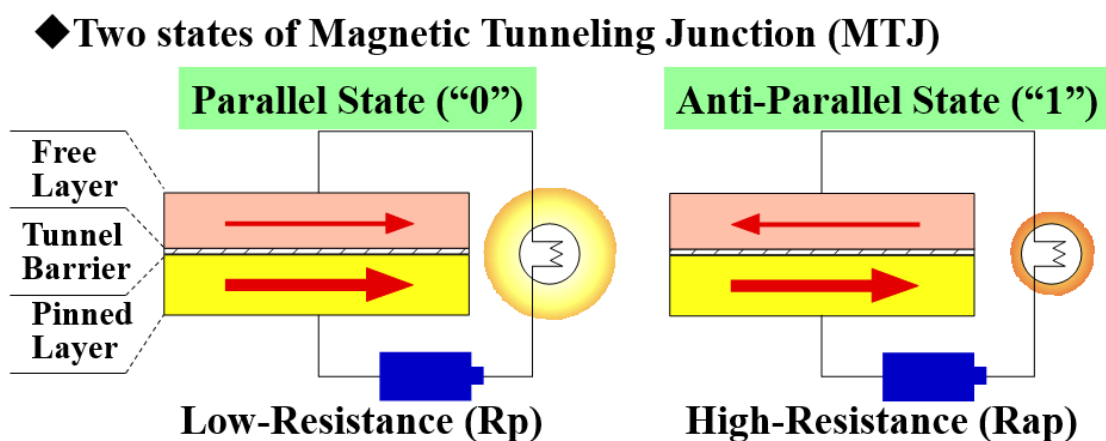


図 2-1 MRAM の読み出し動作の原理[1]

MRAM 開発初期においては非磁性体として導体を用いた GMR(Giant Magneto-Resistance)効果を用いた MRAM が主流であったが、この GMR 効果で得られる MR 比は概ね数%以下という低いもの

であった[2]。次に、この非磁性体として絶縁体であるアルミナを用いた際に生じる TMR (Tunneling Magneto Resistance)効果によって、数 10%を超える MR 比が得られるようになり、MRAM 研究開発に弾みがついた[3][4][5]。非磁性体である絶縁膜を強磁性体で挟んだ構造で TMR 効果を用いて動作させる MRAM の基本素子を磁気トンネル接合(Magnetic Tunneling Junction : MTJ)と呼ぶ。この TMR 効果を用い、MTJ 構造の“0” / “1” 状態を抵抗値の違いとして外部回路によって読み出すことが MRAM 読み出し動作の基本である。トンネルバリアとして、初期に採用されたアルミナの代わりに酸化マグネシウム(MgO)を用いることによって、後述する Spin Filtering 効果によって数 100% を超える実用的な MR 比が得られるようになり、現在の MRAM の基本素子構造として使われている。

次に、MRAM の書き込み動作について説明する。図 2-1 に示すように、磁気抵抗効果を有する MIM 構造にメモリとしての機能を持たせるためには、選択的に書き込みを行えることが必要である。そのために、強磁性体のうちの一方を、外部回路からの電流磁場あるいは後述するスピン注入電流による書き込みによって容易に記録しやすい記録層(Free Layer)とし、記録しにくい固定層(Pinned Layer)とする「磁気設計」を行っている。このように差をつける方法として、①材料を変える、②膜厚を変える、③固定層にレイヤーを追加して Anti-Ferro Coupling 構造にする、といった手法がとられている。

図 2-2 に、MRAM の書き込み方式としてかつて、そして現在の主流の「電流磁場書き込み方式」と「スピン注入書き込み方式」の概略図を、図 2-3 に電流磁場書き込み方式の場合のセルアレイ構成と特性曲線の例を、図 2-4 にスピン注入書き込み方式の場合のセルアレイ構成と特性曲線の例を、各々示す。

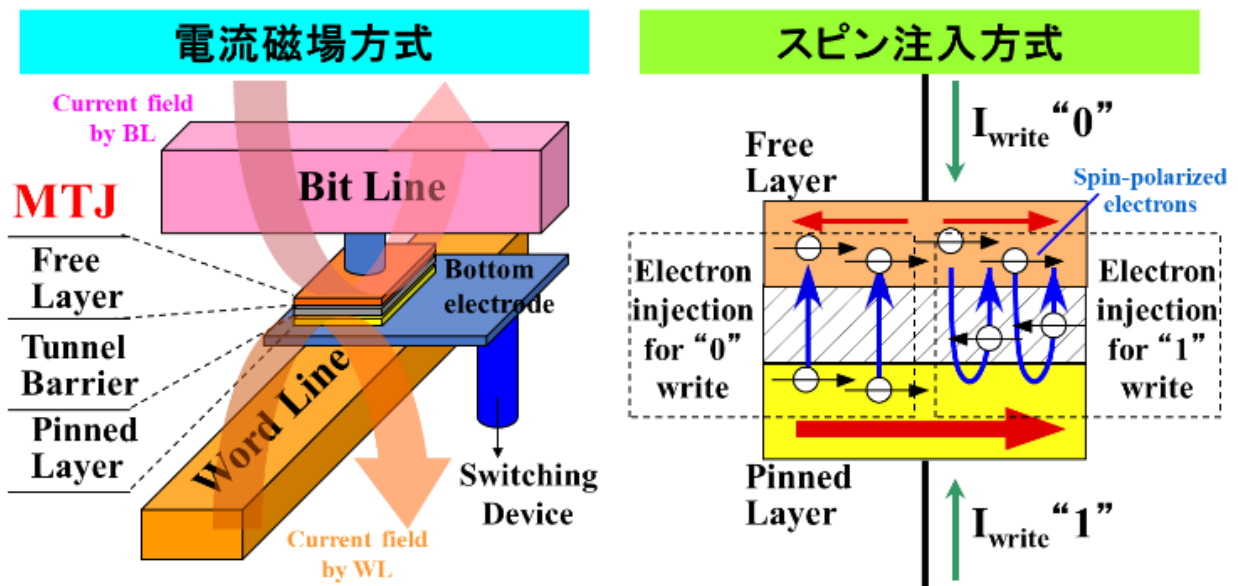


図 2-2 MRAM の書き込み動作の原理

初期の MRAM 製品開発においては、図 2-2 の左図に示す電流磁場書き込み方式が主流であった。この方式においては、図中の選択ビット線および選択ワード線に書き込み電流を流し、これらの配線によって生じる電流磁場によって、その間に配置された MTJ 素子の記録層の磁化が反転することに

よって書き込み動作が生じる。図2-3左図にこの方式でビット線（Bit Line : BL）とワード線（Word Lin : WL）4×4マトリックスのセルを構成した場合の等価回路の概略図を示す。選択ビット線と選択ワード線が交差する位置のMTJ素子にのみ磁化反転が生じるのは上述の通りであるが、図示のように、選択ビット線、選択ワード線の交差部以外に多数の半選択セルが存在し、これらの素子に誤書き込み（クロストーク）が生じないように磁気設計を行う必要がある[3]。図2-3右図に、上記ビット線、ワード線電流をX-Y軸に取った際に磁化反転が生じる閾値をプロットしたいわゆる「アステロイドカーブ」を示す。上記誤書き込みを起こさないためには、この特性曲線が大きくくびれていることが必要であるが、電流磁場反転方式においては、電流磁場反転閾値が素子の形状に敏感であるために、上記アステロイドカーブにおいて、素子の形状ばらつきまで含めて誤書き込み防止のためのマージンを確保しようとする、素子のスケールアップが難しいという課題があった。また、電流磁場書き込みにおいては、書き込み配線に流す電流の発生する電流磁場の大半が書き込みに貢献しないことになり、いわゆるエネルギーロスが大きいという問題もあり、後述するスピン注入磁化反転方式開発後は、MRAM素子の書き込み原理としては非主流になっている。

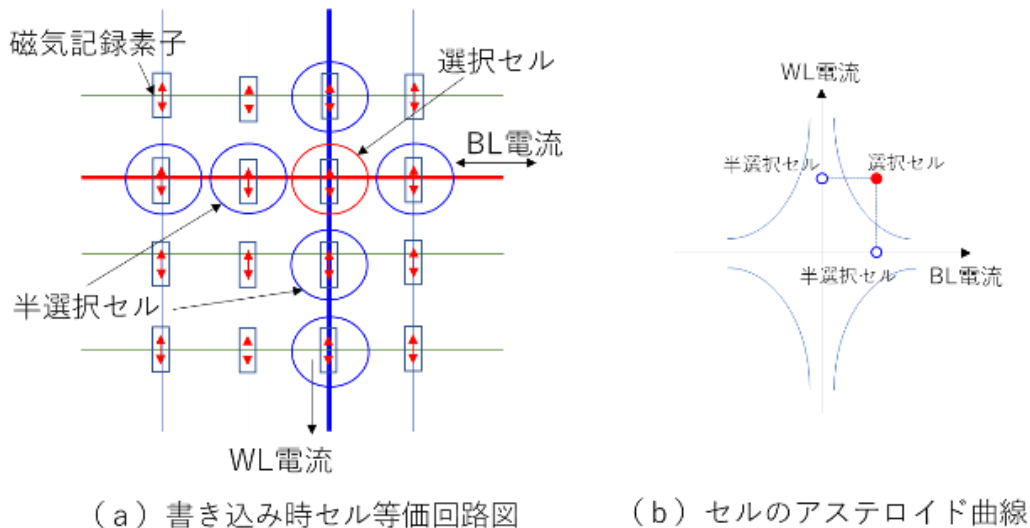


図2-3 電流磁場書き込み方式におけるアレイ構成と半選択状態

次に、スピン注入書き込み方式について説明する。図2-2右図に示すように、MTJ素子に流れる電流方向によって、0/1書き込みを制御することが可能である。すなわち、紙面上部⇒下部へと書き込み電流を流すことにより、図中 Pinned Layer から Free Layer にスピンの向きが揃った電子の注入が生じ、Pinned Layer と Free Layer の電子のスピンの向きが揃う方向に、すなわち“0”書き込みが生じる。反対に、紙面下部⇒上部へと書き込み電流を流すことにより、図中 Free Layer から Pinned Layer にスピンの向きが揃った電子の注入が生じ、Pinned Layer の Majority 電子のスピンの向きと反対向きのスピン反転トルクが Free Layer に印加されることにより、Free Layer の電子のスピンの向きが反対になる、いわゆる“1”書き込みが生じる。

図2-4を用いてスピン注入書き込み方式MRAMのセル書き込み動作について説明する[6][7]。図2-4(a)に、BLとWL、4×4のマトリックスのセル等価回路を、(b)にスピン注入電流反転方式におけるセルの電流—外部印加磁場 (I·H) 曲線の模式図をそれぞれ示す。図2-4(a)に示



すように、各セルに選択トランジスタが接続されているため、選択 BL を経由して選択セルの MTJ 素子にのみスピン注入電流による書き込みが行われる。書き込み時においてこの選択トランジスタのお陰で非選択素子に書き込み電流が流れることはないため、電流磁場書き込み方式のような半選択状態は存在しない。図 2-4 (b) に、X-Y 軸を、それぞれ MTJ 素子電流 (I) - 外部印加磁場 (H) とした場合の、磁化反転閾値、いわゆる I-H カーブを示す。外部磁場  $H=0$ 、すなわち X 軸上のセル特性が素子の電流磁場書き込み閾値 ( $I_c$ ) となる。セル電流を流す向きによって P to AP、そして AP to P の選択書き込みが行われ、一方で図 2-4 (b) に示すセル反転閾値 ( $I_c$  P-AP,  $I_{cAP-P}$ ) より十分に小さい電流 ( $I_r$ ) を流すことによって読み出し動作を行うことが出来るため、素子は基本的に 2 端子のみで書き込み、読み出し動作を行えることが大きな特長である。外部磁場書き込み方式のような半選択問題は生じないが、一方で、書き込み動作と読み出し動作を同じ 2 端子で行うために、書き込み電流 ( $I_w$ ) と読み出し電流 ( $I_r$ ) の間に十分なマージンが存在しないと、読み出し時に書き込み動作が発生してしまう、いわゆるリードディスタ urb 問題が発生するリスクはあり、素子設計段階および回路設計段階での十分なケアが必要である。

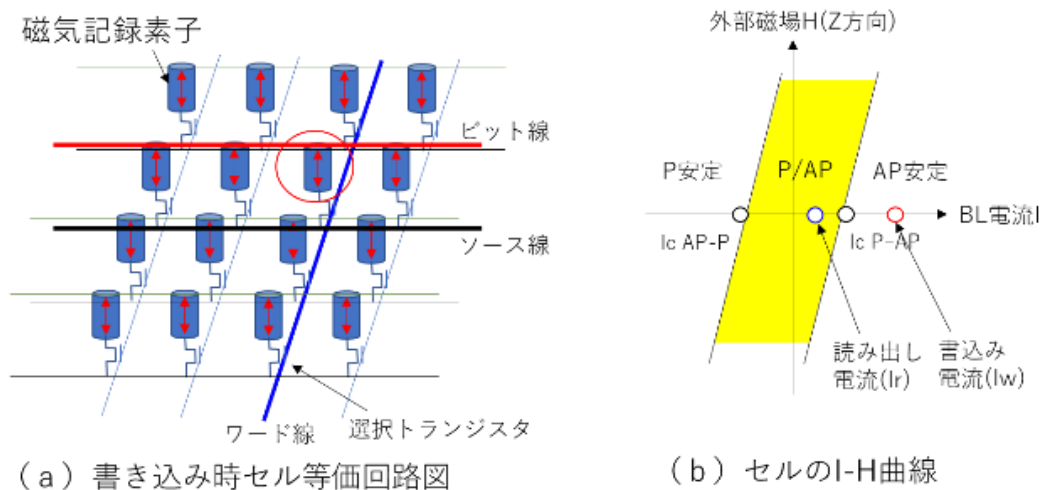


図 2-4 MRAM の書き込み動作原理 (スピン注入電流反転方式)

次に、このスピン注入電流反転方式を実現可能にしている重要な特性であるスピフィルター効果および Coherent Tunneling 現象について図 2-5 を用いて説明する[8][9]。図 2-5 (a) にトンネルバリアとしてそれぞれアルミナと MgO を用いた場合のスピフィルター効果発現の有無についての模式図を、(b) にスピフィルター効果を用いた MTJ 素子の電流書き込み方式の模式図を各々示す。図 2-5 (a) に示すように、強磁性体の間にトンネルバリアとしてアルミナを挟む MTJ 構造にした場合、P 状態と比較して AP 状態でもトンネル電流はある程度発生し、MR 比として数 10% 程度の Tunneling Magneto-Resistance 効果しか得られず、RAM 応用を考えると読み出し動作における S/N 比としては不十分であるという問題があった。一方、トンネルバリアとして MgO を使った場合に電極を構成する強磁性体と MgO 双方を(001)方向に格子整合したいわゆる Coherent 構造を実現することで、Majority キャリアで強磁性体の磁場の向きと同じ向きを有する  $\Delta 1$  band-like な電子のみが、トンネル先の強磁性体の磁化の向きが同じ場合 (Parallel 状態) に高確率でトンネルする一方、トンネル先の強磁性体の磁化の向きが反対の場合はトンネル確率が著しく低減するという

Coherent Tunneling 現象によるスピントラッキング効果によって、数 100%の Tunneling Magneto-Resistance 効果が室温でも得られることが理論[7][8]および実験[9][10][11]によって実証された。次に、図 2-5 (b) を用いて、このスピントラッキング効果を用いた MTJ 素子の選択書き込み動作の原理について説明する。AP to P 書き込みを行う場合、書き込み電流を Free Layer から Pinned Layer に流すことによって (図中 Iwrite “0”の向き)、Pinned Layer から Free Layer にスピンの向きが揃った  $\Delta 1$ -like 電子が大量に注入され、Free Layer 中の  $\Delta 1$ -like 電子にスピントルクが印加され、 $\Delta 1$ -like な電子がまとまって歳差運動を起こし、電子のスピンの向きが反転したところで歳差運動が収束することにより、AP 状態への状態遷移が生じる。一方、P to AP 書き込みを行う場合、書き込み電流を Pinned Layer から Free Layer に流すことによって (図中 Iwrite “1”の向き)、Free Layer から Pinned Layer にスピンの向きが揃った  $\Delta 1$ -like 電子が注入されるが、Pinned Layer の電子の磁化は十分大きいために磁化反転が生じず、反対に Free Layer 側の電子の磁化の向きを反転させる方向にトルクが働き、P to AP 書き込みと同様な歳差運動プロセスを経て、Free Layer 中の電子の P 状態への遷移が生じる。このように強磁性体/MgO/強磁性体という構造で発現される MgO のスピントラッキング効果によって室温で数 100%という RAM としても実用レベルの 0/1 信号比が得られただけでなく[11]、電流を流す向きだけで 0/1 書き込みを選択することができる「スピン注入磁化反転」書き

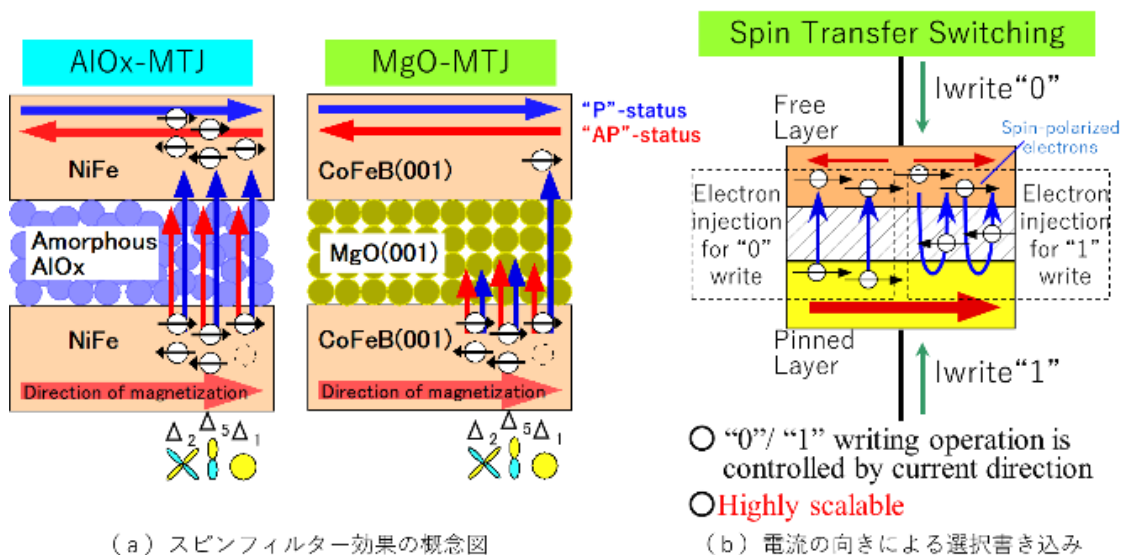


図 2-5 MgO-MTJ におけるスピントラッキング効果

込みが初めて可能となった[5]。この効果を活用した MTJ 素子の特性として、電流磁場書き込み方式と比較して素子形状と特性との相関が弱く、更に素子の 2 端子構造のみでデバイス形成が可能となるために、セルアレイを構成した際により微細化に適していると言える。また、電流磁場書き込み方式における漏洩磁場によるパワーロスと比較して、書き込み電流として注入されたエネルギーはほぼ書き込みに使われるために、消費電力としてもより効率の良い構造と言え、現在の MRAM 研究開発の主流となっているだけでなく、複数の大手半導体メーカーが生産を宣言しており、本格的な量産フェーズに移行しつつある [12][13][14]。

## 2.2.2 本研究のモチベーション

本研究を開始した 2006 年頃は、初めて MgO のスピントラップ効果を実証した論文が発表された頃で、スピン注入磁化反転技術を適用した MRAM 実用化の研究は始まったばかりであったため、MgO を適用した MTJ 素子のプロセス最適化を行うこと、MgO-MTJ 基礎特性の評価を行うこと、そのために、極薄膜トンネル MgO 膜を電氣的に評価するための信頼性を含めた Metric を整備し、極薄 MgO を適用した MTJ の性能評価を行い、将来的に MgO-MTJ 搭載 MRAM のユニバーサルメモリあるいは AI 応用としてのポテンシャルを見極めることにある。

## 2.3 サンプル試作

本研究で用いた MTJ 素子には Conventional なプロセスを用いている。MTJ サンプル試作プロセスの概要を以下に示す。

- 使用システム：Ultrahigh-Vacuum Magnetron Sputtering System
- MTJ stack：Cap-layer/CoFeB/MgO/Mg/CoFeB/Ru/CoFe/PtMn/Ta//substrate
- Thermal Annealing in a magnetic field
- Lithography by conventional system and MTJ etching by Ar + Ion-milling

スピン注入電流磁化反転技術では、磁気記録層の磁化の向きとして基板に平行な面内磁化 (Magnetization In-Plane : MIP) 方式よりも基板に垂直な垂直磁化 (Magnetization Perpendicular to Plane : MPP) 方式の方が、MTJ 素子の形状に書込み特性が影響されにくく、より素子の微細化に適しているが、本研究では特に極薄 MTJ の特性評価にフォーカスするために、技術的には先行して進んでいた面内磁化方式を採用した。そのため、素子は完全な円形ではなく面内方向の磁化容易軸を作り込みやすい楕円型 (0.2 $\mu$ m $\times$ 0.4 $\mu$ m Oval shape) とし、上記プロセスフローにおける成膜後の磁場中アニールプロセスも基板に平行かつ磁化容易軸に平行な方向に外部から磁場を印加して行った [15]。また、MgO トンネル膜厚は 1~2nm の範囲で変えたサンプルを作成した。MgO の上下に形成されて Coherent Tunneling System を形成する上下 CoFeB 界面層と MgO の間に、MgO の下側のみ Mg バッファ層を挿入している。その効果については後述する。

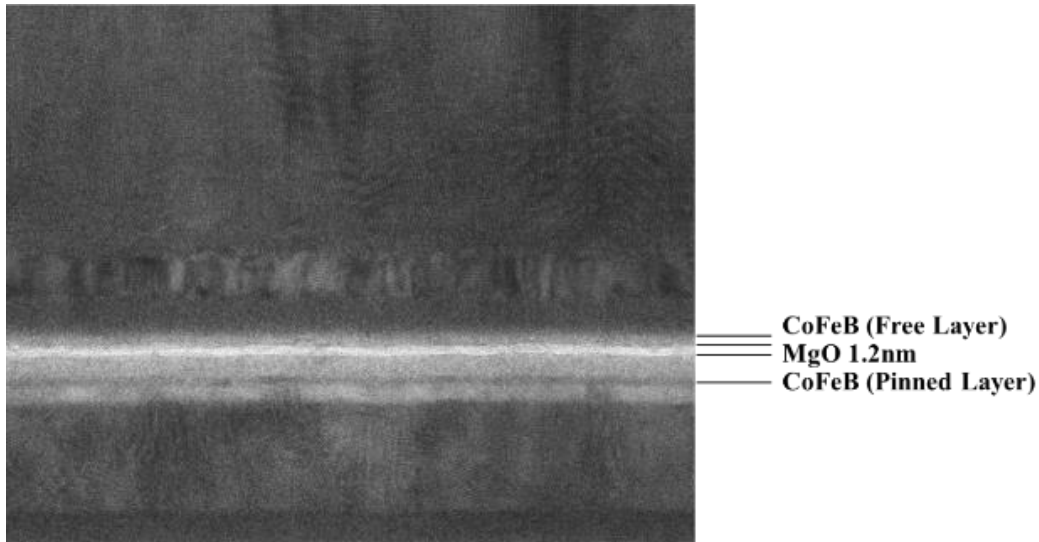


図 2-6 本研究で用いた MTJ 素子の断面 TEM 写真

図 2-6 に、試作サンプルの MTJ 断面の透過型電子顕微鏡(Transmission Electron Microscopy : TEM)画像を載せた。1nm 程度の MgO であっても極めて均一な CoFeB/MgO/CoFeB 界面が形成されており、Coherent Tunneling 効果発現に必要な CoFeB(001)|MgO(001)|CoFeB(001) 格子整合系が形成されていると考えられる[15]。

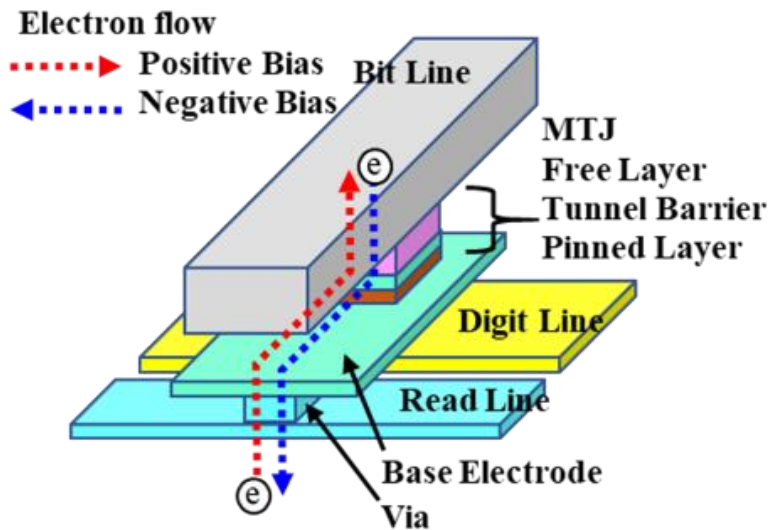


図 2-7 本研究に用いた MTJ の電特評価素子構造

図 2-7 に、本研究に用いた MTJ の電気的特性評価素子構造を示す[16]。MTJ 素子の上部に接続されたビット線 (Bit Line) は両端が各々電極に接続された 2 端子構造であり、他方、MTJ を挟んだソース側にも 2 端子のソース端子構造 (Read Line) が形成され、4 端子ケルビン測定によって寄生抵抗を除いた MTJ 素子の正確な抵抗値が求められるようにした。また、MTJ 下部に、電気的には接触しないディジット線 2 端子構造 (Digit Line) を配置し、ビット線とディジット線に電流を同時に流すことによって外部電流磁場による選択書き込みも可能となるようにした。これによって、後述する TDDDB 試験において、TDDDB ストレス間に外部電流磁場印加によってトンネルバリアへの余分なストレス印加なく素子の P/AP 状態を変えることによって MTJ 素子の Parallel 状態および Anti-

Parallel 状態での抵抗値モニターを行い、素子の In-situ な劣化状態を正確にモニターできるようになった。

## 2.4 MgO トンネルバリアの Coherent Tunneling 評価

### 2.4.1 I-V 特性のバイアス依存性

図 2-7 に示す素子を用いて実際に MTJ 素子の電氣的測定を行なった。評価においては、Agilent Technology 社製 HP4072 シリーズテスターに東京精密社製のオートプローバーを接続したシステムによって複数チップの自動評価が可能になった。このシステムを用い、単一 MTJ 素子およびマスターデータ取得のための評価も行った。

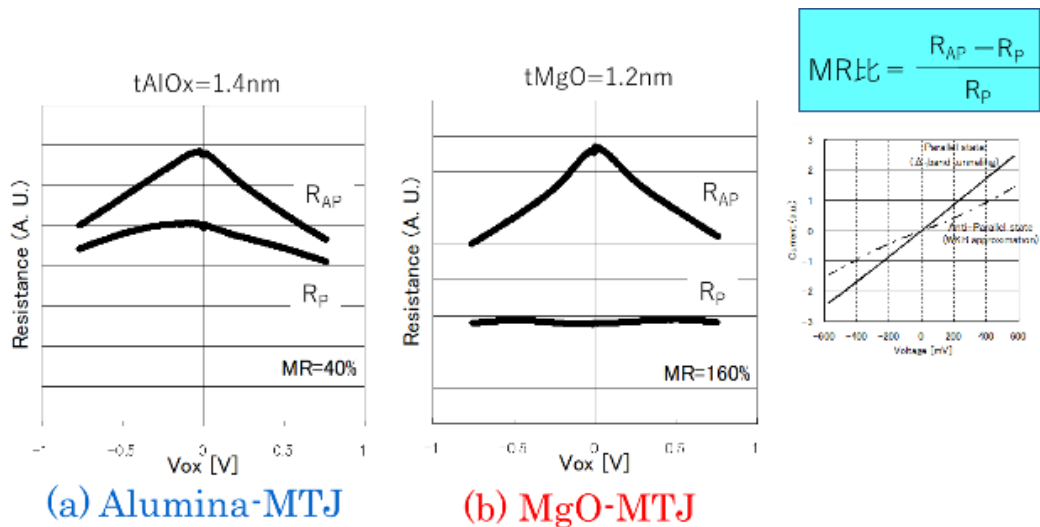


図 2-8 MTJ の I-V 特性

MTJ 素子の基本特性として、MTJ 抵抗値のバイアス電圧依存性を室温で評価した結果を図 2-8 に示す。図 2-8 (a) に 1.4nm のアルミナトンネルバリアを用いた MTJ、図 2-8 (b) に 1.2nm の MgO トンネルバリアを用いた MTJ の結果を示す。図 2-8 (a) のアルミナの場合、Parallel 状態での MTJ 抵抗値 (以下  $R_P$ )、Anti-Parallel 状態での MTJ 抵抗値 (以下  $R_{AP}$ ) はいずれも外部印加バイアス  $V_{ox}$  を大きくしていくと極性によらず単調減少する傾向が見られ、 $V_{ox}=50mV$  における Parallel/Anti-Parallel 状態での抵抗比を示す MR 比は、約 40% となった。一方、MgO トンネルバリアの場合、まず図 2-8 (b) 挿入図の I-V 特性では Parallel 状態では良好な線形性を示し、Anti-Parallel 状態では非線形傾向を示した。横軸バイアス電圧  $V_{ox}$ 、縦軸 MTJ 抵抗値を示す R-V プロットでは、Parallel 状態で抵抗値の  $V_{ox}$  依存性はほとんど見られず、一方 Anti-Parallel 状態では、アルミナトンネルバリア同様、大きな  $V_{ox}$  依存性が見られる傾向を示した。 $V_{ox}=50mV$  における MR 比はこの結果から約 160% となり、アルミナよりもかなり大きくなった[16]。この結果から、MgO-MTJ が、Parallel 状態において  $\Delta$  1 band-like な電子による Majority Spin 伝導が主体となり、Coherent Tunneling によってメタリックな伝導傾向を示すという理論予測ともよく一致する結果となった [8]。

## 2.4.2 I-V 特性の温度依存性

MgO トンネルバリアを持つ MTJ 素子の Coherent Tunneling 性について更に詳細に調べるために、次に MTJ 素子の I-V 特性の温度依存性評価を行った。図 2-9 に、MgO およびアルミナを含む MTJ 素子の抵抗×面積・積 (Resistance Area product : 以下 RA)-印加バイアス  $V_b$  依存性を示した。4 種類の MgO 膜厚(0.8, 1.1, 1.3, 1.6nm)と一種類のアルミナ膜厚、測定温度は MgO において 4 種類 (298, 323, 358, 383K)、アルミナにおいても 4 種類(298, 313, 333, 353 K)の異なる温度での評価を行い、それぞれ上記の順にグラフで示している。グラフ中実線が 298K の結果となる[17]。

MgO 膜厚が最も厚い(d)のサンプルでは P 状態の RA のバイアス依存性が見られるが、それ以外の (a)-(c)では測定温度によらずバイアス依存性はほとんど見られないという結果となり、一方アルミナサンプルは温度によらずバイアス増加に伴い RA 減少が見られ、明らかに MgO とは異なる結果となった。一方、AP 状態の MgO の RA は強いバイアス電圧依存性を示し、WKB 近似でのトンネル電流伝導に似た特性が見られた。また、(a)~(c)ではバイアス電圧が  $-0.2V < V_b < 0.2V$  の間で  $V_b$  増加に伴い急激な  $RA_{AP}$  の減少が見られる。このような現象を引き起こすメカニズムとして、①界面 FeO による効果、②Magnon 散乱、という 2 つのモデルが考えられる[17]。

これらモデルのどちらがより支配的か調べるために、次に RA の温度依存性についての調査を行った。図 2-9 と同じデータを用い、次式を持ちいて RA の温度依存性係数を定義した。

$$RA(T, V_b)/RA_0 = -A(V_b)T + C(V_b), \quad RA_0 \text{ は、} V_b=0 @ T=298K \text{ での RA 値} \quad (1)$$

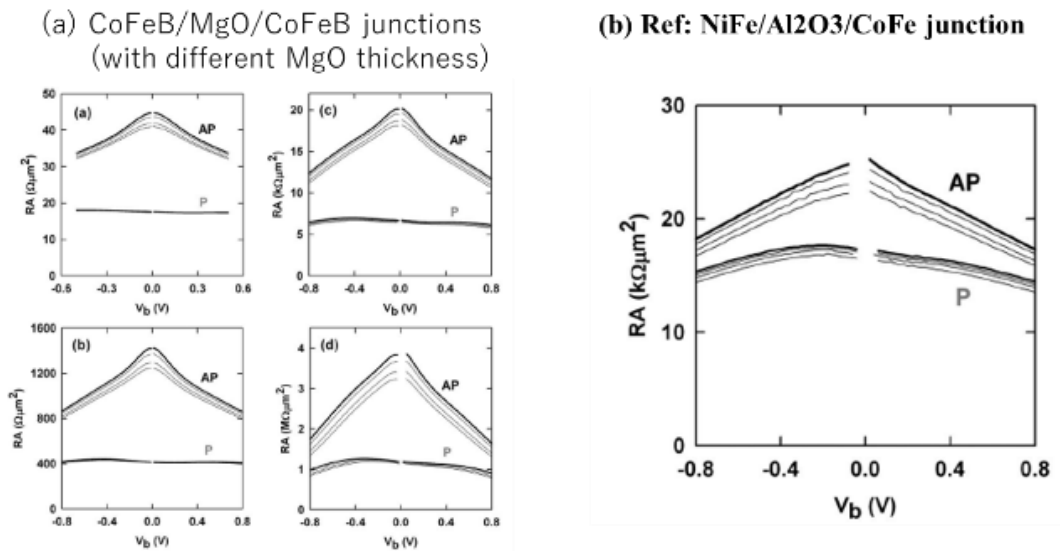


図 2-9 MTJ の RA- $V_b$  特性の温度依存性

抵抗値 RA の温度係数 A のバイアス依存性を図 2-10 に示す。抵抗値の温度係数 A は常に P 状態より AP 状態において大きい。MgO 膜厚によらず AP 状態の温度係数 A は  $-0.2\text{V} < V_b < 0.2\text{V}$  の範囲で大きくなり、この範囲は Magnon-assisted Inelastic Tunneling の範囲と一致する [18]。Magnon 励起を伴う非弾性トンネルプロセスによって、 $|eV| < \omega_0$  でコンダクタンスが増加するという報告があり、この  $\omega_0$  は Maximum Magnon Frequency で  $0.1\text{eV}$  のオーダーである。この効果は  $|eV| > \omega_0$  では飽和する。Magnon の数は  $T^{1.5}$  に比例して増加する。こういったモデルに基づく考察より、今回の結果は Magnon 散乱であり、界面酸化の影響が支配的ではないと考えられる。

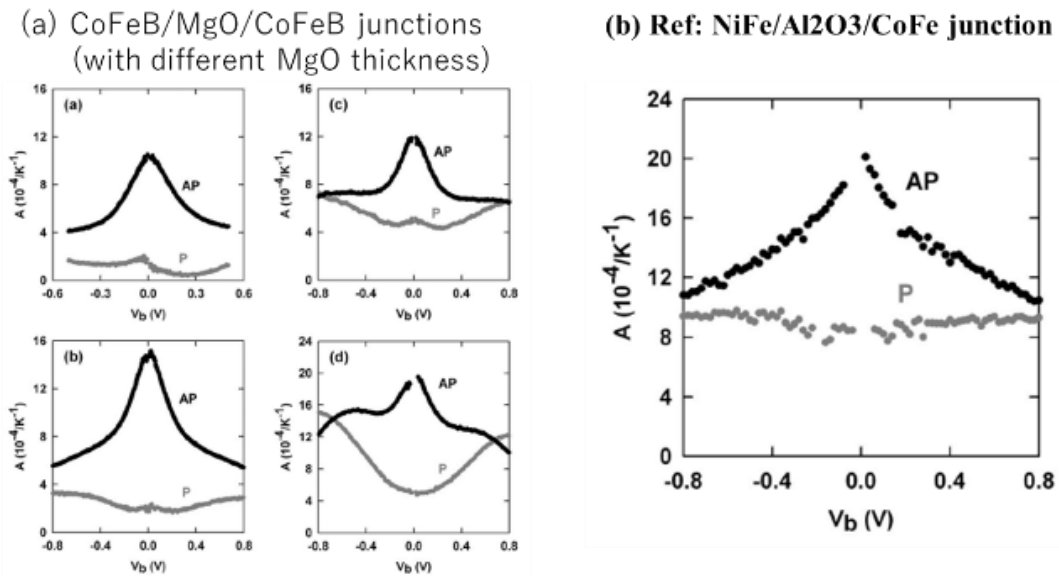


図 2-10 MTJ 抵抗値の温度依存係数の  $V_b$  依存性

これらの結果から、MgO トンネルバリア構造の MTJ においては P 状態においては Coherent Tunneling 効果に基づくメタリックな伝導が支配的であり、AP 状態においては Magnon 散乱に基づくトンネルメカニズムが重要な役割を果たしていることが判明した [17]。

## 2.5 MgO トンネルバリアの信頼性基礎評価

### 2.5.1 極薄 MgO-MTJ の TDDB 評価手法

上述したように、スピン注入型 STT-MRAM 実用化の懸念の一つは、 $1\text{nm}$  前後という極薄トンネルバリアを介したスピン注入電流による書き込み動作が RAM も含むメモリ応用を想定して実用レベルになるポテンシャルを抱いているかどうか、ということであったため、この極薄 MgO の信頼性基礎評価のために、I-V 基本評価に続き、基礎的な信頼性評価の立ち上げを行うこととなった。継続的なストレス印加時の特性劣化現象を評価するために、図 2-7 に示す素子構造を用いた TDDB ストレス印加評価を行った。その際のストレス印加シーケンスを図 2-11 に示す。図 2-11 (a) に示すように、TDDB ストレス印加シーケンスとして、定電圧印加(Constant Voltage Stress : CVS)を用いて一定時間ストレスを印加した後に、ストレスバイアスレベルを下げてビット線、デジタル線よ

り印加される電流磁場による磁化反転を活用して  $R_P$ 、 $R_{AP}$  測定を行った後、再び TDDDB ストレスを印加する。 $R_P$ 、 $R_{AP}$  評価時の抵抗値の極端な減少によってバリア破壊判定を行うと同時に、 $R_P$  および  $R_{AP}$  抵抗値の経時変化をモニターすることによる抵抗ドリフト現象評価も TDDDB 評価と同時に行うことが可能となる。また、一定時間の TDDDB ストレス印加の後に、ストレスフリーな Interval 時間を設定することによる TDDDB Stress – Recovery 評価用のテストシーケンスを図 2 – 1 1 (b) に示す。TDDDB シーケンスと基本的には似ているが、ストレス間のインターバル時間を、緩和減少が見られるように十分長くしてある[15]。

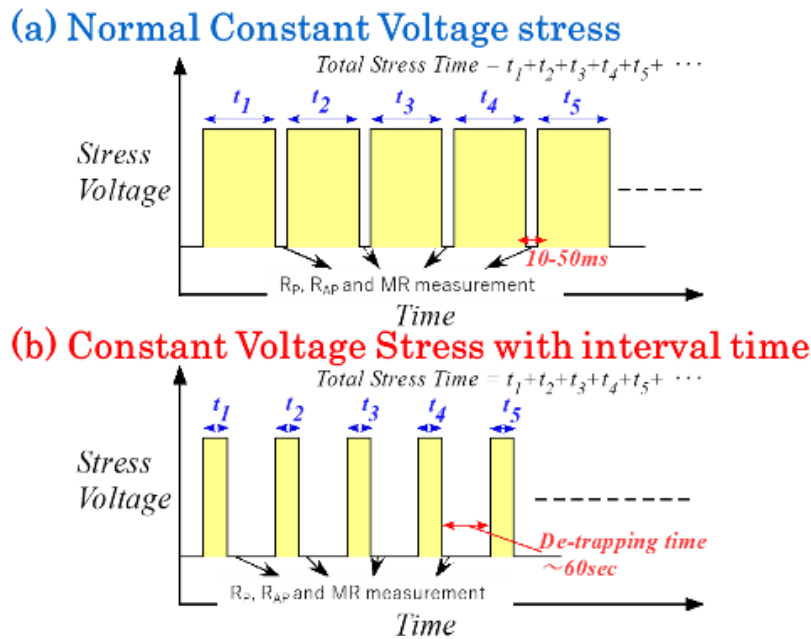


図 2 – 1 1 MTJ トンネルバリア用 TDDDB 評価フロー

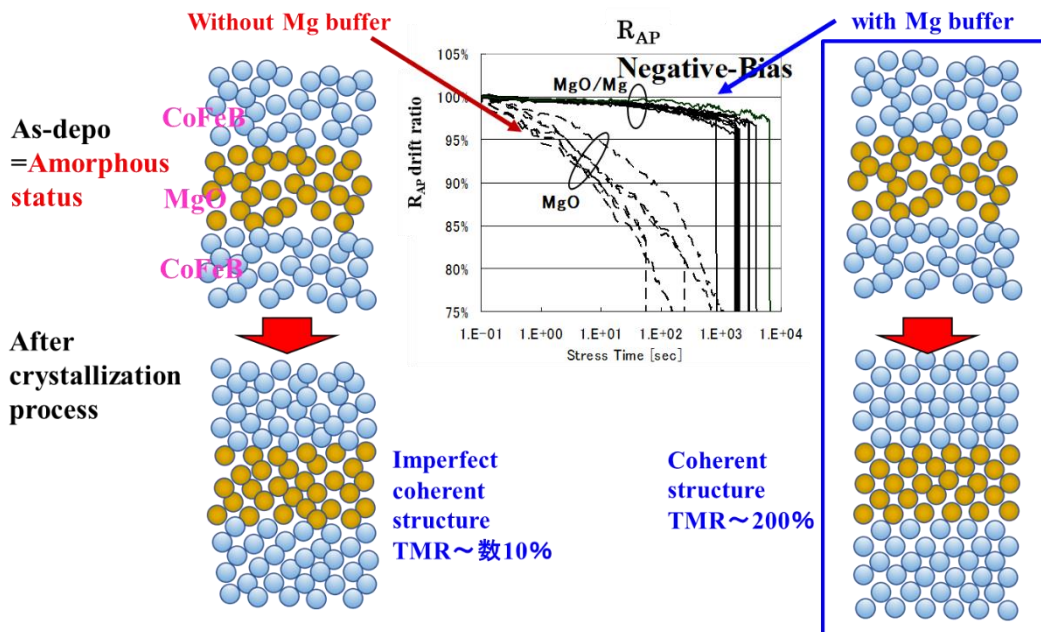


図 2 – 1 2 TDDDB ストレス印加時の MgO-MTJ の抵抗変化のプロセス依存性



## 2.5.2 極薄 MgO-MTJ 実現のためのプロセスチューニング

MgO-MTJ 用 TDDDB 評価システムおよび評価シーケンスを用いて、MTJ の TDDDB ストレス印加時の抵抗ドリフトおよび破壊現象のプロセス依存性評価を最初の実施した結果を図 2-12 に示す。MgO-MTJ の成膜プロセスにおいて、MgO を挟む上下界面層として CoFeB を用いた CoFeB/MgO/CoFeB 積層構造をスパッタリングで形成した時は全体にアモルファス状態であるため、高い MR 比得るためには、その後に結晶化アニールを行って、図 2-12 右図のように CoFeB(001)/MgO(001)/CoFeB(001) という Coherent な結晶構造にする必要がある。プロセスチューニングのために、上記積層構造を形成する際に、MgO と下部 CoFeB との間にバッファ層を挟まない Abrupt Junction を形成した場合と、薄い Mg バッファ層を挟んだ場合の TDDDB ストレス試験時の  $R_{AP}$  の経時変化を図 2-12 のセンター図に示す。Mg バッファ層を入れなかった場合、TDDDB ストレス印加の初期から MTJ 抵抗が時間経過と共に大きく減少し、バリア破壊に至るまでに数 10% の  $R_{AP}$  変化が見られたが、薄い Mg バッファ層を入れることでこの抵抗変化減少量が大きく改善し、バリア破壊までに  $R_{AP}$  がせいぜい数%しか変化しないことが判明した。また TMR も左図の構造ではせいぜい数 10%までしか到達しないのに対し、薄い Mg バッファ層の挿入により 200%を超えるレベルまで改善されることになった。このような改善原因のモデルの一つとして、この薄いバッファ層挿入によって、CoFeB/MgO/CoFeB 積層構造にもともと含まれていた余剰酸素と CoFeB の Fe 原子が結びついて生じる Fe-O 結合の発生が抑制され、よりシャープな MgO/CoFeB 界面が全体に形成され、積層膜全体に Coherent な構造が実現されているためと考えられる。この結果を基に、今回のバッファ挿入プロセスを MTJ 標準プロセスとして採用した[15][19]。

## 2.5.3 TDDDB ストレス印加時の抵抗ドリフトおよびバリア破壊現象

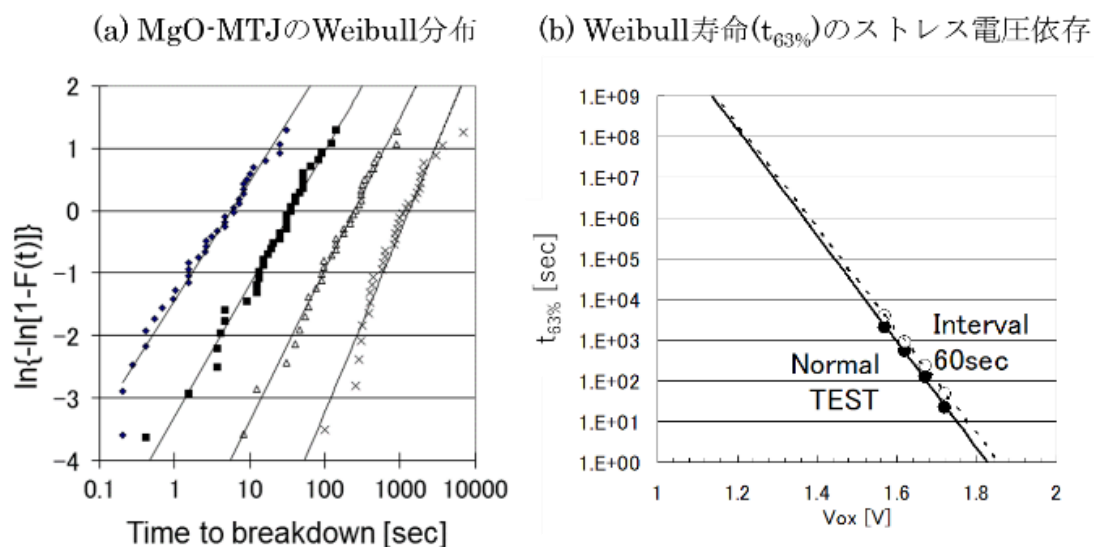


図 2-13 MgO-MTJ の TDDDB 評価結果

チューニングした MTJ プロセスを用いたサンプルで各種 TDDB 評価を行った。TDDB 寿命予測を目的とした測定の場合、40 ビットの MTJ 素子にストレスバイアスを印加し、バリア破壊時間の計測を行った。図 2-13 に、TDDB 寿命測定結果の一例として、(a) 異なる 4 ストレス条件における TDDB 寿命の Weibull 分布を、(b) Weibull 分布から抽出した  $t_{63\%}-V_{ox}$  プロットを示す。これらの結果が示すように、MgO-MTJ においても半導体のシリコン酸化膜と同様な TDDB 測定が可能であること、また印加バイアスに対して Weibull 寿命( $t_{63\%}$ )は変化し、実使用条件における寿命予測も可能であることが判明した[16][20]。

次に、TDDB ストレス印加時の MTJ 素子抵抗変化測定を行った。図 2-14 に、TDDB ストレス印加時の(a) $t_{MgO}=1.2nm$ 、(b) $t_{MgO}=2.0nm$  という 2 つの膜厚サンプルにおける  $R_P$ ,  $R_{AP}$ ,  $MR$  の経時変化の評価結果の一例を示す。ここから判明したことは、MgO 膜厚が薄いほど、TDDB ストレス下での MTJ 抵抗ドリフト量が大きくなること、また P 状態と AP 状態の抵抗ドリフト量が異なり、基本的に  $\Delta R_{AP} > \Delta R_P$  の傾向があること、 $R_{AP}$  はストレス印加と共に抵抗が減少していく傾向にあるが、 $R_P$  は抵抗の減少量は小さく、ストレス条件によっては抵抗が増加する場合があることも見えてきた。また、 $R_{AP}$  が減少傾向、 $R_P$  が増加した場合には、 $MR$  の劣化量は両者の複合効果により更に加速されることが判明した[16]。

これらの結果の解釈として、まず MgO 薄膜において、厚膜よりも界面ラフネスなどの影響がエンハンスされ、TDDB ストレスによる劣化の影響が加速されること、また  $R_{AP}$  抵抗の減少については、MTJ の Anti-Parallel 状態によって  $\Delta 1$ band like な電子の伝導現象が抑制されるため、TDDB ストレスによって形成された膜中欠陥などの Trap を介した伝導により抵抗が減少して見えている可能性があると考えている。一方、Parallel 状態においては、同様の Trap 形成により、むしろ結晶系の Coherent 性が劣化したために、ストレス印加条件によっては抵抗増加現象が見えている可能性があると考えている[16]。抵抗ドリフト現象については次章で更に詳しく解析を行う。

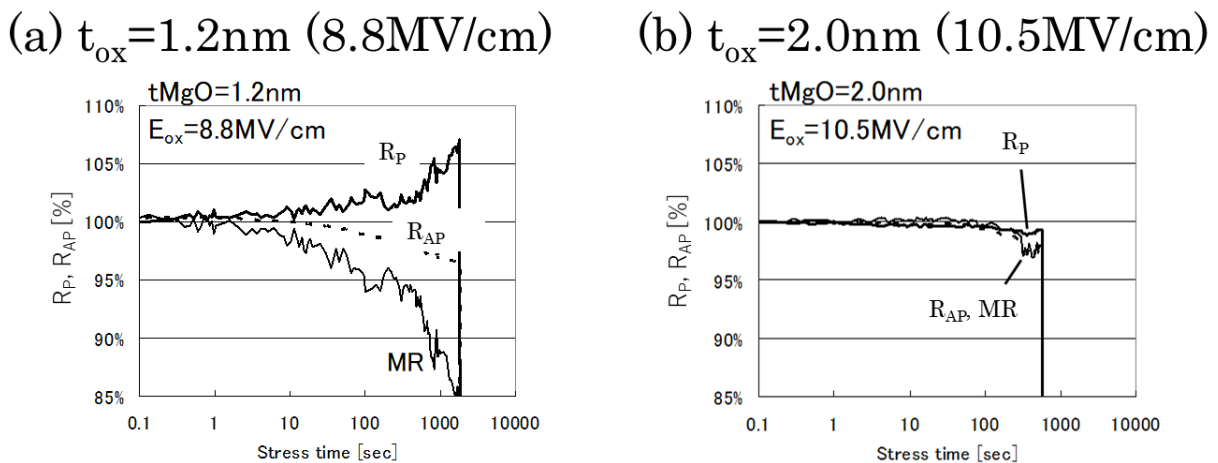


図 2-14 TDDB ストレス印加時の抵抗ドリフトの MgO 膜厚依存

## 2.6 本章のまとめ

本章においては、MRAM の動作原理および開発の歴史の概略、特に MgO をトンネルバリアとして用いるスピン注入型 STT-MRAM の開発が主流となるまでの流れを簡単に紹介した。そして、本研究のモチベーション、および MTJ 素子のサンプル試作フローと信頼性評価手法と使用した素子構造について、そして MgO-MTJ の I-V 基本特性評価結果、および信頼性基礎評価結果について説明した。

## 参考文献

- [1] T. Miyazaki, N. Tezuka, "Giant magnetic tunneling effect in Fe/Al<sub>2</sub>O<sub>3</sub>/Fe junction," *Journal of Magnetism and Magnetic Materials* 139 (1995) L231-L234.
- [2] M. N. Baibich, J. M. Broto, A. Fert, F. Nguyen Van Dau, F. Petroff, P. Etienne, G. Creuzet, A. Friederich, and J. Chazelas, "Giant Magnetoresistance of (001)Fe/(001)Cr Magnetic Superlattices," *Phys. Rev. Lett.* 61, 2472 (1988)
- [3] M. Durlam, D. Addie, J. Akerman, B. Butcher, P. Brown, J. Chan, M. DeHerrera, B. N. Engel, B. Feil, G. Grynkewich, J. Janesky, M. Johnson, K. Kyler, J. Molla, J. Martin, K. Nagel, J. Ren, N. D. Rizzo, T. Rodriguez, L. Savtchenko, J. Salter, J. M. Slaughter, K. Smith, J. J. Sun, M. Lien, K. Papworth, P. Shah, W. Qin, R. Williams, L. Wise, and S. Tehrani: *IEDM Tech. Dig.*, 2003, p. 995.
- [4] Y. Iwata, K. Tsuchida, T. Inaba, Y. Shimizu, R. Takizawa, Y. Ueda, T. Sugibayashi, Y. Asao, T. Kajiyama, K. Hosotani, S. Ikegawa, T. Kai, M. Nakayama, S. Tahara, and H. Yoda: *Tech. Dig. Int. Solid State Circuit Conf.*, 2006, p. 138.
- [5] M. Hosomi, H. Yamagishi, T. Yamamoto, K. Bessho, Y. Higo, K. Yamane, H. Yamada, M. Shoji, H. Hachino, C. Fukumoto, H. Nagao, and H. Kano, "A Novel Nonvolatile Memory with Spin Torque Transfer Magnetization Switching: Spin-RAM," *IEDM Tech. Dig.*, 2005, p. 459.
- [6] S. Mangin, D. Ravelosona, J.A. Katine, M.J. Carey, B.D. Terris and E. Fullerto, "Current-induced magnetization reversal in nanopillars with perpendicular anisotropy," *Nature Materials*, p210, Vol.5 (2006)
- [7] J. C. Slonczewski, "Current-driven excitation of magnetic multilayers.," *J. of Magn. Magn. Mater.*, 159, L1(1996).
- [8] W. H. Butler, X.-G. Zhang, T. C. Schulthess, and J. M. MacLaren: *Phys. Rev. B* 63 (2001) 054416.
- [9] Y. Higo, K. Yamane, K. Ohba, H. Narisawa, K. Bessho, M. Hosomi, and H. Kano, "Thermal activation effect on spin transfer switching in magnetic tunnel junctions," *Appl. Phys. Lett.* 87, 082502 (2005)
- [10] Stuart S. P. Parkin, C. Kaiser, A. Panchula, P. M. Rice, B. Hughes, M. Samant and See-Hun Yang, "Giant tunnelling magnetoresistance at room temperature with MgO (100) tunnel barriers," pp.862-867, vol. 3, *Nature Materials* (Dec. 2004)

- [11] S. Yuasa, T. Nagahama, A. Fukushima, Y. Suzuki, and K. Ando, "Giant room-temperature magnetoresistance in single-crystal Fe/MgO/Fe magnetic tunnel junction," *Nat. Mater.* 3 (2004) pp.868-871.
- [12] J. M. Slaughter, N. D. Rizzo, J. Janesky, R. Whig, F. B. Mancoff, D. Houssameddine, J. J. Sun, S. Aggarwal, K. Nagel, S. Deshpande, S. M. Alam, T. Andre and P. LoPresti: 'High density ST-MRAM technology (Invited)', 'Electron devices meeting (IEDM), 2012 IEEE international', 2012.
- [13] J. J. Kan, C. Park, C. Ching, J. Ahn, Y. Xie, M. Pakala, and S. H. Kanget al., "A Study on Practically Unlimited Endurance of STTMRAM," *IEEE Trans. on Electron Devices*, vol.64, no.9, pp.36393646, Sep. 2017.
- [14] G. Hu, M. G. Gottwald, Q. He, J. H. Park, G. Lauer, J. J. Nowak, S. L. Brown, B. Doris, D. Edelstein, E. R. Evarts, P. Hashemi, B. Khan, Y. H. Kim, C. Kothandaraman, N. Marchack, E. J. O'Sullivan, M. Reuter, R. P. Robertazzi, J. Z. Sun, T. Suwannasiri, P. L. Trouilloud, Y. Zhu and D. C. Worledge, "Key Parameters Affecting STT-MRAM Switching Efficiency and Improved Device Performance of 400°C-Compatible p-MTJs," 'Electron devices meeting (IEDM), 2017 IEEE international', 2012..
- [15] K. Hosotani, Y. Asao, M. Nagamine, T. Ueda, H. Aikawa, N. Shimomura, S. Ikegawa, T. Kajiyama, S. Takahashi, A. Nitayama, and H. Yoda, "Effect of Interface Buffer Layer on the Reliability of Ultra-thin MgO Magnetic Tunnel Junctions for Spin Transfer Switching MRAM," *Proc. Int. Reliability Physics Symp.*, 2007, p. 650.
- [16] K. Hosotani, M. Nagamine, H. Aikawa, N. Shimomura, M. Nakayama, T. Kai, S. Ikegawa, Y. Asao, H. Yoda, and A. Nitayama, "Resistance Drift of MgO Magnetic Tunnel Junctions by Trapping and Degradation of Coherent Tunneling," *Proc. Int. Reliability Physics Symp.*, 2008, p. 703.
- [17] Sumio Ikegawa, Hisanori Aikawa, Tomomasa Ueda, Makoto Nagamine, Naoharu Shimomura, Masatoshi Yoshikawa, Keiji Hosotani, and Hiroaki Yoda, "Temperature dependence of tunnel resistance for CoFeBMgO/CoFeB CoFeBMgO/CoFeB magnetoresistive tunneling junctions: The role of magnon", *Journal of Applied Physics* 101, 09B504 (2007)
- [18] S. Zhang, P. M. Levy, A. C. Marley, and S. S. P. Parkin, "Quenching of Magnetoresistance by Hot Electrons in Magnetic Tunnel Junctions," *Phys. Rev. Lett.* 79, 3744 (1997).
- [19] K. Tsunekawa, D. D. Djayaprawira, M. Nagai, H. Maehara, S. Yamagata, N. Watanabe, S.

Yuasa, Y. Suzuki, and K. Ando, "Giant tunneling magnetoresistance effect in low-resistance CoFeB/MgO<sub>0.01</sub>/CoFeB magnetic tunnel junctions for read-head applications," *Appl. Phys. Lett.* 87 (2005) pp.072503.

[20] K. Hosotani, M. Nagamine, T. Ueda, H. Aikawa, S. Ikegawa, Y. Asao, H. Yoda, and A. Nitayama, "Effect of Self-Heating on Time-Dependent Dielectric Breakdown in Ultrathin MgO Magnetic Tunnel Junctions for Spin Torque Transfer Switching Magnetic Random Access Memory," *Japanese Journal of Applied Physics*, 04DD15, Volume 49 (2010)

## 第 3 章 : STT-MRAM の劣化機構へのアプローチ

### 3.1 はじめに

本章では、前章で紹介したスピン注入型 MgO-MTJ 素子構造を用いた基本特性評価をベースとして、その結果をもとに劣化機構のモデリングを行い、それらの結果をベースとして、MgO-MTJ 素子構造を適用した STT-MRAM のユニバーサルメモリや AI 応用のポテンシャルについて議論する。

### 3.2 抵抗ドリフト現象の詳細評価と劣化モデルへのアプローチ

#### 3.2.1 MgO-MTJ 抵抗変化のストレス電圧・極性依存

前章で紹介した抵抗ドリフト現象について更に詳しく調べるために、まずは抵抗変化のストレス電圧および電圧の極性依存について調査を行った。その結果を図 3-1 に示す[1]。素子に印 MgO-MTJ の TDDB ストレス下における加したバイアスの極性として、図 2-7 に示すように、BL に正バイアス、すなわち MTJ の Pinned Layer から Free Layer に電子が注入される向きを“Positive Bias”と、その反対方向を“Negative Bias”と定義した。

図 3-1 に MgO-MTJ の TDDB ストレス下における抵抗ドリフト現象の素子状態および印加バイアスの極性依存を示す。図 3-1 より、印加バイアスの極性によらず、基本的な素子の TDDB ストレス下の抵抗ドリフト特性として、 $R_P$  に対して  $R_{AP}$  の方が抵抗の減少率が高いことが分かった。更に、 $R_P$  においてはバイアス印加方向によって抵抗ドリフト現象にやや違いがあり、Negative Bias 方向の方が、Positive Bias 方向のストレス印加よりも抵抗の微増傾向も存在することが判明した。更に、この抵抗の微増現象は、ストレスバイアス印加当初はあまり顕著に観測されないが、特に Positive Bias において、破壊現象が生じる一桁ほど短いストレス時間から  $R_P$  の抵抗変化カーブの変曲点が生じ、その時点からバリア破壊に向けて抵抗変化の微増傾向が継続することも判明した。改めてこの現象を整理すると、Positive Bias 印加時は、 $R_P$ ,  $R_{AP}$  によらず、ベースとして時間と共に単調に抵抗が減少する成分が存在し、最終的には破壊直前に  $R_P$  はやや抵抗減少を抑制する方向に、 $R_{AP}$  はやや抵抗減少を加速する方向へのカーブの変曲点が見られ、その後バリア破壊に至る。一方、Negative Bias 印加時は、ストレス印加直後の抵抗変化は Positive Bias と比較して全体に緩やかで、バリア寿命より 1 桁~2 桁短いストレス印加時間で抵抗変化の変曲点が生じ、 $R_P$  は抵抗増加、 $R_{AP}$  は抵抗減少サイドへの傾向変化が見られ、最終的にバリア破壊に至っている[1]。これらの現象については後に出てくる図 3-1-1 においても再び簡単に論じている。

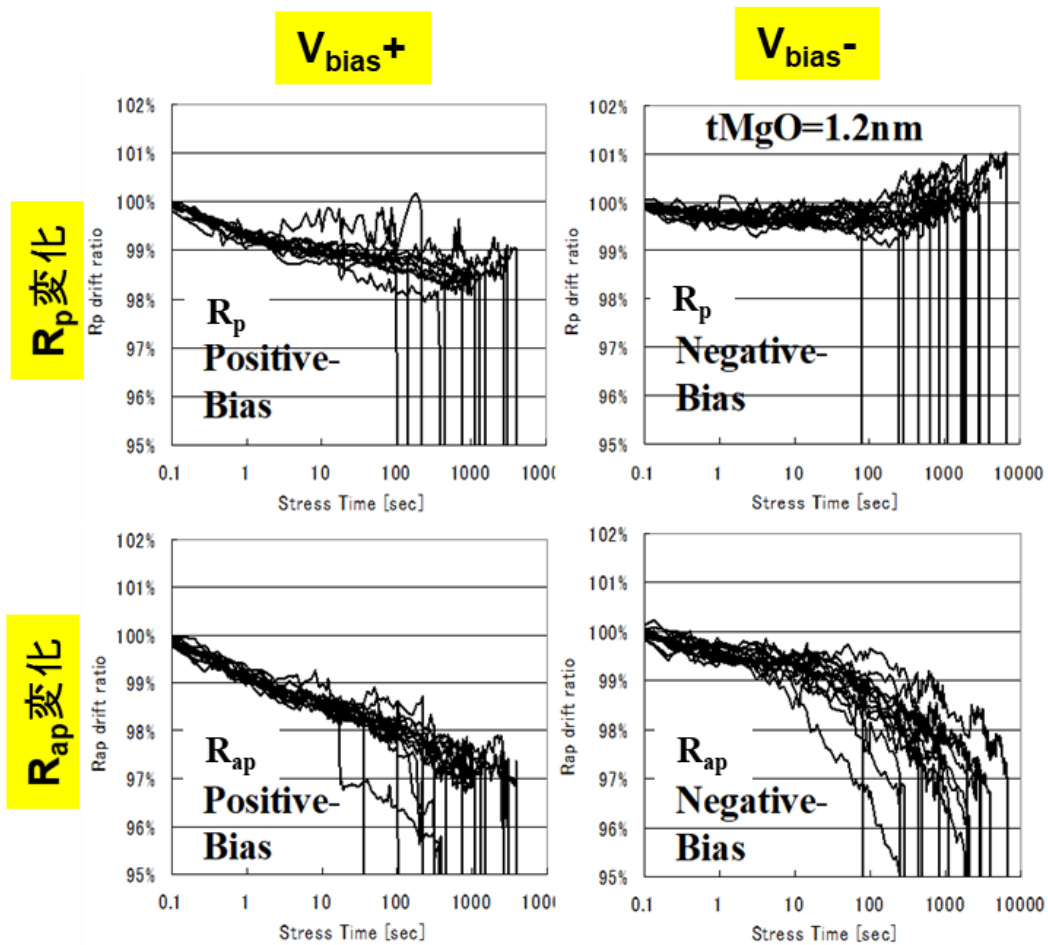


図 3-1 MgO-MTJ の TDDB ストレス下における抵抗ドリフト現象の素子状態および印加バイアスの極性依存[1]

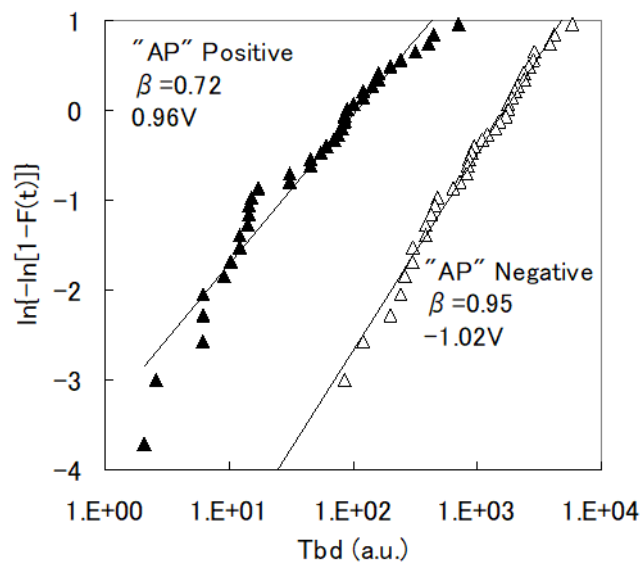


図 3-2 MgO-MTJ の Weibull 分布のストレスバイアス極性依存[2]



このような、MgO-MTJ の TDDDB ストレス下の劣化現象のバイアス極性依存は、TDDDB 寿命にも表れている。図 3-2 に、 $R_{AP}$  状態で TDDDB ストレスを印加した時の Weibull 分布のストレス極性依存を示しているが、この図から分かるように、ストレス印加方向として、Positive Bias よりも Negative Bias の方が、 $V_{bias}(\text{Positive Bias}) > V_{bias}(\text{Negative Bias})$  にも関わらず、平均寿命が長く、素子間の寿命ばらつきを示す Weibull の傾き  $\beta$  も Negative Bias の方が大きく、バリア寿命のばらつきが小さい結果となっている[2]。すなわち、Negative よりも Positive な方向のストレスバイアス印加の方が、抵抗変化や最終的なバリア破壊に現れるようなストレス蓄積が早く生じている可能性がある。このような現象を説明する一つのモデルとして、図 3-3 の左下図に示すように、MgO と上下界面 CoFeB 層の形成する界面が均質ではなく、Positive Bias 時にサンプル下側の Pin 層から上側の Free 層に注入された電子が Direct Tunneling 後の Anode Side でのエネルギー散逸によってバリア界面にダメージを与える際に、上側界面が下側界面よりもダメージを受けやすい、という仮説で説明が可能である。

### 3.2.2 Trap De-trap 現象評価

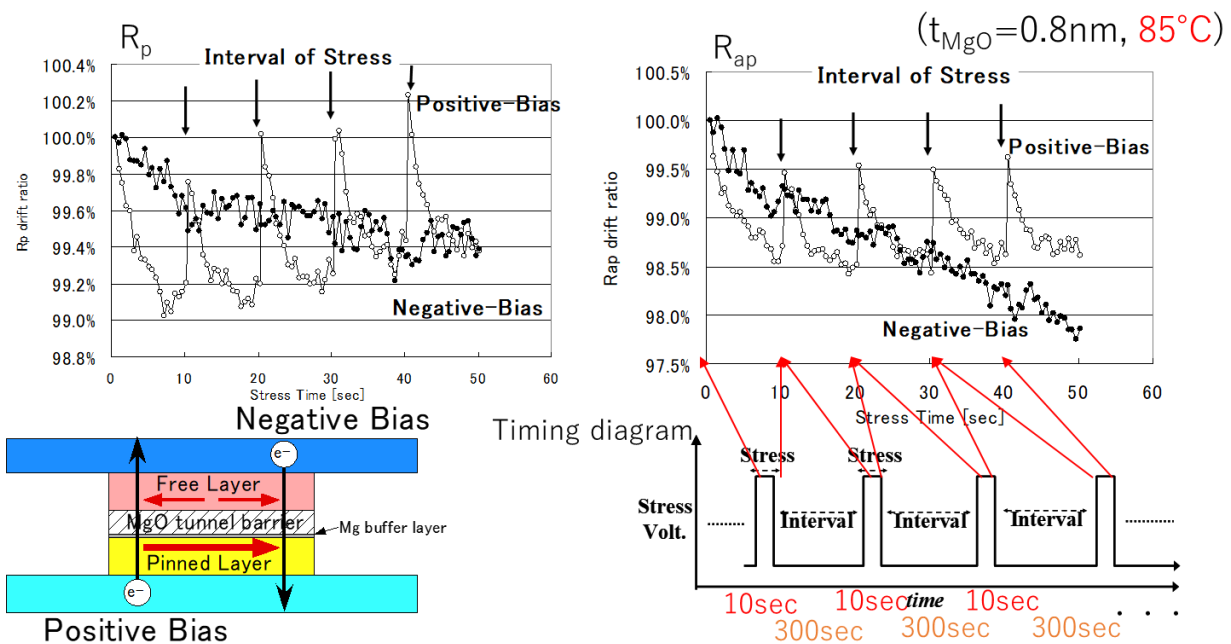


図 3-3 MgO-MTJ における TDDDB ストレス-インターバル試験

次に、同じプロセスで作製したサンプルを用いて、図 3-3 右下図のシーケンスを用いた Stress Interval 試験を行った。ストレスは 10 秒単位で区切り、ストレス-ストレス間に 300 秒のインターバル時間を設けた際の抵抗ドリフト結果を図 3-3 の上側の図に示す。図中、中抜き記号は Positive Bias、塗りつぶし記号は Negative Bias 印加時の抵抗変化を示す。この試験の結果から判明したことは、Positive Bias 印加時に、ストレスインターバル時間に明確な抵抗値のリカバリー現象が起きている一方、Negative Bias 印加時には 300 秒のストレスリカバリー時間にほとんどこのような抵抗値のリカバリー現象が見られないことである。このような結果を説明するモデルとして、図 3-3 の左下の概略図に示すように、前節同様に、MgO/CoFeB 界面層の界面で、上界面の方がストレスの影響を受

けやすく、界面付近の Trap サイトにおける Trap-Detrapping 現象を生じさせやすいためではないかと考えている[2]。

### 3.2.3 抵抗ドリフト現象の Bias 依存と寿命予測

抵抗ドリフト現象評価の最後に、抵抗ドリフト現象の印加バイアス依存と、寿命予測検討の結果について説明する。図 3-4 に、相対的な抵抗ドリフト量の、ストレス電圧  $V_{ox}$ 、ストレス印加時間、試験時温度の 3 条件に対する依存性を示す。これらの結果が示すように、ストレス電圧  $V_{ox}$  が高いほど、試験時温度が高いほど、そしてストレス印加時間が長いほど  $R_p$ 、 $R_{ap}$  いずれも抵抗変化量が大きいことが判明した[1]。これらの結果をベースとして外挿を行い、 $V_{ox} \sim 1V$ 、 $85^\circ C$  で 10 年間ストレスを印加した際の最大抵抗変化量の予測を行った結果、 $R_p$ 、 $R_{ap}$  のいずれにおいても最大抵抗変化量は 7%程度以下であることが判明した。実際にはここまでの抵抗変化が生じる前に TDDB ストレスによるバリア破壊が生じると考えられるが、少なくとも抵抗ドリフト現象のみから予測した場合、MgO-MTJ は抵抗変化量の少ない安定したデバイス構造になっていると言えることが判明した。

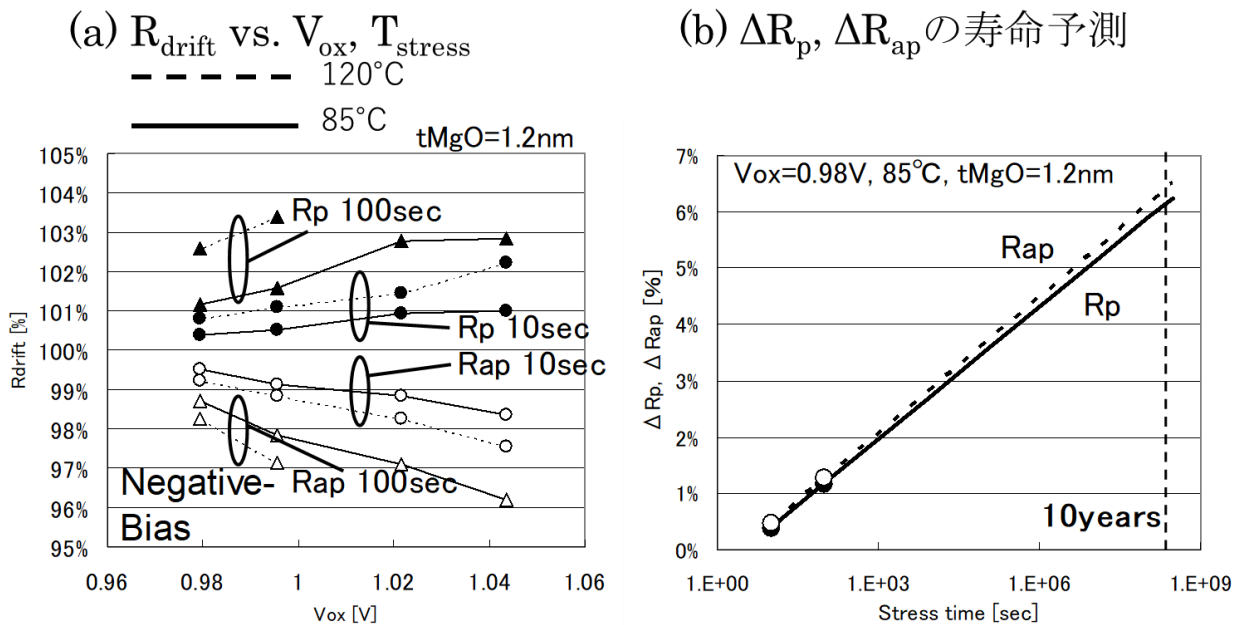


図 3-4 MgO-MTJ の TDDB ストレス下における相対的な抵抗ドリフト量の、ストレス電圧  $V_{ox}$ 、ストレス印加時間、試験時温度の 3 条件に対する依存性

## 3.3 TDDB 寿命予測モデリング

### 3.3.1 各種絶縁膜破壊モデル

極薄 MgO のトンネルバリアとしての信頼性の Potential を知るために、TDDB 寿命のモデル化が必

要である。そのため、この節では薄膜 MgO の TDDB 寿命予測についてモデル化を試みる。まず、薄膜誘電膜の TDDB 寿命予測モデルとしてよく知られている 3 つのモデルについて説明する。第 1 のモデルは E-model である。E-model における寿命 TF とストレス電界 E の関係を式 (3-1) に示す。式 (3-1) において、E は印加電界、 $\Delta H_0$  は活性化エネルギー、 $K_B$  はボルツマン定数、T は温度、そして  $\gamma$  は電界加速係数をそれぞれ示す。E-model では TDDB 寿命が印加電界に比例し、比較的低電界でこのモデルで Fitting できることが多いと言われている[3]。

$$\ln(\text{TF}) = \frac{\Delta H_0}{K_B T} - \gamma \cdot E \quad (3-1)$$

第 2 のモデルは 1/E-model である。1/E-model の寿命とストレスの関係式を式 (3-2) に示す。G は定数である。寿命 TF が 1/E すなわち FN トンネル電流による正孔注入量に比例する場合、1/E モデルで Fitting できると言われている[4]。

$$\ln(\text{TF}) \propto \frac{G}{E} \quad (3-2)$$

第 3 のモデルは V-model である。V-model における寿命 TF とストレスの関係式を式 (3-3) に示す。 $\gamma$  は定数、 $V_{ox}$  はバリアへの印加電圧を各々示す。このモデルは Power Law モデルとも呼ばれ、Direct Tunneling した電子がトンネル後のエネルギーギャップに基づくエネルギー散逸によって絶縁膜に与えるダメージが劣化の主要因の場合、ダメージ量は印加電圧に比例し、このモデルで Fitting が可能となる[5]。

$$\ln(\text{TF}) \propto \gamma \cdot V_{ox} \quad (3-3)$$

MgO 絶縁膜を用いた MTJ 素子の劣化モデル構築においては、LSI 分野で豊富な信頼性データを有する SiO<sub>2</sub> 系のトンネルバリアと異なって知見が少ないため、まず上記の 3 つのモデルのうち、どのモデルで Fitting が可能か検討を行った。バリア膜厚の異なるサンプルを準備し、ストレス条件を変えて TDDB 評価を行い、得られる TDDB 寿命の測定結果を基に、縦軸をバリア寿命の対数-横軸をストレス条件とするプロットを作成する。この際に、横軸のストレス条件を①印加電界、②印加電界の逆数、③印加電圧とした場合に、バリア膜厚に依存しないユニバーサルなカーブを示す関係が得られたモデルが MgO の寿命予測モデルとして最適であると考えることが可能であり、実際のサンプル評価を行った。その結果については後述する。

### 3.3.2 MgO バリア発熱シミュレーション

MgO-MTJ の TDDB 評価において、SiO<sub>2</sub> 系における TDDB 試験と異なる点としてケアしなければならないポイントが存在する。MgO-MTJ の場合、直接トンネルバリアを構成する誘電体膜を介して

磁気記録層の磁化反転を生じさせるだけのスピン注入電流が必要となるために、通常のフラッシュメモリのゲート絶縁膜や MOS トランジスタのゲート絶縁膜と比較して、特にデバイスの書き込み動作時に誘電体膜を貫通する電流密度が桁違いに大きくなるため、製品展開に向けてはこの書き込み時の電流密度も考慮した上でバリア寿命を保証することが必要である。表 3-1 に、幾つかの文献から引用した TDDDB テストにおけるストレス電流密度とバリア材料、バリア膜厚の関係を示す[4][6][7][8]。この表からも明らかなように、通常の CMOS を構成する SiO<sub>2</sub> 系の絶縁膜の電流密度がせいぜい 1A/cm<sup>2</sup> であるのに対し、MRAM 書き込み動作を想定したテストでは、電流密度が 1MA/cm<sup>2</sup> 以上と 6 桁以上も跳ね上がる。

表 3-1 TDDDB テスト条件の比較[4][6][7][8]

Reference	Dielectric material	Thickness (nm)	Stress voltage (V)	Current density (A/cm <sup>2</sup> )	TBD (s)	Temperature (°C)
4	SiO <sub>2</sub> (NFET)	13	16.5	1 × 10 <sup>-2</sup>	3 × 10 <sup>2</sup>	RT
7	SiO <sub>2</sub> (NFET)	2.5	2.4	1 × 10 <sup>-1</sup>	1 × 10 <sup>4</sup>	27
8	SiO <sub>2</sub> (NFET)	1.6	2.7	1 × 10 <sup>0</sup>	1 × 10 <sup>4</sup>	125
This work	MgO (MTJ)	1.25	1.1	2 × 10 <sup>6</sup>	1 × 10 <sup>5</sup>	25

そのため、MgO を有する MTJ 膜の TDDDB 試験においては、通常の TDDDB テストではこれまであまり考慮されてこなかった試験中のジュール熱による発熱の影響を考慮する必要性が生じてくる[9]。

TDDDB 試験中の発熱による影響を正確に見積もるために、今回のテスト構造を想定した有限要素法を用いた 3 次元熱シミュレーションを行った。境界条件として式 (3-4) に示す熱方程式を用いた。ここで、C<sub>p</sub> は熱容量、d は密度、T は温度、t は時間、κ は熱伝導率、Q は MgO での発熱量を各々示す。それ以外の前提条件として、各レイヤー側面から SiO<sub>2</sub> 層間膜中への熱拡散が想定されていること、シリコン基板の温度は固定されていること、そして熱の発生は MgO のみで、注入電流密度と、MTJ の RA (抵抗×面積) によって発生すると定義した。発熱シミュレーションに用いた MTJ 構造の模式図を図 3-5 に、計算に用いたパラメータリストを表 2 に各々示す[10]。

$$C_p d \frac{\partial T}{\partial t} = \kappa \nabla^2 T + Q \quad (3-4)$$

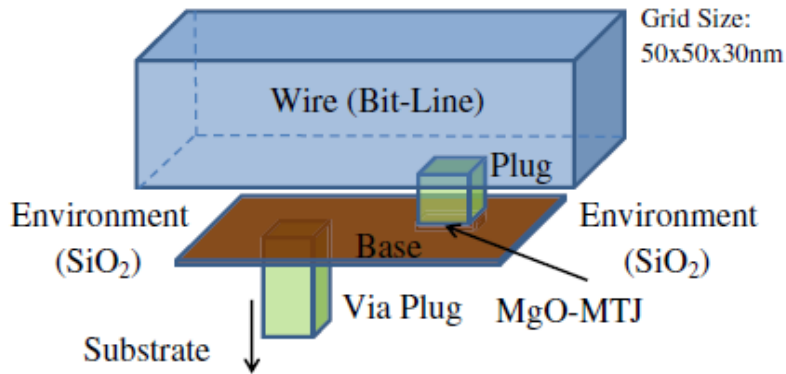


図 3-5 発熱シミュレーションに用いた MTJ 構造の模式図

表 3-2 発熱シミュレーションに用いたパラメータ[10]

Table II. Parameters used in the thermal simulations.<sup>25)</sup>

Layer name	Element	Electrical conductivity [1/( $\Omega$ -m)]	Thermal conductivity [W/(m-K)]	Mass density (kg/m <sup>3</sup> )	Heat capacity [J/(kg-K)]
Environment	SiO <sub>2</sub>	—	1.9	2200	745
Via plug	W	$1.89 \times 10^7$	174	19250	130
Base/plug	Ta	$7.61 \times 10^6$	58	16600	142
Wire (bit-line)	Al	$3.77 \times 10^7$	237	2700	900

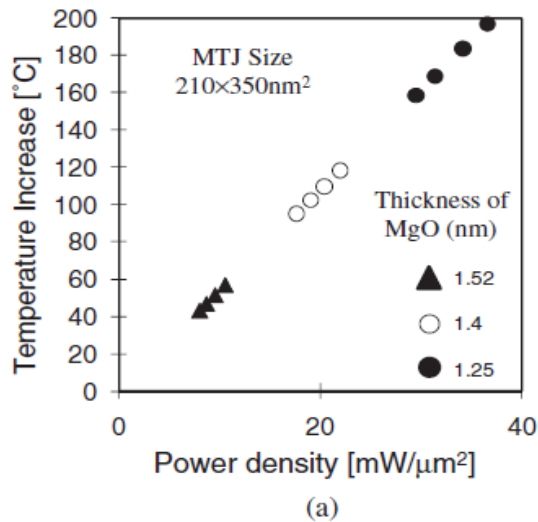


図 3-6 TDDB テスト条件における注入パワーと温度上昇の相関の例

これらの条件をもとに計算した、今回の TDDB テスト条件での温度上昇の計算例を図 3-6 に、発熱量の時間変化の計算結果の例を図 3-7 に各々示す。これらの結果より、MTJ における TDDB テスト中の発熱は 40~200°C 程度であること、また現在のテスト素子構造では、TDDB ストレス印加後のジュール発熱による素子の昇温が数  $\mu$  秒で飽和することが判明した[6]。

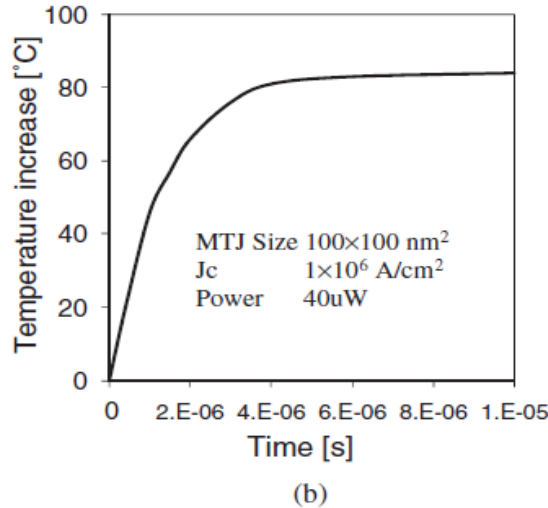


図 3-7 TDDDB テスト条件における素子の温度上昇の時間変化の例

### 3.3.3 各種 TDDDB 寿命予測モデルによるフィッティングにおける発熱補正効果

実際に試作した MgO-MTJ サンプルを用いて、TDDDB 測定を行った。ストレス条件毎に 40 ビットの素子の TDDDB 試験を行い、バリア破壊によって抵抗値がほぼテスト素子の配線抵抗のみである数 100Ω オーダーまで減少した時間を素子の寿命 TF として、図 2-12 に示すような Weibull 分布プロットを作成して、このグラフ上で縦軸 Y=0 となる 63% 不良時間を「平均寿命」と定義した。次に、前節発熱シミュレーションの結果から各テストストレス条件における温度上昇 ΔT を求め、次式 (3-5) を用いて、実際の TDDDB 寿命結果 (TF<sub>meas</sub>) と温度上昇 ΔT から、発熱の影響を取り除いた場合の補正寿命 (TF<sub>mod</sub>) を求めた。

$$\ln(\text{TF}_{\text{mod}}) - \ln(\text{TF}_{\text{meas}}) = \Delta H_0 \times \left( \frac{1}{K_B T_1} - \frac{1}{K_B T_2} \right) \quad (3-5)$$

式 (3-5) において、TF<sub>meas</sub> は実際の TDDDB 寿命、TF<sub>mod</sub> は MTJ 素子の自己発熱の影響を取り除いた TDDDB 寿命、T<sub>1</sub>=298[K]、T<sub>2</sub>=298+ΔT[K]、ΔH<sub>0</sub> は活性化エネルギーを示し、今回の計算においては、予め厚膜 MgO-MTJ サンプルでの環境温度依存から求めた 0.8eV という数値を用いた。

図 3-8 に異なる MgO 膜厚の MTJ サンプルを用いた TDDDB テスト結果で、発熱補正がない測定結果そのまま (a) と、式 (3-5) を用いて発熱補正を行った場合 (b) のストレス電圧—平均 TDDDB 寿命プロットの結果を各々示す。図 3-8 (a) と (b) の比較から分かるように、MgO 膜厚が薄い MTJ サンプルほど発熱量が大きいいため、発熱量補正を行った後の TDDDB 寿命の増加量が大きい結果となった[6]。

ここからは、TDDDB 測定結果および発熱補正に基づき、MgO-MTJ の寿命予測モデルとして最適なモデルを求める手法を示す。まず、数種類の膜厚が異なるサンプルで TDDDB 測定を行い、各々の TDDDB テスト条件を基に発熱補正を行う。次に、それらの測定結果を基に (ストレス条件) —平均 TDDDB 寿命の Semilog プロットを作成する。ここで、上記ストレス条件として、①E モデルの場合は横軸をストレス電界に、②1/E モデルの場合は横軸をストレス電界の逆数に、③V モデルの場合は横軸をストレ

ス電圧に、各々指定して作図を行う。その結果、サンプルの膜厚によらずもっともユニバーサルなプロットが描けるモデルを MgO-MTJ の TDDB 寿命予測モデルとする。

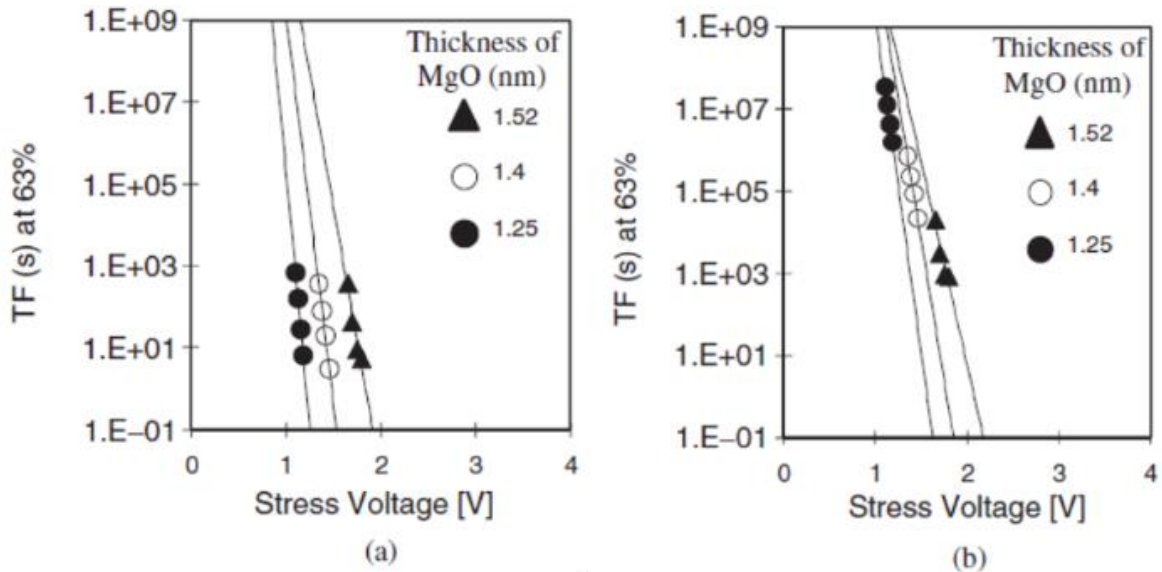


図 3-8 MgO-MTJ の TDDB 寿命と発熱の影響[6]

このようなモデルフィッティングの手法を用い、実際の測定結果フィッティングを行った。横軸を電界にした場合のストレス電界—平均 TDDB 寿命の Semilog プロットを図 3-9 に、横軸を電圧にした場合のストレス電圧—平均 TDDB 寿命の Semilog プロットを図 3-10 に各々示す。それぞれの図において、図 3-8 同様、(a) 発熱量補正がない場合、(b) 発熱補正を行った場合の寿命に基づくプロット結果を各々示す。なお、ここには図示していないが、横軸をストレス電界の逆数(1/E)にしたプロットも作成している。

これらの結果より、MgO-MTJ の TDDB 寿命を求めて更に発熱補正を行った場合、横軸を電界にした場合、MgO バリア膜厚によらずストレス電界—平均 TDDB 寿命の Semilog プロットが最もユニバーサルな線に乗ることが判明した[6]。すなわち、これは発熱による影響が存在しなければ、MgO-MTJ の TDDB 寿命は、その膜厚によらずストレス印加時の実行電界のみで決まる、すなわち TDDB 寿命は E-model に従うことを意味する。

これらの結果について更に考察を行った。E-model において、誘電体は、式（3-6）に示すよう

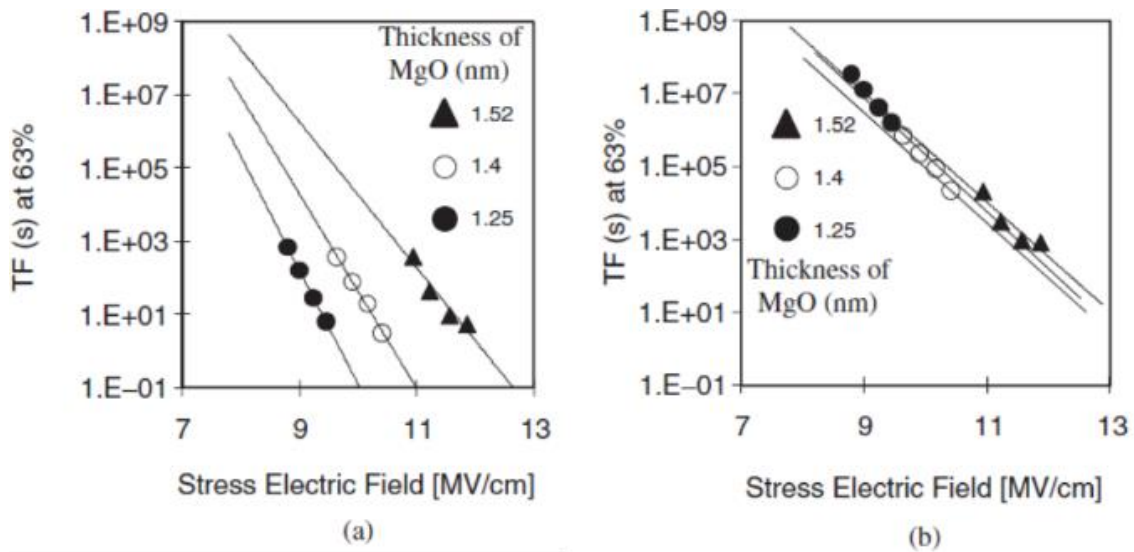


図3-9 TDDB 寿命とストレス電界の Semilog 相関プロット(E-model)

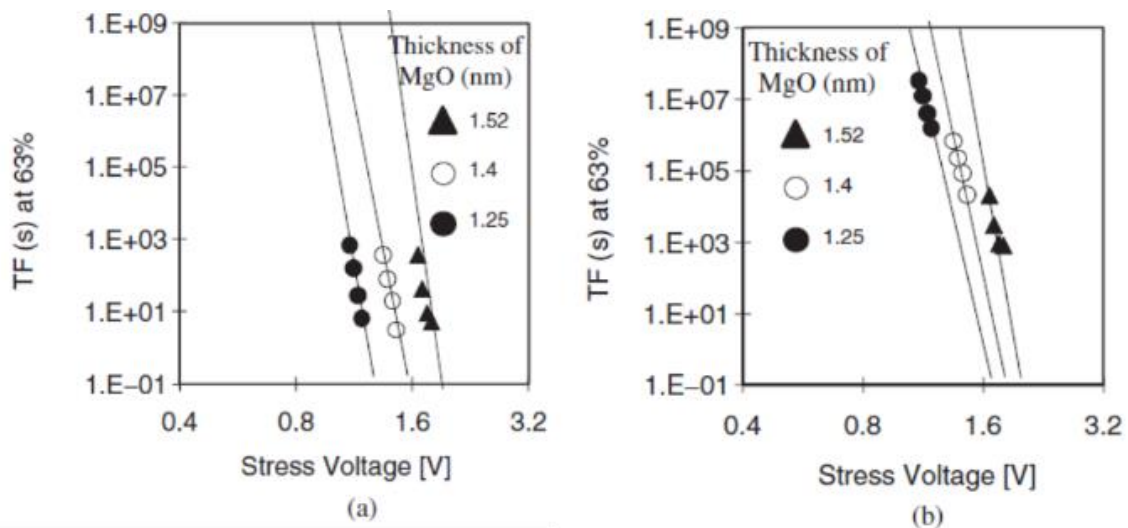


図3-10 TDDB 寿命とストレス電圧の log-log 相関プロット(V-model)

に、膜の誘電率  $k$  に比例して、絶縁膜中の内部電界 ( $E_{loc}$ ) が印加電界 ( $E_{ox}$ ) よりも強まることが知られている[3][11]。ここで、(3-6) 式において  $L$  は Lorentz Factor を、 $P$  は分極による Dipolar 電界を、そして  $\epsilon_0$  は真空における誘電率を各々示す。

$$E_{loc} = E_{ox} + L \cdot \left( \frac{P}{\epsilon_0} \right) = \frac{2+k}{3} \cdot E_{ox} \quad (3-6)$$

内部電界は膜中のイオン結合を捻じれさせて弱めさせ、結合エネルギー  $\Delta H_0^*$  を Boltzmann プロセスによって切れやすい状態にする。結合が切れることによって、膜中に導電パスが形成され、最終的な誘電破壊に至る。結合破壊の活性化エネルギー  $\Delta H^*$  は次式 (3-7) で求められる。



$$\Delta H^* = \Delta H_0^* - p_0 \cdot E_{loc} = \Delta H_0^* - p_0 \left( \frac{2+k}{3} \right) \cdot E_{ox}, \quad (3-7)$$

ここで  $p_0$  は Molecular Dipole-moment 係数である。式 (3-7) に示す活性化エネルギー  $\Delta H^*$  が 0 に近づくと誘電体の絶縁破壊が起こり、TDDB 試験の場合は、 $E_{ox}$  が破壊電界 ( $E_{bd}$ ) に一致した時に絶縁破壊が生じると考えることができる。

イオン結合性結晶であり、比誘電率が 9.8 と比較的高い MgO において、印加電界による内部電界増幅効果によって結合破壊が促進されている可能性は十分想定され、実際に発熱の影響を慎重に取り除いたストレス-平均 TDDB 寿命プロットの結果からも、発熱の影響を取り除いた E-model が MgO-MTJ の TDDB 寿命予測モデルとしてベストモデルであると今回結論付けるに至った。なお、前節で紹介したように、TDDB ストレス下での抵抗ドリフト現象も TDDB 寿命もストレス条件の極性依存が見られるため、MgO-MTJ の劣化現象は、単なる MgO バルク劣化現象のみならず、上下界面構造の非対称性による界面劣化の差異の影響も取り込まれていると考える必要があり、界面まで含めたモデル化には更なる研究が必要である。

MgO-MTJ の TDDB 寿命が発熱補正 E モデルで説明されることは、将来敵に MTJ 素子において電圧スケールアップ、素子の微細化が行われた場合、いずれの場合にも電界緩和、発熱量減少という TDDB 寿命改善につながる Factor となると考えられる。すなわち今回の研究によって、MgO-MTJ の絶縁破壊現象として、MTJ 素子のスケールアップにおいて有利な絶縁破壊モデルであることが判明したとも言える。

### 3.4 抵抗ドリフト現象のモデルフィッティングによる Microscopic な劣化現象へのアプローチ

#### 3.4.1 Microscopic なバリア劣化モデル

前節で、MgO-MTJ の TDDB 劣化における寿命予測モデリングを行ったが、本節では MgO-MTJ の TDDB 劣化における抵抗ドリフト現象のモデリングを通して、TDDB 寿命と抵抗ドリフト現象の相関関係を究明し、より Microscopic な MgO-MTJ の劣化現象のモデル化を試みる。ここで、今回抵抗ドリフト現象実測のために用いた MTJ 素子およびテスト構造および MTJ 素子の基本特性をここでまとめる。MTJ 素子およびテスト構造は前章 2.3 節、2.4 節に述べたものと同じである。また、評価に用いた MTJ 素子のパラメータを表 3-3 に示す。表中、RA(P)は、MTJ 素子が Parallel 状態であるときの RA を意味する。

表 3-3 抵抗ドリフト解析に用いた MTJ 素子の諸特性[1][2]

$t_{\text{MgO}}$		RA(P)	$R_p$	TMR@50mV
[nm]	[ML]	$[\Omega \text{um}^2]$	$[\Omega]$	[%]
1.25	2.97	105	530	168
1.40	3.32	280	1410	181
1.52	3.61	1210	6300	193
1.98	4.70	14400	73300	213

前節で述べたように、①TDDDB ストレスによるバリア破壊直前までの MgO-MTJ の抵抗変化率はせいぜい 5% であること、② $R_p$  よりも  $R_{AP}$  の方がストレス下における抵抗変化率がやや大きいこと、③ストレスバイアス方向によっても抵抗ドリフト傾向がわずかに異なる、こういった知見は既に得られているため、まずはこれらの現象を既知として、本節での議論の出発点としたい。

TDDDB ストレス下における MgO-MTJ の抵抗ドリフト現象の模式図を図 3-1-1 に示す。上述のように、ストレスバイアス印加方向によって抵抗ドリフト現象は微妙に変わるが、おおよその傾向は本図で説明可能である。まず、抵抗ドリフト現象は 2 つの現象に分けられる。一つ目の現象は、TDDDB ストレス印加時間の対数に比例して MgO-MTJ 抵抗が一定割合で減少することであり、 $R_p$  と  $R_{AP}$  を比較すると  $R_{AP}$  の方が抵抗変化率がやや大きく、横軸をストレス時間の対数とした場合の傾きも  $R_{AP}$  の方が大きいという傾向がある。もう一つは、TDDDB 寿命の 1/10~1/100 のストレス時間近辺から抵抗変化現象に変曲点が生じること、すなわちこの付近のストレス時間以降、AP 状態では抵抗減少率が加速されるが、P 状態では抵抗減少傾向がわずかに抑制される傾向があり、あるいは更にはストレス印加方向によっては抵抗が微増する傾向も見られることである。素子状態に関わらない Baseline としての抵抗減少傾向および AP 状態における抵抗減少については、TDDDB ストレスによる Trap 形成によるリークパス増加が関係していると考えられるが、P 状態のみで観測される抵抗微増現象については、むしろ CoFeB(001)|MgO(001)|CoFeB(001)構造で固有である Coherent Tunneling による Metallic

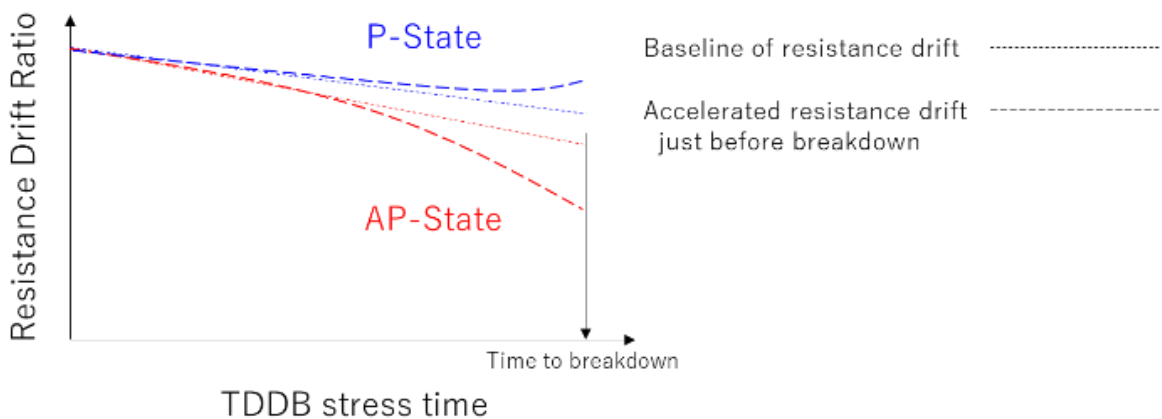


図 3-1-1 MgO-MTJ 抵抗ドリフト現象の傾向を示す模式図

な伝導パスが Trap 形成による格子歪みや格子散乱の影響を受けて捻じ曲げられて、Conductance 劣化を起こすという現象をモニターしている可能性があり、この現象を定量的に実証するためには原子レベルでの結晶格子歪みまで考慮した電子の挙動解析が必要と思われ、本研究で用いているような平均化手法では検証が困難である。そのため、本章では基本的に TDDB ストレスによる MgO-MTJ 抵抗ドリフト現象での P/AP 状態両方で観測される抵抗減少傾向の Baseline のモデル化にまずはフォーカスしたい。

TDDB ストレス下で MgO-MTJ における抵抗ドリフト現象を引き起こすモデルとして想定しうる 2 つのモデルを図 3-12 に示す。一つは(a)Trap Assisted Leakage(TAL)モデル[12]、もう一つは、(b)Filamentary Defect Assisted Leakage(FAL)モデル[9]である。TAL モデルにおいては、TDDB ストレス下で MgO 中にランダム Trap が蓄積されていき、ある時間経過したところで近接しているランダム Trap 同士が最終的に Percolation Path を形成し[13]、バリア破壊に至る、というモデルである。一方、FAL モデルでは、もともと MgO/CoFeB 界面に存在している Filament Like な Defects を起点として、TDDB ストレス中でこの Filamentary Defects が成長し、Filamentary Defects の先端が最初に反対側の電極に到達した段階でバリア破壊が生じる[13]、というモデルである。

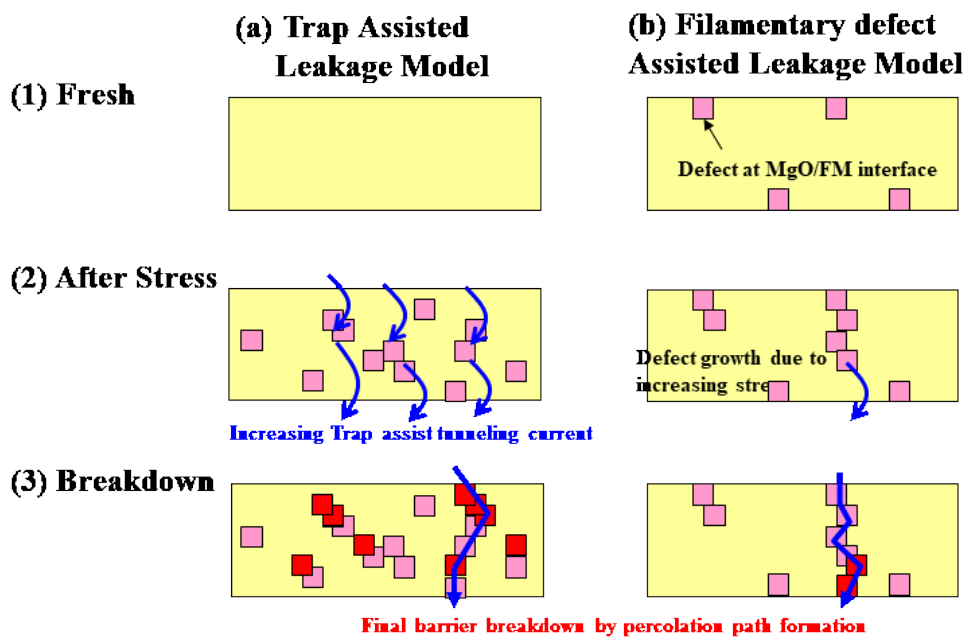


図 3-12 MgO-MTJ における抵抗ドリフト現象の 2 つの物理モデル[9][12][13]

バリア中に発生する Trap 密度と、TDDB 寿命の相関を計算するために、より簡単な構造モデルが必要であるため、MgO の構造モデルを用意した。図 3-13 に計算用の MgO 構造モデルを示す。図中、MgO は Volume  $V$ 、底面積  $A$ 、膜厚  $T$  の円筒形で表され、単位としては格子サイズを示す Monolayer(ML)を用いて、 $V$ 、 $A$ 、 $T$  の単位はそれぞれ  $[(ML)^3]$ 、 $[(ML)^2]$ 、および  $[ML]$  で示す。MgO においては、 $1ML=4.211\text{\AA}$  という単結晶の値を用いた[14]。図 3-13 (b)、図 3-13 (c) は、各々ストレス蓄積によってどのように欠陥が膜中に蓄積されていくかを示す。MgO バリアは簡単のため、

一辺 1ML の正方形セルで示され、欠陥フリーの状態では白く表示されているが、ストレス印加後にトラップが形成されたセルはビンゴのように順次灰色に反転していく。TAL モデルではトラップは MgO 膜中において常にランダムに生成されるが、FAL モデルではトラップは常に片側の MgO/CoFeB 界面からストレス電界が印加される MgO 底面に垂直な方向にのみ成長すると仮定している。そして、最終的には、膜厚方向にトラップが連結して上下電極を接続するパスが最初に一本形成された段階を「Breakdown」と定義する。

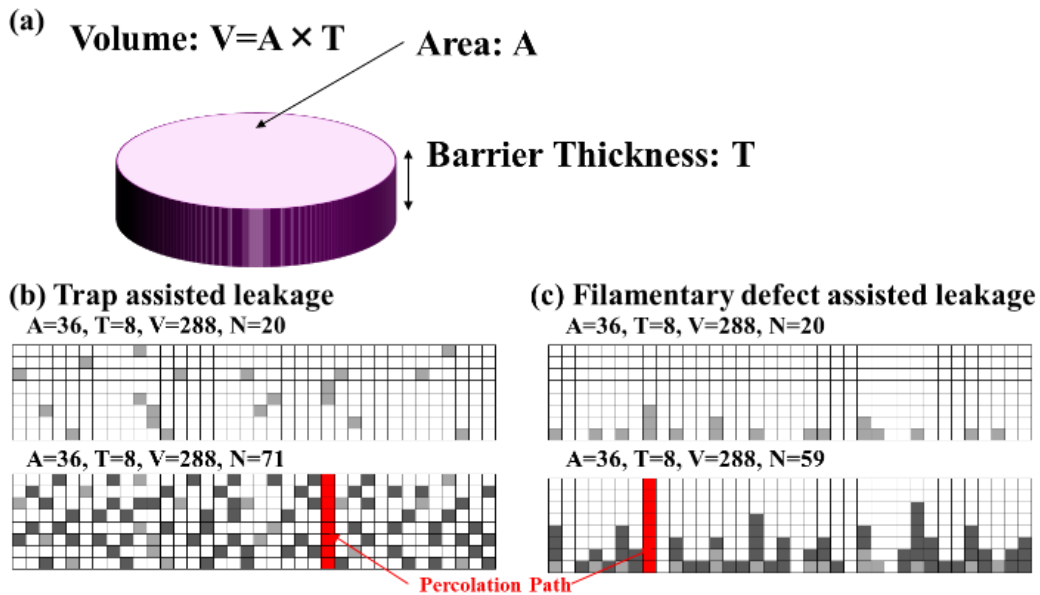


図 3-13 計算用の MgO 構造モデル

### 3.4.2 Trap Assisted Leakage(TAL)モデルに基づく MgO-MTJ 抵抗変化量の見積もり

ここからは、図 3-12、図 3-13 に示す MgO-MTJ トンネルバリアの 2 つのモデルについて、数式化を進めていく。

まず、最初に TAL モデルについての検討を行う。図 3-13 に示す構造モデルを用いて、面積  $A$ 、膜厚  $T$ 、堆積  $V$  の MgO 結晶格子構造において、 $N$  個のランダムな Trap の形成される位置の組み合わせは、2 項分布を用いて  $vC_N$  で表される。この  $N$  個の Trap によって 1 個の Percolation Path が形成されると仮定した場合、残りの  $(N-T)$  個の Trap による位置の組み合わせは同様に、 $vTC_{N-T}$  と表される。Percolation Path は、面積  $A$  の各々のサイトに形成されるため、 $N$  個の Trap 形成によって最初の Percolation Path が形成される確率は、式 (3-8) で表される。

$$P_{\text{perc}}(N) = A \times vTC_{N-T} / vC_N = A \times (V-T)! V! / ((N-T)! N!) \quad (3-8)$$

堆積  $V$  や、Trap 数 (試行回数)  $N$  が十分に大きくなると (例えば 1000 以上)、式 (3-8) を用いて計算することは困難になるので、式 (3-9) に示す Stirling の公式を用いて得られる近似式 (3-10) を実際の計算に用いた。

$$\text{Log}(n!) \cong n \log(n) - n + (1/2) \log(2\pi n) \quad (3-9)$$

$$\text{Log}(P_{\text{perc}}(N)) = \log A + \log(V \cdot T!) - \log(N \cdot T!) + \log V! - \log N! \quad (3-10)$$

図3-14に、TALモデルに基づく Percolation Path 形成によってバリア破壊が起きる確率50%での Trap Filling Ratio とバリア面積 (A)、バリア膜厚 (T) の関係を示す。図3-14から、TALモデルにおいて、バリア膜厚が薄いほど、そしてバリア面積が広いほど、より少ない Trap Filling Ratio でバリア破壊が起きることが判明した。

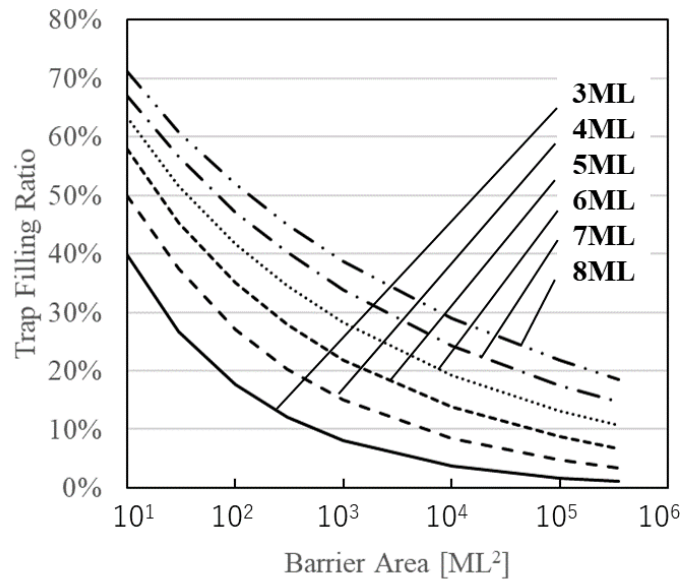


図3-14 Trap Filling Ratio とバリア面積 (A)、バリア膜厚 (T) の関係 (TALモデル)

次に、この TALモデルで MgO-MTJ の抵抗ドリフトおよび Breakdown 現象が説明できるか調べるために、MgOバリアにおける Trap Assisted Tunneling 電流の計算を試みた。過去の文献において、CoFeB/MgO/CoFeB 構造の MgO 中に Trap された電子は Spin の方向性を失い、Trap Assisted Tunneling 現象は通常の WKB 近似のトンネル電流の式を用いても良く Fitting できると示されているため、本研究においても MgO の劣化現象を Fitting するために WKB 近似のトンネル電流の公式を用いた[15][16][17]。

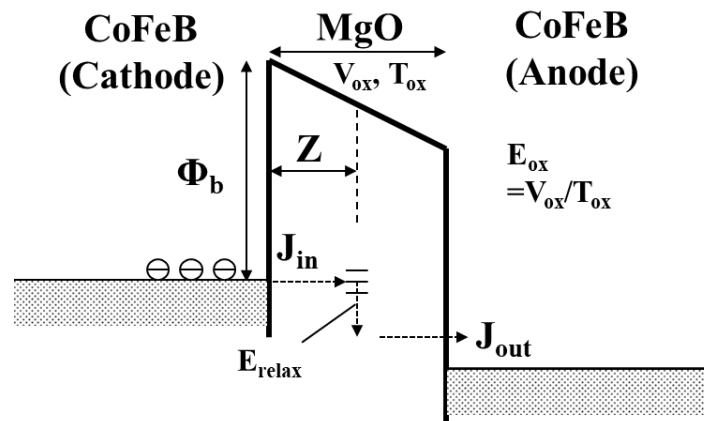


図3-15 CoFeB/MgO/CoFeB 構造の MTJ における Trap Assisted Tunneling の概略図

CoFeB/MgO/CoFeB 構造の MTJ における Trap Assisted Tunneling の概略図を図 3-15 に示す。J<sub>in</sub> と J<sub>out</sub> はカソードから Trap サイトへのトンネル電流密度、Trap サイトからアノード側へのトンネル電流密度を、各々示す。Trap 電流を計算するために、バリア中の Trap 形成位置 Z、電子のトンネリングの開始および終了位置におけるポテンシャル障壁高さ Φ<sub>in</sub> と Φ<sub>out</sub> を用い、更にバリア高さ Φ<sub>b</sub>、バリア内電界 E<sub>ox</sub>、バリア内位置 Z の関係は、トンネル Situation が Direct Tunneling(DT)か Fowler-Nordheim tunneling (FN)であるかによって、異なる関係式を用いた。

DT の場合、J<sub>in</sub> と J<sub>out</sub> は次式で表される。

$$J = \frac{q^2 E_{ox}^2}{16\pi^2 \hbar \phi_{in}} \exp \left\{ \left( -4 \frac{\sqrt{2m^*q}}{3\hbar E_{ox}} \right) \left[ \phi_{in}^{\frac{3}{2}} - \phi_{out}^{\frac{3}{2}} \right] \right\} \quad (3-11)$$

FN の場合、J<sub>in</sub> と J<sub>out</sub> は次式で表される。

$$J = \frac{q^2 E_{ox}^2}{16\pi^2 \hbar \phi_{in}} \exp \left( -4 \frac{\sqrt{2m^*q}}{3\hbar E_{ox}} \phi_{in}^{\frac{3}{2}} \right), \quad E_{ox} = \frac{V_{ox}}{t_{ox}} \quad (3-12)$$

上式において、q, h, E<sub>ox</sub>, V<sub>ox</sub>, t<sub>ox</sub>, そして m\*は、電子電荷、プランク定数、バリア中の電界、バリアへの印加電圧、バリア膜厚、そして MgO 中における電子の有効質量を示す。Trap Assisted Tunnel 電流は、J<sub>in</sub>、J<sub>out</sub> を用い、次式で表される [12]。

$$J = \sigma N_{trap} \frac{J_{in} J_{out}}{J_{in} + J_{out}} \quad (3-13)$$

上式において、σ と N<sub>trap</sub> はトラップ断面積およびトラップ密度を各々示す。

表 3-4 Trap Assisted Tunneling 電流計算パラメータ

Parameter	Value	Reference or explanation
Φ <sub>b</sub> [eV]	0.77	Barrier Height [18] [19]
DMgO [cm <sup>-3</sup> ]	5.32 × 10 <sup>22</sup>	MgO Lattice Density and Lattice Constant [14]
AMgO [nm]	0.4211	
σ [cm <sup>2</sup> ]	10 <sup>-13</sup> ~10 <sup>-15</sup> (Fitted)	Trap Cross Section
N <sub>trap</sub> [cm <sup>-3</sup> ]	Fitted	Trap density
V <sub>g</sub> (read) [V]	0.1	Gate Voltage
E <sub>relax</sub> [eV]	0	Relaxation Energy [18] [19]
T <sub>ox</sub> [ML]	3 to 8	MgO thickness
m*/m <sub>0</sub>	0.35	Effective mass of electron in MgO [18] [19]
RAp (3, 4, 5, 6ML) [Ω μm <sup>2</sup> ]	1.0, 2.1, 4.5, 9.5	Theoretical Value Calculated from Previous Work [20] [21]
RAap (3, 4, 5, 6ML) [Ω μm <sup>2</sup> ]	3.0, 9.0, 27, 81	

これらの計算に用いたパラメータをまとめて表 3-4 に示す。なお、MgO バリア高さ(Φ<sub>b</sub>)、トラップ電子の緩和エネルギー(E<sub>relax</sub>)、MgO バリアトンネル中の電子の有効質量(m\*)は過去文献における

報告を用いた[18][19]。そして、MTJ素子の Parallel(P)状態および Anti-Parallel(AP)状態における RA (抵抗×面積) については寄生抵抗の値を除去するために、理論計算値を用いた[20][21]。

Trap Assisted Tunneling 電流のバリア内 Trap 位置依存の計算結果を図3-16に示す。この計算においては、バリア内各 Z の位置の Volume  $\Delta Z=0.1$  での Trap Assisted Tunneling 電流を計算した。この結果から明らかなように、バリア膜厚に関わらず、バリアのセンター付近に Trap が存在する場合に、もっとも効率よく電流が流れることが判明した。図3-16に示す各 Trap 位置 Z における Trap Assisted Tunneling 電流を積分してバリア中を流れるトータルの Trap Assisted Tunneling 電流を求めた。Trap を 2 個以上介して流れる Trap 電流についてはトンネル確率が大幅に低下するため今回は無視して、Trap 1 個を介したトンネル電流のみを求めた。この、各  $\Delta Z$  の領域のトンネル電流を Z 方向に積算し、トータルの Trap Assisted Tunneling 電流を求めた。

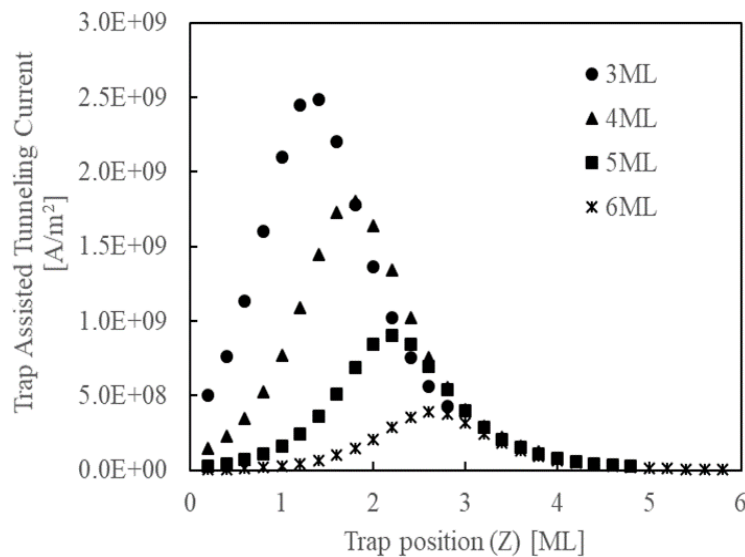


図3-16 Trap Assisted Tunneling 電流の、バリア内 Trap 位置 Z 依存( $\Delta Z=0.1$ )

### 3.4.3 Filamentary Defect Assisted Leakage(FAL)モデルに基づく MgO-MTJ 抵抗変化量の見積もり

次に、FAL モデルの数式化を試みる。FAL モデル計算の簡略化のために、フィラメント性の欠陥は、片側の MgO/CoFeB 界面からのみ成長すると仮定した。N 個の Trap が片側の MgO/CoFeB 界面からのみ成長した場合、フィラメント高さが k[ML]になる確率は、良く知られたポアソン分布の式を用いて、次式のように表される。

$$P(X = k) = \frac{\lambda^k e^{-\lambda}}{k!}, \quad \lambda = \frac{N}{A} \quad (3-14)$$

ここで、N、A、k(自然数)、 $\lambda$ はそれぞれ総 Trap 数、MTJ 面積、バリア膜厚、N を A で割って得られる平均フィラメント高さをそれぞれ示す。上式の左辺は、フィラメントの平均高さが  $\lambda$  であるときに、フィラメント高さが k (自然数) になる確率を示している。

図3-17に、N回の試行、即ちN個のTrapがMgO中に形成された時のフィラメント高さの分布を示す。フィラメントの高さがバリア膜厚と同じ、あるいはそれ以上になった場合に、「Barrier Breakdown」が生じたと仮定することができる。この計算によって、フィラメント先端と、反対側のバリア界面の残膜厚の分布を求めることができ、この結果を用いてフィラメント性欠陥を有するトンネルバリアの総抵抗を求めることができ、N個のTrap形成後のBarrier Breakdownの確率も同様に求めることができる。

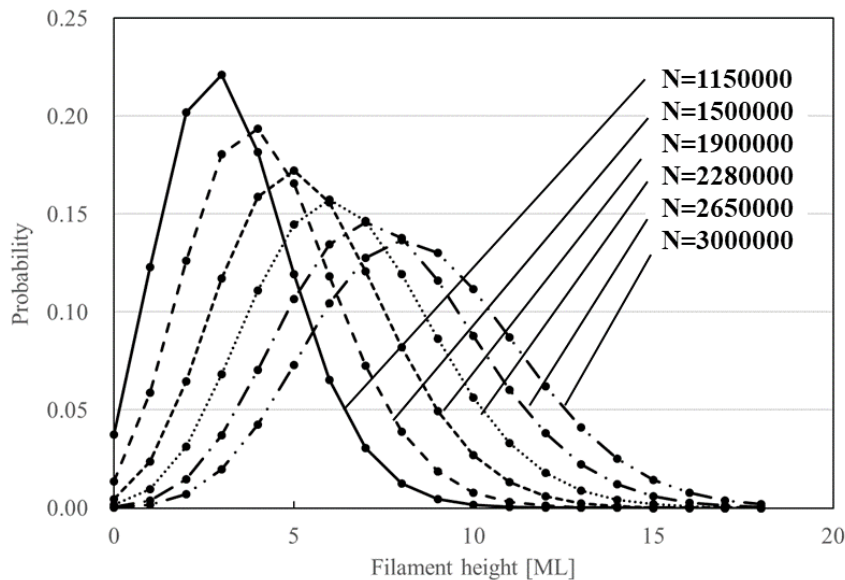


図3-17 N個のTrapがMgO中に形成された時のフィラメント高さの分布

表3-5 TAL/FALモデルに基づくBarrier BreakdownとTrap Filling Ratioの関係

	Trap Assisted Leakage Model (TAL)		Filamentary Defect Assisted Leakage Model (FAL)
	1% Failure	50% Failure	1% Failure
3ML	0.3%	1.1%	14.3%
4ML	1.3%	3.5%	21.4%
5ML	3.1%	6.8%	25.7%
6ML	6.5%	10.6%	30.5%
7ML	8.4%	14.6%	33.5%
8ML	11.4%	18.6%	36.4%

表3-5に、TALモデルベース、FALモデルベース各々の場合、Barrier Breakdown確率1%、50%の場合の異なるTrap Filling RatioのMgO膜厚依存を示す。どちらのモデルにおいても、バリア膜厚が薄いほど少ないTrap Filling RatioでBreakdownが発生していることが分かるが、同じ膜厚におい



でも 2 つのモデルにおいて同じ Breakdown 確率での Trap Filling Ratio は異なり、TAL モデルより FAL モデルにおいて、同じ Breakdown 確率、同じ MgO 膜厚でより多くの Trap 数が必要な結果となっている。

表 3-6 に、ここまで説明してきた、TAL、FAL という 2 つの劣化モデルを用いて実際の抵抗ドリフト現象と Trap Filling Ratio(TDDDB ストレス印加時間と比例、すなわちバリア寿命に比例)の関係をj得るために用いたアルゴリズムについてまとめた。これらのアルゴリズムを用いて、実際の抵抗変化とバリア寿命の関係を計算した結果については次節で説明する。

表 3-6 TAL、FAL モデルを用いた抵抗ドリフト現象 Fitting のためのアルゴリズム

	Trap Assisted Leakage (TAL) Model	Filamentary Defect Assisted Leakage (FAL) Model
Defect Type	- Random dot generated in the whole barrier	- Randomly grown defect from one MgO/CoFeB interface
Estimation of Trap Filling Ratio	- Probability equation using binominal coefficient + Stirling's approximation	- Filament height distribution based on Poisson's equation
Calculation of maximum MTJ resistance drift ratio just before breakdown	- Leakage based on Trap Assisted Tunneling (WKB approximation) - Parallel/ Anti-Parallel Conductance ( $G_P/G_{AP}$ ) estimation with different MgO thickness based on Butler's model [20] [21]	- Summation of Parallel/ Anti-Parallel Conductance ( $G_P/G_{AP}$ ) with different MgO thickness based on Butler's model [20] [21] with its portion in the barrier using the results above.

#### 3.4.4 抵抗ドリフト実測値の理論値フィッティングによるバリア劣化モデル構築

ここでは、2 つの劣化モデルを用いた場合の、バリア破壊直前の抵抗変化率である Maximum Resistance Drift Ratio について、モデルベースの計算と、実測値との比較について議論したい。まず、理論的な本研究で提案しているモデルに基づく理論的な Maximum Resistance Drift Ratio を求めるために、実際のサンプルにおける寄生抵抗の影響を排除するために、表 3-4 に示す理論的な RA(P)、RA(AP)値を用いることによって、理想的な P 状態および AP 状態におけるコンダクタンスおよび抵抗値を求めた[20][21]。

最初に、TAL モデルベースで抵抗ドリフト現象と TDDDB ストレスの関係を求めた。ここでは、Trap 総数  $N$  とバリア全体の Volume  $V$  の比率、Trap Filling Ratio( $N/V$ )と抵抗ドリフト現象との相関をまず求めた。

図3-18に、TALモデルに基づいた場合の、MgO-MTJのP/AP状態における抵抗ドリフト量とTrap Filling Ratioの関係を示す。なお、横軸は、バリアのInitial状態から、バリア破壊確率50%のポイントまでを示し、トラップ断面積として $\sigma=1 \times 10^{-13} \text{cm}^2$ という値を用いた。図中、Trap Filling Ratioがゼロから上昇するにつれて $R_P$ 、 $R_{AP}$ は徐々に減少するが、最大抵抗ドリフト量は、バリア膜厚によらず $R_P$ 、 $R_{AP}$ でそれぞれ2%、5%程度であることが判明した。

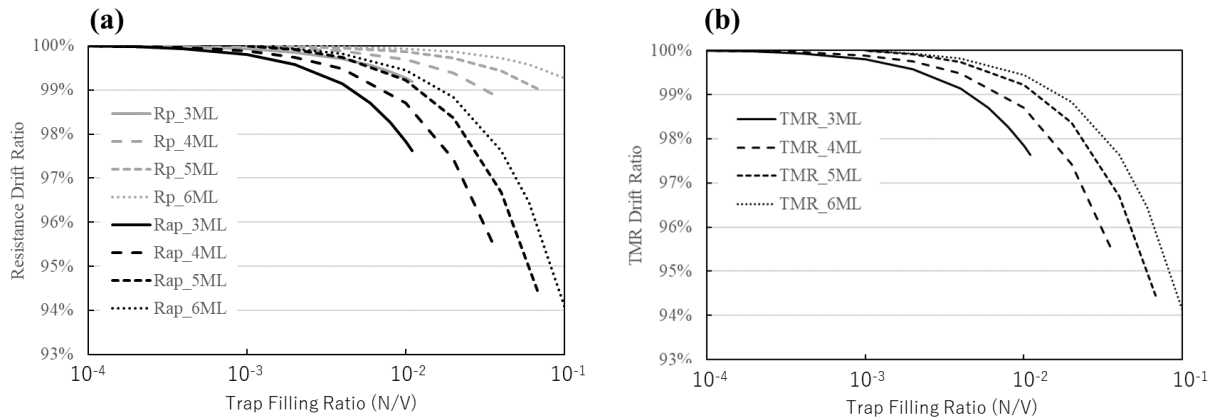


図3-18 TALモデルに基づく抵抗、TMR比ドリフトとTrap Filling Ratioの関係

次に、FALモデルに基づいた場合の、MgO-MTJのP/AP状態における抵抗ドリフト量とTrap Filling Ratioの関係を求めた。図3-19に、FALモデルに基づいた場合の、MgO-MTJのP/AP状態における抵抗ドリフト量とTrap Filling Ratioの関係を示す。横軸は、バリアのInitial状態から、バリア破壊確率1%のポイントまでを示す。FALモデルでもTALモデル同様、Trap Filling Ratio増加に伴う継続的な抵抗減少が見られるが、TALモデルと比較して抵抗変化が早く、素子破壊確率1%の点においても膜厚によらず概ね50%以上の抵抗減少が見られている点が大きく異なることが判明した。

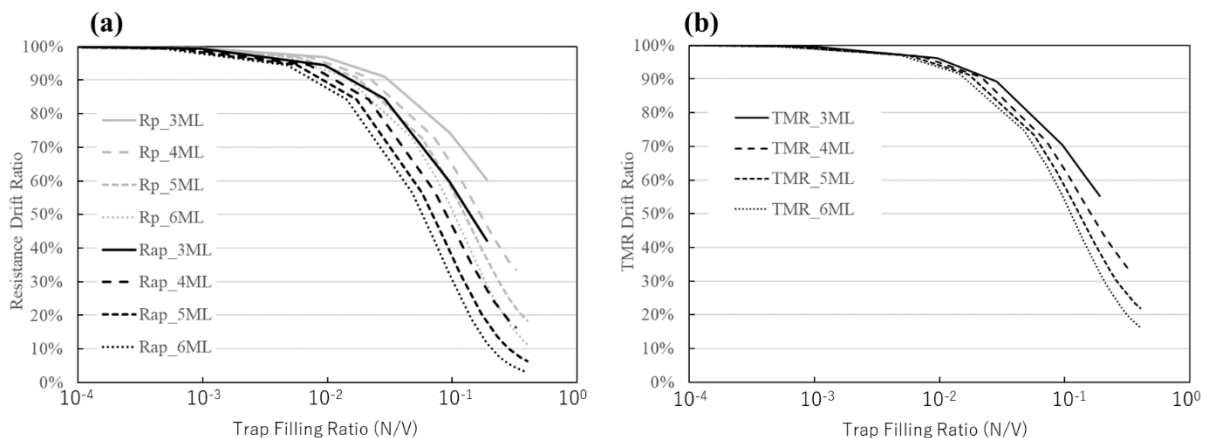


図3-19 FALモデルに基づく抵抗ドリフトとTrap Filling Ratioの関係

ここまでの計算結果と、実測値の比較を試みる。図3-1に示すように、AP状態における $R_{AP}$ のMaximum Resistance Drift Ratioはせいぜい5%程度である。P状態においてはCoherent Tunnelingの悪化に伴う抵抗増加現象が同時に起きていると考えられるため、データの解釈がやや複雑になるが、そういう効果を取り除くと、 $R_P$ のMaximum Resistance Drift Ratioはせいぜい1~2%程度である。

これらの実測結果と比較すると、FAL モデルでは 1% Breakdown point においても抵抗変化率は 50% 前後に到達するため、このモデルで説明するには実測値との乖離が大きすぎる。一方、TAL モデルにおいて、Maximum Resistance Drift Ratio はトラップ断面積  $\sigma$  に比例するが、誘電体として通常の範囲である  $\sigma = 1 \times 10^{-13} \text{cm}^2$  という値を代入することで、 $R_P$  と  $R_{AP}$  の最大抵抗変化率はそれぞれ 2% および 5% 程度となり、実測結果と概ね一致させることができる。これらの結果から、MgO-MTJ における抵抗ドリフト現象と、最終的な Barrier breakdown 現象の関係は、膜中にランダムに形成された Trap による Percolation Path 形成による現象であると説明することが可能である。前々節で紹介した素子抵抗のドリフトおよび Recovery 現象に関しても、膜中の Random Trap 形成と、Stress Interval における電子捕獲による抵抗値緩和として説明することができる。

最後に、MgO-MTJ ワイブル分布の傾き ( $\beta$ ) の本研究での提案モデルに基づく計算値と実測値の関係について次式を用いて論じたい。今回のモデル計算では、Trap 形成に関して以下の仮定を用いている：(1) Trap はランダムに発生する、(2) 膜中の欠陥分布は均一である、(3) MgO 膜質は場所によらず均一である、(4) TDDB ストレス中に Trap が存在しない領域は十分に存在する。これらの仮定の中で (4) の仮定は、少なくとも MgO 膜厚 3ML~6ML の範囲では、表 3-5 に示すように、TAL モデルでは 50% Breakdown point においても Trap Filling Ratio がせいぜい 10% であることから十分成り立つと言える。これらの仮定が成立する場合に、MgO 膜中の Trap 密度は、時間に比例して増加すると仮定することができ、次式の関係が成り立つ。

$$\begin{aligned} \text{Weibit} &= \ln [-\ln (1-F(t))] \\ &= \beta \ln(t) - \beta \ln(\eta) \\ &= \beta \ln(N) - \beta \ln(\eta') \end{aligned} \quad (3-15)$$

ここで、 $N$ 、 $t$ 、 $\eta$ 、 $\eta'$  はそれぞれバリア中の Trap 総数、ストレス時間、横軸を  $t$ 、 $N$  にした場合の各々の切片を示す。この式を用いると、ワイブル分布の傾きは、横軸として Trap 総数  $N$  を用いて表すことができる。

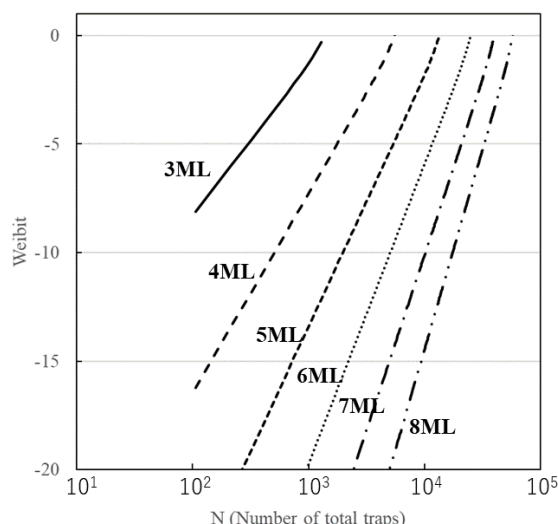


図 3-20 TAL モデルに基づく、異なる MgO 膜厚におけるワイブル分布

図 3-20 に TAL モデルに基づく、異なる MgO 膜厚におけるワイブル分布の計算結果を示すように、MgO 膜厚が薄いほどワイブル分布の傾きは小さくなるのが分かるが、これは過去論文の実測でも同様な結果が示されている[13]。

図3-21に、MgO-MTJのワイブル分布の傾きのTALモデルに基づく計算結果と実測結果の比較を示す[2][17][22]。この結果が示すように、ワイブル分布の傾きの実測値は常にTALモデルに基づく計算値よりも小さくなっていることが判明した。この乖離の原因を説明するためには幾つかのモデルが考えられる。例えばMgO/CoFeB界面のInitialラフネスあるいはフィラメント性Defectの存在によって、ストレス電界がフィラメント先端に印加されることによるPercolation Path形成へのPositive Feedback効果、あるいは結晶粒界の影響、CoFeB界面層とMgOの格子定数の不整合によるストレスの影響、などが考えられる。言葉を変えると、これらの初期欠陥の低減や、格子整合系バリア材料などの適用によって、MgOのTDDB寿命におけるワイブル分布の傾きには改善の余地があり、今回示した理論値に到達する可能性があるとも言える。すなわち、ワイブル分布の傾きを改善することによって、3ML程度の超薄膜でも十分製品向け、長Enduranceな膜として適用可能なポテンシャルを有していることが確認できた[23]。

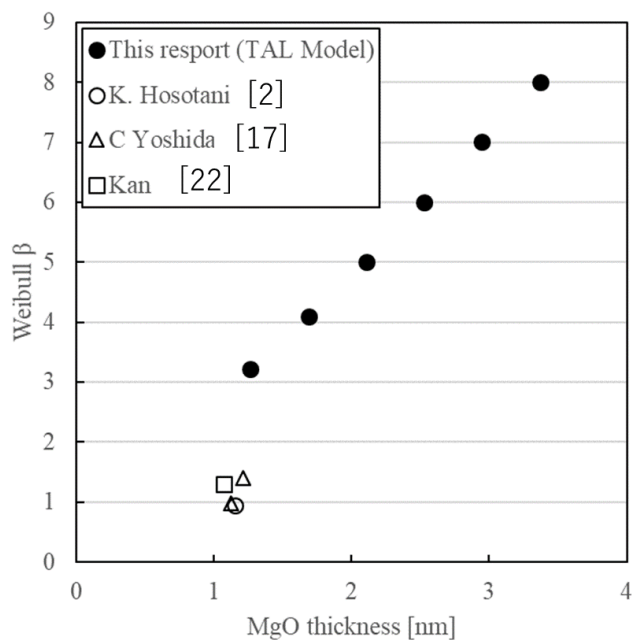


図3-21 MgO-MTJのワイブル分布の傾きのTALモデルに基づく計算結果と実測結果の比較

### 3.5 本章のまとめ

本章では、前章で紹介したスピン注入型MgO-MTJ素子構造を用いた基本特性評価をベースとして、その結果をもとに劣化機構のモデリングを行い、それらの結果をベースとして、MgO-MTJ素子構造を適用したSTT-MRAMのユニバーサルメモリやAI応用のポテンシャルについて議論を行った。具体的には、3.2節では、抵抗ドリフト現象の詳細評価と劣化モデルへのアプローチを、3.3節ではTDDB寿命予測モデリングを、そして3.4節では抵抗ドリフト現象のモデルフィッティングによるMicroscopicな劣化現象へのアプローチを行った結果についての説明を行った。

## 参考文献

- [1] K. Hosotani, M. Nagamine, H. Aikawa, N. Shimomura, M. Nakayama, T. Kai, S. Ikegawa, Y. Asao, H. Yoda, and A. Nitayama, "Resistance Drift of MgO Magnetic Tunnel Junctions by Trapping and Degradation of Coherent Tunneling," Proc. Int. Reliability Physics Symp., 2008, p. 703.
- [2] K. Hosotani, Y. Asao, M. Nagamine, T. Ueda, H. Aikawa, N. Shimomura, S. Ikegawa, T. Kajiyama, S. Takahashi, A. Nitayama, and H. Yoda, "Effect of Interface Buffer Layer on the Reliability of Ultra-thin MgO Magnetic Tunnel Junctions for Spin Transfer Switching MRAM," Proc. Int. Reliability Physics Symp., 2007, p. 650.
- [3] J. W. McPherson and H. C. Mogul, "Underlying physics of the thermochemical E model in describing low-field time-dependent dielectric breakdown in SiO<sub>2</sub> thin films," J. Appl. Phys. 84 (1998) 1513.
- [4] I.-C. Chen, S. E. Holland, and C. Hu, "Oxide breakdown dependence on thickness and hole current-enhanced reliability of ultra-thin oxides," IEEE Trans. Electron Devices 32 (1985) 413.
- [5] E. Y. Wu, A. Vayshenker, E. Nowak, J. Sun, R.-P. Vollertsen, W. Lai, and D. Harmon, "Experimental evidence of  $T_{BD} \sim V^{-n}$  power-law for voltage dependence of oxide breakdown in ultrathin gate oxides," IEEE Trans. Electron Devices 49 (2002) 2244.
- [6] K. Hosotani, M. Nagamine, T. Ueda, H. Aikawa, S. Ikegawa, Y. Asao, H. Yoda, and A. Nitayama, "Effect of Self-Heating on Time-Dependent Dielectric Breakdown in Ultrathin MgO Magnetic Tunnel Junctions for Spin Torque Transfer Switching Magnetic Random Access Memory," Japanese Journal of Applied Physics, 49 (2010)
- [7] M. Takayanagi, S. Takagi, and Y. Toyoshima, "Experimental study of gate voltage scaling for TDDB under direct tunneling regime," Proc. Int. Reliability Physics Symp., 2001, pp. 380-385.
- [8] K. Ohgata, M. Ogasawara, K. Shiga, S. Tsujikawa, E. Murakami, H. Kato, H. Umeda, and K. Kubota, "Universality of power-law voltage dependence for TDDB lifetime in thin gate oxide PMOSFETs," Proc. Int. Reliability Physics Symp., 2005, p. 372.
- [9] R. C. Sousa, I. L. Prejbeanu, D. Stanescu, B. Rodmacq, O. Redon, and B. Dieny, "Tunneling hot spots and heating in magnetic tunnel junctions," J. Appl. Phys. 95 (2004) 6783.
- [10] D. R. Lide: CRC Handbook of Chemistry and Physics (CRC Press, Boca Raton, FL, 2008) 89th

ed.

- [11] J. W. McPherson, J. Kim, A. Shanware, H. C. Mogul, and J. Rodriguez, "Proposed Universal Relationship Between Dielectric Breakdown and Dielectric Constant," IEDM Tech. Dig., 2002, p. 633.
- [12] S. Takagi, N. Yasuda, and A. Toriumi, "A new I-V model for stress induced leakage current including inelastic tunneling," IEEE Trans. Electron Devices, vol.46, no.2, pp.348–354, Feb. 1999.
- [13] J. H. Stathis, "Percolation models for gate oxide breakdown," Journal of Applied Physics, vol.86, pp.5757-5766, Nov. 1999.
- [14] Wyckoff, R.W.G., "Crystal structure of high temperature cristobalite," American Journal of Science, vol Series 5, vol.9, no.54, pp.448-459, Jun. 1925.
- [15] R. O'Connor, G. Hughes, P. Casey, and S. B. Newcomb, "Degradation and breakdown characteristics of thin MgO dielectric layers," Journal of Appl. Phys. vol.107, pp.024501-1-024501-4, Jan. 2010.
- [16] E. Miranda, E. O'Connor, G. Hughes, P. Casey, K. Cherkaoui, S. Monaghan, R. Long, D. O'Connor, and P. K. Hurley, "Degradation dynamics and breakdown of MgO gate oxides," Microelectronic Eng. vol.86, pp.1715-1717, Mar. 2009.
- [17] C. Yoshida, M. Kurasawa, Y. M. Lee, K. Tsunoda, M. Aoki, and Y. Sugiyama, "A Study of Dielectric Breakdown Mechanism in CoFeB/MgO/CoFeB Magnetic Tunnel Junction," Proc. Int. Reliability Physics Symp., pp.139-142, Apr. 2009.
- [18] D. Datta, B. Behin-Aein, S. Salahuddin, and S. Datta, 'Voltage Asymmetry of Spin-Transfer Torques', IEEE Trans. On Nanotechnology, vol.11, NO. 2, Mar. 2012.
- [19] A. K. Reza, M. K. Hassan and K. Roy, "Büttiker Probe-Based Modeling of TDDB: Application to Dielectric Breakdown in MTJs and MOS Devices," IEEE Transactions on Electron Devices, vol. 64, i8, pp.3337-3345, Aug. 2017.
- [20] W. H. Butler, X.-G. Zhang, T. C. Schulthess, and J. M. MacLaren, "Spin-dependent tunneling conductance of Fe|MgO|Fe sandwiches," Phys. Rev. B, vol.63, pp.054416-01-054416-12, Jan. 2001.

- [21] X.-G. Zhang, W. H. Butler, “Large magnetoresistance in bcc Co/MgO/Co and FeCo/MgO/FeCo tunnel junctions,” *Phys. Rev. B*, vol.70, pp.172407-1-172407-4, Nov. 2004
- [22] J. J. Kan, C. Park, C. Ching, J. Ahn, Y. Xie, M. Pakala, and S. H. Kanget al., “A Study on Practically Unlimited Endurance of STT-MRAM,” *IEEE Trans. on Electron Devices*, vol.64, no.9, pp.3639-3646, Sep. 2017.
- [23] K. Hosotani, M. Nagamine, and R. Hasunuma, “Time Dependent Percolation Analysis of the Degradation of Coherent Tunneling in Ultra-thin CoFeB/MgO/CoFeB Magnetic Tunneling Junctions”, *IEICE Trans. on Electronics* (advanced publication), DOI: 10.1587/transele.2019ECP5014

# 第 4 章 : ReRAM セルの動作原理と劣化機構へのアプローチ

## 4.1 はじめに

本章では、ReRAM の動作原理と今回研究した構造選択の背景と研究モチベーション、そして得られた結果と考察について述べる。

第 4 章第 2 節では ReRAM の動作原理と今回研究した構造選択の背景と Dielectric Breakdown モデルに基づく ReRAM の動作・劣化機構のモデリングという研究モチベーションとについて、第 4 章第 3 節ではデバイスの製造方法について、第 4 章第 4 節ではデバイス評価結果とその結果をベースとしたモデリングの結果について述べる。

## 4.2 ReRAM

### 4.2.1 ReRAM の動作原理とデバイス開発の歴史

ReRAM とは Resistance Random Access Memory の略であり、一般的に MIM (Metal-Insulator-Metal) 構造にストレス電圧または電流を印加することで抵抗変化が生じ、その現象をメモリとして活用しようとするデバイスであり、現象そのものは古くから知られ研究もされてきているが、2000 年以降、抵抗変化型メモリを使った Universal Memory 研究が加速される中で、STT-MRAM と同じくその候補の一つとして研究が加速されてきたという経緯が存在する。構造が比較的シンプルであるので、大学でも様々な材料系で広く研究されてきている [1][2][3][4][5][6][7]。

図 4-1 に、ReRAM の動作原理の概略図を示す[8][9][10][11]。ストレスが印加されていないフレッシュな状態の膜では、素子は高抵抗状態を示す(Initial State)。ここから素子に電圧を印加していくと、ある電圧で電極間を接続する Conductive Filament が形成され、低抵抗状態への遷移が生じる (Forming)。低抵抗状態の素子に再び電圧を印加していくと、比較的大きな電流が流れるが、ある電圧で上記の Conductive Filament が切断され、再び高抵抗状態への遷移が生じる (Reset)。この後、再び電圧を印加していくと、ある電圧で再び Conductive Filament が形成され、再び低抵抗状態へと遷移する (Set)。このように、電極/誘電体/電極の MIM 構造に電圧印加を繰り返すことで、高抵抗⇒低抵抗⇒高抵抗と順に遷移することで、メモリとして機能する。

ReRAM は、抵抗変化のメカニズムによっておおよそ幾つかのグループに分類することが可能である。グルーピングの一例を表 4-1 に、また、抵抗変化のメカニズムと関連して、動作の特徴でもある Uni-polar/Bi-polar スイッチングのイメージを図 4-2 に示す。

第 1 のグループは酸化還元型(Redox Type)、すなわち酸化メタルを Insulator として用い、ストレス印加によって酸素欠損による導電性フィラメントが形成されて ON 状態となり、フィラメント形成後に更にストレス印加することによりこのフィラメントが切断されて OFF 状態となることにより、メモリ動作を行うことができる。この構造の一つの特徴は、同じ方向に印加する電圧の大小によって



ON/OFF 状態を書き分ける Uni-polar 動作が可能なことである。

第 2 のグループは固体電解質型(Solid-Electrolyte Type)、すなわち固体電解質と呼ばれる材料中に Ag<sup>+</sup>や Cu<sup>+</sup>といった可動陽イオンが存在し、外部ストレス印加によってこれらの陽イオンが電氣的に接続されて電極間をつなぐフィラメントが形成され(=ON 状態)たり、切断され(=OFF 状態)ることで、メモリ動作を行う。フィラメント形成と切断において逆方向のバイアス印加が必要となる、いわゆる Bi-polar 型動作が一般的である。

第 3 のグループはショットキー型(Schottky Type)であり、材料間に形成されたショットキー障壁を形成する界面におけるバリアハイトが、その界面での Trap/Detrap 現象によって変調され、デバイス抵抗変化が生じることでメモリ応用するタイプであり、代表的な材料の一つが PCMO である。固体電解質型と同じく、メモリ動作においては Bi-polar 型の動作が必要となる。

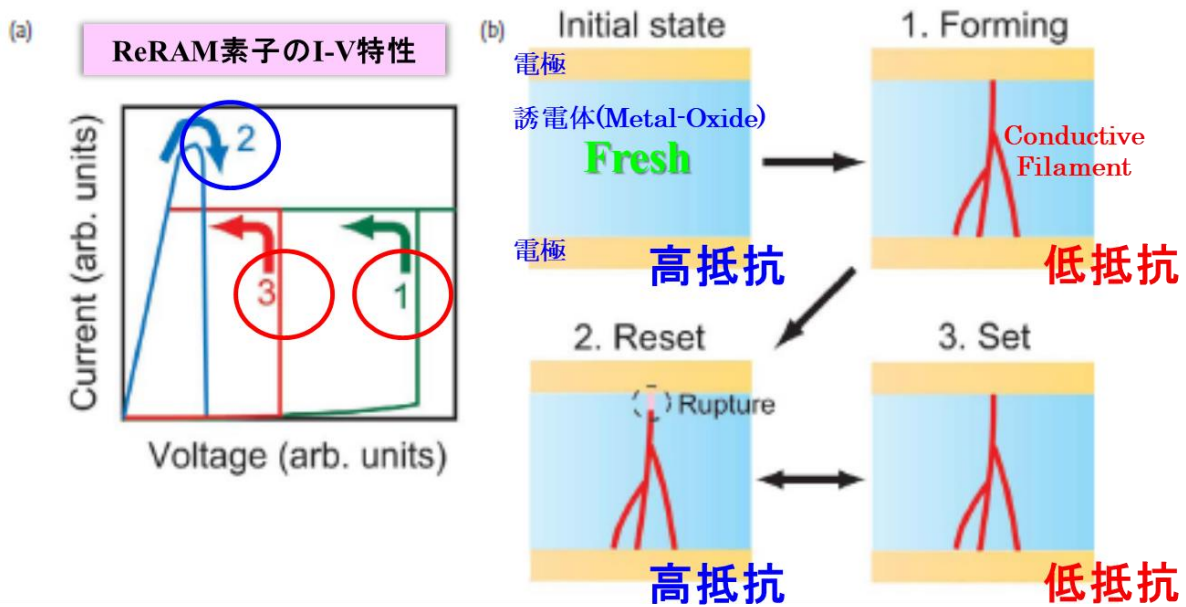


図 4 - 1 ReRAM の動作原理 [8]

表 4 - 1 ReRAM の抵抗変化メカニズムに基づく分類

Categorization	Model of switching	Material of insulator
(1) Redox type (Uni-polar)	Filament by mobile oxygen	CuO, NiO, TiO <sub>2</sub>
(2) Solid-electrolyte type (Bi-polar)	Filament by Metal ion transport (Ag <sup>+</sup> , Cu <sup>2+</sup> etc)	Ag <sub>2</sub> S, CuS, GeSe, Vac, TaO, (Zn, Cd)S, WO <sub>3</sub> , SiO <sub>2</sub> , TaO, NbO, VO, TiO <sub>2</sub>
(3) Schottky-type (Bi-polar)	Change of Schottky barrier height by charge trap/detrap	PCMO, STO:Nb(Cry) Al/ZnCdMnSe

表 1 に示したように、ReRAM と一括りに言っても、これまで様々な動作原理・材料系が報告されている。特に重要なのは、デバイス特性上のカテゴリーとして分類される、スイッチ電圧の極性である

(1)Uni-polar 型、(2)Bi-polar 型という分類と、抵抗変化を生じさせる導通部の構造としての(1)フィラメント型、(2)界面型という分類である。Uni-polar 動作の場合、スイッチング回路がシンプルになるという利点がある。一方、Bi-polar 型 ReRAM の場合、動作のために双方向バイアス印加が必要であり、また選択トランジスタを有しないクロスバー型アレイを形成する場合、ダイオードの積層が必要になるなど、構造が複雑になる点が将来の Universal Memory 実現においては不利になると考えられる。

本研究では、ReRAM の基本動作および劣化機構について、試作データをベースとしてモデル化を行い、抵抗変化型メモリとしてのポテンシャルを見極めることを目的としており、その観点から、これらの候補の中から Uni-polar 型+フィラメント型の ReRAM を研究対象として選択した。この構造を選択した理由として、まず期待値としては、数ある ReRAM の構造の中で、Uni-polar 動作が可能のためスイッチング回路がシンプルになり、3 次元大規模アレイ化も想定した将来的なスケールアップに際しても有利と思われる一方、メモリ動作において、導電性フィラメントの形成と切断の過程において比較的大きな電流が必要であること、またその際にジュール熱が発生することによる膜の劣化、酸素 Vacancy の熱による Migration で書き込み閾値電圧の変動が生じ得るため、素子のデバイスとしての特性変動や、Endurance 特性の劣化が懸念される。

。

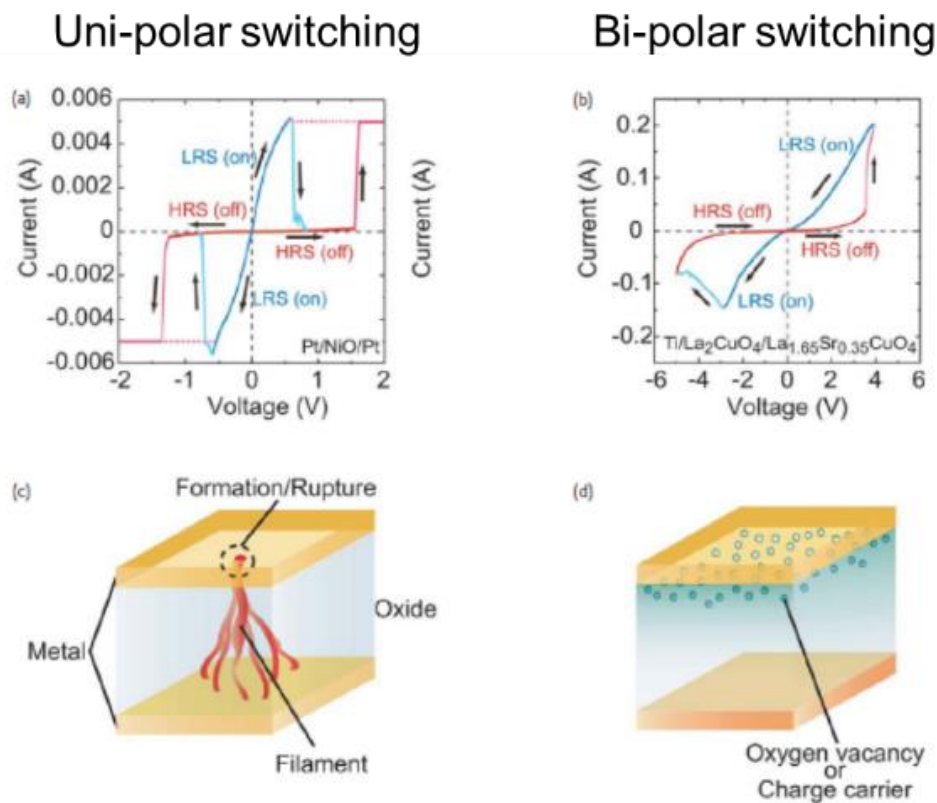


図 4-2 ReRAM の Uni-polar/Bi-polar Switching のイメージ図[8]

#### 4.2.2 Dielectric Breakdown モデルによる ReRAM 動作解析のモチベーション

酸化還元型 ReRAM を用いた Universal Memory 実現に向けて、発熱の影響を抑制し、安定したスイッチング動作の実現と、スイッチング電圧・電流の低減が鍵となる。そのために、まず上述の Forming/Set/Reset 動作のモデル化が重要となる。そのモデリングの手掛かりとして、第 2 章、第 3 章で STT-MRAM の信頼性モデル化に活用してきた誘電体破壊モデル(Dielectric Breakdown Model)に再び注目した。酸化還元型 ReRAM において、Insulator である Metal Oxide 材料は誘電体であり、その膜に Conductive Filament が形成されるということは、ある種の「絶縁破壊」現象が起きていると考えられ、少なくとも絶縁膜中に最初にフィラメントが形成される Forming 動作においては、その膜の誘電破壊現象が現れていると考え、まず酸化還元型 ReRAM の公知文献の結果から、Forming 電圧と Insulator を形成する誘電体膜の誘電率の関係を調査した。その結果を図 4-3 に示す。幾つかの公知文献において、絶縁膜厚と Forming 電圧の間に比例関係があることが判明したため[12][13][14]、その結果から Forming 電界を求め、Forming 電界と膜の誘電率の相関プロットを作成した、その結果を図 4-3 に示す。その結果、Forming 電界と、絶縁膜の誘電率の間に Universal な関係がありそうであることが見えてきた。すなわち、一般的な酸化還元型 ReRAM の Forming 動作は E-model で予測できる外部電界によって誘電膜中に Soft-breakdown が発生していると考えられることが判明したため[15]、ReRAM の Forming 以外の動作も Dielectric Breakdown モデルを使って記述できないかどうかの調査を行うために、実際にサンプル試作を行うことになった。

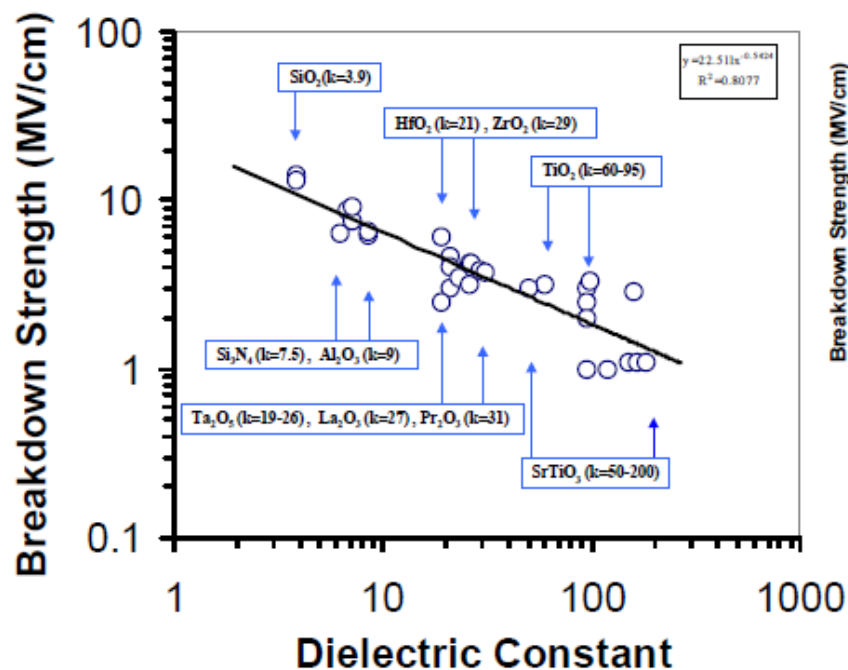


図 4-3 酸化還元型 ReRAM の絶縁膜の誘電率と Forming 電界の相関プロット[12][13][14][15]

### 4.3 サンプル試作

前節で述べた酸化還元型 ReRAM の各種動作を Dielectric Breakdown モデルを使って解析するために、Stanford 大学 Electrical Engineering、Stanford Nanofabrication Facility クリーンルームで実際

のサンプル試作を行うことになった。本研究着手時点で上述のように既に多くの材料系を用いた酸化還元型 ReRAM 動作の報告がなされていたが、その中でも特に研究の事例が豊富で、研究としては Mature な領域にある酸化チタン系・酸化ニッケル系を Insulator に用いた ReRAM を今回の研究対象とすることになった。

酸化チタン系の場合、上下電極を Pt とした Pt/TiO<sub>2</sub>/Pt 構造の成膜を RF 反応性スパッタシステムを用いて行った。以下にフローの概略を示す。

- Ti/Al Bottom Contact Layer をスパッタ法で形成
  - Pt Bottom Electrode をスパッタ法で形成
  - 反応性スパッタによる TiO<sub>2</sub> 形成:すなわち Ti ターゲットを用いて RF プラズマシステムで Ar+O<sub>2</sub> ガスを流しながら TiO<sub>2</sub> 形成する。TiO<sub>2</sub> 膜厚は 20-60nm
  - Pt Top Electrode を Pt ターゲット+Ar プラズマで TiO<sub>2</sub> と連続形成
  - リフトオフによって上部 Pt 電極と TiO<sub>2</sub> を加工
- 膜厚測定は、分光エリプソ測定器を用いて行った。

## 4.4 Dielectric Breakdown モデルに基づく ReRAM 動作と劣化機構のモデル化

### 4.4.1 I-V 特性 : Switching 特性と Cycling 評価

作成したサンプルの特性評価は、Agilent 社製 DC parametric test system 4145A を用いて室温で行った。作製したサンプルの ReRAM 動作の IV 評価例を図 4-4 に示す。ストレス未印加の Initial 状態の素子の上部 Pt 電極に電圧を印加し、0V から Sweep していくと、徐々に電流が流れ、例えば 3V を超えた時点で突然電流値が増加し、いわゆる Forming 動作が生じる。この時、素子に電流が流れすぎると熱の影響などで例えば電極-素子間の Electro Migrationなどを引き起こして素子が完全に破壊されてしまうリスクがあるため、I<sub>comp</sub>=5mA というコンプライアンス電流値を測定機に設定している(1<sup>st</sup> Cycle)。素子が低抵抗状態になった後に、印加電圧を一旦 0V から再び Sweep し直すと、素子を流れる電流値が急激に増加し、ある電流値を超えた段階で急激な電流の減少が起きる、いわゆる Reset 動作が発生する。図 4-4 の測定例では素子を流れる電流値が 20mA を超えたところで電流現象が始まっており、その時の印加電圧はおよそ 0.8V であった。Reset 動作を確認したら電圧 Sweep を止めて、素子の印加電圧を再び 0V に戻す(2<sup>nd</sup> Cycle)。その後、再び印加電圧を 0V から Sweep し直すと、ある電圧を超えたところで再び流れる電流値の不連続な増加が発生、いわゆる Set 動作が発生する(3<sup>rd</sup> Cycle)。図 4-4 中にも示すように、各テストサイクルで観測された素子の抵抗状態が不連続に変化する印加電圧を、それぞれ Forming Voltage(V<sub>form</sub>)、Reset Voltage(V<sub>reset</sub>)、Set Voltage(V<sub>set</sub>)と命名し、その後の素子の劣化評価における一つの指標とした。

このような ReRAM 動作特性は、過去の文献での Uni-polar 型 ReRAM の動作とも概ね一致するものであった[12][13][14]。

ReRAM素子のI-V特性（実測）

素子抵抗変化点で、各スイッチ電圧、電流を定義

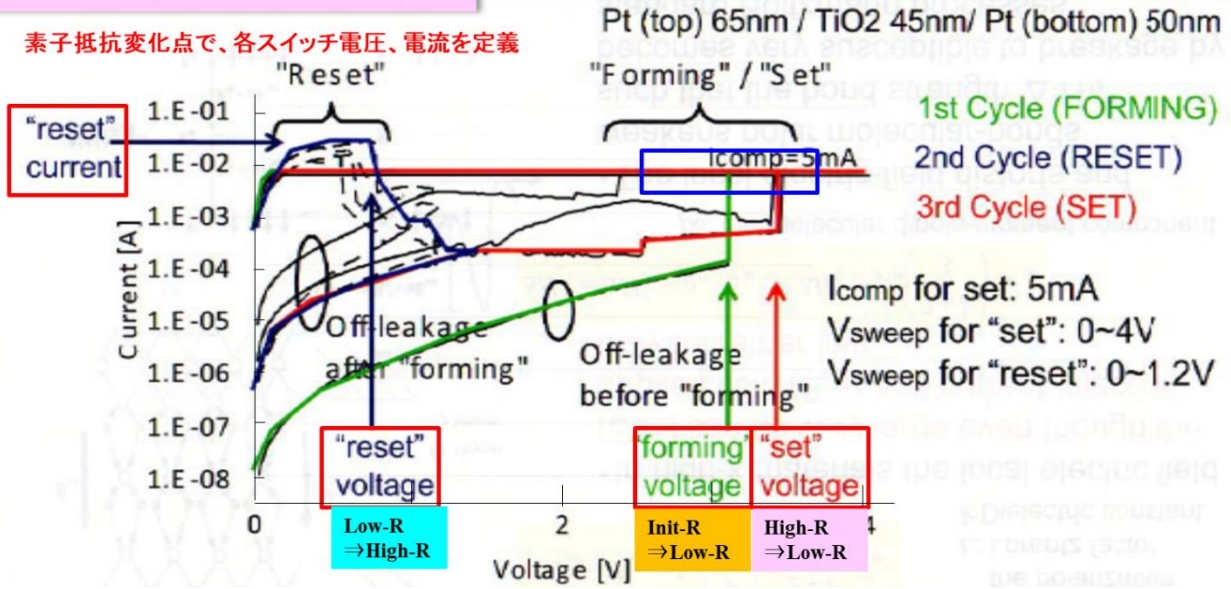
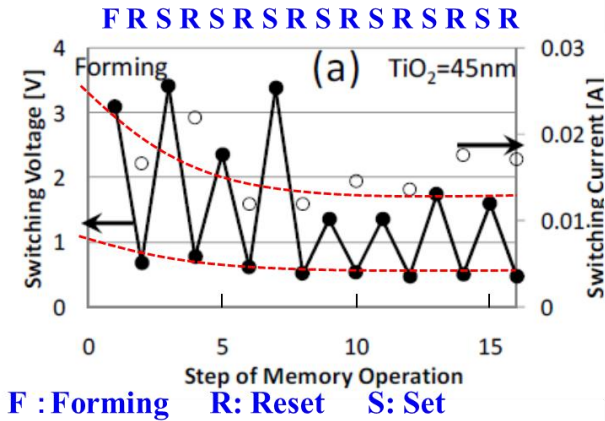


図4-4 ReRAM サンプルの I-V 測定例

次に、ReRAM サンプルにおいて書き込み動作を連続して行う、いわゆる Cycling 試験を行った。Pt/TiO<sub>2</sub>/Pt 構造で、TiO<sub>2</sub>=45nm、60nm という 2 種類の膜厚のサンプルを用いて、Forming に続いて Reset/Set 動作を各 8 回、合計 16 回繰り返し行い、最初に Forming 現象が発生した電圧である V<sub>form</sub> と、その後の Cycling 動作において Reset 現象、Set 現象が起きた電圧 V<sub>reset</sub>/V<sub>set</sub> の値と、I-V カーブの変化について注目した。

Switching Volt. And Current

Forming後、Reset-Set動作を繰り返すことでCycle試験を実施



I-V curves

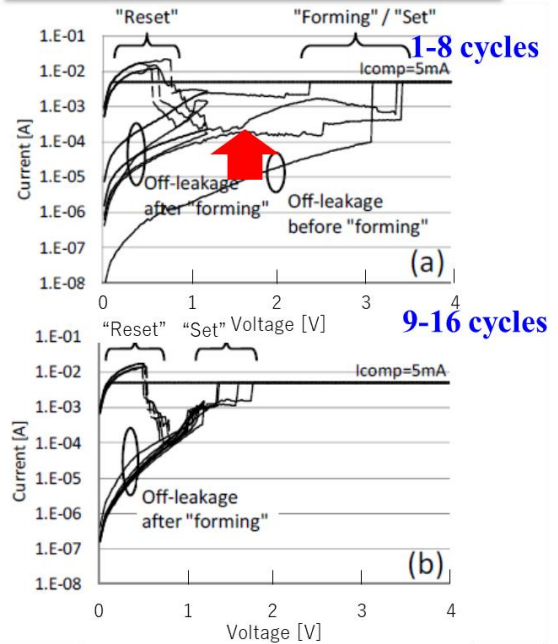


図4-5 TiO<sub>2</sub>=45nm における Cycling テストの結果

まず、TiO<sub>2</sub>=45nm における Cycling テストの結果を図4-5に示す。左側のグラフに V<sub>form</sub>/V<sub>reset</sub>/V<sub>set</sub> の Cycling に伴う変化をプロットしており、右側のグラフには各サイクルにおける I-V カーブの変化が示されている。左側グラフで黒丸は左側のスケールに対応し、Forming/Reset/Set 時の電圧を、白丸は右側のスケールに対応し Reset 時のみであるが Reset 電流を示す。見やすくするために図中の各 Cycle に対応する位置に、図中に Forming="F"、Reset="R"、Set="S"を記号で示した。まず、Forming および Set 電圧は Reset 電圧と比較して Cycle によらず高くなっている。更に詳しく見ていくと、Set 電圧は当初 Forming 電圧とほぼ変わらないが、Cycle 回数を増やしていくと Forming 電圧の半分程度の電圧に収束していく傾向があることが分かる。一方 Reset 電圧の方は Cycle によらず比較的lowめで安定しているが、Reset 電流の方は Cycle によって比較的変動量が大きく、明確な増減の傾向を示さなかった。次に I-V カーブの傾向について説明する。左図でのスイッチ電圧変化に加えて、新たに確認された現象としてオフリークレベルに変動があることが判明した。すなわち、Forming Step 前の Initial 動作におけるオフリークレベルと比較して、一旦形成された Filament が Reset によって切断された状態でのオフリークレベルが、Initial 状態と比較して 1~2 桁悪化するレベルに Cycling 動作を繰り返すにつれて徐々に収束していくことが見えてきた。

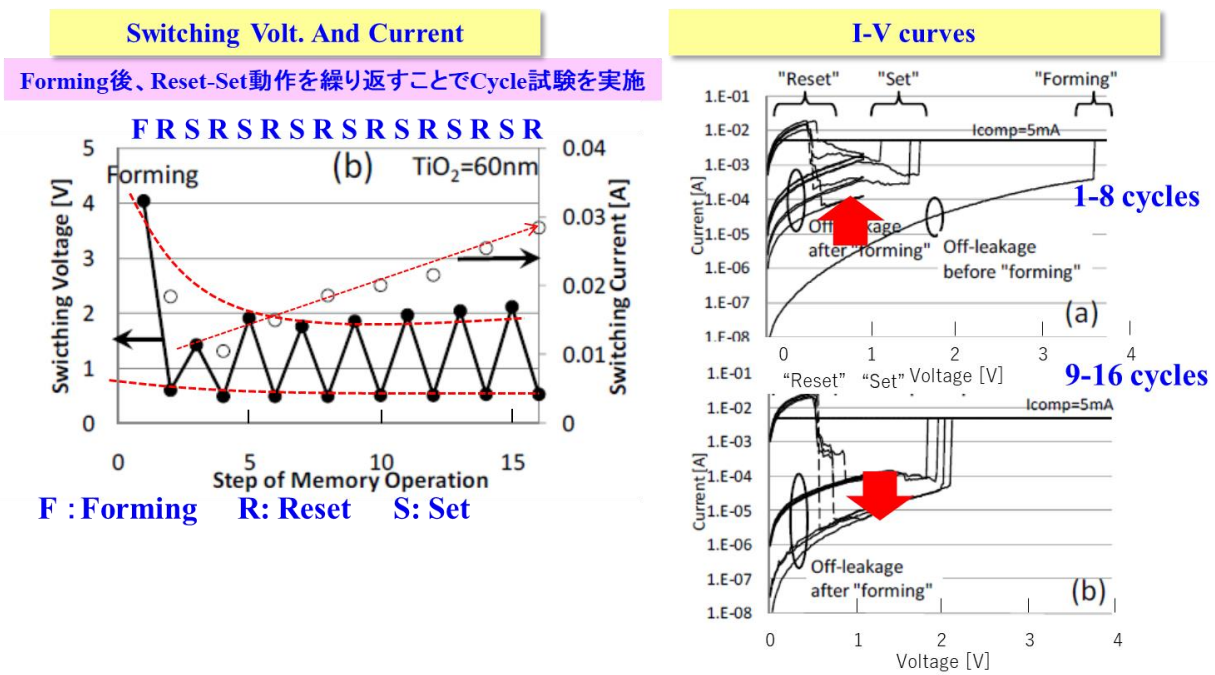


図4-6 TiO<sub>2</sub>=60nm における Cycling テストの結果

次に、図4-6に、もう少し厚膜である TiO<sub>2</sub>=60nm における Cycling テストの結果を示す。概略の傾向は TiO<sub>2</sub>=45nm のサンプルと同傾向であるが、一部違いが見えている個所について説明する。まず、スイッチ電圧・電流の変化について、TiO<sub>2</sub>=60nm のサンプルでは、Forming 電圧と比較して TiO<sub>2</sub>=45nm 同様に Cycle が進むにつれて V<sub>form</sub> より十分低い値に V<sub>set</sub> が収束していく傾向が明らかになった。同様に、V<sub>reset</sub> もサイクルテストにおいて変動の少ない安定した傾向を示したが、一方で Reset 電流(I<sub>reset</sub>)はサイクルが進むにつれて徐々に増加していく傾向が明らかになった。I-V カーブの方では TiO<sub>2</sub>=45nm のサンプルと同様に Initial 状態と比較して書き込み開始後のリーク電流の一桁~

二桁の悪化現象が見られるが、Cycling が 10 数回目に到達したところでオフリークが再び Initial 状態レベルまで減少する（すなわち改善する）というリカバリー現象が見られた。次節において、これらのテスト結果に基づいたモデリングを試みる。

#### 4.4.2 Forming, Reset, Set,劣化のモデル化

図 4-7 に上記の Cycle テスト結果を基とした  $V_{form}$  およびある程度安定してきた Cycle での  $V_{set}$  電圧の  $TiO_2$  膜厚依存結果を示す。図 4-7 より、 $V_{form}$  は  $TiO_2$  膜厚にほぼ比例する一方で、 $V_{set}$  は膜厚に比例せず一定であり、そのままでは E-model の考え方で説明できないことが判明した。こういった矛盾する現象を、モデルによって説明することを試みる。

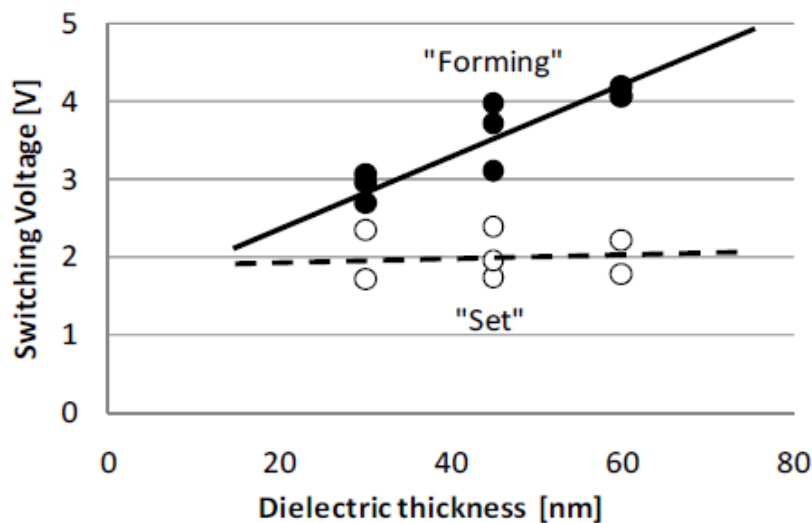


図 4-7  $V_{form}$ 、 $V_{set}$  の  $TiO_2$  膜厚依存

ここから、図 4-8 ~ 4-11 を用いて、Pt/ $TiO_2$ /Pt 構造における ReRAM の Forming、Set、Reset、劣化 (Degradation) 現象の  $TiO_2$  膜厚依存のモデリングを試みたい。各図において左側は薄膜( $TiO_2$  膜厚 ~ 45nm) の場合、右側は厚膜( $TiO_2$  膜厚 ~ 60nm) の場合であり、各図中(a)は Initial 状態、(b)は Forming および Set 動作によって Conductive Filament が形成された場合、(c)は Reset 動作によって Conductive Filament が切断された状態に各々対応する。まず、(a)の Initial 状態では Conductive Filament が形成されておらず、 $TiO_2$  誘電膜中には酸素欠損に基づく初期欠陥が多数存在している状態と考えられる。過去文献から、Conductive Filament は酸素欠損の集合体であると考えられるため、図中グレーの丸は個々の酸素欠損を表現している[9][16]。次に、Forming 動作によって、初期欠陥および電圧印加によって新たに形成される酸素欠損が接続されることによって、絶縁膜全体を貫く Conductive Filament が形成される。次に、Conductive Filament が形成された状態では素子が低抵抗状態で大きな電流が流れるため、その電流に起因したジュール熱によって Filament が切断されると考えられるが、この Filament 切断は Filament 全体で生じるのではなく、Filament の中で局所的に細く、電流集中による発熱がより加速される場所で生じると考えられる。そして、この電流発熱による Filament 切断、“Rupture (破裂)” 現象が起きた際に、電流による発熱量と、酸素欠損の拡散定数などの物理量で決まる「Rupture Ball」のような領域が形成されると考える[10]。

ここから、各動作の絶縁膜厚依存性に関するモデリングを行っていく。

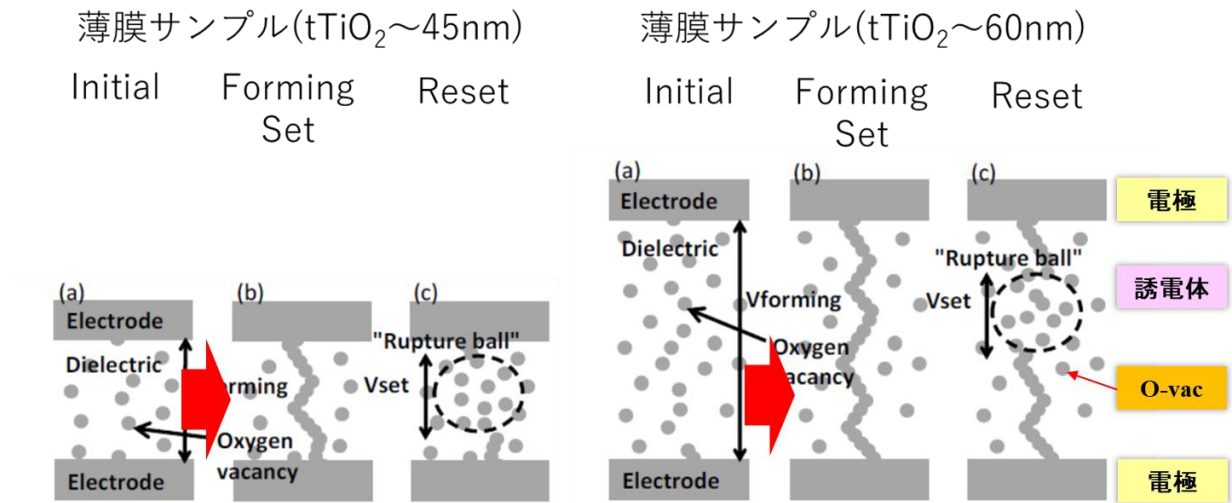


図4-8 Forming動作のTiO<sub>2</sub>膜厚依存性の模式図

まず、図4-8に、Forming動作の模式図を示す。Forming動作においては、未だ絶縁膜中にフィラメントが形成された履歴が残っていないため、絶縁膜全体に電界が印加され、膜厚によらず一定電界でM-Oの結合が切れることでConductive Filamentが形成されると考えられる。このことから、Forming電圧がEモデルで決まることも矛盾なく説明可能である。

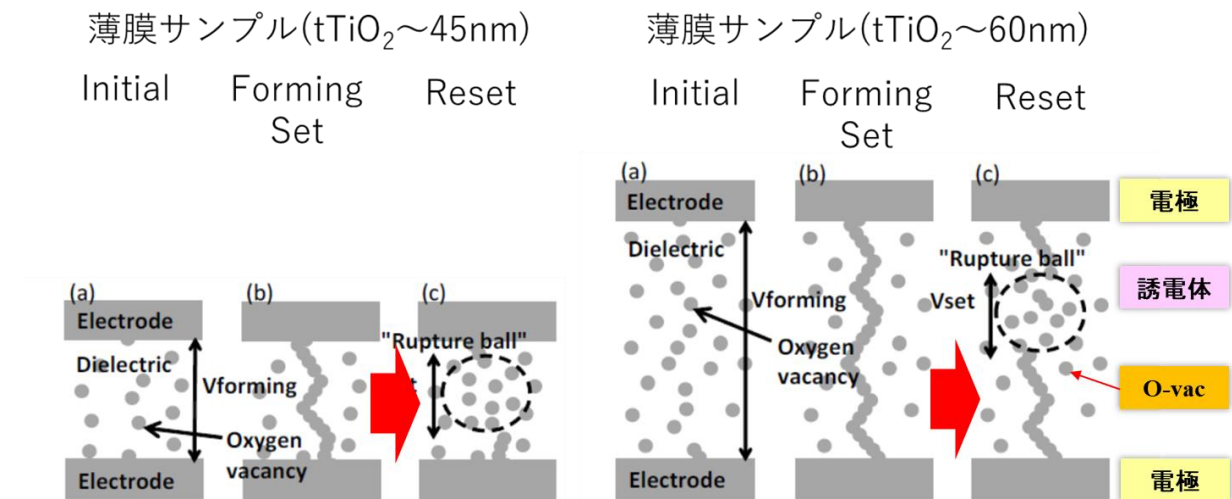


図4-9 Reset動作のTiO<sub>2</sub>膜厚依存性の模式図

続いて、図4-9に、Reset動作の模式図を示す。Reset動作においては、電流は既に導電性フィラメント部を流れているため、絶縁膜の違いによるフィラメント電流の差は大きくないと考えられる。そして、Reset動作は、フィラメントに流れる電流とそのときのジュール発熱によるO-Vacancyの拡散工程により“Rupture Ball”が形成されことによって生じると考えられる。そして、このRupture Ball直径は上述の理由により、バリア膜厚によらずほぼ一定であると想定できる。Forming後のリーク電流悪化も、このRupture Ballモデルによれば、残ったフィラメント電極間の距離がもとの電極間



距離よりもかなり縮まっていることから説明可能である。

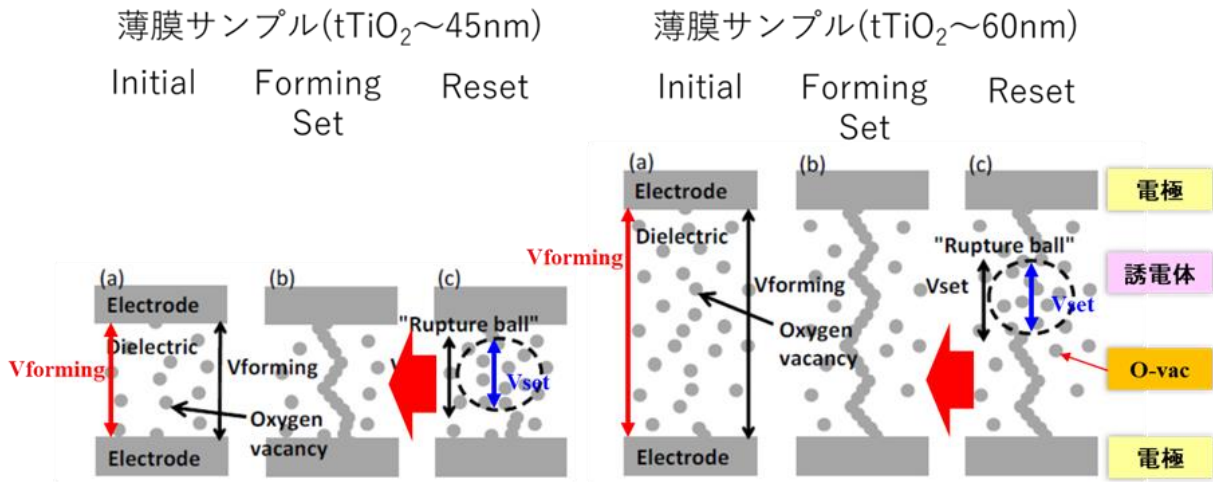


図 4-10 Set 動作の TiO<sub>2</sub> 膜厚依存性の模式図

続いて、図 4-10 に、Set 動作の模式図を示す。Set 動作においては、前記 “Rupture Ball” 部に電圧が印加され、ある電圧でそこに再びフィラメントが形成される。ここで Rupture Ball の直径が絶縁膜厚によらずほぼ一定であったと仮定すると、E モデルに基づく考え方によれば、Rupture Ball サイズが一定であれば、一定電界＝一定電圧で再びこの領域にて酸素 Vacancy の移動が発生し、再び Filament が形成されると考えられる。すなわち、Rupture Ball モデルを E モデルと組み合わせることで、Set 動作も Forming 動作と同じく E モデルで矛盾なく説明することができることが判明した。この場合、Forming 電圧と、Set 電圧にはおおよそ次の関係が成り立つと考えられる。

$$V_{\text{form}} : V_{\text{set}} = t\text{TiO}_2 : t(\text{Rupture Ball の直径}) \quad (4-1)$$

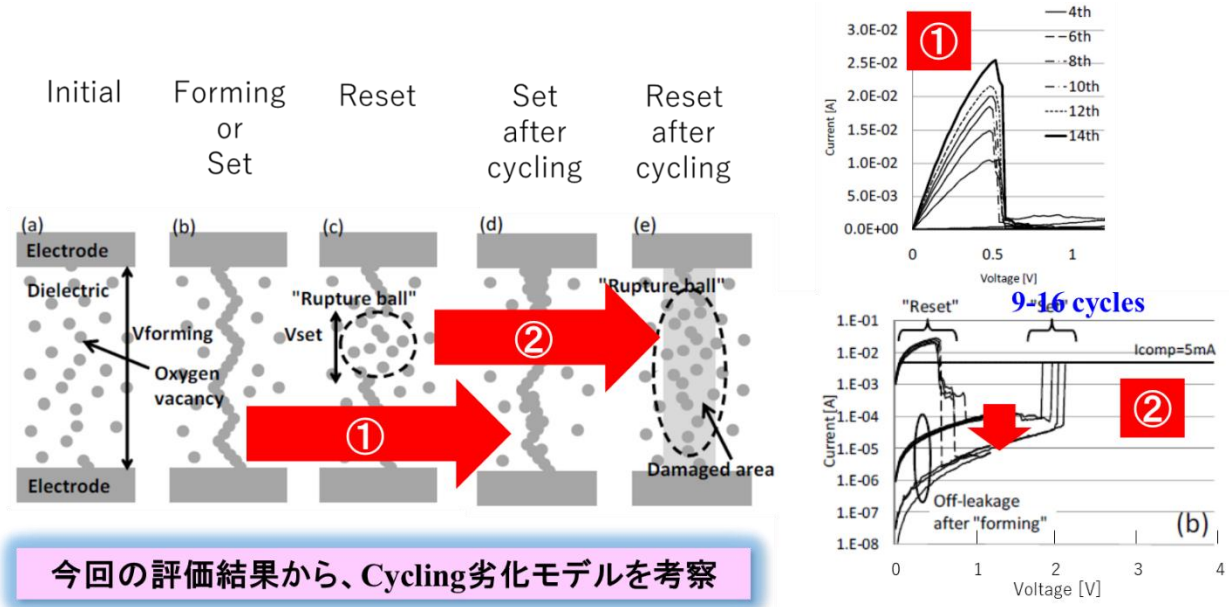


図 4-11 Pt/TiO<sub>2</sub>/Pt 構造の ReRAM 動作における劣化模式図

最後に、Pt/TiO<sub>2</sub>/Pt 構造の ReRAM の劣化モデルについて図 4-11 を用いて説明したい。図 4-11 では特に厚膜サンプル(~60nm)における通常の動作(a)~(c)と Cycling を経た劣化状態での劣化現象(d)、(e)を示している。また、挿入したグラフは、図 4-6 に示した厚膜サンプルの測定結果において、Cycling を経るごとに Reset 電流が徐々に増大していく傾向の実測結果を示す。図中、2つの劣化モードを示した。まず劣化モード①：(b)→(d)の遷移による劣化と、劣化モード②：(c)→(e)の遷移による劣化である。

挿入図の結果から分かるように、書き込み動作を繰り返していくと、Conductive Filament の抵抗そのものが徐々に減少してきており、これは書き込み動作を繰り返すほどに、劣化モード①に示すように Filament が徐々に太ってきているためとも考えられる。Ab-initio Simulation の結果から、個々の Oxygen Vacancy は孤立しているよりも近接配置の方がエネルギー的に安定であるという結果が得られており[17]、Oxygen Vacancy がジュール熱によってフィラメントを形成および散逸を繰り返しながら、徐々に集結していつているためと考えられる。

次に劣化モード②の説明であるが、Conductive Filament の低抵抗化により Filament 切断(Rupture)直前の電流は増大するために、発熱量も増大していると考えられ、もともと Rupture Ball モデルで想定したよりも大きな熱量が印加されて、ある段階でより広範囲の Filament 破壊が図 4-11 (e)に示すように発生していることが想定される。このようなモデルのもう一つの裏付けがオフ電流の変化である。図 4-5、図 4-6 で Reset 動作後のオフリークが Initial 状態のオフリークよりも大きいことと、特に厚膜サンプルで Cycling 動作を繰り返した後に、オフリークレベルが Initial リークレベルまで逆に改善するという現象を説明したが、これを図 4-8~図 4-10 のモデルに当てはめると、もともと電極間の絶縁リークレベルであった Initial 状態のオフリークレベルが、一旦 Set 動作によって Filament が形成されると残存する Filament エッジ間のリーク電流レベルとなるためリークが悪化するが、図 4-11 のように低抵抗化した Filament の過剰発熱による「Filament 全体崩壊」現象が起きて Filament 全体が消失したと考えると、オフリークレベルが再び Initial リークレベルに戻ることも説明が可能だからである。これは、過去の論文で報告されている”Over reset”とも似たような現象であると考えられる[18]。

しかし、このような Filament 低抵抗化による過剰な発熱は誘電膜全体の構造変化や Pt/TiO<sub>2</sub>/Pt 構造における界面や電極部の Migration などの恒久的な素子ダメージを引き起こす可能性もあり、最終的には ReRAM セルの Endurance 劣化を引き起こすと考えられる[19]。

ここまでの議論をまとめる。酸化還元型 ReRAM の代表例である TiO<sub>2</sub>系 ReRAM の基本的な書き込み動作および劣化現象について、Dielectric Breakdown モデルの中の一つ、E-model を用いたモデリングによって説明が可能であることが判明した。この構造の ReRAM の根本的な問題は、素子の書き込み動作に熱プロセスおよび Dielectric Breakdown プロセスが関与していることであり、そのために、書き込むごとに Filament の Microscopic な形状が変化し、V<sub>set</sub>、V<sub>reset</sub> 電圧の変動を引き起こすこと、また Reset 電流の発熱によって膜全体にストレスが蓄積されて Endurance 劣化を引き起こすと考えられるため、Universal RAM や AI 応用のような長 Endurance が要請されるアプリケーションを目指す場合、書き込み電流の低減によってストレス蓄積を抑制して長寿命化を図ること、あるいは熱および Dielectric Breakdown プロセスを介さない非 Filament 型の書き込み機構を選択すべきであること

を結論とさせていただく。

#### 4.5 本章のまとめ

本章では、**ReRAM** の動作原理と今回研究した構造選択の背景と研究モチベーションについて説明した。そして、実際のサンプル試作を行って得られたデバイス評価結果を **Dielectric Breakdown** モデルに基づいて解析し、**ReRAM** の基本動作および劣化現象のモデリングを実施した結果について説明した。

## 参考文献

- [1] I. G. Baek et al., “Multi-layer Cross-point Binary Oxide Resistive Memory (OxRRAM) for Post-NAND Storage Application”, IEDM 2005 Proc., p750 (2005)
- [2] K. Tsunoda et al., “Low Power and High-Speed Switching of Ti-doped NiO ReRAM under the Unipolar Voltage Source of less than 3 V”, IEDM 2007 Proc., p767 (2007)
- [3] W. W. Zhuang et al., “Novell Colossal Magnetoresistive Thin Film Nonvolatile Resistance Random Access Memory (RRAM)”, IEDM 2002 Proc., p193 (2002)
- [4] M. Kund et al., “Conductive bridging RAM (CBRAM): An emerging non-volatile memory technology scalable to sub 20nm”, IEDM 2005 Proc., p754 (2005)
- [5] H. Sim et al., “Excellent Resistance Switching Characteristics of Pt/SrTiO<sub>3</sub> Schottky Junction for Multi-bit Nonvolatile Memory Application”, IEDM 2005 Proc., p758 (2005)
- [6] H. Y. Lee et al., “Low Power and High-Speed Bipolar Switching with A Thin Reactive Ti Buffer Layer in Robust HfO<sub>2</sub> Based RRAM”, IEDM 2008 Proc., p297 (2008)
- [7] M. N. Kozicki et al., “Non-Volatile Memory Based on Solid Electrolytes” , NVMTS 2004 Proc., p10 (2002)
- [8] D. C. Kim et al., “Electrical observations of filamentary conductions for the resistive memory switching in NiO films”, Appl. Phys. Lett. 88, 202102 (2006)
- [9] K. M. Kim et al., “Localized switching mechanism in resistive switching of atomic-layer-deposited TiO<sub>2</sub> thin films”, Appl. Phys. Lett. 90, 242906 (2007)
- [10] U. Russo et al., “Conductive-filament switching analysis and self-accelerated thermal dissolution model for reset in NiO-based RRAM”, IEDM 2007 Proc., p775 (2007)
- [11] A. Sawa, “Resistive switching in transition metal oxides,” Materialstoday, Vol.11, No.6, pp 28-36 (2008).
- [12] H. Y. Lee et al., “Low Power and High-Speed Bipolar Switching with A Thin Reactive Ti Buffer Layer in Robust HfO<sub>2</sub> Based RRAM”, IEDM 2008 Proc., p297 (2008)

- [13] Y. Sato et al., "Sub-100- $\mu$ A Reset Current of Nickel Oxide Resistive Memory Through Control of Filamentary Conductance by Current Limit of MOSFET", *Trans. on Electron Devices* 55, 1185 (2008)
- [14] M. D. Lee et al., "Effect of Oxygen Concentration on Characteristics of NiOx-Based Resistance Random Access Memory", *Trans. on Magnetics* 43, 939 (2007)
- [15] J. McPherson et al., "Proposed Universal Relationship Between Dielectric Breakdown and Dielectric Constant", *IEDM 2002 Proc.*, p633 (2002)
- [16] M. Janousch et al., "Role of Oxygen Vacancies in Cr-Doped SrTiO<sub>3</sub> for Resistance-Change Memory", *Adv. Mater.* 19, 2232 (2007)
- [17] S-G Park, B. Magyari-Kope and Y. Nishi, "Theoretical Study of the Resistance Switching Mechanism in Rutile TiO<sub>2-x</sub> for ReRAM," *Symp. VLSI Technology paper 3B-2 Kyoto, Japan* (2011)
- [18] C. Cagli et al., "Evidence for threshold switching in the set process of NiO-based RRAM and physical modeling for set, reset, retention and disturb prediction", *IEDM 2008 Proc.*, p301 (2008)
- [19] K. Hosotani, S-G. Park, Y. Nishi, "Electric field dependent switching and degradation of Resistance Random Access Memory," *2009 IEEE International Integrated Reliability Workshop Final Report* Page(s):11 – 14 (2009)

## 第5章 結論

### 5.1 各章の結論

本研究では、シリコン半導体技術の新たな発展の可能性として注目されている、「次世代不揮発性メモリ」のコンピュータシステム効率改善への貢献や、AI分野への応用のポテンシャルを見極めるために、主として信頼性の観点から、「スピン注入磁気抵抗変化メモリ(STT-MRAM)」および「抵抗変化メモリ(ReRAM)」の動作原理及び劣化機構、その将来的な改善ノブを明らかにすることを目標としてサンプル試作およびモデリングを含む研究を行った。その結果を以下に総括する。

第1章では、シリコン半導体の技術進歩により今なお発展を続ける半導体メモリ市場であるが、一方で、半導体市場の新たな発展の可能性として、「次世代不揮発性メモリ」がSCMや究極はユニバーサルメモリとして、コンピュータシステムにおけるメモリヒエラルキーを大きく書き換え、動作スピードやコストの観点で大きく進展させるノブを有していること、また更なる応用分野として急速に注目を集めているAI(Artificial Intelligence: 人工知能)分野への応用に関する背景を述べた。一方、多くの「次世代不揮発性メモリ」の候補のいずれもまだ上記の目標に対して多くの課題を抱えていること、その中で、「抵抗変化メモリ(ReRAM)」、「スピン注入磁気抵抗変化メモリ(STT-MRAM)」の2つを「次世代不揮発性メモリ」のポテンシャルを見極めるための研究対象として選択した背景について説明した。

第2章では、MRAMの動作原理および開発の歴史の概略、特にMgOをトンネルバリアとして用いるスピン注入型STT-MRAMの開発が主流となるまでの流れを簡単に紹介した。そして、本研究のモチベーション、およびMTJ素子のサンプル試作フローと信頼性評価手法と使用した素子構造について、そしてMgO-MTJのI-V基本特性評価結果、および信頼性基礎評価結果について説明した。

MgOトンネルバリアを持つMTJ素子のCoherent Tunneling性について更に詳細に調べるために、次にMTJ素子のI-V特性の温度依存性評価を行った。抵抗×面積積RAの温度係数Aのバイアス依存性評価結果、抵抗値の温度係数Aは常にP状態よりAP状態において大きい。MgO膜厚によらずAP状態の温度係数Aは $-0.2V < V_b < 0.2V$ の範囲で大きくなり、この範囲はMagnon-assisted Inelastic Tunnelingの範囲と一致することから、今回の結果はMagnon散乱であり、界面酸化の影響が支配的ではないと考えられる。すなわち、MgOトンネルバリア構造のMTJにおいてはP状態においてはCoherent Tunneling効果に基づくメタリックな伝導が支配的であり、AP状態においてはMagnon散乱に基づくトンネルメカニズムが重要な役割を果たしていることが判明した。

信頼性評価用に、MTJ素子のプロセスチューニングを行った。CoFeB/MgO/CoFeB積層構造をスパッタリングで形成した時は全体にアモルファス状態であり、その後に結晶化アニールを行って、

CoFeB(001)/MgO(001)/CoFeB(001)という Coherent な結晶構造にする必要があるが、MgO と下部 CoFeB との間に薄い Mg バッファ層を挟んだ場合に TDDB ストレス印加時の抵抗変化現象が大きく改善し、バリア破壊までに  $R_{AP}$  がせいぜい数%しか変化しないことが判明し、信頼性評価用の MTJ 標準プロセスとして採用した。

チューニングした MTJ プロセスを用いたサンプルで各種 TDDB 評価を行った結果、MgO-MTJ においても半導体のシリコン酸化膜と同様な TDDB 測定が可能であること、また印加バイアスに対して Weibull 寿命( $t_{63\%}$ )は変化し、実使用条件における寿命予測も可能であることが判明した。

第 3 章では、第 2 章で行った信頼性基礎評価の結果をベースとして、TDDB ストレスにおける抵抗ドリフト現象および TDDB 寿命の詳細評価を行い、TDDB 寿命予測モデルの構築および抵抗ドリフト現象のモデルフィッティングによる Microscopic な劣化現象へのアプローチを行った結果について述べ、STT-MRAM の今後の展開に向けた課題、アプローチについて論じた。

前章で紹介した抵抗ドリフト現象について更に詳しく調べるために、まずは抵抗変化のストレス電圧および電圧の極性依存について調査を行った。その結果、印加バイアスの極性によらず、 $R_P$  に対して  $R_{AP}$  の方が抵抗の減少率が高いことが分かった。更に、 $R_P$  においてはバイアス印加方向によって抵抗ドリフト現象にやや違いがあり、Negative Bias 方向の方が、Positive Bias 方向のストレス印加よりも抵抗の増加傾向が明確に存在することが判明した。

このような、MgO-MTJ の TDDB ストレス下の劣化減少のバイアス極性依存は、TDDB 寿命にも表れている。 $R_{AP}$  状態で TDDB ストレスを印加した時の Weibull 分布より、Positive Bias よりも Negative Bias の方が、 $V_{bias}(\text{Positive Bias}) > V_{bias}(\text{Negative Bias})$  にも関わらず、平均寿命が長く、素子間の寿命ばらつきを示す Weibull の傾き  $\beta$  も Negative Bias の方が大きく、ばらつきが小さい結果となっている。このような現象を説明する一つのモデルとして、MgO と上下界面 CoFeB 層の形成する界面が均質ではなく、Positive Bias 時にサンプル下側の Pin 層から上側の Free 層に注入された電子が Direct Tunneling 後の Anode Side でのエネルギー散逸によってバリア界面にダメージを与える際に、上側界面が下側界面よりもダメージを受けやすい、というモデルで説明が可能である。

同じプロセスで作製したサンプルを用いて、Stress Interval 試験を行った結果、Positive Bias 印加時に、ストレスインターバル時間に明確な抵抗値のリカバリー現象が起きている一方、Negative Bias 印加時には 300 秒のストレスリカバリー時間にほとんどこのような抵抗値のリカバリー現象が見られないことが判明した。このような結果を説明するモデルとして、上記と同様に、MgO/CoFeB 界面層の界面で、上界面の方がストレスの影響を受けやすく、界面付近の Trap サイトにおける Trap-Detrap 現象を生じさせやすいためではないかと考えている。一方で、 $V_{ox} \sim 1V$ 、 $85^\circ C$  で 10 年間ストレスを印加した際の最大抵抗変化量の予測を行った結果、 $R_P$ 、 $R_{AP}$  のいずれにおいても最大抵抗変化量は 7%程度以下であることが判明した。実際には TDDB ストレスによるバリア破壊が生じているが、少なくとも抵抗ドリフト現象のみから予測した場合、MgO-MTJ は抵抗変化量の少ない安定したデバイス構造になっていると言えることが判明した。

極薄 MgO のトンネルバリアとしての Potential を知るために、TDDB 寿命のモデル化が必要である。そのため、この節では薄膜 MgO の TDDB 寿命予測についてモデル化を試みた。TDDB 試験時のバリア貫通電流によるジュール発熱の影響の補正を行った結果、発熱による影響が存在しなければ、MgO-MTJ の TDDB 寿命は、その膜厚によらずストレス印加時の実行電界のみで決まる、すなわち TDDB 寿命は E-model に従うことが判明した。MgO-MTJ の TDDB 寿命が発熱補正 E モデルで説明されることは、将来の電圧スケールアップ、素子の微細化、いずれの場合にも電界緩和、発熱量減少という効果によって TDDB 寿命改善につながる、すなわち TDDB 寿命のスケールアップにおいて有利な絶縁破壊モデルであることが判明したとも言える。

前節で、MgO-MTJ の TDDB 劣化における寿命予測モデリングを行ったが、本節では MgO-MTJ の TDDB 劣化における抵抗ドリフト現象のモデリングを通して、TDDB 寿命と抵抗ドリフト現象の相関関係を究明し、より Microscopic な MgO-MTJ の劣化現象のモデル化を試みた。TAL(Trap Assisted Leakage)、FAL(Filamentary Defect Assisted Leakage)という 2 つのモデルを提案、それぞれの TDDB ストレス下における抵抗ドリフトと Percolation Path 形成によるバリア破壊現象の相関を、モデルに基づく理論値と実測値の比較によって、どちらがより現象を説明可能かの調査を行った。

その結果、MgO-MTJ における抵抗ドリフト現象と、最終的な Barrier breakdown 現象の関係は、膜中にランダムに形成された Trap による Percolation Path 形成による現象であると説明することが可能であることが判明した。また、MgO-MTJ のワイブル分布の傾きの TAL モデルに基づく計算結果と実測結果の比較を行った結果、ワイブル分布の傾きの実測値は常に TAL モデルに基づく計算値よりも小さくなっていることが判明した。すなわち、初期欠陥の低減や、格子整合系バリア材料などの適用によって、MgO の TDDB 寿命におけるワイブル分布の傾きには改善の余地があり、今回示した理論値に到達する可能性があるとも言える。すなわち、ワイブル分布の傾きを改善することによって、3ML 程度の超薄膜でも十分製品向け、長 Endurance な膜として適用可能なポテンシャルを抱えていることが確認できた。

第 4 章では、ReRAM の動作原理について説明し、サンプル試作、基本動作の評価、更には Dielectric Breakdown モデルに基づく ReRAM 動作と劣化機構のモデル化を行った結果について論じた。

その結果、酸化還元型 ReRAM の代表例である TiO<sub>2</sub> 系 ReRAM の基本的な書き込み動作および劣化現象について、Dielectric Breakdown モデルの中の一つ、E モデルを用いたモデリングによって説明が可能であることが判明した。この構造の ReRAM の根本的な問題は、素子の書き込み動作に熱プロセスおよび Dielectric Breakdown プロセスが関与していることであり、そのために、書き込むごとに Filament の Microscopic な形状が変化し、V<sub>set</sub>、V<sub>reset</sub> 電圧の変動を引き起こすこと、また Reset 電流の発熱によって膜全体にストレスが蓄積されて Endurance 劣化を引き起こすと考えられるため、Universal RAM や AI 応用のような長 Endurance が要請されるアプリケーションを目指す場合、書き込み電流の低減によってストレス蓄積を抑制して長寿命化を図ること、あるいは熱および Dielectric Breakdown プロセスを介さない非 Filament 型の書き込み機構を選択すべきであることを結論とさせ



ていただく。

## 5.2 全体の総括

表5-1に、改めて STT-MRAM および ReRAM のモバイルコンピューティングシステムにおける実用化に向けたポテンシャルについて、まとめさせていただいた。

表5-1 STT-MRAM および ReRAM のモバイルコンピューティングシステムにおける実用化に向けたポテンシャル

	STT-MRAM	ReRAM
特性変動	<p>○抵抗ドリフトの実測およびモデリングにより、バリア破壊までの抵抗ドリフト量はせいぜい7%までと判明、抵抗変動量の少ない安定したデバイスと言える</p> <p>【必要な施策】</p> <p>①現時点でもそこそ良好</p> <p>②更なる改善には電圧スケールング有効</p>	<p>○特にスイッチング電圧の変動が激しい ⇒Filamentの破裂/接続時のO-VacancyのMigrationが特性変動に影響する</p> <p>【必要な施策】</p> <p>①非Filament型の構造探索</p> <p>②動作時電流の低減、Current Compliance技術開発</p>
Endurance	<p>○バリア寿命のTypical値は良好であるが(実動作電圧で10年保証)、Weibull傾きによって表現されるバリア寿命の分布が大きく、Worstビットの特性を落とす</p> <p>【必要な施策】</p> <p>①初期欠陥や格子不整合の克服などの施策による寿命分布の改善</p> <p>②信頼性不良ビットのScreening技術開発</p>	<p>○スイッチング(書き込み)動作が破壊現象(Breakdown Phenomena)であることにより、動作させるほど膜中にダメージが蓄積される</p> <p>【必要な施策】</p> <p>①動作時電流の低減、Current Compliance技術開発</p> <p>②Breakdown現象を伴わないデバイス構造の探索</p>

まず、STT-MRAM の研究結果、SiO<sub>2</sub>で培われた誘電破壊モデルを活用し MgO ベース STT-MRAM の劣化モデル化が TDDDB 寿命予測、抵抗ドリフト劣化現象のいずれにおいても可能である、すなわち、大規模アレイ化を想定した量産時の寿命予測が可能であると判明したことは大きな進展であった。そして、バリア破壊までの抵抗ドリフト量はせいぜい7%程度と十分に小さいことが確認できたことも大きな進展であった。一方、MgO バリア寿命の Typical 値はそこそ良好であるが(実動作電圧で10年保証)、Weibull 傾きによって表現されるバリア寿命の分布が大きく、Worst ビットの特性を落とすことも判明し、長期信頼性保証上の懸念であることが判明した。この結果に関して、MgO-MTJ 膜の TDDDB 結果の Weibull 分布の実測値と計算値の乖離から、MgO バリアの初期欠陥や格子不整合の克服などの施策による寿命分布の改善のノブがあることが判明した。また、実用化においては、信頼性上の Worst ビットの Screening 技術開発を行うことも有効である。

ReRAM も、STT-MRAM 同様、SiO<sub>2</sub>で培われた知見を活かし、書き込みおよび劣化現象が少なくとも一次近似レベルでは誘電破壊モデル (E-model) および発熱で説明できることが判明した。一方で、書き込み動作が誘電破壊現象であると考えられることが、特性変動および Endurance 特性上の大きな

懸念になると予想され、SCM や AI 応用の障害となると思われる。特性変動の抑制や **Endurance** 改善のためには、書き込み電流の低減による発熱量の減少や、低抵抗時のセル電流コンプライアンス技術、**Filament** 以外の低ダメージタイプのデバイス構造の実用化などが開発の鍵であると言える。実際、**Memristor** など、ショットキー障壁高さ変調タイプなど様々な **ReRAM** の応用研究が進んでおり、この後の開発進捗に期待したい。

# 研究業績

原著論文

1. **Keiji Hosotani**, Seong-Geon Park, Yoshio Nishi, “Electric field dependent switching and degradation of Resistance Random Access Memory,” 2009 IEEE International Integrated Reliability Workshop Final Report Page(s):11 - 14 (2009).
2. **Keiji Hosotani**, Makoto Nagamine, Tomomasa Ueda, Hisanori Aikawa, Sumio Ikegawa, Yoshiaki Asao, Hiroaki Yoda, and Akihiro Nitayama, “Effect of Self-Heating on Time-Dependent Dielectric Breakdown in Ultrathin MgO Magnetic Tunnel Junctions for Spin Torque Transfer Switching Magnetic Random Access Memory,” Japanese Journal of Applied Physics, 04DD15, Volume 49 (2010).
3. **Keiji Hosotani**, Makoto Nagamine, Ryu Hasunuma, “Time Dependent Percolation Analysis of the Degradation of Coherent Tunneling in Ultra-thin CoFeB/MgO/CoFeB Magnetic Tunneling Junctions,” Electronics Society of The Institute of Electronics, Information and Communication Engineers (advanced publication) DOI: 10.1587/transele.2019ECP5014 (2019).

(以下共著)

4. Yuji Komatsu, **Keiji Hosotani**, Takashi Fuyuki and Hiroyuki Matsunami, “Heteroepitaxial Growth of InGaP on Si with InGaP/GaP Step-graded Buffer Layers,” Japanese Journal of Applied Physics, pp5425, Volume 36 (1997).
5. Naoharu Shimomura, Hiroaki Yoda, Sumio Ikegawa, Tadashi Kai, Minoru Amano, Hisanori Aikawa, Tomomasa Ueda, Makoto Nakayama, Yoshiaki Asao, **Keiji Hosotani**, Yuui Shimizu, Kenji Tsuchida, “Switching Current Fluctuation and Repeatability for MRAM With Propeller-Shape MTJ,” IEEE Transactions on Magnetism 42, Issue: 10, pp2757-2759 (2006).
6. Hiroaki Yoda, Tadashi Kai, Tsuneo Inaba, Yoshihisa Iwata, Naoharu Shimomura, Sumio Ikegawa, Kenji Tsuchida, Yoshiaki Asao, Tatsuya Kishi, Tomomasa Ueda, Shigeki Takahashi, Makoto Nagamine, Takeshi Kajiyama, Masatoshi Yoshikawa, Minoru Amano, Toshihiko Nagase, **Keiji Hosotani**, Masahiko Nakayama, Yuui Shimizu, Hisanori Aikawa, Katsuya Nishiyama, Eiji Kitagawa, Ryouusuke Takizawa, Yoshihiro Ueda, Masayoshi Iwayama, Kiyotaro Itagaki, “1.8 V

Power Supply 16 Mb-MRAMs With 42.3% Array Efficiency,” IEEE Transactions on Magnetics, 42, Issue: 10, pp2724-2726 (2006).

7. Sumio Ikegawa, Hisanori Aikawa, Tomomasa Ueda, Makoto Nagamine, Naoharu Shimomura, Masatoshi Yoshikawa, **Keiji Hosotani**, and Hiroaki Yoda, ” Temperature dependence of tunnel resistance for CoFeBMgO/CoFeB CoFeBMgO/CoFeB magnetoresistive tunneling junctions: The role of magnon”, Journal of Applied Physics 101, 09B504 (2007).

国際学会発表および proceedings (査読あり)

1. **Keiji Hosotani**, Yoshiaki Asao, Makoto Nagamine, Tomomasa Ueda, Hisanori Aikawa, Naoharu Shimomura, Sumio Ikegawa, Takeshi Kajiyama, Shigeki Takahashi, Akihiro Nitayama, and Hiroaki Yoda, “Effect of Interface Buffer Layer on the Reliability of Ultra-thin MgO Magnetic Tunnel Junctions,” Proceedings of 2007 International Reliability Physics Symposium, pp.650-651 (2007).
2. **Keiji Hosotani**, Makoto Nagamine, Hisanori Aikawa, Naoharu Shimomura, Masahiko Nakayama, Tadashi Kai, Sumio Ikegawa, Yoshiaki Asao, Hiroaki Yoda, and Akihiro Nitayama, “Resistance Drift of MgO Magnetic Tunnel Junctions by Trapping and Degradation of Coherent Tunneling,” Technical Dig., to be published on Proceedings of 2008 International Reliability Physics Symposium pp.703-704 (2008).
3. **Keiji Hosotani**, Makoto Nagamine, Tomomasa Ueda, Hisanori Aikawa, Sumio Ikegawa, Yoshiaki Asao, Hiroaki Yoda, and Akihiro Nitayama, “Effect of Self-heating on TDDB in Ultra-thin MgO Magnetic Tunnel Junctions for Spin MRAM,” Proc. 2009 International Conference on Solid State Devices and Materials, pp1200-1201 (2009).
4. **Keiji Hosotani**, Seong-Geon Park, Yoshio Nishi, “Electric field dependent switching and degradation of Resistance Random Access Memory,” 2009 IEEE International Integrated Reliability Workshop (2009).

(以下共著)

5. Yuui Shimizu, Yoshihisa Iwata, Kenji Tsuchida, Tsuneo Inaba, Ryosuke Takizawa, Yoshihiro Ueda, Kiyotaro Itagaki, Yoshiaki Asao, Takeshi Kajiyama, **Keiji Hosotani**, Sumio Ikegawa, Tadashi Kai, Masahiko Nakayama, Hiroaki Yoda, “High Performance 16Mb MRAM for Portable

Applications,” IEICE Tech. Rep., vol. 106, no. 2, ICD2006-13, pp. 69-73, April 2006.

6. Tadashi Kai, Hisanori Aikawa, Kenji Tsuchida, Yoshiaki Asao, Yoshihisa Iwata, **Keiji Hosotani**, Yuui Shimizu, Yoshihiro Ueda, Naoharu Shimomura, Sumio Ikegawa. “MRAM Write Error Categorization with QCKB,” Proceedings of the 2006 IEEE International Workshop on Memory Technology, Design, and Testing (2006).
7. Minoru Amano, Hisanori Aikawa, Tadashi Kai, Yoshiaki Asao, Tomomasa Ueda, Tatsuya Kishi, Masahisa Yoshikawa, Naoharu Shimomura, Sumio Ikegawa, Takeshi Kajiyama, **Keiji Hosotani**, Kenji Tsuchida, Kenichi Shimura, Sadahiko Miura, Hiromitsu Hada, Shuichi Tahara, Hiroaki Yoda, “Programming current reduction by new protruding yoke wire and its optimization considering MTJ magnetization process,” Journal of Magnetism and Magnetic Materials, Vol. 304, No. 1, P. e261-e263 (2006).

## 謝辞

本論文をまとめるにあたり、終始懇切なる御指導と御鞭撻を賜った筑波大学大学院数理物質科学研究科ナノサイエンス・ナノテクノロジー専攻 蓮沼隆準教授に心より深く感謝いたします。

また、本論文の作成に当たり、貴重な御助言、御指導をいただきました、筑波大学大学院数理物質科学研究科ナノサイエンス・ナノテクノロジー専攻 黒田眞司教授、筑波大学大学院数理物質科学研究科ナノサイエンス・ナノテクノロジー専攻 大野裕三教授、筑波大学大学院数理物質科学研究所ナノサイエンス・ナノテクノロジー専攻 末益崇教授に深く感謝いたします。

本論文は、筆者が 2006 年から 2009 年にかけて株式会社東芝セミコンダクター社 SoC 研究開発センター、2008 年から 2009 年にかけて米国スタンフォード大学に Visiting Scholar として赴任していた際の業績、そして 2018 年から 2019 年にかけて筑波大学大学院博士課程在籍時において得られた業績をまとめたものです。本研究の遂行に当たり、終始有益なる御指導、御助言をいただいた、東芝研究開発センター 石内秀美 元所長付、同 LSI 基盤技術ラボラトリー 與田博明 元研究主幹、池川純夫 元主任研究員、浅尾吉昭 元主任研究員、土田賢二 元主任研究員、岸達也 元主任研究員、高橋茂樹 元研究主務、上田知正 元研究主務、天野実 元研究主務、長嶺真 元研究主務、甲斐正 元研究主務、下村尚治 元研究主務、吉川将寿 元研究主務、永瀬俊彦 元研究主務、中山昌彦 元主事、北川英二 元主事、西山勝哉 元主事、相川尚徳 元主事、東芝セミコンダクター社 SoC 研究開発センター 仁田山晃寛 元部長、浜本毅司 元主幹、岩田佳久 元主査、梶山健 元主務、稲場恒夫 元主務、清水有威 元主事、滝澤亮介 元主事、上田善寛 元主事、杉浦邦晃 元主事、岩山正由 元主事、米国スタンフォード大学 Electrical Engineering Dr. Yoshio Nishi 元 Professor、Dr. Blanka Magyari-Kope、Dr. Seong-Geon Park、Dr. Mitsuru Sato、Dr. Jaeyun Yi、Dr. Mihir Tendulkar、Dr. Byoungil Lee、Dr. Wanki Kim、Dr. Sung Il Park、Dr. James McVittie、Dr. Peter Griffin に心から感謝いたします。また本研究を進めるにあたり、有益な議論とご協力をいただいた、東芝研究開発センターLSI 基盤技術ラボラトリー、東芝セミコンダクター社、米国スタンフォード大学 Stanford Nanofabrication Facility の各位に深く感謝いたします。

末筆ながら、筆者を終始支援してくれた、両親、そして、本研究の遂行と論文を執筆する上で支えとなってくれた妻 むつ美、長男 啓太に心より感謝します。