

複素係数フィルタの構成と
その回路の変換に関する研究

2020年 3月

藤 井 達 哉

複素係数フィルタの構成と
その回路の変換に関する研究

藤 井 達 哉

システム情報工学研究科
筑波大学

2020年3月

目次

第 1 章	はじめに	1
1.1	社会的背景	1
1.2	無線受信機の構成	2
1.3	複素フィルタに関する既存研究	4
1.4	原形複素フィルタに関する先行研究	7
1.5	本研究の目的と論文の構成	8
第 2 章	複素フィルタ	11
2.1	原形複素フィルタの構成	11
2.1.1	特性関数	11
2.1.2	原形フィルタの入力インピーダンス	12
2.1.3	周波数変換	14
2.2	複素フィルタの能動実現	16
2.2.1	インダクタの能動実現	16
2.2.2	虚数抵抗の能動実現	18
2.3	素子感度	21
2.4	周波数特性の測定法	23
2.5	低 IF 方式の受信機への複素フィルタの応用	24
2.6	まとめ	26
第 3 章	通過域平坦な複素伝達関数の解析的設計	27
3.1	直流と無限大周波数にのみ伝送零点を持つ R^1CR フィルタの構成	27
3.1.1	並列枝の素子値	27
3.1.2	直列枝の素子値	28
3.1.3	終端回路の素子値と既存研究の課題	29
3.2	直流と無限大周波数にのみ伝送零点を持つ複素伝達関数の設計	29
3.2.1	通過域で平坦な複素伝達関数の特性関数	30

3.2.2	奇数次の場合	30
3.2.3	偶数次の場合	31
3.2.4	n 次の場合	32
3.2.5	最小減衰量	32
3.2.6	数値計算	32
3.3	まとめ	33
第 4 章	複素数の変換比を持つインピーダンス反転器の構成	34
4.1	NII (既存のインピーダンス反転器 1)	34
4.2	虚ジャイレータ (既存のインピーダンス反転器 2)	36
4.3	複素数の変換比を持つインピーダンス反転器	37
4.3.1	$\varphi = 2\pi n \pm \pi/2 (n \in \mathbb{Z})$ とした場合	38
4.3.2	$\varphi = 2\pi n \pm \pi (n \in \mathbb{Z})$ とした場合	38
4.3.3	$\varphi = 2\pi n \pm \pi/4$ 又は $\varphi = 2\pi n \mp 3\pi/4 (n \in \mathbb{Z})$ とした場合	39
4.4	まとめ	39
第 5 章	NII を用いた無極複素フィルタの構成と	
	有極複素フィルタの素子数削減	40
5.1	NII を用いた無極原形複素フィルタの構成	40
5.1.1	NII を用いた原形複素フィルタの導出	40
5.1.2	演算増幅器を用いた原形複素フィルタの能動実現	41
5.1.3	素子数の比較	43
5.1.4	無極複素フィルタの実験	43
5.2	有極複素フィルタの素子数削減	47
5.2.1	NII を用いて得られた有極原形複素フィルタの課題	47
5.2.2	NIC の共有	48
5.2.3	素子数の比較	50
5.2.4	有極複素フィルタの実験	50
5.3	まとめ	54
第 6 章	虚ジャイレータを用いた回路の変換と接地虚数抵抗を用いた無極 R^iCR フィルタの構成	55
6.1	任意の回路の R^iCR フィルタへの変換と虚数抵抗の削減	55
6.1.1	インダクタを含む回路の変換と虚数抵抗の削減	55

6.1.2	計算機シミュレーション	57
6.2	接地虚数抵抗を用いた R^1CR フィルタの構成	61
6.2.1	T型の虚ジャイレータを用いた回路の変換	61
6.2.2	始端回路と終端回路の変換	63
6.2.3	計算機シミュレーション	65
6.3	まとめ	70
第7章	回路の変換を用いた有極 R^1CR フィルタの構成	71
7.1	虚ジャイレータを用いて得られた有極 R^1CR フィルタ	71
7.2	回路の変換を用いた有極 R^1CR フィルタの構成	74
7.2.1	提案するインダクタを含む回路の変換	74
7.2.2	等価変換により得られる回路が負性キャパシタを含まない条件	76
7.2.3	計算機シミュレーション	76
7.3	まとめ	80
第8章	結論	81
	謝辞	83
	参考文献	84
	本研究に関する公表論文	93
	本研究に関する国際会議論文	94
	本研究に関する発表（査読無し）	96
	本研究に関係しない公表論文	98
	本研究に関係しない国際会議論文	99
	本研究に関係しない発表（査読無し）	100

目次

2.1	伝達関数 $T(s)$ 、 $T^*(-s)$ 、 $T(-s)$ の極配置	12
2.2	一般化された原形フィルタ	13
2.3	原形実フィルタ ($n = 3$)	15
2.4	FS 法で得られた原形複素フィルタ ($n = 3$)	15
2.5	インダクタとその OTA を用いた能動実現	17
2.6	演算増幅器を用いて実現した多端子対ジャイレータ	17
2.7	虚数抵抗とそのジャイレータを用いた実現	19
2.8	2 相複素フィルタにおける OTA を用いた虚数抵抗の実現	19
2.9	2 相複素フィルタにおける演算増幅器を用いた虚数抵抗の実現	20
2.10	4 相複素フィルタにおける OTA を用いた虚数抵抗の実現	20
2.11	複素フィルタの素子感度と振幅特性	22
2.12	測定系	23
2.13	低 IF 方式の受信機のブロック図	25
2.14	図 2.13 の各部のスペクトラム	25
3.1	R ⁱ CR フィルタ	28
3.2	特性関数 (Copyright(C)2019 IEEJ [86] Fig. 1)	30
3.3	数値計算の結果	33
4.1	NII と素子 Z	35
4.2	NIC と素子 Z	35
4.3	虚ジャイレータと素子 Z	36
4.4	複素インピーダンス反転器と素子 Z (Copyright(C)2020 IEICE [88] Fig. 1)	38
4.5	直列回路を用いた $\pm ke^{j\varphi}$ の表現 (Copyright(C)2020 IEICE [88] Fig. 2)	38
4.6	並列回路を用いた $\pm ke^{j\varphi}$ の表現 (Copyright(C)2020 IEICE [88] Fig. 3)	38
5.1	NII とキャパシタ及び虚数抵抗 (Copyright(C)2017 IEICE [90] Fig. 1)	41

5.2	図 1 の等価回路 (Copyright(C)2017 IEICE [90] Fig. 2)	41
5.3	NII を用いて変換された原形複素フィルタ ($n = 3$) (Copyright(C)2017 IEICE [90] Fig. 4)	42
5.4	虚数抵抗の実現	42
5.5	虚数抵抗と負性素子の一実現	43
5.6	提案回路する無極複素フィルタ	44
5.7	無極複素フィルタの実験結果 (Copyright(C)2017 IEICE [90] Fig. 8)	45
5.8	無極複素フィルタの素子感度	46
5.9	有極原形複素フィルタ	47
5.10	NII を用いて変換した有極原形複素フィルタ	47
5.11	多端子対ジャイレータを用いて構成した有極複素フィルタ (Copyright(C)2019 IEICE [91] Fig. 3)	48
5.12	同一節点に接続された複数の NIC (Copyright(C)2019 IEICE [91] Fig. 1)	49
5.13	NIC と複数の抵抗器 (Copyright(C)2019 IEICE [91] Fig. 2)	49
5.14	提案する有極複素フィルタ (Copyright(C)2019 IEICE [91] Fig. 4)	51
5.15	有極複素フィルタの実験結果 (Copyright(C)2019 IEICE [91] Fig. 5)	52
5.16	有極複素フィルタの素子感度	53
6.1	虚ジャイレータと素子 Z	56
6.2	インダクタと虚数抵抗で構成された回路とその等価回路	56
6.3	虚ジャイレータを用いて変換した原形複素フィルタ ($n = 3$)	57
6.4	FS 法で得られた回路の OTA を用いた実現	58
6.5	提案する R^iCR フィルタの OTA を用いた実現	59
6.6	虚ジャイレータを用いて変換した複素フィルタのシミュレーション結果	59
6.7	提案手法で得られた R^iCR フィルタと FS 法で得られた回路の素子感度	60
6.8	虚ジャイレータ、キャパシタ、及び虚数抵抗 (Copyright(C)2019 IEEJ [94] Fig. 3)	61
6.9	インダクタ、虚数抵抗、及び理想トランス (Copyright(C)2019 IEEJ [94] Fig. 4)	61
6.10	ELHT 法で得られた原形複素フィルタ ($n = 3$)	62
6.11	変換された原形複素フィルタ ($n = 3$)	62
6.12	始端回路 (Copyright(C)2019 IEEJ [94] Fig. 17)	63
6.13	始端回路の変換 1 (Copyright(C)2019 IEEJ [94] Fig. 18)	63
6.14	始端回路の変換 2 (Copyright(C)2019 IEEJ [94] Fig. 19)	64
6.15	終端回路 (Copyright(C)2019 IEEJ [94] Fig. 20)	64

6.16 終端回路の変換 (Copyright(C)2019 IEEJ [94] Fig. 21)	65
6.17 接地虚数抵抗を用いた R^iCR フィルタ ($n = 3$)	65
6.18 FS 法で得られた無極 R^iCR フィルタの OTA を用いた実現 ($n = 3$)	66
6.19 提案する接地虚数抵抗を用いた無極 R^iCR フィルタの OTA を用いた実現 ($n = 3$)	66
6.20 接地虚数抵抗を用いた R^iCR フィルタのシミュレーション結果	67
6.21 接地虚数抵抗を用いた R^iCR フィルタの素子感度	68
7.1 ELHT 法で得られた有極原形複素フィルタ ($n = 3$)	72
7.2 インダクタと虚数抵抗で構成された回路	72
7.3 虚ジャイレータを用いて変換したキャパシタと虚数抵抗で構成された回路	73
7.4 虚ジャイレータを用いて得られる有極 R^iCR フィルタ ($n = 3$)	73
7.5 インダクタ、キャパシタ及び虚数抵抗で構成された回路 (Copyright(C)2020 IEICE [96] Fig. 3)	74
7.6 キャパシタと虚数抵抗で構成された回路 (Copyright(C)2020 IEICE [96] Fig. 4)	75
7.7 提案する有極 R^iCR フィルタ ($n = 3$)	77
7.8 従来の有極 R^iCR フィルタ ($n = 3$)	77
7.9 提案する有極 R^iCR フィルタの OTA を用いた実現 ($n = 3$)	78
7.10 従来手法で得られた有極 R^iCR フィルタの OTA を用いた実現 ($n = 3$)	78
7.11 有極 R^iCR フィルタのシミュレーション結果	78
7.12 有極 R^iCR フィルタの素子感度	79

第1章 はじめに

1.1 社会的背景

インターネット技術や各種センサー・テクノロジーの進化等を背景に、これまでインターネット端末として用いられてきたパーソナル・コンピュータやスマートフォンだけでなく、家電や工場内の設備など、世界中のあらゆるモノがインターネットにつながる Internet of Things (IoT) 時代が到来しつつある。IHS Technology の推定によれば、世界の IoT デバイス数は 2014 年に 171 億個であったが、2019 年には 349 億個 (予測値) へと、5 年間でおよそ 2 倍に増加し、今後もその増加が見込まれている¹。また、分野別の IoT デバイス数の成長率 (増加率) は、産業用途 (工場、インフラ、物流) の増加が最も目覚ましく、年平均 34% のペースで増加が見込まれている [1, pp.47-61]。製造業において IoT デバイスを積極的に活用するコンセプトとしては、ドイツが進めるインダストリー 4.0 が有名である。インダストリー 4.0 とは IT 技術を活用した第 3 次産業革命²に続く歴史的な変革として位置づけられており、その主眼はスマート工場を中心としたエコシステムである [2, pp.141-159]。スマート工場とは、単なる産業用ロボットの導入や機械化だけでなく、センサネットワークを活用して徹底的に製造の自動化を図ることであり、顧客の要望に応じて 1 個単位での注文に応じることができるカスタマイズ性、注文を受けると瞬時に生産が開始されるリアルタイム性に加え、大量生産と同程度の低コスト化が期待されている [3]。

IoT の活用は、我が国においても労働人口の減少への有効な対策として期待されている。人口問題研究所によれば、我が国の 15 歳から 64 歳の人口は 2019 年の 7462 万人から 2050 年には 5275 万人と 2000 万人の減少が見込まれており [4]、労働人口の減少による人手不足の深刻化が懸念されている。この急速な人口減少への対策として有力視されているのは IoT デバイスを活用した業務効率化や省人化である [5]。既に、製造業 (ものづくり) における IoT の活用は広がりを見せており [6]、農業分野においても AI と IoT を活用したスマート農業の実証実験が全国で行われている [7]。また、第 5 期科学技術基本計画では、我が国の目指す姿としてサイバー空間とフィジカル空間を高度に融合させた Society 5.0³が掲げられた [8]。Society 5.0 のコンセプトはインダストリー 4.0 の工業分野における変革に加え、経済・社会

¹IHS Technology の定義では、IoT デバイスとは、固有の IP アドレスを持ち、インターネットに接続が可能な機器及びセンサネットワークの末端として使われる端末等を指す。

²第 1 次産業革命は水力・蒸気機関を活用した機械製造設備の導入、第 2 次産業革命は石油と電力を活用した大量生産の開始を指す。

³Society 1.0 は狩猟社会、Society 2.0 は農耕社会、Society 3.0 は工業社会、Society 4.0 は情報社会を指す。

問題解決という社会面での変革が含まれており、その具体的取組には、AI・ビッグデータの活用と並んでIoT技術の社会実装が含まれている [9]。

以上に述べたインダストリー 4.0 や、同コンセプトを含んだ我が国の Society 5.0 の実現には、必要なデータを収集するためのセンサだけではなく、収集したデータを送受信する機能を搭載した IoT デバイスが不可欠である。さらに、製造業に着目すれば、工場内の設備にはラインの組み換え等によって設置が固定されていないものがあるほか、Automatic Guided Vehicle (AGV) や作業者が移動する。このため、業務効率化や省人化、その先にあるスマート工場の実現に向けて、IoT デバイスの無線通信機能を活用したネットワーク構築へのニーズが高まっている [10, 11, 12]。

これらの IoT デバイスの中でも Bluetooth や Zigbee の無線通信規格に適合した近距離無線通信機器は、通信可能な距離が数 m から数十 m 程度と比較的短い、運用にあたり免許が不要で安価、かつ省電力という利点を持ち [13]、その特長を生かしてスマート工場に必要なセンサネットワーク構築のほか Machine to Machine (M2M) 通信 [14]、スマート農業等への活用が期待されている [15]。これらの通信規格では送信電力が小さいため、送信機と比較して受信機の消費電力が相対的に大きくなり、その削減が求められている。また、受信機の構成としては、実現が比較的容易で小型化に適した Low Intermediate Frequency (低 IF) 方式が広く用いられている [16]。⁴

1.2 無線受信機の構成

前述の近距離無線通信機器に含まれる受信機においては、受信した数 GHz 帯の信号をミキサ回路を用いてデジタル信号処理が可能な数 MHz 程度の周波数に変換している⁵。この際、単一のミキサ回路を用いた素朴な方法で周波数変換を行うと、不必要な信号（イメージ信号）が所望の信号と同じ周波数帯に変換され、所望の信号が受信困難となるイメージ妨害が生じることが知られている。イメージ妨害を回避し、所望の信号を得ることが可能な受信機として次の3つの構成が知られている。

1. スーパーヘテロダイン方式

この方式は、所望の信号を中間周波数に変換し、中間周波数において受信した信号を増幅するとともに、周波数変換の前後でバンドパスフィルタを用いて逐次イメージ信号を減衰させる構成である。この構成は、イメージ信号の排除能力が高いが、その実現のために狭帯域バンドパスフィルタが必要となる。この狭帯域バンドパスフィルタは非常に急峻な特性が求められるため、演算増幅器

⁴無線通信機器には受信機だけでなく、送信機にも技術的課題が存在する [17]。しかしながら、送信機は自身の送信すべき信号のみを扱えば良いのに対し、受信機は所望の信号の数十倍のエネルギーの妨害波が存在する環境下で所望の信号のみを選択・受信する必要があるため、技術的により困難である [18]。

⁵例えば、Bluetooth では 2.4 GHz 帯の信号を受信し、ダイレクトコンバージョン方式では直流、低 IF 方式では 1~3MHz 程度の周波数に受信信号を変換して処理している。

等の能動素子と抵抗器やキャパシタで実現することが困難である。この問題は、Surface Acoustic Wave (SAW) フィルタ等のメカニカルフィルタ⁶を用いることで解決可能である⁷が、メカニカルフィルタは集積化が難しく、外付け部品となるため、部品点数を増加させ、回路の小型化を妨げる。

2. ダイレクトコンバージョン（ゼロ IF）方式

この方式は、直交ミキサ回路を用いて所望の信号を直流に変換して処理する構成である。この構成を用いた場合、狭帯域バンドパスフィルタが不要となるため、回路の部品点数が削減され、小型化が期待できる。しかしながら、ダイレクトコンバージョン方式は、所望の RF 信号と Local Oscillator (LO) 信号の周波数を同一としたことにより、発振器の信号がアンテナから放射される LO 信号の輻射、直流付近に変換された受信信号が劣化する $1/f$ ノイズ、AD 変換器のダイナミックレンジを低下させる DC オフセットという課題を抱えている。特に DC オフセットの問題は深刻で、ダイレクトコンバージョン方式では中間増幅段が無い⁸ため、ミキサから出力される受信信号は微弱であり、通常 40~80 dB 程度の増幅が必要となる [18, 20]。仮に素子値のばらつき等により生じたミキサ出力の DC オフセットが 1mV、ベースバンドにおけるアンプの増幅率を 60 dB とするならば、DC オフセットは 1V にも達し、後段の AD 変換器のダイナミックレンジを低下させ、条件によっては回路が飽和する。以上の問題を緩和する回路技術として、LO 信号の輻射はシールドの実装 [21]、 $1/f$ ノイズはダイナミックマッチング [22] を用いる手法が知られている。また、DC オフセットは偶高調波ミキサ⁸を活用したオフセットの低減やハイパスフィルタを直接挿入する手法 [23]、増幅回路に負帰還をかける手法 [24]、AD-DA 変換器を用いてキャリブレーションを施す手法 [25] が知られているが、現実的には製造ばらつきが存在するため DC オフセットをゼロにすることは困難である。

3. 低 IF 方式

この方式は、直交ミキサ回路を用いて所望の信号を 100kHz~数 MHz 程度の周波数に変換して処理する構成である。この構成を用いた場合、スーパーヘテロダイン方式の課題である狭帯域バンドパスフィルタが不要となるため、受信機の小型化が期待できる。さらに、所望の信号を（直流を避けて）中間周波数に変換することで、ダイレクトコンバージョン方式の問題である LO 信号の輻射、 $1/f$ ノイズ、DC オフセットの問題を回避することができる。しかしながらこの方式を用い

⁶無線受信機に用いられる狭帯域のメカニカルフィルタとしては、Bulk Acoustic Wave (BAW) フィルタも知られている。しかしながら、BAW フィルタを用いる場合、集積回路の製造工程が増加しコスト高になるという課題がある。

⁷例えば文献 [19] で使用しているオフチップの SAW フィルタは、中間周波数の 110MHz において通過帯域幅が 1MHz 程度であり、選択度は 100 を超える。

⁸偶高調波ミキサは、LO 信号に偶対称の信号成分が含まれた場合にオフセットを生じるため、従来の 2 次の非線形性を用いたミキサと異なり、LO 信号として良好な奇対称の信号を実現する必要がある。しかしながら、GHz 帯で奇対称の周期信号を生成し、精度良く制御することは容易ではない [18]。

る場合は、所望の信号と直流に対して対称な周波数に存在するイメージ信号を抑圧するため、複素係数フィルタ(以下、複素フィルタ⁹)が必要となる。複素フィルタは実係数フィルタ(以下、実フィルタ)と異なり、直流に対し非対称な周波数特性を有するフィルタ回路である。

以上のように、低 IF 方式の受信機は外付け部品により実現される狭帯域バンドパスフィルタが不要であることから小型化の観点から有利であり、かつ LO 信号の輻射、 $1/f$ ノイズ、DC オフセットの問題を本質的に回避できることから、ダイレクトコンバージョン方式と比較して回路の実現が容易であるという利点を有する。この低 IF 方式の受信機を実現するためには、直流に対し非対称な周波数特性を有する複素フィルタが必要となる。

1.3 複素フィルタに関する既存研究

複素フィルタはデジタルフィルタ [26] とアナログフィルタ [27, 28] の 2 つの構成法が知られている。このうち、複素デジタルフィルタを用いる場合は、複素アナログフィルタと比較して高いイメージ信号除去比 (Image Rejection Ratio (IRR))¹⁰ を実現できるという利点を持ち、スマートフォン等の高速通信 [29] に適しているが、所望の信号より強力なイメージ信号¹¹ をデジタル領域で処理する必要がある。これにより AD 変換器の仕様が厳しくなるとともに、Digital Signal Processor (DSP) の計算量が増加することで回路規模と消費電力が増加する。一方複素アナログフィルタを用いる場合は、実現可能な IRR は無調整の場合で 40 dB 程度に制限される [16] が、AD 変換器の仕様を緩和するとともに DSP の計算量を削減することで、回路規模と消費電力の削減が期待できる¹²。また、近距離無線通信機器に求められる IRR は 40 dB 未満となることが少なくないため¹³、これらの機器ではアナログフィルタを用いることが回路規模と消費電力の削減の観点から有利である [20, 33]。

以上の理由から、本論文では複素フィルタの中でも近距離無線通信機器に応用することで、受信機の省電力化と小型化が期待できる複素アナログフィルタに着目する。以降、複素フィルタとは複素アナログフィルタを指すものとし、実フィルタとは実アナログフィルタを指すものとする。

複素フィルタの実現法は受動実現と能動実現に大別できる。受動実現された複素フィルタは RC ポリフェーズフィルタ [34, 35, 36]、密結合トランス、又は疎結合トランスを用いた複素フィルタ [37, 38]、

⁹ 直流に対し非対称な周波数特性のフィルタは、(能動) ポリフェーズフィルタ、LCX フィルタ、ベクトルフィルタと呼ばれる場合もあるが、本論文では広く用いられている複素フィルタ (Complex filter) と呼ぶことにする。

¹⁰ 複素フィルタの減衰特性を示す指標であり、通過域内の最小利得と阻止域の最大利得の差を指す。本論文では、通過域が $0 < \omega_L < \omega < \omega_H$ のフィルタを設計し $-\omega_H \leq \omega \leq -\omega_L \leq 0$ を阻止域と定義して IRR を求めている。

¹¹ 通常、イメージ信号が所望の信号より高い信号強度を持つ悪条件が受信機の仕様として与えられる。

¹² 複素アナログフィルタを用いて AD 変換器の仕様を緩和するとともに DSP の計算量を削減し、そのうえで複素デジタルフィルタを用いることにより、与えられた IRR の仕様を満たすことも考えられる。加えて、無線送受信機器の複素アナログフィルタに関する既存研究には、受信機の増幅回路と複素フィルタ、さらには送信機に必要とされる DA 変換器の後段に用いられる再生フィルタまでも一体化させ、回路規模と消費電力の削減を試みた研究も存在する [30]。

¹³ 例えば Bluetooth であれば、複素フィルタに求められる IRR は 30 dB である [31, pp.2666-2667]。また、Zigbee の規格では IRR の仕様が明示されていないが、隣接信号の仕様から、IRR は 30 dB あれば十分であると言われている [32, pp.174-177]。

キャパシタ、インダクタ、及び抵抗器のみで実現された LC 複素フィルタ [39, 40] が知られている。RC ポリフェーズフィルタは、抵抗器とキャパシタのみで実現できることから集積化に適しているが、チャンネル選択のために別途バンドパスフィルタが必要となり、出力インピーダンスが低い信号源と入力インピーダンスが高いバッファを必要とするという問題を持つ。これらの問題は抵抗器で入力と出力が終端された回路構造を持つトランスを用いた複素フィルタやトランスを用いない LC 複素フィルタを用いることで回避できる。しかしながら、トランスは巻線間の寄生容量が回路の特性を劣化させ、LC 複素フィルタは高次のフィルタを構成することが難しいため、高い IRR を持つフィルタを実現することが困難である¹⁴。また、受動実現された複素フィルタは信号を増幅することが困難であるため、受信した信号を中間周波数で増幅するためには別途増幅回路が必要となる。

一方能動実現された複素フィルタは、回路を動作させるために直流電源が必要であり、動作する周波数帯域は能動素子の GB 積等に制約を受けるものの、設計自由度が高く、複素バンドパス特性のフィルタを構成することで、イメージ除去、チャンネル選択（及び必要に応じ増幅）の機能を 1 つのフィルタ回路で実現可能であるという利点を持つ。さらに、入出力インピーダンスの問題を比較的容易に解決可能であり、集積化に適しているため、低 IF 受信機には能動実現された複素フィルタが広く用いられている。複素フィルタを構成する能動素子には、Operational Amplifier (OA) [27, 42, 28, 43, 44, 45, 46, 47], Operational Transconductance Amplifier (OTA)[48, 49, 50, 51, 52, 53]、Second Generation Current Conveyor (CCII)[54, 55, 56, 57]、Current Feedback Operational Amplifier (CFOA)[58, 59, 60, 61] 等¹⁵が用いられている。これらの能動素子はそれぞれ利点と欠点を持ち、線形性や可変性等の仕様に依じて選択される。これらの能動素子の中でも広く用いられている能動素子は、演算増幅器と OTA である。演算増幅器は他の能動素子と比較し、使用できる周波数帯域がやや狭く、電氣的な調整が困難であるが、負帰還技術により高い線形性を持つ回路を実現可能であるという利点を持つ。また、OTA を用いた回路は他の能動素子を用いた回路と比較し線形性が劣るものの、使用できる周波数帯域は比較的広く、電氣的に特性を調整可能である [63] という利点を持つ。

複素フィルタを能動素子を用いて実現する方法は（演算増幅器、抵抗器、及びキャパシタで構成された）能動 RC フィルタを基準に分類すると、縦続接続法、直接シミュレーション法、及び間接シミュレーション法に分けられる。

縦続接続法は、所望の複素伝達関数を低次¹⁶の複素伝達関数の積に因数分解し、それぞれの複素伝達

¹⁴高次の LC 複素フィルタを近似的に構成する手法も提案されている [40] が、この手法で得られた複素フィルタは高次化により IRR が向上できないことが知られている。また、圧電トランスを用いて複素フィルタを構成する手法も提案されている [41] が、圧電トランス自体が等価回路内に多くの寄生素子を含み、不必要な通過域を生じることが知られている。

¹⁵他にもトランジスタで構成されたインピーダンス変換器を用いた複素フィルタ [34] やカレントミラーを用いた複素フィルタ [62] も、事例は少ないものの、その構成法が知られている。

¹⁶多くの場合 1 次の複素伝達関数 [27] を組み合わせた回路が構成されるが、2 次の複素伝達関数 [46] を直接実現する手法も知られている。

関数を能動回路を用いて実現した後、縦続接続することで回路を実現する方法である。縦続接続法は、間接シミュレーション法や直接シミュレーション法と比較し、所望の周波数特性を持つ回路を比較的容易に実現できるが、一般に得られた回路の通過域内における素子感度は高くなる。素子感度とは、素子値の変動に対する周波数特性の変動の大きさを示す指標であり、低いことが望ましい。素子感度が高い回路は、回路の特性がばらつき、歩留まりが悪化するほか、無調整化が比較的困難となる。このため、集積回路上で実装されるフィルタ回路には、間接シミュレーション法や直接シミュレーション法が広く用いられている。

間接シミュレーション法や直接シミュレーション法を用いる場合、所望の周波数特性を有する原形複素フィルタが必要となる。原形複素フィルタとは、従来の原形実フィルタに含まれていたインダクタ L 、キャパシタ C 、抵抗器 R （場合によっては理想トランス IT やジャイレータ GY が含まれる。）のほか、虚数抵抗 R^i を含むフィルタ回路である。以降、本論文では、虚数抵抗やインダクタを含んだ回路を原形複素（実）フィルタと呼び、能動素子、キャパシタ、及び抵抗器を用いて原形複素（実）フィルタを実現した回路を単に複素（実）フィルタと呼ぶ。虚数抵抗とは、V. Belevitch[64] や D. S. Humpherys[65] が導入した周波数によらず一定かつ純虚数のインピーダンスを持つ素子である。虚数抵抗は、狭帯域の実フィルタを近似的に実現するために導入された仮想の素子であったが、近年の研究成果により、この素子はジャイレータ [43] やトランス [37, 38, 66] を用いて、等価的に実現できることが知られている。等価的に実現された虚数抵抗を含む複素フィルタは実フィルタと異なり、直流に対して非対称的な周波数特性を有する¹⁷。

間接シミュレーション法は、複素リーブフログシミュレーション法に代表される手法であり、原形複素フィルタの各節点の電位と節点間を流れる電流を演算増幅器、OTA、CCII、あるいはCFOA等で実現される1次の複素伝達関数を用いてシミュレートする方法である。この手法は、原形複素フィルタとこれを能動実現した回路の対応が比較的複雑であるという欠点を持つ。一方、直接シミュレーション法は、原形複素フィルタに含まれる虚数抵抗とインダクタを能動素子を用いて実現する方法であり、原形複素フィルタとこれを能動実現した回路の素子値が対応していることから、回路の設計が比較的容易であるという利点を持つ。以上の理由から、本研究では回路設計が容易かつ低素子感度となることが期待できる直接シミュレーション法で複素フィルタを実現する。

直接シミュレーション法（と間接シミュレーション法）で実現される複素フィルタは、構成に必要な素子数や周波数特性が、シミュレートする対象となる原形複素フィルタに依存する。このため、与えられた仕様を満たしつつ省電力化と小型化の観点から有利な原形複素フィルタを構成することが、複

¹⁷特別な複素フィルタとして振幅特性が直流に対して対称な複素オールパスフィルタが知られている [67] が、この回路は複素フィルタを実フィルタの設計に応用した例であり、広く用いられているのは、振幅特性と位相特性の両方が直流に対して非対称な複素バンドパスフィルタと複素バンドエリミネーションフィルタである。

素フィルタの設計において重要である。

1.4 原形複素フィルタに関する先行研究

原形複素フィルタの設計法は、特性関数¹⁸から設計する手法と周波数変換を用いる手法に大別できる。

周波数変換を用いる手法は、原形実フィルタに対し Frequency Shifting method (以下、FS 法 [28])、Extended Lowpass Highpass Transformation (以下、ELHT 法 [70]) 及び Bilinear Lowpass Lowpass Transformation (以下、BLLT 法 [71]) に代表される周波数変換¹⁹を施すことで原形複素フィルタを導出する手法である。この手法は、原形複素フィルタが容易に設計できるという利点を持つが、得られるフィルタの周波数特性は原形実フィルタに依存するという制約を受け、得られる 2 次以上の原形複素フィルタがインダクタを含むという欠点がある。インダクタは、集積回路上で良好な特性を実現することが困難であり、実装面積が大きいと、直接シミュレーション形の複素フィルタでは能動素子とキャパシタ（及び抵抗器）を組み合わせることで実現される。従って、原形複素フィルタに含まれるインダクタを削減できれば、その実現に必要な能動素子も削減できる。既存研究において、周波数変換で得られた回路からインダクタを削減する手法が提案されている [73]。しかしながら、この手法が適用できる原形複素フィルタは、FS 法で得られた有極原形複素フィルタに限定されており、より少数の能動素子で実現可能な原形複素フィルタの導出と、応用範囲が広いインダクタの削減法が望まれている。

特性関数から設計する手法は、原形実フィルタの設計 [68, 69, 74, 75, 76] と同様に、まず減衰特性を決定する特性関数を設計し、次に特性関数から原形複素フィルタの入力インピーダンスを求め、最後に入力インピーダンスから原形複素フィルタの素子値を引き抜く手法である。この手法は設計手順が比較的複雑であるが、得られるフィルタの周波数特性が原形実フィルタのそれに制約を受けないため、良好な減衰特性を有し、少数の能動素子で実現可能な原形複素フィルタを得られる。その例としては、文献 [77] 及び文献 [78] で提案された複素 R^iCR フィルタ（以下、 R^iCR フィルタ）があげられる。 R^iCR フィルタはインダクタを含まない特別な回路構造を持つ原形複素フィルタであり、直接シミュレーション形複素フィルタを構成する場合に、少数の能動素子で実現できる。しかしながら、文献 [77, 78] の手法では R^iCR フィルタの設計に必要な特性関数を関数補間法に基づき設計しているため、所望の特性関数を得るためには初期値を適切に決定し、数値計算を繰り返す必要がある。関数補間法を用いると、初期値が適切でない場合に計算結果が収束せず、特性関数が得られないという問題がある。このため、 R^iCR フィルタの特性関数も、実フィルタのバタワース特性 [79] やチェビシェフ特性 [80] の特性関数と

¹⁸特性関数は元関数と呼ばれることもあるが、文献 [68, 69] に従って本論文では特性関数 (Characteristic function) と呼ぶことにする。

¹⁹周波数変換に基づく手法としては文献 [72] の手法もこれに該当すると考えられるが、この手法で実現できるのは偶数次複素伝達関数のみであり、原形実フィルタにこれを応用して原形複素フィルタを直接設計することが困難である。

同様に、解析的な設計法が望まれている。

また、文献 [81] で提案されている R^iCR フィルタは、接地の虚数抵抗、キャパシタ、及び終端抵抗のみで構成されており、インダクタのほか非接地の虚数抵抗も含まない。このため、文献 [81] の手法で得られる R^iCR フィルタは、直接シミュレーション法を用いて4相の複素フィルタを構成する場合に、文献 [73, 77, 78] よりも少ない能動素子で原形複素フィルタを実現できる。しかしながら、素子値の引き抜きに基づく既存の設計手法で得られる回路は通過域利得が過大（又は過小）になり、能動素子の出力が飽和する恐れがあるほか、素子値の広がり極めて大きくなるという問題がある。これらの問題は、通過域内の整合点周波数の1つを無限大周波数に配置した場合に解決されることが知られている [82]。しかしながら、文献 [82] の手法で得られる R^iCR フィルタは通過域が無限大周波数を含む複素ハイパス特性に限定される。このため、文献 [82] の手法で得られる R^iCR フィルタは、同じ次数の複素バンドパス特性のフィルタと比較して IRR が低くなるという問題を抱えている。

さらに、能動素子の削減とは別の問題であるが、実フィルタの設計に広く用いられているインピーダンススケールリング [83] を複素フィルタに対して施した場合、Frequency Linearly Dependent Resistor (FLDR) や Frequency Linearly Dependent Conductor (FLDG) と呼ばれる素子が生じることが知られている [84]。FLDR や FLDG は、そのインピーダンスが実数かつ周波数に依存する特別な素子であり、回路理論の発展に寄与する可能性があるが、その実現方法や等価回路は明らかにされていない。

1.5 本研究の目的と論文の構成

本研究の目的は複素フィルタを省電力化することである。そのために本論文では、省電力化の評価を複素フィルタを構成するために必要となる能動素子の数で行うものとし、少数の演算増幅器、又は少数の OTA で複素フィルタを構成する手法を提案している²⁰。

本論文は第1章から第8章の全8章で構成されている。以下に、第2章以降の概要を示す。

第2章では、まず、特性関数と伝達関数、及び原形複素フィルタの構成に必要な入力インピーダンスの関係について述べる。次に、原形複素フィルタに含まれる特別な素子である「虚数抵抗」を等価的に実現する手法について述べる。さらに、能動素子を用いたインダクタの実現方法について述べ、原形複素フィルタに含まれるインダクタと非接地虚数抵抗を削減することが、複素フィルタの実現に必要な能動素子の削減に有効であることを示す。加えて、複素フィルタの素子感度特性、周波数特性の測定法、及び低 IF 方式の受信機への複素フィルタの応用について述べる。

第3章では、通過域で平坦な特性をもつ複素伝達関数の設計法を提案している [85, 86]。提案手法を

²⁰一般に演算増幅器を用いて構成されたフィルタ回路と A 級動作のソースデジェネレーション形 OTA を用いて構成されたフィルタ回路は、その消費電力が能動素子の数に比例する。

用いることで、通過域端周波数、フィルタの次数、及び直流に配置する伝送零点の個数から、所望の仕様を満たす特性関数を解析的に求めることができる。この手法は、代入計算のみで所望の特性関数を設計できるため、関数補間法を用いていた従来手法 [77] の初期値に関する問題を本質的に回避することができる。本章で提案した理論の妥当性は、数値計算により確認する。

第3章の手法で実現可能な原形複素フィルタは、通過域で平坦な振幅特性のものに限定されており、通過域で波状の特性を持つフィルタや群遅延が平坦なフィルタを構成することが困難である。この問題を解決するためには、周波数変換に基づき得られた原形複素フィルタに対し、回路の変換を施すことで、インダクタを除去する手法が有効であると考えられる。そこで第4章では、回路の変換を用いて、インダクタを含まない原形複素フィルタを得る手法について検討する。まず、原形実フィルタに含まれるインダクタを変換するために用いられていた既存のインピーダンス反転器の特徴と、それらを複素フィルタに応用する場合に生じる問題について述べる。次いで、既存のインピーダンス反転器の課題を解決した新たなインピーダンス反転器を提案する [87, 88]。提案するインピーダンス反転器を応用することで、これまで実現方法が明らかとされていなかった FLDR や FLDG を等価的に表現できる。さらに、提案するインピーダンス反転器は、既存のインピーダンス反転器である Negative Impedance Inverter (NII) と、虚数抵抗で構成された虚ジャイレータをその特別な場合として含む。

第5章では、第4章の考察を元に、少数の演算増幅器で複素フィルタを実現する手法を提案する [89, 90, 91]。まず第1節において、NII を用いて無極原形複素フィルタに含まれるインダクタと非接地虚数抵抗が負性キャパシタと接地虚数抵抗に変換できることを示す。次に、変換後の回路に含まれる負性素子を実現する手法を提案する。提案手法で得られた無極複素フィルタは、従来のそれと比較し少数の演算増幅器で実現可能である。次いで第2節において、NII を用いた回路の変換を有極複素フィルタに応用する場合の課題について述べ、多端子対ジャイレータを用いて有極複素フィルタを実現し、この回路内の能動素子を共有する手法を提案する。提案手法で得られた有極複素フィルタは、従来のそれと比較し少数の演算増幅器で実現可能である。第5章の第1節と第2節の理論の妥当性は、それぞれ無極複素フィルタと有極複素フィルタを試作し、その周波数特性を測定することにより確認する。

第6章では、第4章の考察を元に、少数の OTA で複素フィルタを実現する手法を提案する [92, 93, 94]。まず第1節において、虚数抵抗で構成された虚ジャイレータを応用することで、インダクタがキャパシタと虚数抵抗に変換できることを示す。この手法は任意の回路に応用できることから、既存研究で提案されている回路の変換 [73] よりも応用範囲が広い。次いで第2節において、複素フィルタの構成に必要な能動素子をさらに削減するために、接地の虚数抵抗のみで構成された無極 R^iCR フィルタの新たな構成法を提案する。提案手法で得られる R^iCR フィルタの回路構造は従来手法 [81, 82] で得られるそれと同じであるが、提案手法で得られる回路は通過域内の利得が常に -6 dB となり、複素バンドパス特

性と複素ハイパス特性の両方が実現できる。このため、提案手法は従来手法 [81, 82] の通過域利得と IRR に関する問題を解決した R^iCR フィルタ の設計法であるといえる。第 6 章の第 1 節と第 2 節で提案した理論の妥当性は、それぞれ計算機シミュレーションにより確認する。

第 7 章では、少数の OTA で有極複素フィルタを実現する手法を検討する [95, 96]。まず、第 6 章第 1 節の手法を応用することで、有極 R^iCR フィルタ が構成できることを示す。この有極 R^iCR フィルタ は各並列枝に非接地の虚数抵抗を 1 つ以上含む構成となる。次に非接地虚数抵抗を削減するための新たな回路の変換を提案する。提案手法で得られた有極 R^iCR フィルタ は、第 6 章第 1 節の手法や従来手法 [73] で得られるそれと比較し、構成に必要となる非接地虚数抵抗の数が少ない。このため、4 相の複素フィルタを OTA を用いて実現する場合に、提案する有極 R^iCR フィルタ は、従来の有極 R^iCR フィルタ と比較し、より少数の能動素子で実現が可能である。本章で提案した理論の妥当性は、計算機シミュレーションにより確認する。

第 8 章では、本研究の成果をまとめるとともに、今後の課題について述べる。

第2章 複素フィルタ

本章では複素フィルタの構成法 [28, 43, 68, 69, 70, 71, 77, 78, 97, 98]、素子感度特性 [99, 100]、周波数特性の測定法 [101]、及び応用 [16] について述べる。まず、第1節にて原形複素フィルタの構成法について述べる。次に第2節にて、原形複素フィルタに含まれるインダクタと虚数抵抗の実現方法について述べる。さらに第3節と第4節にて、それぞれ複素フィルタの素子感度特性と周波数特性の測定法について述べる。最後に第5節にて、応用例として低IF方式の受信機への複素フィルタの応用について述べる。

2.1 原形複素フィルタの構成

原形複素フィルタは、特性関数からその入力インピーダンスを求め素子値を引き抜くことで設計する手法と、原形実フィルタに対し周波数変換を施し設計する手法が知られている。本節では、これら2通りの原形複素フィルタの設計法について述べる。

2.1.1 特性関数

伝達関数の振幅自乗関数 $|T(s)_{s=j\omega}|^2$ と特性関数 $f(s/j)$ の関係は次式で表すことができる。

$$|T(s)_{s=j\omega}|^2 = T(s)T^*(-s) = \frac{H^2}{1 + \varepsilon^2 f^2(s/j)} \quad (2.1)$$

ここで、 j は虚数単位、 ε は通過域リプルの大きさを決定する実定数、 H は通過域内最大利得を決定する実定数を表し、 $*$ は極や零点が複素共役の関数であることを表している。複素平面上における伝達関数 $T(s)$ 、 $T(-s)$ 及び $T^*(-s)$ と極の関係を図 2.1 に示す。目的の伝達関数 $T(s)$ は、式 (2.1) の伝達関数の振幅自乗関数 $T(s)T^*(-s)$ から、複素平面上の左半面にある極（図 2.1 における $T(s)$ ）を選択することで求めることができる。なお、設計する伝達関数が実伝達関数の場合、 $T(s)$ の極と零点が実軸に対して対称な配置であるため、 $T(s)T^*(-s)$ の代わりに $T(s)T(-s)$ を用いても全く同じ結果が得られる。¹

代表的な特性関数としては、通過域で利得が平坦となるバタワース特性や通過域で利得が波状（等リプル）となるチェビシェフ特性が知られている。 n 次バタワース特性の実ローパスフィルタの特性関数

¹ $T(s)T^*(-s)$ を用いた場合、実伝達関数だけでなく、複素伝達関数も設計できることから、式 (2.1) は $T(s)T(-s)$ を用いた場合よりも応用範囲が広い伝達関数の設計法であると言える。

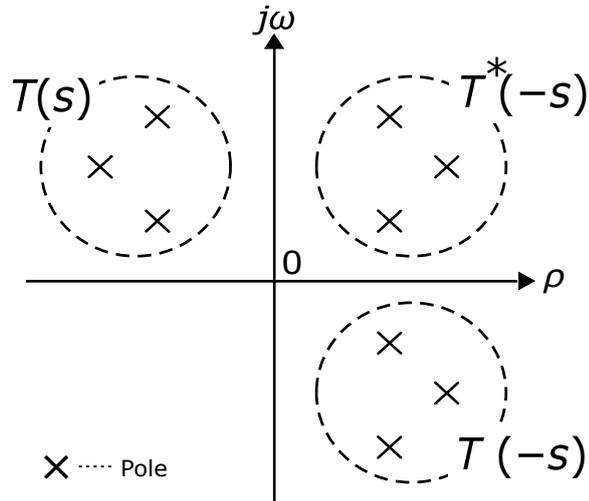


図 2.1: 伝達関数 $T(s)$ 、 $T^*(-s)$ 、 $T(-s)$ の極配置

$f_b(x)$ と n 次チェビシェフ特性の実ローパスフィルタの特性関数 $f_c(x)$ は、それぞれ次式で表される。

$$\left. \begin{aligned} f_b(x) &= x^n \\ f_c(x) &= \cos(ncos^{-1}(x)) \end{aligned} \right\} \quad (2.2)$$

上式から、バターワース特性のローパスフィルタとチェビシェフ特性のローパスフィルタの特性関数は、 n を代入するだけで容易に求められることがわかる。これらの特性関数を用いて設計したフィルタは、整合点周波数²における利得が H となる。この場合、周波数 $\omega (= s/j)$ における減衰量 A_{min} [dB] は次式で書くことができる。

$$A_{min} = 20\log_{10}\sqrt{1 + \varepsilon^2 f^2(s/j)} \quad (2.3)$$

2.1.2 原形フィルタの入カインピーダンス

まず、一般化された原形フィルタを図 2.2 に示す。この図の破線で示す（始端抵抗を含む）信号源から右側に伝送される有効電力を P_{IN} は次式のように書くことができる。

$$P_{IN} = \operatorname{Re} \left\{ \frac{Z_{IN}}{|R_S + Z_{IN}|^2} \right\} |V_{IN}|^2 \quad (2.4)$$

ここで、 $\operatorname{Re}\{A\}$ は A の実部を表す。今、始端抵抗 R_S と終端抵抗 R_L 以外の素子は無損失の LCRⁱ であると仮定すると、有効電力 P_{IN} は全て終端抵抗 R_L で消費されることになる。従って、次式が成り立つ。

$$\operatorname{Re} \left\{ \frac{Z_{IN}}{|R_S + Z_{IN}|^2} \right\} |V_{IN}|^2 = \frac{|V_{OUT}|^2}{R_L} \quad (2.5)$$

² $\varepsilon^2 f^2(s/j)$ が 0 となる周波数を指す。

さらに、伝達関数 $T(j\omega)$ は次式で書くことができる。

$$\frac{|V_{OUT}|^2}{|V_{IN}|^2} = |T(j\omega)|^2 \quad (2.6)$$

式 (2.5) と式 (2.6) から、次式が得られる。

$$\left. \begin{aligned} |T(j\omega)|^2 &= R_L \frac{\operatorname{Re}\{Z_{IN}\}}{|R_S + Z_{IN}|^2} \\ &= \frac{R_L}{4R_S} \frac{2R_S(Z_{IN} + Z_{IN}^*)}{R_S^2 + R_S(Z_{IN} + Z_{IN}^*) + |Z_{IN}|^2} \\ &= \frac{R_L}{4R_S} \left(1 - \frac{|R_S - Z_{IN}|^2}{|R_S + Z_{IN}|^2}\right) \end{aligned} \right\} \quad (2.7)$$

ここで、 Z_{IN}^* は Z_{IN} の複素共役である。次に、反射係数 $\rho(j\omega)$ を次式で定義する。

$$\rho(j\omega) = \frac{R_S - Z_{IN}}{R_S + Z_{IN}} \quad (2.8)$$

式 (2.8) を式 (2.7) に代入することで、次式が得られる。

$$|\rho(j\omega)|^2 = 1 - 4(R_S/R_L)|T(j\omega)|^2 \quad (2.9)$$

さらに、式 (2.9) は次式のように書ける。

$$\rho(j\omega)\rho^*(-j\omega) = 1 - 4(R_S/R_L)T(j\omega)T^*(-j\omega) \quad (2.10)$$

ここで、*は極や零点が複素共役の関数であることを表している。次に、素子感度の低減を目的として整合点周波数で $\rho(j\omega)\rho^*(-j\omega) = 0$ とした場合、式 (2.1) と式 (2.10) から次式が得られる。ここで、 $j\omega \rightarrow s$ としている。

$$\rho(s)\rho^*(-s) = \frac{\varepsilon^2 f^2(s/j)}{1 + \varepsilon^2 f^2(s/j)} \quad (2.11)$$

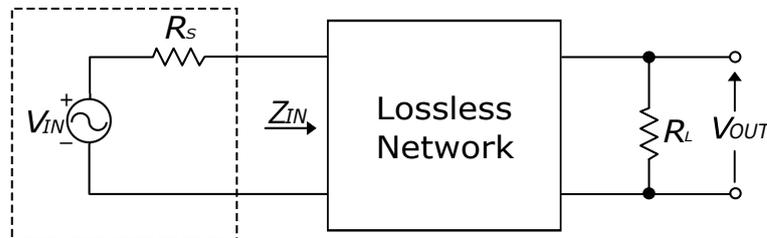


図 2.2: 一般化された原形フィルタ

上式の $\rho(s)\rho^*(-s)$ のうち、左半面の極を選択することで反射係数 $\rho(s)$ が得られる。さらに、原形フィルタの素子値を求める際に必要となる入力インピーダンス Z_{IN} は、式 (2.8) を変形することで次式のように表すことができる。

$$Z_{IN} = R_S \frac{1 + \rho(s)}{1 - \rho(s)} \quad (2.12)$$

以上の関係式を用いることで、所望の伝達関数 $T(s)$ と原形フィルタの入力インピーダンス Z_{IN} は、特性関数 $f(s/j)$ から導出できる。さらに、得られた入力インピーダンス $Z_{IN}(s)$ を用いて素子値の引き抜きを行うことにより、原形フィルタの素子値を求めることができる。

2.1.3 周波数変換

原形複素フィルタは、原形実フィルタに対し FS 法 [28]、ELHT 法 [70]、又は BLLT 法 [71] を施すことでも得られる。FS 法、ELHT 法、BLLT 法の周波数変換関数 $f_{ftFS}(\omega)$ 、 $f_{ftELHT}(\omega)$ 、及び $f_{ftBLLT}(\omega)$ をそれぞれ次式に、周波数変換に対応する素子の変換を表 2.1 に示す。

$$\left. \begin{aligned} f_{ftFS}(\omega) &= a\omega - jx_s \\ f_{ftELHT}(\omega) &= -\frac{\omega_c}{\omega - \omega_s} - x_s \\ f_{ftBLLT}(\omega) &= -\frac{1}{-\frac{\omega_c}{\omega - \omega_s} - x_s} \end{aligned} \right\} \quad (2.13)$$

ここで、 a 、 ω_c 、 ω_s 、及び x_s は、仕様により決定される実定数である。また、表 2.1 から、周波数変換で得られる原形複素フィルタには、原形実フィルタに含まれていた抵抗器 R 、インダクタ L 、及びキャパシタ C だけでなく、虚数抵抗 jR (及び jG) が含まれることがわかる。虚数抵抗のインピーダンス Z_{jR} とアドミタンス Y_{jG} は次式で表すことができる。

$$\left. \begin{aligned} Z_{jR} &= jR \\ Y_{jG} &= jG \end{aligned} \right\} \quad (2.14)$$

上式から、虚数抵抗のインピーダンスは純虚数であるが、インダクタやキャパシタと異なり、周波数に依存しないことがわかる。

次に、表 2.1 と式 (2.13) を元に周波数変換の比較を行う。FS 法は設計自由度が a, x_s の 2 であるため、通過域端周波数 ω_H 及び ω_L ($\omega_H > \omega_L$) を与えることで直ちに周波数変換関数のパラメータが決定される。一方、ELHT 法と BLLT 法を用いた場合は、設計自由度が ω_s, ω_c, x_s の 3 であるため、通過域端周波数のほかに減衰特性を決定する拘束条件を 1 つ与えることができる。この自由度を活用することで、同じ次数の FS 法で得られるフィルタと比較し、正又は負の周波数に対し急峻な特性を持つフィルタや、高

Real prototype	Transformed		
	FS	ELHT	BLLT

表 2.1: 素子の変換

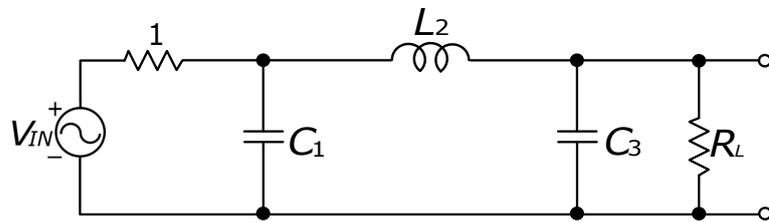


図 2.3: 原形実フィルタ ($n = 3$)

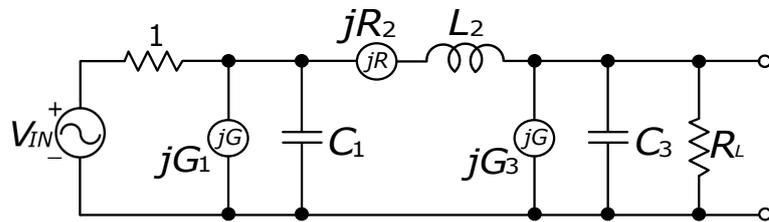


図 2.4: FS 法で得られた原形複素フィルタ ($n = 3$)

い IRR のフィルタを実現することが可能である。なお、 $\omega_s = 0$ とした ELHT 法や、 $\omega_s = 0$ とした BLLT 法を原形実フィルタに施した場合にも、原形複素フィルタが得られる。この場合、設計自由度は低下するが、表 2.1 の破線で示した虚数抵抗 jR は短絡除去、虚数抵抗 jG は開放除去となる。このため、得られる原形複素フィルタに含まれる虚数抵抗の数が少なくなり、より少数の素子で複素フィルタが実現可能となる。なお、2 次以上の原形実フィルタはキャパシタとインダクタの両方を含むことから、これに周波数変換を施すことで得られる 2 次以上の原形複素フィルタは、インダクタを含む構成となる。

一例として、図 2.3 に示す原形実フィルタに FS 法を施すと、図 2.4 に示す原形複素フィルタが得られる。これらの図から、原形実フィルタと、これに周波数変換を施すことで得られる原形複素フィルタは、いずれもインダクタを含むことがわかる。

2.2 複素フィルタの能動実現

原形複素フィルタに含まれる素子のうち、抵抗器とキャパシタは集積回路上に直接実現が可能であり、抵抗器は能動素子である OTA を用いることでも等価的に実現できる。一方インダクタは、集積回路上に直接実現すると、実装面積が大きく、寄生素子によりその特性が劣化するため、好ましくない。このため、原形フィルタに含まれるインダクタは、通常能動素子とキャパシタを用いて等価的に実現される。また、虚数抵抗は仮想の素子であるため、能動素子を用いて等価的に実現する必要がある。本節では、インダクタと虚数抵抗を、能動素子を用いて等価的に実現する手法について述べる。

2.2.1 インダクタの能動実現

インダクタ L を図 2.5(a) に、インダクタをトランスコンダクタンスが g_m の OTA とキャパシタ C を用いて実現した回路を図 2.5(b) に示す。図 2.5(b) において電圧 v と電流 i の関係は次式のようになる。

$$v = isC/g_m^2 \quad (2.15)$$

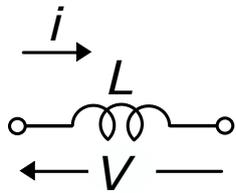
上式の電圧と電流の関係は、次式で表されるインダクタ L のそれと等しい。

$$sL = sC/g_m^2 \quad (2.16)$$

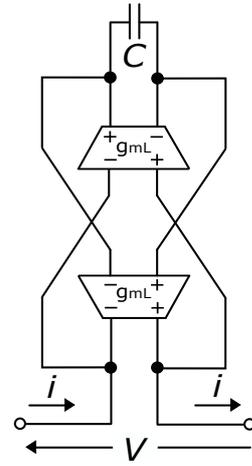
以上より、2つの OTA を用いて実現された図 2.5(b) の回路を用いることで、インダクタが等価的に実現できる。

次に、少数の演算増幅器でインダクタを実現できる回路として知られている多端子対ジャイレータを図 2.6 に示す。この図において、 r は任意であり、節点 V_{2k} ($k = 1, 2, \dots, n$) に接続された素子のインピーダンス Z は、節点 V_{2k-1} ($k = 1, 2, \dots, n$) から見込むと $1/Z$ へと変換される。このため、節点 V_{2k-2} ($k = 1, 2, \dots, n$) にキャパシタ C を接続した場合、節点 V_{2k-1} ($k = 1, 2, \dots, n$) から見込んだインピーダンスはインダクタのそれ $sL (= sC)$ となる。ここで、1点鎖線で囲まれた演算増幅器は、節点 V_{2n} に $1[\Omega]$ の抵抗器が接続された場合、合成インピーダンスが無量大となり、開放除去できる³。この場合、 n 個のインダクタを実現するために、 $2n$ 個の演算増幅器が必要となる。

³ 広く用いられる奇数次のバターワース特性、チェビシェフ特性、連立チェビシェフ特性のフィルタは、終端抵抗が 1 となるため、この条件を満たす。



(a) インダクタ



(b) OTA とキャパシタを用いて実現したインダクタ

図 2.5: インダクタとその OTA を用いた能動実現

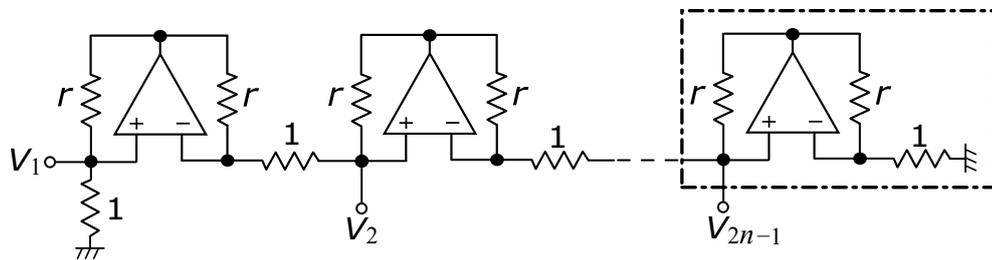


図 2.6: 演算増幅器を用いて実現した多端子対ジャイレータ

2.2.2 虚数抵抗の能動実現

非接地虚数抵抗 jR を図 2.7(a) に示す。この素子の両端にかかる電圧と電流の関係は次式で表すことができる。

$$v = jRi \quad (2.17)$$

次に、電圧 v と電流 i を次式のように実部と虚部に分ける。

$$\left. \begin{aligned} v &= v_r + jv_i \\ i &= i_r + ji_i \end{aligned} \right\} \quad (2.18)$$

式 (2.18) を式 (2.17) に代入することにより、次式が得られる。

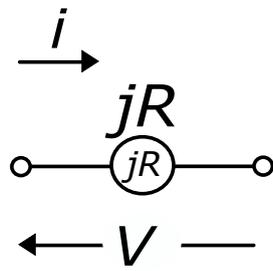
$$\begin{pmatrix} v_r \\ v_i \end{pmatrix} = \begin{pmatrix} 0 & -R \\ R & 0 \end{pmatrix} \begin{pmatrix} i_r \\ i_i \end{pmatrix} \quad (2.19)$$

上式は、図 2.7(b) に示すジャイレータの Z -マトリクスと等しい。このことから、虚数抵抗は、ジャイレータを用いて等価的に構成できる。2 相の複素フィルタにおいてこのジャイレータは、OTA を用いた図 2.8(a) に示す回路、又は演算増幅器を用いた図 2.9(a) に示す回路を用いて実現できる。図 2.8(a) から、非接地虚数抵抗を 1 つ実現するためには、OTA が 2 つ必要となることがわかる。ただし、図 2.8(a) において、 $R = 1/g_m$ である。次に、接地虚数抵抗を OTA と演算増幅器を用いて実現した回路をそれぞれ図 2.8(b) と図 2.9(b) に示す。これらの図から、OTA を用いて接地虚数抵抗を実現する場合は、非接地虚数抵抗と同数の能動素子が必要となることがわかる。ただし、図 2.8(b) において、 $R = 1/g_m$ である。一方、演算増幅器を用いて接地虚数抵抗を実現した場合は、非接地虚数抵抗の半分の能動素子で実現できることがわかる。

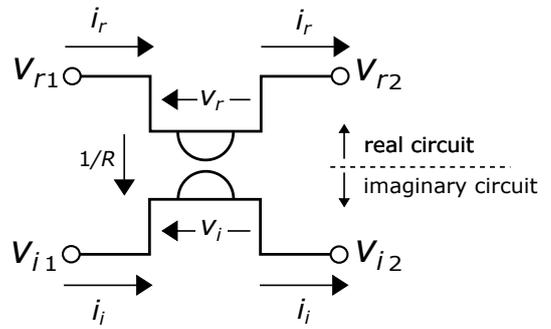
次に、4 相の複素フィルタにおいて虚数抵抗を実現することを考える。OTA を用いて接地虚数抵抗と非接地虚数抵抗を実現すると、それぞれ図 2.10(a) と図 2.10(b) のようになる。これらの図から、4 相の複素フィルタにおいて非接地虚数抵抗を実現するためには、接地虚数抵抗の 2 倍の能動素子が必要となることがわかる。ただし、図 2.10(a) においては $R = 1/g_m$ 、図 2.10(b) においては $R = 1/2g_m$ である。また、図 2.9(a) 及び図 2.9(b) を参考に、演算増幅器を用いて 4 相複素フィルタを実現する場合は、少なくとも非接地虚数抵抗の実現には 8 個、接地虚数抵抗の実現に 4 つの能動素子が必要となる⁴。

虚数抵抗は実部回路と虚部回路を結合して実現するが、インダクタは実部回路と虚部回路で別々に実現する必要があることを考慮して以上の結果を整理すると、原形複素フィルタに含まれる素子を実現す

⁴+I と +Q、-I と -Q のように、虚数抵抗を実現するために必要となる最少の能動素子の数を示したが、+I と ±Q、-I と ±Q のように 4 相全てを演算増幅器で実現されたジャイレータで結合した場合、この 2 倍（非接地虚数抵抗は 16 個、接地虚数抵抗は 8 個）の演算増幅器が必要となる。

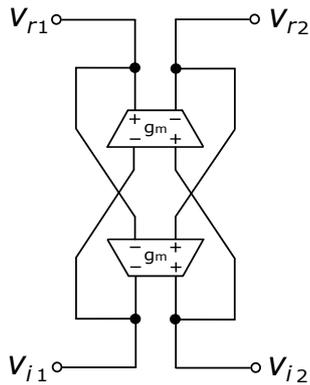


(a) 虚数抵抗

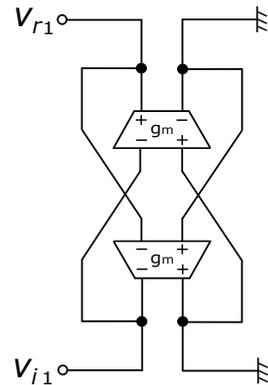


(b) ジヤイレータを用いて実現した虚数抵抗

図 2.7: 虚数抵抗とそのジヤイレータを用いた実現



(a) 非接地虚数抵抗



(b) 接地虚数抵抗

図 2.8: 2 相複素フィルタにおける OTA を用いた虚数抵抗の実現

際に必要となる素子数は、表 2.2 のようになる。この表から、インダクタを実現するために必要となる能動素子は、接地虚数抵抗のそれよりも多いことがわかる。さらに、4 相の複素フィルタを OTA を用いて実現する場合と、2 相又は 4 相の複素フィルタを演算増幅器を用いて実現する場合は、非接地虚数抵抗を実現するために必要となる能動素子は、インダクタのそれに次いで多いことがわかる。従って、複素フィルタの実現に必要な能動素子を削減するためには、原形複素フィルタに含まれるインダクタと非接地虚数抵抗の数を削減することが有効である。

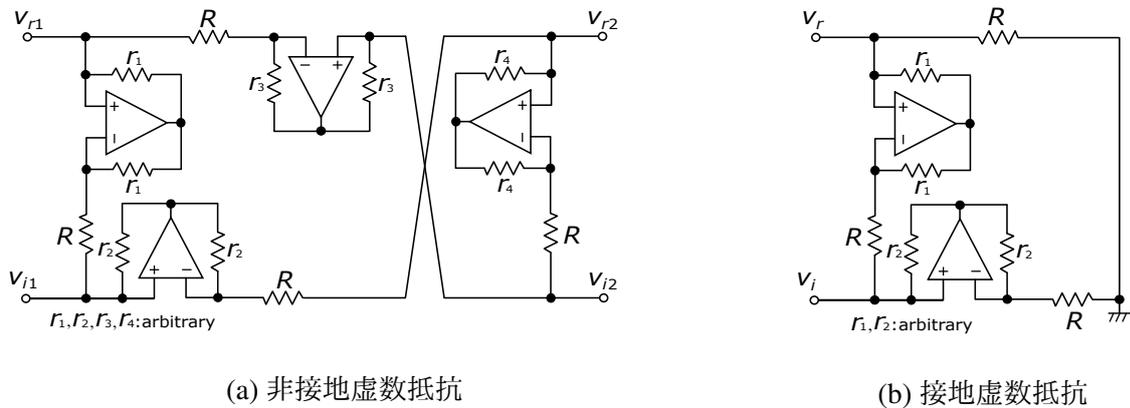


図 2.9: 2相複素フィルタにおける演算増幅器を用いた虚数抵抗の実現

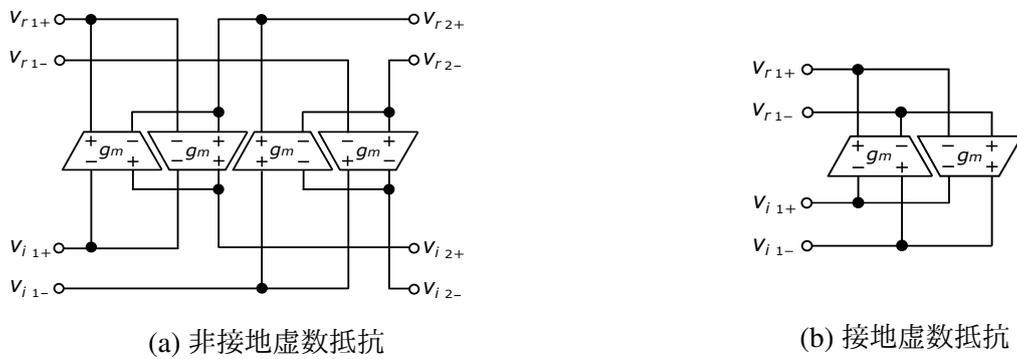


図 2.10: 4相複素フィルタにおける OTA を用いた虚数抵抗の実現

表 2.2: インダクタと虚数抵抗を能動実現するために必要となる素子の数

	2-phase complex filter					4-phase complex filter				
	Active RC			G_m -C		Active RC			G_m -C	
	OA	R	C	OTA	C	OA	R	C	OTA	C
Inductor	4	12	2	4	2	8	24	4	8	4
Floating jR	4	12	0	2	0	8	24	0	4	0
Grounded jR	2	7	0	2	0	4	14	0	2	0

jR : imaginary resistor

2.3 素子感度

素子感度とは、素子値の誤差に対する周波数特性の変動を表す指標であり、低いことが好ましい。本論文において、素子感度 S は次式で定義される値を指すものとする。

$$S = \sum_{i=1}^n \left(\frac{\partial |T(j\omega)| / |T(j\omega)|}{\partial x_i / x_i} \right) \quad (2.20)$$

この式において、 $|T(j\omega)|$ はフィルタの利得、 x_i は回路に含まれる素子の値、 n はフィルタを構成する素子の数である。抵抗両終端形の原形フィルタが通過域内において低素子感度であることは、実フィルタについて H. J. Orchard[99]、複素フィルタについて武藤ら [100] が明らかにしている。以下では、この原形フィルタの通過域内における感度について述べる。

一般化した原形フィルタは図 2.2 のようになる。ここで、図 2.2 の回路が、前述のバターワース特性やチェビシェフ特性のように、通過域内において減衰量が 0 となる整合点周波数を持つ場合を考える。

整合点周波数において、図 2.2 の破線で示す電源から右側の回路を見込んだ入力インピーダンス Z_{IN} は R_S となる⁵。このとき、信号源からフィルタ回路へ最大の電力 P_{MAX} が供給されることになる。この P_{MAX} は次式のようになる。

$$P_{MAX} = \frac{V_{IN}^2}{4R_S} \quad (2.21)$$

いま、図 2.2 の回路を構成する無損失素子（インダクタ、キャパシタ、理想トランス、ジャイレータ、及び虚数抵抗）の素子値の 1 つが設計値 x からわずかに変化して $x + \delta x$ となった場合を考える。この時、無損失素子の素子値が変化することで、出力電圧 V_{OUT} も変化する。

今、 $|V_{OUT}| = f(x)$ として素子値の変化に対する $|V_{OUT}|$ の変化をテイラー展開を用いて表すと、次式のようになる。

$$|V_{OUT} + \delta V_{OUT}| - |V_{OUT}| = \frac{df(x)}{dx} \delta x + \frac{d^2 f(x)}{dx^2} (\delta x)^2 + \dots \quad (2.22)$$

ここで、 δx は正の場合と負の場合の両方が考えられるが、素子値が変動した時に電源からフィルタ回路へ供給される電力は、いずれの場合も P_{MAX} より小さくなるので、出力電圧（の大きさ） $|V_{OUT}|$ は減少する⁶。このことから、次式が成り立つ。

$$\frac{df(x)}{dx} = 0 \quad (2.23)$$

素子値の変動がわずかであると仮定しているので、式 (2.22) は 1 次項 $df(x)/dx$ が支配的であるが、原形

⁵偶数次のチェビシェフ特性を持つローパスフィルタのように始端抵抗 R_S と終端抵抗 R_L が一致しない回路においても、入力インピーダンス Z_{IN} は R_S となる。

⁶このことは構造的有界性 (Structurally boundedness) と呼ばれている。

フィルタの整合点周波数においては式 (2.23) からこの 1 次項 $df(x)/dx$ が 0 となる。これが、原形フィルタの素子感度が通過域内で低くなる理由である。

以上のように、原形フィルタは通過域内において素子感度が低くなるため、この原形フィルタを能動素子を用いてシミュレートした場合も、通過域内で素子感度が低くなるのが期待できる。図 2.11 に FS 法を用いて構成された通過域 9-11 rad/s、通過域リプル 1 dB の 3 次複素チェビシェフフィルタの振幅特性と、文献 [102] に基づき得られた原形複素フィルタ及び能動 RC フィルタの受動素子に対する素子感度を示す。回路の振幅特性は全ての構成で等しくなるように設計しているため、図 2.11 には代表して原形複素フィルタの振幅特性を示している。この図から、通過域における素子感度は、原形複素フィルタをシミュレートした回路が縦続接続法に基づき構成された回路と比較してはるかに低いことがわかる。

本論文において、2 相複素フィルタの素子感度は、式 (2.20) に基づき随伴回路を用いて実部出力の素子感度を直接求めている [102]。また、4 相複素フィルタの素子感度は、実部回路の差動出力に対する素子感度を次式を用いて求めている。

$$S \approx \sum_{i=1}^n \left(\frac{\left| \frac{|T'(j\omega)| - |T(j\omega)|}{|T(j\omega)|} \right|}{|x'_i - x_i|/|x_i|} \right) \quad (|x'_i - x_i|/|x_i| \ll 1) \quad (2.24)$$

上式において、 $|T(j\omega)|$ と $|T'(j\omega)|$ は、それぞれ設計値が x_i である素子の素子値が x_i の場合と x'_i の場合の利得を表している。式 (2.24) の計算にあたり、本論文では各素子の素子値をそれぞれ 0.1% ずつ増加 ($|x_i|/|x'_i - x_i| = 1000$) させて $\left| \frac{|T'(j\omega)| - |T(j\omega)|}{|T(j\omega)|} \right|$ を求めた後、その総和を計算している。

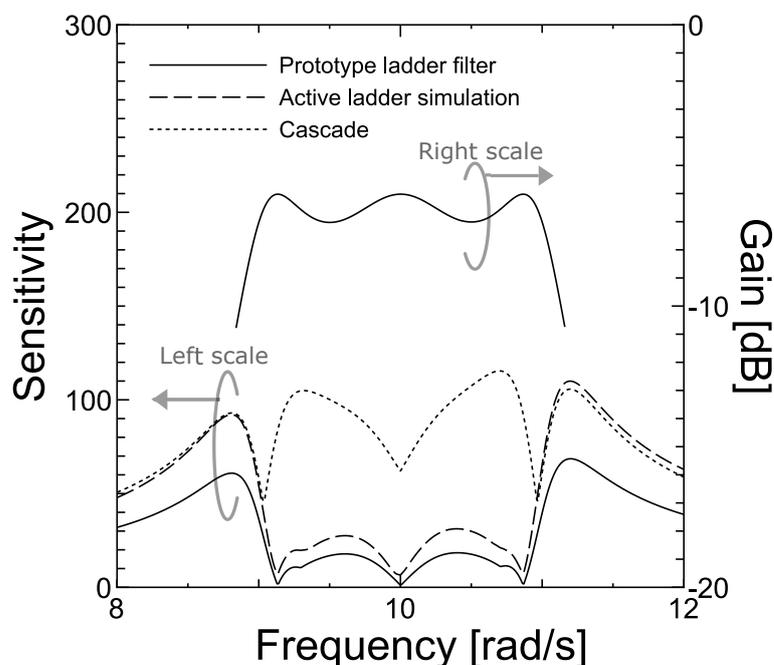


図 2.11: 複素フィルタの素子感度と振幅特性

2.4 周波数特性の測定法

複素フィルタは実部と虚部の入出力を持ち、その周波数特性を直接測定するためには、測定対象となる複素フィルタに (2 相の複素フィルタを測定する場合) 90° の定位相差を持つ 2 つの信号を入力する必要がある。しかしながら、広帯域で精度良く 90° の定位相差を持つ信号を発生させることは容易ではなく、入力する信号自体が持つ位相誤差と振幅誤差が測定結果の誤差の原因となる。

この問題を回避するため、本論文では重ね合わせの理を活用した測定法 [101] を用いて試作した複素フィルタの周波数特性を測定した。この手法ではまず、虚部入力を接地して実部入力に信号を入力し、実部出力の周波数特性を測定する。次いで実部入力を接地して虚部入力に信号を入力し、実部出力の周波数特性を測定する。前者の測定結果から得られた周波数特性を $T_R(j\omega)$ 、後者の測定結果を $T_I(j\omega)$ とすると、複素フィルタの正と負の周波数における振幅特性 $|T(j\omega)|$ と $|T(-j\omega)|$ はそれぞれ次式のようになる。

$$\left. \begin{aligned} |T(j\omega)| &= |T_R(j\omega) + jT_I(j\omega)| \\ |T(-j\omega)| &= |T_R(j\omega) - jT_I(j\omega)| \end{aligned} \right\} \quad (2.25)$$

本研究において、試作した複素フィルタの周波数特性は、図 2.12 に示す測定系を用いて、 $T_R(j\omega)$ と $T_I(j\omega)$ をそれぞれ測定し、式 (2.25) を用いて $|T(j\omega)|$ と $|T(-j\omega)|$ を計算することにより求めている。なお、利得 1 倍のバッファは演算増幅器 LF356 に 100% の負帰還をかけることで実現し、パーソナルコンピュータは振幅特性 $|T(j\omega)|$ と $|T(-j\omega)|$ の保存と式 (2.25) の計算を行うために用いた。

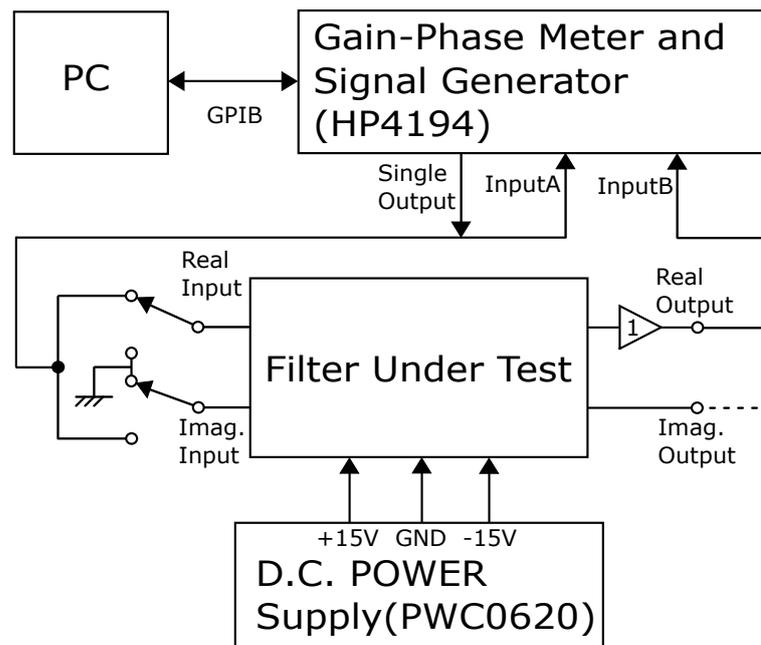


図 2.12: 測定系

2.5 低 IF 方式の受信機への複素フィルタの応用

複素フィルタの代表的な応用例である低 IF 方式の受信機のブロック図を図 2.13 に、各部のスペクトラムを図 2.14 に示す。図 2.14 において、局部発振器が出力する信号の周波数は ω_{LO} であり、所望の信号は周波数 ω_{RF} 、イメージ信号は周波数 ω_{IM} に存在するものとしている。また、所望の信号とこれに隣接するイメージ信号を除く受信信号は、LNA 前段の実バンドパスフィルタで十分に減衰したと仮定している。ここで、 ω_{RF} と ω_{IM} は、 ω_{IF} 、及び ω_{LO} と次式の関係を持つ。

$$\left. \begin{aligned} \omega_{RF} &= \omega_{LO} + \omega_{IF} \\ \omega_{IM} &= \omega_{LO} - \omega_{IF} \end{aligned} \right\} \quad (2.26)$$

所望の信号とイメージ信号はアンテナで受信した信号であるから実信号、局部発振器の出力信号は解析信号を仮定し、所望の信号、イメージ信号、局部発振器の出力信号をそれぞれ $v_{RF} = \cos(\omega_{RF}t) = e^{j\omega_{RF}t} + e^{-j\omega_{RF}t}$ 、 $v_{IM} = \cos(\omega_{IM}t) = e^{j\omega_{IM}t} + e^{-j\omega_{IM}t}$ 、 $v_{LO} = e^{-j\omega_{LO}t}$ とすると、次式の関係が得られる。

$$\left. \begin{aligned} v_{RF}v_{LO} &= e^{j(\omega_{IF})t} + e^{j(-2\omega_{LO}-\omega_{IF})t} \\ v_{IM}v_{LO} &= e^{j(-\omega_{IF})t} + e^{j(-2\omega_{LO}+\omega_{IF})t} \end{aligned} \right\} \quad (2.27)$$

上式から、解析信号を出力する局部発振器と直交ミキサを用いることで、所望の信号は正の周波数に、イメージ信号は負の周波数にダウンコンバートされることがわかる。この様子を図 2.14(a) 及び (b) に示す。ここで、図 2.14(b) の破線で示す振幅特性の複素（バンドパス）フィルタを用いると、負の周波数にダウンコンバートされたイメージ信号は減衰され、所望の信号が複素フィルタから出力される。従って、AD 変換器には図 2.14(c) に示す所望の信号が入力されることになる。以上のように、複素フィルタを用いることで、イメージ信号による AD 変換器のダイナミックレンジの低下を回避し、所望の信号をデジタル信号へ変換することができる。なお、実フィルタは周波数応答が直流に対して対称であるため、所望の信号が存在する正の周波数が通過域となるフィルタを設計すると、イメージ信号が存在する負の周波数にも通過域を生じる。このため、実フィルタを用いた場合に、所望の信号を減衰させることなくイメージ信号のみを減衰させることは困難である。

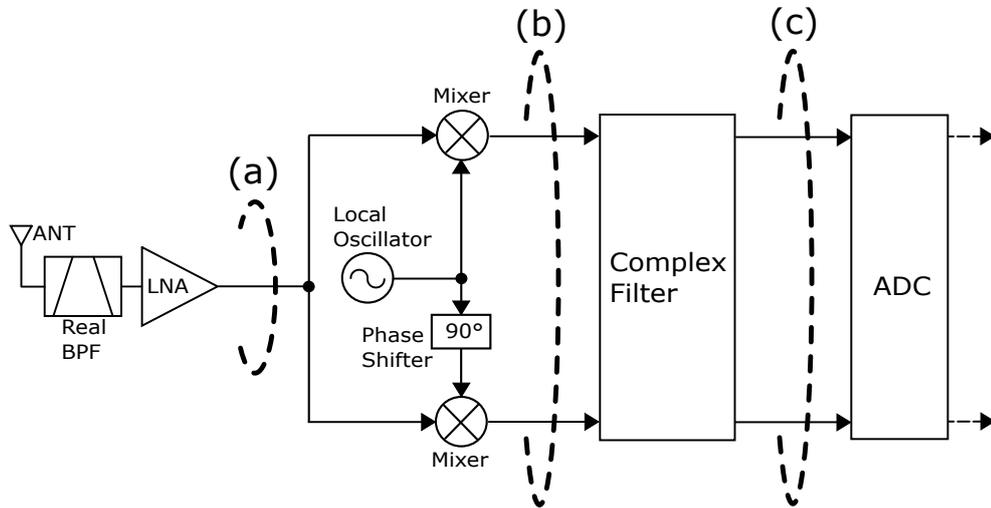


図 2.13: 低 IF 方式の受信機のブロック図

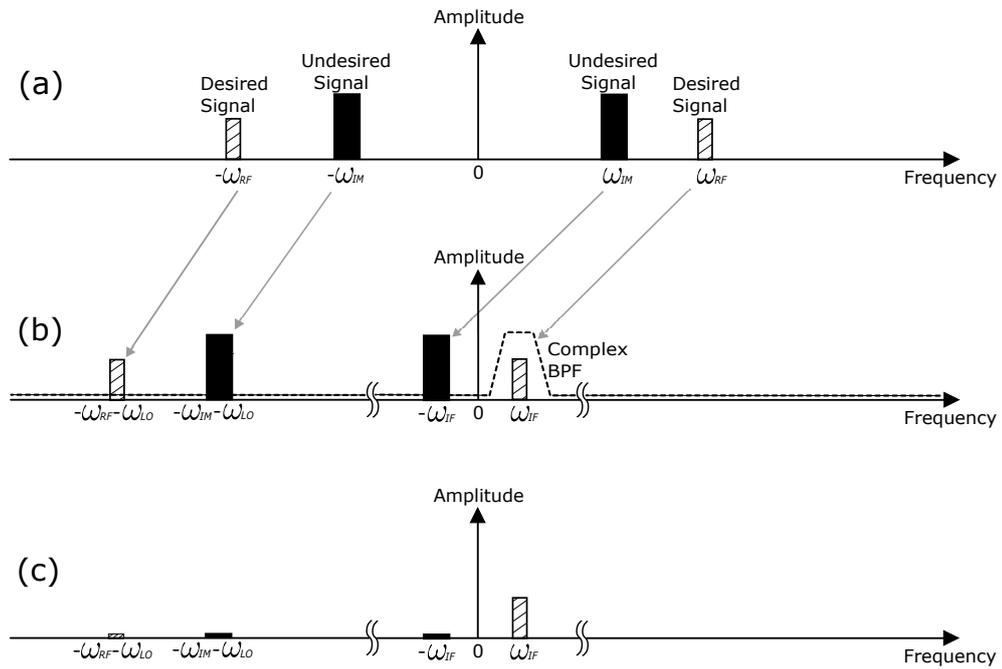


図 2.14: 図 2.13 の各部のスペクトラム

2.6 まとめ

本章では、複素フィルタの構成、素子感度特性、周波数特性の測定法、及び応用について述べた。

第1節では、原形複素フィルタの構成には、所望の複素伝達関数の特性関数から直接設計する手法と、周波数変換に基づく設計法があることを述べた。前者は、 R^iCR フィルタのように少数の素子で実現可能な原形複素フィルタが設計可能であり、後者は既存の原形実フィルタの設計パラメータを利用できるという利点を持つ。

第2節では、原形複素フィルタの能動実現について述べた。直接実現が困難な素子である虚数抵抗と、集積回路上に直接実現することが不利な素子であるインダクタを OTA、または演算増幅器を用いて実現する手法を示した。2相複素フィルタの実現においては、原形複素フィルタに含まれるインダクタの削減、4相複素フィルタの実現においては、原形複素フィルタに含まれるインダクタと非接地虚数抵抗の削減が、能動素子の削減に有効であることを示した。

第3節では、複素フィルタの素子感度について述べた。まず、原形複素フィルタの素子感度が通過域内において低くなることを示した。次に、3次の複素フィルタを設計し、原形複素フィルタと、これをシミュレートした回路の素子感度が低くなることを示した。

第4節では、複素フィルタの周波数特性の測定法について述べた。まず、位相差分波器を用いて直交信号を近似的に実現し、これを用いて複素フィルタの周波数特性を直接測定した場合の問題点について述べた。次に、この問題を重ね合わせの理を用いて回避する手法について述べ、これを用いた測定系を示した。

第5節では、複素フィルタの応用例として、低 IF 方式の受信機について述べた。直交ミキサと複素フィルタを用いることで、所望の信号を減衰させることなく、不必要なイメージ信号のみを減衰できることを示した。

第3章 通過域平坦な複素伝達関数の解析的設計

第2章第2節において、少数の能動素子で複素フィルタを実現するためには、原形複素フィルタに含まれるインダクタと非接地虚数抵抗が少ないことが望ましいことを述べた。本章では、インダクタを含まない原形複素フィルタである R^iCR フィルタの設計に必要な特性関数を解析的に設計する手法を提案する。まず、第1節にて従来の R^iCR フィルタの構成法について述べる。次に第2節にて、提案する特性関数の設計法と、この特性関数から得られた複素伝達関数の最小減衰量について述べる。提案手法を用いて3次の複素伝達関数を設計し、数値計算を用いて提案手法の有効性を確認する。

3.1 直流と無限大周波数にのみ伝送零点を持つ R^iCR フィルタの構成

文献 [77] で提案されている $n(= 2k + 1)$ 次の R^iCR フィルタを図 3.1 に示す。この回路は、FS 法で得られた原形複素フィルタの直列枝に含まれるインダクタをキャパシタに置き換えた回路構成になっており、直列枝のインピーダンスは直流で無限大となる。このため、図 3.1 に示した R^iCR フィルタの伝達関数は、伝送零点を直流に k 個、無限大周波数に $k + 1$ 個持つ。本節では、この R^iCR フィルタの素子値を入力インピーダンスから求める手順について述べる。

3.1.1 並列枝の素子値

図 3.1 に示した R^iCR フィルタにおいて、 $s \rightarrow 0$ のとき、全てのキャパシタのインピーダンスは無限大となるため、節点 1-1' から右側を見込んだ入力インピーダンス $Z_{IN}(s)$ について次式が成り立つ。

$$\lim_{s \rightarrow 0} Z_{IN}(s) = jR_1 \quad (3.1)$$

次に虚数抵抗 jR_1 を抜き出した後の回路のアドミタンスを $Y_2(s)$ とすると、 $Y_2(s)$ は次式で書くことができる。

$$Y_2(s) = \frac{1}{Z_{IN}(s) - jR_1} = sC_1 + \frac{1}{Z_3(s)} \quad (3.2)$$

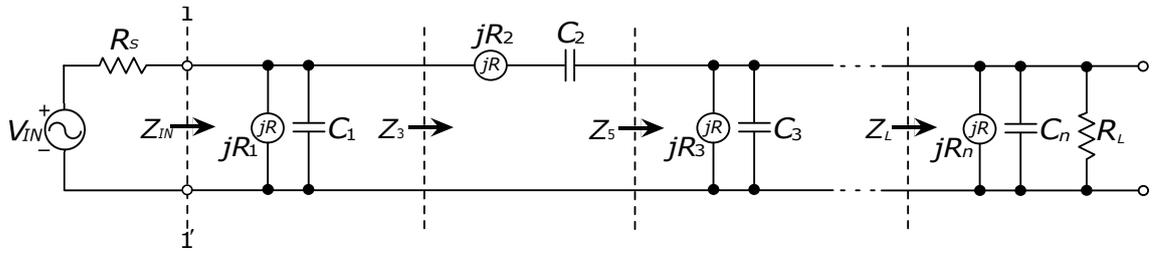


図 3.1: RⁱCR フィルタ

また、 $s \rightarrow \infty$ のとき、全てのキャパシタが短絡除去となるから、次式も明らかである。

$$\lim_{s \rightarrow \infty} Z_3(s) = jR_2 \quad (3.3)$$

以上より、キャパシタ C_1 の素子値は次式から求めることができる。

$$\lim_{s \rightarrow \infty} \frac{Y_2(s)}{s} = \lim_{s \rightarrow \infty} \left(C_1 + \frac{1}{sZ_3(s)} \right) = C_1 \quad (3.4)$$

上式から求めた C_1 を用いて、入力インピーダンス $Z_3(s)$ は次式から求めることができる。

$$Z_3(s) = \frac{1}{Y_2(s) - sC_1} \quad (3.5)$$

3.1.2 直列枝の素子値

入力インピーダンス $Z_3(s)$ を用いて図 3.1 に示した RⁱCR フィルタの直列枝の素子値を求める。まず、 $s \rightarrow \infty$ のとき、全てのキャパシタが短絡除去となるから、虚数抵抗 jR_2 の素子値は式 (3.3) から求めることができる。次に、虚数抵抗 jR_2 を抜き出した後の回路の入力インピーダンスを $Z_4(s)$ とすると、 $Z_4(s)$ は次式で書くことができる。

$$Z_4(s) = Z_3(s) - jR_2 \quad (3.6)$$

さらに、キャパシタ C_2 を抜き出した後の回路の入力インピーダンスを $Z_5(s)$ とすると、 $Z_4(s)$ は $Z_5(s)$ を用いて次式で書くことができる。

$$Z_4(s) = \frac{1}{sC_2} + Z_5(s) = \frac{1 + sC_2Z_5(s)}{sC_2} \quad (3.7)$$

$s \rightarrow 0$ のとき、全てのキャパシタのインピーダンスは無窮大となるため、次式も明らかである。

$$\lim_{s \rightarrow 0} Z_5(s) = jR_5 \quad (3.8)$$

従って、キャパシタ C_2 の素子値は次式から求めることができる。

$$\lim_{s \rightarrow 0} \frac{1}{sZ_4(s)} = \lim_{s \rightarrow 0} \left(\frac{C_2}{1 + sC_2Z_5(s)} \right) = C_2 \quad (3.9)$$

上式から求めた C_2 を用いて、入力インピーダンス $Z_5(s)$ は次式から求めることができる。

$$Z_5(s) = Z_4(s) - \frac{1}{sC_2} \quad (3.10)$$

$2k+1$ 次のフィルタを設計する場合は、以上の並列枝と直列枝の素子値の引き抜きをそれぞれ k 回ずつ交互に行うことで、終端回路の入力インピーダンス $Z_L(s)$ と終端回路を除いたキャパシタと虚数抵抗の素子値が得られる。

3.1.3 終端回路の素子値と既存研究の課題

終端回路の入力インピーダンス $Z_L(s)$ は、 R_L 、 jR_n 、及び C_n を用いて次式のように書くことができる。

$$\frac{1}{Z_L(s)} = \frac{1}{R_L} + \frac{1}{jR_n} + \frac{1}{sC_n} \quad (3.11)$$

上式と図 3.1 に示した R^iCR フィルタの終端回路の素子値の係数を比較することで、終端回路の抵抗器 R_L 、虚数抵抗 jR_n 、及びキャパシタ C_n の各素子値は、直接求めることができる。

直流と無限大周波数にのみ伝送零点を持つ複素伝達関数や入力インピーダンスが得られていれば、以上の手順で R^iCR フィルタを設計することができる。しかしながら、この複素伝達関数や入力インピーダンスは実ローパスフィルタの伝達関数に対し周波数変換を施すことで求めることができない¹。このため、文献 [77] においては、複素伝達関数や入力インピーダンスを設計するにあたり、関数補間法を用いていた。関数補間法を用いる場合、なんらかの方法で検討した初期値を与える必要があり、初期値が適切でない場合は計算結果が収束しないという問題がある。

3.2 直流と無限大周波数にのみ伝送零点を持つ複素伝達関数の設計

前節では、 R^iCR フィルタの設計において、その複素伝達関数や特性関数の設計が問題となることを述べた。本節では、この問題を解決し、 R^iCR フィルタの設計に必要な特性関数を解析的に設計す

¹例えば、 n 次無極実ローパスフィルタは n 次の多重伝送零点を無限大周波数に持つ。この伝達関数に対し FS 法、ELHT 法、BLLT 法のいずれの周波数変換を施しても、2 つ以上の周波数に伝送零点を持つ複素伝達関数は得られない。また、 $n(n > 3)$ 次有極実ローパスフィルタは、3 つ以上の周波数に伝送零点を持ち、周波数変換の結果得られる複素伝達関数も 3 つ以上の周波数に伝送零点を持つ。従って、 R^iCR フィルタとして実現可能な直流と無限大周波数という 2 つの周波数にのみ伝送零点を持つ複素伝達関数やその特性関数は、実ローパスフィルタに対し周波数変換を施しても得られない。

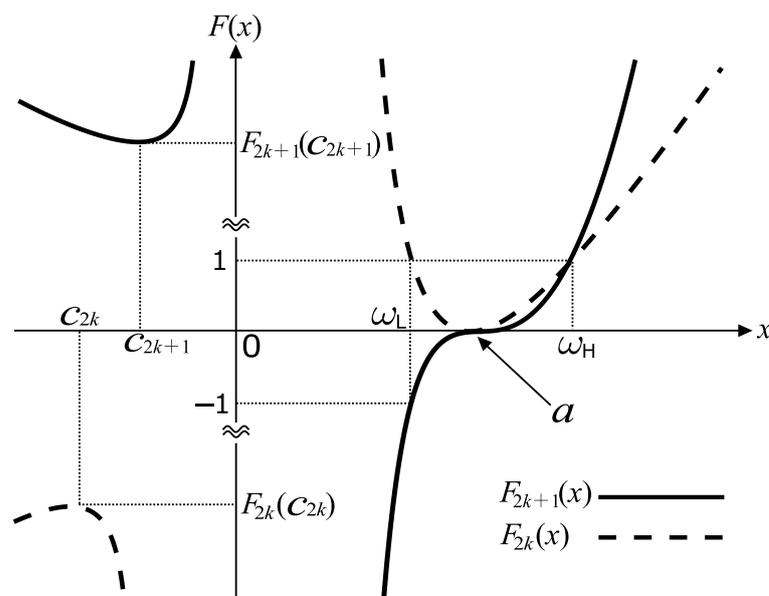


図 3.2: 特性関数 (Copyright(C)2019 IEEJ [86] Fig. 1)

る手法を提案する。

3.2.1 通過域で平坦な複素伝達関数の特性関数

まず、直流にのみ m 重伝送零点を持ち、正の周波数に平坦な特性の通過域 (通過域端 ω_L 及び ω_H) を持つ n 次の複素伝達関数の特性関数を次式に、その概形を図 3.2 に示す。なお、図 3.2 において、通過域端周波数は電力半値周波数としている。

$$F_n(x) = b \frac{(x-a)^n}{x^m} \quad (3.12)$$

ここで、 a 、 b 、 ω_L 、 ω_H は、 $b \neq 0$ 及び $0 < \omega_L < a < \omega_H$ を満たす実数であり、 n 及び m は自然数である。図 3.2 において関数 $F_{(2k+1)}$ と関数 $F_{(2k)}$ の概形が異なるため、以下では奇数次 ($n = 2k + 1$) の場合と偶数次 ($n = 2k$) の場合に分けて議論を行う。

3.2.2 奇数次の場合

図 3.2 及び式 (3.12) から、奇数次の複素伝達関数の特性関数について、次式が得られる。

$$\left. \begin{aligned} F_{2k+1}(\omega_L) &= b \frac{(\omega_L - a)^{2k+1}}{\omega_L^m} = -1 \\ F_{2k+1}(\omega_H) &= b \frac{(\omega_H - a)^{2k+1}}{\omega_H^m} = 1 \end{aligned} \right\} \quad (3.13)$$

ここで $b \neq 0$ であるから、式 (3.13) を整理することで、次式が得られる。

$$\left(\frac{a - \omega_L}{\omega_H - a} (\omega_H/\omega_L)^{\frac{m}{2k+1}} \right)^{2k+1} = 1 \quad (3.14)$$

ここで、1 の $2k+1$ 乗根のうち、実数値は 1 のみであるから、式 (3.14) の両辺の $2k+1$ 乗根をとり、 a について整理することで次式が得られる。

$$a = \frac{\omega_H + \omega_L (\omega_H/\omega_L)^{\frac{m}{2k+1}}}{(\omega_H/\omega_L)^{\frac{m}{2k+1}} + 1} \quad (3.15)$$

最後に、式 (3.15) 式で得られた a を式 (3.13) に代入することで次式が得られる。

$$b = \left(\frac{\omega_H^{\frac{m}{2k+1}} + \omega_L^{\frac{m}{2k+1}}}{\omega_H - \omega_L} \right)^{2k+1} \quad (3.16)$$

3.2.3 偶数次の場合

図 3.2 及び式 (3.12) から、偶数次の複素伝達関数の特性関数について、次式が得られる。

$$\left. \begin{aligned} F_{2k}(\omega_L) &= b \frac{(\omega_L - a)^{2k}}{\omega_L^m} = 1 \\ F_{2k}(\omega_H) &= b \frac{(\omega_H - a)^{2k}}{\omega_H^m} = 1 \end{aligned} \right\} \quad (3.17)$$

ここで $b \neq 0$ であるから、式 (3.17) を整理することで、次式が得られる。

$$\left(\left(\frac{\omega_L - a}{\omega_H - a} (\omega_H/\omega_L)^{\frac{m}{2k}} \right)^2 \right)^k = 1 \quad (3.18)$$

ここで、 a 、 ω_L 、 ω_H が実数であり、 k 、 m が自然数であるから、式 (3.18) の左辺は正の実数となる。このため、両辺の k 乗根をとると、右辺について、 $1^{\frac{1}{k}} = 1$ となり、 a は次式のようにになる。

$$a = \frac{\omega_L (\omega_H/\omega_L)^{\frac{m}{k}} - \omega_H \pm (\omega_H - \omega_L) (\omega_H/\omega_L)^{\frac{m}{2k}}}{(\omega_H/\omega_L)^{\frac{m}{k}} - 1} \quad (3.19)$$

式 (3.19) 式で得られた 2 通りの a のうち、 $a > 0$ を満たすのは、符号が正の場合のみである。従って、 a は次式のようにになる。

$$a = \frac{\omega_H + \omega_L (\omega_H/\omega_L)^{\frac{m}{2k}}}{(\omega_H/\omega_L)^{\frac{m}{2k}} + 1} \quad (3.20)$$

最後に、式 (3.20) 式で得られた a を式 (3.17) に代入することで次式が得られる。

$$b = \left(\frac{\omega_H^{\frac{m}{2k}} + \omega_L^{\frac{m}{2k}}}{\omega_H - \omega_L} \right)^{2k} \quad (3.21)$$

3.2.4 n 次の場合

奇数次の結果（式 (3.15) と式 (3.16)）と偶数次の結果（式 (3.20) と式 (3.21)）から、所望の特性関数が奇数次と偶数次のいずれの場合についても、 a と b はそれぞれ通過域端周波数 ω_L と ω_H 、フィルタの次数 n 、直流の伝送零点の数 m を用いて、次式のように表すことができる。

$$\left. \begin{aligned} a &= \frac{\omega_H + \omega_L (\omega_H/\omega_L)^{\frac{m}{n}}}{(\omega_H/\omega_L)^{\frac{m}{n}} + 1} \\ b &= \left(\frac{\omega_H^{\frac{m}{n}} + \omega_L^{\frac{m}{n}}}{\omega_H - \omega_L} \right)^n \end{aligned} \right\} \quad (3.22)$$

3.2.5 最小減衰量

本手法で得られる複素伝達関数の負の周波数（負の無限大周波数から直流）における最小減衰量を考える。これは、特性関数の $x < 0$ における、 $|F(x)|$ の最小値から求めることができる。つまり、図 3.2 の $F_{2k+1}(C_{2k+1})$ 、 $F_{2k}(C_{2k})$ を求めればよい。そこで、式 (3.12) を x について 1 階微分し、 $F'_n(x) = 0$ の $x \neq a$ の解 C_n を求めると、 $x = ma/(m-n)$ となった。このことから、負の周波数における最小減衰量 A_{min} [dB] は次式のようなになる。

$$A_{min} = 20 \log_{10} \sqrt{1 + F_n^2(ma/(m-n))} \quad (3.23)$$

上式を用いることで、設計した複素伝達関数の IRR が代入計算で求められる。

3.2.6 数値計算

設計例として、通過域 9–11 rad/s、 $n = 3$ 、 $m = 1$ の複素伝達関数を式 (3.12) と式 (3.22) を用いて設計する。

式 (3.22) に $\omega_L = 9$ 、 $\omega_H = 11$ 、 $n = 3$ 、及び $m = 1$ を代入することで、 $a = 9.967$ と $b = 9.967$ が得られる。この a と b を得られた式 (3.12) に代入することで、目的の特性関数 $f_3(x)$ が得られる。式 (3.23)

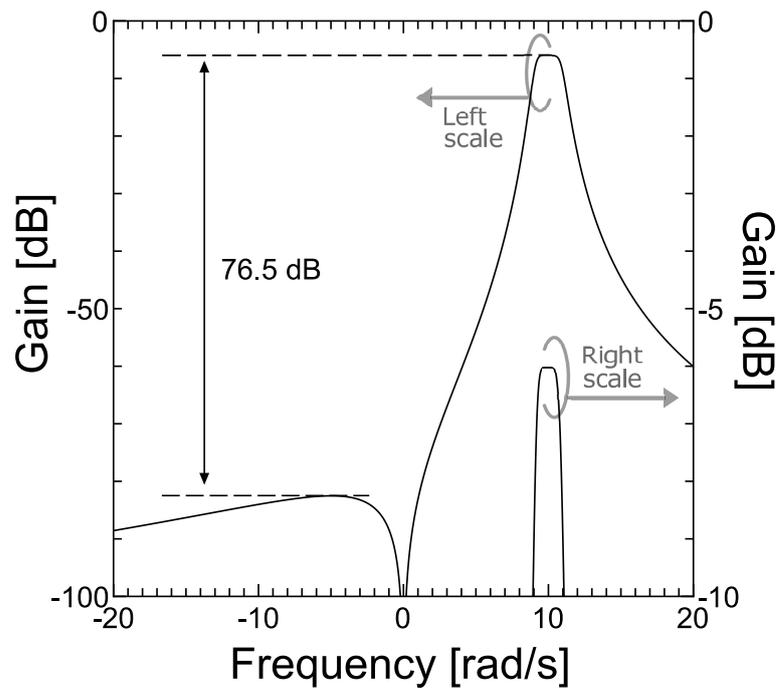


図 3.3: 数値計算の結果

から、得られる伝達関数の最小減衰量は 76.5 dB となった。特性関数から Mathematica® を用いて伝達関数（通過域内最大利得は -6 dB）を設計し、その振幅特性を求めた。数値計算の結果を図 3.3 に示す。

また、以上の手順で得られた特性関数 $f_3(x)$ から第 2 章第 1 節に基づき入力インピーダンスを求め、第 3 章第 1 節に基づき素子値の引き抜きを行うことで、図 3.1 に示す R^iCR フィルタの素子値が得られる。得られた R^iCR フィルタの素子値は、 $R_S = R_L = 1$ 、 $C_1 = C_3 = 1.045$ 、 $C_2 = 0.005060$ 、 $jG_1 = jG_3 = -10.38j$ 、 $jR_2 = 19.90j$ となった。

3.3 まとめ

本章ではまず、入力インピーダンスから R^iCR フィルタの素子値を引き抜く手順について説明し、 R^iCR フィルタの設計において特性関数の設計が課題となっていることを述べた。次に、通過域で平坦かつ直流と無限大周波数にのみ伝送零点を持つ複素伝達関数の解析的設計法を提案した。提案手法を用いることで、 R^iCR フィルタの構成に必要な特性関数が代入計算のみで得られる。提案手法は従来手法と異なり関数補間法を必要としないため、初期値の検討が全く不要である。さらに、提案手法で得られた複素伝達関数の IRR も代入計算のみで容易に求められることを示した。最後に理論の妥当性を数値計算で確認した。今後の課題として、通過域で波状の利得特性を持つ複素伝達関数や、通過域で群遅延が平坦となる複素伝達関数の解析設計などがあげられる。

第4章 複素数の変換比を持つインピーダンス反転器 の構成

第3章では、直流と無限大周波数にのみ伝送零点を持つ R^1CR フィルタを解析的に設計する手法を提案した。しかしながら、この手法で得られるのは、通過域で平坦な利得特性を持つ R^1CR フィルタに限定されており、通過域で波状の利得特性のフィルタや通過域で群遅延が平坦となるフィルタの構成は困難である。この問題を解決するためには、所望の振幅や位相特性を持つ原形実フィルタに対し周波数変換を施し、得られた原形複素フィルタに対して回路の変換を施してインダクタを除去する手法が有効であると考えられる¹。

本章では原形複素フィルタに含まれるインダクタを除去するため、まず実フィルタの設計に用いられてきた既存のインピーダンス反転器について整理し、その課題を明らかにする。次に、既存のインピーダンス反転器の問題を解決したインピーダンス反転器を提案する。最後に、提案するインピーダンス反転器が、既存のインピーダンス反転器を特別な場合として包括していること、及びこれまで実現方法が明らかとされていなかった FLDR や FLDG を等価表現できることを示す。

4.1 NII（既存のインピーダンス反転器 1）

Negative Impedance Inverter (NII) と素子 Z を図 4.1 に示す。この図から、NII は抵抗器と負性抵抗で構成される回路であることがわかる。この回路の F -マトリクスは次式のように表すことができる。

$$F = \begin{pmatrix} 0 & 1/G_R \\ -G_R & 0 \end{pmatrix} \begin{pmatrix} 1 & 0 \\ 1/Z & 1 \end{pmatrix} = \begin{pmatrix} 1/G_R Z & 1/G_R \\ -G_R & 0 \end{pmatrix} \quad (4.1)$$

上式から、図 4.1 に示す回路の入力インピーダンス Z_{IN} は次式のようになる。

$$Z_{IN} = A/C = -1/(ZG_R^2) \quad (4.2)$$

¹通過域で波状の利得特性、あるいは通過域で群遅延が平坦となる原形実フィルタは解析的に設計が可能である。このため、この原形実フィルタに周波数変換を施すことで得られる原形複素フィルタも解析的に得られる。

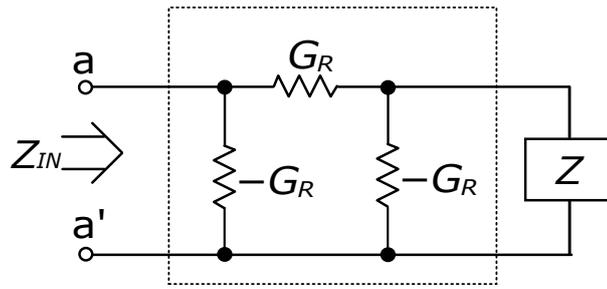


図 4.1: NII と素子 Z

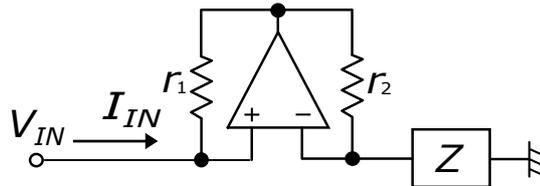


図 4.2: NIC と素子 Z

ここで、素子 Z として負性キャパシタ $-C$ を用いた場合、等価的にインダクタ $L = C/G_R^2$ を実現できる。なお、負性抵抗や負性キャパシタは、図 4.2 に示す NIC を用いた回路で実現できる。この回路の入力インピーダンスを Z_{inNIC} とすれば、 Z_{inNIC} は次式で表すことができる。

$$Z_{inNIC} = \frac{V_{IN}}{I_{IN}} = -\frac{r_1}{r_2} Z \quad (4.3)$$

ここで、 $r_1 = r_2$ とし、素子 Z としてキャパシタ C や抵抗器 R を用いることで、負性キャパシタ $-C$ や負性抵抗 $-R$ が実現可能である。

以上のように、NII を用いることで回路中のインダクタを抵抗器とキャパシタで構成された回路に変換できる。しかしながら、式 (4.2) からわかるように、変換の係数は実数 ($-1/G_R^2$) に限られている。このため、NII と周波数に依存するインピーダンスを持つキャパシタやインダクタを組み合わせても、周波数に依存し実数のインピーダンスを持つ FLDR や FLDG は表現できない。

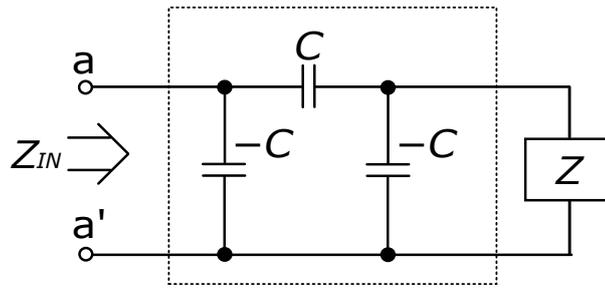


図 4.3: 虚ジャイレータと素子 Z

4.2 虚ジャイレータ（既存のインピーダンス反転器 2）

正と負のキャパシタで構成された虚ジャイレータと素子 Z を図 4.3 に示す²。この回路の F -マトリクスは次式のように表すことができる。

$$F = \begin{pmatrix} 0 & 1/sC \\ -sC & 0 \end{pmatrix} \begin{pmatrix} 1 & 0 \\ 1/Z & 1 \end{pmatrix} = \begin{pmatrix} 1/sCZ & 1/sC \\ -sC & 0 \end{pmatrix} \quad (4.4)$$

上式から、図 4.3 に示す回路の入力インピーダンス Z_{IN} は次式のようにになる。ただし、 $s \rightarrow j\omega$ としている。

$$Z_{IN} = A/C = 1/(Z(\omega C)^2) \quad (4.5)$$

ここで、素子 Z としてキャパシタ C' を用いた場合、周波数 ω_0 近傍において近似的にインダクタ $L = C'/(\omega_0 C)^2$ を実現できる。この虚ジャイレータを用いることで、回路中に含まれるインダクタの数を削減し、狭帯域のバンドパスフィルタの実現を容易にすることができる³。

この手法は、負性抵抗が不要であるものの、受動実現する場合は負のキャパシタを正のインダクタで（負のインダクタを正のキャパシタで）近似的に実現する必要がある⁴、広帯域のフィルタを実現する場合には周波数特性が劣化するという問題点がある⁴。

多くの場合、複素フィルタは高い IRR のほか、広帯域であることが要求されるため、従来の虚ジャイレータは複素フィルタへの応用に適さない。なお、マイクロ波帯のフィルタにおいてもインピーダンスを反転させる回路として K -インバータや J -インバータが知られている [104] が、この回路も虚ジャイレータと同様に、近似を用いて素子のインピーダンスを反転させる手法である。

²正と負のインダクタを用いることでも虚ジャイレータは実現可能であるが、インダクタはコストや実装面積の観点からキャパシタと比較し不利である。このため、本論文では正と負のキャパシタで構成された回路を虚ジャイレータの構成例として示している。

³ある周波数でのみ所望のインピーダンス反転器として正確に等価となることから、虚ジャイレータは一周波数ジャイレータ (One frequency gyrator) とも呼ばれている [103]。

⁴負性キャパシタや負性インダクタを NIC 等を用いて直接実現した場合でも、キャパシタやインダクタで構成された虚ジャイレータは、広帯域のフィルタを実現する場合に周波数特性が劣化する。

4.3 複素数の変換比を持つインピーダンス反転器

前節において、既存のインピーダンス反転器である NII と虚ジャイレータの特徴と複素フィルタへ応用する場合の課題について述べた。これらのインピーダンス反転器は、いずれもキャパシタと組み合わせることで、等価的にインダクタを実現できる。しかしながら、NII と虚ジャイレータはその変換比（変換後の素子の係数）が実数に制限されており、虚ジャイレータは広帯域フィルタへの応用が困難である。

本節では、広帯域のフィルタへ応用が可能かつ複素数の変換比を持つインピーダンス反転器を提案する。従来のインピーダンス反転器の1つが、これを用いた変換により得られる素子のインピーダンスに負の実数 $-1/G_R^2 (G_R \in \mathbb{R})$ を乗じることから、Negative Impedance Inverter、すなわち負性インピーダンス反転器と呼ばれている。一方、提案するインピーダンス反転器を用いた場合は、複素数 $-ke^{-j2\varphi} (k \in \mathbb{R}, \varphi \in \mathbb{R})$ を乗じた素子が得られることから、本論文ではこの回路を Complex Impedance Inverter、すなわち複素インピーダンス反転器と呼ぶことにする。

図 4.4 に提案する複素インピーダンス反転器と素子 Z を示す。この図において、 k と φ は実数である。また、図 4.4 の $\pm ke^{j\varphi}$ は、素子のインピーダンスを表している。この回路の F -マトリクスは次式のように表すことができる。

$$F = \begin{pmatrix} 0 & ke^{j\varphi} \\ -1/ke^{j\varphi} & 0 \end{pmatrix} \begin{pmatrix} 1 & 0 \\ 1/Z & 1 \end{pmatrix} = \begin{pmatrix} ke^{j\varphi}/Z & ke^{j\varphi} \\ -1/ke^{j\varphi} & 0 \end{pmatrix} \quad (4.6)$$

上式から、図 4.4 に示す回路の入力インピーダンス Z_{IN} は次式のようにになる。

$$Z_{IN} = A/C = -k^2 e^{j2\varphi}/Z \quad (4.7)$$

以上より、提案する複素インピーダンス反転器を用いることで、素子 Z の逆数にパラメータ k と φ で表された複素数を乗じたインピーダンスを持つ素子を等価的に表現できることがわかる。また、図 4.4 の複素インピーダンス反転器を構成する $ke^{j\varphi}$ は、図 4.5 又は図 4.6 に示す抵抗器と虚数抵抗で構成された回路により表現できる。ここで、素子値 R_1 、 jR_2 、 G_1 及び jG_2 は、次式のようにになる。

$$\left. \begin{aligned} R_1 &= k \cos \varphi \\ jR_2 &= k j \sin \varphi \\ G_1 &= \cos \varphi / k \\ jG_2 &= -j \sin \varphi / k \end{aligned} \right\} \quad (4.8)$$

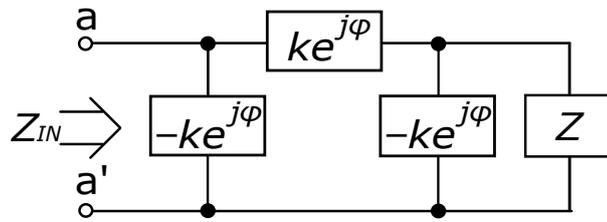


図 4.4: 複素インピーダンス反転器と素子 Z (Copyright(C)2020 IEICE [88] Fig. 1)

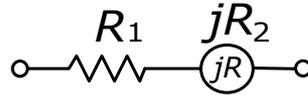


図 4.5: 直列回路を用いた $\pm ke^{j\phi}$ の表現 (Copyright(C)2020 IEICE [88] Fig. 2)

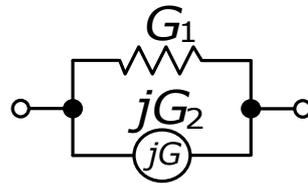


図 4.6: 並列回路を用いた $\pm ke^{j\phi}$ の表現 (Copyright(C)2020 IEICE [88] Fig. 3)

4.3.1 $\varphi = 2\pi n \pm \pi/2 (n \in \mathbb{Z})$ とした場合

式 (4.7) に $\varphi = 2\pi n \pm \pi/2 (n \in \mathbb{Z})$ を代入した場合、次式を得る。

$$Z_{IN} = k^2/Z \quad (4.9)$$

この場合、式 (4.8) から図 4.5(図 4.6) の抵抗器が短絡（開放）除去され、複素インピーダンス反転器は虚数抵抗で構成された虚ジャイレータとなる。

4.3.2 $\varphi = 2\pi n \pm \pi (n \in \mathbb{Z})$ とした場合

式 (4.7) に $\varphi = 2\pi n \pm \pi (n \in \mathbb{Z})$ を代入した場合、次式を得る。

$$Z_{IN} = -k^2/Z \quad (4.10)$$

この場合、式 (4.8) から図 4.5(図 4.6) の虚数抵抗が短絡（開放）除去され、複素インピーダンス反転器は NII となる。

4.3.3 $\varphi = 2\pi n \pm \pi/4$ 又は $\varphi = 2\pi n \mp 3\pi/4 (n \in \mathbb{Z})$ とした場合

式(4.7)に $\varphi = 2\pi n \pm \pi/4$ 又は $\varphi = 2\pi n \mp 3\pi/4 (n \in \mathbb{Z})$ を代入した場合、次式を得る。ただし、正負の符号は復号同順である。

$$Z_{IN} = \mp jk^2/Z \quad (4.11)$$

次に、素子 Z としてキャパシタ C 又はインダクタ L を選んだ場合、入力インピーダンス Z_{IN} は、それぞれ次式のようにになる。

$$\left. \begin{aligned} Z_{IN} &= \pm k^2 \omega C & (Z = 1/(j\omega C)) \\ Z_{IN} &= \mp k^2 / (\omega L) & (Z = j\omega L) \end{aligned} \right\} \quad (4.12)$$

式(4.12)から、複素インピーダンス反転器とキャパシタを組み合わせた場合は FLDR が、複素インピーダンス反転器とインダクタを組み合わせた場合は FLDG が等価的に表現できることがわかる。

4.4 まとめ

本章では、まず既存のインピーダンス反転器の特徴と課題について整理した。次に、この課題を解決した複素数の変換比を持つインピーダンス反転器を提案し、これを複素インピーダンス反転器と呼んだ。このインピーダンス反転器は、周波数によらず一定のインピーダンスを持つ素子である正負の抵抗器と正負の虚数抵抗のみで構成されているため、広帯域のフィルタへ応用が可能である。また、複素インピーダンス反転器は、既存のインピーダンス反転器をその特別な場合として含み、これまで実現法が明らかとされていなかった FLDR や FLDG を等価表現可能であるという特長を持つ。

第5章 NIIを用いた無極複素フィルタの構成と

有極複素フィルタの素子数削減

本章では、少数の演算増幅器を用いて無極複素フィルタと有極複素フィルタを構成する手法を提案する。

第1節にて、第4章で述べた複素インピーダンス反転器の $\varphi = 2\pi n \pm \pi$ の場合に対応する NII を用いて少数の演算増幅器で無極複素フィルタを構成する手法を述べる。この手法では、NII を用いて原形複素フィルタに含まれるインダクタと非接地虚数抵抗を変換し、得られた原形複素フィルタに含まれる虚数抵抗と負性素子を少数の演算増幅器で実現している。

第2節にて、まず NII を用いた回路の変換は、有極複素フィルタに応用することが困難であることを示す。次に、NII の代わりに多端子対ジャイレータを用いて有極複素フィルタを設計し、能動素子の共有を行うことで、有極複素フィルタが少数の能動素子で実現できることを示す。この能動素子の削減法は、第1節で用いた接地の負性素子の実現方法を含む、より応用範囲が広い素子の削減法である。

第1節及び第2節で提案した理論の妥当性は、いずれも数 kHz 帯のフィルタを試作し、実験により確認している。

5.1 NIIを用いた無極原形複素フィルタの構成

5.1.1 NIIを用いた原形複素フィルタの導出

実フィルタの構成法として、NII と接地の素子を用いて、非接地素子と巻き数比が $1 : -1$ の理想トランスの縦続回路を等価的に実現できることが知られている [105]。本節では、この手法を虚数抵抗を含む回路に応用する。まず、図 5.1 のように2つの NII とキャパシタ及び虚数抵抗で構成された回路を考える。この図の F -マトリクスを整理することで、次式が得られる。

$$F = \begin{pmatrix} 1 & \frac{sC + jG}{G_N^2} \\ 0 & 1 \end{pmatrix} \begin{pmatrix} -1 & 0 \\ 0 & -1 \end{pmatrix} \quad (5.1)$$

上式から、図 5.1 の回路は図 5.2 の回路と等価であることがわかる。従って NII、接地の負性キャパシタ及び接地虚数抵抗を用いることで、インダクタとそれに直列の虚数抵抗をシミュレートできることがわ

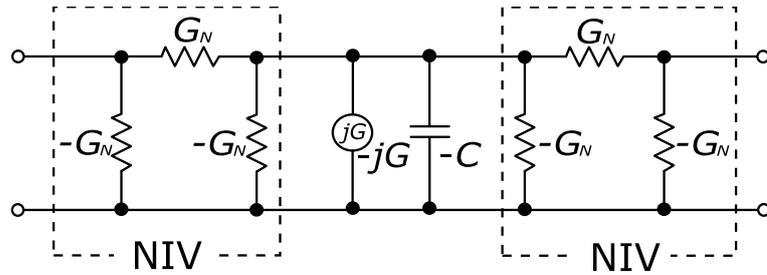


図 5.1: NII とキャパシタ及び虚数抵抗 (Copyright(C)2017 IEICE [90] Fig. 1)

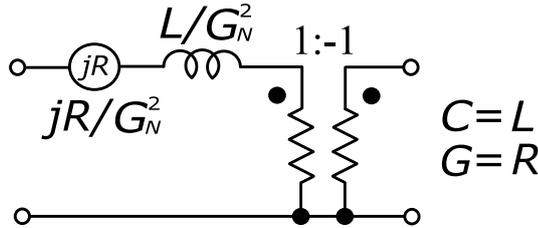


図 5.2: 図 1 の等価回路 (Copyright(C)2017 IEICE [90] Fig. 2)

かる。FS 法を用いて導出した原形複素フィルタは、図 2.4 のようになるため、この回路のインダクタと虚数抵抗で構成された回路を NII を用いて変換することで、図 5.3 に示す原形複素フィルタを導出することができる。この変換において、簡単のため G_N は 1 とした。ここで、図 5.3 の回路に含まれる巻き数比 1 : -1 の理想トランスは、振幅特性に影響を与えない。そこで、本論文では、図 5.3 に示す原形複素フィルタから理想トランスを除去した回路を演算増幅器を用いて能動実現する。

5.1.2 演算増幅器を用いた原形複素フィルタの能動実現

前述の手順で導出した回路に含まれる虚数抵抗を、文献 [43] に基づき演算増幅器を用いて能動実現した回路を図 5.4 に示す。この図において、 r_a 、 r_b 、 r_c 、 r_d 、 r_e 、及び r_f は任意である。図 5.4 から、NII を含んだ原形複素フィルタを能動実現するためには、虚数抵抗のほか、NII を構成するための負性抵抗と、インダクタをシミュレートするための負性キャパシタをシミュレートする必要があることがわかる。ここで、虚数抵抗を能動実現している破線で示す回路に、素子 Z_1 及び Z_2 を加えた図 5.5 に示す回路を用いて虚数抵抗と負性素子をシミュレートすることを考える。この回路に流れる電流と電圧の関係は、

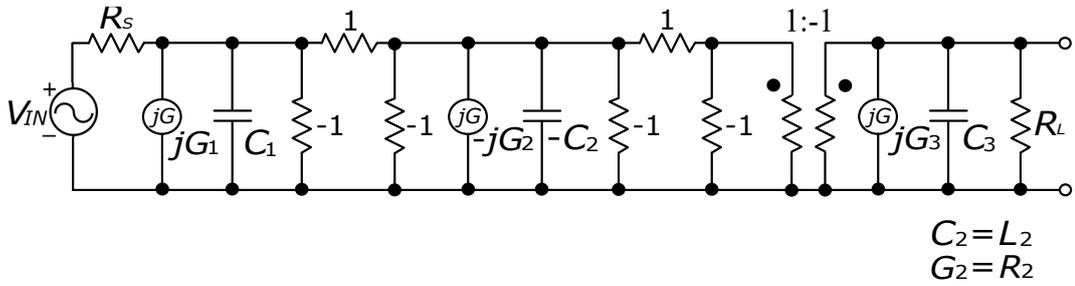


図 5.3: NII を用いて変換された原形複素フィルタ ($n = 3$) (Copyright(C)2017 IEICE [90] Fig. 4)

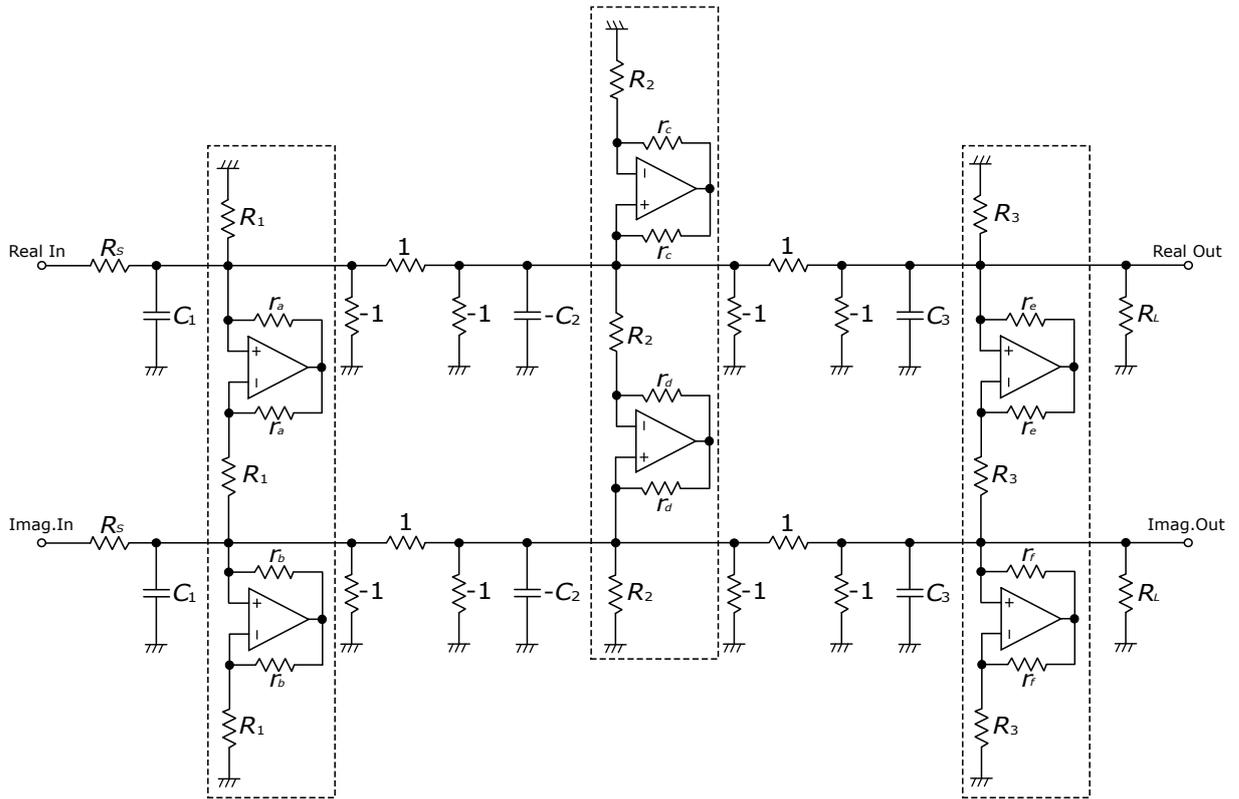


図 5.4: 虚数抵抗の実現

仮想短絡が成り立つので、次式で表すことができる。ここで、 r_1 及び r_2 は任意である。

$$\left. \begin{aligned}
 i_r &= \frac{v_r}{R} - \frac{v_r - v_i}{R} - \frac{v_r}{Z_1} \\
 &= \frac{v_i}{R} - \frac{v_r}{Z_1} \\
 i_i &= \frac{v_i - v_r}{R} - \frac{v_i}{R} - \frac{v_i}{Z_2} \\
 &= -\frac{v_r}{R} - \frac{v_i}{Z_2}
 \end{aligned} \right\} \quad (5.2)$$

上式から、図 5.5 の回路は、虚数抵抗と接地の負性素子 $-Z_1$ 及び $-Z_2$ をシミュレートしていることがわかる。また、図 5.3 の回路から理想トランスを除去した場合、負性素子が接続されたすべての節点に虚数抵抗が接続されている。このため、図 5.5 の回路を用いて n 次のフィルタを構成する場合、虚数抵

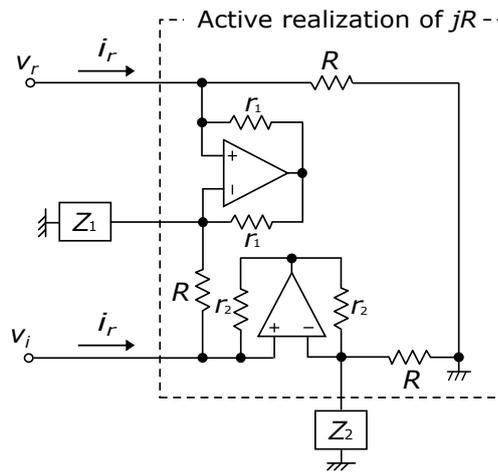


図 5.5: 虚数抵抗と負性素子の一実現

表 5.1: NII を用いて構成した無極複素フィルタの実現に必要な素子の数 (2 相)

Order	Proposed			Conventional [98, 43]			Leapfrog [44]		
	OA	C	R	OA	C	R	OA	C	R
3rd	6	6	27	10	6	35	9	6	26
5th	10	10	44	18	10	61	15	10	42
(2k + 1)th	4k + 2	4k + 2	17k + 10	8k + 2	4k + 2	26k + 9	6k + 6	4k + 2	16k + 10

OA: Operational Amplifier

抗の能動実現に必要な $2n$ 個の演算増幅器でフィルタを実現できる。この手法を用いて、図 5.4 に含まれる負性素子を実現した。その結果得られた回路を図 5.6 に示す。この図において、同一の節点に接続された抵抗器はまとめている。

5.1.3 素子数の比較

表 5.1 に提案回路を構成するために必要な素子数を示す。この表には提案手法のほか、多端子対ジャイレータ [98]、リープフロッグシミュレーション法 [44] に基づき設計した場合に必要な素子数を示している。この表から、提案回路は、リープフロッグシミュレーション法に基づき設計した回路と比べて、構成に多くの抵抗器を必要とするが、比較対象のうち最少個数の演算増幅器でフィルタを実現可能であることがわかる。

5.1.4 無極複素フィルタの実験

設計例として次の仕様を満たす複素バンドパスフィルタを設計した。

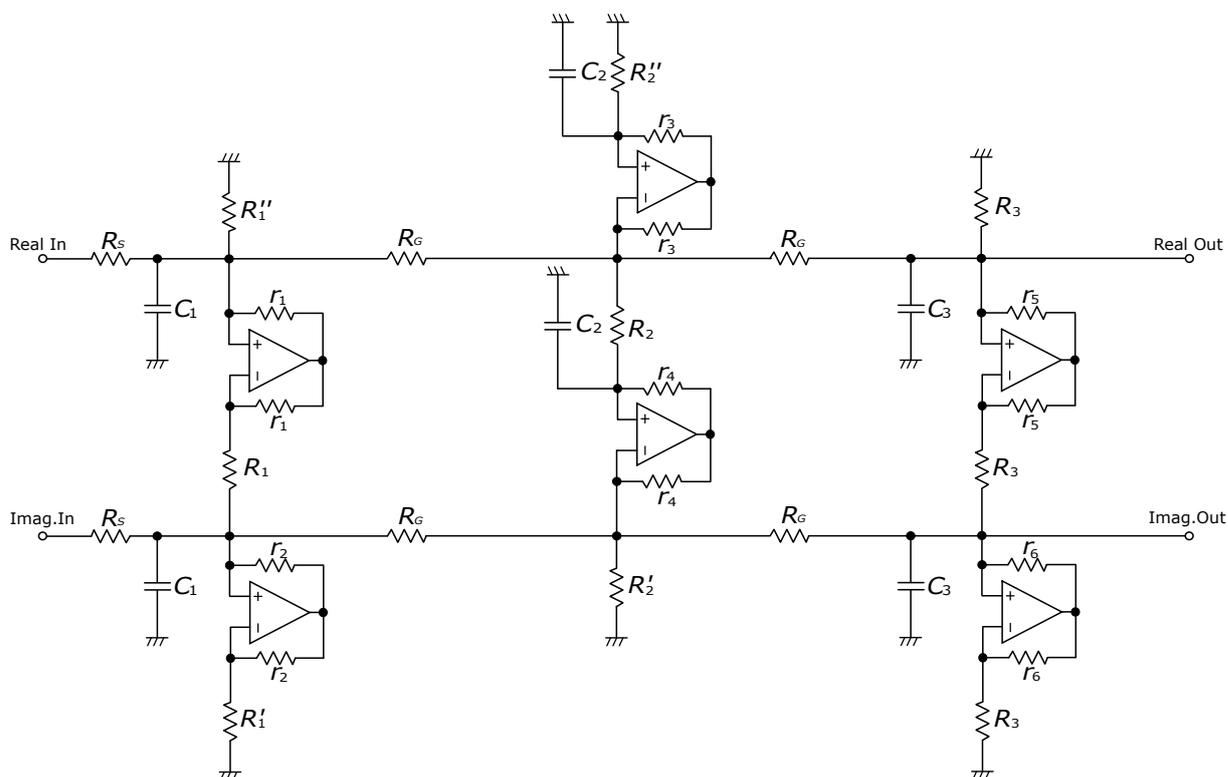


図 5.6: 提案回路する無極複素フィルタ

表 5.2: 無極複素フィルタの素子値

Element	Value	Element	Value	Element	Value
R_S	40.00	R_G	40.00	R_1	1.977
R'_1	1.884	R''_1	2.079	R_2	4.024
R'_2	5.037	R''_2	3.350	R_3	1.977
r_1	1.977	r_2	1.884	r_3	3.350
r_4	4.024	r_5	1.977	r_6	1.977
C_1	16.10	C_2	7.911	C_3	16.10

R's in k Ω , C's in nF

3次チェビシェフ特性

通過域 4.5–5.5 kHz

通過域リップル 1.0 dB

まず、通過域が9–11 rad/sの図 5.6に示す規格化されたフィルタを構成し、次いでこの規格化された回路に対し、周波数スケールリングとインピーダンススケールリングを施すことで通過域が4.5–5.5 kHzの回路を設計した。試作した回路とその素子値を、それぞれ図 5.6と表 5.2に示す。実験に使用した演算増幅器はLF356Hであり、抵抗器とキャパシタは各素子値の誤差が $\pm 0.1\%$ 以内に収まるように調整した。

実験結果を図 5.7に示す。この図において、一点鎖線で示したシミュレーション結果は、演算増幅器のモデルを考慮している。図 5.7から、提案する回路の振幅特性は正の周波数領域においてシミュレーショ

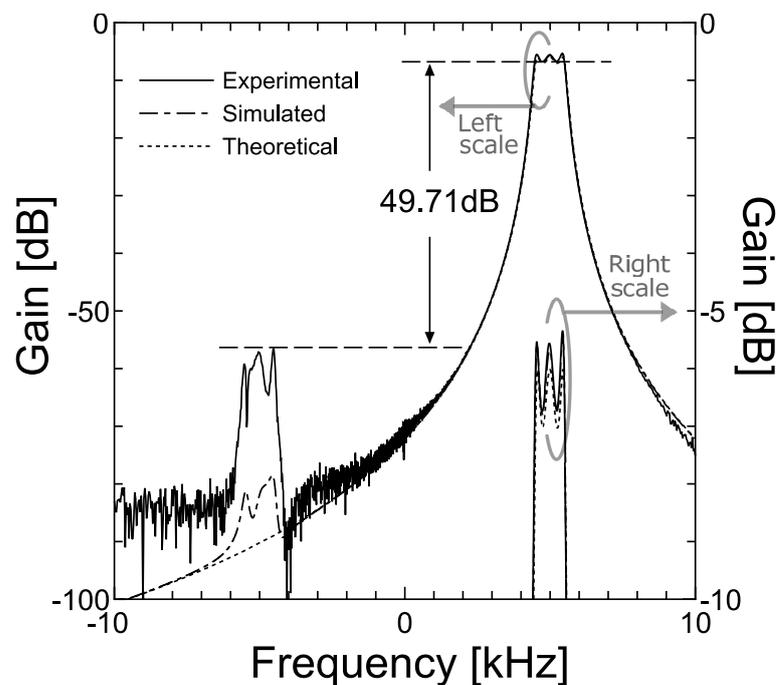


図 5.7: 無極複素フィルタの実験結果 (Copyright(C)2017 IEICE [90] Fig. 8)

ン結果とよく一致していることがわかる。最小イメージ抑圧比は 49.7dB、通過域内最大リプルは 1.4dB であった。最小イメージ抑圧比の低下は素子値の誤差、通過域内リプルの変動は演算増幅器の GB 積の影響によるものと考えられる。

提案回路と従来回路の素子感度の計算結果を図 5.8 に示す。この図から、提案回路の通過域内における素子感度は、従来の直接シミュレーション形の複素フィルタよりわずかに低いものの、原形複素フィルタをシミュレートしているにもかかわらず、リープフロッグ構成の複素フィルタと比較し高いことがわかる。

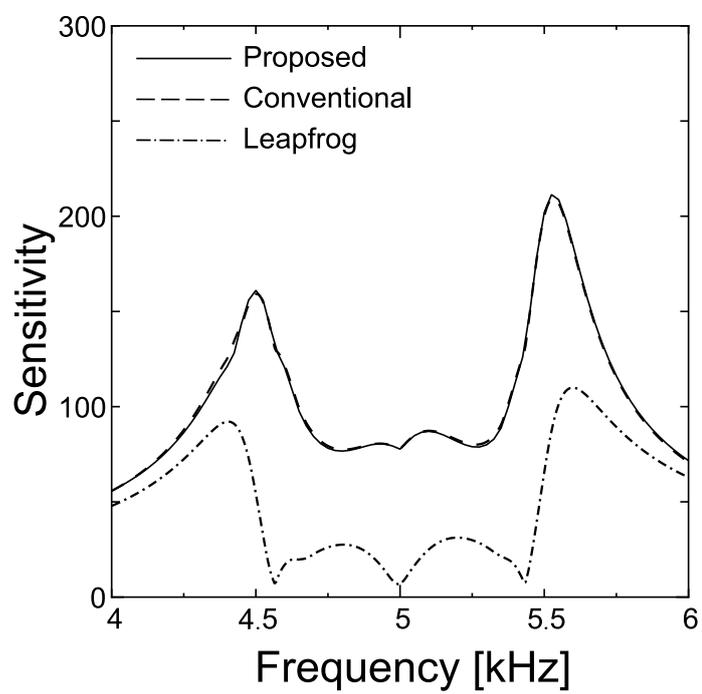


図 5.8: 無極複素フィルタの素子感度

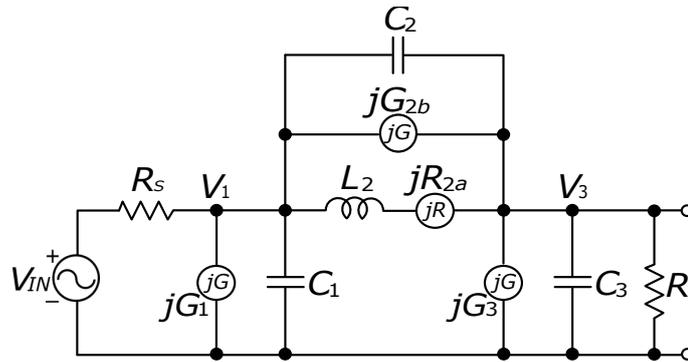


図 5.9: 有極原形複素フィルタ

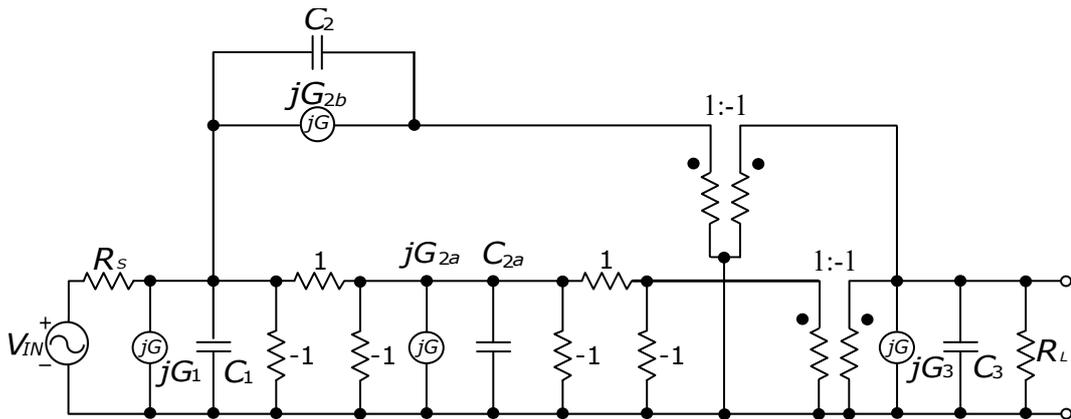


図 5.10: NII を用いて変換した有極原形複素フィルタ

5.2 有極複素フィルタの素子数削減

5.2.1 NII を用いて得られた有極原形複素フィルタの課題

前節では、NII を用いることで無極複素フィルタを少数の能動素子で実現できることを示した。しかしながら、この手法は有極複素フィルタの構成に応用することが困難である。図 5.9 に FS 法で得られた有極原形複素フィルタを示す。この回路のインダクタと虚数抵抗で構成された直列枝に対し、前節と同様に NII を用いた回路の変換を施すと図 5.10 に示す回路が得られる。この図において、 $C_{2a} = -L_2$ 、 $jG_{2a} = -jR_{2a}$ である。図 5.10 の直列枝には、キャパシタと虚数抵抗を並列接続した回路が接続されているため、無極の場合と異なり、 $1:-1$ の巻き数比の理想トランスを無視（除去）することができず、この理想トランスの実現が問題となる。

そこで、本節では NIC を共有することで、有極複素フィルタを少数の能動素子で実現する手法を提案する。まず、NII の代わりに NIC で実現された多端子対ジャイレータを用いて有極複素フィルタを構成する。得られた回路は、同一節点に複数の NIC が接続された回路構造となる。次に、同一節点に接続された複数の NIC を、電圧と電流の関係を保ったまま 1 つの NIC に共有する手法を提案する。本節で述べる能動素子の共有（削減）法は、接地の負性素子だけでなく、非接地の負性素子を実現する場合にも応

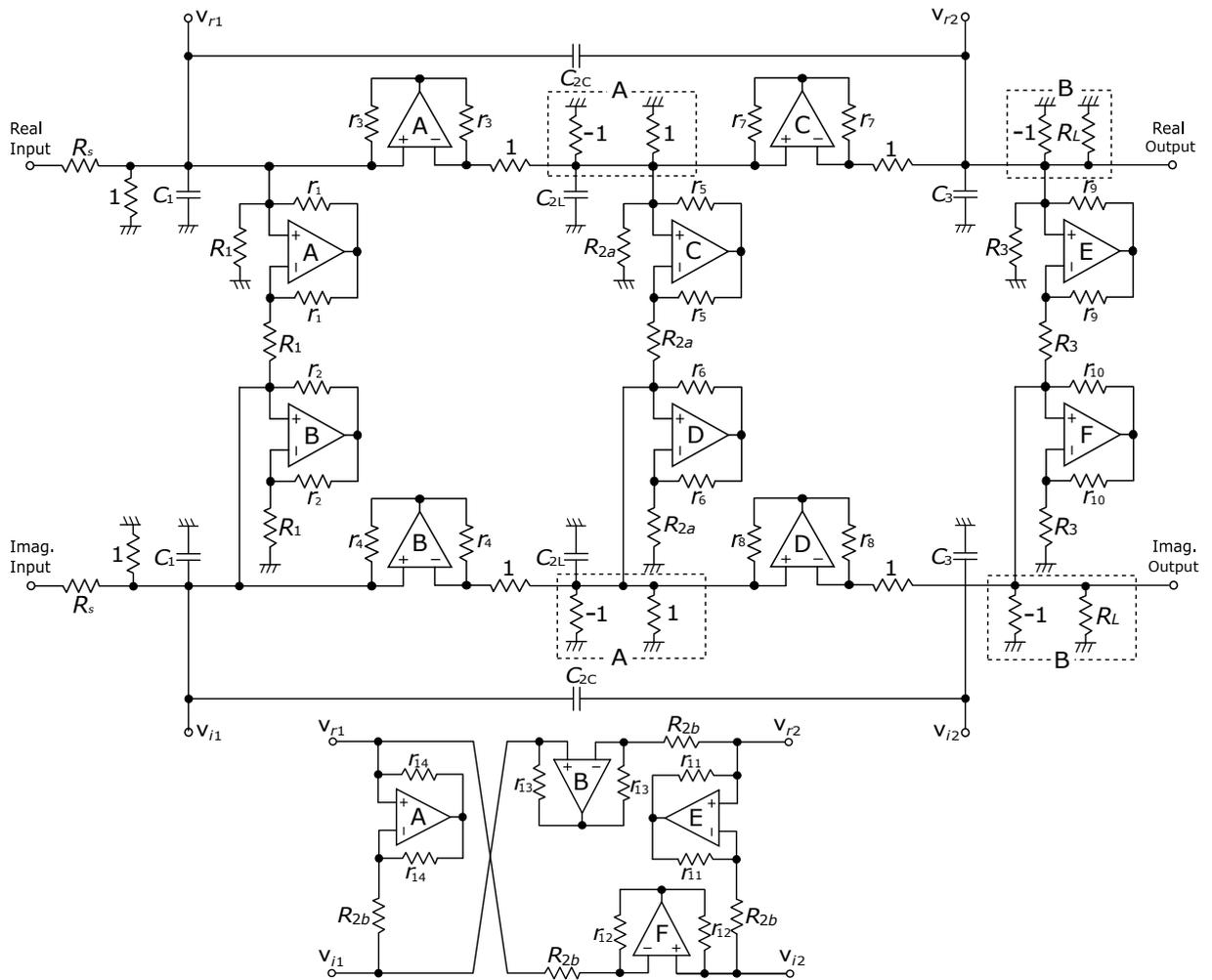


図 5.11: 多端子対ジャイレータを用いて構成した有極複素フィルタ (Copyright(C)2019 IEICE [91] Fig. 3)

用可能である。最後に、3 次の有極複素フィルタを構成し、実験により提案手法の有効性を確認する。

5.2.2 NIC の共有

多端子対ジャイレータを用いて有極複素フィルタを構成し、NIC を用いて多端子対ジャイレータと虚数抵抗を実現すると、図 5.11 に示す回路が得られる。この図において $C_{2L} = L_2$ 、 $R_{2b} = 1/G_{2b}$ 、 $R_1 = 1/G_1$ 、 $R_3 = 1/G_3$ 、NIC の帰還抵抗 $r_k (k = 1, 2, \dots, 14)$ は任意である。図 5.11 に示す回路の破線で囲まれた回路 A は合成インピーダンスが無限大となるため開放除去できる。また、終端抵抗 R_L が 1 の場合¹、破線で囲まれた回路 B も合成インピーダンスが無限大となるため開放除去できる。図 5.11 から、他端子対ジャイレータを用いて実現した有極複素フィルタは、同一節点に複数の NIC が接続された回路構成となることわかる。

今、同一節点に複数の NIC が接続された図 5.12 に示す回路の電圧と電流の関係を $(I_0, I_1, \dots, I_n)^t =$

¹例えば、奇数次の連立チェビシェフ特性の原形実フィルタは、 R_L が 1 となる。

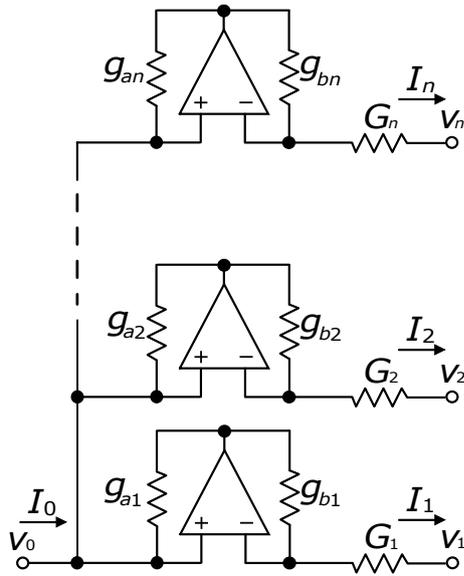


図 5.12: 同一節点に接続された複数の NIC (Copyright(C)2019 IEICE [91] Fig. 1)

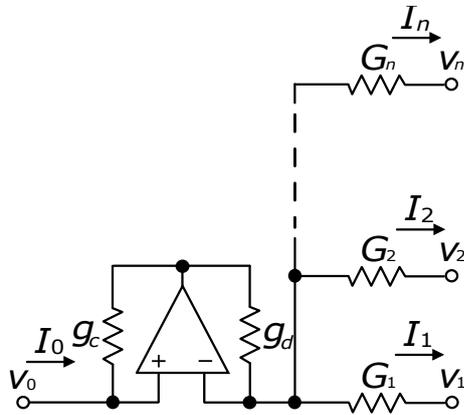


図 5.13: NIC と複数の抵抗器 (Copyright(C)2019 IEICE [91] Fig. 2)

$(Y_a)(V_0, V_1, \dots, V_n)^t$ とすると、 Y -マトリクス (Y_a) は次式で表すことができる。

$$(Y_a) = \begin{pmatrix} Y_{a0} & (g_{a1}G_1)/g_{b1} & (g_{a2}G_2)/g_{b2} & \cdots & (g_{an}G_n)/g_{bn} \\ -G_1 & G_1 & 0 & \cdots & 0 \\ -G_2 & 0 & G_2 & \cdots & \vdots \\ \vdots & \vdots & \ddots & \ddots & 0 \\ -G_n & 0 & \cdots & 0 & G_n \end{pmatrix} \quad (5.3)$$

ここで、 $Y_{a0} = -\sum_{k=1}^n (g_{ak}G_k/g_{bk})$ である。次に図 5.13 に示す回路の電圧と電流の関係を $(I_0, I_1, \dots, I_n)^t = (Y_b)(V_0, V_1, \dots, V_n)^t$ とすると、 Y -マトリクス (Y_b) は次式で表すことができる。

表 5.3: 有極複素フィルタの実現に必要な素子の数 (2 相)

Order	Proposed			Conventional [98, 43]			Leapfrog [44]		
	OA	C	R	OA	C	R	OA	C	R
3rd	6	8	29	14	8	49	9	10	30
5th	10	14	49	26	14	87	15	18	50
(2k + 1)th	4k + 2	6k + 2	20k + 9	12k + 2	6k + 2	38k + 11	6k + 3	8k + 2	20k + 10

OA: Operational Amplifier

$$(Y_b) = \begin{pmatrix} Y_{b0} & (g_c G_1)/g_d & (g_c G_2)/g_d & \cdots & (g_c G_n)/g_d \\ -G_1 & G_1 & 0 & \cdots & 0 \\ -G_2 & 0 & G_2 & \cdots & \vdots \\ \vdots & \vdots & \ddots & \ddots & 0 \\ -G_n & 0 & \cdots & 0 & G_n \end{pmatrix} \quad (5.4)$$

ここで、 $Y_{b0} = -(g_c/g_d) \sum_{k=1}^n (G_k)$ である。式 (5.3) と式 (5.4) を比較すると、次式を満たす場合、図 5.12 に示す回路は、電圧と電流の関係を保ったまま図 5.13 に示す回路に置き換えることができる。

$$g_{a1}/g_{b1} = g_{a2}/g_{b2} = \cdots = g_{an}/g_{bn} = g_c/g_d \quad (5.5)$$

この図 5.12 から図 5.13 への置き換えを図 5.11 に示す回路に応用すると、A から F で示した演算増幅器は、それぞれ 1 つに共有できる。その結果、図 5.14 に示す回路が得られる。

5.2.3 素子数の比較

表 5.3 に提案回路を構成するために必要な素子数を示す。この表には提案手法のほか、多端子対ジャイレータ [98]、リープフロッグシミュレーション法 [44] に基づき設計した場合に必要な素子数を示している。この表から、提案回路を実現するために必要となる素子は、演算増幅器、抵抗器、キャパシタのいずれも比較対象の中で最も少ないことがわかる。

5.2.4 有極複素フィルタの実験

設計例として次の仕様を満たす複素バンドパスフィルタを設計した。

表 5.4: 有極複素フィルタの素子値

Element	Value	Element	Value	Element	Value
R_S	20.00	R_{gy}	20.00	R_1	0.8930
R'_1	0.9173	R''_1	1.010	R_2	2.323
R_{2C}	12.55	R_3	0.8930	R'_3	0.9614
r_1	0.8930	r_2	1.010	r_3	2.323
r_4	2.323	r_5	0.8930	r_6	0.9614
C_1	33.11	C_{2L}	13.70	C_{2C}	2.537
C_3	33.11				

R's in k Ω , C's in nF

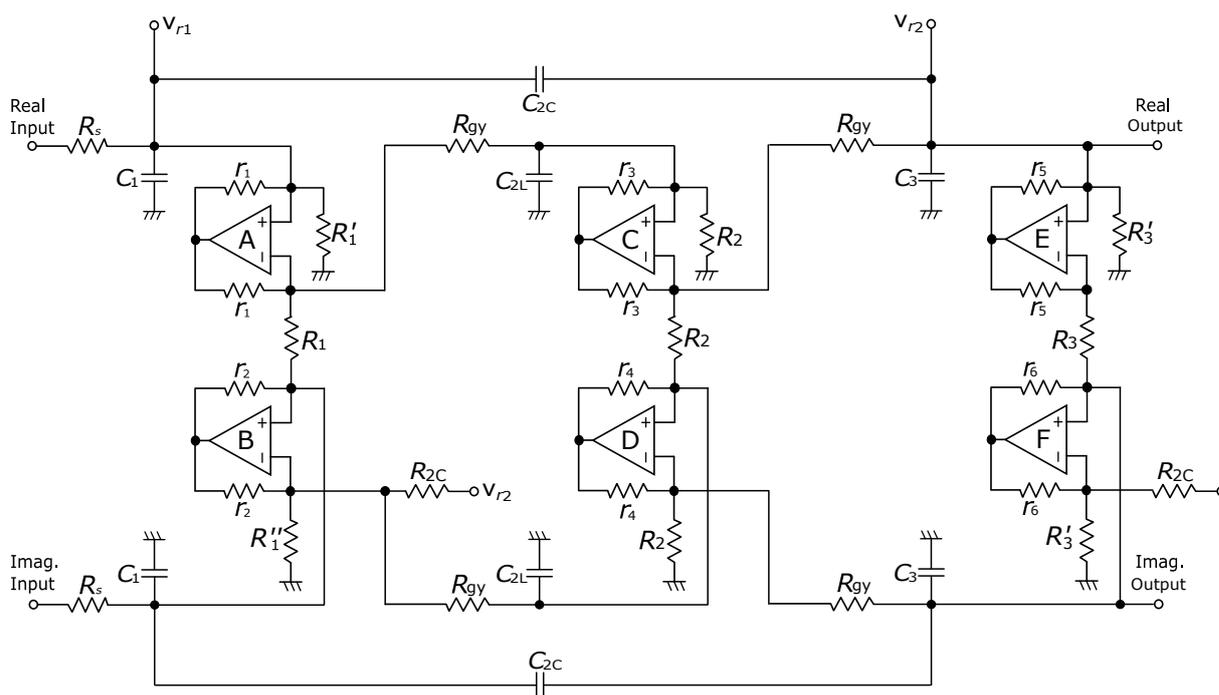


図 5.14: 提案する有極複素フィルタ (Copyright(C)2019 IEICE [91] Fig. 4)

3次連立チエビシェフ特性

通過域 4.5–5.5 kHz

通過域リップル 1.25 dB

最小減衰量 40.5 dB

まず、通過域が9–11 rad/sの規格化されたフィルタを設計し、この規格化された回路に対し周波数スケールリングとインピーダンススケールリングを施すことで回路を設計した。また、実験に用いた回路は、同一の節点に接続された抵抗器をまとめている。試作した回路の回路図とその素子値をそれぞれ図 5.14 と表 5.4 に示す。実験に使用した演算増幅器は LF356H であり、抵抗器とキャパシタは各素子値の誤差が $\pm 0.1\%$ 以内に収まるように調整した。

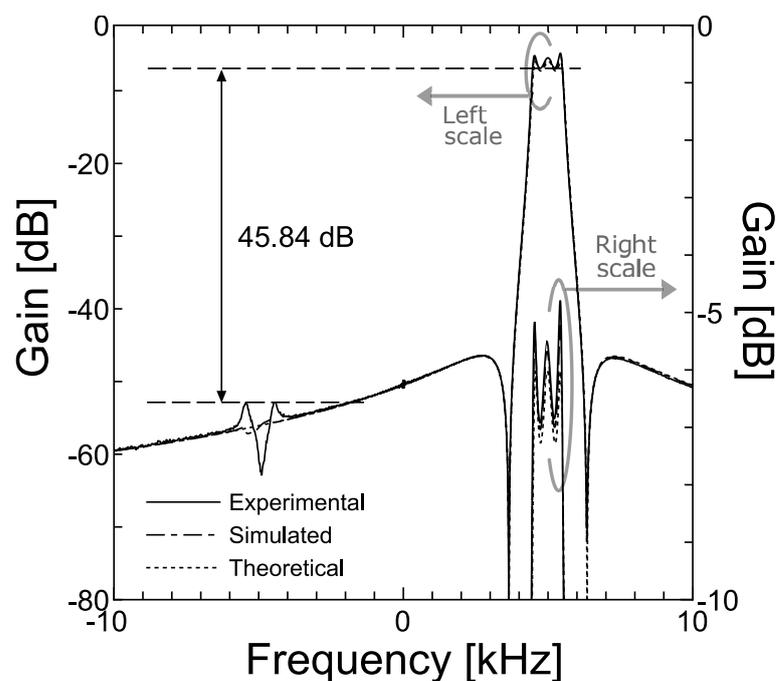


図 5.15: 有極複素フィルタの実験結果 (Copyright(C)2019 IEICE [91] Fig. 5)

実験結果を図 5.15 に示す。この図において、一点鎖線で示したシミュレーション結果は、演算増幅器のモデルを考慮している。図 5.15 から、提案する回路の振幅特性は正の周波数においてシミュレーション結果とよく一致していることがわかる。最小イメージ抑圧比は 45.8dB、通過域内最大リプルは 2.1dB であった。最小イメージ抑圧比の低下は素子値の誤差、通過域内リプルの変動は演算増幅器の GB 積の影響によるものと考えられる。

提案回路と従来回路の素子感度の計算結果を図 5.16 に示す。この図から、提案回路の通過域内における素子感度は、従来の直接シミュレーション形の複素フィルタよりわずかに低いものの、原形複素フィルタをシミュレートしているにもかかわらず、リープフロッグ構成の複素フィルタと比較し高いことがわかる。

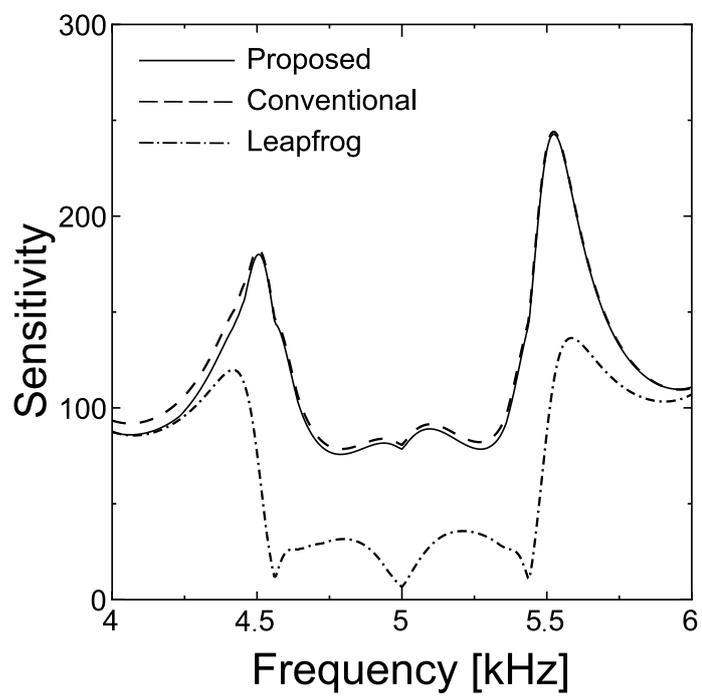


図 5.16: 有極複素フィルタの素子感度

5.3 まとめ

本章では、少数の演算増幅器を用いて無極複素フィルタと有極複素フィルタを実現する手法について述べた。

第1節では、まずNIIを用いることで、インダクタと非接地虚数抵抗を含まない無極原形複素フィルタが得られることを示した。次に、得られた原形複素フィルタに含まれる接地の負性素子を実現する手法を提案した。提案手法で得られた無極複素フィルタは従来の複素フィルタよりも少数の能動素子で実現が可能である。第1節の最後に3次無極複素フィルタを設計し、理論の妥当性を実験により確認した。

第2節では、まずNIIを用いた回路の変換を有極複素フィルタに応用する場合に生じる課題について述べた。次に、従来手法で得られた有極複素フィルタが同一節点に複数のNICが接続された構成となることを示し、同一節点に接続された複数のNICを共有する手法を提案した。この手法は、接地の負性素子だけでなく、非接地の素子を実現する場合にも応用が可能であることから、第1節で述べた負性素子の実現方法より応用範囲が広い。このNICの共有を応用することで得られる有極複素フィルタは、従来手法で得られる回路と比較し、少数の能動素子で実現が可能である。第2節の最後に3次有極複素フィルタを設計し、理論の妥当性を実験により確認した。

本章で提案した手法で得られた複素フィルタは、いずれも従来回路より少数の素子で実現できるという利点を持つが、原形複素フィルタをシミュレートしているにもかかわらず、リープフロッグ構成の回路と比較し、通過域内における素子感度が高いという欠点がある。今後の課題として、より高い周波数で複素フィルタを実現するため、有限GB積の影響を補償する手法を検討すること、及び少数の能動素子で実現可能かつ通過域内における素子感度が低い複素フィルタの構成があげられる。

第6章 虚ジャイレータを用いた回路の変換と接地虚数抵抗を用いた無極 RⁱCR フィルタの構成

本章ではまず第1節にて、第4章で述べた複素インピーダンス反転器の $\varphi = 2\pi n \pm \pi/2$ の場合に対応する虚数抵抗で構成された虚ジャイレータを用いて RⁱCR フィルタを構成する手法を述べる。虚数抵抗で構成された虚ジャイレータは、実フィルタで用いられていたキャパシタやインダクタで構成された虚ジャイレータと異なり、広帯域フィルタへの応用が可能である。また、提案手法は既存研究で提案されている回路の変換と異なり、任意の回路からインダクタを除去できる。さらに、この虚ジャイレータを構成する虚数抵抗の素子値を適切に定めることで、原形複素フィルタに含まれる虚数抵抗が削減できることを示す。以降、本論文において虚ジャイレータは、虚数抵抗で構成された回路を指すものとする。

第2節にて T 型の虚ジャイレータを用いて、接地虚数抵抗のみで構成された無極 RⁱCR フィルタを構成する手法について述べる。提案手法で得られる無極 RⁱCR フィルタの回路構造は、従来のそれと同じであるが、提案手法で得られる RⁱCR フィルタは複素バンドパス特性と複素ハイパス特性の両方が実現可能であり、従来手法で得られる RⁱCR フィルタの通過域利得が過大又は過小となるという問題を解決している。

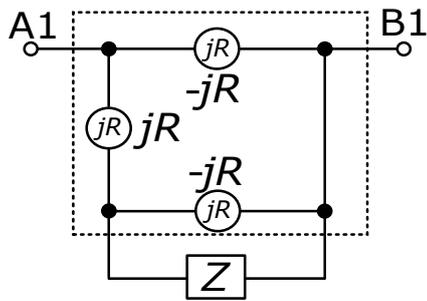
第1節と第2節で提案した理論の妥当性は、計算機シミュレーションにより確認している。

6.1 任意の回路の RⁱCR フィルタへの変換と虚数抵抗の削減

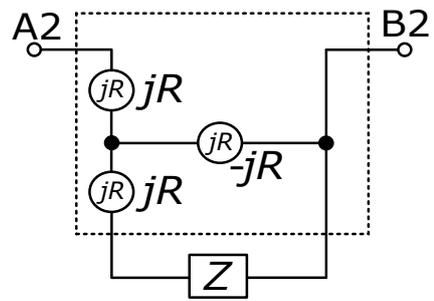
6.1.1 インダクタを含む回路の変換と虚数抵抗の削減

まず、図 6.1(a) と図 6.1(b) に虚ジャイレータと素子 Z で構成された回路を示す。図 6.1(a) の回路と図 6.1(b) の回路は、破線で示す回路に対し $Y - \Delta$ 変換（又は $\Delta - Y$ 変換）を施すことにより、他方の回路へと変換が可能である。ここでは、図 6.1(a) の回路について述べる。まず、図 6.1(a) の節点 A1 及び B1 から見込んだこの回路の入力インピーダンス Z_{INIG} は次式のようなになる。

$$Z_{INIG} = R^2/Z \tag{6.1}$$

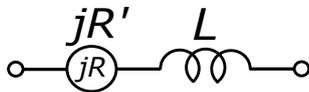


(a) II型の虚ジャイレータと素子 Z

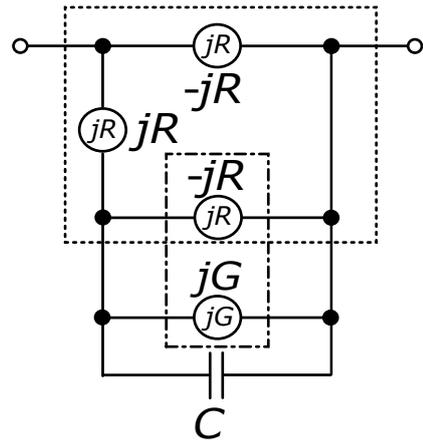


(b) T型の虚ジャイレータと素子 Z

図 6.1: 虚ジャイレータと素子 Z



(a) インダクタと虚数抵抗



(b) (a) の等価回路

図 6.2: インダクタと虚数抵抗で構成された回路とその等価回路

上式から、図 6.1(a) に示した虚ジャイレータを用いることで、素子 Z の見かけ上のインピーダンスを逆数に反転できることがわかる。このため、図 6.1(a) あるいは図 6.1(b) に示した虚ジャイレータを用いることで、任意の回路からインダクタを含まない回路を構成することが可能である。また、この虚ジャイレータは、キャパシタやインダクタで構成されたそれと異なり、直流から無限大までの全周波数において所望のインピーダンスを実現可能である。

次に、インダクタと虚数抵抗で構成された回路と、II型の虚ジャイレータを用いてインダクタを除去した等価回路をそれぞれ図 6.2(a) と図 6.2(b) に示す。ここで、次式の条件を与えると、図 6.2(b) に示す回路に含まれる 1 点鎖線で示した 2 つの虚数抵抗の合成インピーダンスが無限大（開放除去）となり、構成に必要な虚数抵抗を削減できる。

$$jR = 1/jG \quad (6.2)$$

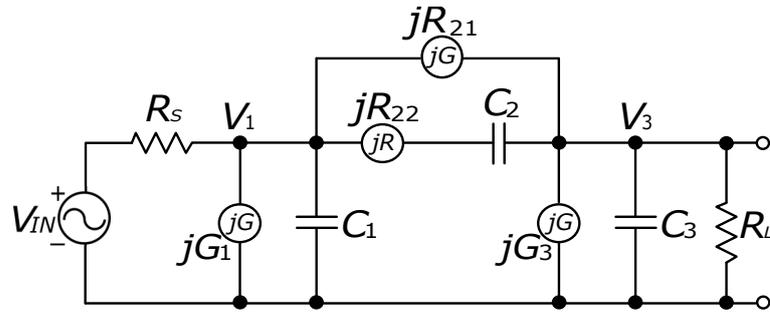


図 6.3: 虚ジャイレータを用いて変換した原形複素フィルタ ($n = 3$)

表 6.1: 提案手法で得られた R^iCR フィルタの素子値

Element	Value	Element	Value	Element	Value
R_S	1	R_L	1	jG_1	$-20.24j$
jG_3	$-20.24j$	jR_{21}	$-9.941j$	jR_{22}	$9.941j$
C_1	2.024	C_2	1.006×10^{-2}	C_3	2.024

この場合、キャパシタ C と虚数抵抗 jR は次式のようにになる。

$$\left. \begin{aligned} jR &= -jR' \\ sC &= sL/R^2 \end{aligned} \right\} \quad (6.3)$$

6.1.2 計算機シミュレーション

設計例として次の仕様を満たす複素バンドパスフィルタを設計した。

3次チェビシェフ特性

通過域 9–11 rad/s

通過域リプル 1.0 dB

FS法で得られた原形複素フィルタ (図 2.4) のインダクタと虚数抵抗で構成された回路に対し、図 6.2(a) に示す回路から図 6.2(b) に示す回路への変換を施した。ここで、虚ジャイレータを構成する虚数抵抗の素子値は、式 (6.3) を用いて決定した。得られた R^iCR フィルタとその素子値をそれぞれ図 6.3 と表 6.1 に示す。さらに、提案する R^iCR フィルタを OTA とキャパシタを用いて実現した。OTA とキャパシタを用いて実現した FS法で得られた原形複素フィルタ (本節では以下、従来回路) と提案する R^iCR フィルタ (本節では以下、提案回路) はそれぞれ、図 6.4 と図 6.5 のようになる。ここで、提案回路の素子値は表 6.2 のようになる。

LTSPICE XVII® を用いて計算機シミュレーションを行った。ここで、OTA は全て理想電圧制御電流源としている。計算機シミュレーションの結果を図 6.6 に示す。計算機シミュレーションの結果から、提

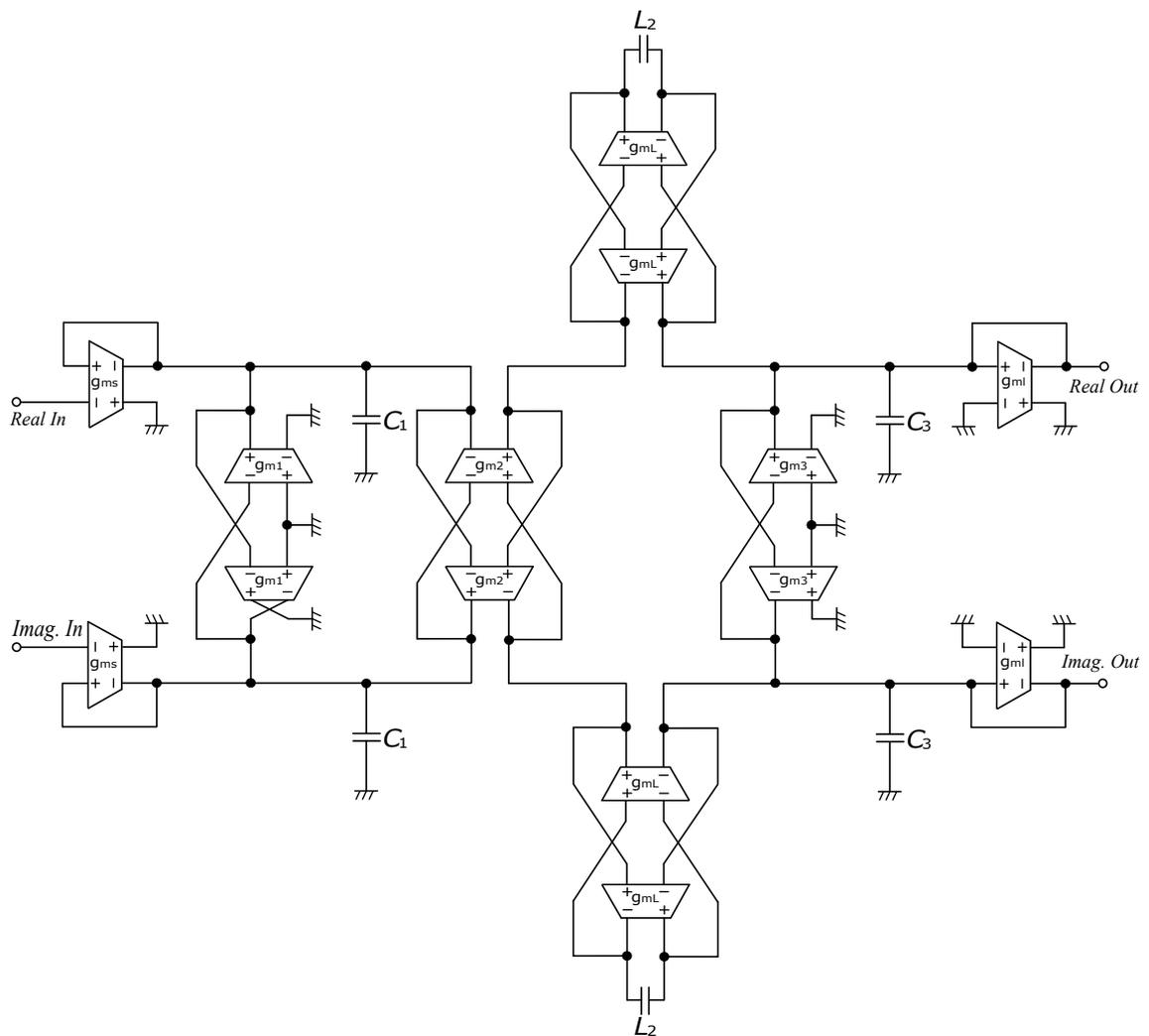


図 6.4: FS 法で得られた回路の OTA を用いた実現

案回路は、従来回路と同じ周波数特性を持つことを確認している。提案回路と従来回路を実現する際に必要となる素子数を表 6.3 に示す。この表から、提案回路は従来回路よりも少数の能動素子で実現できることがわかる。

提案回路と従来回路の素子感度の計算結果を図 6.7 に示す。この図から、提案回路の通過域内における素子感度は、従来回路よりも低いことがわかる。

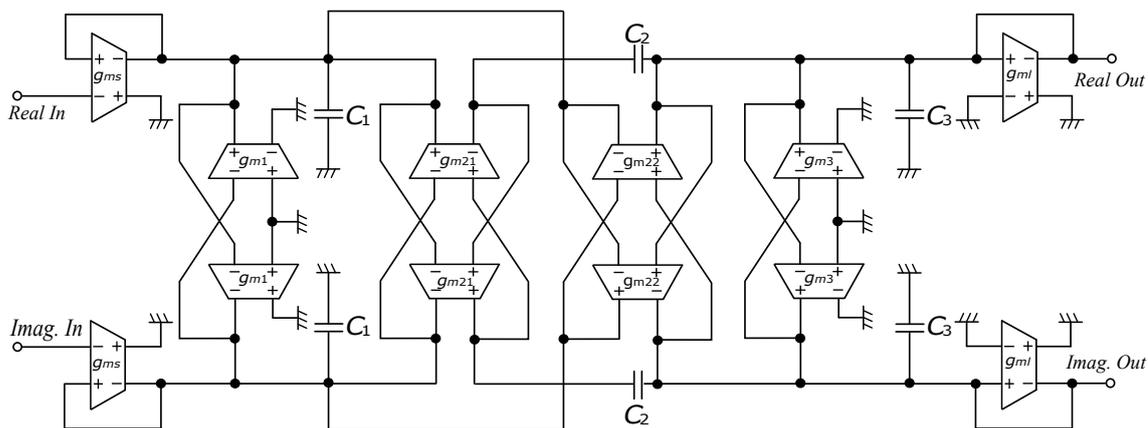


図 6.5: 提案する R^1CR フィルタの OTA を用いた実現

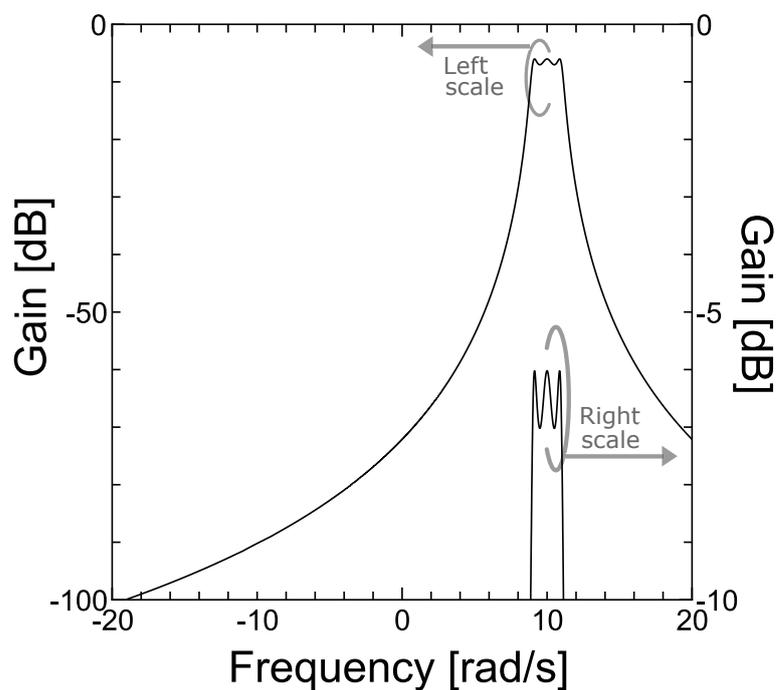


図 6.6: 虚ジャイレータを用いて変換した複素フィルタのシミュレーション結果

表 6.2: OTA とキャパシタで実現した R^1CR フィルタの素子値

Element	Value	Element	Value	Element	Value
g_{ms}	1	g_{ml}	1	g_{m1}	20.24
g_{m21}	0.1006	g_{m22}	0.1006	g_{m3}	20.24
C_1	2.024	C_2	1.006×10^{-2}	C_3	2.024

表 6.3: 虚ジャイレータを用いて構成した複素フィルタの実現に必要な素子の数 (2 相)

	Proposed		FS	
	OTA	C	OTA	C
3rd-order	12	6	14	6
5th-order	18	10	22	10
$(2k+1)$ th-order	$6k + 6$	$4k + 2$	$8k + 6$	$4k + 2$

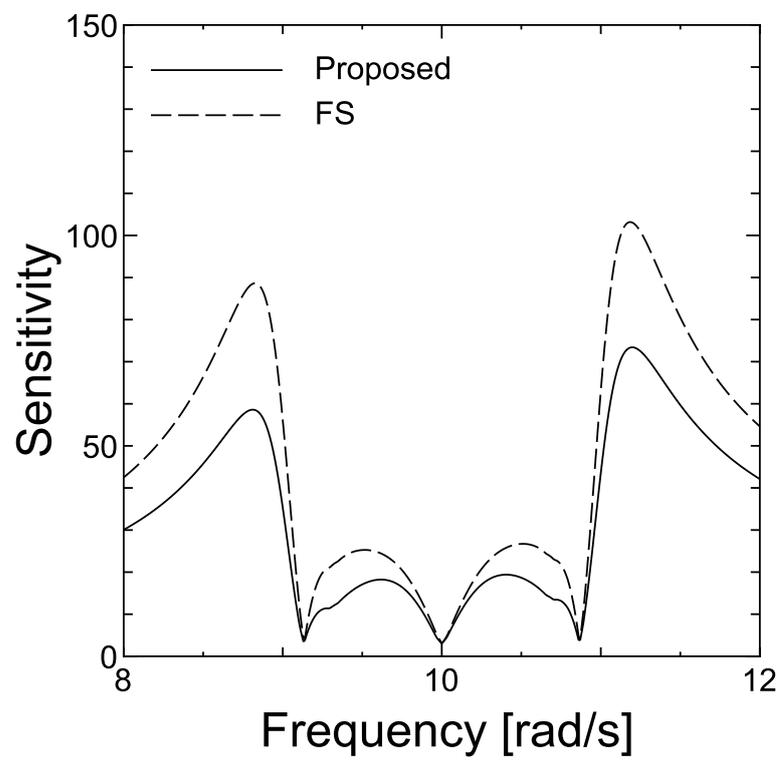


図 6.7: 提案手法で得られた RⁱCR フィルタと FS 法で得られた回路の素子感度

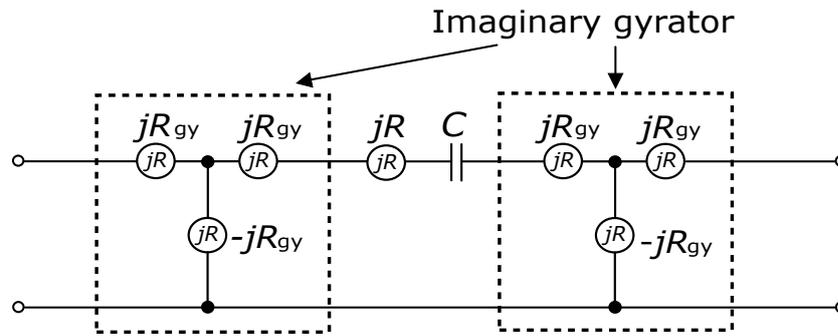


図 6.8: 虚ジャイレータ、キャパシタ、及び虚数抵抗 (Copyright(C)2019 IEEJ [94] Fig. 3)

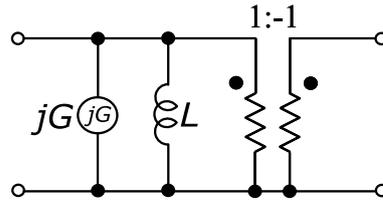


図 6.9: インダクタ、虚数抵抗、及び理想トランス (Copyright(C)2019 IEEJ [94] Fig. 4)

6.2 接地虚数抵抗を用いた R^iCR フィルタの構成

前節では、虚ジャイレータを用いることで、インダクタを含む原形複素フィルタを R^iCR フィルタに変換できることを示した。本節では、複素フィルタの実現に必要な素子のさらなる削減を目的として、T型の虚ジャイレータを用いて R^iCR フィルタを構成するとともに、非接地虚数抵抗を削減する手法を提案する。提案手法で得られる R^iCR フィルタは、前節で提案した R^iCR フィルタと異なり、非接地虚数抵抗を含まない。

6.2.1 T型の虚ジャイレータを用いた回路の変換

まず、図 6.8 に虚ジャイレータ、虚数抵抗及びキャパシタで構成された回路を示す。図 6.8 において、破線で示した回路が虚ジャイレータを構成している。図 6.8 に示す回路の F -マトリクスを整理することで次式が得られる。

$$F = \begin{pmatrix} 1 & 0 \\ \frac{1/sC + jR}{R_{gy}^2} & 1 \end{pmatrix} \begin{pmatrix} -1 & 0 \\ 0 & -1 \end{pmatrix} \quad (6.4)$$

式 (6.4) から、図 6.8 に示す回路は、図 6.9 に示す回路と等価であることがわかる。ここで、巻数比が $1:-1$ の理想トランスは振幅特性に影響を与えることなく除去できる。図 6.8 に示す回路と図 6.9 に示す

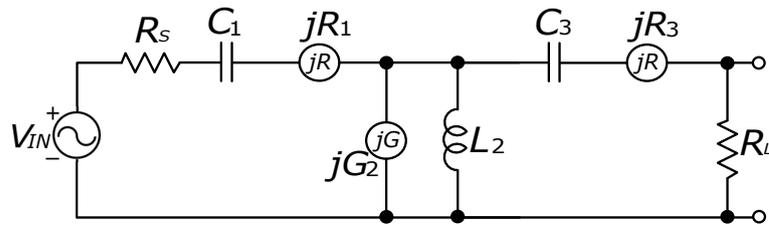


図 6.10: ELHT 法で得られた原形複素フィルタ ($n = 3$)

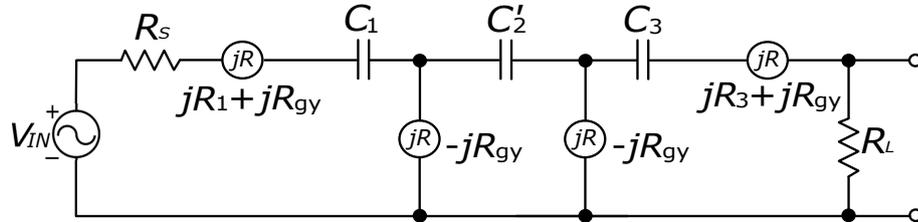


図 6.11: 変換された原形複素フィルタ ($n = 3$)

回路内に含まれる素子値の関係は次式のようなになる。

$$\left. \begin{aligned} L &= CR_{gy}^2 \\ jG &= jR/R_{gy}^2 \end{aligned} \right\} \quad (6.5)$$

次に ELHT 法で得られた原形複素フィルタを図 6.10 に示す。この回路は、並列枝にインダクタと非接地虚数抵抗を含む回路である。

この回路に対し、虚ジャイレータを用いた回路の変換を応用し、インダクタと虚数抵抗で構成された回路をキャパシタと虚数抵抗で構成された回路に変換する。ここで、 jR_{gy} を次式により決定する。

$$jR_{gy} = -j(2/G_2) \quad (6.6)$$

その結果得られる回路を図 6.11 に示す。この図において、巻数比が $1:-1$ の理想トランスは除去しており、 $C'_2 = L_2/R_{gy}^2 = L_2G_2^2/4$ である。図 6.11 から、原形複素フィルタのインダクタが除去され、始端回路と終端回路以外に非接地虚数抵抗が含まれていないことがわかる。高次のフィルタにおいても、原形複素フィルタが (バタワース特性やチェビシェフ特性に代表される) 対称回路の場合は、インダクタを含む全ての並列枝に対して T 型の虚ジャイレータを用いた変換を施すことで、始端回路と終端回路以外に非接地虚数抵抗を含まない RⁱCR フィルタが得られる。なお、偶数次の (バタワース特性やチェビシェフ特性に代表される) 逆対称回路も、文献 [106] に基づき対称回路に変換することで、提案手法が応用可能となる。

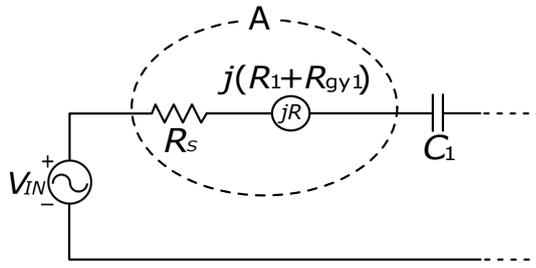


図 6.12: 始端回路 (Copyright(C)2019 IEEJ [94] Fig. 17)

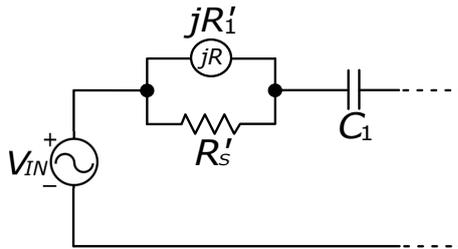


図 6.13: 始端回路の変換 1 (Copyright(C)2019 IEEJ [94] Fig. 18)

6.2.2 始端回路と終端回路の変換

虚ジャイレータを用いることで変換された図 6.11 に示す回路は、始端回路と終端回路にのみ非接地の虚数抵抗を含む構成となる。ここでは、始端回路と終端回路に対し等価変換を施すことで、非接地の虚数抵抗を接地虚数抵抗に変換する手法を示す。

まず、図 4.5 に示す抵抗器と虚数抵抗が直列に接続された回路のインピーダンスは、次式のように書くことができる。

$$Z_{series} = R_1 + jR_2 \quad (6.7)$$

次に、図 4.6 に示す抵抗器と虚数抵抗が並列に接続された回路のインピーダンスは、次式のように書くことができる。

$$Z_{parallel} = \frac{1}{G_1^2 + G_2^2} (G_1 - jG_2) \quad (6.8)$$

式 (6.7) と式 (6.8) を比較することで、図 4.5 に示す回路と図 4.6 に示す回路は、次式を満たすとき等価変換が可能であることがわかる。

$$\left. \begin{aligned} G_1 &= \frac{R_1}{R_1^2 + R_2^2} \\ jG_2 &= j\left(\frac{-R_2}{R_1^2 + R_2^2}\right) \end{aligned} \right\} \quad (6.9)$$

この直並列変換を図 6.11 の始端回路を抜き出した図 6.12 の破線 A の回路に施すと、図 6.13 に示す始端回路を得ることができる。さらにテブナンの定理を施すことで、始端回路に含まれる虚数抵抗を接地

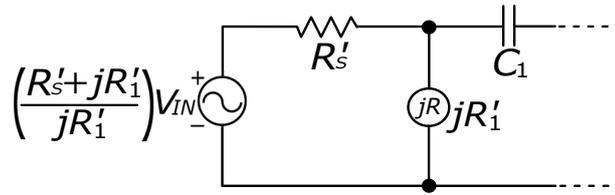


図 6.14: 始端回路の変換 2 (Copyright(C)2019 IEEJ [94] Fig. 19)

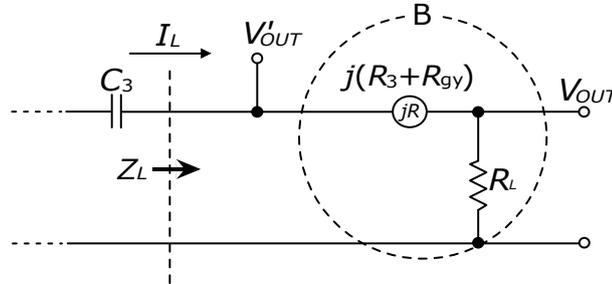


図 6.15: 終端回路 (Copyright(C)2019 IEEJ [94] Fig. 20)

した図 6.14 に示す回路を得ることができる。ここで、図 6.14 の回路の信号源を V_{IN} とする。このとき、始端回路の虚数抵抗を接地する前の図 6.13 の回路の伝達関数を $T(s)$ とし、接地した後の図 6.14 の回路の伝達関数を $T'(s)$ とすると、その関係は次式のようになる。

$$\left. \begin{aligned} T'(s) &= \frac{jR_1'}{R_S' + jR_1'} T(s) \\ &= \frac{R_S}{R_S - j(R_{gy1} + R_1)} T(s) \end{aligned} \right\} \quad (6.10)$$

次に、終端回路の変換について述べる。図 6.11 の終端回路を図 6.15 に示す。この回路の出力を V'_{OUT} から取り出すことを考える。このとき終端回路に流れ込む電流 I_L は変化しないため、出力を V_{OUT} から取り出した場合の伝達関数を $T'(s)$ とし、出力を V'_{OUT} から取り出した場合の伝達関数を $T''(s)$ とすると、次式の関係が得られる。

$$T''(s) = \frac{R_L + j(R_3 + R_{gy})}{R_L} T'(s) \quad (6.11)$$

さらに、図 6.15 の破線 B に示す回路に図 4.5 から図 4.6 への直並列変換を施すことで、終端回路は図 6.16 のようになる。ここで、図 6.16 の破線から右側を見込んだ入力インピーダンス Z_L は図 6.15 のそれと一致しているため、 I_L も変化しない。従って、この終端回路の直並列変換は、伝達関数 $T''(s)$ に影響を与えない。以上の手順により、始端回路及び終端回路を変換することで得られた回路は図 6.17 のようになる。

ここで、始端回路と終端回路の変換前後の振幅特性の関係を考える。原形複素フィルタが対称回路で

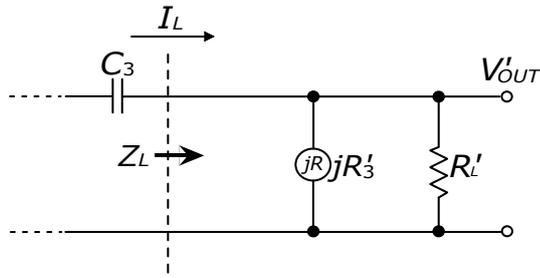


図 6.16: 終端回路の変換 (Copyright(C)2019 IEEJ [94] Fig. 21)

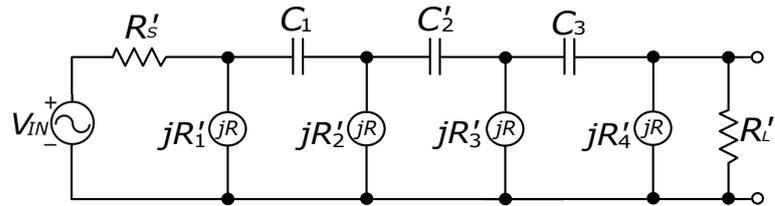


図 6.17: 接地虚数抵抗を用いた R^iCR フィルタ ($n = 3$)

あると仮定しているから、次式が成り立つ。

$$j(R_1 + R_{gy}) = j(R_3 + R_{gy}) \quad (6.12)$$

さらに、対称回路では $R_S = R_L$ となるので、 $s \rightarrow j\omega$ とすると、次式が成り立つ。

$$\begin{aligned} |T''(j\omega)| &= \left| \frac{R_S}{R_S - j(R_{gy} + R_1)} \cdot \frac{R_L + j(R_3 + R_{gy})}{R_L} T(j\omega) \right| \\ &= \frac{R_S \sqrt{R_L^2 + (R_3 + R_{gy})^2}}{R_L \sqrt{R_S^2 + (R_1 + R_{gy})^2}} |T(j\omega)| \\ &= |T(j\omega)| \end{aligned} \quad (6.13)$$

式 (6.13) から、始端回路と終端回路に対して回路の変換を施す前後で、フィルタの振幅特性は変化しないことがわかる。以上より、提案する R^iCR フィルタはインダクタを含む原形複素フィルタ（偶数次の場合は対称回路に変換した後に周波数変換を施した回路）と同じ振幅特性を有する。

6.2.3 計算機シミュレーション

設計例として次の仕様を満たす複素バンドパスフィルタを設計した。

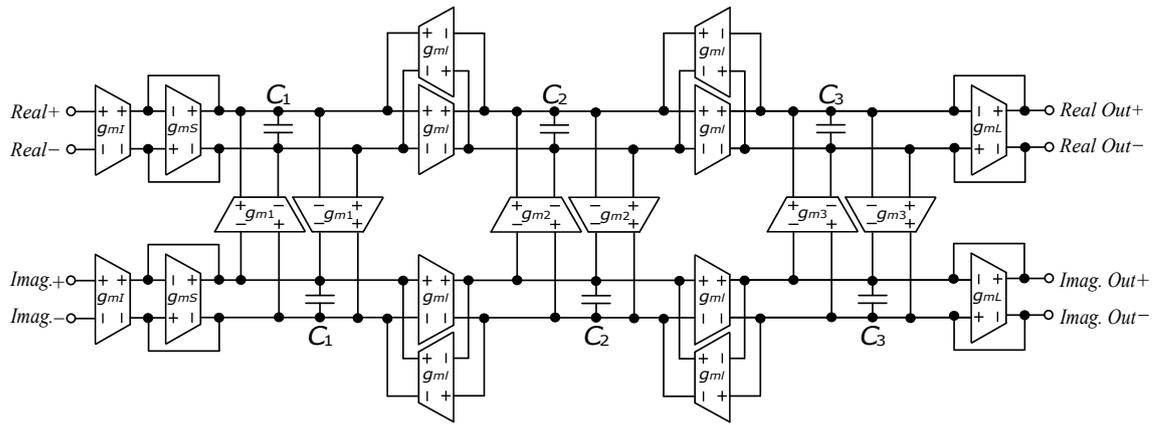


図 6.18: FS 法で得られた無極 R^iCR フィルタの OTA を用いた実現 ($n = 3$)

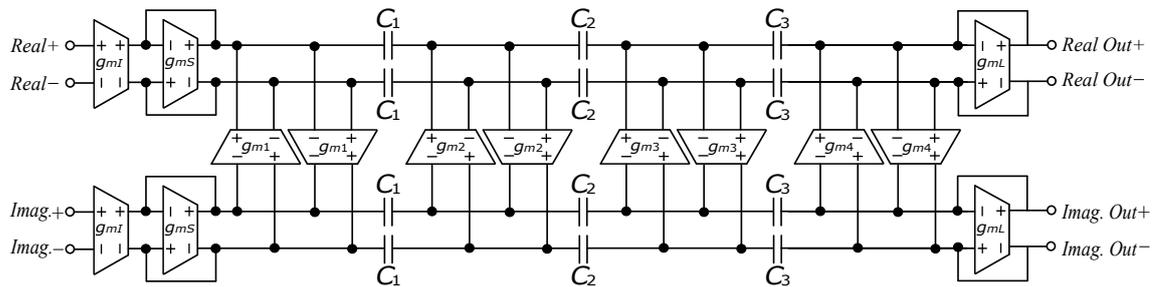


図 6.19: 提案する接地虚数抵抗を用いた無極 R^iCR フィルタの OTA を用いた実現 ($n = 3$)

3 次チェビシェフ特性

通過域 9–11 rad/s

通過域リプル 1.0 dB

提案手法で得られた R^iCR フィルタと従来手法 [81] で得られた R^iCR フィルタの素子値を表 6.4 に示す。この表には、提案する R^iCR フィルタと従来手法で得られた R^iCR フィルタの素子値の広がり¹も示している。この表から、提案手法で得られた R^iCR フィルタは従来手法で得られた回路よりも素子値の広がり小さいことがわかる。

OTA とキャパシタを用いて、FS 法で得られた原形複素フィルタと、提案する R^iCR フィルタ（本節では以下、提案回路）を実現すると、それぞれ図 6.18 と図 6.19 のようになる。なお、従来手法 [81] に基づき得られた R^iCR フィルタを OTA とキャパシタを用いて実現した回路（以下、従来回路）は、図 6.19 に含まれる OTA g_{m4} の出力の正負を入れ替えた構造となる。ここで、提案回路の素子値は表 6.5 のようになる。計算機シミュレーションの結果を図 6.20 に示す。計算機シミュレーションは LTSPICE XVII® を用いて行い、OTA は全て理想電圧制御電流源で実現している。図 6.20 から、従来回路の通過域内最大利得は -78 dB であり、提案回路のそれは周波数変換で得られた原形複素フィルタと同じ -6.0 dB で

¹OTA とキャパシタを用いて R^iCR フィルタを実現する場合、抵抗器と虚数抵抗を OTA でシミュレートすることになる。このため、本論文では素子値の広がりについて $|R_{max}|/|R_{min}|$ と $|g_{max}|/|g_{min}|$ で比較を行った。

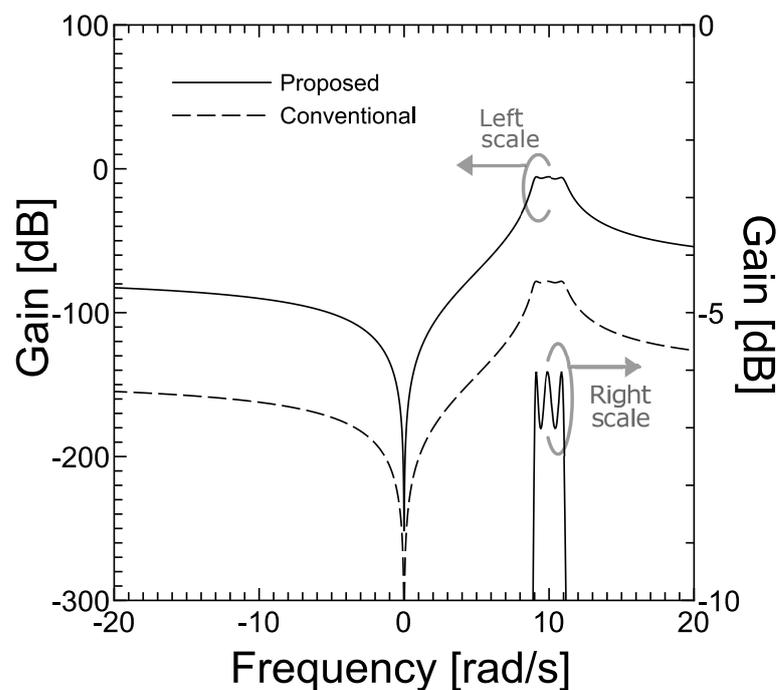


図 6.20: 接地虚数抵抗を用いた R^iCR フィルタのシミュレーション結果

あった。また、表 6.4 から、提案回路の素子値の広がり、従来回路と比較して非常に小さいことがわかる。また、提案回路と従来回路の最小イメージ抑圧比は等しく 82 dB であった。4 相複素フィルタとして図 6.10 に示す回路を実現する際、必要となる素子数を表 6.6 に示す。この表から、提案手法で得られた R^iCR フィルタは従来回路 [81] と同様に、FS 法 [28] で得られた回路よりも少ない素子で実現できることがわかる。

提案回路と FS 法で得られた回路の素子感度の計算結果を図 6.21 に示す。なお、文献 [81] に基づき得られた従来回路は素子値の広がり、素子感度の計算が困難であったため、素子感度の比較対象は、広く用いられている FS 法を用いて設計した複素フィルタとした。この図から、提案回路の通過域内における素子感度は、FS 法で得られた複素フィルタのそれよりも低いことがわかる。

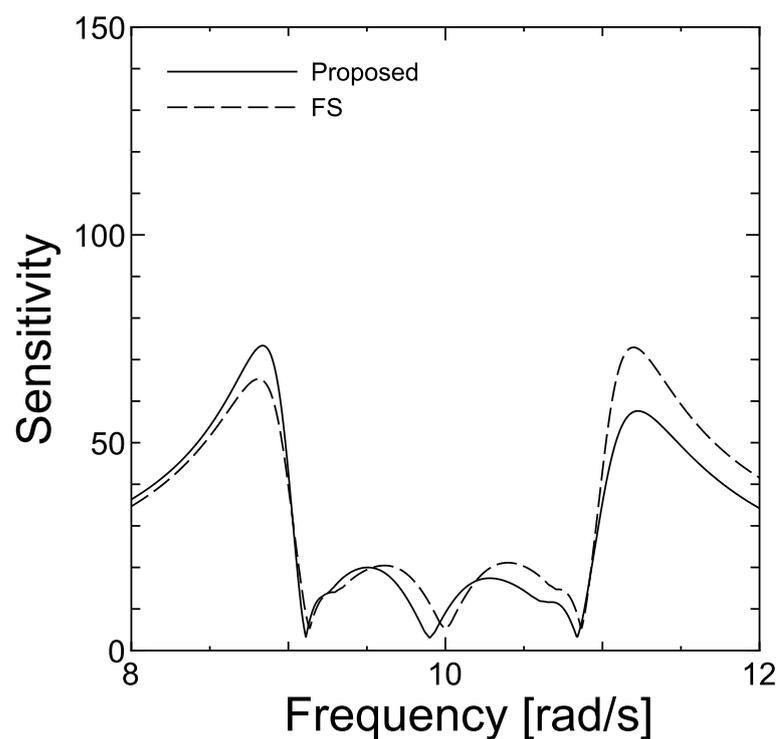


図 6.21: 接地虚数抵抗を用いた R^iCR フィルタの素子感度

表 6.4: 接地虚数抵抗を用いた R^iCR フィルタの素子値

Element	Proposed Value	Ref. [81] Value
R'_S	1	1
jR'_1	$4.991 \times 10^{-2}j$	$4.966 \times 10^{-2}j$
jR'_2	$5.000 \times 10^{-4}j$	$2.487 \times 10^{-4}j$
jR'_3	$5.000 \times 10^{-4}j$	$1.239 \times 10^{-6}j$
jR'_4	$4.991 \times 10^{-2}j$	$-1.239 \times 10^{-6}j$
R'_L	1	6.124×10^{-8}
C_1	2.009	2.029
C'_2	101.0	404.2
C_3	2.009	81710
$ R_{max} / R_{min} $	2.000×10^3	1.633×10^7
C_{max}/C_{min}	50.27	4.027×10^4

表 6.5: OTA で実現された接地虚数抵抗を用いた RⁱCR フィルタの素子値

	Proposed	Ref. [81]
Element	Value	Value
g_{mS}	1	1
g_{m1}	20.04	20.14
g_{m2}	2.000×10^3	4.021×10^3
g_{m3}	2.000×10^3	8.071×10^5
g_{m4}	20.04	8.071×10^5
g_{mL}	1	1.633×10^7
C_1	4.018	4.058
C_2	202	808.4
C_3	4.018	1.634×10^5
$ g_{mmax} / g_{mmin} $	2.000×10^3	1.633×10^7
C_{max}/C_{min}	50.27	4.027×10^4

表 6.6: 接地虚数抵抗を用いた RⁱCR フィルタの実現に必要な素子の数 (4 相)

	Proposed ,Ref.[81]		FS	
	OTA	C	OTA	C
3rd-order	14	12	20	6
5th-order	18	20	32	10
(2k+1)th-order	$4k + 10$	$8k + 4$	$12k + 8$	$4k + 2$

6.3 まとめ

本章では、少数の OTA を用いて無極複素フィルタを構成する手法について述べた。

第1節では、まず虚数抵抗で構成された虚ジャイレータを用いることで、任意の回路を R^iCR フィルタに変換できることを示した。次に、インダクタを虚ジャイレータとキャパシタで構成する場合に、虚数抵抗を削減する条件を示した。提案手法で得られた無極複素フィルタは従来の複素フィルタよりも少数の能動素子で実現が可能である。第1節の最後に3次の無極複素フィルタを設計し、理論の妥当性を計算機シミュレーションにより確認した。また、素子感度の計算結果から、提案手法で得られた R^iCR フィルタは、OTA とキャパシタで実現した場合に、FS 法で得られた原形複素フィルタよりも素子感度が低くなることを示した。

第2節では、まず T 型の虚ジャイレータと虚数抵抗及びキャパシタで構成された回路でインダクタと虚数抵抗が等価的に実現できることを示した。さらに、非接地虚数抵抗を削減する条件を示した。次に、虚ジャイレータで変換した回路の始端回路と終端回路に含まれる非接地虚数抵抗を接地する手法を提案した。提案手法で得られる R^iCR フィルタ は従来手法で得られる回路と同じ回路構造であり、4相複素フィルタを少数の OTA で構成できる。さらに、提案する R^iCR フィルタ は、従来手法の課題であった通過域利得の問題を解決しており、複素ハイパス特性と複素バンドパス特性の両方を実現可能である。第2節の最後に3次無極 R^iCR フィルタ を設計し、理論の妥当性を計算機シミュレーションにより確認した。

今後の課題として、実現したフィルタの周波数特性に OTA の寄生素子が及ぼす影響の解析や、実験による提案手法の有効性の確認などがあげられる。

第7章 回路の変換を用いた有極 R^iCR フィルタの構成

第6章第1節にて提案した虚ジャイレータを用いた回路の変換は、有極複素フィルタの構成にも応用が可能である。しかしながら、ELHT法を用いて得られた有極原形複素フィルタの並列枝に含まれるインダクタを虚ジャイレータを用いて変換すると、変換後の回路はキャパシタのほか非接地虚数抵抗を含む。この章では、有極複素フィルタの実現に必要な素子をさらに削減するため、新たな回路の変換を提案する。本章で提案する手法で得られた有極 R^iCR フィルタは、(始端回路と終端回路を除く)各並列枝に2つのキャパシタと2つの接地虚数抵抗を含む構成となる。

まず第1節にて、第6章第1節の虚ジャイレータを用いて有極 R^iCR フィルタが得られることを示す。この手法で得られた回路は、各並列枝に非接地虚数抵抗を含む構成となる。

次に第2節にて、非接地虚数抵抗がより少ない有極 R^iCR フィルタを得るための、新たな回路の等価変換を提案する。提案手法の有効性を、計算機シミュレーション及び素子数の比較により確認している。

7.1 虚ジャイレータを用いて得られた有極 R^iCR フィルタ

まず、有極原形実フィルタにELHT法 ($\omega_s = 0$) を施すことで得られた原形複素フィルタを図7.1に示す。この図から、ELHT法で得られた有極原形複素フィルタは、並列枝にインダクタを含む構成であることがわかる。図7.1のインダクタとそれに並列接続された虚数抵抗を抜き出した回路を図7.2に示す。この図において、インダクタとそれに並列接続された虚数抵抗は片側が接地している。この回路に対し、第6章第1節にて提案した手法を応用すると、図7.3に示す回路が得られる。この図において、破線で示す回路が虚ジャイレータである。図7.3の素子値 jR'_2 と C'_2 は次式のようにになる。

$$\left. \begin{aligned} jR'_2 &= jG_2R^2 \\ C'_2 &= L_2/R^2 \end{aligned} \right\} \quad (7.1)$$

さらに、虚ジャイレータを構成する虚数抵抗の素子値 jR を次式で決定することにより、非接地虚数抵抗を1つ削減することができる。

$$jR + jR'_2 = 0 \quad (7.2)$$

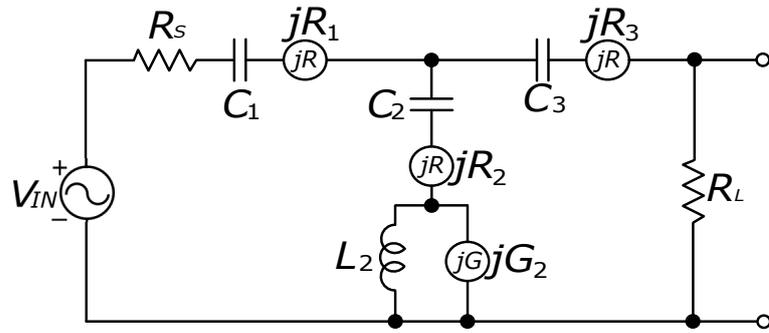


図 7.1: ELHT 法で得られた有極原形複素フィルタ ($n = 3$)

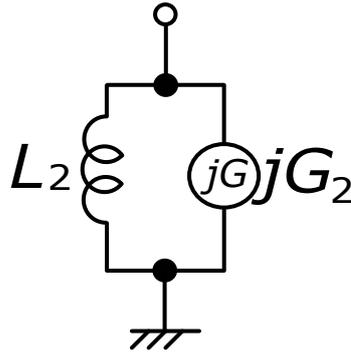


図 7.2: インダクタと虚数抵抗で構成された回路

虚ジャイレータを用いてインダクタを除去することで得られた有極 R^iCR フィルタを図 7.4 に示す。この図において、虚ジャイレータを構成する虚数抵抗の素子値は式 (7.2) を満たし、 $jR_2'' = jR_2 + jR$ である。以上のように、第 6 章第 1 節にて提案した手法を応用することで、有極複素フィルタからもインダクタを除去できることがわかる。しかしながら、この変換で得られた有極 R^iCR フィルタの各並列枝には、非接地虚数抵抗が 1 つ以上含まれる。

次節にて、並列枝に含まれる非接地虚数抵抗を削減した新たな回路の変換を提案する。次節で提案する手法を用いて得られた有極 R^iCR フィルタは、4 相の複素フィルタを OTA で実現する場合に、従来の有極複素フィルタよりも少数の能動素子で実現することができる。

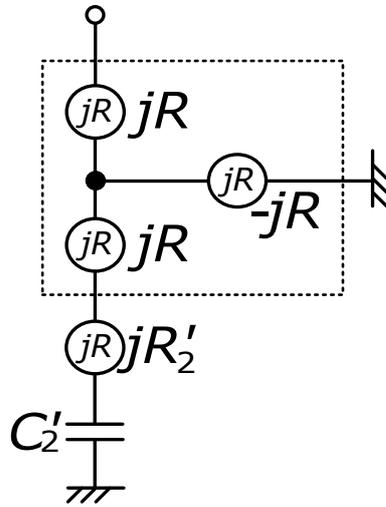


図 7.3: 虚ジャイレータを用いて変換したキャパシタと虚数抵抗で構成された回路

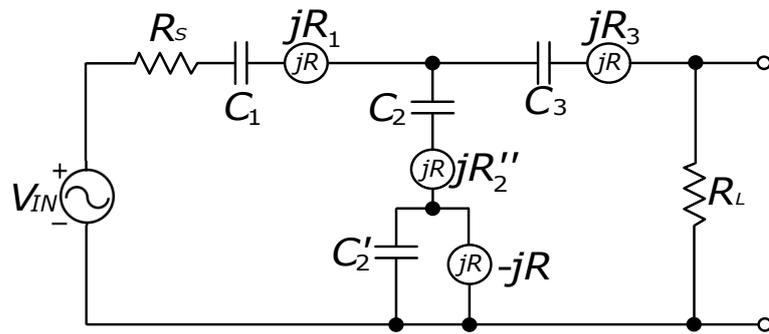


図 7.4: 虚ジャイレータを用いて得られる有極 R^1CR フィルタ ($n = 3$)

7.2 回路の変換を用いた有極 R¹CR フィルタの構成

7.2.1 提案するインダクタを含む回路の変換

まず、図 7.1 に含まれるインダクタ、キャパシタ、及び 2 つの虚数抵抗で構成された回路を図 7.5 に示す。この回路のインピーダンスは次式で表すことができる。

$$Z_1 = \frac{s^2 CL \left(\frac{R_1}{R_2} + 1 \right) + js \left(CR_1 - \frac{L}{R_2} \right) + 1}{-js^2 \left(\frac{CL}{R_2} \right) + sC} \quad (7.3)$$

次に、2 つのキャパシタと 2 つの虚数抵抗で構成された回路を図 7.6 に示す。この回路のインピーダンスは次式で表すことができる。

$$Z_2 = \frac{-s^2 C_a C_b R_a R_b + js(C_a R_a + C_b R_b) + 1}{js^2 C_a C_b (R_a + R_b) + s(C_a + C_b)} \quad (7.4)$$

式 (7.3) と式 (7.4) を比較することで次式が得られる。

$$\left. \begin{aligned} CL \left(\frac{R_1}{R_2} + 1 \right) &= -C_a C_b R_a R_b \\ CR_1 - \frac{L}{R_2} &= C_a R_a + C_b R_b \\ -\frac{CL}{R_2} &= C_a C_b (R_a + R_b) \\ C &= C_a C_b \end{aligned} \right\} \quad (7.5)$$

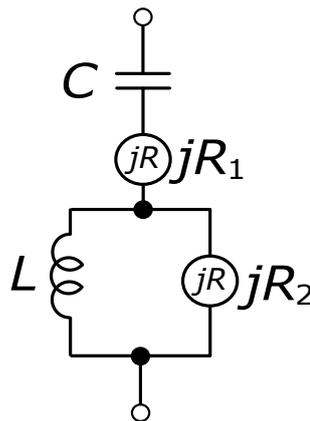


図 7.5: インダクタ、キャパシタ及び虚数抵抗で構成された回路 (Copyright(C)2020 IEICE [96] Fig. 3)

上式を図 7.6 の各素子値について解くことで次式が得られる。

$$\left. \begin{aligned}
 C_a &= \frac{C}{2} \left(1 \mp \frac{\frac{L}{R_2} + CR_1}{\sqrt{\left(CR_1 + \frac{L}{R_2}\right)^2 + 4LC}} \right) \\
 C_b &= \frac{C}{2} \left(1 \pm \frac{\frac{L}{R_2} + CR_1}{\sqrt{\left(CR_1 + \frac{L}{R_2}\right)^2 + 4LC}} \right) \\
 jR_a &= j \frac{2(R_1 + R_2) \sqrt{\left(CR_1 + \frac{L}{R_2}\right)^2 + 4LC}}{\left\{ \begin{aligned} &\sqrt{\left(CR_1 + \frac{L}{R_2}\right)^2 + 4LC} \\ &\mp \left(\frac{L}{R_2} + C(R_1 + 2R_2)\right) \end{aligned} \right\}} \\
 jR_b &= j \frac{2(R_1 + R_2) \sqrt{\left(CR_1 + \frac{L}{R_2}\right)^2 + 4LC}}{\left\{ \begin{aligned} &\sqrt{\left(CR_1 + \frac{L}{R_2}\right)^2 + 4LC} \\ &\pm \left(\frac{L}{R_2} + C(R_1 + 2R_2)\right) \end{aligned} \right\}}
 \end{aligned} \right\} \quad (7.6)$$

式 (7.6) において、複号同順である。以上より、インダクタ、キャパシタ、及び虚数抵抗で構成された図 7.5 の回路は、インダクタを含まない図 7.6 の回路と等価であることがわかる。この変換を、図 7.1 に示す ELHT 法で得られた有極複素フィルタの並列枝に施し、始端回路と終端回路に対し、第 6 章第 2 節と同様に直並列変換とテブナンの定理を応用して非接地虚数抵抗を接地することで、図 7.7 に示す R^iCR フィルタが得られる。なお、5 次以上のフィルタを構成する場合、始端回路と終端回路を除く各直列枝には、非接地虚数抵抗が 1 つ含まれることに注意を要する。

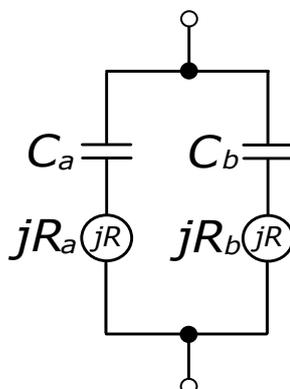


図 7.6: キャパシタと虚数抵抗で構成された回路 (Copyright(C)2020 IEICE [96] Fig. 4)

7.2.2 等価変換により得られる回路が負性キャパシタを含まない条件

原形フィルタに負性キャパシタが含まれる場合、実現に必要な能動素子や周辺素子が増加する。ここでは、提案手法で変換後の回路に負性キャパシタが含まれない条件を示す。式(7.6)において、 $C_a > 0$ かつ $C_b > 0$ となる条件は、次式のようにになる。

$$\left| \frac{\frac{L}{R_2} + CR_1}{\sqrt{\left(CR_1 + \frac{L}{R_2}\right)^2 + 4LC}} \right| \leq 1 \quad (7.7)$$

式(7.7)を整理することで、次式が得られる。

$$\left| \frac{L}{R_2} + CR_1 \right| \leq \sqrt{\left(CR_1 + \frac{L}{R_2}\right)^2 + 4LC} \quad (7.8)$$

次に式(7.8)の両辺を二乗することで、次式が得られる。

$$\begin{aligned} \left(CR_1 + \frac{L}{R_2}\right)^2 &\leq \left(\sqrt{\left(CR_1 + \frac{L}{R_2}\right)^2 + 4LC}\right)^2 \\ 0 &\leq 4LC \end{aligned} \quad (7.9)$$

以上より、原形複素フィルタの並列枝に含まれるキャパシタとインダクタが両方正（つまり $C > 0$ かつ $L > 0$ ）である場合、変換後の回路に含まれる2つのキャパシタは、いずれも正（つまり $C_a > 0$ かつ $C_b > 0$ ）となる。通常、有極原形実フィルタの素子値は全て正であるから、この実フィルタに対しELHT法を施して得られた有極原形複素フィルタも、負性インダクタや負性キャパシタを含まない。このため、提案する回路の変換を用いて得られる R^1CR フィルタは、負性キャパシタを含まない。

7.2.3 計算機シミュレーション

設計例として次の仕様を満たす複素バンドパスフィルタを設計した。

3次連立チェビシェフ特性	
通過域	9–11 rad/s
通過域リプル	1.25 dB
最小減衰量	40.5 dB

提案する有極 R^1CR フィルタと従来の有極 R^1CR フィルタ [73] をそれぞれ図 7.7 と図 7.8 に示す。ここで、

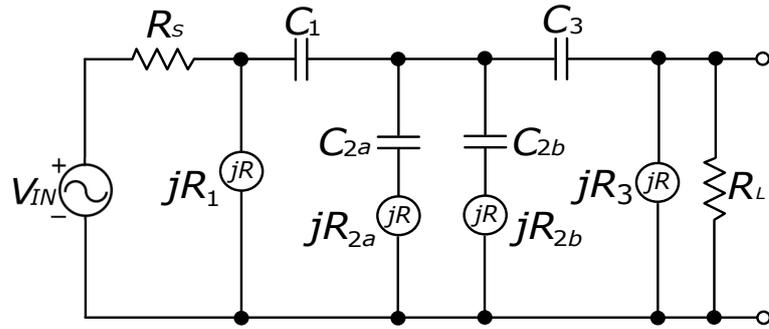


図 7.7: 提案する有極 R^iCR フィルタ ($n = 3$)

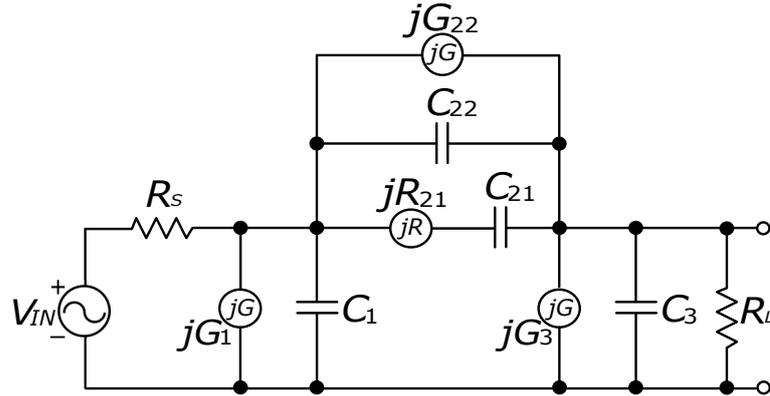


図 7.8: 従来の有極 R^iCR フィルタ ($n = 3$)

提案する R^iCR フィルタの素子値は表 7.1 のようになる。OTA とキャパシタを用いて、提案する R^iCR フィルタと従来の R^iCR フィルタを 4 相の複素フィルタとして実現すると、それぞれ図 7.9 と図 7.10 のようになる。以降、図 7.9 と図 7.10 をそれぞれ提案回路と従来回路と呼ぶ。提案回路の素子値は表 7.2 のようになる。

LTSPICE XVII® を用いて計算機シミュレーションを行った。ここで、OTA は全て理想電圧制御電流源で実現している。計算機シミュレーションの結果を図 7.11 に示す。この図には、比較対象として従来回路 [73] のシミュレーション結果を示している。なお、従来回路の周波数特性は、FS 法で得られたインダクタを含む回路と同じである。図 7.11 から、提案回路は、従来回路と比較し正の周波数で緩慢、負の周波数で急峻な特性を持つことがわかる。4 相複素フィルタにおいて、提案回路と従来回路を実現した場合に必要な素子数を表 7.3 に示す。この表から、提案回路は従来回路よりも少数の OTA で実現できることがわかる。提案回路、従来回路、及び FS 法で得られた回路の素子感度の計算結果を図 7.12 に示す。この図から、提案回路の通過域内における素子感度は従来回路と同程度であることがわかる。

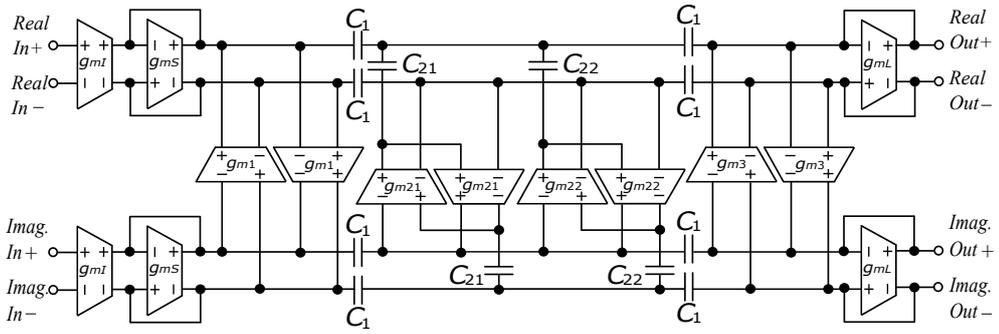


図 7.9: 提案する有極 R^iCR フィルタの OTA を用いた実現 ($n = 3$)

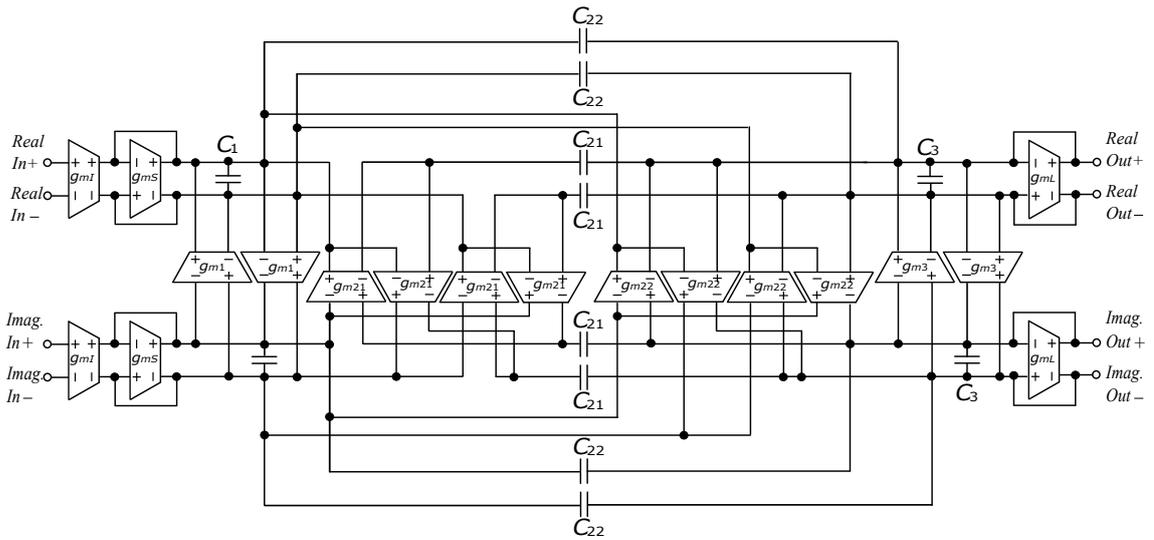


図 7.10: 従来手法で得られた有極 R^iCR フィルタの OTA を用いた実現 ($n = 3$)

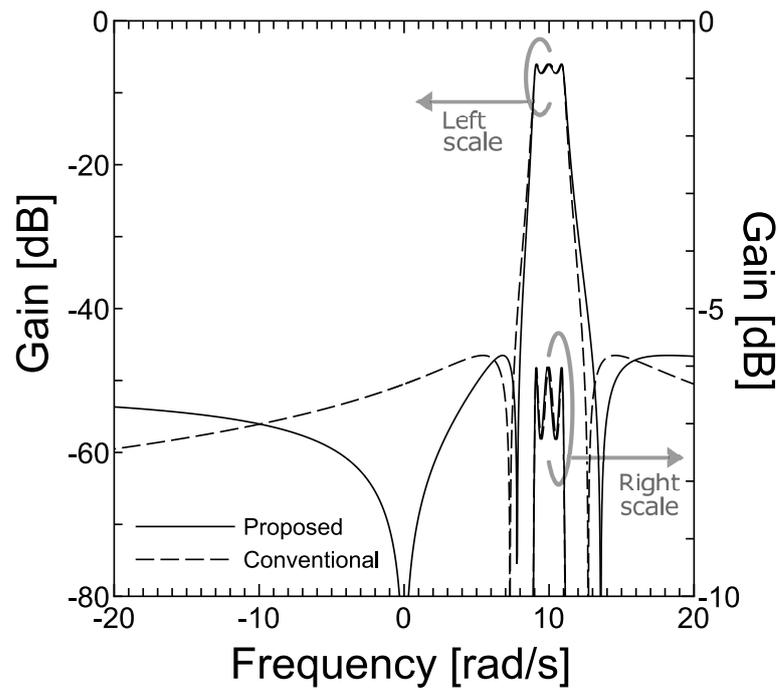


図 7.11: 有極 R^iCR フィルタのシミュレーション結果

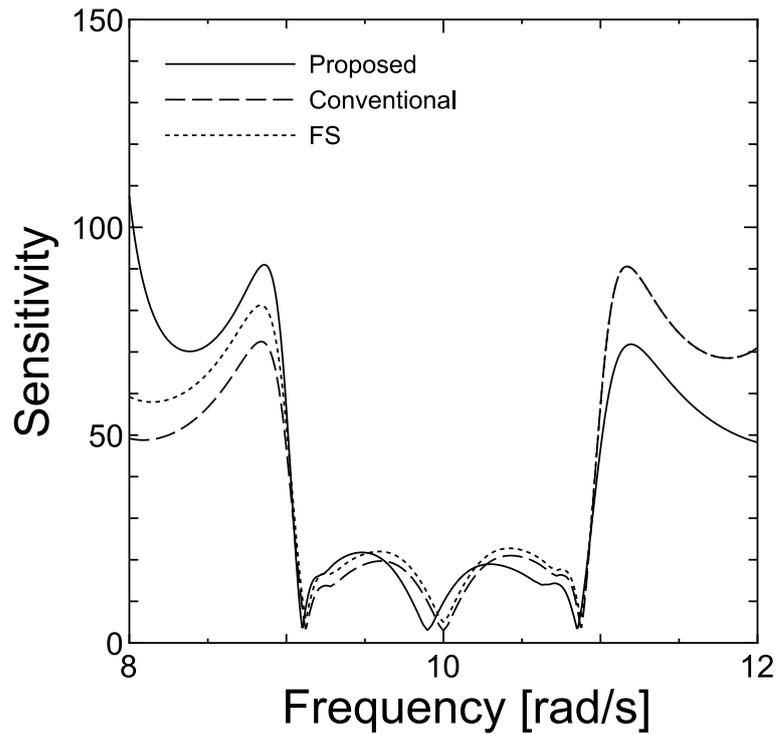


図 7.12: 有極 R^iCR フィルタの素子感度

表 7.1: 有極 R^iCR フィルタの素子値

Element	Value	Element	Value	Element	Value
R_S	1	R_L	1	jR_1	$0.04807j$
jR_{2a}	$0.005366j$	jR_{2b}	$0.009334j$	jR_3	$0.04807j$
C_1	2.106	C_{2a}	13.74	C_{2b}	13.74
C_3	2.106				

表 7.2: OTA で実現された有極 R^iCR フィルタの素子値

Element	Value	Element	Value	Element	Value
g_{m1}	1	g_{ms}	1	g_{m1}	20.80
g_{m21}	186.4	g_{m22}	107.1	g_{m3}	20.80
g_{mL}	1	C_1	4.212	C_{21}	13.74
C_{22}	13.74	C_3	4.212		

表 7.3: 有極 R^iCR フィルタの構成に必要な素子の数 (4 相)

	Proposed		Conventional [73]		FS	
	OTA	C	OTA	C	OTA	C
3rd-order	14	12	18	12	24	10
5th-order	22	20	28	22	40	18
$(2k+1)$ th-order	$8k + 6$	$8k + 4$	$10k + 8$	$10k + 2$	$16k + 8$	$8k + 2$

7.3 まとめ

本章では、少数の OTA で実現可能な有極 R^iCR フィルタを構成する手法について述べた。

第1節では、第6章第1節の手法を用いることで、ELHT法で得られた原形複素フィルタを有極 R^iCR フィルタに変換できることを示した。得られた有極 R^iCR フィルタは、並列枝に1つ以上の非接地虚数抵抗を含む構成となる。

第2節では、非接地虚数抵抗がより少ない R^iCR フィルタを得るための回路の等価変換を提案した。提案する回路の変換を用いることで、インダクタ、キャパシタ、及び2つの虚数抵抗で構成された回路を2つのキャパシタと、2つの接地虚数抵抗に変換することができる。この手法で得られた有極 R^iCR フィルタは、従来の有極 R^iCR フィルタよりも少数の非接地虚数抵抗で構成されているため、4相の複素フィルタを OTA を用いて実現する場合に、より少数の能動素子で実現できるという利点を持つ。第2節の最後に3次有極 R^iCR フィルタを設計し、提案手法の有効性を計算機シミュレーションにより確認した。

今後の課題として、実現したフィルタの周波数特性に OTA の寄生素子が及ぼす影響の解析や、実験による提案手法の有効性の確認などがあげられる。

第8章 結論

本研究の目的は、複素フィルタを省電力化することであった。省電力化の評価を複素フィルタを実現する際に必要となる能動素子の数で行うものとし、第2章で少数の能動素子で複素フィルタを構成するためには、原形複素フィルタに含まれるインダクタと非接地虚数抵抗の削減が有効であることを述べた。

第3章において、通過域で平坦な特性を持つ複素伝達関数の設計法を提案した。 R^iCR フィルタを構成する際に必要となる特性関数の設計において、従来手法では関数補間法の初期値が課題となっていた。これに対し、提案手法を用いた場合は、代入計算のみで所望の特性関数を導出できる。また、提案手法で得られた複素伝達関数の負の周波数における最小減衰量も代入計算のみで容易に求めることができる。しかしながら、この手法では通過域で波状の特性をもつフィルタや、群遅延が平坦なフィルタを設計することが困難であった。

第4章において、第3章の課題を解決するには、周波数変換に基づき得られた原形複素フィルタに対し、回路の変換を行い R^iCR フィルタへと変換することが有効であると考え、回路の変換に関する予備的検討を行った。既存のインピーダンス反転器の制約や課題について整理し、既存のインピーダンス反転器を拡張した新たなインピーダンス反転器を提案した。提案したインピーダンス反転器は既存のインピーダンス反転器である NII と虚ジャイレータを包括し、これまで等価回路が明らかとされていなかった $FLDR$ や $FLDG$ も表現可能であるという特長を持つ。

第5章と第6章では、第4章の検討結果を踏まえて、それぞれ少数の演算増幅器、少数の OTA を用いて複素フィルタを実現する具体的な手法を検討した。まず第5章において、 NII を用いて無極原形複素フィルタに含まれるインダクタを変換し、少数の能動素子で実現する手法を提案した。また、能動素子の削減法を発展させ、有極複素フィルタを少数の能動素子で実現できることを示した。次に第6章において、虚数抵抗で構成された虚ジャイレータを用いて R^iCR フィルタを構成する手法を提案した。この手法を用いることで、任意の回路に含まれるインダクタをキャパシタと虚数抵抗で構成された回路に変換できる。さらに、 T 型の虚ジャイレータを活用することで、接地虚数抵抗のみで構成された R^iCR フィルタが得られることを示した。提案手法で得られた R^iCR フィルタは、従来手法で得られた R^iCR フィルタと同じ構成であるが、通過域利得の問題を解決しており、素子値の広がり小さいという利点を持つ。

第7章において、有極 R^iCR フィルタの構成法を検討した。まず、第6章の手法を周波数変換を用い

て設計した有極原形複素フィルタに応用し、有極 R^iCR フィルタが得られることを確認した。次に、非接地虚数抵抗をさらに削減した有極 R^iCR フィルタを得るための新たな回路の変換を提案した。提案手法で得られた有極 R^iCR フィルタは、従来の有極 R^iCR フィルタよりも少数の非接地虚数抵抗で構成されているため、4相複素フィルタを実現する場合、より少数の OTA で実現が可能である。

以上のように第5章、第6章、及び第7章において少数の演算増幅器、または少数の OTA で複素フィルタを構成する手法を明らかにしたことで、複素フィルタを省電力化することができたといえる。加えて、第3章において R^iCR フィルタの構成に必要となる複素伝達関数の設計を単純化したこと、及び第4章においてインピーダンス反転器の変換比を複素数に拡張して FLDR や FLDG の等価回路を明らかにしたことも、本研究の成果であるといえる。

なお、本論文の第5章第2節、第6章第1節、及び第7章で提案した手法で得られたフィルタの位相特性は、原形実フィルタに対して周波数変換を施し得られた原形複素フィルタと等しくなる。また、第5章第1節で提案した手法で得られた $2k+1$ 次のフィルタの位相特性は、 k が偶数の場合、原形複素フィルタと等しくなるが、 k が奇数の場合は、回路の変換により生じた巻き数比が $1:-1$ の理想トランスにより、原形複素フィルタの位相特性に対し、全周波数で 180° 反転したものとなる。加えて、第6章第2節で提案した R^iCR フィルタの位相特性は、回路の変換を施す前の原形複素フィルタの位相特性を全周波数で一様にシフトしたものとなる。

今後の課題として、通過域で等リプル特性を持つ複素伝達関数を解析的に設計すること（第3章）、複素インピーダンス反転器を積極的に活用して原形複素フィルタを構成すること（第4章）、演算増幅器の有限 GB 積の影響を補償する手法を検討することと素子感度の低減（第5章）、OTA の寄生素子が原形複素フィルタを実現した際に及ぼす影響を明らかにすること（第6章・第7章）、提案した原形複素フィルタを MOS トランジスタ、キャパシタ（及び抵抗器）を用いて集積回路上に実装し、その特性を明らかにすること（第5章・第6章・第7章）などがあげられる。

謝辞

本論文は筆者が筑波大学大学院システム情報工学研究科に在籍中の研究成果をまとめたものである。

筑波大学 システム情報系 庄野和宏准教授には、本研究を実施する機会を与えて頂き、国内外における学会発表、及び論文執筆を遂行するにあたり、終始多大なるご指導ご鞭撻をいただいた。ここに深謝の意を表する。

防衛大学校 応用科学群 松元藤彦教授には、本論文の構成についてご教示いただくとともに、可読性の向上に資する有意義な助言とご指導をいただいた。ここに感謝の意を表する。

筑波大学 システム情報系 安永守利教授、同 水谷孝一教授、同 海老原格准教授には、博士論文の審査を通じて本論文をまとめるにあたり有益な助言とご指導をいただいた。ここに感謝の意を表する。

筑波大学 電子回路研究室の皆様には、本研究の遂行を支援して頂いた。ここに謝意を表する。

防衛省陸上自衛隊には、筑波大学大学院において本研究実施の機会を与え、その遂行を支援して頂いた。ここに感謝の意を表する。

最後に、私が本研究にまい進できるよう、長きにわたり見守り、心身を支えてくれた妻の藤井弥生に敬意と深謝の意を表し結びとする。

参考文献

- [1] 総務省. 令和元年版情報通信白書. pp. 47–61, July 2019.
- [2] 総務省. 平成30年版情報通信白書. pp. 141–150, July 2018.
- [3] OKI. 第4次産業革命とスマート工場化を実現するための3つのポイント. https://www.oki.com/jp/iot/doc/2016/16vol_12.html. (Accessed on 02/2020).
- [4] 国立社会保障・人口問題研究所. 日本の将来推計人口（平成29年推計）結果報告書. http://www.ipss.go.jp/pp-zenkoku/j/zenkoku2017/pp29_Report3.pdf. (Accessed on 02/2020).
- [5] 吉識宗佳. 超高齢・人口減少社会における iot の役割. EY Institute, 情報センサー, Mar. 2017.
- [6] 経済産業省. 中小ものづくり企業 IoT 等活用事例集. https://www.meti.go.jp/medi_lib/report/H28FY/000279.pdf. (Accessed on 02/2020).
- [7] 農林水産省. スマート農業実証プロジェクト. http://www.affrc.maff.go.jp/docs/smart_agri_pro/attach/pdf/19Pamphlet1_all.pdf. (Accessed on 02/2020).
- [8] 内閣府. 第5期科学技術基本計画 本文. <https://www8.cao.go.jp/cstp/kihonkeikaku/5honbun.pdf>. (Accessed on 02/2020).
- [9] 総務省. 総務省における society 5.0 に向けた取り組み. https://www.ieice.org/jpn/katsudou/pdf/2_society5.0.pdf. (Accessed on 02/2020).
- [10] 蛭田盛夫, 松岡誠司, 齋藤美寿, 西川卓朗. スマートファクトリーの実現を支える無線ネットワーク. *Fujitsu*, No. 6, pp. 22–29, Dec. 2018.
- [11] 日産. 日産、産学連携で開発した「AGV 状態監視モニタリング技術」のライセンスを日本マイクロシステムに供与— iot news. <https://iotnews.jp/archives/119883>. (Accessed on 09/13/2019).
- [12] 総務省. Society 5.0 時代の持続可能な地域社会の構築（総務省重点施策 2020）—重点施策集—. http://www.soumu.go.jp/main_content/000641283.pdf. (Accessed on 02/2020).

- [13] 野村総合研究所デジタル基盤開発部, NRI セキュアテクノロジーズ. IT ロードマップ 2019 年版: 情報通信技術は 5 年後こう変わる! 東洋経済新報社, Mar. 2019.
- [14] 鄭立. 無線通信技術 BLE と製造業 IoT/M2M への応用. 計測と制御, pp. 1036–1041, Dec. 2016.
- [15] 農林水産省. スマート農業技術カタログ (水稲・畑作) (令和元年 7 月更新). http://www.maff.go.jp/j/kanbo/kihyo03/gityo/gijutsu_portal/attach/pdf/catalog_all_201907.pdf. (Accessed on 02/2020).
- [16] 東原恒夫. CMOS RF 回路設計. 丸善, Nov. 2009.
- [17] D. Miyashita, H. Ishikuro, T. Shimada, T. Tanzawa, S. Kousai, H. Kobayashi, H. Majima, K. Agawa, M. Hamada, and F. Hatori. A low-IF cmos single-chip bluetooth edr transmitter with digital I/Q mismatch trimming circuit. In *Digest of Technical Papers. 2005 Symposium on VLSI Circuits, 2005.*, pp. 298–301, June 2005.
- [18] 谷本洋. ダイレクトコンバージョン受信機用ミクサの研究開発動向. 電子情報通信学会論文誌. C, エレクトロニクス, Vol. 84, No. 5, pp. 337–348, May 2001.
- [19] M. Ugajin, A. Yamagishi, J. Kodate, M. Harada, and T. Tsukahara. A 1-V CMOS/SOI bluetooth RF transceiver for compact mobile applications. In *2003 Symposium on VLSI Circuits. Digest of Technical Papers (IEEE Cat. No.03CH37408)*, pp. 123–126, June 2003.
- [20] 田中聡. 移動体通信用送受信アナログ回路技術. 電子情報通信学会論文誌. C, エレクトロニクス = The transactions of the Institute of Electronics, Information and Communication Engineers. C, Vol. 89, No. 10, pp. 622–640, Oct. 2006.
- [21] H. Tsurumi and T. Maeda. Design study on a direct conversion receiver front-end for 280 MHz, 900 MHz, and 2.6 GHz band radio communication systems. In *41st IEEE Vehicular Technology Conference*, pp. 457–462, May 1991.
- [22] E. E. Bautista, B. Bastani, and J. Heck. A high IIP2 downconversion mixer using dynamic matching. *IEEE Journal of Solid-State Circuits*, Vol. 35, No. 12, pp. 1934–1941, Dec 2000.
- [23] 上野伴希. 無線機 RF 回路実用設計ガイド. 総合電子出版社, 2004.
- [24] A. Parssinen, J. Jussila, J. Ryynanen, L. Sumanen, and K. A. I. Halonen. A 2-GHz wide-band direct conversion receiver for WCDMA applications. *IEEE Journal of Solid-State Circuits*, Vol. 34, No. 12, pp. 1893–1903, Dec. 1999.

- [25] S. Tanaka, T. Yamawaki, K. Takikawa, N. Hayashi, I. Ohno, T. Wakuta, S. Takahashi, M. Kasahara, and B. Henshaw. GSM/DCS1800 dual band direct-conversion transceiver ic with a dc offset calibration system. In *Proceedings of the 27th European Solid-State Circuits Conference*, pp. 494–497, Sep. 2001.
- [26] T. Crystal and L. Ehrman. The design and applications of digital filters with complex coefficients. *IEEE Transactions on Audio and Electroacoustics*, Vol. 16, No. 3, pp. 315–320, Sep. 1968.
- [27] G. R. Lang. Complex analogue filter. *Proc. European Conf. Circuit Theory Design*, pp. 412–419, 1981.
- [28] A. S. Sedra. Complex analog bandpass filters designed by linearly shifting real low-pass prototypes. 1985.
- [29] A. A. Abidi. RF CMOS come of age. *IEEE Microwave Magazine*, Vol. 4, No. 4, pp. 47–60, Dec. 2003.
- [30] H. Majima, H. Fujishiro, K. Agawa, and M. Hamada. A 1.2-V CMOS complex bandpass filter with a tunable center frequency. *European Solid-State Circuits Conference, 2005. ESSCIRC 2005.*, 2005.
- [31] *BLUETOOTH CORE SPECIFICATION Version 5.1(21 Jan 2019 Adoption Date)*. (Accessed on 02/2020).
- [32] L. Xiu. *Mixed-Signal Circuits*. CRC Press, Dec. 2015.
- [33] H. Ishikuro, M. Hamada, K. Agawa, S. Kousai, H. Kobayashi, D. M. Nguyen, and F. Hatori. A single-chip CMOS bluetooth transceiver with 1.5MHz IF and direct modulation transmitter. In *2003 IEEE International Solid-State Circuits Conference, 2003. Digest of Technical Papers. ISSCC.*, pp. 94–480 vol.1, Feb. 2003.
- [34] M. J. Gingell. The synthesis and application of polyphase filters with sequence asymmetric properties. *Ph.D. Thesis in the Faculty of Engineering, University of London*, 1975.
- [35] H. Tanimoto. Exact design of RC polyphase filters and related issues. *IEICE transactions on fundamentals of electronics, communications and computer sciences*, Vol. 96, No. 2, pp. 402–414, Feb. 2013.
- [36] M. Momeni and M. Moezzi. A low loss and area efficient RC passive poly phase filter for monolithic GHz vector-sum circuits. *IEEE Transactions on Circuits and Systems II: Express Briefs*, Vol. 66, No. 7, pp. 1134–1138, July 2019.
- [37] 庄野和宏, 石橋幸男. 周波数変換に基づく複素伝達関数の構成とその受動実現. 電子情報通信学会論文誌. A, 基礎・境界, Vol. 83, No. 9, pp. 1047–1054, Sep. 2000.

- [38] K. Shouno and Y. Ishibashi. Synthesis of a passive complex filter using transformers. *IEEE transactions on circuits and systems. I, Regular papers*, Vol. 55, No. 7, pp. 1897–1903, Aug. 2008.
- [39] T. Nakagawa, K. Shouno, and K. Kuniya. Synthesis of a first-order passive complex filter with band-pass/band-elimination characteristics. *Analog Integr. Circuits Signal Process.*, Vol. 78, No. 1, pp. 33–42, Jan. 2014.
- [40] 庄野和宏, 石橋幸男. 変成器を含まない受動複素フィルタの近似的構成に関する一考察. 電気学会論文誌. C, 電子・情報・システム部門誌, Vol. 125, No. 1, pp. 143–144, Jan. 2005.
- [41] 矢浦佑騎, 庄野和宏. 圧電トランスを用いた受動複素係数フィルタの一構成. 電気学会論文誌. C, Vol. 139, No. 1, pp. 29–35, Jan. 2019.
- [42] 武藤浩二, 神林紀嘉. 複素共振器を用いた実フィルタ構成の一手法. 電子情報通信学会論文誌. A, 基礎・境界, Vol. 75, No. 7, pp. 1181–1188, July 1992.
- [43] 武藤浩二, 神林紀嘉. 虚数抵抗の実現とそのアナログ信号処理への応用. 信学技報 CAS92, pp. 75–82, 1992.
- [44] C. Muto and N. Kabayashi. A leapfrog synthesis of complex analog filters. *IEICE Trans. Fundamentals*, A, Vol. 76, No. 2, pp. 210–215, Feb. 1993.
- [45] 強瀬敬司, 品田雄治. 双1次複素伝達関数の回路実現とその応用. 電子情報通信学会論文誌. A, 基礎・境界, Vol. 77, No. 8, pp. 1186–1188, Aug. 1994.
- [46] 張小興, 品田雄治. 2次能動複素係数帯域通過フィルタの実現とそのヒルベルト変換への応用. 電子情報通信学会論文誌. A, 基礎・境界, Vol. 78, No. 12, pp. 1585–1592, Dec. 1995.
- [47] D. Li, Z. Jing, Y. Yang, X. Wu, Z. Shi, and Y. Liu. Third-order active-RC complex filter with automatic frequency tuning for zigbee transceiver applications. *Journal of Central South University*, Vol. 22, pp. 966–973, 2015.
- [48] Y. Sun, editor. *Wireless Communications Circuits and Systems (Materials, Circuits and Devices)*. The Institution of Engineering and Technology, Nov. 2003.
- [49] C. Muto and H. Hoshikawa. An integrable image rejection system using a complex analog filter with variable bandwidth and center frequency characteristics. *IEICE transactions on fundamentals of electronics, communications and computer sciences*, Vol. 85, No. 2, pp. 309–315, Feb. 2002.

- [50] R. Arya, G. Souliotis, S. Vlassis, and C. Psychalinos. A 0.5 V tunable complex filter for bluetooth and zigbee using otas. *Analog Integr. Circuits Signal Process.*, Vol. 79, No. 1, pp. 73–81, Apr. 2014.
- [51] O. Aydin and U. E. Ali. Low sensitivity complex image rejection filter for GNSS receivers. *AEU - International Journal of Electronics and Communications*, Vol. 95, pp. 126 – 138, Oct. 2018.
- [52] G. Jha, M. A. A. Ibrahim, and M. Onabajo. A low-power complex bandpass gm-c filter with dynamic range expansion through adaptive biasing. In *2018 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 1–5, May 2018.
- [53] W. Jianhui, X. Zushuai, Y. Tianji, and C. Chao. A wide tuning range gm-c complex filter with master-slave automatic frequency tuning based switched-capacitor. *Microelectronics Journal*, Vol. 81, pp. pp.200–207, Apr. 2018.
- [54] X. Zhang. A realization of active current-mode resonator with complex coefficients using cciis. *IEICE Trans. Fundamentals*, Vol. 80, No. 2, pp. 416–418, Sep. 1997.
- [55] X. Zhang, X. Ni, M. Iwahashi, and N. Kambayashi. Realization of universal active complex filter using cciis and fccciis. *IEICE transactions on fundamentals of electronics, communications and computer sciences*, Vol. 81, No. 2, pp. 244–251, Feb. 1998.
- [56] HP Chen and WS Yang. Electronically tunable current controlled current conveyor transconductance amplifier-based mixed-mode biquadratic filter with resistorless and grounded capacitors. Mar. 2017.
- [57] E. Yuce. DO-CCII/DO-DVCC based electronically fine tunable quadrature oscillators. *Journal of Circuits, Systems and Computers*, Vol. 26, p. 1750025, Sep. 2016.
- [58] Mahmut ün. Implementation of polyphase filter section with CFAs. *Frequenz*, Vol. 58, pp. 221–224, Sep. 2004.
- [59] S. A. Mahmoud and I. Awad. Fully differential cmos current feedback operational amplifier. *Analog Integrated Circuits and Signal Processing*, Vol. 43, pp. 61–69, Apr. 2005.
- [60] H. A. Alzaher, N. Tasadduq, and F. S. Al-Ammari. Optimal low power complex filters. *IEEE Transactions on Circuits and Systems I: Regular Papers*, Vol. 60, No. 4, pp. 885–895, Apr. 2013.
- [61] P. Samiotis and C. Psychalinos. Low-voltage complex filters using current feedback operational amplifiers. *ISRN Electronics*, Vol. 2013, , June 2013.

- [62] C. Laoudias and C. Psychalinos. 1.5-V complex filters using current mirrors. *IEEE Transactions on Circuits and Systems II: Express Briefs*, Vol. 58, No. 9, pp. 575–579, Sep. 2011.
- [63] 藤井信生, 関根慶太郎, 高木茂孝, 兵庫明. 電子回路ハンドブック. 朝倉書店, 2006.
- [64] V. Belevitch, editor. *Classical Network Theory*. Holden, 1968.
- [65] D. V. S. Humpherys. *The analysis, design, and synthesis of electrical filters*. Dec. 1970.
- [66] K. Shouno and Y. Ishibashi. Synthesis of a complex coefficient filter by passive elements including ideal transformers and its simulation using operational amplifiers. *IEICE transactions on fundamentals of electronics, communications and computer sciences*, Vol. 83, No. 6, pp. 949–955, June 2000.
- [67] P. Regalia and S. Mitra. Low-sensitivity active filter realization using a complex all-pass filter. *IEEE Transactions on Circuits and Systems*, Vol. 34, No. 4, pp. 390–399, April 1987.
- [68] 川上正光. 回路網の構成. 共立出版, 1955.
- [69] 川上正光. 近似と構成. 共立出版, 1960.
- [70] 武藤浩二, 神林紀嘉. 周波数変換に基づく複素伝達関数の一構成法. 電子情報通信学会論文誌. A, 基礎・境界, Vol. 75, No. 11, pp. 1773–1775, Nov. 1992.
- [71] C. Muto. A new extended frequency transformation for complex analog filter design. *IEICE transactions on fundamentals of electronics, communications and computer sciences*, Vol. 83, No. 6, pp. 934–940, Jun. 2000.
- [72] 強瀬敬司, 品田雄治. 周波数変換に基づく複素 bbf の一設計法. 電子情報通信学会論文誌. A, 基礎・境界, Vol. 77, No. 11, pp. 1590–1592, Nov. 1994.
- [73] 菊地英宏, 庄野和宏, 石橋幸男. 連立チェビシェフ特性を有する複素 RⁱCR フィルタの構成とその能動シミュレーション. 電子情報通信学会論文誌. A, 基礎・境界, Vol. 88, No. 5, pp. 588–596, May 2005.
- [74] A. I. Zverev. *Handbook of Filter Synthesis*. Wiley-Interscience, 1 edition, 2005.
- [75] 渡部和. 現代電気工学講座 〈[第 8]〉 伝送回路網の理論と設計 (1968 年). オーム社, 1968.
- [76] M.E.Van Valkenburg. アナログフィルタの設計. 秋葉出版, 1985.

- [77] K. Shouno. Synthesis of a complex R^1CR filter with equiripple passband response. *International Technical Conf. on Circuits/Systems*, pp. 48–51, July 2000.
- [78] H. Kikuchi, Y. Ishibashi, and K. Shouno. Synthesis of a complex R^1CR filter with finite transmission zeros. *IEICE transactions on fundamentals of electronics, communications and computer sciences*, Vol. E-87, No. 2, pp. 390–397, Feb. 2004.
- [79] S. Butterworth. Theory of filter amplifier. Vol. 7, pp. 536–541, Oct. 1930.
- [80] P. L. Chebyshev. Théorie des mécanismes connus sous le nom de parallélogrammes. Vol. 7, pp. 539–586, 7 1854.
- [81] K. Shouno. Synthesis of a complex R^1CR filter using grounded imaginary resistors and its active simulation. *International Technical Conf. on Circuits/Systems*, pp. 649–652, July 2009.
- [82] 小山秀穂, 庄野和宏. 通過域利得を抑えた片接地虚数抵抗器による複素 R^1CR フィルタの構成. 電気学会研究会資料. ECT, 電子回路研究会, Vol. 2010, No. 16, pp. 67–72, Jan. 2010.
- [83] L. Bruton. Network transfer functions using the concept of frequency-dependent negative resistance. *IEEE Transactions on Circuit Theory*, Vol. 16, No. 3, pp. 406–408, Aug. 1969.
- [84] 武藤浩二, 神林紀嘉. インピーダンススケールリングに基づく受動複素係数フィルタの縮退. 電気学会研究会資料. ECT, 電子回路研究会, Vol. 1995, No. 20, pp. 71–74, Apr. 1995.
- [85] 藤井達哉, 庄野和宏. 平坦な通過域特性を持つ複素 R^1CR フィルタの一構成. 電気学会論文誌C (電子・情報・システム部門誌), Vol. 137, No. 1, pp. 26–32, Jan. 2017.
- [86] 藤井達哉, 庄野和宏. 直流に伝送零点を持つ複素伝達関数の解析的設計. 電気学会論文誌C (電子・情報・システム部門誌), Vol. 139, No. 1, pp. 85–86, Jan. 2019.
- [87] T. Fujii and K. Shouno. Realization of impedance-scaled complex filters using reciprocal elements. *ITC-CSCC 2019*, No. PS-04-01, June 2019.
- [88] 藤井達哉, 庄野和宏. 複素数の変換比を持つインピーダンス反転器. 電子情報通信学会論文誌 (A), Vol. J103-A, No. 2, pp. 70–71, Feb. 2020.
- [89] T. Fujii and K. Shouno. A realization of a complex coefficient filter with finite transmission zeros using negative impedance converters and its reduction. *ITC-CSCC 2018*, No. PID20, July 2018.

- [90] 藤井達哉, 庄野和宏. NIV を用いた複素係数フィルタの一構成. 電子情報通信学会論文誌 (A), Vol. J100-A, No. 6, pp. 236–239, June 2017.
- [91] T. Fujii and K. Shouno. A reduction of the number of components included in direct simulation type active complex filter. *IEICE Trans. Fundamentals*, Vol. E102-A, No. 6, pp. 842–844, June 2019.
- [92] T. Fujii and K. Shouno. Impedance inverters using imaginary resistors and its application to a Gm-C active complex filter. *ITC-CSCC 2018*, No. PID19, July 2018.
- [93] T. Fujii and K. Shouno. Synthesis of a complex R^iCR filter using grounded imaginary resistors suitable for its active simulation. *ITC-CSCC 2017*, No. OS07-2, July 2017.
- [94] 藤井達哉, 庄野和宏. 片側接地の虚数抵抗を用いた複素 R^iCR フィルタの一構成. 電気学会論文誌 C (電子・情報・システム部門誌), Vol. 139, No. 1, pp. 2–11, Jan. 2019.
- [95] T. Fujii and K. Shouno. Synthesis of a complex R^iCR filter with multiple transmission zeros. *ITC-CSCC 2017*, No. OS07-1, July 2017.
- [96] T. Fujii and K. Shouno. Synthesis of a complex prototype ladder filter excluding inductors with finite transmission zeros suitable for fully differential Gm-C realization. *IEICE Trans. Fundamentals*, Vol. E103-A, No. 2, pp. 538–541, Feb. 2020.
- [97] T. Deliyannis, Y. Sun, and J.K. Fidler. *Continuous-Time Active Filter Design*. McGraw-Hill Education, 1996.
- [98] 石橋幸男. 多端子対ジャイレータの一構成方法. 電子通信学会論文誌 A, Vol. 62, No. 8, pp. p533–534, Aug. 1979.
- [99] H. J. Orchard. Inductorless filters. *Electronics Letters*, Vol. 2, No. 6, pp. 224–225, June 1966.
- [100] 武藤浩二. ミスマッチ誤差に関する受動複素フィルタの素子感度についての予備検討. 電気学会論文誌. C, Vol. 135, No. 7, pp. 739–743, 2015.
- [101] 庄野和宏, 石橋幸男. 複素係数フィルタの周波数特性の測定法に関する一考察. 電子情報通信学会論文誌. A, 基礎・境界, Vol. 83, No. 12, pp. 1486–1494, Dec. 2000.
- [102] Donald Calahan. *Computer Aided Network Design*. McGraw-Hill Education, 1972.
- [103] 武部幹, 篠崎寿夫. 伝送回路網入門. 東海大学出版, 1965.

- [104] 小林禧夫, 古神義則, 鈴木康夫. マイクロ波誘電体フィルタ. 電子情報通信学会, 2007.
- [105] 早原悦朗, 山田一郎. 能動 LP-BP 変換の NIV 形フィルタへの適用. 電子通信学会論文誌 A, Vol. 63, No. 4, pp. p280–281, Apr. 1980.
- [106] 張熙, 岩倉博. 相反回路を基本としたウェーブデジタルラティスフィルタの構成. 電子情報通信学会論文誌. A, 基礎・境界, Vol. 76, No. 3, pp. 312–320, Mar. 1993.

本研究に関する公表論文

1. 藤井達哉, 庄野和宏, “平坦な通過域特性を持つ複素 R^iCR フィルタの一構成,” 電気学会論文誌 (C), Vol. 137, No.1, pp.26-32, Jan. 2017.
2. 藤井達哉, 庄野和宏, “NIV を用いた複素係数フィルタの一構成,” 電子情報通信学会論文誌 (A), Vol.J100-A, No.6, pp.236-239, June 2017.
3. 藤井達哉, 庄野和宏, “伝送零点を削減した複素係数フィルタの一構成とそのリープフロッグシミュレーション,” 電気学会論文誌 (C), Vol. 137, No.12, pp.1649-1658, Dec. 2017.
4. 藤井達哉, 庄野和宏, “変成器を用いない 1 次受動複素係数バンドパスフィルタの一構成,” 電気学会論文誌 (C), Vol. 138, No.1, pp.80-81, Jan. 2018.
5. 藤井達哉, 庄野和宏, “片側接地の虚数抵抗を用いた複素 R^iCR フィルタの一構成,” 電気学会論文誌 (C), Vol. 139, No.1, pp.2-11, Jan. 2019.
6. 藤井達哉, 庄野和宏, “直流に伝送零点を持つ複素伝達関数の解析的設計,” 電気学会論文誌 (C), Vol. 139, No.1, pp.85-86, Jan. 2019.
7. **T. Fujii**, K. Shouno, “A Reduction of the Number of Components Included in Direct Simulation Type Active Complex Filter,” IEICE Trans., Vol.E102-A, No.06, pp842-844 June 2019.
8. 藤井達哉, 荒木恒星, 庄野和宏, “少数の素子で実現可能な片側接地の虚数抵抗のみを用いた 3 次複素 R^iCR フィルタの一構成,” 電気学会論文誌 (C), Vol. 140, No.1, pp.38-39, Jan. 2020.
9. 藤井達哉, 庄野和宏, “複素数の変換比を持つインピーダンス反転器,” 電子情報通信学会論文誌 (A), Vol.J103-A, pp.70-71, Feb. 2020.
10. **T. Fujii**, K. Araki, K. Shouno, “Synthesis of a Complex Prototype Ladder Filter Excluding Inductors with Finite Transmission Zeros Suitable for Fully Differential Gm-C Realization,” IEICE Trans., Vol.E103-A, No.02, pp.538-541, Feb. 2020.
11. 藤井達哉, 庄野和宏, “2 つの周波数に伝送零点を持ち通過域平坦な複素伝達関数の解析的設計,” 電気学会論文誌 (C), Vol. 141, No.5, May 2020. (採録決定)

本研究に関する国際会議論文

1. **T. Fujii**, K. Shouno, “ Synthesis of a First-order Passive Complex Coefficient Bandpass Filter Including No Transformers, ” ITC-CSCC 2016, pp.419-422, July 2016.
2. **T. Fujii**, K. Shouno, “ Synthesis of a Complex R^iCR Filter with Multiple Transmission Zeros, ” ITC-CSCC 2017, OS07-1, pp.197-200 July 2017.
3. **T. Fujii**, K. Shouno, “ Synthesis of a Complex R^iCR Filter Using Grounded Imaginary Resistors Suitable for Its Active Simulation, ” ITC-CSCC2017, OS07-2, pp.201-204 July 2017.
4. **T. Fujii**, K. Shouno, “ Impedance Inverters Using Imaginary Resistors and Its Application to a Gm-C Active Complex Filter, ” ITC-CSCC 2018, PID19, pp.1-4 July 2018.
5. **T. Fujii**, K. Shouno, “ A Realization of a Complex Coefficient Filter with Finite Transmission Zeros Using Negative Impedance Converters and Its Reduction, ” ITC-CSCC 2018, PID20, pp.5-6 July 2018.
6. **T. Fujii**, K. Shouno, “ Synthesis of a Complex R^iCR Filter and Its Realization Using CCII's, ” AVIC 2018, pp.1-4, Oct. 2018.
7. **T. Fujii**, K. Shouno, “ Approximate Synthesis of a Complex R^iCR Filter Using Grounded Imaginary Resistors, ” ISPACS 2018, pp.66-69, Nov. 2018.
8. **T. Fujii**, K. Araki, K. Shouno, “ A First-order Complex Filter Realized by Using a Voltage Follower, ” ITC-CSCC 2019, OS-06-02, pp.121-123 June 2019.
9. **T. Fujii**, K. Shouno, “ Circuit Transformations Suitable for Three-phase Gm-C Complex Filter, ” ITC-CSCC 2019, PS-02-01, pp.755-758, June 2019.
10. **T. Fujii**, K. Shouno, “ An Equivalent Circuit of a Complex Prototype Filter Suitable for Its Active Realization Using CFOAs, ” ITC-CSCC 2019, PS-03-01, pp.799-802, June 2019.
11. **T. Fujii**, K. Shouno, “ Realization of Impedance-scaled Complex Filters Using Reciprocal Elements, ” ITC-CSCC 2019, PS-04-01, pp.847-849, June 2019.

12. **T. Fujii**, K. Shouno, “ Analysis and Compensation of a Complex Filter Realized by Using CCII ’ s with Voltage Gain Error and Current Gain Error, ” ITC-CSCC 2019, PS-05-03, pp.900-903 June 2019.
13. **T. Fujii**, K. Shouno, “ Synthesis of an Even Order Complex Transfer Function with High Image Rejection Ratio Based on Frequency Transformation, ” TJCAS 2019, 1C-04, Aug. 2019.
14. **T. Fujii**, K. Araki, K. Shouno, “ Synthesis of a Wideband Complex Filter Suitable for Its Active Realization Using CCII’s, ” ISCIT 2019, pp.205-210, Sep. 2019.
15. **T. Fujii**, K. Araki, K. Shouno, “ Synthesis of a Complex Filter Excluding Inductors with Transfer Zeros at an Arbitrary Frequency, ” APCCAS 2019, pp.165-168, Nov. 2019.
16. **T. Fujii**, K. Shouno, “ A Circuit Transformation of an Inductor with OTA ’ s Suitable for Gm-C Complex Filter Design, ” NCSP’20, Mar. 2020. (Accepted)

本研究に関する発表（査読無し）

1. 藤井達哉, 庄野和宏, “損失を持つ複素係数フィルタの一構成とその能動実現,” 電気学会電子回路研究会, ECT-15-073, pp.19-24, Sep. 2015.
2. 藤井達哉, 庄野和宏, “NIV を用いた複素係数フィルタの一構成,” 電気学会電子回路研究会, ECT-15-108, pp.65-70, Dec. 2015.
3. 藤井達哉, 庄野和宏, “変成器を用いない受動複素係数バンドパスフィルタの一構成,” 電気学会電子回路研究会, ECT-16-029, pp.59-64, Mar. 2016.
4. 藤井達哉, 庄野和宏, “周波数変換に基づいた複素 RiCR フィルタの一構成,” 電気学会電子回路研究会, ECT-16-058, pp.69-72, June 2016.
5. 藤井達哉, 庄野和宏, “伝送零点を削減した複素係数フィルタの一構成とそのリープフロッグシミュレーション,” 平成 28 年電気学会 C 部門大会, GS3-2, pp.1047-1052, Sept. 2016.
6. 藤井達哉, 庄野和宏, “能動実現に適した片側接地の虚数抵抗を用いた複素 R^iCR フィルタの一構成,” 電気学会電子回路研究会, ECT-17-046, pp.97-102, Mar. 2017.
7. 藤井達哉, 庄野和宏, “片側接地の虚数抵抗を用いた偶数次複素 R^iCR フィルタの一構成,” 電気学会電子回路研究会, ECT-17-064, pp.47-51, July 2017.
8. 藤井達哉, 庄野和宏, “有極形複素係数フィルタの NIC を用いた能動実現とその削減,” 電子情報通信学会回路とシステム研究会, CAS-2017-109, pp.1-4, Jan. 2018.
9. 藤井達哉, 庄野和宏, “複素 R^iCR フィルタの一構成とその CCH を用いた実現,” 電気学会電子回路研究会, ECT-18-040, pp.147-152, Mar. 2018.
10. 藤井達哉, 庄野和宏, “虚数抵抗で構成されたインピーダンス反転器とその応用,” 2018 年電子情報通信学会総合大会, A-1-7, Mar. 2018.
11. 藤井達哉, 荒木恒星, 庄野和宏, “接地虚抵抗を用いた 3 次 R^iCR フィルタの一構成,” 平成 31 年電気学会全国大会, 3-026, Mar. 2019.

12. 藤井達哉, 庄野和宏, “利得誤差を持つ CCII で実現された複素係数フィルタの解析と補償,” 2019 年電子情報通信学会総合大会, A-1-15, Mar. 2019.
13. 荒木恒星, 藤井達哉, 庄野和宏, “伝送零点を任意に有する R¹CR フィルタの一構成法とその能動実現,” 2019 年電子情報通信学会総合大会, A-1-14, Mar. 2019.

本研究に関係しない公表論文

1. 藤井達哉, 岡野圭吾, 谷口守, “人口定着に関する大学の貢献の傾向分析—進学・就職・定員・充足の地方別分析から—,” 土木学会論文集 D3 (土木計画学), Vol. 75, No.1, pp.29-37, Jan. 2019.
2. 藤井達哉, 一井啓介, 谷口航太郎, 谷口守 “頭脳流出が地方に及ぼす累積的影響 —大学入試偏差値を用いた分析と推計—,” 土木学会論文集 D3 (土木計画学), Vol. 75, No.5, pp. I_259-I_268, Dec. 2019.
3. 崔文竹, 藤井達哉, 横田尚己, 谷口守, “健康まちづくりの評価指標群開発に関する一考察-公衆衛生分野との比較から—,” 土木学会論文集 D3 (土木計画学), Vol. 74, No.5, pp.79-89, Jan. 2019.
4. F. Matsumoto, S. Nishioka, T. Ohbuchi, **T. Fujii**, “Design of a symmetry-type floating impedance scaling circuits for a fully differential filter,” Analog Integrated Circuits and Signal Processing, Vol.85, Issue 2, pp.253-261, Nov.2015.

本研究に関係しない国際会議論文

1. **T. Fujii**, F. Matsumoto, K. Shouno, “Very Low Frequency Lowpass Filter with Finite Transmission Zeros Realized by Using Extended Symmetrical Impedance Scaling Circuit,” ITC-CSCC 2019, OS-06-01, pp.117-120, June 2019.
2. **T. Fujii**, F. Matsumoto, K. Shouno, “A Very Low Frequency Lowpass Filter with Finite Transmission Zeros Realized by Using Network Impedance Scalers,” AVIC 2019, AT1-1, Oct. 2019.
3. **T. Fujii**, K. Shouno, “A Low Frequency Lowpass Filter Using Higher-order Resistance Multipliers,” TJCAS 2019, 4B-04, Aug. 2019.
4. F. Matsumoto, **T. Fujii**, S. Nishioka, T. Abe, T. Ohbuchi, “Design of a Floating-type Impedance Scaling Circuit for Large Capacitances,” ISPACS 2013, pp.391-396, Nov. 2013.
5. F. Matsumoto, S. Nishioka, **T. Fujii**, T. Ohyama, Y. Kobayashi, T. Ohbuchi, “A Design of a Symmetry-type Floating Impedance Scaling Circuit and Improvement of Operation Bandwidth,” AVIC 2014, pp.175-180, Oct. 2014.

本研究に関係しない発表（査読無し）

1. 藤井達哉, 松元藤彦, 大淵武史, 阿部友美, “フローティング型スケーリングキャパシタの一構成,” 電子情報通信学会回路とシステム研究会, CAS-2012-111, pp.189-194, Mar. 2011.
2. 藤井達哉, 庄野和宏, 松元藤彦, “リープフロッグ形構成に基づく低周波ローパスフィルタの一構成,” 電気学会電子回路研究会, ECT-16-076, pp.43-48, Oct. 2016.
3. 藤井達哉, 庄野和宏, 松元藤彦, “多端子対ジャイレータを用いた低周波ローパスフィルタの一構成,” 電気学会電子回路研究会, ECT-16-087, pp.25-29, Dec. 2016.
4. 藤井達哉, 松元藤彦, 庄野和宏, “拡張インピーダンススケーリング回路を用いた低周波有極形ローパスフィルタの一構成,” 電気学会電子回路研究会, ECT-17-052, pp.1-6, July 2017.
5. 藤井達哉, 一井啓介, 谷口航太郎, 谷口守, “地方からの頭脳流出とその累積的影響-大学入試偏差値を用いた人口移動分析-, ” 第 58 回土木計画学研究発表会・講演集, P116, Oct. 2018.
6. 松元藤彦, 阿部友美, 大淵武史, 藤井達哉, 前山和樹, “低周波フィルタ用インピーダンススケーリング回路の性能改善の検討,” 電気学会電子回路研究会, ECT-12-035, pp.81-85, Mar. 2012.
7. 西岡周造, 松元藤彦, 藤井達哉, 大淵武史, “対称型フローティングインピーダンススケーリング回路の諸特性に関する考察,” 電気学会電子回路研究会, ECT-14-052, pp.1-6, July 2014.
8. 崔文竹, 藤井達哉, 横田尚己, 谷口守, “健康に関する環境評価指標の比較と展望 一都市計画・公衆衛生分野に着目して一,” 第 56 回土木計画学研究発表会・講演集, P1, Nov. 2017.