

SiC-MOSFET の新規信頼性評価手法の提案と  
チャネル移動度律速機構に関する研究

大橋 輝之

2020年 2月

筑波大学大学院博士課程

数理物質科学研究科博士論文

博士（工学）

SiC-MOSFET の新規信頼性評価手法の提案と  
チャネル移動度律速機構に関する研究

大橋 輝之

電子・物理工学専攻

# 目次

<b>第 1 章 研究背景及び目的</b> .....	3
1.1 パワーエレクトロニクスと SiC パワーデバイスの重要性 .....	3
1.2 SiC-MOSFET における MOS 界面の窒化処理 .....	6
1.3 窒化処理を行った SiC-MOSFET の課題：ゲート負電圧印加時の信頼性 .....	8
1.4 窒化処理を行った SiC-MOSFET の課題：低いチャネル移動度 .....	9
1.5 本論文の目的と課題解決に向けた取り組みの概要 .....	11
1.6 本論文の構成 .....	14
<b>第 2 章 紫外線を用いた新規信頼性評価手法の開発</b> .....	15
2.1 はじめに .....	15
2.2 新規信頼性評価手法の提案 .....	19
2.3 構築した新規信頼性評価システムの詳細 .....	20
2.4 提案した新規信頼性評価システムの実証 .....	21
2.5 第 2 章のまとめ .....	29
<b>第 3 章 NO 窒化処理によるチャネル移動度向上の検討</b> .....	30
3.1 はじめに .....	30
3.2 Si 面 NO 窒化 MOSFET の作製プロセスと評価手法 .....	33
3.3 NO 窒化処理条件の最適化によるチャネル移動度向上の検討 .....	36
3.4 第 3 章のまとめ .....	44
<b>第 4 章 SiC-MOSFET のユニバーサル移動度の実験的調査</b> .....	45
4.1 はじめに .....	45
4.2 C 面 Wet 酸化 MOSFET の作製プロセス .....	50
4.3 C 面 Wet 酸化 MOSFET のチャネル移動度の評価手法 .....	51
4.4 C 面 Wet 酸化 MOSFET のチャネル移動度の評価結果 .....	57
4.5 第 4 章のまとめ .....	59
<b>第 5 章 SiC-MOSFET のユニバーサル移動度の理論的調査</b> .....	61
5.1 はじめに .....	61
5.2 計算手法 .....	63
5.3 SiC-MOSFET においてユニバーサルに移動度を表すための $\eta$ の解析 .....	68
5.4 電子が受ける平均電界とユニバーサルに移動度を表すための実効電界の比較 .....	71
5.5 ユニバーサル移動度と理論計算の比較 .....	75
5.6 第 5 章のまとめ .....	85
<b>第 6 章 結論と今後の課題</b> .....	86

6.1 結論.....	86
6.2 今後の課題.....	89
研究業績.....	90
参考文献.....	91
謝辞.....	95

# 第1章 研究背景及び目的

## 1.1 パワーエレクトロニクスと SiC パワーデバイスの重要性

地球温暖化や化石燃料の枯渇化等の環境問題の抑制に向け、電力エネルギーを高効率に利用するためのパワーエレクトロニクス技術の重要性が増している。パワーエレクトロニクス技術は、電力の直流から交流への変換、交流から直流への変換、電圧変換、周波数変換を行う技術である。火力・水力・原子力発電所等で作られた巨大な電力を、家庭や工場に適切な電圧・周波数に変換して届けるための電力ネットワークシステムや、電気機器内で電力を所望の電圧・周波数で高効率に使用するために用いられている。パワーデバイスはパワーエレクトロニクス技術の中核を担う半導体デバイスであり、図 1.1 に示す新幹線や自動車等の交通システムや、無停電電源システム、電力連携、エレベータ、データセンター、インバータ家電等、ありとあらゆる電気機器に用いられている。

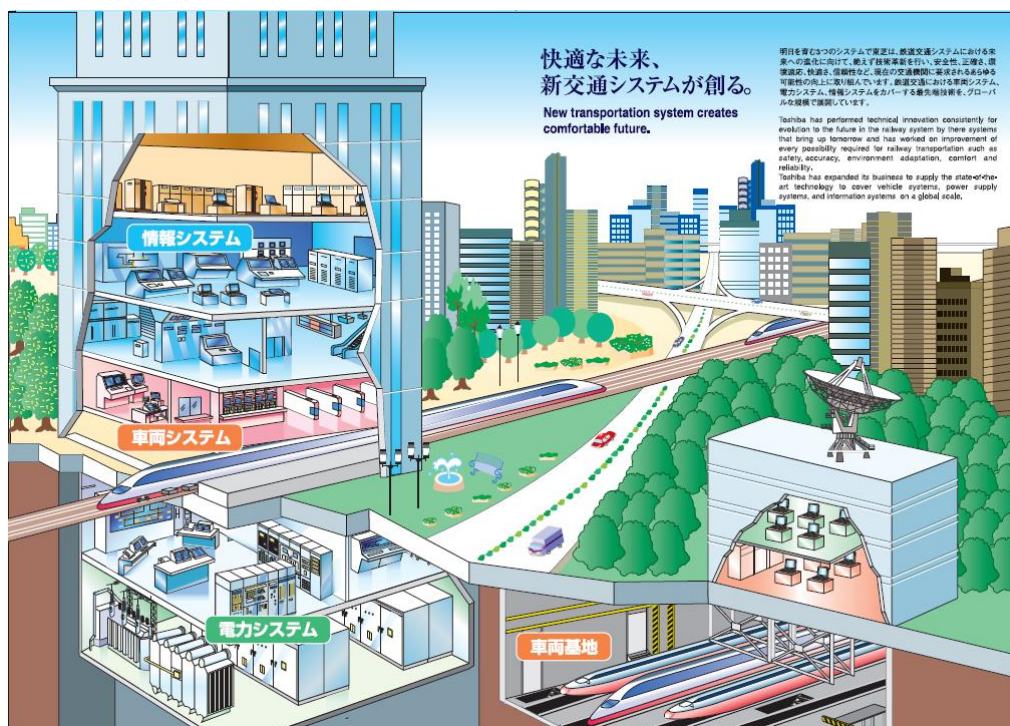
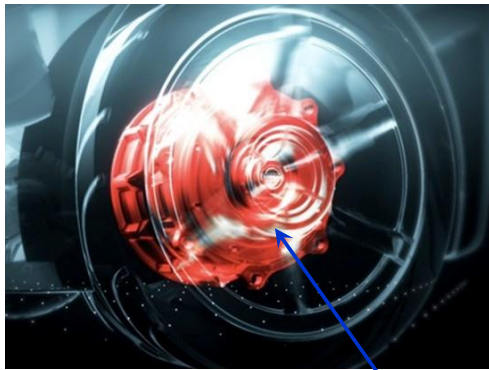


図 1.1 パワーエレクトロニクスとパワーデバイスの応用例(参考論文[1.1]より引用)

今後、パワーデバイスの普及はさらに進んでいくと考えられている。その一つ目の要因は、電気自動車・ハイブリッド自動車の普及である。図 1.2(a)は日産自動車の HP にて将来技術として紹介されているインホイールモーターに関する模式図である[1.2]。日産自動車はパワーデバイスの高性能化・高効率化によりシステムの小型化を図り、電気自動車及びハイブリッド車の、タイヤ・インバータ・モーターをすべて一体化したインホイールモーターという技術の開発を進めている。

(a) 電気自動車・ハイブリッド自動車



日産自動車HPより

インホイールモーター

(b) 太陽光発電・風力発電



(株)東芝HPより引用

図 1.2 パワーデバイスの更なる普及

(a) 日産自動車「インホイールモーター」(日産自動車 HP[1.2]より引用)

(b) 太陽光発電・風力発電(東芝 HP[1.3,1.4]より引用)

また図 1.2(b)に示した太陽光発電・風力発電等の分散型の再生可能エネルギーの普及が進むとともに、電力連携の場面が増加すると予測される。再生可能エネルギーが作る電力は、自然活動の影響を受けるため発電量が不安定であり、そのような電力を電力システムに連携するためには、パワーデバイスを用いたパワーエレクトロニクス技術が必須となる。

パワーデバイスとして、現在はSiを基板材料にしたSiパワーデバイスが一般的に用いられているが、それを置き換えるパワーデバイスとして、SiCを基板材料に用いたSiCパワーデバイスに注目が集まっている。SiCはSiの10倍と非常に高い絶縁破壊電界強度を持つため、図 1.3 に示すように、Siパワーデバイスと同耐圧のパワーデバイスを薄いドリフト層厚さ・濃いドリフト層濃度で実現でき、これはデバイスの低抵抗化・低損失化につながる[1.5]。またSiCはSiの約3倍の熱伝導率を持ち、パワーデバイスの基板材料として非常に高いポテンシャルを持つと言える。

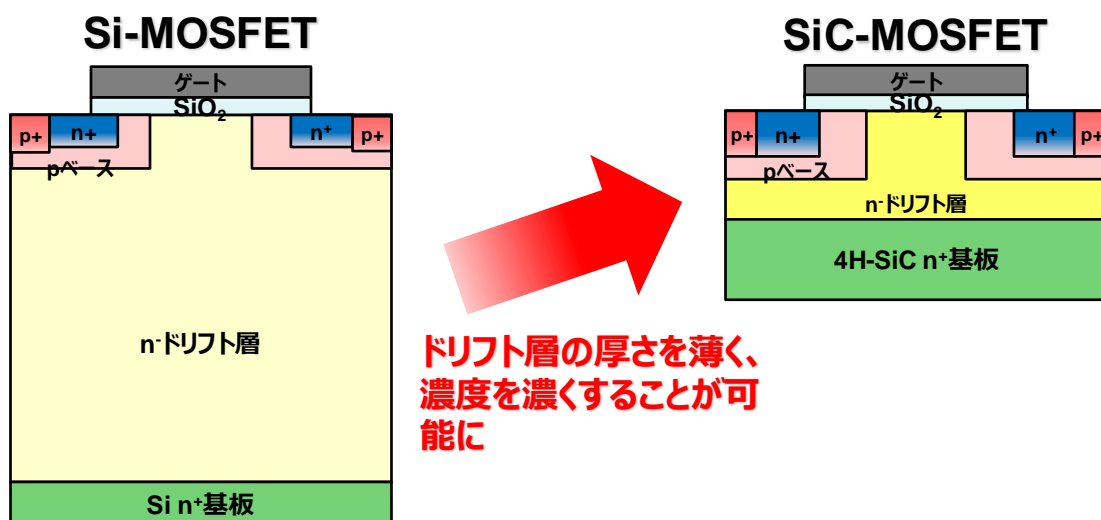


図 1.3 SiパワーデバイスとSiCパワーデバイス

すでに SiC パワーデバイス、特に高耐圧用途で一部 Si パワーデバイスの置き換えを進めている。図 1.4 は東芝インフラシステムズ株式会社において鉄道用補助電源システムに SiC-MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)と SiC-SBD(Schottky Barrier Diode)を応用した例である[1.6]。



図 1.4 SiC-MOSFET・SBD 採用鉄道用補助電源(参考文献[1.6]より引用)

Si パワーデバイスを用いた場合と比較し、スイッチング損失を 80%低減、体積を 41.4%削減、変換効率を 92%から 97.3%まで向上することに成功している。また、図 1.5 は Burger らが太陽光用パワーコンディショナーに SiC-MOSFET を適用し、効率の改善を報告した例である[1.7]。

### 三相インバータ

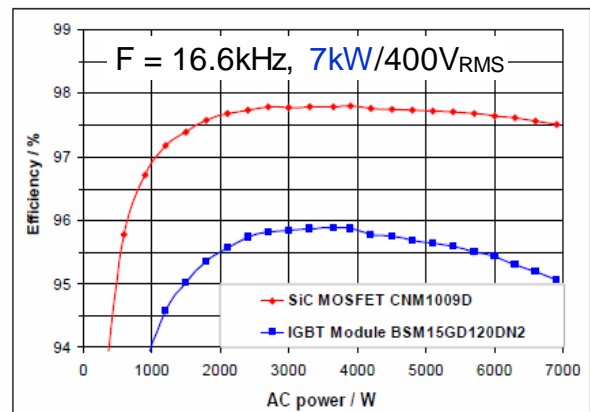
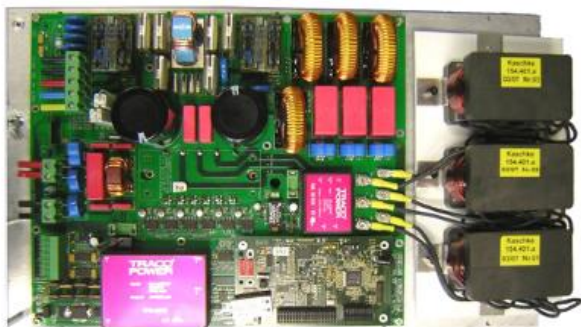


図 1.5 太陽光用パワーコンディショナーへの SiC-MOSFET 適用による効率向上  
(参考文献[1.7]より引用)

Burger らは三相インバータのパワーデバイスを Si-IGBT から SiC-MOSFET に置き換えることで、システムの効率を 95.9 %から 97.8 %まで向上したことを報告している。このように Si パワーデバイスを SiC パワーデバイスに置き換えることで、システムの電力変換効率の向上が可能となり、これは社会全体のエネルギー損失の低減に寄与する。

## 1.2 SiC-MOSFET における MOS 界面の窒化処理

1.1 節に記したように、SiC パワーデバイス是非常に高いポテンシャルを有するが、スイッチング素子である SiC-MOSFET においては、図 1.6(a)に示すように、SiC とゲート酸化膜の界面及びゲート酸化膜中に多くの欠陥が存在し、これらの欠陥を起因とした低いチャネル移動度とゲート電圧印加時の信頼性不具合が大きな課題となっている。

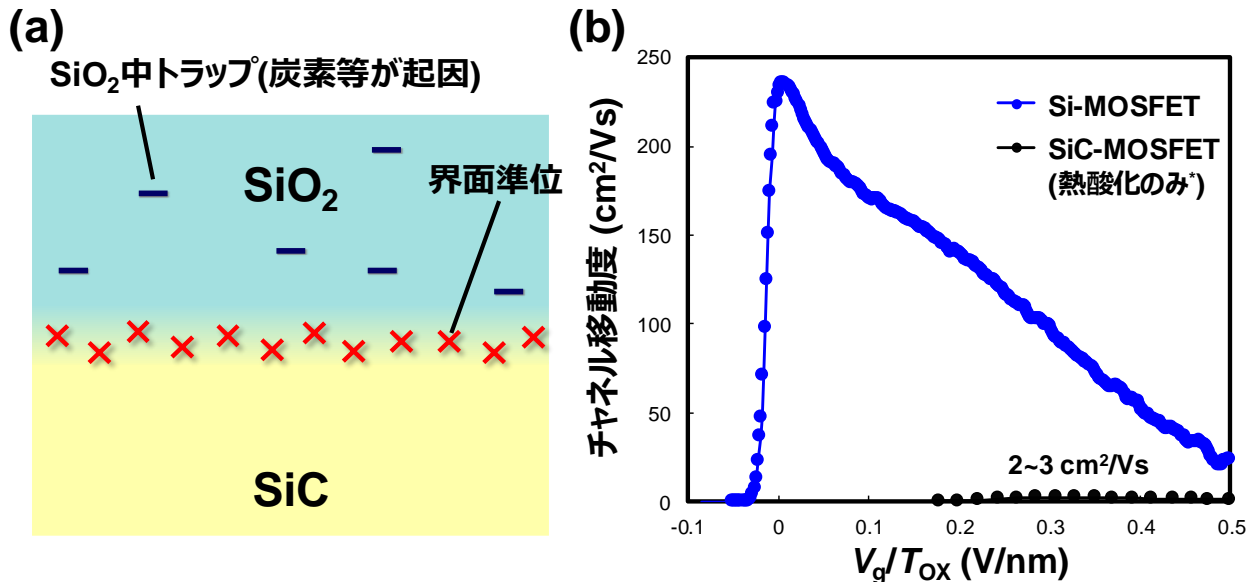


図 1.6 (a) MOS 界面の欠陥及び SiO<sub>2</sub> 中の欠陥の描像

(b) Si-MOSFET と熱酸化のみでゲート酸化膜を形成した SiC-MOSFET のチャネル移動度比較  
(\*熱酸化のみを行った SiC-MOSFET のチャネル移動度は参考文献[1.8]を引用)

MOS 界面の欠陥は、SiC と SiO<sub>2</sub> の格子不整合に由来したダングリングボンドや、SiC 基板から放出された炭素が作る炭素クラスターに起因すると考えられている。図 1.6(b)は Si-MOSFET と熱酸化のみでゲート酸化膜を形成した SiC-MOSFET のチャネル移動度を比較した図である。Si-MOSFET のチャネル移動度は典型的に 200~500 cm<sup>2</sup>/Vs 程度となることが知られているが、熱酸化のみでゲート酸化膜を形成した SiC-MOSFET のチャネル移動度は、2~3 cm<sup>2</sup>/Vs と非常に低い値となっている。

これらの欠陥を低減するために、SiC (0001)面基板(Si 面基板)上のゲート酸化膜に対する、NO(一酸化窒素)ガスや N<sub>2</sub>O(一酸化二窒素)ガス雰囲気下での高温アニール処理(窒化処理)が、産業的には現在一般的に行われている。ゲート酸化膜となる SiO<sub>2</sub> を CVD(Chemical Vapor Deposition)工程または熱酸化により形成し、その後アニール炉において NO ガスや N<sub>2</sub>O ガス雰囲気下での高温アニール処理が行われる。

筆者が知る限り、SiC 上の酸化膜に対する NO アニール及び N<sub>2</sub>O アニール処理は、1997 年に初めて Dimitrijevic らによって検討された[1.9]。図 1.7 は Dimitrijevic が報告した、SiC 上の酸化膜に対する NO アニール処理による特性改善の結果である。



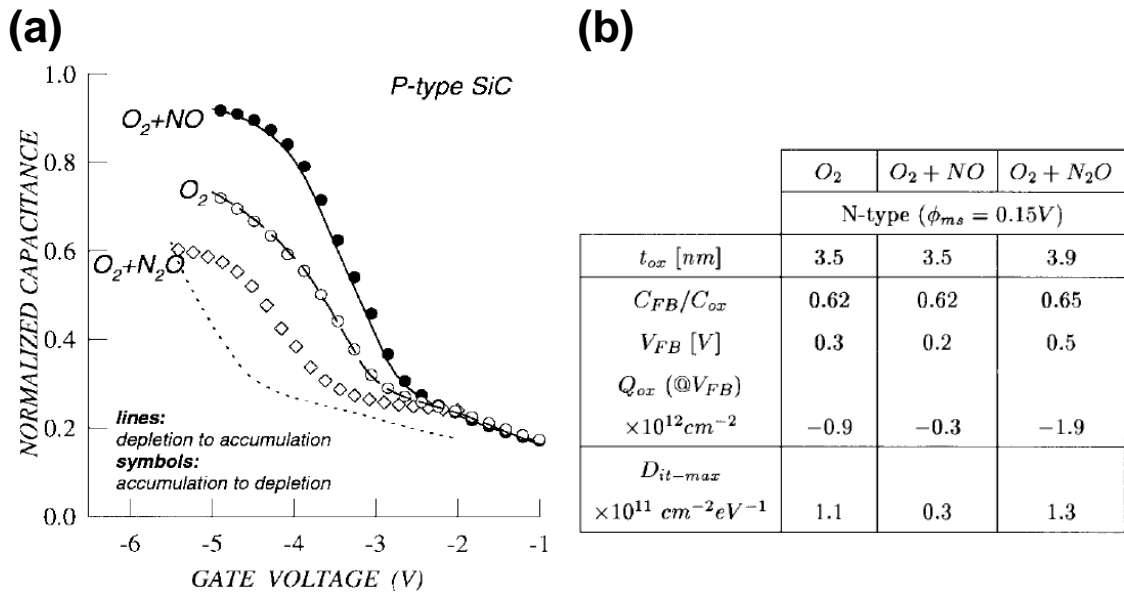


図 1.7 Dimitrijevic らによって初めて報告された SiC 上の酸化膜に対する NO アニール・N<sub>2</sub>O アニール処理による特性改善 (a) 100 kHz での CV 特性の比較 (b) 熱酸化膜・NO アニール・N<sub>2</sub>O アニール処理で得られる特性の比較(参考文献[1.9]より引用)

Dimitrijevic らは特に NO アニール処理により、大幅な界面準位の低減と酸化膜中の固定電荷の低減が可能となることを示している[1.9]。ここで[1.9]において、N<sub>2</sub>O アニール処理でむしろ熱酸化よりも特性が悪化しているのは、N<sub>2</sub>O アニールの条件が最適でなかったためと考えられる。現在では N<sub>2</sub>O アニールでも、熱酸化と比較して大幅な特性改善が可能となることが確認されている(例えば[1.10])。

図 1.8(a)は、窒化処理を行った SiC-MOSFET におけるチャネル移動度を、熱酸化のみを行った SiC-MOSFET のチャネル移動度と比較して示している。

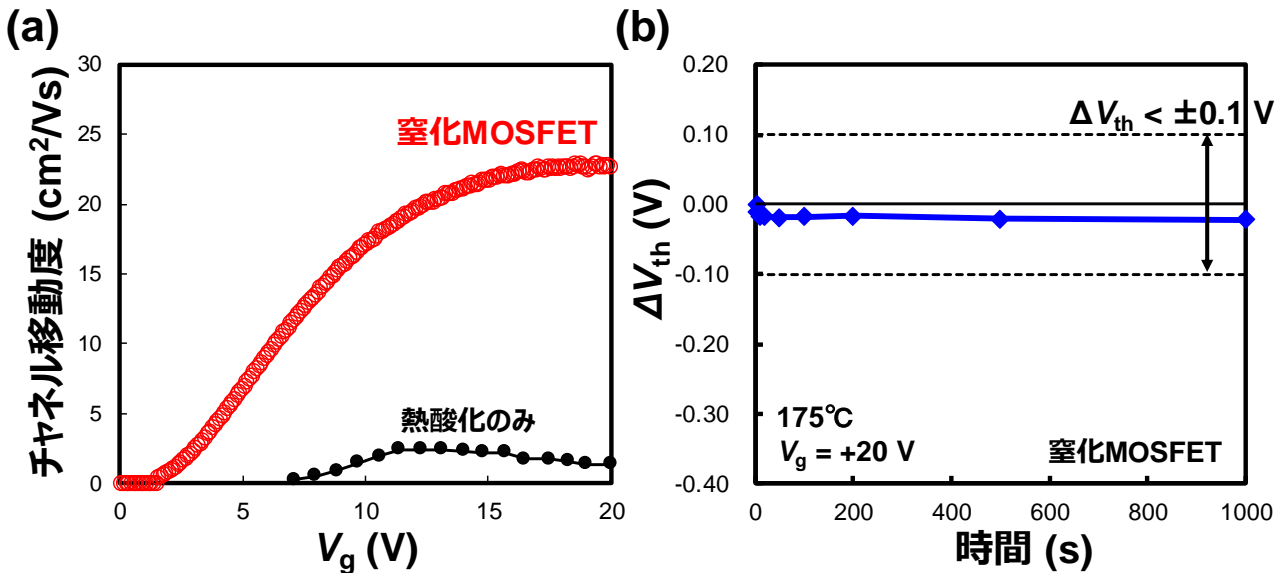


図 1.8 窒化 MOSFET における(a)チャネル移動度(熱酸化のみのデータは参考文献[1.8]より引用) (b)ゲート正電圧印加時の閾値電圧変動  $\Delta V_{th}$

図 1.8(a)で見られるように、窒化 MOSFET のチャネル移動度は、熱酸化のみを行った MOSFET と比較して一定の向上を見せ、 $20\sim 30\text{ cm}^2/\text{Vs}$  のチャネル移動度が得られている。また、窒化処理の一番のメリットは、ゲートに正の電圧を印加した際に高い信頼性が得られる点である。図 1.8(b)は、窒化 MOSFET に対して、 $175^\circ\text{C}$ においてゲートに $+20\text{ V}$ の電圧を 1000 秒間印加した際の、閾値電圧変動量( $\Delta V_{th}$ )を調査した結果を示している。一般的に高い信頼性の目安となる  $\Delta V_{th} < \pm 0.1\text{ V}$  以内を満たしており、非常に高い信頼性が得られていることが見て取れる。このように窒化処理では一定のチャネル移動度向上とゲート正電圧印加時の高い信頼性が得られるため、現在、産業的に最も一般的に用いられる重要な技術となっている。

### 1.3 窒化処理を行った SiC-MOSFET の課題：ゲート負電圧印加時の信頼性

1.2 節においては、SiC-MOSFET の窒化処理により、ゲート正電圧印加時の高い信頼性が得られることを記した。一方で、窒化 MOSFET におけるゲートに負の電圧を印加した際の信頼性は必ずしも十分でない。図 1.9 に、 $175^\circ\text{C}$ においてゲートに $-20\text{ V}$ の電圧を 1000 秒間印加した際の  $\Delta V_{th}$ を調査した結果を示す。

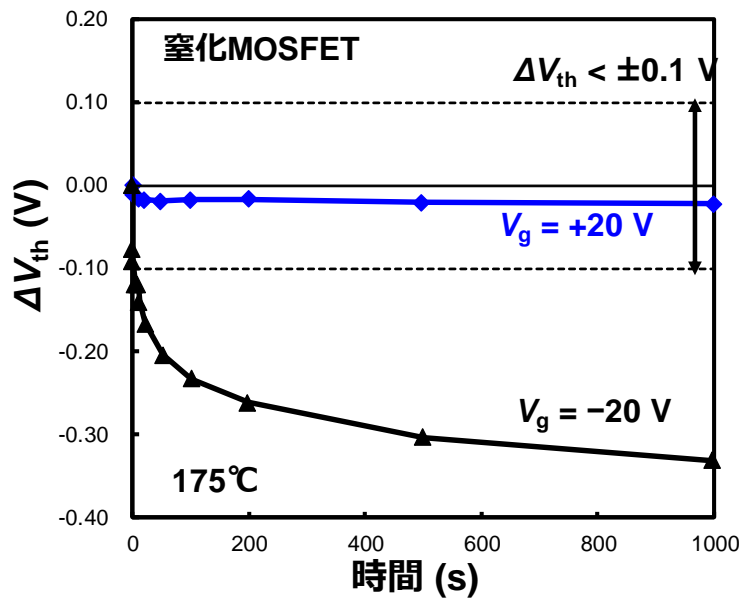


図 1.9 窒化 MOSFET におけるゲート負電圧印加時の閾値電圧変動  $\Delta V_{th}$

ゲートに $-20\text{ V}$ の電圧を 1000 秒間印加した後の閾値電圧は、電圧印加前の閾値電圧よりも  $0.33\text{ V}$  負側に変動しており、閾値電圧変動を十分抑制できていないことが見て取れる。第 2 章にて詳細は後述するが、パワーデバイスではゲート負電圧印加時の高い信頼性も要求されるため、窒化 MOSFET のゲート負電圧下の閾値電圧変動抑制は喫緊の課題である。

ゲート電圧印加時の閾値電圧変動を抑制する必要性に関して、以下詳細に記載する。ゲートに正・負の電圧を印加した際に生じる閾値電圧変動は、MOS 界面の界面準位やゲート酸化膜中の欠陥に電荷が捕獲されることによって引き起こされる。ゲート酸化膜中に捕獲された電荷がゲート電極から MOS 界面まで数珠つなぎでつながると、ゲート酸化膜の破壊に至ることが知られている(パーコレーションモ

デル)。そのため、閾値電圧変動が大きい素子では、ゲート電圧印加時のゲート酸化膜の破壊に至るまでの寿命が短い可能性がある。

ゲート酸化膜の寿命低下にまで至らない場合でも、閾値電圧変動は SiC-MOSFET の信頼性・特性低下につながる問題である。閾値電圧が負側に変動すると、ゲートに対して意図せずに信号が入った場合に、素子が誤オン(誤点弧)する可能性が高まる。パワーエレクトロニクス回路において、素子の誤点弧が生じると、大容量の電源と素子間が短絡して破壊に至る、短絡破壊が生じる可能性がある(短絡破壊に関しては 2.1 節で詳細に説明する)。また閾値電圧が正側に変動すると、ゲート電圧印加時に形成される反転層電子密度が減少するため、チャネル抵抗の増大が生じ、素子の損失の増大につながる。その他にも、閾値電圧の変動によりモジュール内の素子間に閾値電圧のばらつきが生じると、素子間の電流アンバランスが生じ、損失増加や過剰な発熱による信頼性の低下といった問題も生じうる。このようにゲート電圧印加時の閾値電圧変動は、パワーデバイスの信頼性低下・特性低下につながるため、最優先で解決すべき課題であると言える。

## 1.4 窒化処理を行った SiC-MOSFET の課題：低いチャネル移動度

1.2 節で記したように、窒化処理によってチャネル移動度の一定の向上が得られる。しかしながら、得られる移動度は必ずしも十分ではない。図 1.10 に示すように、SiC-MOSFET においても MOS 界面を燐終端処理により形成することで  $90 \text{ cm}^2/\text{Vs}$  近くまで移動度が向上することが報告されている[1.11]。

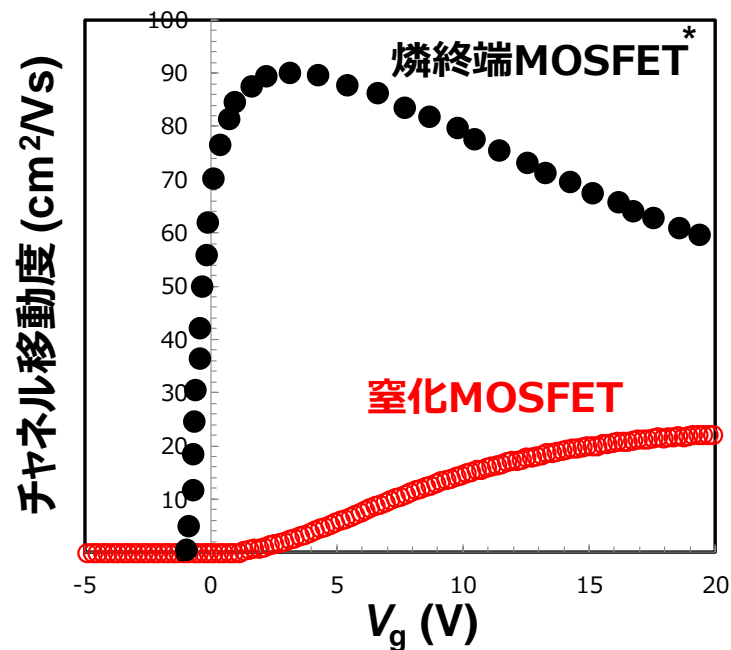


図 1.10 窒化 MOSFET と燐終端で MOS 界面を形成した MOSFET のチャネル移動度の比較 (燐終端で MOS 界面を形成した MOSFET のチャネル移動度は参考文献[1.11]を引用)

その他にも MOS 界面の Ba 終端[1.12]、ボロン終端[1.13]によりそれぞれ最大  $85 \text{ cm}^2/\text{Vs}$ 、 $102 \text{ cm}^2/\text{Vs}$  と高い移動度が得られることが報告されている。これらのプロセスは信頼性には課題があるものの、SiC-MOSFET でも MOS 界面の欠陥を十分減らすことで高いチャネル移動度が得られることを示しており、

窒化処理で得られるチャネル移動度には未だ改善の余地があることを示唆している。

SiC-MOSFET におけるゲートオン時の損失(導通損失)は SiC-MOSFET の抵抗に比例するが、チャネル移動度は SiC-MOSFET のチャネル抵抗を定めるパラメータである。SiC-MOSFET の抵抗成分はチャネル抵抗以外にも複数存在し、これらをまとめて図 1.11 に示す。

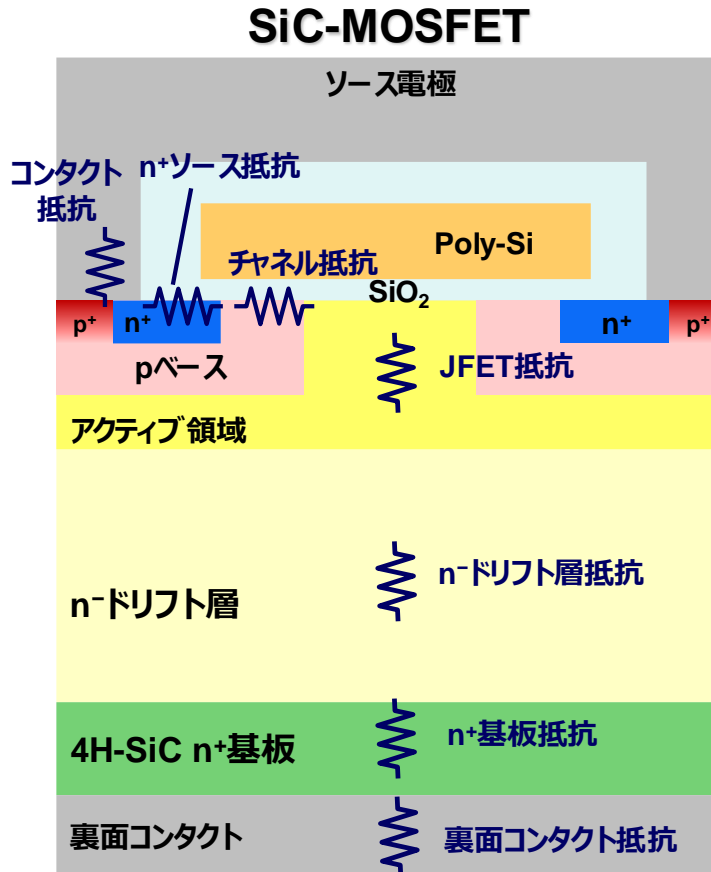


図 1.11 SiC-MOSFET の抵抗成分

図 1.11 に示すように、SiC-MOSFET の抵抗成分としてはコンタクト抵抗、n<sup>+</sup>ソース抵抗、チャネル抵抗、JFET 抵抗、n<sup>-</sup>ドリフト層抵抗、n<sup>+</sup>基板抵抗、裏面コンタクト抵抗が存在する。これらいずれの抵抗も合計の抵抗に対して一定の寄与を持ち、それぞれの抵抗低減に向けた取り組みが行われ、開発の経過に伴ってそれぞれの抵抗成分の寄与率は変わってきている。チャネル抵抗に関しても、チャネル長の縮小やセルピッチの微細化に伴うチャネル密度の向上により、低減が図られてきている。一方で、極端な短チャネル化はチャネルリークを引き起こす。またセルピッチの微細化に関しても、JFET 幅の極端な微細化は JFET 抵抗の増大及びばらつきを引き起こし、加工精度の問題もあるため限界がある。そのため、特に n<sup>-</sup>ドリフト層の厚さが薄く、n<sup>-</sup>ドリフト層抵抗の割合が低い低耐圧系(600V~1200V)の SiC-MOSFET においては、チャネル抵抗が損失低減に向けた律速要因となってしまっているのが現状である。そのため、窒化処理の最適化による更なるチャネル移動度向上が求められている。

## 1.5 本論文の目的と課題解決に向けた取り組みの概要

1.3 節、1.4 節に記した窒化 MOSFET の課題を踏まえ、本論文においては、窒化 MOSFET のゲート負電圧下での信頼性改善と、チャネル移動度向上を目的に研究を行った。

ゲート負電圧下での信頼性改善に向けては、開発の加速化につながる新規信頼性評価手法の開発を検討した。SiC の MOS 界面形成プロセスの開発においては、一般的にプロセスの良否の簡易評価のために n 型基板 MOS キャパシタが使われている。SiC パワー MOSFET の試作には数カ月の期間が必要となるのに対し、SiC-n 型基板 MOS キャパシタは最短で 2 日程度で試作が完了するため、大規模な MOS 界面形成プロセスの条件振りとその評価を繰り返すプロセス最適化には、n 型基板 MOS キャパシタを用いたプロセスの良否の判定が不可欠となる。しかしながら、SiC-n 型基板 MOS キャパシタではゲート負電圧下でゲート絶縁膜に対して適切な電界ストレスが印加されず、信頼性評価ができないという課題があった。そこで筆者は紫外線を用いた新規信頼性評価手法の提案とその実証を行った。その詳細は第 2 章にて報告する。

窒化処理によるチャネル移動度向上に向けては、NO アニール処理のプロセス条件の最適化によるチャネル移動度の向上を図った。筆者は NO アニール条件の最適化による更なるチャネル移動度向上のためには、NO アニール処理時に MOS 界面で生じる化学反応の理解が不可欠だと考えた。NO アニール時には MOS 界面において窒化反応と酸化反応が生じることが知られているが、特に酸化反応がチャネル移動度に及ぼす影響に関してはデータが少なく、両者がチャネル移動度に与える影響を系統的に調査した例は筆者が調べた範囲では存在しない。窒化反応の指標として界面の窒素濃度 $[N]$ 、酸化反応の指標として酸化膜増膜量 $\Delta T_{ox}$ を選択し、①プロセス条件、②MOS 界面で生じる化学反応、③チャネル移動度の関係をそれぞれ結び付けて系統的に調査することで、NO 窒化プロセスによる更なるチャネル移動度向上を検討した。その詳細は第 3 章において記述する。

チャネル移動度の向上に向けては、チャネル移動度がどのような機構で律速されているのか理解することが重要である。しかしながら、SiC-MOSFET においてはチャネル移動度を律速する散乱機構の理解が十分でなく、また理想的にどの程度のチャネル移動度が得られるかも分かっていない。一方 Si-MOSFET では、通常のプロセス条件振りの範囲内では、チャネル部の不純物濃度 $N_A$ ・基板バイアス $V_b$ ・反転層電子密度 $N_s$ に依らず、反転層電子に印加される実効的な電界(実効電界: $E_{eff}$ )が高くなると、 $E_{eff}$ に対してチャネル移動度が一つの包絡線に漸近することが知られ、この特性はユニバーサル移動度として広く受け入れられている[1.14-1.17]。以下の図 1.12 に Takagi らが調査した Si(100)面基板上的 MOSFET におけるユニバーサル移動度の調査結果を示す。

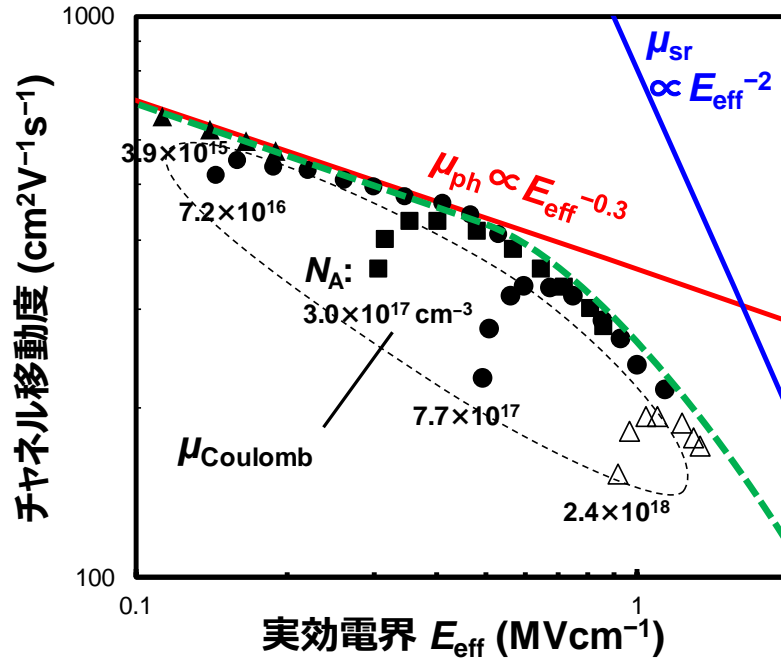


図 1.12 Si-MOSFET におけるユニバーサル移動度(実験結果は参考文献[1.16]を引用)

このユニバーサル移動度は理論計算との比較により、低  $E_{\text{eff}}$  領域から中  $E_{\text{eff}}$  領域のチャネル移動度が  $E_{\text{eff}}^{-0.3}$  に比例する領域ではフォノン散乱が支配的であり、高  $E_{\text{eff}}$  領域のチャネル移動度が  $E_{\text{eff}}^{-2}$  に比例する領域ではラフネス散乱が支配的であると理解されている[1.17-1.20]。これらの点から、アプリケーションごとに  $N_A$ 、 $V_b$ 、 $N_s$  の条件が異なっても、ユニバーサル移動度との比較から現在開発している MOSFET の支配的な散乱機構を簡易的に見積もることができ、開発の現場では試作した MOSFET とユニバーサル移動度の比較が広く行われている。また、ユニバーサル移動度はチャネル移動度を  $E_{\text{eff}}$  の冪関数として簡潔な数式で表し、かつ物理メカニズムに基づいているため、TCAD や回路シミュレーションにも標準的に用いられている[1.21-1.24]。

そこで本論文では SiC-MOSFET のユニバーサル移動度の実験的調査を試みた。SiC-MOSFET では界面準位量が多く、界面準位への電子捕獲と捕獲された電子によるクーロン散乱の影響でユニバーサル移動度がこれまで得られなかったのではないかと考え、SiC-MOSFET で最も良質な界面を実現できる SiC (000 $\bar{1}$ )面基板(C 面基板)上の水蒸気雰囲気下での酸化(Wet 酸化)プロセス[1.25-1.26]によりゲート酸化膜を形成した。さらに測定時の Wet 酸化膜内の欠陥への電子捕獲を抑制するため、パルス測定[1.27-1.28]を用い、C 面 Wet 酸化 MOSFET の正確なチャネル移動度を調査した。C 面 Wet 酸化 MOSFET のチャネル移動度の  $N_A$  及び  $V_b$  依存性を評価し、その結果 SiC-MOSFET のユニバーサル移動度を初めて確認することに成功した。これらの取り組みの詳細と結果は第 4 章に記述する。

前述のように、Si-MOSFET のユニバーサル移動度は散乱機構を考慮した理論計算の結果と比較され、低  $E_{\text{eff}}$  から中  $E_{\text{eff}}$  領域では音響フォノン散乱、高  $E_{\text{eff}}$  領域ではラフネス散乱が支配的だと理解されている。図 1.13 は Masaki らによる Si-MOSFET におけるユニバーサル移動度と理論計算の比較の例である[1.19]。

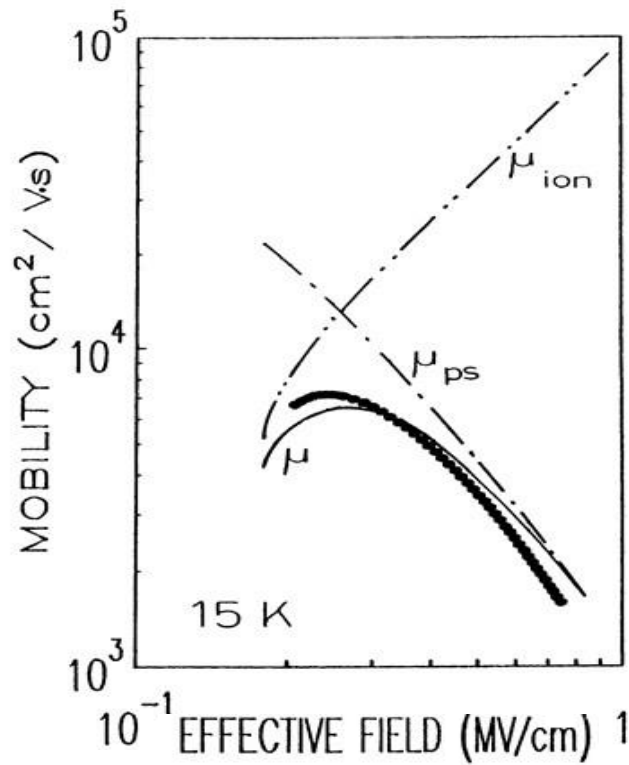


図 1.13 ユニバーサル移動度と理論計算の比較、 $\mu_{ion}$  は不純物散乱律速の移動度、 $\mu_{ps}$  は音響フォノン散乱、インターバレー散乱、ラフネス散乱に律速された合計の移動度(参考文献[1.19]を引用)

このようにユニバーサル移動度と支配的な散乱機構が紐づいて理解されていることで、Si-MOSFET においてはユニバーサル移動度を目安に MOS 界面形成プロセスの開発が行われ、TCAD や回路シミュレーションにおいても標準的なモデルとして用いられている。

そこで筆者はユニバーサル移動度の実験結果と、散乱機構を考慮した理論計算の比較を行い、界面準位量を十分低減した SiC-MOSFET において、チャネル移動度がどのような散乱機構で律速されているか調査を行った。これらユニバーサル移動度の実験結果と散乱機構を考慮した理論計算の比較の詳細は第 5 章に記す。

## 1.6 本論文の構成

1.1 節から 1.5 節に記載した本論文の背景・目的と、課題解決に向けた取り組みをまとめ、本論文の構成を図 1.14 に示す。

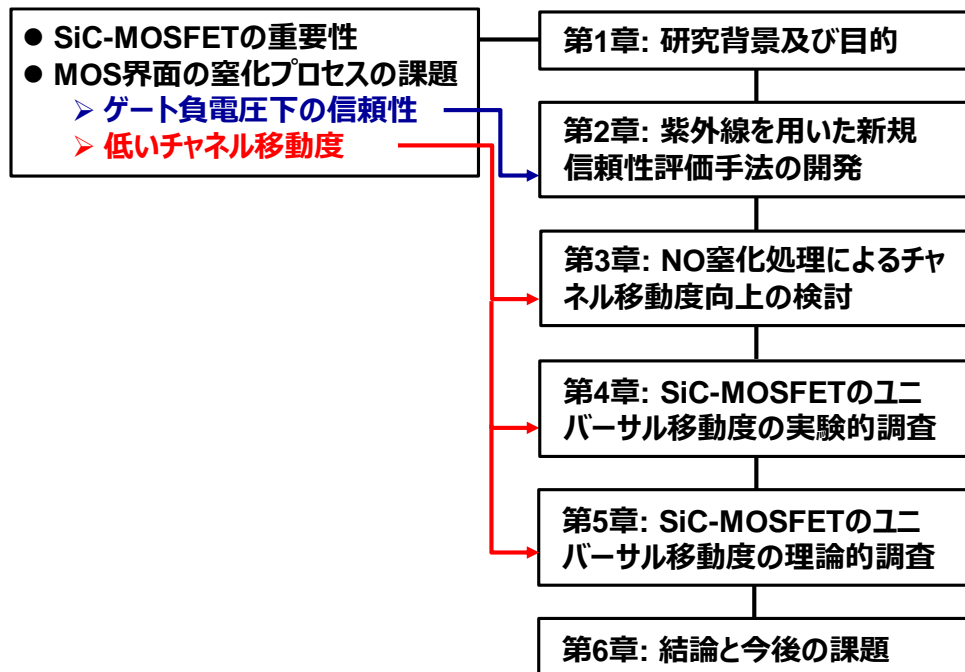


図 1.14 本論文の構成

本章においてパワーデバイスである SiC-MOSFET の重要性を述べ、その課題として MOS 界面に高密度の欠陥が存在すること、これらの欠陥に由来したゲート電圧印加時の信頼性と低いチャネル移動度が問題となっていることを記載した。これらの欠陥の低減のために MOS 界面の窒化処理が一般に行われているが、窒化処理ではゲートに正の電圧を印加した際の高い信頼性が得られるものの、ゲートに負の電圧を印加した際の信頼性とチャネル移動度には未だ改善の余地があることを述べた。

この窒化 MOSFET におけるゲート負電圧印加時の信頼性向上に向け、開発加速化につながる新規信頼性評価手法の提案を第 2 章において行う。その後、第 3 章においては NO 窒化 MOSFET におけるチャネル移動度向上に向け、NO アニール時の MOS 界面における化学反応の理解に基づいた、プロセス最適化によるチャネル移動度向上の検討結果を記す。第 4 章では更なるチャネル移動度向上に向け、SiC-MOSFET のユニバーサル移動度を実験的に調査した結果を、第 5 章ではユニバーサル移動度と理論計算の比較によりチャネル移動度律速機構を調査した結果を記す。第 6 章において、結論と今後の課題を記述し、論文の結びとする。



## 第2章 紫外線を用いた新規信頼性評価手法の開発

### 2.1 はじめに

第1章に記載したように、MOS界面を窒化処理により形成した SiC-MOSFET においては、ゲート正電圧印加時に高い信頼性が得られるものの、ゲート負電圧印加時の信頼性は必ずしも十分でない。SiC-MOSFET においてゲート負電圧を印加する必要性を、図 2.1 を用いて説明する。

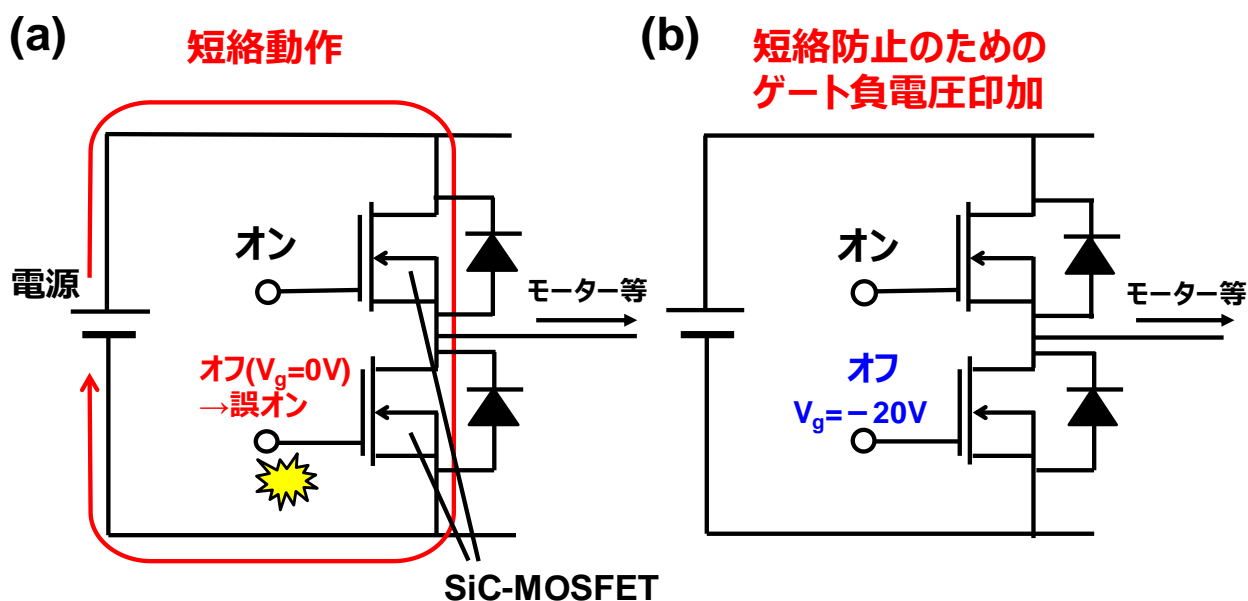


図 2.1 (a) MOSFET の誤点弧による短絡動作 (b) 短絡動作防止のためのゲート負電圧印加

SiC-MOSFET のようなスイッチングパワーデバイスをインバータや DC-DC コンバータのようなパワーエレクトロニクス回路で用いる際は、図 2.1 に示すように上下に素子を並べ、上下の素子を交互にオン状態からオフ状態に切り替えることにより、所望の制御された電力をモーター等の負荷に供給する。この時にオフ時の素子が誤ってオン(誤点弧)してしまうと、図 2.1(a)に示すように電源と上下の素子が短絡し、素子に対して過電流・過電圧が印加され、破壊に至る短絡破壊が生じてしまう。また破壊に至らない場合でも、短絡電流による損失の増加が生じてしまう。このような誤点弧は SiC-MOSFET の寄生容量と配線の寄生インダクタンスとの間の共振や、SiC-MOSFET の寄生容量を介した電流がゲート抵抗に流れることが原因となって発生し、特に高周波で SiC-MOSFET を駆動させるときに深刻な問題となる [2.1]。このような誤点弧を確実に防ぐために、図 2.1(b)に示すように、オフ時の素子に対してゲート負電圧を印加するという制御が行われている。また、このように積極的にゲート負電圧を印加しない場合でも、パワーデバイスの駆動条件によっては意図せずにゲートに負電圧が印加されてしまう場合もある。そのため、SiC-MOSFET に対してはゲート負電圧印加時の高い信頼性が求められる。

ゲート負電圧下の信頼性向上に向けては窒化プロセスの最適化が必須となるが、このようなプロセス最適化においては MOS キャパシタを用いたプロセスの良否の簡易評価が一般的に行われる。これは MOSFET と比較して MOS キャパシタの試作期間が短いことと、必要な工程が少ないため純粋に絶縁膜

形成プロセスの良否を判定できることによる。図 2.2(a)及び(b)に、典型的な SiC n 型基板 MOS キャパシタと SiC n チャネル MOSFET の、主要プロセスと断面図をそれぞれ示す。

### (a) SiC n型MOSキャパシタ

- SiO<sub>2</sub>堆積
- 窒化処理
- Alゲート形成
- 裏面Al蒸着



### (b) SiC nチャネルMOSFET

- イオン注入マスク形成+高温イオン注入(n<sup>+</sup>,p<sup>+</sup>,アクティブ,pベース,終端)
- 高温活性化アニール(~1900℃)
- アクティブ領域パターニング
- SiO<sub>2</sub>堆積
- 窒化処理
- Poly-Siゲート形成
- 層間膜形成
- ソースコンタクト形成 (シリサイド工程含む)
- ゲートコンタクト形成
- 裏面薄化
- 裏面電極工程

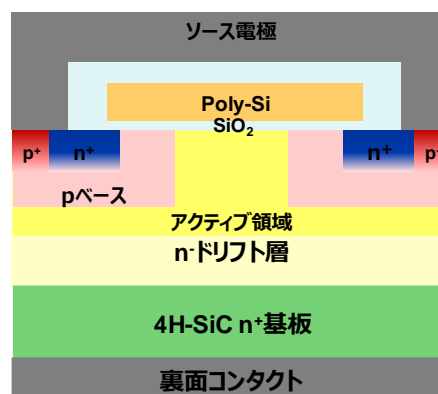


図 2.2 (a) SiC n 型基板 MOS キャパシタ形成プロセス (b) SiC n チャネル MOSFET 形成プロセス

ここで MOS キャパシタの基板を n 型に限定しているのは、SiC においては p 型低抵抗基板の作製が困難であると同時に、現在主流なデバイスである SiC-MOSFET と SBD の基板が n 型であるため p 型基板の需要が低く、p 型基板の入手が非常に困難であるためである。図 2.2(a)に示すように SiC n 型基板 MOS キャパシタにおいては、プロセスの最初の工程が SiO<sub>2</sub> 膜の堆積及び窒化処理となっており、窒化処理後の工程も表面と裏面の電極形成工程のみとなっている(表面のゲート電極は Poly-Si 電極を用いる場合もある)。そのため最短で 2 日程度でプロセスが完工する。一方で、図 2.2(b)に示す SiC n チャネル MOSFET においては、イオン注入工程として n<sup>+</sup>ソース領域、p<sup>+</sup>コンタクト領域、p ベース領域、アクティブ領域、終端領域形成と最少でも 5 工程が必要となり、それぞれのイオン注入工程の前段には注入マスクの形成とマスクのパターニングが必要となる。また SiC においては、イオン注入プロセスにより欠陥が形成されることを防ぎ、かつ注入された不純物の活性化を行うための独自のプロセスとして、ウェハを 500°C程度まで昇温してのイオン注入工程と、1700°C~1900°Cにおける超高温活性化アニール処理がそれぞれ不可欠となる。その後アクティブ領域のパターニングを行い、ゲート酸化膜工程及び窒化処理を行い、Poly-Si ゲート形成、層間膜形成、ソースコンタクト形成、ゲートコンタクト形成、裏面薄化、裏面電極形成工程を行い、プロセスが完工する。実際に SiC-MOSFET の完工までにはウェハの投入から数カ月の期間が必要となる上、ゲート電圧印加時の信頼性に影響を及ぼしうる熱工程や層間膜形成工程があるため、純粋に絶縁膜形成プロセスの良否を判定しづらいという側面もある。

表 2.1 に SiC-MOSFET と SiC-MOS キャパシタの作成期間、プロセス、特性評価可能な項目を比較して示す。

表 2.1 SiC-MOSFET と SiC-MOS キャパシタの作成期間、プロセス、特性評価可能な項目比較

		SiC MOSFET	SiC-n型基板 MOSキャパシタ
作製期間		△(~数ヶ月)	○(2日~)
プロセス		<ul style="list-style-type: none"> <li>・ 高温イオン注入 (pベース/n+/p+/アクティブ/終端)</li> <li>・ 高温活性化アニール (~1900°C)</li> <li>・ ゲート酸化膜形成</li> <li>・ ゲート電極形成 etc..</li> </ul>	<ul style="list-style-type: none"> <li>・ ゲート酸化膜形成</li> <li>・ 電極形成</li> </ul>
チャネル移動度		○	△(界面準位評価)
ゲート 絶縁膜 信頼性	正	○	○
	負	○	×

SiC n 型基板 MOS キャパシタは SiC-MOSFET に対し、前述のように作製期間が短く、プロセスが簡略となっている。一方で n 型基板 MOS キャパシタにおいては、チャネル移動度の評価とゲート負電圧印加時の信頼性評価が困難となる。このうちチャネル移動度の評価に関しては、代替手段として界面準位密度の評価が一般的に行われている。特に高周波 CV 特性と低周波 CV 特性の比較から界面準位量を見積もる Hi-Lo CV 法は、SiC-MOS キャパシタにおいてはよく用いられており、Hi-Lo 法により見積もった界面準位密度とチャネル移動度の間には一定の相関関係があることが報告されている(例えば [1.10,2.2-2.4])。一方で界面準位密度を正確に評価することは、特に伝導帯極近傍において困難であるため、様々な界面準位評価手法が提案される研究課題の一つであることは注意すべき点である [2.5-2.7]。100 MHz を超えるような高周波でも応答する界面準位の存在や [2.5]、Hi-Lo 法では評価が困難な伝導帯の極近傍における界面準位密度の増加がチャネル移動度を大きく下げているという報告もあり [2.6]、界面準位密度の評価には慎重な議論が必要となる。

窒化 MOSFET において課題となっているゲート負電圧下の信頼性に関しては、表 2.1 に示したように、n 型基板 MOS キャパシタでは評価できない。この原因を以下詳細に説明する。図 2.3 に、n チャネル MOSFET においてゲート負電圧を印加した際の MOSFET における正孔励起の描像と MOS 界面のバンド図を示す。

## nチャネルMOSFET

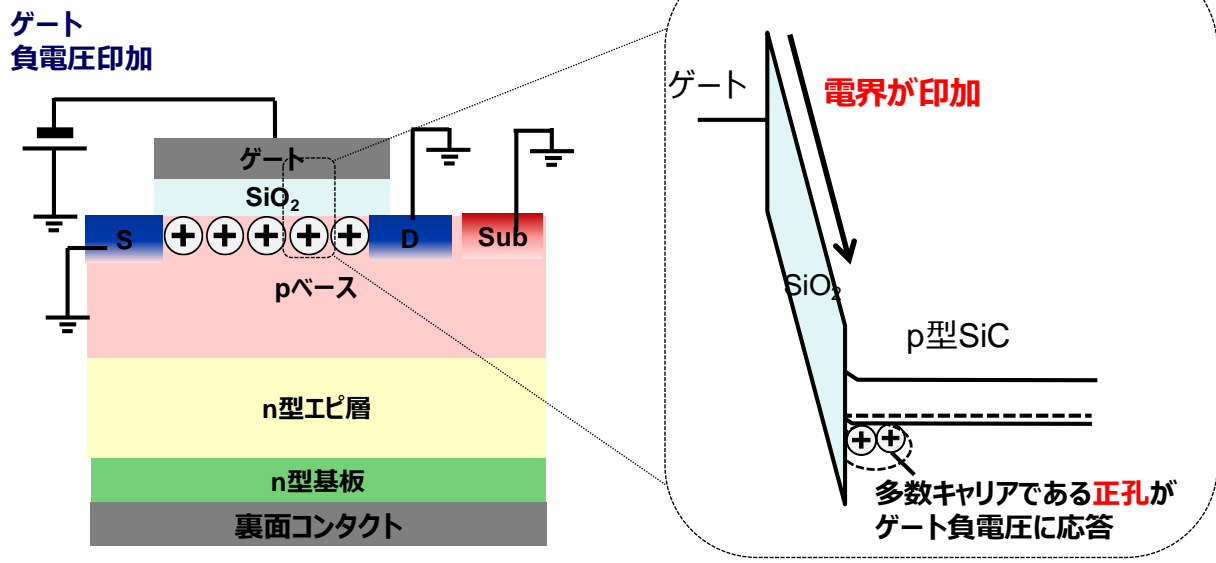


図 2.3 nチャネル MOSFET におけるゲート負電圧印加時の描像と MOS 界面のバンド図

nチャネル MOSFET においてゲート負電圧を印加した場合、多数キャリアである正孔がゲート負電圧に反応して MOS 界面に蓄積層を形成する。そのためゲート負電圧印加時には、電気力線がこの正孔の蓄積層に終端されるため、絶縁膜に対して高い電界が印加される。

続いて図 2.4 に、n型基板 MOS キャパシタにおいてゲート負電圧を印加した際の描像と MOS 界面のバンド図を示す。

## n型基板MOSキャパシタ

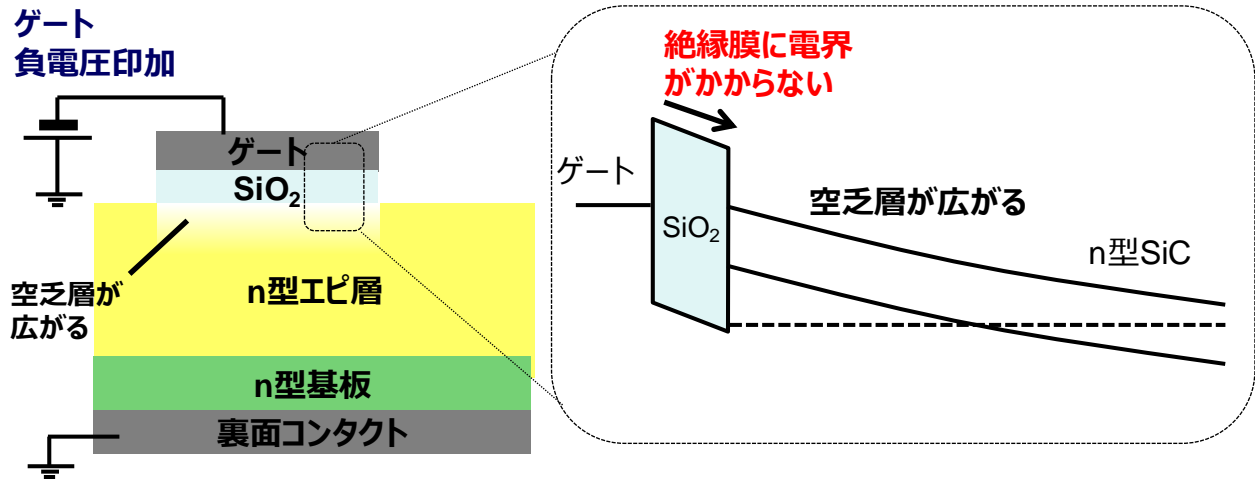


図 2.4 n型基板 MOS キャパシタにおけるゲート負電圧印加時の描像と MOS 界面のバンド図

ワイドバンドギャップ半導体である SiC n型基板 MOS キャパシタにおいては、特に少数キャリアである正孔の密度が低い。そのため SiC n型基板 MOS キャパシタに対してゲート負電圧を印加しても、正孔が反応せず、空乏層が大きく広がってしまう。そのため MOS 界面のバンド図に示すように、電界は

空乏層に多く印加され、絶縁膜に対しては適切な電界が印加されない。したがって、n型基板 MOS キャパシタにおいてはゲート負電圧下での絶縁膜の信頼性評価ができない。

このような背景を踏まえて本章では、SiC 窒化 MOSFET におけるゲート負電圧印加時の信頼性問題の解決に向け、短時間で試作可能な n 型基板 MOS キャパシタにおいて、ゲート負電圧印加時の信頼性評価を可能とする新規評価手法の提案及び実証を行う。2.2 節において新規信頼性評価手法の提案、2.3 節において構築した評価システムの詳細を記載する。2.4 節においてこの評価システムで n 型基板 MOS キャパシタにおける信頼性評価が行えるか検討を行い、実際に窒化処理条件の最適化によりゲート負電圧下の特性変動の抑制を試みた結果を報告する。2.5 節においては本章のまとめと結論を記載する。

## 2.2 新規信頼性評価手法の提案

図 2.4 に示したように、n 型基板 MOS キャパシタにおいてはゲート負電圧に応答する正孔が存在しないため、ゲート負電圧を印加しても空乏層に多くの電界が印加されてしまい、絶縁膜に対しては適切な電界が印加されない。そこで筆者は、図 2.5 に示すように SiC のバンドギャップ( $E_g=3.3\text{ eV}$ )を超えるエネルギーをもつ紫外線を SiC n 型基板 MOS キャパシタに対して照射し、SiC 基板に正孔を強制的に励起することを考えた。

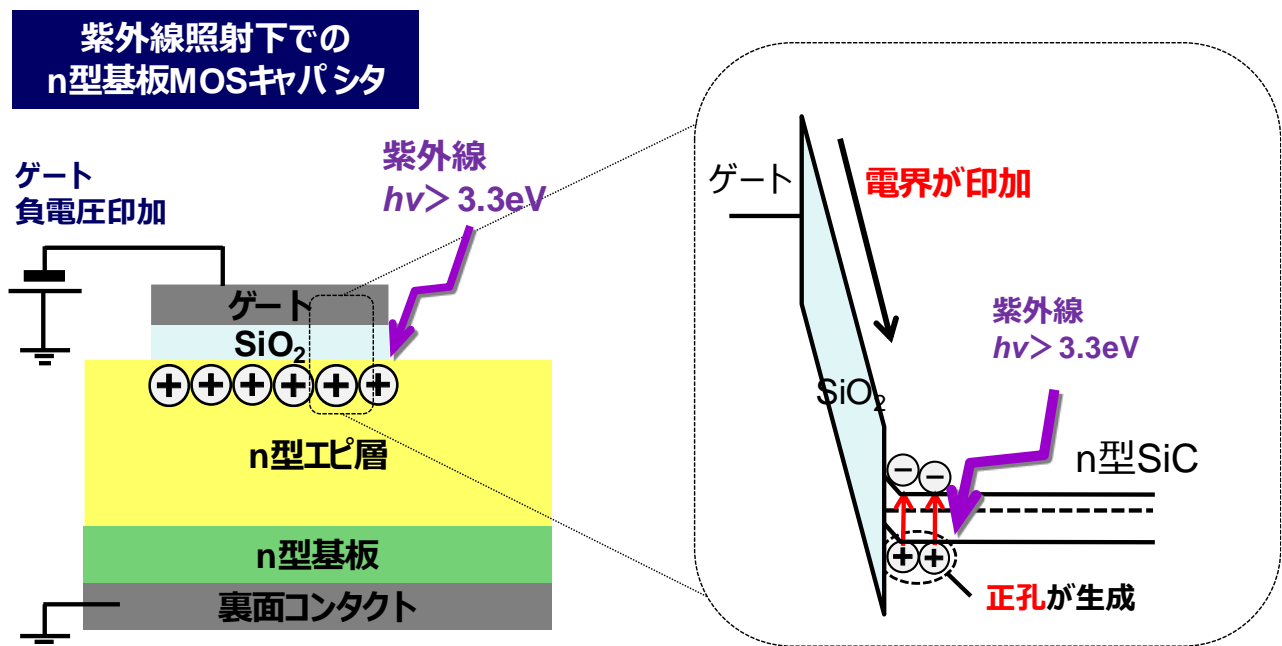


図 2.5 紫外線を用いた新規信頼性評価システムの概念図

紫外線により正孔を生成し、MOS 界面に正孔の反転層を形成できれば、電気力線が正孔に終端される。そのため図 2.5 の MOS 界面のバンド図に示したように、絶縁膜に対して n チャンネル MOSFET 同等の電界が印加されると考えた。ここで、ゲート電圧印加による界面準位及びゲート酸化膜中の欠陥への電荷捕獲により生じる、MOS キャパシタでのフラットバンド電圧変動  $\Delta V_{FB}$  と MOSFET における  $\Delta V_{th}$  はいずれも以下の式で表される。

$$\Delta V_{th} = \Delta V_{FB} = -\frac{qN_{it}}{C_{OX}} - \frac{q}{C_{OX}} \int_0^{T_{OX}} \frac{(T_{OX} - z)N_{OX}(z)}{T_{OX}} dz$$

ここで  $N_{it}$  は界面準位に捕獲された電荷密度、 $N_{OX}(z)$  は MOS 界面からの距離  $z$  において酸化膜中の欠陥に捕獲された電荷密度である。このように、 $\Delta V_{FB}$  と  $\Delta V_{th}$  は界面準位及び酸化膜中の欠陥に捕獲された電荷密度が等しければ同等となる。そのため SiC n 型基板 MOS キャパシタでも、絶縁膜に対して n チャネル MOSFET 同等の電界が印加できれば、ゲート負電圧下の信頼性評価が可能になると考えられる。

そこで、提案した紫外線を用いた新規信頼性評価システムの有効性を示すため、紫外線を用いた評価システムを構築し、正孔生成の確認を行い、SiC n 型基板 MOS キャパシタにおける信頼性評価の可能性の調査を行った。

### 2.3 構築した新規信頼性評価システムの詳細

2.2 節において提案した紫外線を用いた信頼性評価システムの構築を行った。実際に構築した信頼性評価システムの写真を図 2.6 に示す。

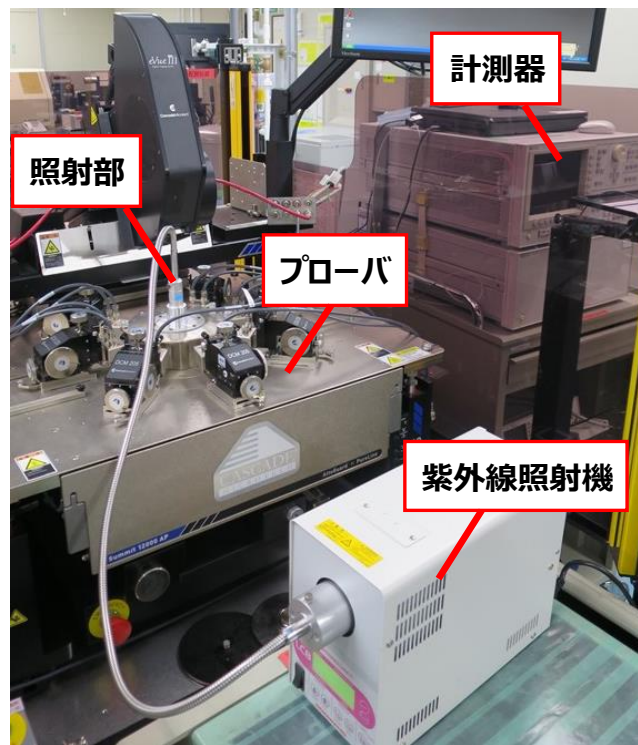


図 2.6 構築した新規信頼性評価システムの写真

紫外線照射器からファイバを通して、プローバ内にセットした SiC n 型基板 MOS キャパシタに対して上部から紫外線を照射しつつ、計測器によってストレス印加及び特性評価を行うシンプルな評価システムを構築した。紫外線照射器には浜松ホトニクス製の LC8 を用いている。この紫外線照射器の光源には水銀キセノンランプを用いており、中心波長は 365 nm (エネルギーは 3.4 eV) と SiC のバンドギャップを超えるエネルギーの紫外線を照射できるようになっている。

評価に用いた n 型基板 MOS キャパシタの作製プロセスは図 2.2(a)に記載した通りである。SiO<sub>2</sub>は CVD 工程で形成し、その膜厚は約 50 nm である。2.4 節に詳細を後述するが、ゲート負電圧下の信頼性向上の検討と提案する信頼性評価手法の有効性を検証するために、窒化処理条件をガス種も含めて大規模に条件振りを行っている。Al ゲート電極の厚さは約 200 nm である。MOS キャパシタの上面レイアウトは正方形であり、一辺の長さを 60 μm から 1000 μm まで条件振りして 2.4 節において面積依存性を調査した。

## 2.4 提案した新規信頼性評価システムの実証

2.3 節で提案した新規信頼性評価手法の実証に向け、まず紫外線の照射によりゲート負電圧下で MOS 界面に正孔の反転層が形成されているか確認を行った。図 2.7 に紫外線の照射有無での CV 特性の比較を行った結果を示す。

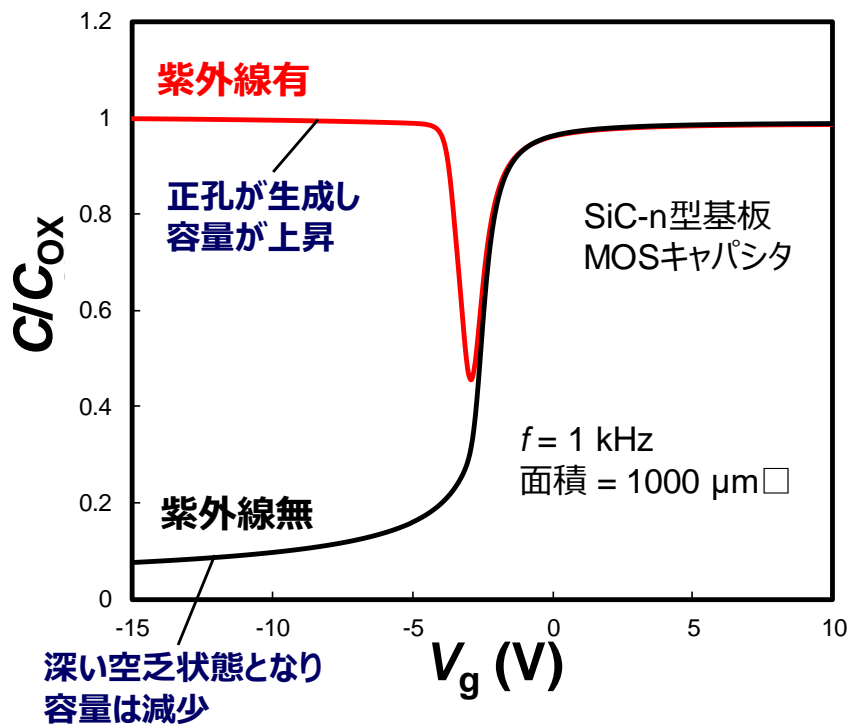


図 2.7 紫外線照射有無での CV 特性の比較

縦軸はゲート酸化膜容量  $C_{ox}$  に対する容量で規格化している。紫外線照射が無い状態においては、ゲート電圧を負側に大きくするほど容量が減少していく傾向が確認された。これは図 2.4 に示したようにゲート負電圧に応答する正孔が存在せず、空乏層が広がっていくことによる。一方で紫外線を照射した状態においては、ゲート負電圧下で容量の反転が確認され、正孔の生成を確認することができた。

そこで、実際に紫外線照射下でストレス印加による特性変動が生じるか、ストレス試験を行った。ストレス試験のタイムチャートを図 2.8 に示す。

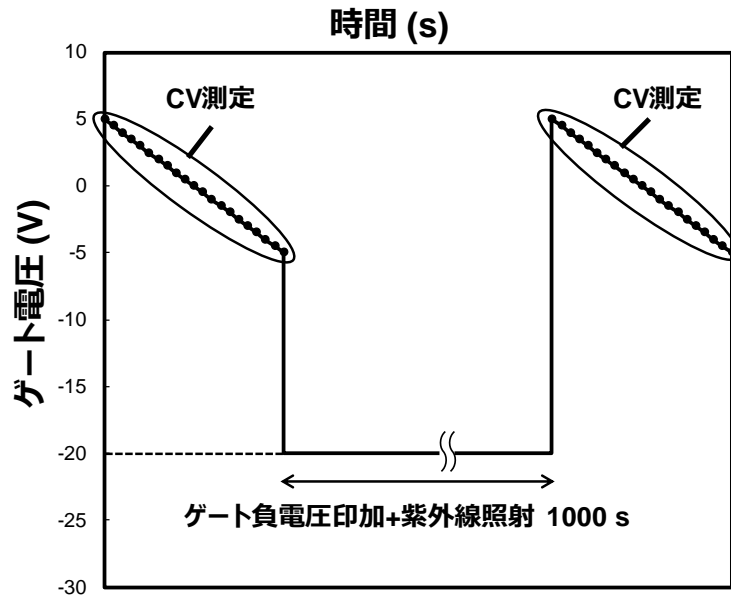


図 2.8 ストレス試験のタイムチャート

紫外線を照射しつつゲート負電圧として $-20\text{ V}$ を $1000$ 秒間印加し、その前後に連続して CV 特性の取得を行い、CV 特性の変動の有無を評価している。図 2.9 にストレス印加前後の CV 特性の比較結果を示す。

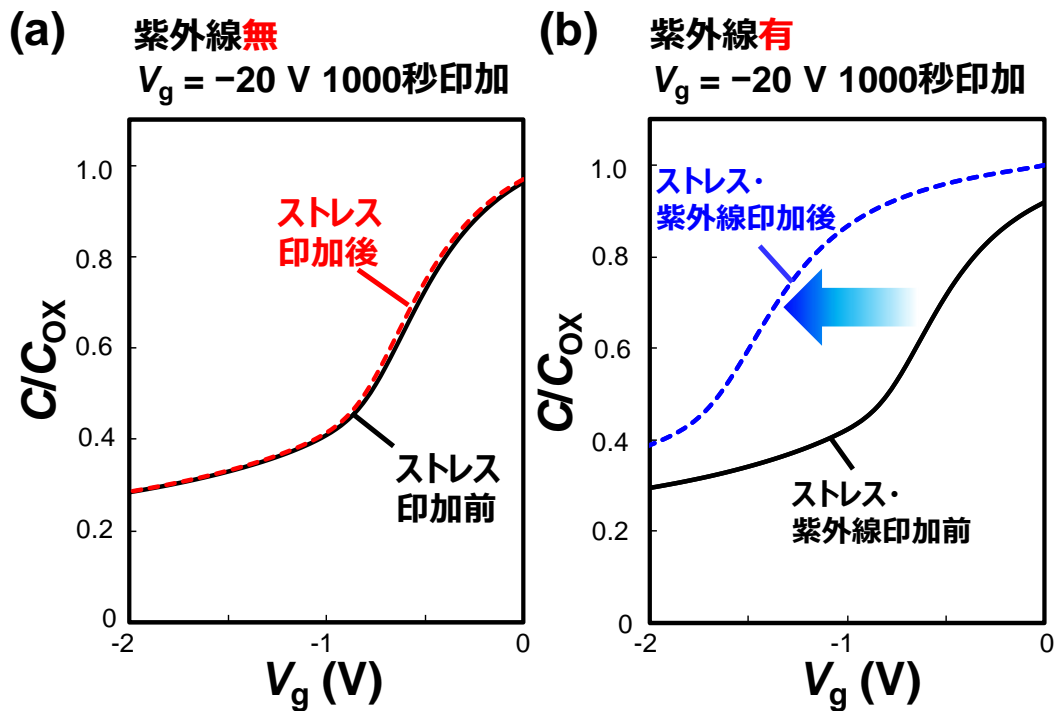


図 2.9 ゲート負電圧 $1000$ 秒間印加前後の CV 特性 (a) 紫外線照射無し (b) 紫外線照射有

図 2.9(a)は、リファレンスとして紫外線を照射しない状態でゲート負電圧を $1000$ 秒間印加し、その前後の CV 特性の変化を比較した結果である。CV 特性の変化は確認されず、これは図 2.4 に示したように空



乏層に電界が印加されてしまい、絶縁膜に対し適切な電界が印加されていないことによる。一方で、図 2.9(b)に示したように、紫外線を照射した状態でゲート負電圧を 1000 秒間印加したところ、CV 特性の大きな負方向への変動を確認することができた。これは、紫外線照射により正孔が誘起されることでゲート負電圧下において絶縁膜に適切な電界が印加され、印加された電界により正孔が絶縁膜中の欠陥に捕獲されたことを示唆する結果である。

図 2.9 から、紫外線照射下においてゲート負電圧を印加することで CV 特性が変動することを実証できたが、このときに照射した紫外線の一部が Al ゲートを透過して直接ゲート酸化膜にまで達してしまうと、照射した紫外線そのものによる特性変動が生じてしまい、電界ストレス印加による特性変動との切り分けが困難となってしまう。そこで、紫外線のゲート酸化膜への侵入による特性変動が生じていないか確認するため、ゲート電圧と基板を共に接地した状態で紫外線のみを 1000 秒間照射し、その前後における特性変動の有無を調査した。その測定結果を図 2.10 に示す。

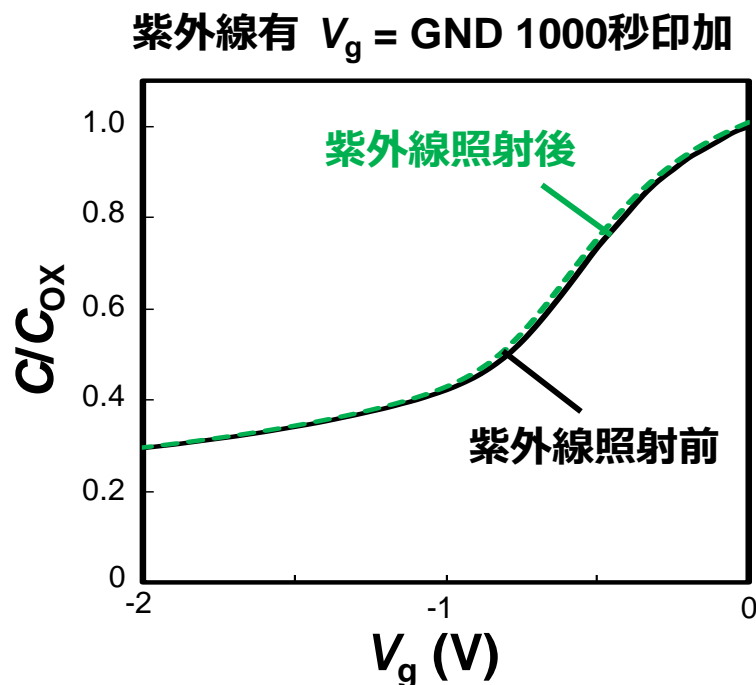
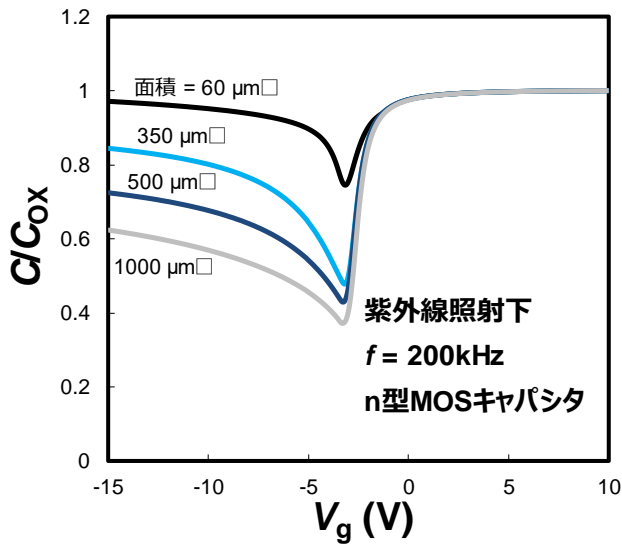


図 2.10 紫外線照射前後の CV 特性比較(ゲート負電圧印加無し)

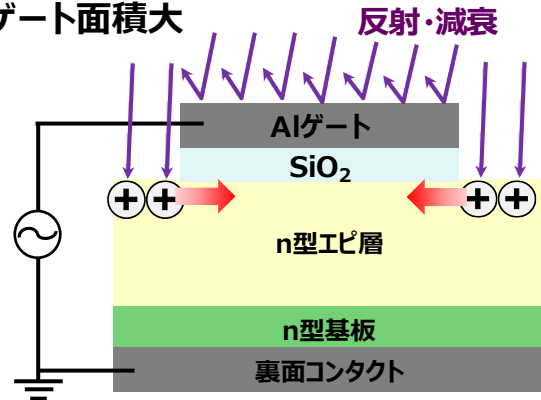
CV 特性の変化は確認されないことから、紫外線はゲート酸化膜に対して直接侵入しておらず、紫外線のゲート酸化膜への侵入による特性変動が生じていないことが実証できた。

紫外線が直接ゲート酸化膜に侵入していないことが確認できたところで、どのような描像で正孔が MOS 界面に反転層を形成しているか調査を行った。まず、紫外線照射下での CV 特性の MOS キャパシタの面積依存性を調査した。結果を図 2.11(a)に示す。

(a) CV特性の面積依存性



(b) ゲート面積大



(c) ゲート面積小

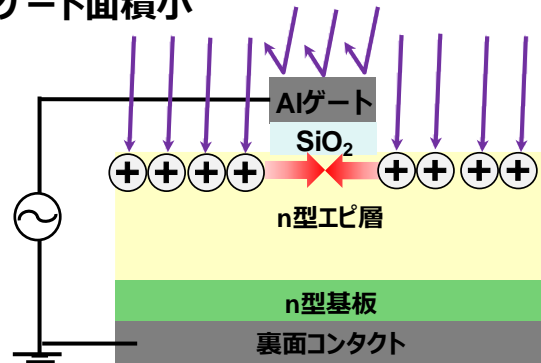


図 2.11 (a) 紫外線照射下での CV 特性の MOS キャパシタの面積依存性  
(b) ゲート面積が大きい素子の描像 (c) ゲート面積が小さい素子の描像

図 2.11(a)においては縦軸を酸化膜容量  $C_{ox}$  で規格化しており、測定時の周波数  $f$  は 200 kHz で固定している。ゲート面積が大きい素子ではゲート負電圧下の  $C/C_{ox}$  は小さく、ゲート面積を小さくするほど  $C/C_{ox}$  は増大していく傾向が確認された。この結果を図 2.11(b)(c)を用いて説明する。図 2.10 の結果から分かるように、紫外線は Al ゲートにより反射・減衰され、直接ゲート酸化膜には侵入していない。そこから、紫外線はゲート電極周辺部の SiC 領域に正孔を励起していると考えられる。ゲート電極周辺部の SiC 領域に励起された正孔は、印加されたゲート負電圧に応答して横方向に走行し、ゲート電極直下に正孔の反転層を形成していると推測される。この描像は p チャネル MOSFET におけるゲート負電圧印加時の描像と類似している。図 2.11(b)に示すように、ゲート面積が大きい素子では正孔の走行距離が長く、反転層を形成する正孔が CV 測定時の交流信号に追従できなかったため、ゲート負電圧下の  $C/C_{ox}$  は小さくなったと考えられる。一方で、図 2.11(c)に示すように、ゲート面積が小さい素子では正孔の走行距離が短く、反転層を形成する正孔が CV 測定時の交流信号に追従でき、ゲート負電圧下の  $C/C_{ox}$  は大きくなったと考えられる。

同様に、紫外線照射下での CV 特性の周波数依存性を調査した結果を図 2.12(a)に示す。

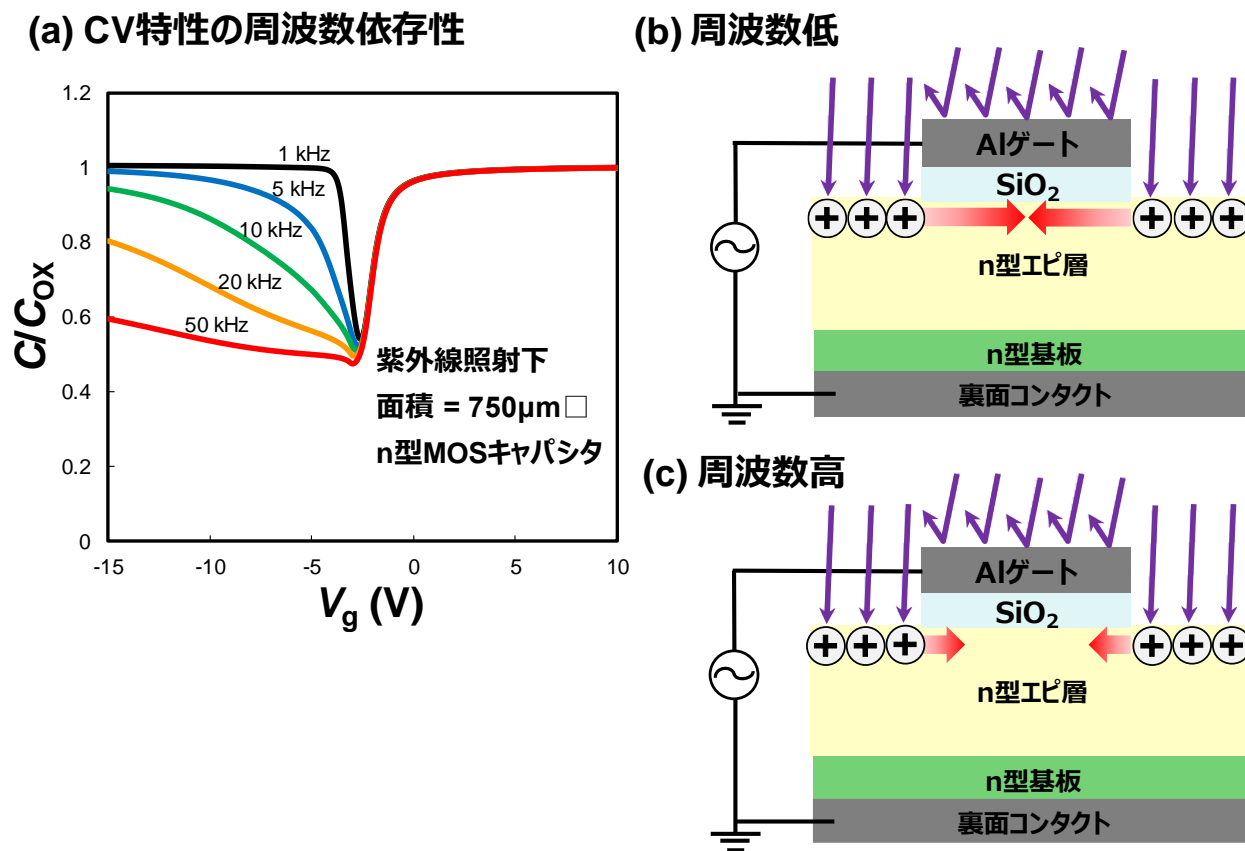


図 2.12 (a) 紫外線照射下での CV 特性の周波数依存性  
(b) 周波数が低いときの描像 (c) 周波数が高いときの描像

図 2.12(a)においては縦軸を酸化膜容量  $C_{ox}$  で規格化しており、ゲート電極の面積は  $750 \mu\text{m}^2$  で固定している。周波数が高い場合はゲート負電圧下の  $C/C_{ox}$  は小さく、周波数を低くするほど  $C/C_{ox}$  は増大していく傾向が確認された。この傾向は図 2.11 に示した傾向と整合している。即ち、図 2.12(b)に示したように周波数が低い場合は、正孔の走行時間が長く、反転層を形成する正孔が CV 測定時の交流信号に追従できたため、ゲート負電圧下の  $C/C_{ox}$  は大きくなったと考えられる。一方で、図 2.12(c)に示したように周波数が高い場合は、正孔の走行時間が短く、反転層を形成する正孔が CV 測定時の交流信号に追従できなかったため、ゲート負電圧下の  $C/C_{ox}$  は小さくなったと考えられる。

図 2.11 において、ゲート負電圧下の CV 特性に面積依存性があることを述べたが、信頼性評価の結果が面積に依存すると妥当な特性変動量を把握することが困難となる。そこで、MOS キャパシタの面積を  $350 \mu\text{m}^2$  から  $1000 \mu\text{m}^2$  まで条件振りして本手法を用いた信頼性試験を行い、フラットバンド電圧変動量 ( $\Delta V_{FB}$ ) に差が生じるか調査を行った。その際、信頼性試験のタイムチャートは図 2.8 の条件となっている。結果を図 2.13 に示す。

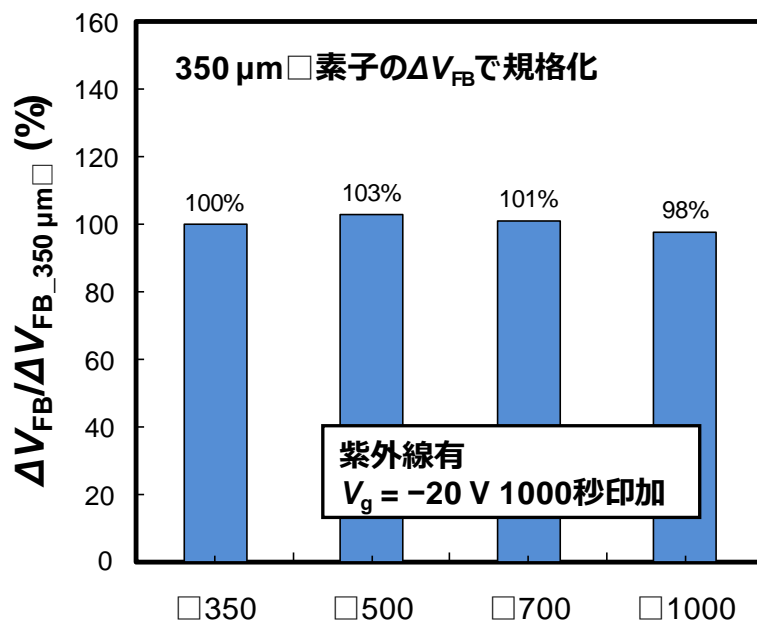


図 2.13 本手法を用いて評価したフラットバンド電圧変動  $\Delta V_{FB}$  の MOS キャパシタ面積依存性

縦軸は 350  $\mu\text{m}^2$  の MOS キャパシタの  $\Delta V_{FB}$  で規格化している。図 2.13 から分かるように、面積に依存した  $\Delta V_{FB}$  の違いは確認されず、 $\Delta V_{FB}$  の差は  $\pm 3\%$  以内に収まっていることが分かる。この結果は CV 特性の様な交流測定においては正孔の応答性の影響で面積依存性が生じるが、信頼性評価のような直流測定時にはゲート全体に正孔が十分行き渡っていることを意味し、本手法で面積に依らず安定して信頼性評価が可能なことを示している。

筆者は本評価手法を用いて、実際に窒化処理条件の最適化によるゲート負電圧下の特性変動の抑制を試みた。MOS キャパシタにおいて窒化ガス種も含めた窒化条件の大規模な条件振りを行い、本評価手法を用いて  $\Delta V_{FB}$  の小さい条件を調査し、次の試作にフィードバックを掛けるという手順を数回繰り返した。最適化前の窒化処理条件 A と、最適化を行って見出した  $\Delta V_{FB}$  の小さい窒化処理条件 B を共に MOSFET に適用し、本評価手法を用いて MOS キャパシタにおいて見積もった  $\Delta V_{FB}$  と、MOSFET における閾値電圧変動量  $\Delta V_{th}$  の相関を調査した。比較結果を図 2.14 に示す。n チャネル MOSFET においては紫外線を用いずにゲート負電圧  $-20\text{ V}$  を 1000 秒間印加し、ストレス印加前後に連続して閾値電圧  $V_{th}$  を取得し、その差分  $\Delta V_{th}$  を見積もっている。図 2.14 から最適化前の窒化処理条件 A は MOSFET でも  $\Delta V_{th}$  が大きく、本評価手法で見出した最適化後の窒化処理条件 B は MOSFET でも  $\Delta V_{th}$  が小さいことが見て取れる。このように、窒化処理条件に応じた特性変動の傾向が MOSFET と本評価手法を用いて求めた MOS キャパシタとの間で一致することを確認できた。

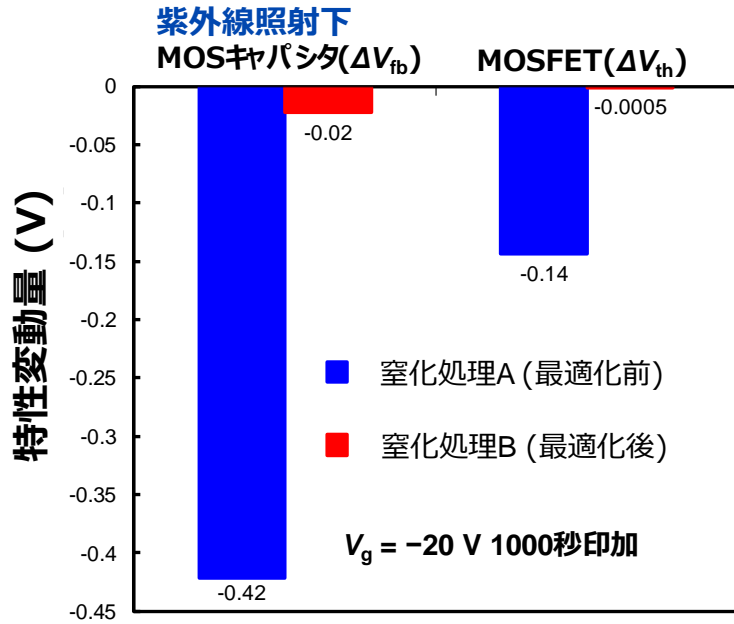


図 2.14 本評価手法を用いて見積もった MOS キャパシタの  $\Delta V_{FB}$  と MOSFET の  $\Delta V_{th}$  の相関調査

一方で、図 2.14 においては MOSFET における  $\Delta V_{th}$  と本手法を用いて求めた MOS キャパシタの  $\Delta V_{FB}$  の絶対値は一致しておらず、本評価手法を用いて求めた MOS キャパシタの  $\Delta V_{FB}$  の方が MOSFET の  $\Delta V_{th}$  よりも大きくなっている。この原因としては、ストレス印加時に絶縁膜に対してかかる電界の違いが考えられる。図 2.15 は MOSFET の CV 特性と紫外線下の MOS キャパシタの CV 特性を比較した結果である。

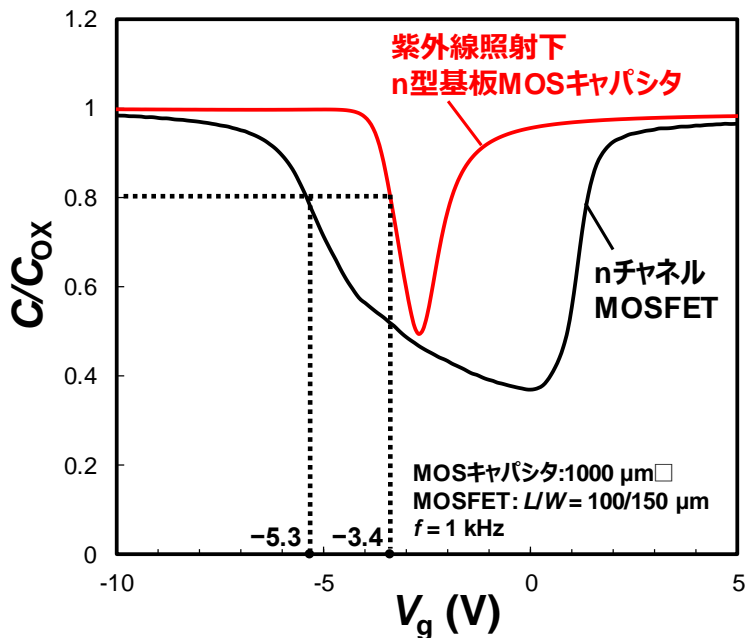


図 2.15 MOSFET の CV 特性と紫外線下の MOS キャパシタの CV 特性の比較

ゲートを負側に掃引し、 $C/C_{ox}=0.8$  となった時に n チャンネル MOSFET では十分な密度の正孔の蓄積層、紫外線下の MOS キャパシタでは十分な密度の正孔の反転層が形成され、SiC 基板側ではなく絶縁膜側に電界が印加され始めるとする。図 2.15 に示したように、 $C/C_{ox}$  が 0.8 となるのは n チャンネル MOSFET においては  $-5.3$  V、紫外線下の MOS キャパシタにおいては  $-3.4$  V であり、基板の n 型/p 型の違いにより絶縁膜側に強い電界が印加され始める電圧が異なる。ゲートに  $-20$  V を印加した際に絶縁膜に印加される電圧を簡易的に見積もると、n チャンネル MOSFET においては  $-20 - (-5.3) = -14.7$  V、紫外線下の MOS キャパシタにおいては  $-20 - (-3.4) = -16.6$  V となり、紫外線下の MOS キャパシタの方が絶縁膜に対して高い電界が印加されることになる。この絶縁膜に印加される電界の違いにより、信頼性試験時の特性変動量の絶対値は紫外線下の MOS キャパシタの方が大きくなったと推測される。

また、ストレス印加前後の  $V_{fb}$  と  $V_{th}$  測定時のゲート電圧の掃引条件の違いも、 $\Delta V_{FB}$  と  $\Delta V_{th}$  の違いの一因として考えられる。本論文では、 $V_{fb}$  と  $V_{th}$  測定時のゲート電圧の掃引時間・掃引時の測定点数・掃引方向を厳密に揃えていない。近年 Sometani らは、SiC-MOSFET のゲート電圧信頼性試験において、閾値電圧変動を評価する際の  $V_{th}$  の測定条件に依存して、得られる  $\Delta V_{th}$  の絶対値が変化することを報告している[2.8]。 $V_{th}$  評価時のゲート電圧掃引によって MOS 界面近傍のゲート酸化膜中に捕獲された電荷の一部が放出されるため、図 2.16(a) に示すように、通常のゲート電圧の掃引時間が長い  $V_{th}$  評価手法(Sweep Method)と、ゲート電圧の掃引間隔を減らし測定時間を短くした  $V_{th}$  評価手法(Three-point Method)では、Three-point Method の方が  $\Delta V_{th}$  の絶対値は大きくなったと報告している。

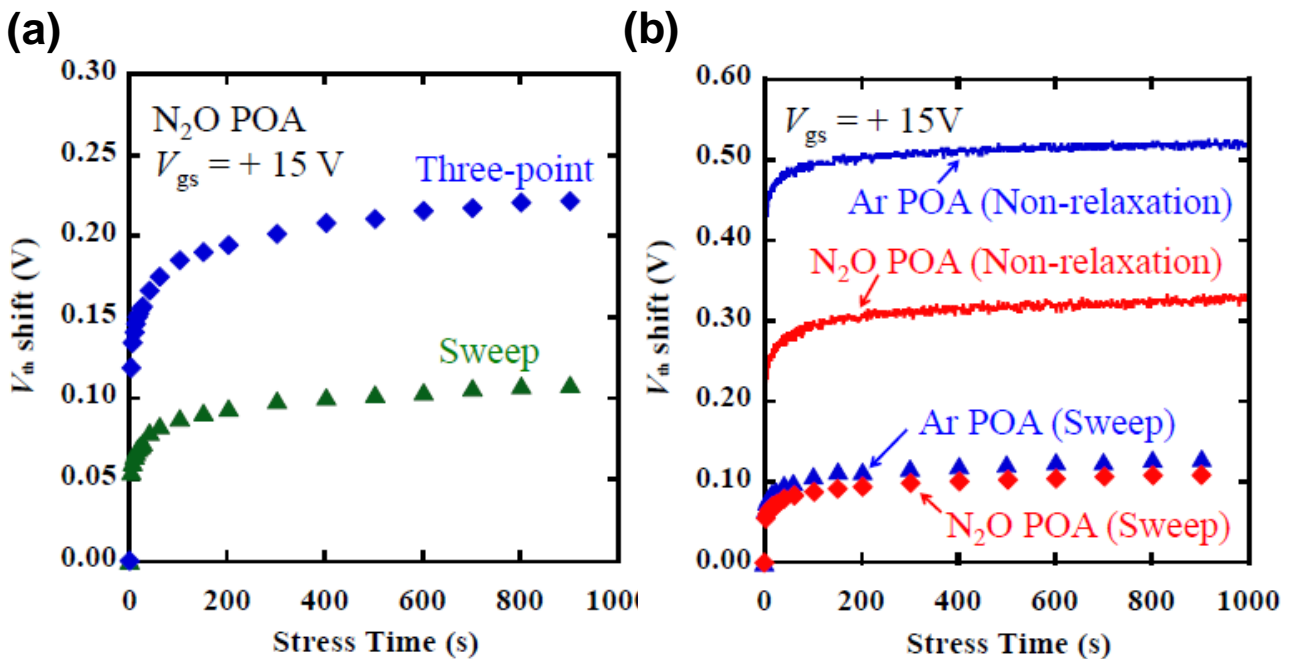


図 2.16 ゲート電圧信頼性試験における  $V_{th}$  評価手法の影響評価 (a) ゲート電圧の高速掃引(Three-point Method)と通常掃引(Sweep Method)の比較 (b) 通常掃引(Sweep Method)と非緩和評価法(Non-relaxation Method)の比較 (参考文献[2.8]より引用)

また[2.8]においては、 $V_{th}$  取得時の電荷の放出を防ぐため、ゲート電圧ストレスの印加時に定電流をソース・ドレイン間に印加し、ドレイン電圧  $V_d$  の時間変化から  $\Delta V_{th}$  の変化を見積もる手法(Non-relaxation

Method)を提案している。図 2.16(b)に示すように、この Non-relaxation Method ではさらに  $\Delta V_{th}$  の絶対値が大きくなることが分かる。このように SiC-MOSFET では、界面準位や界面近傍の酸化膜中に捕獲された電荷の放出や再結合の影響が大きく、より厳密な比較のためには  $V_{th}$  と  $V_b$  の測定条件を可能な限り揃える必要があると考えられる。

一方で図 2.14 に示したように、窒化処理条件に依存した特性変動の傾向は、MOSFET と本評価手法で求めた n 型基板 MOS キャパシタの間で一致しており、本手法を用いることで特性変動の小さい良好な条件を n 型基板 MOS キャパシタで見出すことが可能になることに変わりはない。そのため、信頼性の高い MOS 界面形成プロセスを短期間で選別可能になり、これは SiC-MOSFET の MOS 界面形成プロセス開発の加速化に寄与する結果である。

## 2.5 第 2 章のまとめ

窒化処理で MOS 界面を形成した SiC-MOSFET において課題となっているゲート負電圧下での信頼性問題の解決に向け、短期間で試作及び評価可能な n 型基板 MOS キャパシタを用いて、ゲート負電圧下での信頼性評価を可能とする新規信頼性評価手法を提案した。SiC のバンドギャップを超える高いエネルギーを持つ紫外線を照射することで、正孔が励起され、n 型基板 MOS キャパシタにおいても正孔の反転層を形成できることを CV 特性から確認できた。紫外線を照射しない状態でゲート負電圧を一定時間印加しても CV 特性の変動は確認されなかった一方で、紫外線を照射した状態でゲート負電圧を一定時間印加することで CV 特性の変動が確認できた。また、ゲート負電圧を印加せずに紫外線を一定時間照射した場合は CV 特性の変動は生じず、ここから紫外線はゲート Al 電極により反射及び減衰するため、直接ゲート酸化膜まで侵入して特性変動を生じさせていないことを確認できた。正孔の反転層がどのように形成されているか調査するため、紫外線照射下での CV 特性の面積依存性と周波数依存性を調査した結果、ゲート負電圧下での酸化膜容量で規格化した反転容量は面積が小さく、周波数が低いほど大きくなる傾向となった。この結果は、紫外線はゲート電極の周辺の SiC 領域に正孔を生成しており、正孔はゲート負電圧に応答してゲート直下に向けて横方向に走行していることを意味する。そのため、正孔の走行距離が短くなるゲート電極が小さい素子ほど反転容量が高く、正孔の走行時間が長くなる周波数が低い場合ほど反転容量が高くなったと考えられる。このように、本評価系は正孔のソース領域をゲート電極の側方部に有する p チャネル MOSFET に近い系となっていることが確認できた。筆者は実際に本評価手法を用いて MOS キャパシタにおける窒化処理の大規模な条件振りと評価を繰り返し行い、窒化処理条件の最適化を試みた。この最適化により見出した特性変動の少ない窒化処理条件と、最適化前の窒化処理条件を MOSFET に適用したところ、MOSFET においても最適化前の条件は特性変動が大きく、最適化後の条件は特性変動が小さくなることを確認できた。このように、窒化処理条件に応じた特性変動の傾向は MOSFET と本評価手法を用いて求めた MOS キャパシタとの間で一致し、本手法の有用性を実証することができた。本評価手法を用いることで、短期間で試作可能な n 型基板 MOS キャパシタにおいてもゲート負電圧下での信頼性試験が可能となり、これは MOS 界面形成プロセスの開発の加速化に寄与する結果である。

## 第3章 NO 窒化処理によるチャネル移動度向上の検討

### 3.1 はじめに

第1章の図1.10に示したように、窒化処理によりSiC-MOSFETのチャネル移動度は一定の向上を見せるものの、燐終端処理等の $90\text{ cm}^2/\text{Vs}$ を超えるチャネル移動度が得られるプロセスと比較すると、そのチャネル移動度は低いと言わざるをえない。そこで本章では、窒化処理のプロセス最適化による更なるチャネル移動度の向上を検討した。窒化ガスとして一般的に用いられているガス種としてはNOガスと $\text{N}_2\text{O}$ ガスの2種類が存在する。Nanenらは基板面方位依存性も含めて、NO窒化処理と $\text{N}_2\text{O}$ 窒化処理により得られるチャネル移動度の比較を図3.1に示すように行っている[3.1]。

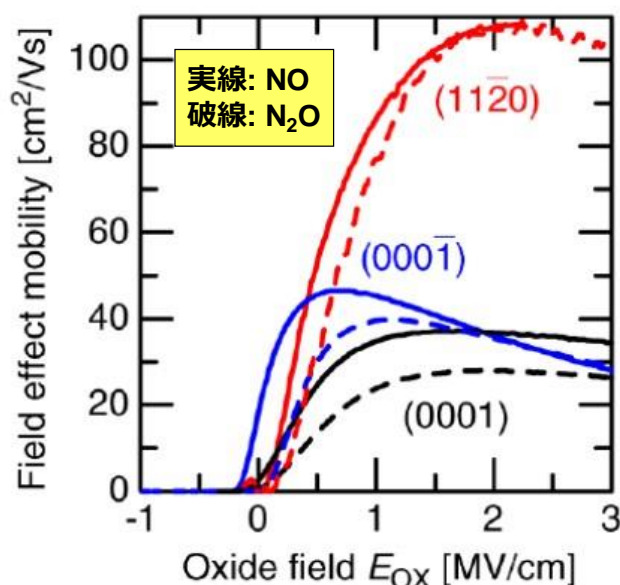


図3.1 NO窒化処理と $\text{N}_2\text{O}$ 窒化処理により得られるチャネル移動度の比較  
(参考文献[3.1]より引用)

その結果、いずれの面方位においても $\text{N}_2\text{O}$ 窒化処理よりもNO窒化処理の方が高いチャネル移動度が得られたと報告している[3.1]。そこで、本論文ではより高い移動度が得られるNO窒化処理に絞ってチャネル移動度向上の検討を行った。

更なるチャネル移動度向上には、MOS界面において生じる化学反応に関する理解が欠かせないと考えられる。NOアニール時に生じる化学反応に関しては、Wuらによって調査がされており、表3.1に示すような反応が生じることが報告されている[3.2]。

表3.1 Wuらによって調査されたNOアニール時に生じる化学反応[3.2]

(1)	$\text{NO} + \text{NO} \rightleftharpoons \text{N}_2\text{O} + \text{O}$	$E_a = 272\text{ kJmol}^{-1}$ $E_a = 112\text{ kJmol}^{-1}$	(4)	$\text{O} + \text{O} + \text{M} \rightleftharpoons \text{O}_2 + \text{M}$	$E_d = 14\text{ kJmol}^{-1}$ $E_d = 493\text{ kJmol}^{-1}$
(2)	$\text{O} + \text{NO} \rightleftharpoons \text{O}_2 + \text{N}$	$E_b = 161\text{ kJmol}^{-1}$ $E_b = 26\text{ kJmol}^{-1}$	(5)	$\text{NO} + \text{O}_2 \rightleftharpoons \text{NO}_2 + \text{O}$	$E_e = 198\text{ kJmol}^{-1}$ $E_e = 25\text{ k Jmol}^{-1}$
(3)	$\text{N} + \text{NO} \rightleftharpoons \text{N}_2 + \text{O}$	$E_c = 14\text{ k Jmol}^{-1}$ $E_c = 316\text{ k Jmol}^{-1}$	(6)	$\text{N}_2\text{O} + \text{O} \rightleftharpoons \text{N}_2 + \text{O}$	$E_f = 117\text{ k Jmol}^{-1}$



NO アニールでは非常に複雑な反応過程を経ることが分かるが、重要なポイントは NO の熱分解により O や O<sub>2</sub> 等の酸化ガスが発生し、MOS 界面においては NO による窒化反応と酸化反応が同時に生じるという点である。このうち、窒化反応が MOS 界面に与える影響に関しては Rozen らによって詳細に調査されている。Rozen らが調査した MOS 界面に導入される窒素の密度とチャネル移動度の相関を図 3.2 に示す[3.3]。

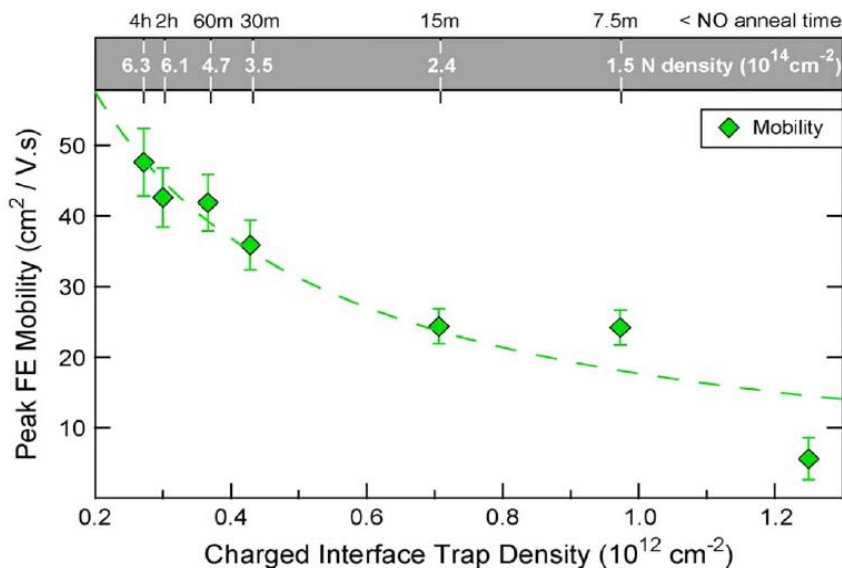


図 3.2 Rozen らにより調査された NO 窒化 MOSFET における MOS 界面に導入される窒素の密度とチャネル移動度の相関(参考文献[3.3]より引用)

図 3.2 において縦軸はチャネル移動度、図面上部の横軸は MOS 界面に導入される窒素の密度となっている。このように、チャネル移動度と MOS 界面に導入される窒素の密度には正の相関関係があり、MOS 界面において生じる窒化反応はチャネル移動度の向上に寄与することが判明している。

一方で、窒化処理時に MOS 界面において生じる酸化反応に関しては、報告者の知る限り詳細な報告例が少ない。窒化処理時の酸化反応に着目した先行研究例として、前述の Nanen らの論文[3.1]が挙げられる。[3.1]においては、NO 窒化処理と N<sub>2</sub>O 窒化処理の比較の際に、表 3.2 に示すように酸化膜厚  $T_{ox}$  と MOS 界面に導入される窒素濃度  $[N]$  の比較も同時に行っている。

表 3.2 NO 窒化処理と N<sub>2</sub>O 窒化処理により得られる酸化膜厚  $T_{ox}$  と MOS 界面に導入される窒素濃度  $[N]$  の比較 (参考文献[3.1]より引用)

Crystal Orientation	$T_{ox}$ (nm)		$[N]$ (cm <sup>-3</sup> )	
	N <sub>2</sub> O	NO	N <sub>2</sub> O	NO
(0001)	53	50	4×10 <sup>20</sup>	11×10 <sup>20</sup>
(000 $\bar{1}$ )	113	110	10×10 <sup>20</sup>	30×10 <sup>20</sup>
(11 $\bar{2}$ 0)	92	88	20×10 <sup>20</sup>	-

[3.1]においては同一の熱酸化工程で形成した酸化膜に対して、NO 窒化処理と N<sub>2</sub>O 窒化処理をそれぞれ

行っている。その際、NO 窒化処理は、NO ガス濃度を N<sub>2</sub> ガスにより 10%に希釈し 1300°Cにおいて 80 分アニールして MOS 界面を形成している。一方、N<sub>2</sub>O アニール処理は、N<sub>2</sub>O ガス濃度を N<sub>2</sub> ガスにより 10%に希釈し 1300°Cにおいて 120 分アニールして MOS 界面を形成している。熱酸化工程は共通であるため、T<sub>ox</sub> の差は N<sub>2</sub>O アニールと NO アニール時に生じた酸化反応による増膜量の差に由来していると考えられる。NO 窒化処理と N<sub>2</sub>O 窒化処理を比較すると、N<sub>2</sub>O 窒化処理の方が酸化反応による増膜量が大きい一方で、MOS 界面に導入される窒素濃度[M]は NO 窒化処理の方が高いことが見て取れる。そのため、NO 窒化処理の方が MOS 界面の酸化反応を抑えつつ、窒化反応を進めることができている。表 3.2 からこの傾向はいずれの面方位でも同一であることが示唆される。図 3.1 に示したように、Nanen らの調査では、面方位に依らず N<sub>2</sub>O 窒化処理よりも NO 窒化処理の方が高いチャネル移動度が得られている。そのため、Nanen らは N<sub>2</sub>O 窒化反応よりも NO 窒化処理の方が、MOS 界面において生じる酸化反応に対する窒化反応の割合が高く、これが高いチャネル移動度につながったのではないかと主張している。

上述した先行研究の結果を踏まえ、本論文で行った取り組みを図 3.3 に模式的に示す。

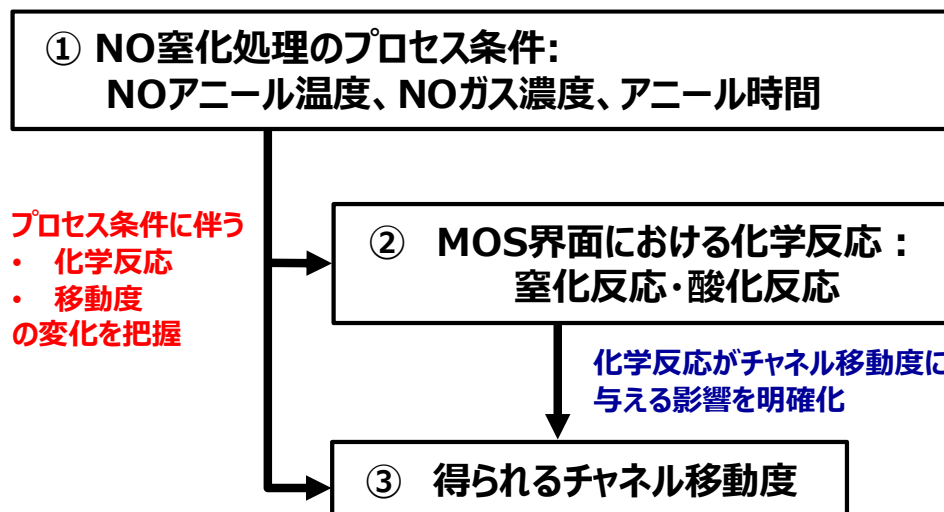


図 3.3 本章における NO 窒化 MOSFET のチャネル移動度向上に向けた取り組みの模式図

図 3.3 に示したように、本論文では①NO 窒化処理時のプロセス条件として NO アニール時間、NO ガス濃度、NO アニール温度を条件振りし、プロセス条件に依存した②MOS 界面の窒化反応及び酸化反応と、③チャネル移動度の変化をそれぞれ取得した。さらに、取得した②MOS 界面の窒化反応及び酸化反応と③チャネル移動度の相関を調査し、MOS 界面の窒化反応と酸化反応がチャネル移動度を与える影響の明確化を行った。このように、①プロセス条件、②MOS 界面における窒化反応と酸化反応、③得られるチャネル移動度をそれぞれ結び付けて系統的に調査することで、NO 窒化プロセスによる更なるチャネル移動度向上を検討した詳細を以降に記述する。

### 3.2 Si 面 NO 窒化 MOSFET の作製プロセスと評価手法

チャネル移動度を評価するための横型 n チャネル SiC-MOSFET を、図 3.4 に示す手順で試作した。

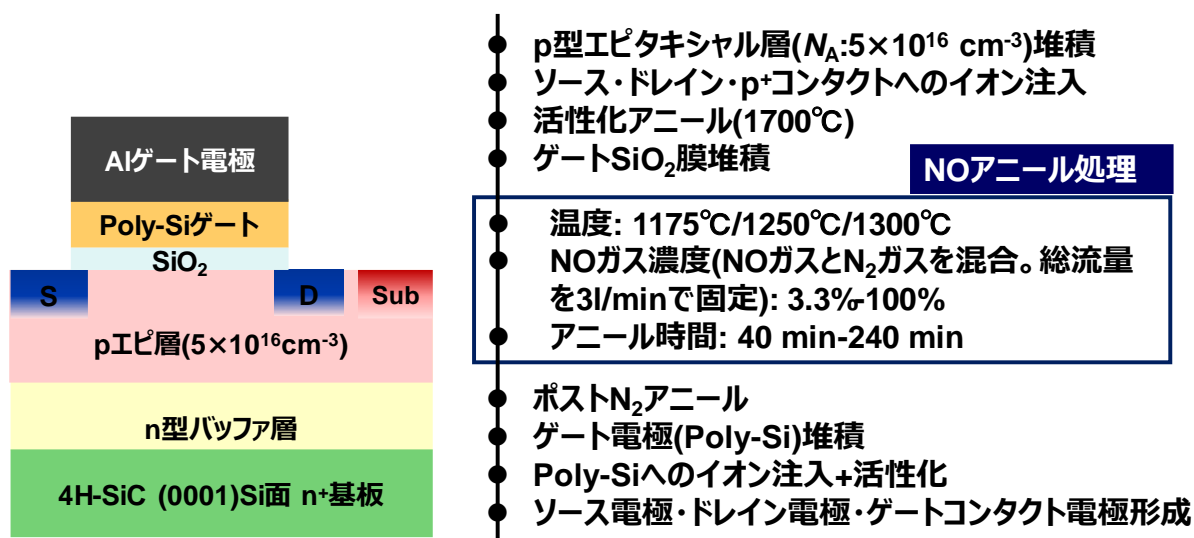


図 3.4 横型 n チャネル SiC-MOSFET の試作手順

4H-SiC (0001)面基板(Si 面基板)上に n 型バッファ層を介してアクセプタ濃度  $N_A = 5.0 \times 10^{16} \text{ cm}^{-3}$  の p 型エピタキシャル層を形成した。その後、ソース・ドレイン・p<sup>+</sup>コンタクト領域へのイオン注入を行い、活性化アニール処理を 1700°Cにて行った。その後、ゲート酸化膜を CVD により形成した。CVD により形成した SiO<sub>2</sub> の膜厚は、TEM 分析から 50.2 nm であることを確認している。その後、チャネル移動度向上を目的に NO アニール処理を条件振りして行った。NO アニール温度は 1175°C、1250°C、1300°C と三水準条件振りして行った。NO ガス濃度( $c_N$ )は NO ガスと N<sub>2</sub> ガスを混合し、総流量を 3 l/min で固定して 3.3%–100% の範囲で条件振りした。アニール時間( $t$ )は 40 min から 240 min の範囲で条件振りした。NO アニール処理に続けてポスト N<sub>2</sub> アニールを行った後、ゲート電極となる poly-Si を堆積した。ゲート poly-Si に n 型不純物となるリンイオンを注入し、リンイオンの活性化アニールを行った。最後にソース電極、ドレイン電極、ゲートコンタクト電極を形成し、横型 n チャネル MOSFET を完成させた。

MOS 界面において生じる窒化反応量の指標として、MOS 界面に導入される窒素濃度[N]を SIMS 分析により取得した。SIMS 分析は、MOSFET の試作と同時にゲート酸化膜の CVD 工程、窒化処理、ポスト N<sub>2</sub> アニール処理を行って作製した n 型基板 MOS キャパシタにおいて行っている。SIMS 分析は株式会社東レリサーチセンターに依頼して実施した。分析は界面の窒素濃度をより正確に見積もるため、SiC の MOS 界面の窒素濃度を感度よく見積もることができる分析条件(Cs イオンを加速エネルギー 3.0 keV で照射し、正に帯電した窒素分子イオンを検出)で行っている。図 3.5 に典型的な SIMS 分析の結果を示す。SiC において NO 窒化処理を行うと、窒素は MOS 界面に偏析してピーク値をとることが報告されており [2.4, 3.4]、本論文でも窒素濃度のピーク値を MOS 界面の窒素濃度として定義した。第二縦軸に示したのが炭素の検出量であるが、炭素の検出量は窒素濃度がピーク値を取る点で急峻に減衰しており、ここからもこの定義の妥当性が見て取れる。

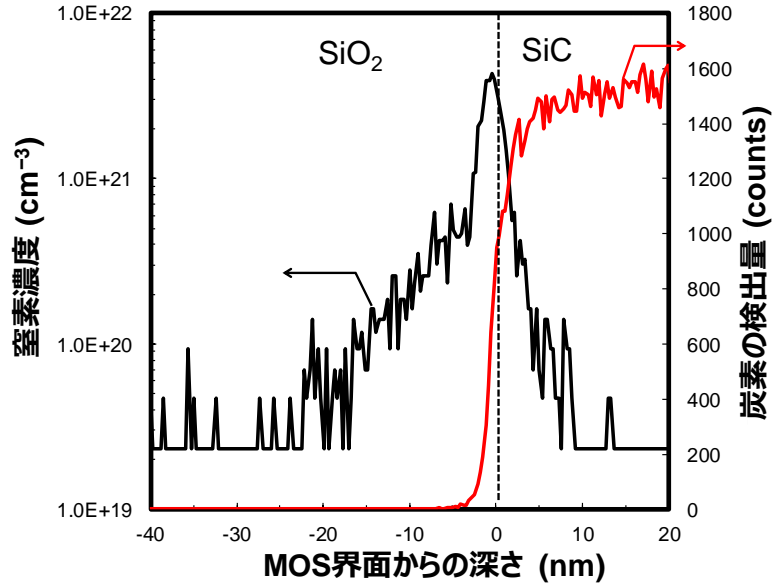


図 3.5 SIMS 分析により取得した MOS 界面に導入される窒素濃度

MOS 界面において生じる酸化反応量の指標として、酸化膜増膜量  $\Delta T_{ox}$  を、CVD で形成した酸化膜に対して  $N_2$  アニールのみを行って作製した n 型基板 MOS キャパシタと、NO アニール及びポスト  $N_2$  アニール処理を行って作製した n 型基板 MOS キャパシタの酸化膜容量  $C_{ox}$  の差分から見積もった。ここで、酸化膜増膜量  $\Delta T_{ox}$  を見積もる際の比較対象として  $N_2$  アニールのみを行って作製した n 型基板 MOS キャパシタを用いたのは、CVD で形成した酸化膜はわずかに密度が低く、一定の熱容量を与えると酸化膜の密度が緻密化されることが事前の検討から分かっていたためである。図 3.6 に  $\Delta T_{ox}$  を解析した一例を示す。

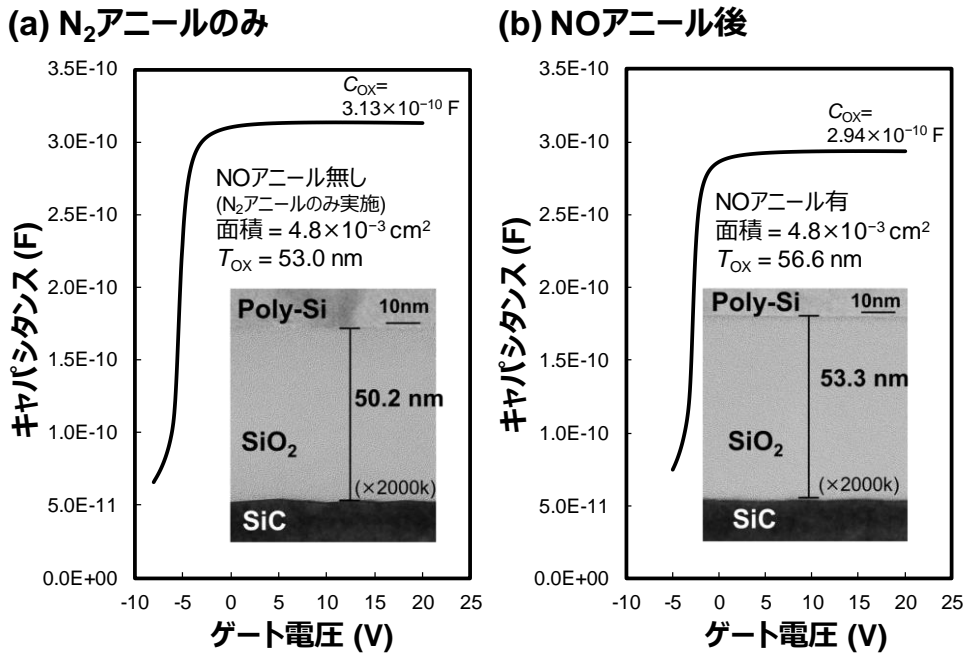


図 3.6 (a)  $N_2$  アニールのみを行った MOS キャパシタの酸化膜容量及び TEM 分析画像  
(b) NO アニール及び  $N_2$  アニールを行った MOS キャパシタの酸化膜容量及び TEM 分析画像

図 3.6(a)の N<sub>2</sub> アニールのみを行った MOS キャパシタの酸化膜容量から見積もった酸化膜厚は 53 nm であり、図 3.6(b)に示した NO アニールとポスト N<sub>2</sub> アニールを行った MOS キャパシタの酸化膜容量から見積もった酸化膜厚は 56.6 nm であり、その差分から  $\Delta T_{\text{OX}}$  は 3.6 nm であることが分かる。図 3.6(a)及び (b)にはそれぞれの MOS キャパシタで TEM 分析を行った結果も示しており、TEM 分析の比較から見積もった増膜量は 3.1 nm であることが分かる。一部の MOS キャパシタにおいては、酸化膜容量の解析と同時にこのように TEM 分析を行っており、TEM 分析から見積もった酸化膜の増膜量の傾向と酸化膜容量から見積もった酸化膜の増膜量の傾向は一致することを確認している。

電界効果移動度  $\mu_{\text{FE}}$  は試作した MOSFET の線形領域のドレイン電流 ( $I_d$ )- $V_g$  特性の微分(相互コンダクタンス)から以下の式で示すように求めた。

$$\mu_{\text{FE}} = \frac{dI_d}{dV_g} \cdot \frac{L}{W} \cdot \frac{T_{\text{OX}}}{\epsilon_{\text{OX}}} \cdot \frac{1}{V_d} \quad (3.1)$$

式(3.1)は閾値電圧を用いずに簡便にチャネル移動度を表せるため、SiC-MOSFET のチャネル移動度の評価にはよく用いられる式である。図 3.7 に典型的な素子の  $I_d$ - $V_g$  特性と  $\mu_{\text{FE}}$ - $V_g$  特性を示す。

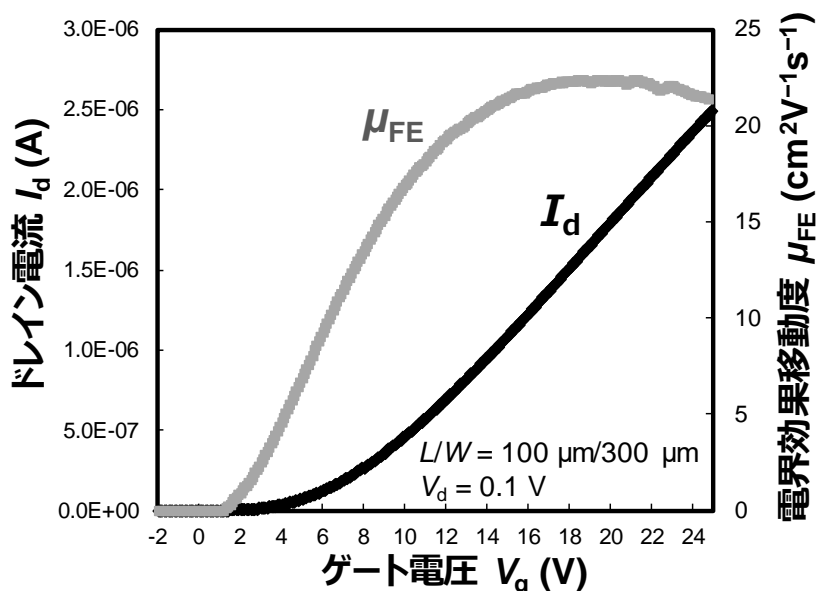


図 3.7 ドレイン電流  $I_d$  と電界効果移動度  $\mu_{\text{FE}}$  の  $V_g$  依存性

本論文では縦型 SiC-MOSFET への適用を見据えて、 $N_A$  を  $5.0 \times 10^{16} \text{ cm}^{-3}$  と他の報告例よりも高めに設定しており、その分閾値電圧  $V_{\text{th}}$  が高く  $\mu_{\text{FE}}$  が低くなっていることに注意されたい。図 3.7 の例では  $V_g = 19.4 \text{ V}$  において  $\mu_{\text{FE}}$  が最大となっているが、本章においては、この  $\mu_{\text{FE}}$  の最大値が窒化条件に依存してどのように変わるか調査を行っている。 $\mu_{\text{FE}}$  の最大値は同一ウエハの二つの素子で評価し、その平均値を示すが、二つの素子間の  $\mu_{\text{FE}}$  の差分は最大でも 1.2% と小さい。また一部の窒化条件に関しては得られる  $\mu_{\text{FE}}$  のプロセス再現性についても確認している。

### 3.3 NO 窒化処理条件の最適化によるチャネル移動度向上の検討

まず、NO アニール温度を 1175°C に固定し、NO ガス濃度  $c_N$  とアニール時間  $t$  に伴い、酸化膜増膜量  $\Delta T_{OX}$  がどのように変化するか調査した。結果を図 3.8 に示す。

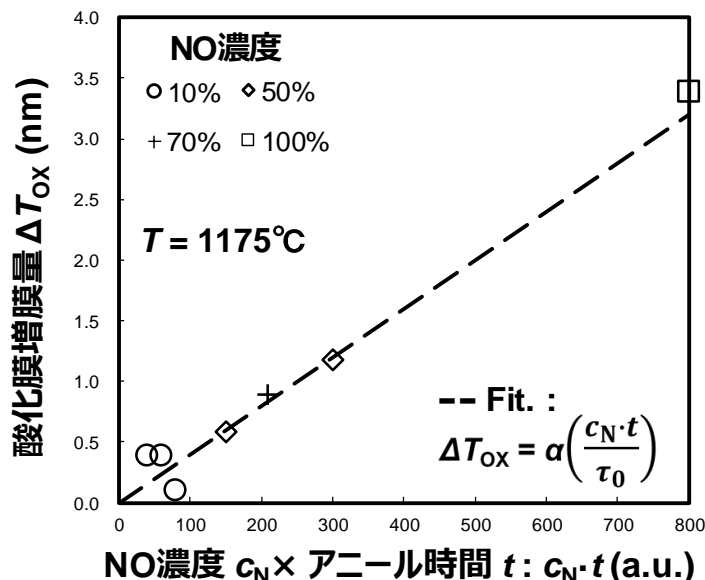


図 3.8 1175°Cにおける酸化膜増膜量  $\Delta T_{OX}$  の NO 濃度  $c_N$  及びアニール時間  $t$  依存性

その結果、酸化膜増膜量  $\Delta T_{OX}$  は NO 濃度  $c_N$  とアニール時間  $t$  の積である  $c_N \cdot t$  に対して線形に増加することが確認された。図 3.8 において、記号の違いは NO ガス濃度  $c_N$  の違いを表しているが、NO ガス濃度を 10% から 100% まで大きく条件振りしているにも関わらず、横軸を  $c_N \cdot t$  に設定することで  $\Delta T_{OX}$  の振る舞いが系統的に表せたことは注目すべき点である。この結果から、NO 濃度  $c_N$  が SiC の MOS 界面の酸化反応の反応速度を定めるプロセスパラメータとなっていることが示唆される。図 3.8 から、MOS 界面の酸化反応が一定のレートで進行したことが分かる。この傾向を以下の式(3.2)で表し、フィッティングの結果を図 3.8 にプロットした。

$$\Delta T_{OX} = \alpha \left( \frac{c_N \cdot t}{\tau_0} \right) \quad (3.2)$$

式(3.2)において、 $\alpha$  は単位が m のフィッティングパラメータ、 $\tau_0$  は酸化の反応速度を定める  $c_N \cdot t$  と同単位のフィッティングパラメータであり、それぞれの値を 0.4、100 に設定することで実験結果をよく再現することができた。Si-MOSFET における酸化レートに関しては、Deal と Grove らにより確立されたモデル(Deal-Grove モデル)がよく知られている[3.5]。MOS 界面の酸化反応が支配的な領域では酸化膜厚が時間に対して線形に増加し、酸化膜が厚くなり酸化ガスの酸化膜中の拡散の影響が支配的となると、酸化膜厚が時間の 1/2 乗に比例して増加することが知られている[3.5]。SiC の NO アニール処理時の酸化レートに関しては Jamet らにより詳細に調べられている[3.6]。Jamet らは、SiC では MOS 界面の  $Si_4C_{4-x}O_2$  中間層や外方拡散する炭素種、 $Si \equiv N$  結合らが酸化の阻害要因となるため酸化レートが遅く、MOS 界面の酸化反応が支配的で酸化膜厚が時間に対して線形に増加する領域が広いことを報告している[3.6]。図 3.8 の結果は Jamet らの結果と整合した結果となっている。

続いて NO アニール温度を 1175°C に固定し、NO ガス濃度  $c_N$  とアニール時間  $t$  に伴い、界面窒素濃度  $[N]$  がどのように変化するか調査した結果を図 3.9 に示す。

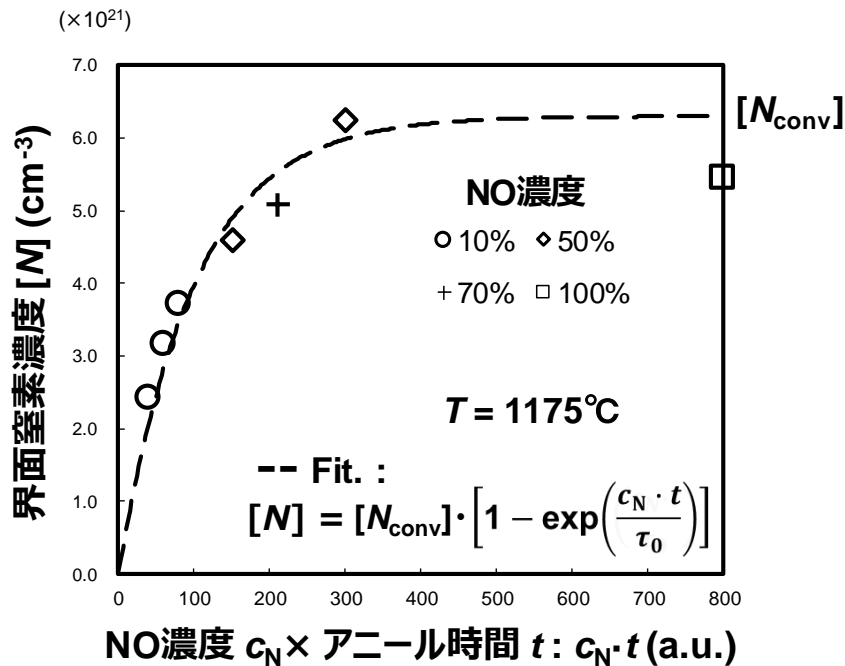


図 3.9 1175°Cにおける界面窒素濃度 $[N]$ の NO 濃度  $c_N$  及びアニール時間  $t$  依存性

その結果、界面窒素濃度 $[N]$ に関しても NO 濃度  $c_N$  とアニール時間  $t$  の積である  $c_N \cdot t$  に対して系統的に変化する傾向が確認された。この結果は、MOS 界面の窒化反応に関しても NO 濃度  $c_N$  が反応速度を定めるパラメータとなっていることを示唆する。界面窒素濃度 $[N]$ は反応初期に急増し、その後飽和する傾向を示した。この傾向を以下の式(3.3)で表し、フィッティングの結果を図 3.9 にプロットしている。

$$[N] = [N_{\text{conv.}}] \left( 1 - \exp\left(-\frac{c_N \cdot t}{\tau_0}\right) \right) \quad (3.3)$$

ここで $[N_{\text{conv.}}]$ は図 3.9 にも示したように界面窒素濃度 $[N]$ の飽和値であり、窒化の反応速度を定める  $\tau_0$  の値は式(3.2)と揃えている。

続いて NO アニール温度を 1175°C に固定し、電界効果移動度  $\mu_{FE}$  が NO ガス濃度  $c_N$  とアニール時間  $t$  に伴いどのように変化するか調査した結果を図 3.10(a)に示す。 $\mu_{FE}$  に関しても、NO 濃度  $c_N$  とアニール時間  $t$  の積である  $c_N \cdot t$  に対して系統的に変化する傾向が見取れる。反応初期において  $\mu_{FE}$  は  $c_N \cdot t$  に対して急増したものの、その後飽和し、最終的に減少する傾向を示した。この傾向は図 3.8、図 3.9 にてそれぞれ示した界面の酸化反応と窒化反応と傾向と相関しているように見える。図 3.10(b)に図 3.8 及び図 3.9 にて取得した  $\Delta T_{\text{ox}}$ 、 $[N]$ の結果を比較して示しているが、青枠で囲んだ反応初期においては $[N]$ が急増するため窒化反応の影響が強くなり、赤枠で囲んだ反応の後半においては $[N]$ が飽和した一方で酸化反応は一定のレートで進んだため、相対的に酸化の反応が強くなったといえる。 $\mu_{FE}$  はちょうど $[N]$ が飽和する領域で最大となっており、そこから MOS 界面の窒化反応によりチャネル移動度が増加し、酸化反応によりチャネル移動度が低下したことが示唆される。

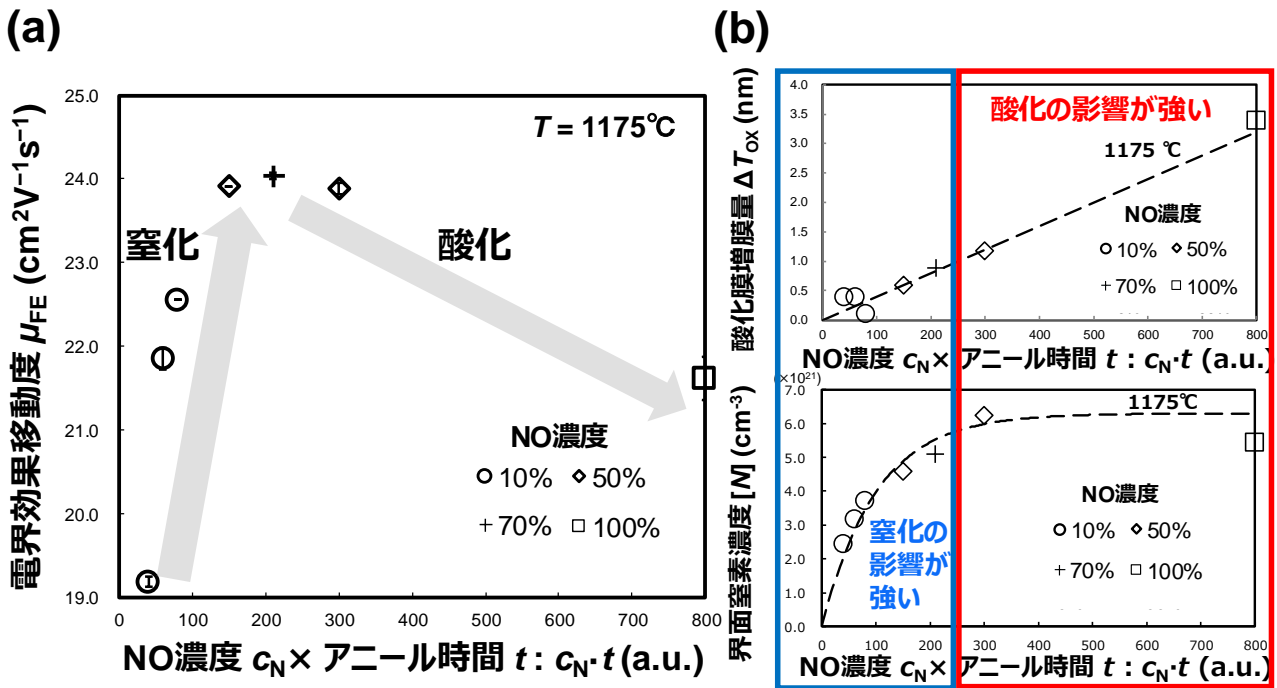


図 3.10 1175°Cにおける(a)電界効果移動度  $\mu_{FE}$ 、(b) 酸化膜増膜量  $\Delta T_{Ox}$  及び界面窒素濃度  $[N]$  の NO 濃度  $c_N$  及びアニール時間  $t$  依存性 ( $[N]$  と  $\Delta T_{Ox}$  は図 3.8、図 3.9 の再掲)

窒化温度 1250°C、1300°C に関しても同様に  $\mu_{FE} \cdot \Delta T_{Ox} \cdot [N]$  がプロセス条件に依存してどのように変化するか調査を行った。その結果を図 3.11(a)(b)(c)にそれぞれ示す。

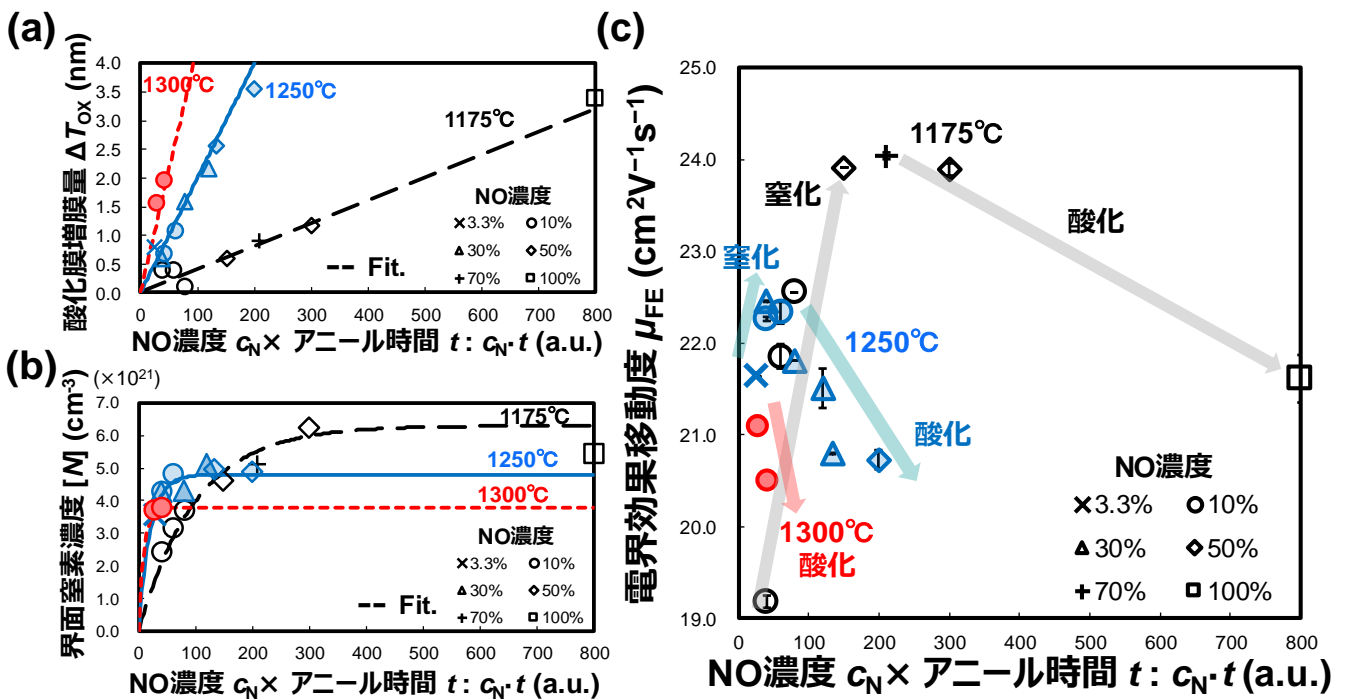


図 3.11 1175°C、1250°C、1300°Cにおける(a) 酸化膜増膜量  $\Delta T_{Ox}$ 、(b) 界面窒素濃度  $[N]$ 、(c) 電界効果移動度  $\mu_{FE}$  の NO 濃度  $c_N$  及びアニール時間  $t$  依存性



1250°C、1300°Cにおいても、横軸を NO 濃度  $c_N$  とアニール時間  $t$  の積である  $c_N \cdot t$  に設定することで、それぞれの温度の中で  $\mu_{FE}$ 、 $\Delta T_{OX}$  及び  $[N]$  のいずれもが系統的に変化する傾向が確認された。このように、界面の窒化反応、酸化反応、得られるチャンネル移動度のいずれもが  $c_N \cdot t$  に対して系統的に変化することを確認したのは、報告者が知る限り初の結果である。図 3.11(a)に示すように、酸化膜増膜量  $\Delta T_{OX}$  は高温ほど  $c_N \cdot t$  に対する増加の傾きが大きくなり、そこから酸化レートは高温ほど高くなることが分かった。図 3.11(b)に示すように、界面窒素濃度  $[N]$  に関しても反応初期における  $[N]$  の  $c_N \cdot t$  に対する増加の傾きは高温の方が高い。一方で、高温ほど  $[N]$  が飽和し始める  $c_N \cdot t$  の値が低く、最終的に導入される界面窒素濃度の飽和値  $[N_{conv.}]$  はむしろ低温の方が高くなった。図 3.11(a)(b)中に破線で示したのは(3.2)、(3.3)式で表したフィッティングの結果であり、それぞれの温度において以下の表 3.3 に表すようにパラメータを設定することで実験結果をよく再現することができた。

表 3.3 界面窒素濃度  $[N]$  と酸化膜増膜量  $\Delta T_{OX}$  のフィッティングに用いたパラメータ

	$\alpha$ (nm)	$\tau_0$ (a.u.)	$[N_{conv.}]$ ( $\text{cm}^{-3}$ )
1175°C	0.4	100	$6.3 \times 10^{21}$
1250°C		20	$4.8 \times 10^{21}$
1300°C		9.3	$3.8 \times 10^{21}$

$\mu_{FE}$  は 1250°C と 1300°C においても、界面窒素濃度  $[N]$  が飽和する  $c_N \cdot t$  において最大となり、この結果からも MOS 界面の窒化反応により  $\mu_{FE}$  が増加し、酸化反応により  $\mu_{FE}$  が低下したことが示唆される。特に 1250°C と 1300°C においては、界面窒素濃度  $[N]$  が飽和して以降の  $\mu_{FE}$  の低下が顕著であった。この  $\mu_{FE}$  の低下は酸化レートが高温ほど高くなり、酸化による移動度の減少の影響が強くなったことに由来すると考えられる。

筆者はこの界面の窒化反応により  $\mu_{FE}$  が上昇し、酸化反応により  $\mu_{FE}$  が低下するという傾向を定量的に表すために、 $\mu_{FE}$  を界面窒素濃度  $[N]$  と酸化膜増膜量  $\Delta T_{OX}$  の関数として経験式化することを試みた。その結果を図 3.12 に示す。

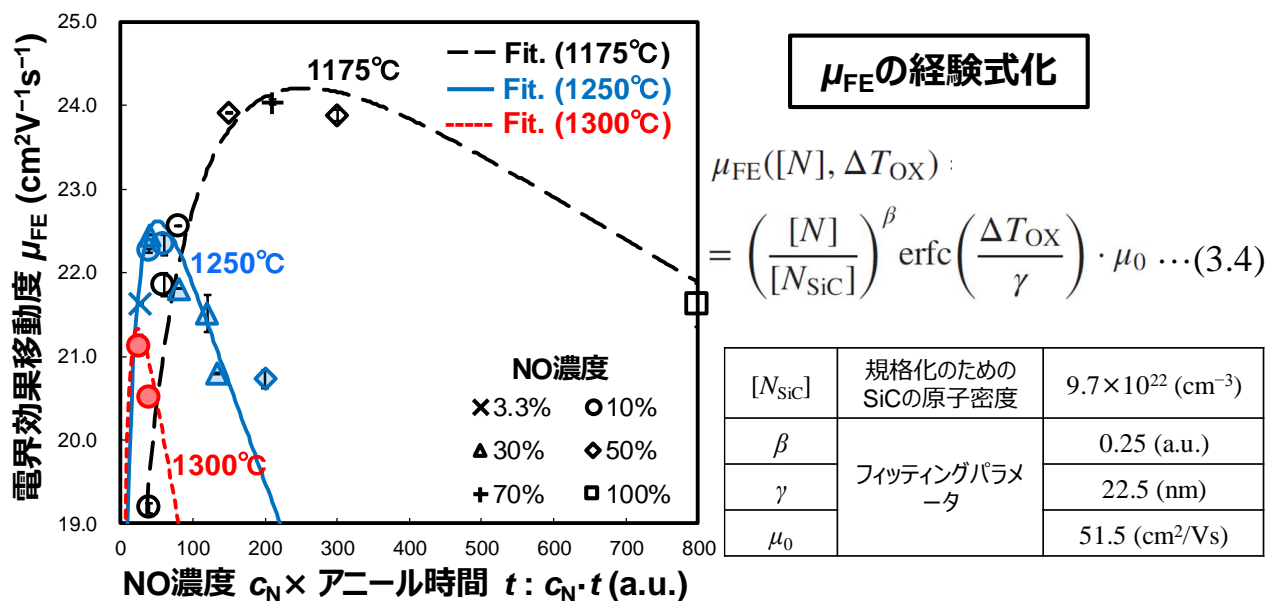


図 3.12 電界効果移動度  $\mu_{FE}$  の経験式による再現

その結果、 $\mu_{FE}$  を  $[N]^\beta$  に比例して移動度が向上し、 $\Delta T_{OX}$  の誤差関数に比例して移動度が減少する図 3.12 中の経験式(3.4)で表すことにより、実験結果をよく再現することができた。式(3.4)中で  $[N_{SiC}]$  は  $[N]$  を規格化するための SiC の原子密度、 $\beta$  は無次元のフィッティングパラメータ、 $\gamma$  は m の単位を持つフィッティングパラメータ、 $\mu_0$  は  $cm^2/Vs$  の単位を持つフィッティングパラメータであり、それぞれのパラメータの値は図 3.12 中の表に示している。計算結果は図 3.12 のグラフ中に示しているが、アニール温度、NO ガス濃度、アニール時間のプロセス条件に依らず、 $\mu_{FE}$  を一つの式(3.4)で表せていることは注目する結果である。この結果は、プロセス条件に依らずチャンネル移動度は界面窒素濃度  $[N]$ 、酸化膜増膜量  $\Delta T_{OX}$  のみで表せることを意味している。そのため、NO 窒化処理によるチャンネル移動度向上を図るには、界面の酸化を抑えつつ、界面に高濃度の窒素を導入することが重要であることが分かる。図 3.12(または図 3.11(c))に示したように、1300°C から 1175°C までアニール温度を低温化するほど得られるチャンネル移動度の最大値が大きくなることが分かる。これは図 3.11(a)(b)に示したように、低温で NO 窒化処理を行うことで酸化レートを抑制でき、かつ最終的に導入できる窒素濃度  $[N_{conv.}]$  が高くなったことに由来し、この傾向も図 3.12 に示すように式(3.4)でよく再現できている。

上記したように、MOS 界面の窒化反応により  $\mu_{FE}$  が向上し、MOS 界面の酸化反応により  $\mu_{FE}$  が減少することを本調査により定量的に表すことができた。MOS 界面の窒化反応によりチャンネル移動度が向上するのは、窒素が MOS 界面のダングリングボンドを終端するためだと考えられている。窒素が SiC の MOS 界面においてどのような構造をとってダングリングボンドを終端するかについては様々な説があるが、Shirasawa らは LEED(Low-energy electron diffraction)分析により窒素が MOS 界面のどのサイトに導入されているか調査を行っている[3.7]。Shirasawa らは 6H-SiC(0001)面基板に対し、1350°C において 15 分  $H_2$  ガス雰囲気中でエッチングすることで基板表面を清浄化し、続けて同じ 1350°C にて  $N_2$  雰囲気中で 2-30 分アニールすることで SiC 基板表面に SiON のエピタキシャル層を形成した。このサンプルに対して LEED 分析を行い、構造同定のための解析を行ったところ、窒素は以下の図 3.13 に示す構造をとっていたことを報告している。

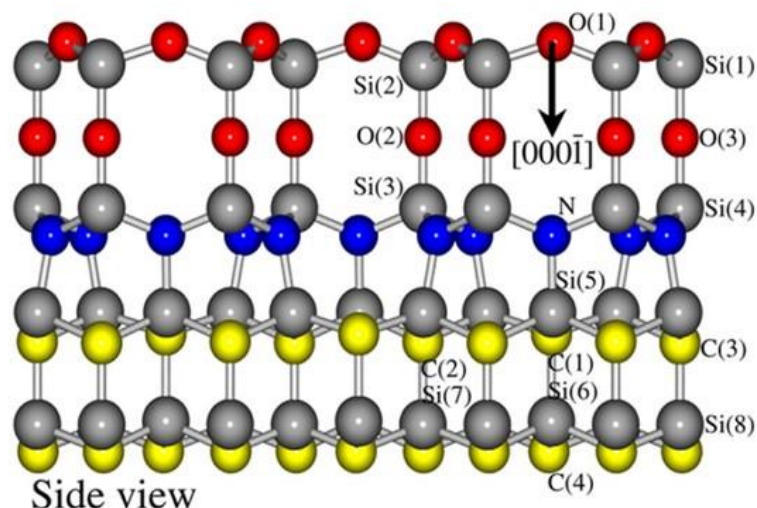


図 3.13 SiC MOS 界面における窒素の終端構造 (参考文献[3.7]より引用)

図 3.13 から、窒素は基板表面の炭素と置換していること、ダングリングボンドのない界面が形成されていることが分かる。このように窒素が基板表面の炭素と置換し、ダングリングボンドのない界面を形成

するという結果は、Yamazaki らによる第一原理分子動力学法による計算結果でも確認されている[3.8]。

一方で、NO 窒化処理時の MOS 界面の酸化反応がチャネル移動度を下げる機構に関しては、報告例が少なく議論の余地がある。特に、図 3.11(a)(b)(c)から見て取れるように、 $c_{N\cdot t}$  が大きく  $[N]$  が飽和した領域では、 $[N]$  が同一であるにも関わらず酸化により移動度が低下している。酸化により移動度が低下するメカニズムに関しては本論文の調査の対象外ではあるが、一つのモデルとして界面の酸化はダングリングボンドを末端している窒素の結合を切り、MOS 界面には存在するがダングリングボンドの末端に寄与しない窒素の割合を増やしていることが考えられる。MOS 界面の酸化反応がチャネル移動度を下げる機構に関しては、第一原理計算や分析による更なる調査が必要な点である。

図 3.11 に示したように、アニール温度を低温化するほど酸化を抑えつつ界面の窒化反応を進めることができ、得られるチャネル移動度の最大値は向上した。そこで、調査した酸化膜増膜量  $\Delta T_{ox}$  の式(3.2)、界面窒素濃度  $[N]$  の式(3.3)、電界効果移動度  $\mu_{FE}$  の経験式(3.4)を用い、更なるアニール温度の低温化による  $\mu_{FE}$  の向上の可能性を計算により検討した。まず、表 3.3 に示した界面窒素濃度の飽和値  $[N_{conv.}]$  に関して、実験結果のフィッティングと外挿により 1175°C 以下での傾向を以下の式(3.5)で予測した。

$$[N_{conv.}] = -2.0 \times 10^{19} T + 3.0 \times 10^{22} \quad (3.5)$$

同様に酸化と窒化の反応速度を定める  $\tau_0$  に関し、実験結果のフィッティングと外挿により 1175°C 以下での傾向を式(3.6)で予測した。

$$\tau_0 = 5.3 \times 10^{-11} \exp\left(\frac{3.53q}{kT(K)}\right) \quad (3.6)$$

式(3.6)において、 $q$  は素電荷量、 $k$  はボルツマン定数、 $T(K)$  はケルビン単位のアニール温度である。SiC の NO アニール時の酸化の反応速度の温度依存性に関しては、前述の Jamet らによる文献[3.6]において調べられている。Jamet らは酸化レートを定める係数(B/A)は以下の図 3.14 に示すように  $\exp(-E_{(B/A)NO}/kT)$  に比例することを示している[3.6]。

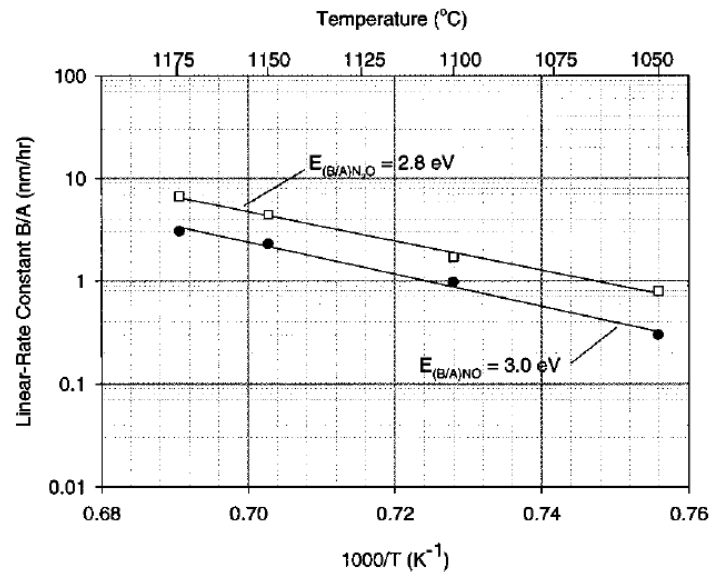


図 3.14 Jamet らによって調査された SiC の NO 及び N<sub>2</sub>O アニール時の酸化レートのアレニウスプロット (文献[3.6]より引用)

ここで Jamet らの論文における(B/A)と本論文の  $\tau_0$  が対応しており、式(3.6)は Jamet らの結果を基に、本論文の実験結果を再現するように構築した。

$[N_{\text{conv.}}]$ と  $\tau_0$  の式(3.5)、(3.6)によるフィッティング及び 1000°Cまでの外挿結果を図 3.15 に示す。

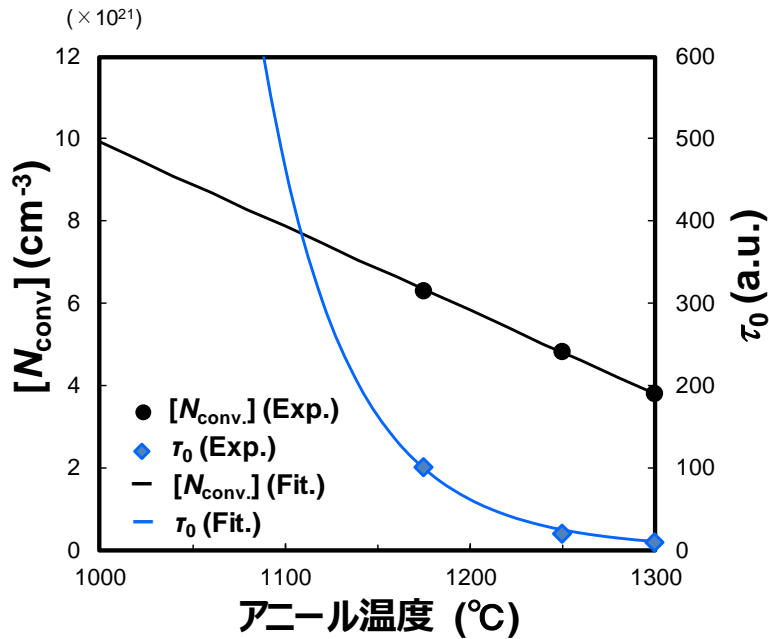


図 3.15  $[N_{\text{conv.}}]$ 及び  $\tau_0$  の実験結果のフィッティング及び低温域への外挿

式(3.5)、(3.6)により実験結果を再現できていることが見て取れる。この計算により求めた  $[N_{\text{conv.}}]$ と  $\tau_0$  の値を式(3.2)、(3.3)に代入し、酸化膜増膜量  $\Delta T_{\text{OX}}$  の  $c_N \cdot t$  依存性、界面窒素濃度  $[N]$  の  $c_N \cdot t$  依存性の 1175°C 以下の傾向を予測した。結果を図 3.16(a)(b)に示す。

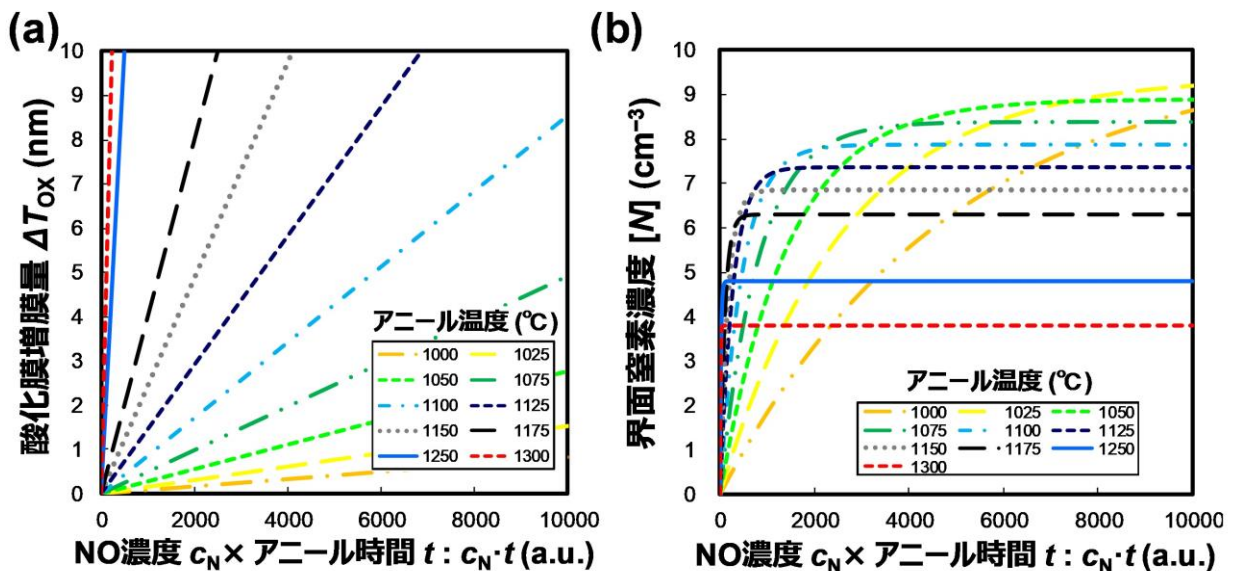


図 3.16 1000°Cから 1300°Cにおける(a)  $\Delta T_{\text{OX}}$  の  $c_N \cdot t$  依存性 (b) 界面窒素濃度  $[N]$  の  $c_N \cdot t$  依存性 (1175°C-1300°Cのラインは実験のフィッティング、1000°C-1150°Cのラインは計算による予測値)

1175°Cから 1300°Cのラインは図 3.11 にも示した実験結果のフィッティングであり、1000°Cから 1150°Cのラインは計算により求めた結果となっている。アニール温度の低温化による酸化レートの低減と、界面に導入される窒素濃度の増加が計算により表せていることが分かる。求めた  $\Delta T_{\text{ox}}$  と  $[N]$  の結果を式 (3.4) に代入し、得られるチャネル移動度を予測した。計算結果を図 3.17 に示す。

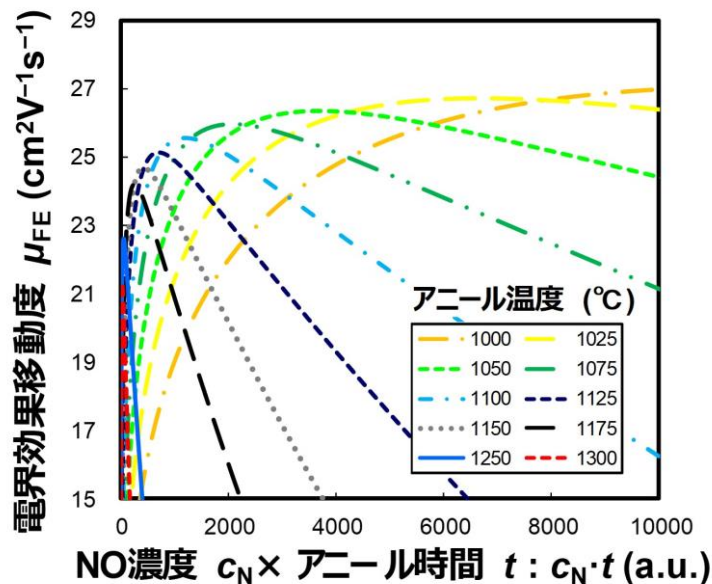


図 3.17 計算により予測した 1175°C以下での NO アニールにより得られる  $\mu_{\text{FE}}$  の  $c_{\text{N}} \cdot t$  依存性

図 3.17 から、低温でアニールするほど得られる  $\mu_{\text{FE}}$  の最大値が向上していく傾向を確認することができた。一方で、 $\mu_{\text{FE}}$  が最大となる  $c_{\text{N}} \cdot t$  の値もアニール温度を低温化するとともに増加していく傾向が見て取れる。

図 3.17 の結果を基に、 $\mu_{\text{FE}}$  の最大値のアニール温度依存性と、 $\mu_{\text{FE}}$  が最大となる  $c_{\text{N}} \cdot t$  の値 ( $c_{\text{N}} \cdot t_{\text{max}}$ ) のアニール温度依存性をまとめた結果を図 3.18 に示す。

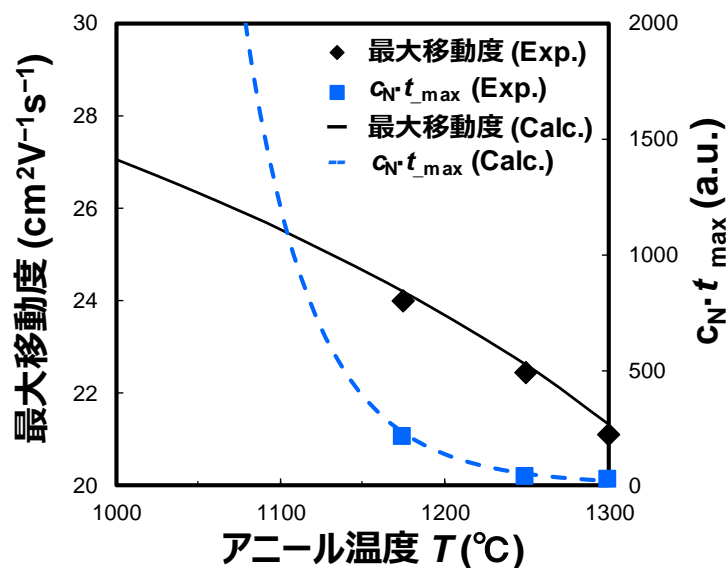


図 3.18 NO 窒化処理で得られる  $\mu_{\text{FE}}$  の最大値のアニール温度依存性と  $\mu_{\text{FE}}$  が最大値をとるときの NO 濃度  $c_{\text{N}}$  とアニール時間の積  $c_{\text{N}} \cdot t_{\text{max}}$  のアニール温度依存性

その結果、アニール温度の低温化により  $\mu_{FE}$  の向上が期待できる一方で、 $\mu_{FE}$  が最大となる  $c_N \cdot t$  の値 ( $c_N \cdot t_{max}$ ) がアニール温度の低温化に伴い急増することが示唆された。ここで  $c_N \cdot t$  は NO ガス濃度とアニール時間の積であり、この急増は NO ガスの消費量の急増とプロセス時間の急増につながる。そのため更なるアニール温度の低温化により  $\mu_{FE}$  の向上は期待できるものの、工業的には現実的ではないと結論付けた。

### 3.4 第3章のまとめ

SiC-MOSFET において産業的に最も一般的に用いられている NO 窒化処理に関し、MOS 界面における化学反応の理解と化学反応の理解に基づいたプロセス最適化による移動度の向上を試みた。プロセス条件として NO アニール温度、NO アニール時間、NO ガス濃度を条件振りし、NO アニール時に MOS 界面で生じると考えられる窒化反応及び酸化反応の指標として界面窒素濃度  $[N]$ 、酸化膜増膜量  $\Delta T_{OX}$  を取得した。電界効果移動度  $\mu_{FE}$  も取得し、①プロセス条件、②MOS 界面における窒化反応と酸化反応、③得られるチャネル移動度をそれぞれ結び付けて系統的に調査することで、NO 窒化プロセスによる更なるチャネル移動度向上を検討した。重要な結果の一つ目として、界面窒素濃度  $[N]$ 、酸化膜増膜量  $\Delta T_{OX}$ 、電界効果移動度  $\mu_{FE}$  のいずれもが NO ガス濃度  $c_N$  とアニール時間  $t$  の積  $c_N \cdot t$  に対して系統的に変化し、ここから NO ガス濃度は MOS 界面における酸化と窒化の反応速度を定めていることが分かった。 $\Delta T_{OX}$  は  $c_N \cdot t$  に対して比例し、そこから NO アニール時に酸化反応は一定のレートで進行することが分かった。一方で  $[N]$  は反応初期に急増し、その後飽和する傾向を示した。移動度は  $[N]$  が飽和し始める領域で極大値をとった。この結果は、反応初期の  $[N]$  が急増する領域では窒化反応が支配的で移動度が増加した一方で、 $[N]$  が飽和し、酸化が一定のレートで進行する領域では酸化の影響が強く移動度が低下したことを示唆する。この窒化反応の影響で移動度が上昇し、酸化反応の影響で移動度が低下するという傾向を定量的に表すため、 $\mu_{FE}$  を  $[N]$  と  $\Delta T_{OX}$  の関数として経験式化することを試みた。その結果、アニール温度や NO ガス濃度、アニール時間といったプロセス条件に依らず  $\mu_{FE}$  を  $[N]$  と  $\Delta T_{OX}$  のみで再現することができ、 $\mu_{FE}$  に窒化反応と、酸化反応が及ぼす影響を定量的に表すことに初めて成功した。調査したアニール温度の範囲内では、低温での NO アニールほど酸化を抑えつつ窒化を進めることができ、得られる最大の移動度は上昇した。そこで作製した  $\mu_{FE}$  の経験的モデルを用い、計算によりアニール温度の更なる低温化による移動度の向上を検討した。その結果、アニール温度の更なる低温化により NO アニールにより得られる移動度の最大値は向上する計算結果が得られた一方で、移動度が最大となる  $c_N \cdot t$  の値が急増することが分かった。 $c_N \cdot t$  は NO ガス濃度とアニール時間の積であるため、その急増は NO ガスの消費量とプロセス時間の急増につながり、更なる低温化による移動度向上は工業的には現実的ではないと結論づけた。

## 第4章 SiC-MOSFET のユニバーサル移動度の実験的調査

### 4.1 はじめに

ここまで記してきたように、SiC-MOSFET においては低いチャネル移動度によりその性能が律速されている。第3章で記した NO 窒化処理の最適化により、一定のチャネル移動度向上が得られたものの、未だチャネル移動度には改善の余地がある。更なるチャネル移動度向上のためには、チャネル移動度を律速する機構を正しく理解することが必要であると考えられる。図4.1にチャネル移動度を律速する機構を模式的に示す。

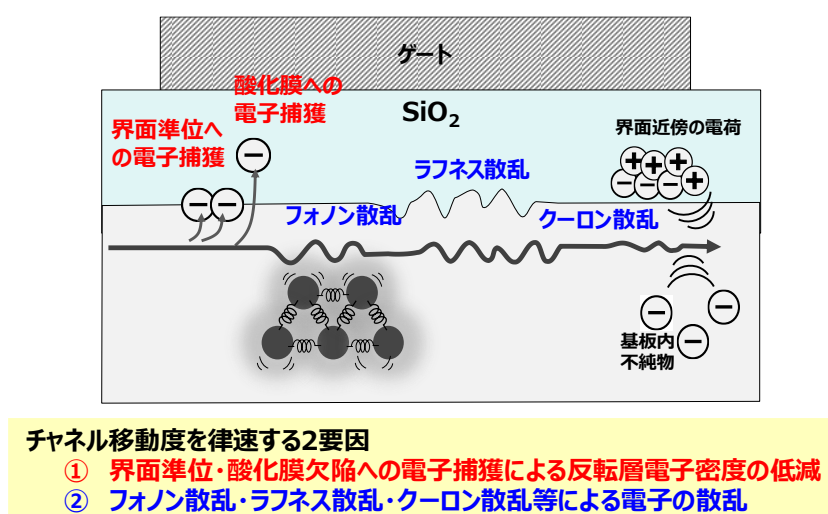


図 4.1 チャネル移動度を律速する機構

チャネル移動度を律速する機構を大きく2つに分類すると、図4.1に赤字で示した①界面準位や酸化膜欠陥への電子捕獲、青字で示した②フォノン散乱、ラフネス散乱、クーロン散乱等による電子の散乱が考えられる。界面準位や酸化膜欠陥への電子捕獲は、正確には MOS 界面を走行する電気伝導に寄与する電子密度( $N_{\text{free}}$ )の減少による電流の低減を引き起こしており、チャネル移動度を低下させているわけではない。しかしながら通常の測定手法では、界面準位や酸化膜欠陥に捕獲される電子の密度( $N_{\text{trap}}$ )と  $N_{\text{free}}$  を切り分けるのが困難であるため、 $N_{\text{trap}}$  と  $N_{\text{free}}$  の和である合計の反転層電子密度( $N_{\text{total}}$ )からチャネル移動度を算出することが一般的に行われている。本来チャネル移動度は、電流密度( $J$ )・電気伝導に寄与する電子密度  $N_{\text{free}}$  ・電子の走行方法に印加される電界( $E_x$ )から定義されるため、 $N_{\text{total}}$  からチャネル移動度を算出するとチャネル移動度を過小評価してしまうことになる。第3章で示した電界効果移動度  $\mu_{\text{FE}}$  は、界面準位・酸化膜欠陥への電子捕獲の影響を含めたチャネル移動度となっている(一方で工学的観点では、チャネル移動度の低下も  $N_{\text{free}}$  の低下も同様にチャネル抵抗の増大を引き起こすため、界面準位・酸化膜欠陥への電子捕獲の影響を含めたチャネル移動度は、チャネル抵抗と一対一で対応した重要なパラメータであることに変わりはない)。

窒化処理で形成した MOS 界面における界面準位密度に関しては多くの報告例があり、高密度の界面準位が存在することが知られている。一例として、Chung らによって報告された NO 窒化 MOSFET にお

ける界面準位密度を図 4.2 に示す[1.8]。

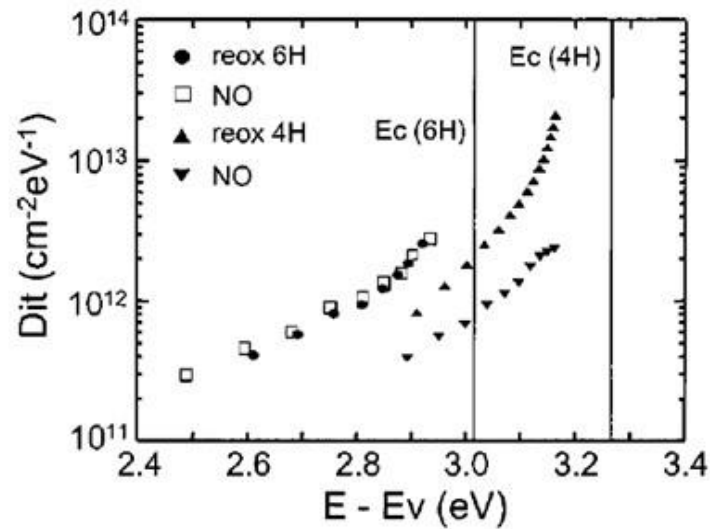


図 4.2 NO 窒化 MOSFET の界面準位密度(参考文献[1.8]より引用)

伝導帯端近傍で界面準位密度  $D_{it}$  が急増し、伝導帯端から 0.1 eV 程度下のエネルギーレベルにおいては  $2\sim 3 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$  と非常に高密度の界面準位が存在することが見て取れる。この結果から、図 4.1 に示した機構の内、界面準位への電子捕獲によるチャネル移動度の見かけ上の低下の影響が大きいことが示唆される。

近年 Hatakeyama らは、NO 窒化 MOSFET における  $N_{\text{trap}}$  を評価した結果を報告している[4.1]。[4.1]ではホール効果測定により電気伝導に寄与する  $N_{\text{free}}$  を評価し、別途ゲート-チャネル間容量の積分から  $N_{\text{trap}}$  と  $N_{\text{free}}$  の和である合計の反転層電子密度  $N_{\text{total}}$  を評価している。その後、両者の差分から  $N_{\text{trap}}$  を見積もっている。この Hatakeyama らにより得られた、NO 窒化 MOSFET の  $N_{\text{total}}$ 、 $N_{\text{free}}$ 、 $N_{\text{trap}}$  を分離して表した結果を図 4.3 に示す。

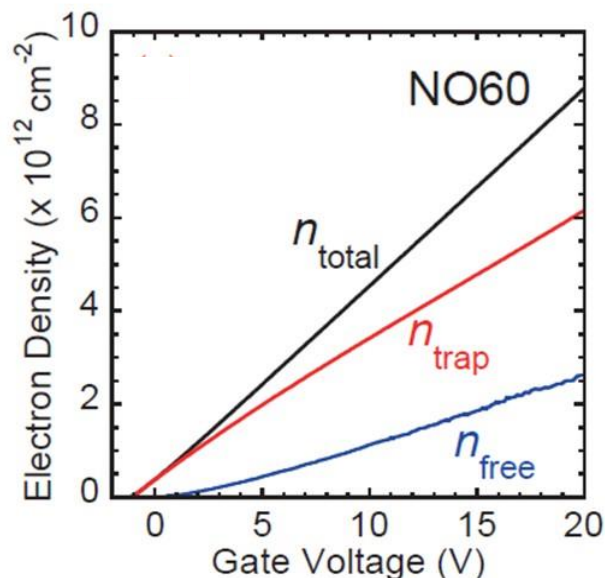


図 4.3 NO 窒化 MOSFET における電気伝導に寄与する電子密度  $n_{\text{free}}$ 、界面準位に捕獲される電子密度  $n_{\text{trap}}$ 、両者の合計の電子密度  $n_{\text{total}}$  の比較(参考文献[4.1]より引用)



図 4.3 から NO 窒化 MOSFET においては、70%近い電子が界面準位・酸化膜欠陥に捕獲されており、残りの 30%の電子しか電気伝導に寄与していないことが分かる。このように、図 4.1 に示した①界面準位・酸化膜欠陥への電子捕獲による見かけ上のチャンネル移動度の低下の影響に関しては理解が深まってきたため、今後は②フォノン散乱、ラフネス散乱、クーロン散乱等による電子の散乱の影響の理解が重要になってくると考えられる。

Si-MOSFET の開発においては、開発した MOSFET の散乱機構の簡易的な理解のために、ユニバーサル移動度が指標として用いられている。ユニバーサル移動度に関して、図 4.4(a)(b)を用いて詳細に説明する。

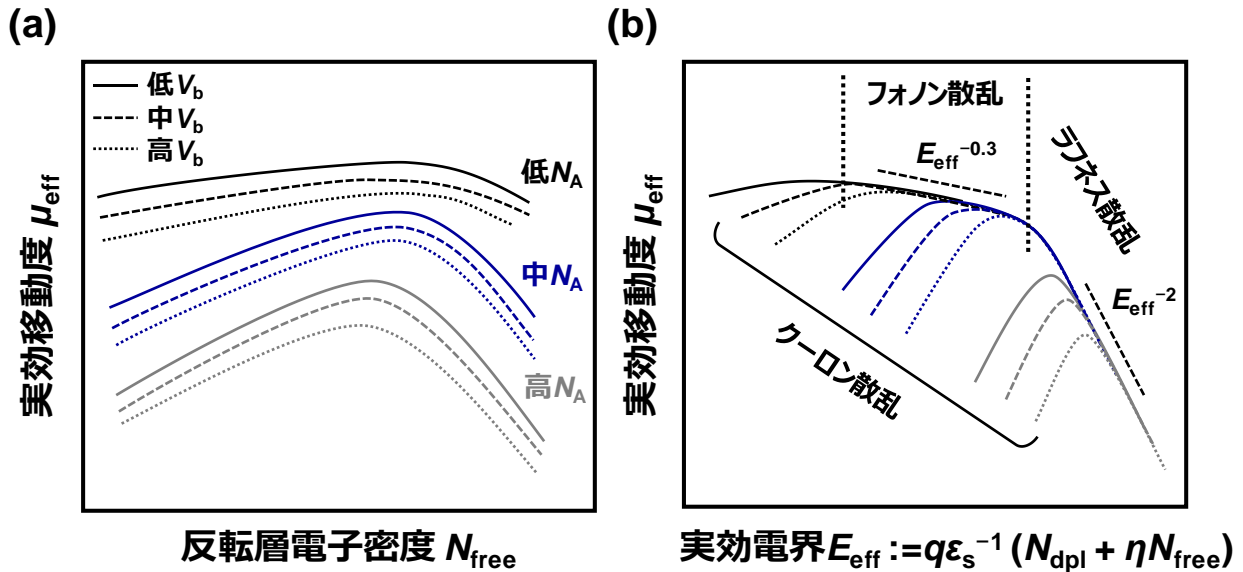


図 4.4 (a) 実効移動度  $\mu_{\text{eff}}$ -反転層電子密度  $N_{\text{free}}$  特性 (b) 実効移動度  $\mu_{\text{eff}}$ -実効電界  $E_{\text{eff}}$  特性

図 4.4(a)に示すように、MOSFET の実効移動度  $\mu_{\text{eff}}$ を縦軸、電気伝導に寄与する反転層電子密度  $N_{\text{free}}$ を横軸にグラフをプロットすると、基板濃度  $N_A$ の増加と負の基板バイアス  $V_b$ の増加に伴い、 $\mu_{\text{eff}}-N_{\text{free}}$ 特性は下方にずれて重ならない。一方で図 4.4(b)に示すように、実効移動度  $\mu_{\text{eff}}$ を縦軸、実効電界  $E_{\text{eff}}$ を横軸にプロットすることで、 $N_A$ と  $V_b$ に依らず実効電界  $E_{\text{eff}}$ が高い領域ではすべての  $\mu_{\text{eff}}-E_{\text{eff}}$ 特性の包絡線が一つの特性に漸近する。この特性はユニバーサル移動度と呼ばれ、広く受け入れられている[1.14-1.17]。ここで、実効移動度  $\mu_{\text{eff}}$ と実効電界  $E_{\text{eff}}$ は以下の式(4.1)-(4.4)でそれぞれ与えられる。

$$\mu_{\text{eff}} = \frac{g_d L}{q N_{\text{free}} W} \quad (4.1)$$

$$E_{\text{eff}} = \frac{q}{\epsilon_s} (N_{\text{dpl}} + \eta N_{\text{free}}) \quad (4.2)$$

$$N_{\text{dpl}} = (2\epsilon_s (2\phi_B - V_b) N_A / q)^{1/2} \quad (4.3)$$

$$\phi_B = \frac{k_B T}{q} \ln(N_A / n_i) \quad (4.4)$$

$g_d$ は線形領域のドレインコンダクタンス、 $\epsilon_s$ は半導体の誘電率、 $N_{dpl}$ は空乏層電荷密度、 $\eta$ は反転層電荷密度を重みづける係数( $\eta$ に関する議論は第5章において詳細に記述する)、 $\phi_B$ はバルク領域のフェルミ準位、 $n_i$ は真性キャリア密度である。ここで、Si-MOSFETにおいては界面準位密度が十分低いので、 $N_{trap}$ を考慮せずに式(4.1)、(4.2)における $N_{free}$ を全反転電子密度 $N_{total}$ (または $N_s$ )と表すことが一般的に行われているが、本章では両者を区別して記載する。式(4.1)における $N_{free}$ を $N_{total}$ として移動度を計算することによる見かけ上の移動度の低下が、図4.1で説明した①界面準位や酸化膜欠陥への電子捕獲による移動度の低下である。

ユニバーサル移動度は理論計算との比較から、低 $E_{eff}$ 領域から中 $E_{eff}$ 領域の移動度が $E_{eff}^{-0.3}$ に比例する領域では音響フォノン散乱が支配的であり、高 $E_{eff}$ 領域の $\mu_{eff}$ が $E_{eff}^{-2}$ に比例する領域ではラフネス散乱が支配的と理解されている[1.17-1.20]。このようにユニバーサル移動度は散乱機構と結び付けて理解されており、さらに通常のプロセス条件振りの範囲内ではSi-MOSFETの移動度はユニバーサル移動度で表されるため、開発したMOSFETの散乱機構を簡易的に知るために、ユニバーサル移動度と開発したMOSFETの移動度を比較することがよく行われている(例えば[4.2-4.3])。

SiC-MOSFETにおいてユニバーサル移動度を調査した例として、Tilakらは基板濃度 $N_A = 2 \times 10^{17} \text{ cm}^{-3}$ のNO窒化MOSFETを用いてユニバーサル移動度の調査を行っている[4.4]。

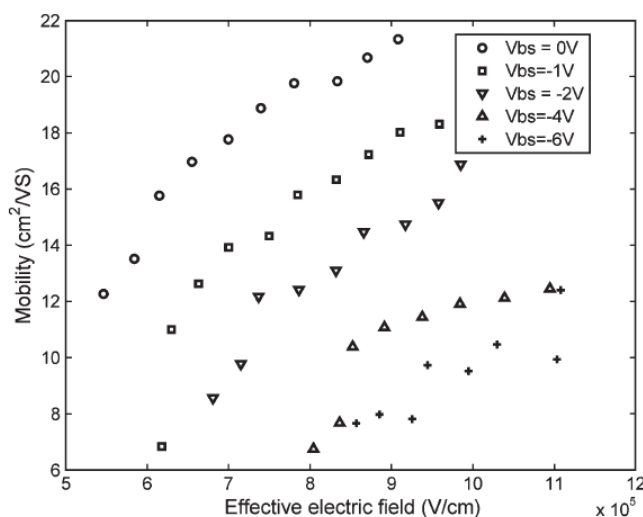


図 4.5 Tilak らによる NO 窒化 MOSFET のユニバーサル移動度の調査結果

(移動度はホール効果測定より見積もった実効移動度、実効電界の重みづけ係数  $\eta$  は 1/2 に設定、参考文献[4.4]より引用)

Tilak らの論文においても、Hatakeyama らと同様にホール効果測定で実効移動度を見積もっており、界面準位への電子捕獲による反転層電子密度の低減の影響は除去できていると考えられる。しかしながら、図 4.5 に示したように基板バイアス  $V_b$  に依存して大きく移動度は低下してしまい、ユニバーサル移動度は得られなかったことが報告されている[4.4]。

同様に SiC-MOSFET においてユニバーサル移動度を調査した例として、近年、Noguchi らは基板濃度  $N_A$  を現在の技術で制御できる下限に近い  $3 \times 10^{14} \text{ cm}^{-3}$  から  $4 \times 10^{17} \text{ cm}^{-3}$  まで条件振りし、NO 窒化 MOSFET のユニバーサル移動度の調査を行っている[4.5]。Noguchi らの調査結果を図 4.6 に示す。

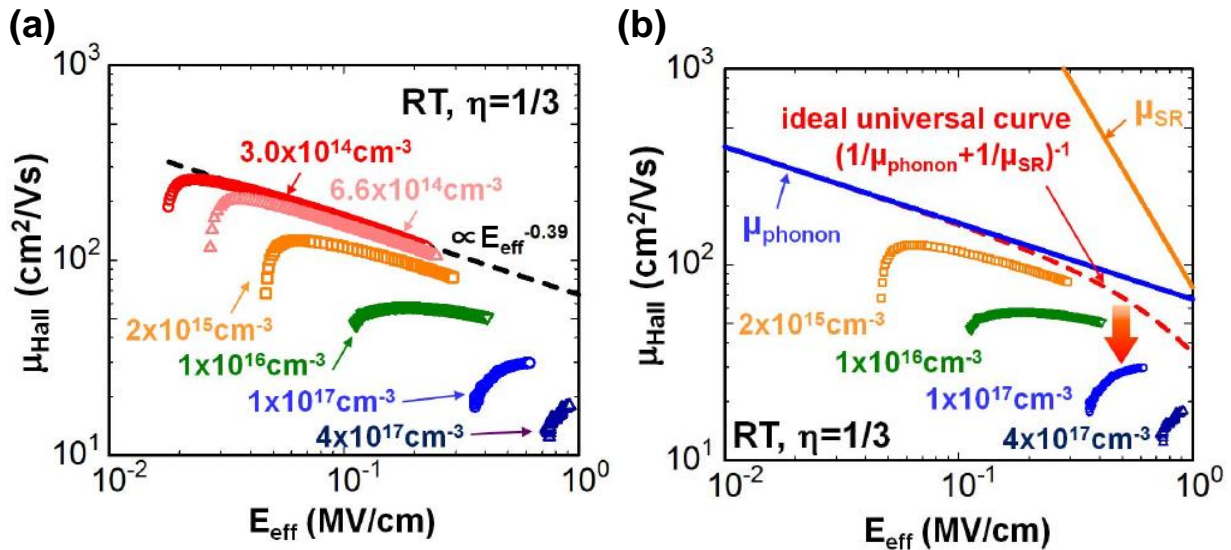


図 4.6 Noguchi らによる NO 窒化 MOSFET のユニバーサル移動度の調査結果

(a) NO 窒化 MOSFET の  $\mu_{\text{Hall}}-E_{\text{eff}}$  特性の  $N_A$  依存性

(b) (a)から見積もった  $\mu_{\text{ph}}$ 、 $\mu_{\text{SR}}$ 、ユニバーサル移動度 (移動度はホール効果測定より見積もった実効移動度、実効電界の重みづけ係数  $\eta$  は 1/3 に設定、参考文献[4.5]より引用)

図 4.6(a)に示すように、基板濃度  $N_A$  が低い  $3 \times 10^{14} \text{ cm}^{-3}$  と  $6.6 \times 10^{14} \text{ cm}^{-3}$  の素子において、 $E_{\text{eff}} = 0.04 \sim 0.2 \text{ MV/cm}$  の領域で  $\mu_{\text{Hall}}-E_{\text{eff}}$  特性が重なっており、 $200 \text{ cm}^2/\text{Vs}$  を超える移動度が得られている。また同じ  $E_{\text{eff}} = 0.04 \sim 0.2 \text{ MV/cm}$  の領域で、移動度を実効電界  $E_{\text{eff}}$  の冪乗の関数として  $\mu \propto E_{\text{eff}}^\alpha$  と表した時の冪指数  $\alpha$  が  $-0.39$  となり、この  $\alpha$  の値は Si-MOSFET における音響フォノン散乱律速の移動度  $\mu_{\text{ac}}$  の理論式の冪指数  $\alpha = -0.33$  に近くなっている。これらの点から、[4.5]では SiC-MOSFET の  $\mu_{\text{ac}}$  が抽出できたと報告されている。一方で、高  $N_A$  領域においては Tilak らの結果と同様に移動度は大きく低下している。[4.5]においてはさらに  $\mu \propto E_{\text{eff}}^{-0.39}$  として外挿した直線と高  $N_A$  の移動度の特性との差分から、クーロン散乱律速の移動度  $\mu_{\text{Coulomb}}$  とラフネス散乱律速の移動度  $\mu_{\text{SR}}$  を解析的に成分分離して抽出し、図 4.6(b)に示すようにユニバーサル移動度を見積もっている。一方で、本論文の第 5 章において報告するように、SiC-MOSFET の  $\mu_{\text{ac}}$  の理論式は、Si-MOSFET と異なり単純な  $\mu_{\text{ac}} \propto E_{\text{eff}}^\alpha$  という式で表せず、 $\alpha$  は  $E_{\text{eff}}$  とともに変化する傾向を示すため、高  $N_A$  領域への  $\mu_{\text{ac}}$  の外挿の妥当性と、外挿結果との差分から見積もった  $\mu_{\text{SR}}$ 、 $\mu_{\text{Coulomb}}$ 、及びユニバーサル移動度の見積もりの妥当性には議論の余地がある。

筆者は NO 窒化 MOSFET においては界面準位密度が高く、界面準位に捕獲された電荷によるクーロン散乱の影響が強くなり、ユニバーサル移動度は得られないのではないかと考えた。そこで、SiC-MOSFET で最も界面準位密度が低減できるプロセスである SiC (000 $\bar{1}$ )面(C 面)上の Wet 酸化でゲート酸化膜を形成した[1.25-1.26]。ここで、SiC の(000 $\bar{1}$ )面と(0001)面はいずれも c 軸に垂直な面であり、有効質量とフォノンモードは同一であるため、理想的な界面を実現したときのユニバーサル移動度は同一となると考えられる。C 面基板上的 Wet 酸化では非常に良質な界面が形成できるものの、Wet 酸化膜中には OH $^-$  基に由来する多量の欠陥が存在し、測定時の酸化膜中の欠陥への電子捕獲により正確なチャネル移動度の見積もりが困難となる。そこで、筆者はゲートにパルス電圧を印加した際に過渡的に流れるソース・ドレイン電流からチャネル移動度を見積もる手法を用いて C 面 Wet 酸化 MOSFET の正確なチャ

ネル移動度の見積もりを試みた。このチャネル移動度の基板濃度依存性と基板バイアス依存性を評価し、SiC-MOSFET のユニバーサル移動度を得ることに成功した。その結果を詳細に記述する。

## 4.2 C 面 Wet 酸化 MOSFET の作製プロセス

本章で試作した 4H-SiC C 面基板上的 Wet 酸化膜を有する MOSFET のプロセスフローを図 4.7 に示す。

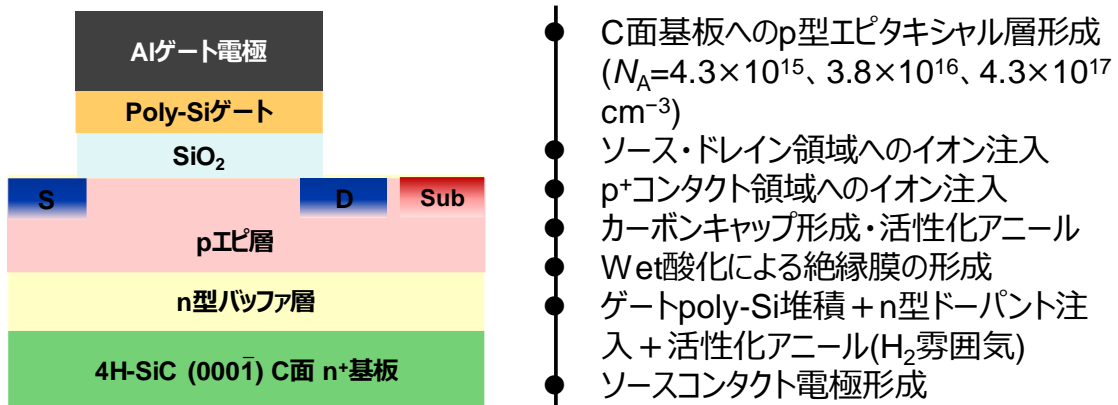


図 4.7 4H-SiC の C 面基板上的 Wet 酸化膜を有する MOSFET のプロセスフロー

4H-SiC C 面基板上に p 型エピタキシャル層を、アクセプタ濃度  $N_A$  を 3 水準条件振りして形成した。ここで、実効電界  $E_{\text{eff}}$  を見積もる際には空乏層電荷密度  $N_{\text{dpl}}$  が必要であり、 $N_{\text{dpl}}$  の見積もりには正確な  $N_A$  の深さ依存性を知ることが必要となる。本論文ではフラットな  $N_A$  プロファイルを実現できるエピタキシャル成長で p 型チャネル領域を形成した。エピタキシャル層の堆積厚さは  $5\ \mu\text{m}$  であり、以下の図 4.8 に示す SIMS 分析により、狙い通りの  $N_A$  とフラットな濃度プロファイルが実現できていることを確認している。

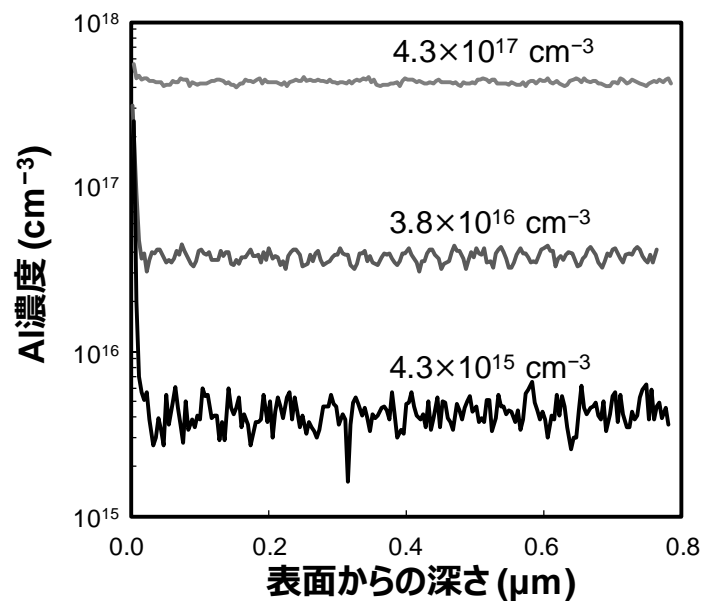


図 4.8 作製した MOSFET の p 型チャネル領域の SIMS 分析結果

p型エピタキシャル層形成後、ソース・ドレイン領域へのイオン注入及びp<sup>+</sup>コンタクト領域へのイオン注入を行い、カーボンキャップ形成後に活性化アニール処理を行った。その後、犠牲酸化及び犠牲酸化膜剥離を行った後、以下の図 4.9 に示す手順で Wet 酸化を行いゲート酸化膜及び MOS 界面を形成した。

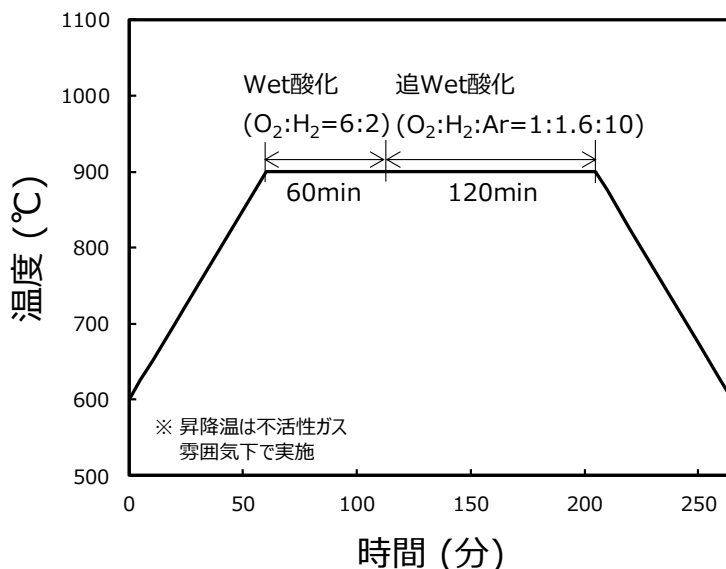


図 4.9 Wet 酸化プロセス工程のタイムチャート

まず 900°C、O<sub>2</sub>:H<sub>2</sub>=6:2 の水蒸気雰囲気下で 60 分の Wet 酸化を行い、連続して 900°Cにおいて、O<sub>2</sub>:H<sub>2</sub>:Ar = 1:1.6:10 の雰囲気下で 120 分の追 Wet 酸化を行った。後続の Ar で希釈しての追 Wet 酸化は、MOS 界面を低いレートで酸化することで界面準位密度を低減する効果がある[4.6]。作製した MOSFET のゲート酸化膜厚は、同時に作製した MOS キャパシタの CV 特性から 46.7 nm であることを確認している。

その後、poly-Si を堆積し、ゲート poly-Si に対し n 型ドーパントである燐を注入した後にドーパントの活性化アニールを行った。その際、MOS 界面を終端する水素の脱離を防ぐため、活性化アニールは水素 100%の雰囲気下で行った。その後、ソース・ドレイン、ゲート電極を形成し、チャネル移動度評価のための横型 MOSFET を作製した。横型 MOSFET のチャネル幅は 150 μm、チャネル長は 50 μm となっている。

### 4.3 C 面 Wet 酸化 MOSFET のチャネル移動度の評価手法

C 面基板上的 Wet 酸化プロセスは非常に良好な界面が形成できる一方で、ゲート酸化膜である Wet 酸化膜中には OH-基に由来する高密度の欠陥が形成されてしまう。そのため、測定中に反転層電子が Wet 酸化膜内部の欠陥に捕獲されてしまい、正確なチャネル移動度の評価が困難となってしまう。試作した MOSFET においてチャネル電流  $I_{ch}$ - $V_g$  特性の往復測定を行い、ヒステリシスの大きさを評価した結果を図 4.10 に示す。

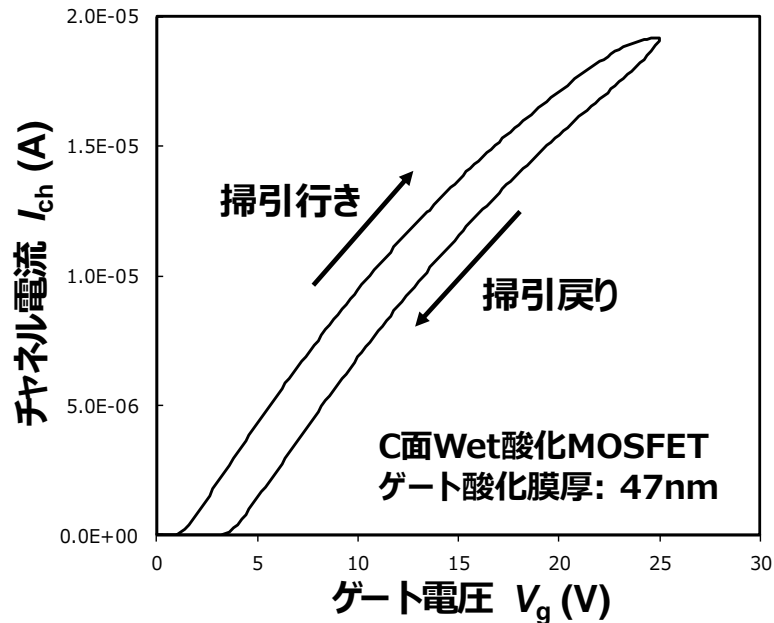


図 4.10 作製した C 面 Wet 酸化 MOSFET におけるチャネル電流  $I_{ch}$ - $V_g$  特性の往復測定結果

掃引の行きと戻りで大きなヒステリシスが観測され、酸化膜中の欠陥への多量の電子捕獲が生じていることが見て取れる。

この測定中のゲート酸化膜中の欠陥に対する電子捕獲を抑制するため、Iijima らにより提案されたパルス測定によるチャネル移動度評価を行った[1.27-1.28]。測定系の模式図を図 4.11 に示す。

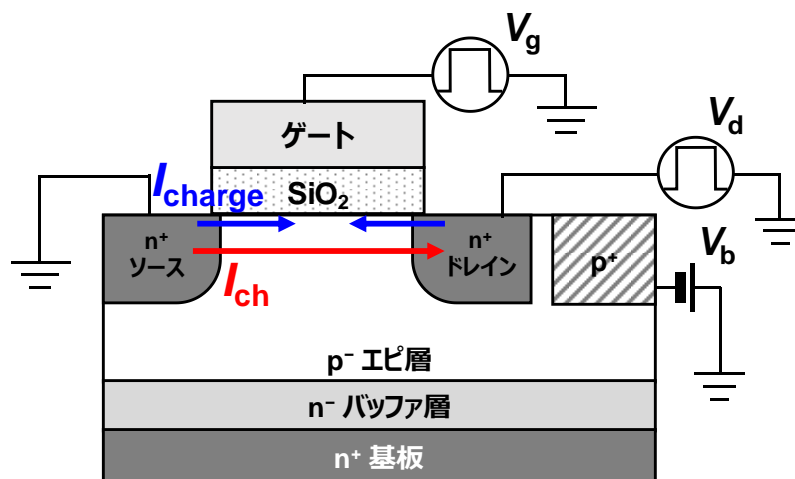


図 4.11 パルス測定によるチャネル移動度の評価系の模式図

ゲートに $-5\text{ V}$ から $25\text{ V}$ まで $1\text{ V}$ 間隔でパルス電圧を印加し、ドレインに対してゲート電圧と同期した振幅 $V_d=0.1\text{ V}$ のパルス電圧を印加した。その際に流れる反転層の充電電流 $I_{charge}$ と、反転層の充電後に定常的に流れるチャネル電流 $I_{ch}$ から、 $V_g$ に伴う $\mu_{eff}$ の変化を調査した。その際、ソースは $0\text{ V}$ として電流の計測のみを行っており、基板バイアス $V_b$ は $p^+$ コンタクト層を介して $p$ 型チャネル層に直流で印加した。ゲートに印加した1パルスのゲート電圧と流れる電流波形の典型的な測定結果を図 4.12 に示す。

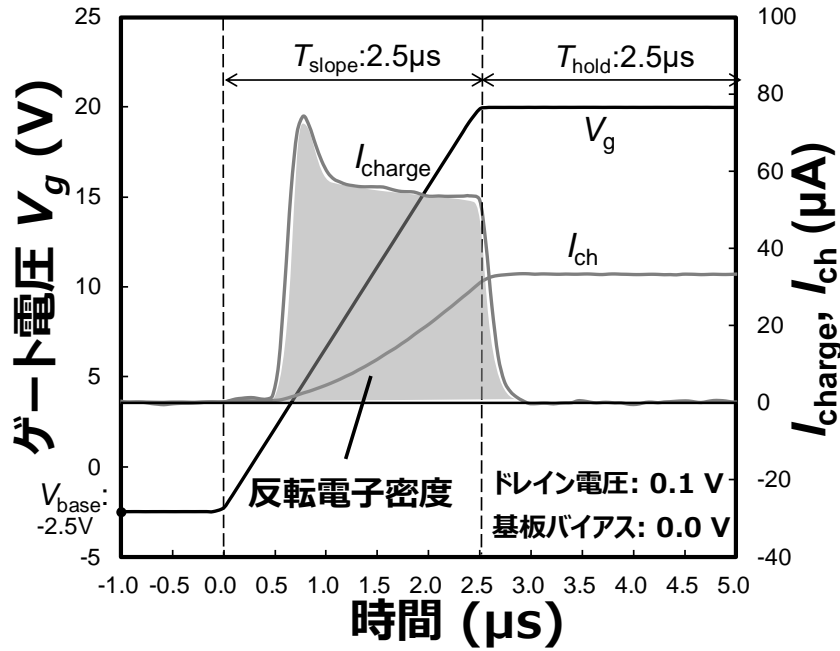


図 4.12 ゲートに印加したパルス電圧と充電電流( $I_{\text{charge}}$ )及びチャネル電流( $I_{\text{ch}}$ )の典型的な波形

$t = -1.0 \mu\text{s}$  から  $0 \mu\text{s}$  までの期間は、ゲートパルス印加前の予備動作期間であり、ゲート電圧を  $V_{\text{base}}$  に保持した。 $t = 0 \mu\text{s}$  においてゲートパルスの印加を開始し、続く  $T_{\text{slope}}$  までの期間で、ゲート電圧を一定の傾きで  $V_{\text{g}}$  まで上昇させた。ゲート電圧が閾値電圧を超えると、ドレイン・ソースからそれぞれ反転層の充電電流が流れる。充電電流はソース電流とドレイン電流の和から以下の式で求めた。

$$I_{\text{charge}}(t) = I_{\text{s}}(t) + I_{\text{d}}(t) \quad (4.5)$$

反転層電子密度  $N_{\text{total}}$  は、ドレイン・ソースの充電電流の和の積分から、

$$N_{\text{total}} = \int_0^{T_{\text{slope}} + T_{\text{hold}}} I_{\text{charge}}(t) dt / qLW \quad (4.6)$$

と求められる(ここで式(4.6)から求めた反転層電子密度を  $N_{\text{total}}$  と表記しているのは、後述するように本パルス測定では Wet 酸化膜中の欠陥への電子捕獲は抑制できているものの、界面準位への電子捕獲は抑制できていないためである)。ゲート電圧が  $V_{\text{g}}$  に達した後、 $T_{\text{hold}}$  の間はゲート電圧を  $V_{\text{g}}$  で保持する。反転層の充電が終わると、反転層を介してドレイン・ソース間に定常的な電流  $I_{\text{ch}}$  が流れる。本論文では、ドレイン電流  $I_{\text{d}}$  とソース電流  $I_{\text{s}}$  の平均値  $(I_{\text{d}} - I_{\text{s}})/2$  をチャネル電流  $I_{\text{ch}}$  と定義している。

ゲートに印加するパルス幅が短すぎるとノイズの影響が大きくなるが、長すぎるとゲート酸化膜中の欠陥への注入電荷量が大きくなり、特性変動が生じてしまう。ノイズが抑制できる範囲でゲート電圧の印加時間を短くした結果、 $T_{\text{slope}}$ 、 $T_{\text{pulse}}$  はいずれも  $2.5 \mu\text{s}$  が最適であった。ここでパルス入力前のゲート電圧  $V_{\text{base}}$  は MOSFET のチャネル部が空乏状態となるように、閾値電圧とフラットバンド電圧の間の範囲に設定する必要がある。 $V_{\text{base}}$  が閾値電圧以上となり予備動作中に反転層が形成されていると、パルス電圧印加開始からの充電電流  $I_{\text{charge}}$  の積分値として評価している  $N_{\text{total}}$  を過小評価してしまう可能性がある。一方、ゲート電圧がフラットバンド電圧以下で、予備動作中に蓄積層が形成されていると、蓄積された正孔と電子の再結合によりソース・ドレインから充電電流が流れ、 $N_{\text{total}}$  を過大評価する可能性があ

る。事前の実験から、 $-2.5\text{ V} \leq V_{\text{base}} < 0\text{ V}$  の範囲では基板濃度  $N_A$  と基板バイアス  $V_b$  に依らず MOSFET は空乏状態となることを確認した。今回の実験では、いずれの条件でも  $V_{\text{base}}$  を  $-2.5\text{ V}$  としている。本手法ではこのように短い周期の一度のゲートパルス電圧印加で反転層電子密度  $N_{\text{total}}$  とチャネル電流  $I_{\text{ch}}$  を得ることができ、測定中のゲート酸化膜中の欠陥への電子捕獲を抑制しつつチャネル移動度を評価するには非常に適した手法といえる。

本評価手法は、膜中の欠陥が多い high-k 材料をゲート絶縁膜に用いた Si-MOSFET のチャネル移動度を、測定中の欠陥への電子捕獲を抑えつつ正確に見積もる手法として実績があるが[1.27-1.28]、今回作製した SiC-MOSFET において測定中の電子捕獲を抑制できているか確認する必要がある。そこで、酸化膜中欠陥及び界面準位への電子捕獲の時定数を CC-DLTS(Constant-Capacitance Deep-Level Transient Spectroscopy)法により見積もった。CC-DLTS 法は MOS 界面近傍の欠陥の性質を見積もる手法として効果的な手法である[4.7-4.9]。図 4.13 に、MOSFET と同時に試作した n 型基板 MOS キャパシタにおいて CC-DLTS 測定を行い、CC-DLTS 信号  $b_1$  の電子の捕獲パルス幅依存性を評価した結果を示す。

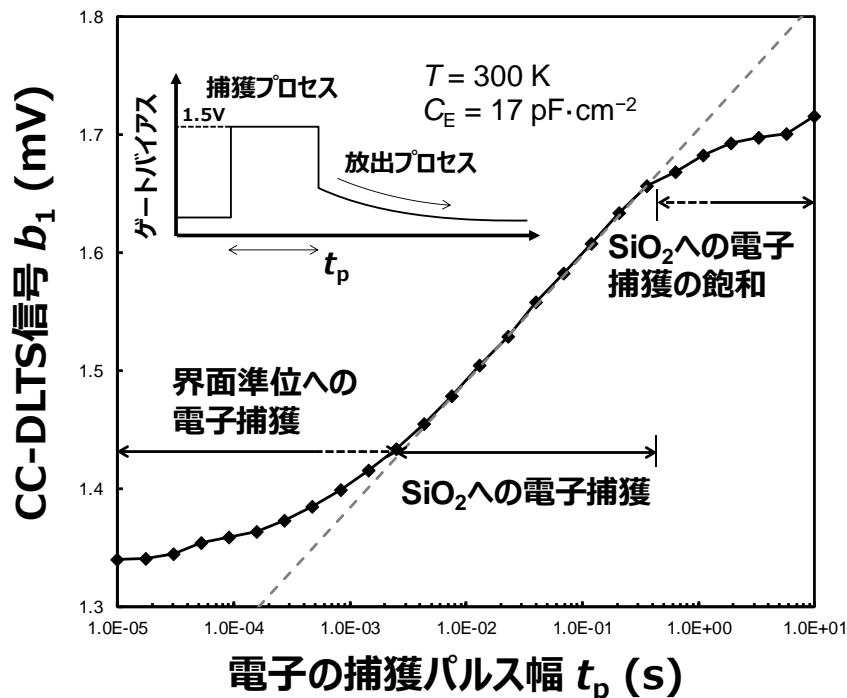


図 4.13 Wet 酸化 MOSFET における CC-DLTS 信号  $b_1$  の電子の捕獲パルス幅依存性

図 4.13 の挿入図は CC-DLTS 測定におけるゲート電圧の波形である。ゲート電圧を印加することで電子は欠陥に捕獲され、表面状態を蓄積状態から空乏状態に切り替えることで電子は欠陥から放出される。電子の放出時にゲート電圧  $V_g$  がフィードバック回路によって動的に制御され、容量  $C_E$  が一定に保たれるのが CC-DLTS 法の特徴であり、ゲート電圧波形のフーリエ変換により MOS 界面近傍の欠陥の性質を見積もることが可能になる[4.10]。図 4.13 に示した CC-DLTS 信号  $b_1$  は 1 次のフーリエ正弦係数である。今回得られた CC-DLTS 測定の結果は、SiC の窒化 MOS キャパシタにおいて同様の評価・解析を行った Okada らの結果と非常に類似している[4.11]。 $t_p = 1\text{ ms}$  までは  $b_1$  の増加の傾きは緩やかであり、この結果は、 $t_p = 1\text{ ms}$  までは界面準位への電子捕獲が支配的であることによると考えられる[4.11]。 $t_p$  が  $1\text{ ms}$  から  $300\text{ ms}$  の範囲において  $b_1$  は線形に増加しており、この領域では界面準位への電子捕獲と同時にゲー



ト酸化膜への電子捕獲が生じていると考えられる[4.11]。  $t_p > 300 \text{ ms}$  では  $b_1$  の増加は飽和し、ここから大部分の MOS 界面近傍の欠陥に電子が捕獲されたと推定される[4.11]。

図 4.12 に示したように、本章で行った移動度評価におけるゲートパルス幅はスロープ時間を含めても  $5.0 \mu\text{s}$  であり、図 4.13 の CC-DLTS 測定の結果と照らし合わせるとゲート酸化膜への電子捕獲は十分抑制できていることが分かる。一方で、界面準位への電子捕獲の時定数は非常に短く、界面準位への電子捕獲はパルス測定でも抑制できていないことが分かる。そこで、界面準位に捕獲される電子密度  $N_{\text{trap}}$  を見積もり、式(4.6)で得られた  $N_{\text{total}}$  からの補正を行った。まず界面準位密度  $D_{\text{it}}$  を CC-DLTS 測定で評価した。その際に比較のため、第 3 章にて試作した Si 面上の NO 窒化処理で MOS 界面を形成した MOS キャパシタにおいても CC-DLTS の測定を行った。その結果を図 4.14 に示す。

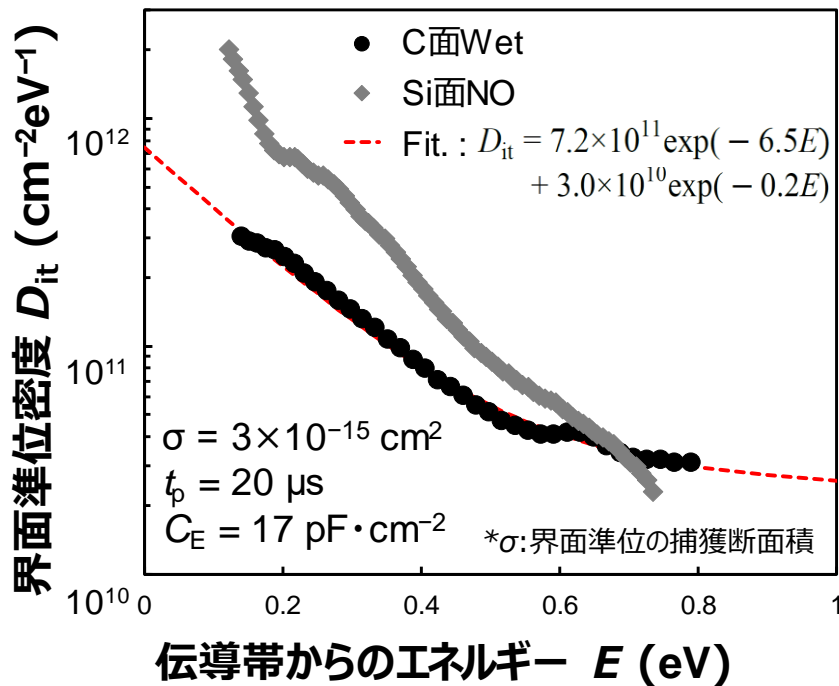


図 4.14 C 面 Wet 酸化 MOS キャパシタと Si 面 NO 窒化 MOS キャパシタにおける界面準位密度評価結果

CC-DLTS の評価時の捕獲パルス幅  $t_p$  は  $20 \mu\text{s}$  に設定し、解析の際の捕獲断面積  $\sigma$  は伝導帯からのエネルギー  $E = 0.4 \text{ eV}$  での実験値  $3 \times 10^{-15} \text{ cm}^2$  に設定した。一方で、 $D_{\text{it}}$  は  $t_p$  及び  $\sigma$  に対して大きく依存しないことを事前の測定で確認している。C 面上の Wet 酸化では、Si 面上の NO 窒化に比べて特に伝導帯端に近いエネルギーレベルで大きく界面準位密度  $D_{\text{it}}$  を抑制できており、良質な MOS 界面が形成できていることが見て取れる。C 面上に Wet 酸化で形成した MOS 界面の  $D_{\text{it}}$  の実験結果を以下の関数でフィッティングした。

$$D_{\text{it}} = 7.2 \times 10^{11} \exp(-6.5E) + 3.0 \times 10^{10} \exp(-0.2E) \quad (4.7)$$

フィッティング結果は図 4.14 に破線で示している。続いて、界面準位に捕獲される電子密度  $N_{\text{trap}}$  を以下の式で求めた。

$$N_{\text{trap}} = \int_{E_i}^{\infty} D_{\text{it}}(E) f(E, E_F) dE \quad (4.8)$$

ここで  $E_i$  は真性フェルミ準位である。 $f(E, E_F)$  はフェルミ-ディラック分布関数で、以下の式で求めた。

$$f(E, E_F) = (1 + g \exp((E - E_F)/kT))^{-1} \quad (4.9)$$

$g$  は縮退度で、[4.1]と同様に 2 に設定している。式(4.8)の積分の下限は真性フェルミ準位  $E_i$  に設定しているが、厳密にはパルス測定時のベース電圧  $V_{\text{base}}$  印加時のエネルギーレベルを積分の下限に設定するべきだと考えられる。一方で、伝導帯端から離れたバンドギャップ中央近傍の界面準位密度は一般に十分低くなることが知られており、計算を簡素化するために本研究では積分の下限を  $E_i$  に設定した。フェルミ準位  $E_F$  は、Stern の論文[4.12]を参考に有効質量近似の下、ポアソン方程式とシュレディンガー方程式を自己無撞着に解くことで算出した。このようにして導出した  $N_{\text{trap}}$  をパルス測定により求めた  $N_{\text{total}}$  から差し引くことで、以下のように電気伝導に寄与する電子密度  $N_{\text{free}}$  を求めた。

$$N_{\text{free}} = N_{\text{total}} - N_{\text{trap}} \quad (4.10)$$

以上の手順で得られた  $N_{\text{free}}$  の典型的な評価結果として、室温、 $N_A = 3.8 \times 10^{16} \text{ cm}^{-3}$ 、 $V_b = 0 \text{ V}$  における  $N_{\text{total}}$ 、 $N_{\text{free}}$ 、 $N_{\text{trap}}$  を比較した結果を図 4.15 に示す。

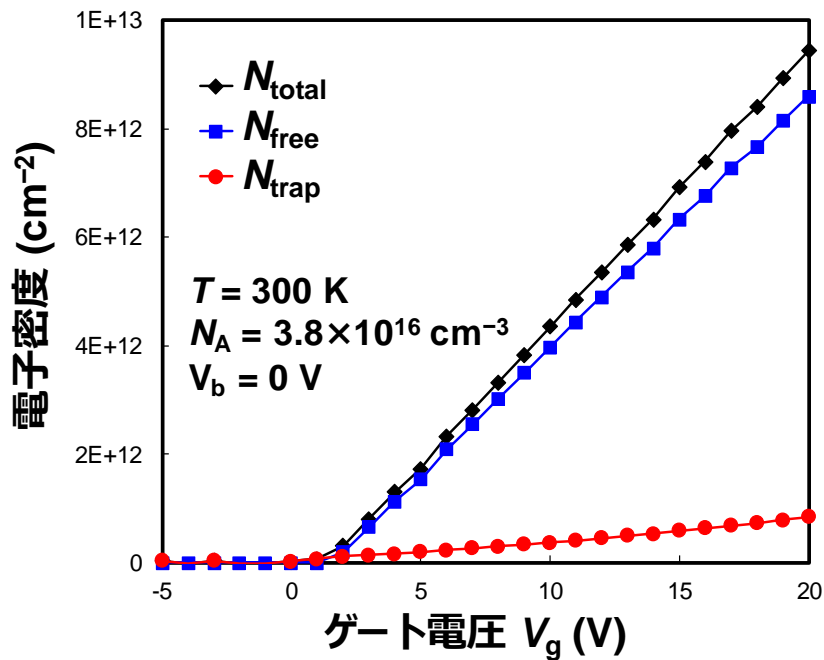


図 4.15 C 面 Wet 酸化 MOSFET における  $N_{\text{total}}$ 、 $N_{\text{free}}$ 、 $N_{\text{trap}}$  の比較

全電子密度  $N_{\text{total}}$  に対する  $N_{\text{free}}$  の割合は 90%程度となっており、図 4.3 に示した Hatakeyama の NO 窒化 MOSFET の結果と比べると、非常に多くの電子が電気伝導に寄与していることが見て取れる。これは C 面 Wet 酸化 MOSFET では界面準位密度が非常に低いことによる。このようにして求めた  $N_{\text{free}}$  を式(4.1)、(4.2)に代入して実効移動度  $\mu_{\text{eff}}$  と実効電界  $E_{\text{eff}}$  をそれぞれ求めた。以上の手順で取得した C 面 Wet 酸化 MOSFET の  $\mu_{\text{eff}}$ - $E_{\text{eff}}$  特性の  $N_A$  依存性、 $V_b$  依存性を評価し、SiC-MOSFET におけるユニバーサル移動度の調査を行った結果を以降記載する。

#### 4.4 C面Wet酸化MOSFETのチャネル移動度の評価結果

4.3節に記した手法で $\mu_{\text{eff}}-E_{\text{eff}}$ 特性の $N_A$ 及び $V_b$ 依存性を423 Kで評価した。ここで423 Kで評価を行ったのは、可能な限りクーロン散乱の影響を抑制するためである。結果を図4.16に示す。

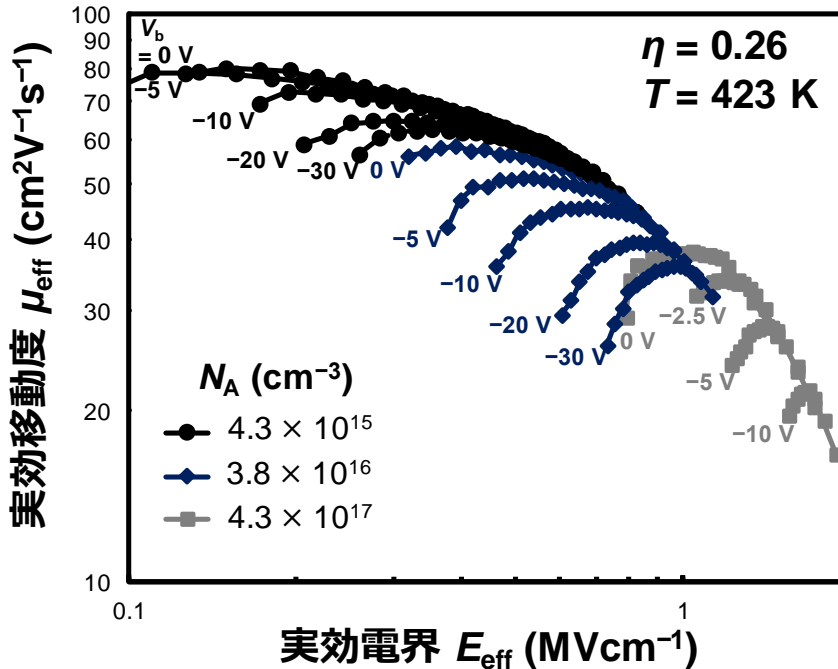


図 4.16 423 Kにおける $\mu_{\text{eff}}-E_{\text{eff}}$ 特性の $N_A$ 及び $V_b$ 依存性

その結果 $N_A$ 及び $V_b$ によらず、実効電界 $E_{\text{eff}}$ の高い領域ではすべての $\mu_{\text{eff}}-E_{\text{eff}}$ 特性が一つの包絡線上に重なり、ユニバーサル移動度を観測することができた。このように、広い $N_A$ 、 $V_b$ 、及び $E_{\text{eff}}$ の範囲でSiC-MOSFETのユニバーサル移動度を得たのは、筆者が知る限り本論文が初めての例である。その際、実効電界 $E_{\text{eff}}$ の式(4.2)において $N_s$ の重みづけをする係数 $\eta$ の値は0.26に設定することで、最もユニバーサルに移動度を表すことができた。この $\eta$ の設定方法とその起源に関しては、第5章において詳細に議論を行う。得られたSiC-MOSFETのユニバーサル移動度の特徴的な点として、移動度を実効電界 $E_{\text{eff}}$ の冪乗の関数として $\mu \propto E_{\text{eff}}^\alpha$ と表した時の冪指数 $\alpha$ が、 $E_{\text{eff}}$ の増加に伴い連続的に減少していく傾向を示すことが挙げられる。これに対して図1.12または図4.4(b)に示したように、Si-MOSFETでは音響フォノン散乱に移動度が律速された領域では $\alpha$ は-0.3、ラフネス散乱に移動度が律速された領域では $\alpha$ は-2.0となり、 $\alpha$ が不連続に変化する傾向を示す。このメカニズムに関しても、SiC-MOSFETの移動度の理論計算との比較から第5章において議論を行う。

続いて、 $\mu_{\text{eff}}-E_{\text{eff}}$ 特性の温度依存性を評価した結果を図4.17に示す。

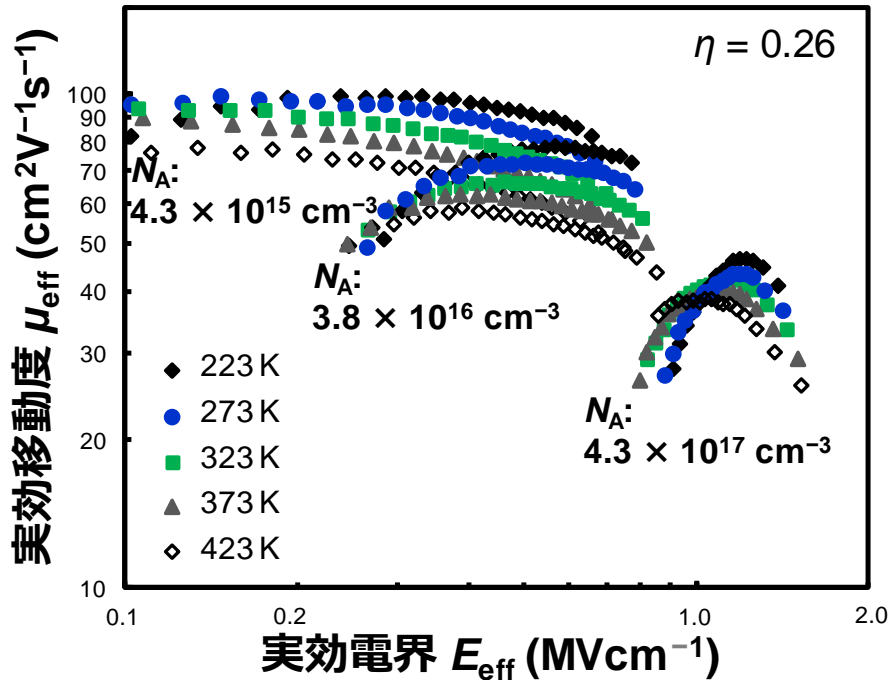


図 4.17  $\mu_{\text{eff}}-E_{\text{eff}}$  特性の温度依存性

温度を 423 K から下げていくと移動度が上昇する傾向が見て取れる。一般的に、クーロン散乱律速のチャネル移動度は温度とともに上昇すること、音響フォノン散乱または光学フォノン散乱律速の移動度は温度とともに低下すること、ラフネス散乱律速の移動度は温度に大きく依存しないことが知られており、この結果は本論文で試作した SiC-MOSFET の移動度が広い温度領域に渡ってフォノン散乱に律速されていることを示している。これは C 面 Wet 酸化処理により界面準位密度が十分低減できたことを意味し、フォノン散乱とラフネス散乱により定まるユニバーサル移動度が確認できたという本論文の主張を裏付ける結果である。一方で注意深く見ると、基板濃度が高い  $N_A = 4.3 \times 10^{17} \text{ cm}^{-3}$  の素子においては  $E_{\text{eff}}$  の低い領域で温度とともに移動度が上昇する傾向が見えており、実効電界  $E_{\text{eff}}$  の増加に伴い支配的な散乱機構がクーロン散乱からフォノン散乱に切り替わったことが分かる。これは、反転層電子密度  $N_{\text{free}}$  の増加によりクーロン散乱源が作る摂動ポテンシャルが遮蔽され、クーロン散乱の影響が抑制されたことに由来すると考えられる。

比較のため、Dhar らによって報告された NO 窒化 MOSFET のホール効果移動度の温度依存性の結果を図 4.18 に示す[4.13]。図 4.18 に示されたチャネル移動度もホール効果移動度となっており、界面準位や酸化膜欠陥への電子捕獲による反転電子密度の減少の影響は除去できていると考えられる。77 K から 293 K までの広い温度領域に渡って温度の上昇とともに移動度が上昇する傾向が見えており、クーロン散乱の影響が強いことが見て取れる。

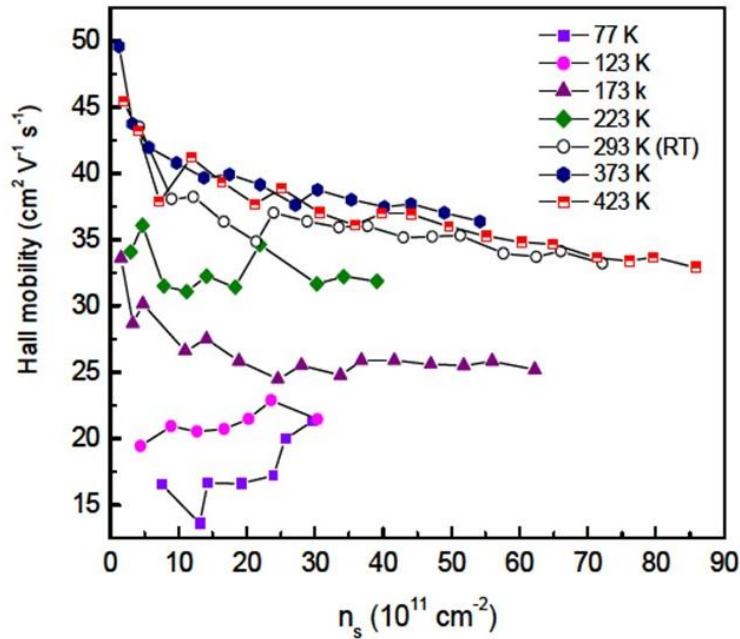


図 4.18 NO 窒化 MOSFET のホール効果移動度の温度依存性 ( $N_A = 5.0 \times 10^{15} \text{ cm}^{-3}$ 、参考文献[4.13]から引用)

373 K 以上では温度に伴う移動度の上昇は飽和し、423 K ではわずかに移動度が低下しているようにも見えるが、クーロン散乱の影響が抑制される高い反転層電子密度の領域でも移動度の差はわずかであり、全体的にクーロン散乱の影響が強いことが伺える。Dhar らが評価に用いた素子は  $N_A = 5.0 \times 10^{15} \text{ cm}^{-3}$  となっているが、そのチャネル移動度は本論文で示した同程度の  $N_A = 4.3 \times 10^{15} \text{ cm}^{-3}$  の C 面 Wet 酸化 MOSFET のチャネル移動度よりも低い。Dhar らの評価においても界面準位や酸化膜中欠陥への電子捕獲による  $N_{\text{free}}$  の減少の影響は補正できていると考えられるため、この移動度の差は純粋にクーロン散乱の影響の差に由来すると考えられる。この移動度の差の原因としては、NO 窒化 MOSFET においては界面準位が多く、界面準位への電子捕獲は  $N_{\text{free}}$  の低減を引き起こすだけでなく、界面準位に捕獲された電荷がクーロン散乱源となり、移動度を下げている可能性が考えられる。

## 4.5 第 4 章のまとめ

本章では、MOS 界面形成プロセス開発において指標となる SiC-MOSFET のユニバーサル移動度の調査を行った。SiC-MOSFET においてユニバーサル移動度を得るためには、界面準位密度を低減して界面準位に捕獲された電荷によるクーロン散乱の影響を抑制する必要があると考え、SiC-MOSFET で最も界面準位密度を低減できる C 面基板上の Wet 酸化プロセスで MOS 界面及びゲート酸化膜を形成した。C 面 Wet 酸化では良好な界面が実現できる一方で、Wet 酸化膜中には OH<sup>-</sup> 基による多量の欠陥が形成され、測定時の酸化膜中欠陥への電子捕獲の影響で正確な実効移動度の見積もりが困難となる。そこでゲートにパルス電圧を印加した際に流れる反転層の充電電流とチャネル電流からチャネル移動度を見積もるパルス測定法を用い、測定中のゲート酸化膜への電子捕獲を抑えつつチャネル移動度の評価を行った。パルス測定により測定中の電子捕獲が抑制できているか確認するために、CC-DLTS 測定により酸化膜

中及び界面準位への電子捕獲の時定数を評価した。その結果、パルス測定により酸化膜中欠陥への電子捕獲は抑制できている一方で、界面準位への電子捕獲は抑制できていないことが判明した。そこで界面準位への電子捕獲の影響を補正するため、界面準位密度を CC-DLTS 測定により見積もり、界面準位密度とフェルミ-ディラック分布関数の積をエネルギー方向に積分することで界面準位に捕獲される電子密度を見積もった。その結果、C 面 Wet 酸化 MOSFET においては、界面準位密度と界面準位に捕獲される電子密度はいずれも NO 窒化 MOSFET と比較して大幅に少ないことが分かった。パルス測定で見積もった反転層電子密度から界面準位に捕獲される電子密度を補正して実効移動度  $\mu_{\text{eff}}$ 、実効電界  $E_{\text{eff}}$  をそれぞれ求めた。 $\mu_{\text{eff}}-E_{\text{eff}}$  特性の  $N_A$  及び  $V_b$  依存性を評価した結果、 $N_A$  と  $V_b$  に依らず  $E_{\text{eff}}$  が高い領域ではすべての  $\mu_{\text{eff}}-E_{\text{eff}}$  特性の包絡線が一つの特性に漸近し、ユニバーサル移動度を得ることに成功した。このような広い  $N_A$ 、 $V_b$ 、及び  $E_{\text{eff}}$  の範囲で SiC-MOSFET のユニバーサル移動度を得たのは、筆者が知る限り本論文が初めての例である。 $\mu_{\text{eff}}-E_{\text{eff}}$  特性の温度依存性を評価したところ、223-423 K の広い温度領域に渡って  $\mu_{\text{eff}}$  は温度の上昇に伴って低下する傾向を示した。これは  $\mu_{\text{eff}}$  がフォノン散乱に律速されていることを意味する。この結果は、C 面 Wet 酸化処理により界面準位密度が十分低減され、フォノン散乱とラフネス散乱により定まるユニバーサル移動度が確認できたという本論文の主張を裏付ける結果である。得られた SiC-MOSFET のユニバーサル移動度において、移動度を実効電界  $E_{\text{eff}}$  の冪乗の関数として  $\mu \propto E_{\text{eff}}^\alpha$  と表した時の冪指数  $\alpha$  が、 $E_{\text{eff}}$  の増加に伴い連続的に減少していく傾向が確認された。これに対し、Si-MOSFET における  $\alpha$  は音響フォノン散乱律速の領域では-0.3、ラフネス散乱律速の領域では-2.0 と不連続に変化する傾向を示す。これらのメカニズムに関しては、SiC-MOSFET の移動度の理論計算との比較から第 5 章において議論を行う。

# 第5章 SiC-MOSFET のユニバーサル移動度の理論的調査

## 5.1 はじめに

第4章においては、SiC-MOSFET のユニバーサル移動度の実験的調査を行い、広い  $N_A \cdot V_b$  ・及び  $E_{eff}$  の範囲でユニバーサル移動度を得ることに成功した。ユニバーサル移動度は  $N_A$ 、 $V_b$ 、 $N_{free}$  に依らず実効移動度  $\mu_{eff}$  の実験結果を統一的に表すため、デバイスモデリングや回路シミュレータへの実装が比較的容易である。実際に、Si-MOSFET のユニバーサル移動度の TCAD や SPICE への実装に関しては多くの報告例がある[1.21-1.24]。これらの[1.21-1.24]の論文で実装された各モデルは、現在の TCAD や SPICE における標準モデルの一つとなっている。またデバイス開発の観点では、アプリケーションごとに素子の  $N_A$  の設計や  $V_b$ 、 $N_{free}$  の条件が異なる中で、それらの実効移動度  $\mu_{eff}$  を統一的に表すユニバーサル移動度は非常に有用な指標となっている。実際にデバイス開発の現場では、ユニバーサル移動度を指標としたデバイス設計及び試作した素子の  $\mu_{eff}$ - $E_{eff}$  特性とユニバーサル移動度との比較がよく行われている。

再掲になるが、ユニバーサル移動度は以下の(5.1)式で定義される実効電界  $E_{eff}$  を横軸に、実効移動度  $\mu_{eff}$  を縦軸にプロットすることで、 $\mu_{eff}$ - $E_{eff}$  特性が  $N_A$ 、 $V_b$  によらずユニバーサルに定まるという概念である。

$$E_{eff} = \frac{q}{\epsilon_s} (N_{dpl} + \eta N_{free}) \tag{5.1}$$

(5.1)式において  $\eta$  は電気伝導に寄与する反転層電子密度  $N_{free}$  の重みづけをする重要なパラメータである。一方で、その物理的起源や  $\eta$  をどのように設定すべきかに関しては、Si-MOSFET においても様々な議論があるのが実情である。

ユニバーサル移動度は 1979 年に Sabnis らによって初めて確認された[1.14]。図 5.1 に、Sabnis らが確認した(100)面上の Si-MOSFET におけるユニバーサル移動度の実験結果と実効電界  $E_{eff}$  の式を示す。

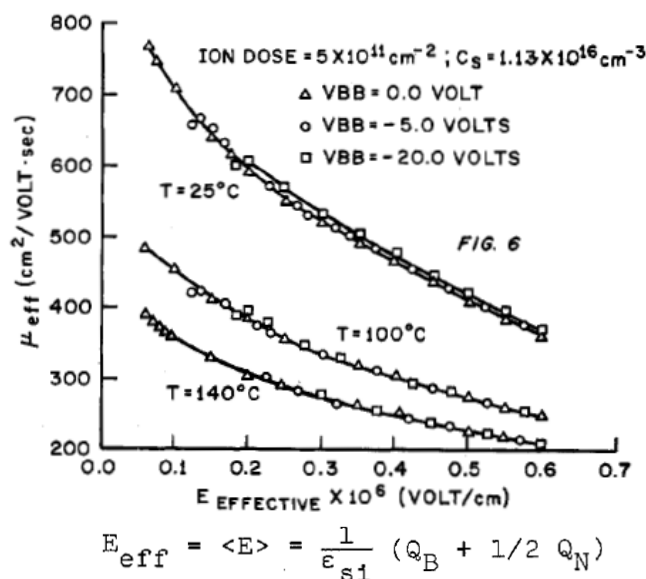


図 5.1 Sabnis らが確認した(100)面上の Si-MOSFET における  $\mu_{eff}$ - $E_{eff}$  特性と  $E_{eff}$  の定義式 (参考文献[1.14]から引用)

Sabnis らは[1.14]において  $N_A \cdot V_b \cdot N_{\text{free}}$  に依存して大きく変化する  $\mu_{\text{eff}}$  を統一的に表すために、実験結果の再解析を進めたところ、実効電界  $E_{\text{eff}}$  によって実効移動度をユニバーサルに表すことができた旨を記載している。図 5.1 中に示した Sabnis らの式において、 $Q_B$  と  $Q_N$  は本論文における  $N_{\text{dpl}}$ 、 $N_{\text{free}}$  にそれぞれ対応している。図 5.1 中の式と本論文の(5.1)式の比較から、Sabnis らは実効電界  $E_{\text{eff}}$  の計算において  $\eta$  の値を 1/2 に設定していることが分かる。また Sabnis らは本文中に、実効電界  $E_{\text{eff}}$  は反転層中の電子分布と電界分布を考慮し、反転層中の電子が受ける電界を平均化することで導出した、と記載している。つまり Sabnis らは、 $E_{\text{eff}}$  を反転層中の電子が受ける平均電界として定義したこと、平均電界は  $\eta$  を 1/2 に設定することで表されること、そしてこの平均電界を横軸にとることで(100)面上の Si-MOSFET の  $\mu_{\text{eff}}$  はユニバーサルに表されたことを報告している。本論文では以後、整理して議論を進めるために電子が受ける平均電界を  $E_{\text{average}}$  と記載する。

その後 Takagi らは、[1.16-1.17]において Si-MOSFET のユニバーサル移動度の面方位依存性を調査した。Takagi らの調査結果を図 5.2 に示す。

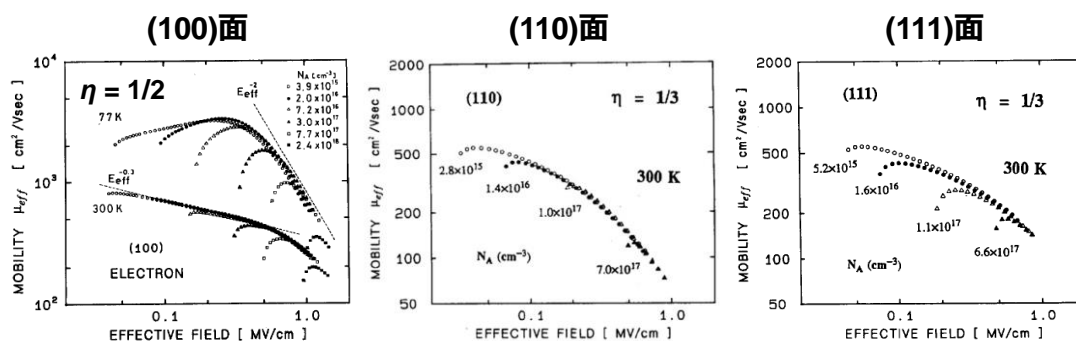


TABLE I  
VALUES OF  $\eta$  PROVIDING UNIVERSALITY FOR EACH SURFACE ORIENTATION

$\eta$	(100)	(110)	(111)
ELECTRON	1/2	1/3	1/3
HOLE	1/3	—	—

図 5.2 Si-MOSFET のユニバーサル移動度の面方位依存性 (参考文献[1.16-1.17]から引用)

(100)面においては Sabnis らの結果を再現して  $\eta$  を 1/2 に設定することでユニバーサルに移動度を表せた一方で、(110)面及び(111)面においては  $\eta$  を 1/3 に設定することでユニバーサルに移動度を表せたと報告している。Si-MOSFET においては、基板の面方位によって MOS 界面に垂直な方向の有効質量  $m_z$  が異なる。そのため、面方位に依存して反転層電子の閉じ込めポテンシャルとサブバンド構造の変化が生じ、結果として反転層電子分布及び Si 内部の電界分布が変化する(面方位に応じた反転層電子の分布の変化は Takagi の論文においても言及されている)。そのため、 $\eta = 1/3$  として設定した実効電界  $E_{\text{eff}}$  が、Sabnis らが当初実効電界と定義した反転層中の電子が受ける平均電界  $E_{\text{average}}$  と等しくなっているかは自明ではない。

このように、Takagi らはユニバーサルに移動度を表すための  $\eta$  の設定をそれぞれの面方位に対して行い、ユニバーサル移動度の実験結果を示した後、ユニバーサル移動度と理論計算との比較を行っている。Stern と Howard の波動関数の計算結果[5.1]、Price[5.2]及び Masaki ら[1.18]のフォノン散乱の計算結果、及び Matsumoto と Uemura[5.3]のラフネス散乱の計算結果を参照してこれらの理論計算結果とユニバーサル移動度を慎重に比較し、低  $E_{\text{eff}}$  領域から中  $E_{\text{eff}}$  領域で  $\mu_{\text{eff}}$  が  $E_{\text{eff}}^{-0.3}$  に比例しているのは音響フォノン散乱が支配的であること、高  $E_{\text{eff}}$  領域において  $\mu_{\text{eff}}$  が  $E_{\text{eff}}^{-2}$  に比例するのはラフネス散乱が支配的であ



ることがそれぞれ由来となっていることを示している。このように Si-MOSFET のユニバーサル移動度は、支配的な散乱機構と結びついて理解されているため、試作した素子とユニバーサル移動度の比較から、試作した素子の移動度がどのような散乱機構で律速されているか簡易的に見積もることが可能となる。

これらの Si-MOSFET におけるユニバーサル移動度の先行研究に倣い、本章においてはまず SiC-MOSFET の実効移動度  $\mu_{\text{eff}}$  をユニバーサルに表すためには  $\eta$  をどのように設定したらよいかについて、解析的な調査を行った。その詳細は 5.3 節に記載する。その後、 $\eta$  及び実効電界  $E_{\text{eff}}$  の起源の調査として、SiC-MOSFET において反転層中の電子が受ける平均電界  $E_{\text{average}}$  を計算し、ユニバーサルに移動度を表すための実効電界  $E_{\text{eff}}$  と比較した結果を 5.4 節に記載する。最後に 5.5 節において、ユニバーサル移動度と散乱機構を考慮して計算した移動度の比較を行い、ユニバーサル移動度がどのような散乱機構で定まっているか議論を行う。

## 5.2 計算手法

本研究では、SiC-MOSFET のユニバーサル移動度の理論的調査にあたり、電子の包絡関数  $\zeta_{i,k}(z)$ 、固有エネルギー  $E_{i,k}$ 、各サブバンドの占有率、電子のポテンシャル  $V(z)$  の計算を行うとともに、それらを用いた音響フォノン散乱律速のチャンネル移動度  $\mu_{\text{ac}}$ 、無極性光学フォノンによるインターバレー散乱律速のチャンネル移動度  $\mu_{\text{inter}}$ 、ラフネス散乱律速のチャンネル移動度  $\mu_{\text{sr}}$  の計算をそれぞれ行っている。包絡関数  $\zeta_{i,k}(z)$ 、固有エネルギー  $E_{i,k}$ 、サブバンドの占有率及びポテンシャル  $V(z)$  は、Stern らの論文[4.12]を参考に有効質量近似の下、ポアソン方程式とシュレディンガー方程式を自己無撞着に解くことで計算している。

4H-SiC においては、ブリルアンゾーンの  $M$  点に伝導帯のエネルギー極小点(CBM: Conduction Band Minima)が存在することが知られている。 $M$  点はブリルアンゾーンの境界に位置しているため、CBM は 3 重に縮退している。{0001} 表面上でこれら  $M$  点上の 3 つの等価な CBM の縮退は解けない[5.4]。一方で 4H-SiC の大きな特徴として、この  $M$  点上の CBM の 120 meV 上方に二つ目の CBM が存在することが挙げられる[5.5-5.8]。本研究では Kaczer らの記法に倣い、両 CBM を 1<sup>st</sup> CBM、2<sup>nd</sup> CBM とそれぞれ記載する[5.7-5.8]。SiC のブリルアンゾーンと 2 つの CBM の描像を図 5.3 に示す。

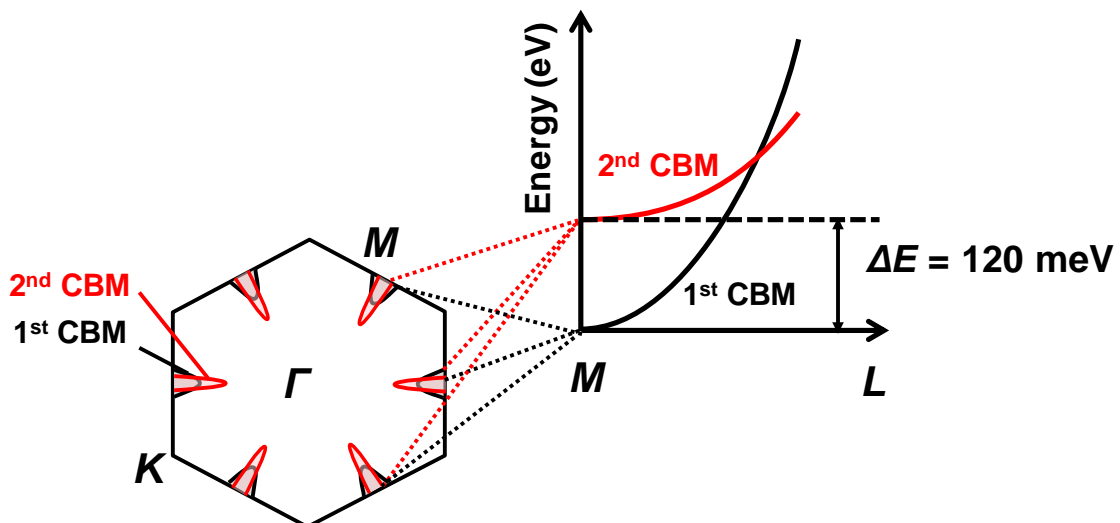


図 5.3 4H-SiC {0001} 表面上の CBM 近傍の等エネルギー面とその上方の 2<sup>nd</sup> CBM の模式図

このように、同じ  $M$  点の非常に近いエネルギーレベルに異なるバンドが存在するため、1<sup>st</sup> CBM と 2<sup>nd</sup> CBM 間の散乱がチャネル移動度に影響を与える可能性がある。そこで、 $\mu_{ac}$  と  $\mu_{inter}$  の計算においては 1<sup>st</sup> CBM と 2<sup>nd</sup> CBM 間の散乱の影響を考慮して計算を行った。それぞれの CBM において考慮するサブバンド数  $n_{subband}$  は占有率が十分小さくなるよう、9-21 の範囲で調整して計算した。

4H-SiC における移動度の計算例は少ないが、Iwata らはバルク 4H-SiC の移動度の温度依存性、 $N_A$  依存性、電子の走行方向依存性の計算結果を報告している[5.9-5.10]。

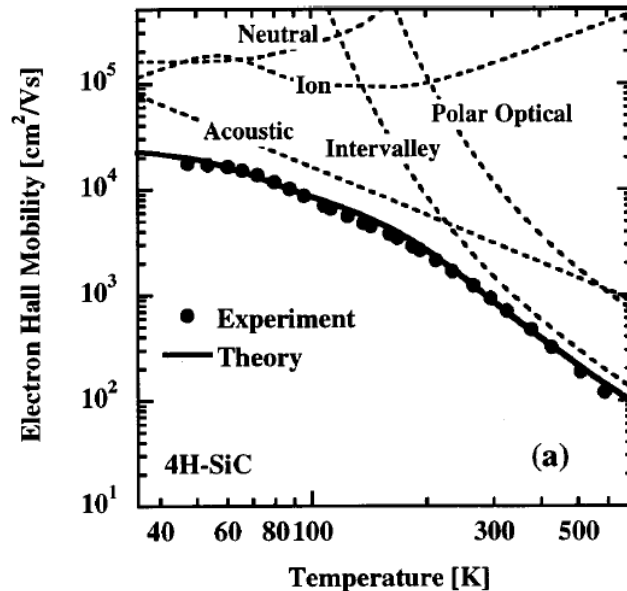


図 5.4 Iwata らによるバルク 4H-SiC の電子移動度の温度依存性の計算結果  
(参考文献[5.10]より引用)

その結果から、4H-SiC においては 40-200 K の範囲では音響フォノン散乱の影響が強く、200 K 以上でインターバレー散乱の影響が強いことが確認されている。一方で、その他の中性不純物散乱、イオン化不純物散乱、及び極性光学フォノン散乱の影響は比較的弱いことが見て取れる。本論文では Iwata らの計算結果に基づき、音響フォノン散乱、無極性光学フォノンによるインターバレー散乱に加え、MOSFET で重要になると考えられる MOS 界面のラフネス散乱を考慮して SiC-MOSFET のチャネル移動度計算を行った。その際、本論文の音響フォノン散乱と無極性光学フォノンによるインターバレー散乱の計算モデルは、バルク SiC における Iwata らの移動度計算モデル[5.9-5.10]と、Si における 2 次元反転層電子の移動度計算モデルである Masaki らの論文[1.18-1.20]、Price らの論文[5.2]、Jacoboni らの論文[5.11]、Fischetti らの論文[5.12]、Matsumoto らの論文[5.3]を参考に構築している。

以下に音響フォノン散乱、無極性光学フォノンによるインターバレー散乱、ラフネス散乱の計算式を記述する。前述のように、4H-SiC において CBM は  $M$  点に位置し、3 重に縮退している。{0001}面上の反転層においてはこの縮退は解けないため、以下の数式ではこの 3 つの等価な CBM の区別は明記していない。一方で、1<sup>st</sup> CBM と 2<sup>nd</sup> CBM に関しては番号  $i$  を 1 または 2 とし、区別して記載している。

音響フォノン散乱律速の移動度  $\mu_{ac}$  に関しては Masaki らの論文[1.18-1.20]、Price らの論文[5.2]を基に、以下の式(5.2)-(5.5)で導出している。

$$\frac{1}{\tau_{ac}^{ij,i'j'}} = \frac{m_d^i m_e k_B T}{\hbar^3 \rho_{SiC} v_s^2} \cdot D_{ac}^2 \int_0^\infty \xi_{ij}(z)^2 \xi_{i'j'}(z)^2 dz \quad (5.2)$$

$$\frac{1}{\tau_{ac}^{ij}(E)} = \sum_{i',k'} \frac{u(E - E_{i'j'})}{\tau_{ac}^{ij,i'j'}} \quad (5.3)$$

$$\mu_{ac}^{ij} = \frac{\int_{E_{ij}}^\infty q(E - E_{ij}) \tau_{ac}^{ij}(E) f_0(E) (1 - f_0(E)) dE}{m_c^i m_e \int_{E_{ij}}^\infty (E - E_{ij}) f_0(E) (1 - f_0(E)) dE} \quad (5.4)$$

$$\mu_{ac} = \sum_{ij} Ocp^{ij} \mu_{ac}^{ij} \quad (5.5)$$

ここで  $i, i'$  は散乱前後の CBM の番号 (1<sup>st</sup> CBM または 2<sup>nd</sup> CBM)、 $j, j'$  は散乱前後のサブバンド番号、 $\rho_{SiC}$  は SiC の結晶密度、 $v_s$  は結晶中の音速、 $m_d$  は状態密度有効質量、 $m_e$  は電子の有効質量、 $D_{ac}$  は音響フォノン散乱の変形ポテンシャル、 $u(E)$  はステップ関数、 $\mu_{ac}^{ij}$  は各サブバンドの音響フォノン散乱律速のチャンネル移動度、 $f_0(E)$  はフェルミ-ディラック分布関数、 $m_c$  は伝導度有効質量、 $\tau_{ac}$  は音響フォノン散乱の緩和時間、 $Ocp^{ij}$  は各サブバンドの占有率である。本論文では、Iwata らの論文[5.9-5.10]、Nillson らの論文[5.13]を参考に、音響フォノン散乱をイントラバレー散乱として扱っている。一方で Mickevičius らは、横型音響(Transverse Acoustic: TA)フォノンによるインターバレー散乱は選択則により禁止されるが、1 次の相互作用は生じうるとし、実験結果の再現のために TA フォノンによるインターバレー散乱を考慮して移動度の計算を行っている[5.14]。バルク Si における音響フォノンによるインターバレー散乱の影響に関しては、Brunetti や Jacoboni らによって調査されている[5.11, 5.15]。Brunetti や Jacoboni らは、電子速度の電界依存性及び温度依存性を詳細に調査し、それらの実験結果を再現するように縦型音響(Longitudinal Acoustic: LA)フォノン・TA フォノンによるインターバレー散乱の影響を議論している。現状、SiC においてはこれらのデータが不足していることもあり、本論文では前述のように音響フォノンによるインターバレー散乱は考慮していない。

無極性光学フォノンによるインターバレー散乱の移動度  $\mu_{inter}$  に関しては Masaki らの論文[1.18-1.20]を基に、以下の式(5.6)-(5.9)で導出している。

$$\frac{1}{\tau_{inter}^{ij,i'j'}(E)} = Z \frac{m_d^i d_{inter}^2 \int_0^\infty \xi_{ij}(z)^2 \xi_{i'j'}(z)^2 dz}{\hbar \rho_{SiC} \hbar \omega_{inter}} \cdot \left( n(\omega_{inter}) + \frac{1}{2} \pm \frac{1}{2} \right) \cdot \frac{(1 - f_0(E \mp \hbar \omega_{inter}))}{(1 - f_0(E))} \cdot u(E \mp \hbar \omega_{inter} - E_{i'j'}), \quad (5.6)$$

$$\frac{1}{\tau_{inter}^{ij}(E)} = \sum_{i',k'} \frac{1}{\tau_{inter}^{ij,i'j'}(E)} \quad (5.7)$$

$$\mu_{\text{inter}}^{ij} = \frac{\int_{E_{ij}}^{\infty} q(E - E_{ij}) \tau_{\text{inter}}^{ij}(E) f_0(E) (1 - f_0(E)) dE}{m_c^i m_e \int_{E_{ij}}^{\infty} (E - E_{ij}) f_0(E) (1 - f_0(E)) dE} \quad (5.8)$$

$$\mu_{\text{inter}} = \sum_{ij} Ocp^{ij} \mu_{\text{inter}}^{ij} \quad (5.9)$$

$d_{\text{inter}}$  はインターバレー散乱の変形ポテンシャル、 $\hbar\omega_{\text{inter}}$  はインターバレー散乱に関与するフォノンのエネルギー、 $n(\omega_{\text{inter}})$  はボーズ・アインシュタイン分布関数、 $\mu_{\text{inter}}^{ij}$  は各サブバンドのインターバレーフォノン散乱律速のチャンネル移動度、 $\tau_{\text{inter}}$  はインターバレーフォノン散乱の緩和時間である。

4H-SiC はユニットセルに 8 つの原子を持ち、それに由来して 24 のフォノンのモードが存在することが知られている[5.16]。そのため、電子は複数のモードのフォノンから散乱を受けると考えられる。その際、フォノンのエネルギー、フォノンと電子のエネルギーの相互作用を定める変形ポテンシャルに関してもフォノンモードごとに異なった値を持つと考えられる。したがって、インターバレー散乱の計算においては、正確には選択則を満たす全てのフォノンのモードのエネルギーと変形ポテンシャルを考慮して計算を行う必要がある。4H-SiC のフォノンのエネルギー分散に関しては、ラマン分光法[5.17]や理論計算[5.16]による報告例がある。しかしながら、一部のモードを除いて音響フォノン・光学フォノン、またフォノンの伝搬方向の切り分けは行われておらず、それぞれのフォノンの変形ポテンシャルに関しては、筆者の知る限り報告例がない。そこで本論文においては、Iwata ら及び Mickevičius らのバルク SiC における移動度の計算論文[5.9-5.10, 5.14]を参考にし、各フォノンモードによるインターバレー散乱の影響を単一のフォノンモードによるインターバレー散乱で代表して表す近似モデルを用いて計算を行った。その際、フォノンのエネルギー $\hbar\omega_{\text{inter}}$  に関しても[5.9-5.10, 5.14]を参考にし、縦型の光学フォノンのエネルギー85 meV を用いた。式(5.6)において  $Z$  はインターバレー散乱による電子の終状態の数であり  $Z=4$  に設定したが、これも Iwata らの論文を参考に図 5.5 に示す最近接の 4 つの  $M$  点への遷移のみを考慮したためである。

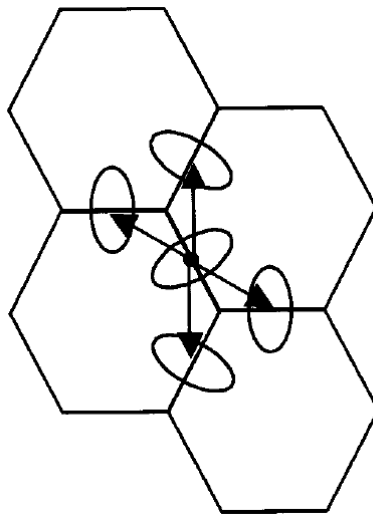


図 5.5 本論文において考慮したインターバレー散乱における電子の遷移過程  
(参考文献[5.9]より引用)

近似モデルを用いたことによる影響に関しては 5.5 節において慎重に議論を行うが、将来的にはモデルの精度を上げるため、4H-SiC のフォノンのエネルギーの波数分散の結果に対し、光学モード/音響フォノンモードとフォノンの伝搬方向の切り分けを行うと同時に、それぞれのフォノンモードの変形ポテンシャルに関する理論・実験的検討が必要となる。

ラフネス散乱の移動度  $\mu_{sr}$  に関しては、Matsumoto らの論文[5.3]、Masaki らの論文[1.18-1.20]から、以下の式(5.10)-(5.13)で導出している。

$$\tau_{sr}^{ij}(E) = \frac{\hbar^3}{q^2 m_d^i m_e} \left( \frac{\Delta \epsilon_s F_{ij}^*}{\epsilon(Q)} \right)^{-2} \cdot \left( \int_0^\pi (1 - \cos \theta) \exp \left( -\frac{1}{2} A^2 Q^2 (1 - \cos \theta) \right) d\theta \right)^{-1} \quad (5.10)$$

$$F_{ij}^* = \int_0^\infty \xi_{ij}^*(z) \frac{dV(z)}{dz} \xi_{ij}(z) \quad (5.11)$$

$$\mu_{sr}^{ij} = \frac{\int_{E_{ij}}^\infty q (E - E_{ij}) \tau_{sr}^{ij}(E) f_0(E) (1 - f_0(E)) dE}{m_c^i m_e \int_{E_{ij}}^\infty (E - E_{ij}) f_0(E) (1 - f_0(E)) dE} \quad (5.12)$$

$$\mu_{sr} = \sum_{ij} Ocp^{ij} \mu_{sr}^{ij} \quad (5.13)$$

ここで、 $A$  及び  $\Lambda$  は MOS 界面ラフネスの高さと相関長、 $\epsilon(Q)$  は遮蔽を考慮した誘電関数[1.18]、 $F_{ij}^*$  は各サブバンドの平均電界、 $Q$  は散乱ベクトルである。

計算に使用した物理パラメータを以下の表 5.1 にまとめる。

表 5.1 計算に使用した物理パラメータ

計算パラメータ		4H-SiC {0001}面	
		1st CBM	2nd CBM
$m_d$	状態密度有効質量	0.403	0.355
$m_c$	伝導度有効質量	0.378	0.276
$m_z$	c軸方向の有効質量	0.310	0.800
$n_{\text{subband}}$	サブバンド数	9-21	9-21
$\rho_{\text{SiC}}$	SiCの結晶密度	3221 [kg/m <sup>3</sup> ]	
$v_s$	SiCの音速	13270 [m/s]	
$\hbar\omega_{\text{inter}}$	インターバレーフォノンのエネルギー	85 [meV]	

SiC-MOSFET の 1st CBM と 2nd CBM の有効質量、SiC の結晶密度、SiC 結晶内部の音速は文献[5.5-5.6]を引用し、インターバレーフォノンのエネルギーに関しては文献[5.9-5.10, 5.14]を引用している。

### 5.3 SiC-MOSFET においてユニバーサルに移動度を表すための $\eta$ の解析

本節においては、SiC-MOSFET の実効移動度  $\mu_{\text{eff}}$  をユニバーサルに表すためには  $\eta$  をどのように設定すべきか解析的に調査した結果を記述する。説明の関係で前後してしまっただが、第 4 章で示した SiC-MOSFET のユニバーサル移動度は、本節で定める  $\eta$  の値を用いてプロットした結果となっている。

試作した C 面 Wet 酸化 MOSFET の 423 K における  $V_b$ 、 $N_A$  に依存した  $\mu_{\text{eff}}-N_{\text{free}}$  特性を図 5.6 に示す。

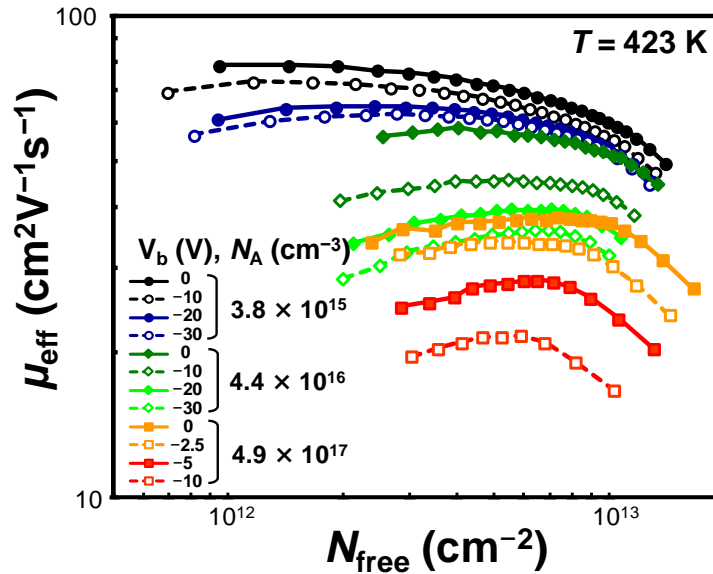


図 5.6 C 面 Wet 酸化 MOSFET の  $\mu_{\text{eff}}-N_{\text{free}}$  特性の  $V_b$ 、 $N_A$  依存性

$\mu_{\text{eff}}-N_{\text{free}}$  特性は  $N_A$ 、 $V_b$  に依存して全体的に下方に動き、重なりを持たないことが見て取れる。この実験結果を基に、ユニバーサルに移動度を表す  $\eta$  を解析的に調査した。ここで 423 K において解析を行ったのは、クーロン散乱の影響を可能な限り抑えるためである。

まず  $\eta$  の値を 0.1 から 0.7 の範囲において 0.01 間隔刻みで条件振りし、 $\mu_{\text{eff}}-E_{\text{eff}}$  特性の  $N_A$ 、 $V_b$  依存性をプロットした。その後、各  $\mu_{\text{eff}}$  において最もユニバーサルに移動度を表す  $\eta$  を以下の手順で解析した。図 5.7(a)(b)に、例として  $\eta$  を 0.1 と 0.26 としたときの比較例を示した。

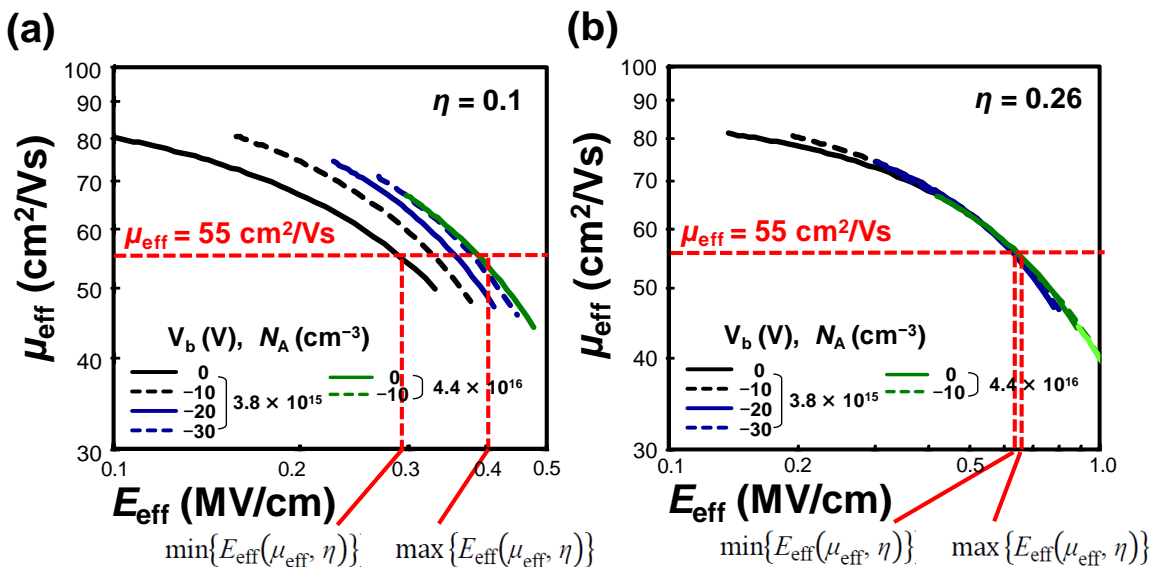


図 5.7 (a)  $\eta = 0.1$  としてプロットした  $\mu_{\text{eff}}-E_{\text{eff}}$  特性 (b)  $\eta = 0.26$  としてプロットした  $\mu_{\text{eff}}-E_{\text{eff}}$  特性

図 5.7 では  $\mu_{\text{eff}} = 55 \text{ cm}^2/\text{Vs}$  において、 $\eta = 0.1$  と  $0.26$  のどちらがよりユニバーサルに移動度を表すか解析している。 $N_A$  及び  $V_b$  に依存した  $\mu_{\text{eff}}-E_{\text{eff}}$  特性と  $\mu_{\text{eff}} = 55 \text{ cm}^2/\text{Vs}$  の直線との交点の中で、最小の  $E_{\text{eff}}$  を  $\min\{E_{\text{eff}}(\mu_{\text{eff}}, \eta)\}$ 、最大の  $E_{\text{eff}}$  を  $\max\{E_{\text{eff}}(\mu_{\text{eff}}, \eta)\}$  とそれぞれ表している。 $\max\{E_{\text{eff}}(\mu_{\text{eff}}, \eta)\}$  と  $\min\{E_{\text{eff}}(\mu_{\text{eff}}, \eta)\}$  の差が最小となる  $\eta$  がその  $\mu_{\text{eff}}$  において最もユニバーサルに  $\mu_{\text{eff}}$  を表す  $\eta$  であると定義した。図 5.7 での例では、 $\eta = 0.26$  の方が  $\mu_{\text{eff}} = 55 \text{ cm}^2/\text{Vs}$  における  $\max\{E_{\text{eff}}(\mu_{\text{eff}}, \eta)\}$  と  $\min\{E_{\text{eff}}(\mu_{\text{eff}}, \eta)\}$  の差が小さく、よりユニバーサルに移動度を表せていることが分かる。これを数式で表したのが以下の(5.14)式である。

$$\eta(\mu_{\text{eff}}) = \min_{0.1 \leq \eta \leq 0.7} [\max\{E_{\text{eff}}(\mu_{\text{eff}}, \eta)\} - \min\{E_{\text{eff}}(\mu_{\text{eff}}, \eta)\}] \quad (5.14)$$

このとき、クーロン散乱に律速された  $N_{\text{free}}$  に伴い  $\mu_{\text{eff}}$  が上昇する領域が存在すると、一つの  $\mu_{\text{eff}}-E_{\text{eff}}$  特性と各移動度の直線が交点を二つ持つてしまうため、解析が困難となってしまう。また、ユニバーサル移動度はフォノン散乱とラフネス散乱によって定まる  $\mu_{\text{eff}}$  を表す概念であるため、図 5.7 のプロットとその解析の際には  $N_{\text{free}}$  に伴って  $\mu_{\text{eff}}$  が上昇する領域は除去して扱っている。

(5.14)式により、各  $\mu_{\text{eff}}$  において最もユニバーサルに移動度を表す  $\eta$  を解析した結果を図 5.8 に示す。

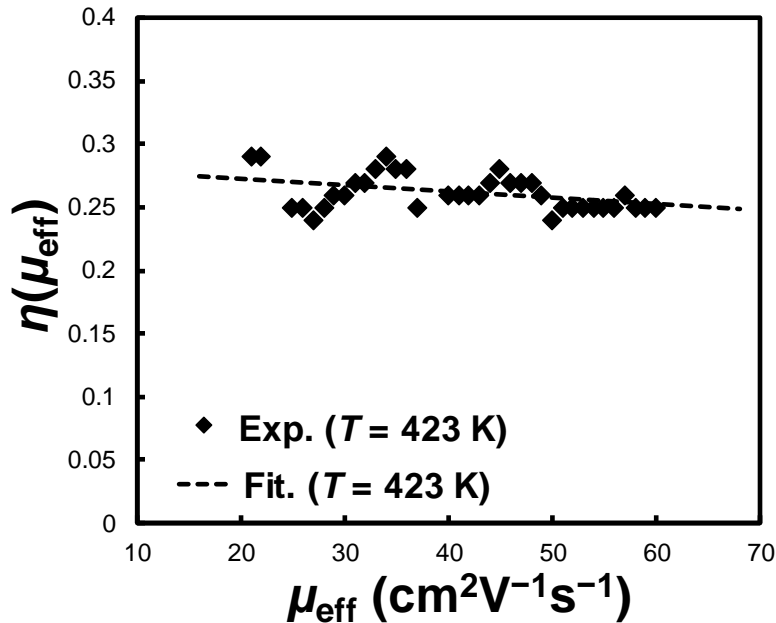


図 5.8 各  $\mu_{\text{eff}}$  においてユニバーサルに移動度を表す  $\eta$

その結果、SiC-MOSFET においてはユニバーサルに移動度を表すための  $\eta$  は  $\mu_{\text{eff}}$  に大きく依存しないことが分かった。Irie らは(100)面上の Si-MOSFET において同様の解析を行い、厳密にはユニバーサルに移動度を表すための  $\eta$  は  $E_{\text{eff}}$ 、 $N_A$  に依存して変化することを報告している[5.18]。この結果は、Irie らの Si(100)面の調査結果とは対照的な結果である。

$\eta$  が  $\mu_{\text{eff}}$  に大きく依存しないことが分かったところで、全移動度領域において最もユニバーサルに移動度を表すための  $\eta$  を以下の残差平方和(RSS: root mean square)の式(5.15)から求めた。

$$\text{RSS}(\eta) = \sum_{\mu_{\text{eff}}=21}^{60} \left[ \max\{\log(E_{\text{eff}}(\mu_{\text{eff}}, \eta))\} - \min\{\log(E_{\text{eff}}(\mu_{\text{eff}}, \eta))\} \right]^2 \quad (5.15)$$

残差平方和 RSS の解析結果を図 5.9 に示す。

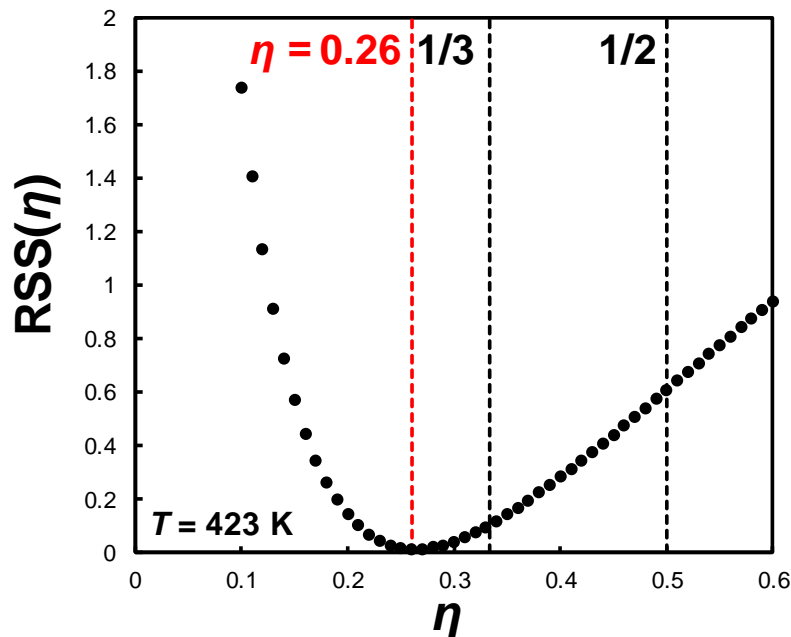


図 5.9 残差平方和 RSS の解析による SiC-MOSFET で最もユニバーサルに移動度を表す  $\eta$  の調査

その結果、SiC-MOSFET においては  $\eta = 0.26$  によって最もユニバーサルに移動度を表せることが分かった。この  $\eta = 0.26$  を用いて SiC-MOSFET の移動度を表したのが、第 4 章の図 4.16 である。

比較のため、 $\eta$  を 0.26 と 0.5 に設定してプロットした  $\mu_{\text{eff}}-E_{\text{eff}}$  特性を図 5.10(a)(b) にそれぞれ示す。図 5.10 においては、クーロン散乱が支配的な  $E_{\text{eff}}$  に伴って  $\mu_{\text{eff}}$  が上昇する領域を除去してプロットしている。明らかに  $\eta = 0.26$  としてプロットした図 5.10(a) の方がユニバーサルに実験結果を表せていることが見て取れる。図 5.10(a) の結果から、 $E_{\text{eff}} = 0.2 \text{ MV/cm}$  の低電界領域では  $\mu_{\text{eff}}$  は  $E_{\text{eff}}^{-0.12}$  に比例し、 $E_{\text{eff}} = 0.7 \text{ MV/cm}$  の中電界領域では  $\mu_{\text{eff}}$  は  $E_{\text{eff}}^{-0.59}$  に比例し、 $E_{\text{eff}} = 2.0 \text{ MV/cm}$  の高電界領域では  $\mu_{\text{eff}}$  は  $E_{\text{eff}}^{-2.1}$  に比例する傾向を示した。このように Si-MOSFET と異なり、SiC-MOSFET では  $\mu_{\text{eff}} \propto E_{\text{eff}}^{\alpha}$  と表した時の冪指数  $\alpha$  は  $E_{\text{eff}}$  に伴い連続的に減少する傾向を示した。 $\alpha$  が  $E_{\text{eff}}$  に伴って連続的に減少した原因に関しては、5.5 節において散乱機構の理論的な調査結果と絡めて詳細に説明する。



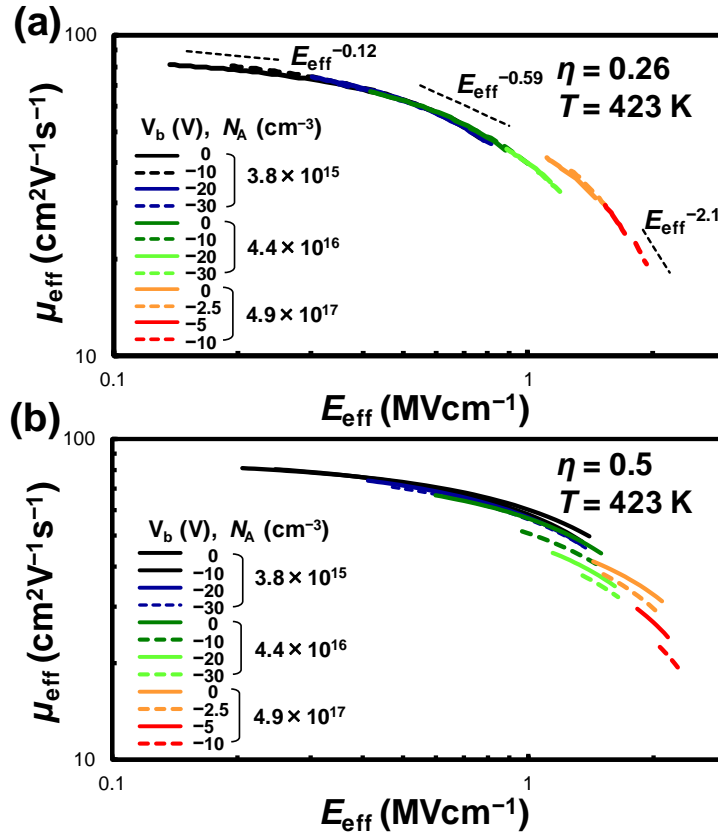


図 5.10 (a)  $\eta = 0.26$  (b)  $\eta = 0.5$  としてプロットした  $\mu_{\text{eff}}-E_{\text{eff}}$  特性

## 5.4 電子が受ける平均電界とユニバーサルに移動度を表すための実効電界の比較

前述のように、Sabnis らは(100)面上の Si-MOSFET において、反転層中の電子が受ける平均電界  $E_{\text{average}}$  を横軸として表すことで  $\mu_{\text{eff}}$  がユニバーサルに表されることを見出した。そのときに Sabnis らは  $\eta$  の値を 0.5 に設定している。しかしながら、Si (110)面及び(111)面ではユニバーサルに移動度を表すために  $\eta$  は 1/3 に設定されている。また、5.3 節で示したように SiC-MOSFET においてユニバーサルに移動度を表すための  $\eta$  は 0.26 となった。Si-MOSFET においては面方位に依存して反転層電子及び半導体内部の電界分布が異なることが知られ、Si-MOSFET と SiC-MOSFET の間でも反転層電子及び電界分布が異なるのは明らかである。そのときにユニバーサルに移動度を表すための実効電界  $E_{\text{eff}}$  と、当初 Sabnis らがユニバーサル移動度の横軸として設定した電子が受ける平均電界  $E_{\text{average}}$  が等しくなっているかは自明ではない。そこで、本論文では SiC-MOSFET における平均電界  $E_{\text{average}}$  を計算し、平均電界を定めるための  $\eta$  がどのような値となるかを理論的に調査し、ユニバーサルに移動度を表すための  $\eta$  と等しくなるか確認した。本論文では以降、電子が受ける平均電界  $E_{\text{average}}$  を定める  $\eta$  を  $\eta_{\text{average}}$  と記載する。

まず、電子が受ける平均電界  $E_{\text{average}}$  を三角ポテンシャル内での反転層電子の分布とポテンシャル分布から、以下の式(5.16)で求めた。

$$E_{\text{average}} = \sum_{ij} Ocp^{ij} \int_0^{\infty} \xi_{ij}(z) \frac{dV(z)}{dz} \xi_{ij}(z) dz \quad (5.16)$$

次に、 $E_{\text{average}}$  と式(5.1)で定義される  $E_{\text{eff}}$  との比較から、電子が受ける平均電界を定める  $\eta_{\text{average}}$  を以下のように定義した。

$$\begin{aligned} E_{\text{average}} &= \frac{q}{\epsilon_s} (N_{\text{dpl}} + \eta_{\text{average}} N_{\text{free}}) \\ \Leftrightarrow \eta_{\text{average}} &= \frac{\epsilon_s}{q} \frac{1}{N_{\text{free}}} \left( E_{\text{average}} - \frac{q}{\epsilon_s} N_{\text{dpl}} \right) \end{aligned} \quad (5.17)$$

$\eta_{\text{average}}$  が  $N_{\text{free}}$ 、 $N_A$  に伴ってどのように変わるか調査した結果を図 5.11 に示す。

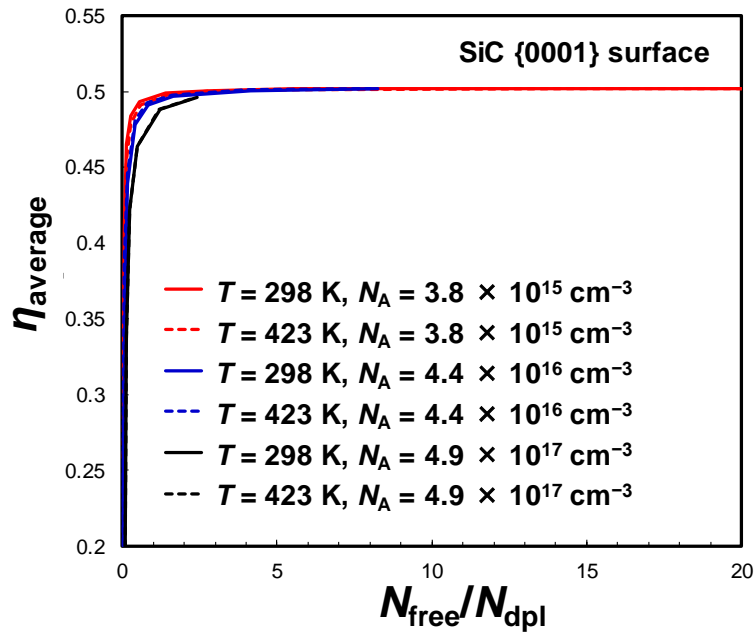


図 5.11 SiC {0001}面における  $\eta_{\text{average}}$  の  $N_{\text{free}}$  及び  $N_A$  依存性

図 5.11 では横軸を  $N_{\text{free}}/N_{\text{dpl}}$  とし、 $N_{\text{free}}$  を  $N_{\text{dpl}}$  で規格化している。その結果、 $\eta_{\text{average}}$  は  $N_{\text{free}}/N_{\text{dpl}}$  とともに増加し、0.5 に飽和する傾向を示した。この結果は、 $N_{\text{dpl}}$  に対して  $N_{\text{free}}$  が十分大きいときは  $\eta_{\text{average}}$  が 0.5 となり、 $N_{\text{dpl}}$  に対して  $N_{\text{free}}$  が十分小さいときは  $\eta_{\text{average}} < 0.5$  となることを示している。また、基板濃度が高いほど  $\eta_{\text{average}}$  は低い傾向となり、温度による差はほとんど見られなかった。この結果の解釈のために、 $N_{\text{free}}$  が  $N_{\text{dpl}}$  に対して十分大きく、 $\eta_{\text{average}}$  が 0.5 となるときの SiC 内部の電子状態を図 5.12(a)に、 $N_{\text{dpl}}$  に対して  $N_{\text{free}}$  が十分小さく、 $\eta_{\text{average}} < 0.5$  となるときの SiC 内部の電子状態を図 5.12(b)にそれぞれ示して比較を行った。

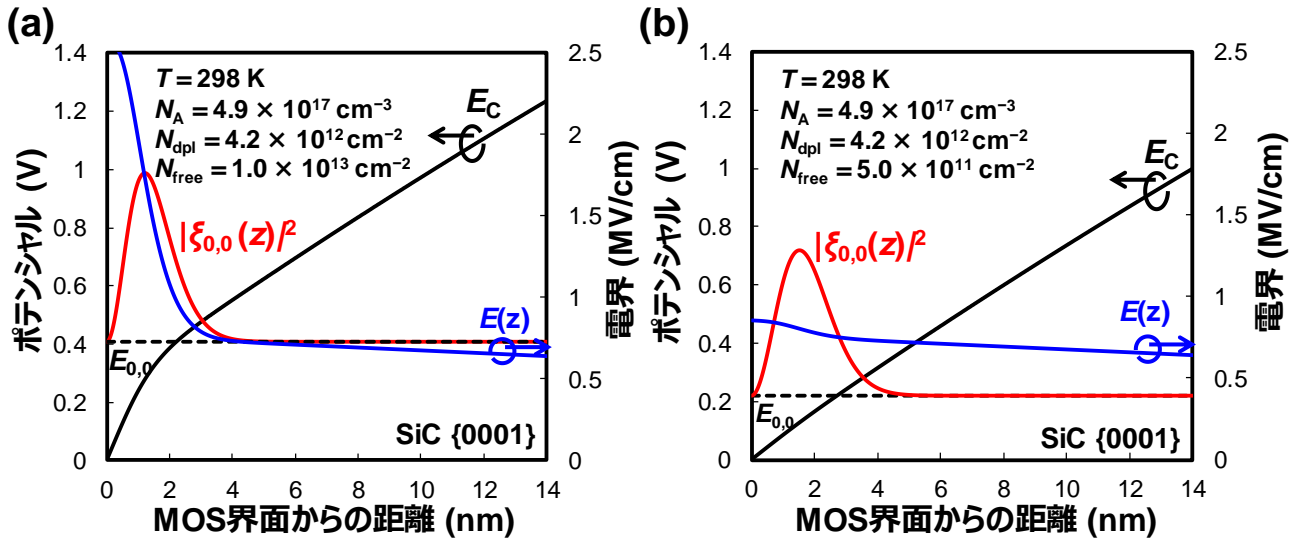


図 5.12 (a)  $N_{\text{free}}$  が  $N_{\text{dpl}}$  に対して十分大きく  $\eta_{\text{average}}$  が 0.5 となるときの SiC 内部の電子状態  
 (b)  $N_{\text{dpl}}$  に対して  $N_{\text{free}}$  が十分小さく  $\eta_{\text{average}} < 0.5$  となるときの SiC 内部の電子状態

図 5.12 には伝導帯端  $E_C$ 、基底サブバンドの包絡関数の 2 乗の分布  $|\xi_{0,0}(z)|^2$ 、基底サブバンドの固有エネルギー  $E_{0,0}$ 、電界分布  $E(z)$  をプロットしている。図 5.12(a) のように  $N_{\text{dpl}}$  に対して  $N_{\text{free}}$  が十分大きい時は、電界はほぼ  $N_{\text{free}}$  によってのみ定まり、MOS 界面近傍で急上昇する。その際、三角ポテンシャル内で電子の分布はほぼ中心対称であるため、平均電界  $E_{\text{average}}$  を定めるための  $N_{\text{free}}$  の重みづけ係数である  $\eta_{\text{average}}$  は 0.5 に収束すると考えられる。一方、図 5.12(b) のように  $N_{\text{dpl}}$  が  $N_{\text{free}}$  に対して大きい場合は、空乏層電荷が作る電界の影響が無視できない。式(5.17)の第 2 項は空乏層電荷が MOS 界面に作る電界となっており、反転層電子が作る電界に対して空乏層電荷が MOS 界面に作る電界が高い時は、式(5.17)からも分かるように  $\eta_{\text{average}}$  は 0.5 以下になると考えられる。

$N_{\text{dpl}}$  に対して  $N_{\text{free}}$  が小さいということは、クーロン散乱源となる基板不純物の密度が高く、反転層電子によるクーロン散乱源の遮蔽が弱いことを意味する。そのため、フォノン散乱とラフネス散乱の影響を扱うユニバーサル移動度の議論の観点では、SiC-MOSFET の  $\eta_{\text{average}}$  は 0.5 として扱うのが妥当であると考えられる。5.3 節で確認したように、ユニバーサルに移動度を表すための  $\eta$  は  $N_A$  及び  $N_{\text{free}}$  に依らず 0.26 となったことから、この結果は SiC-MOSFET においては電子が受ける平均電界  $E_{\text{average}}$  とユニバーサルにチャンネル移動度を表すための実効電界  $E_{\text{eff}}$  は区別して考えるべきであることを示唆している。同様の計算を Si (100)面、Si (110)面、Si(111)面に対しても行い、SiC {0001} 面の結果と比較した。結果を図 5.13 に示す。

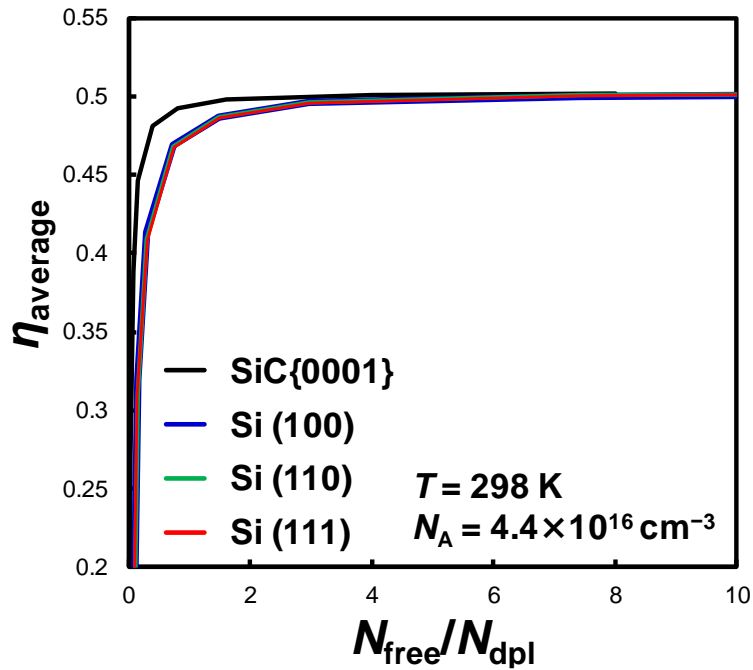


図 5.13  $\eta_{average}$  の SiC と Si の比較

その結果、Si においても同様に  $\eta_{average}$  は  $N_{free}/N_{dpl}$  とともに増加し、0.5 に飽和する傾向を示した。また、 $\eta_{average}$  の振る舞いは Si の面方位に大きく依存しないことも見て取れる。前述のように、Si(100)面においてはユニバーサルに移動度を表すための  $\eta$  として 1/2 が用いられているが、Si(110)面と Si(111)面では  $\eta$  は 1/3 に設定されており、電子が受ける平均電界  $E_{average}$  とユニバーサルにチャンネル移動度を表すための実効電界  $E_{eff}$  は異なることが分かる。これらの結果をまとめて以下の表 5.2 に示す。

表 5.2 Si と SiC における反転層電子が受ける平均電界を定める  $\eta_{average}$  とユニバーサルに移動度を表すための  $\eta$  の比較

	反転層電子が受ける平均電界を定める $\eta_{average}$	ユニバーサルに移動度を表すための $\eta$
SiC{0001}面	0.5	0.26
Si (100)面	0.5	0.5
Si (110)面	0.5	1/3
Si (111)面	0.5	1/3

表 5.2 から分かるように、Sabnis らが当初調査を行った Si(100)面においては確かに  $\eta_{average}$  とユニバーサルに移動度を表すための  $\eta$  は等しくなる。これは、電子が受ける平均電界  $E_{average}$  とユニバーサルに移動度を表すための実効電界  $E_{eff}$  が等しくなることを意味する。一方で、Si のその他の面方位と SiC においては、 $\eta_{average}$  とユニバーサルに移動度を表すための  $\eta$  の値は異なる。これは、電子が受ける平均電界  $E_{average}$  とユニバーサルに移動度を表すための実効電界  $E_{eff}$  が異なることを意味する。

SiC{0001}面において  $E_{average}$  と  $E_{eff}$  を直接比較した結果を図 5.14 に示す。

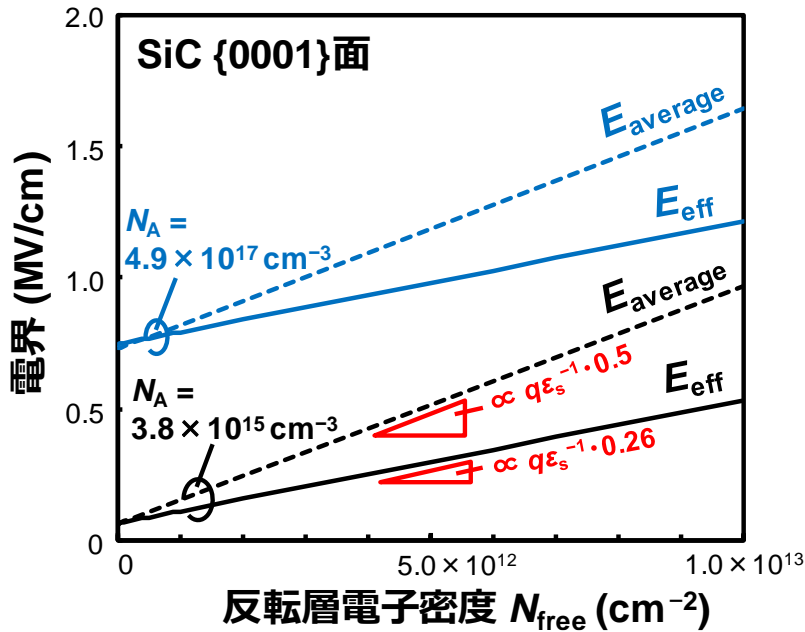


図 5.14 SiC{0001}面における  $E_{average}$  と  $E_{eff}$  の比較

電界の  $N_{free}$  に対する傾きは  $\eta$  の値によって定まるため、図 5.11 に示した  $N_{free}$  が  $N_{dpl}$  に対して小さく  $\eta_{average} < 0.26$  になる領域を除いて、 $E_{average}$  の方が  $N_{free}$  に対する傾きが高く、値も大きくなるが見て取れる。

これらの結果から、ユニバーサルに移動度を表すための  $\eta$ 、及びそれを用いて求めた実効電界  $E_{eff}$  は、それ自体が物理的な意味を持っているというよりは、様々な散乱機構で定まるチャンネル移動度の結果を統一的に整理して表すための経験的なパラメータであると考えられる。一方で、本章の最初に記述したように、ユニバーサル移動度は  $N_A$ 、 $V_b$ 、 $N_{free}$  に依らず実効移動度  $\mu_{eff}$  の実験結果を統一的に表すためデバイス開発における重要な指標となり、デバイスモデリングや回路シミュレータへの応用の観点でも有用であることに変わりはない。

## 5.5 ユニバーサル移動度と理論計算の比較

本節では、ユニバーサル移動度の実験結果と散乱機構を考慮して計算した移動度の比較を示す。前述のように、Si-MOSFET のユニバーサル移動度は支配的な散乱機構と結びついて理解されており、開発の現場においては試作した素子における支配的な散乱機構を簡易的に知るために、ユニバーサル移動度と試作した素子の移動度の比較がよく行われている。計算の詳細はすでに 5.2 節に記したが、4H-SiC の特徴として、ブリルアンゾーンの  $M$  点に位置するエネルギーレベルが近い二つの伝導帯端のエネルギー極小点、1<sup>st</sup> CBM と 2<sup>nd</sup> CBM の存在が挙げられる。音響フォノン散乱と光学フォノンによるインターバレー散乱の計算においては、1<sup>st</sup> CBM と 2<sup>nd</sup> CBM 間の散乱の影響を調査している。音響フォノン散乱に関しては、以下の図 5.15 に示す 3 つのエネルギーバンドモデルで計算を行い、その結果を比較した。

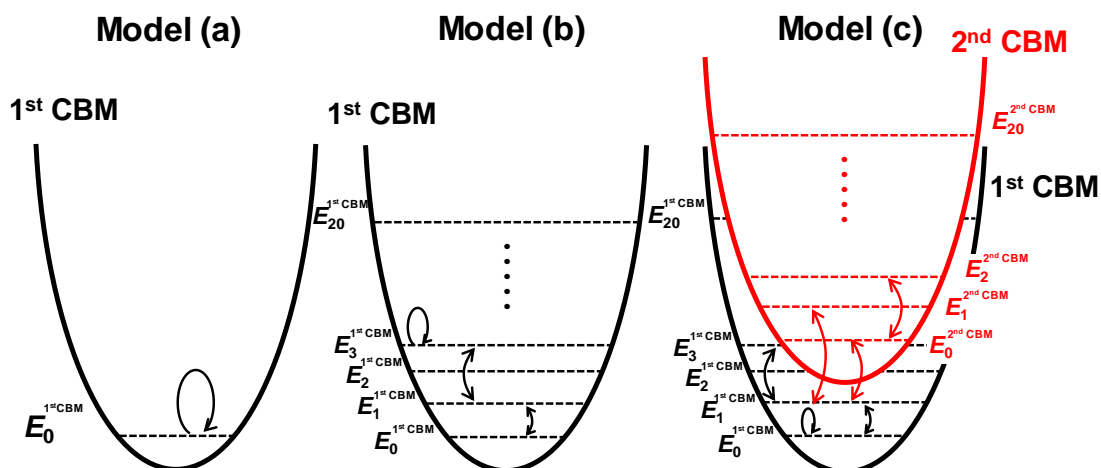


図 5.15 計算に用いた CBM のモデル (a) 1<sup>st</sup> CBM の基底サブバンド内散乱のみ考慮 (b) 1<sup>st</sup> CBM のサブバンド間散乱を考慮 (c) 1<sup>st</sup> CBM と 2<sup>nd</sup> CBM 間のバンド間散乱を考慮

Model(a)においては 1<sup>st</sup> CBM の基底サブバンドのみを仮定し、この基底サブバンド内の散乱のみを考慮して計算を行った。Model(b)では 1<sup>st</sup> CBM のサブバンド間散乱を考慮して計算を行った。Model(c)ではサブバンド間散乱に加え、1<sup>st</sup> CBM と 2<sup>nd</sup> CBM の間のバンド間散乱も考慮して計算した。

音響フォノン散乱律速のチャンネル移動度  $\mu_{ac}$  の計算結果を図 5.16 に示す。図 5.16 の計算においては、暫定的に音響フォノン散乱の変形ポテンシャル  $D_{ac}$  をバルク SiC における報告値である 23.8 eV に設定し[5.13, 5.19]、本節の後半において SiC-MOSFET における  $D_{ac}$  の値に関して議論を行う。一方で、 $D_{ac}$  は  $\mu_{ac}$  を定数倍するパラメータであり  $\mu_{ac}$  の絶対値には影響を及ぼすが、図 5.16 にて行う  $E_{eff}$  に対する関数形の議論や図 5.15 に示した Model(a)(b)(c)の定性的な比較には影響を及ぼさないことに注意されたい。

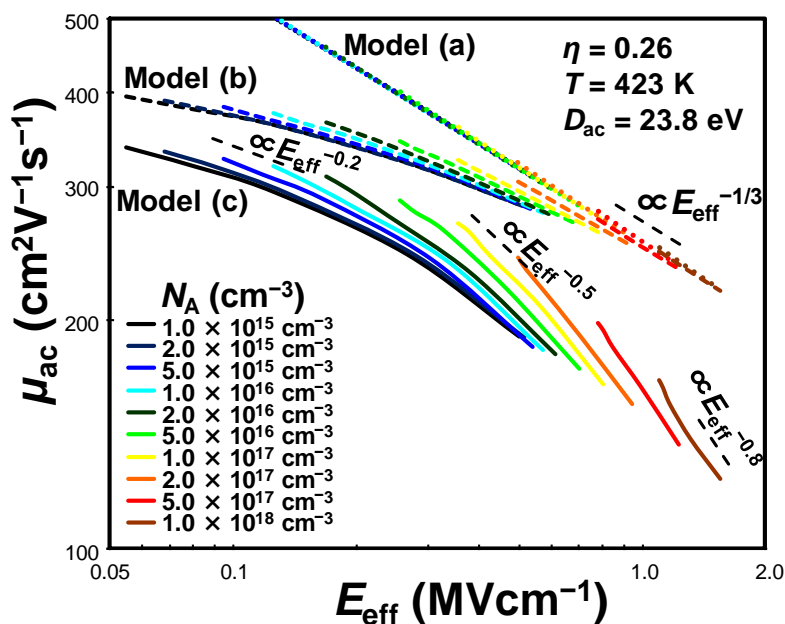


図 5.16 音響フォノン散乱律速のチャンネル移動度  $\mu_{ac}$  の計算結果

Model(a)としてドット線で示した1<sup>st</sup> CBMの基底サブバンドのみを考慮した場合は、全 $E_{\text{eff}}$ 領域で $\mu_{\text{ac}}$ が $E_{\text{eff}}^{-1/3}$ に比例する結果となった。これは、Si-MOSFETにおける実験結果と近い傾向である[1.16-1.17]。一方、Model(b)として破線で示したように1<sup>st</sup> CBMのサブバンド間散乱を考慮した場合は、特に低 $E_{\text{eff}}$ 領域で $\mu_{\text{ac}}$ が大きく低下するが、高 $E_{\text{eff}}$ 領域では基底サブバンドのみを考慮した計算結果に漸近している。さらにModel(c)として実線で示したように、1<sup>st</sup> CBMと2<sup>nd</sup> CBM間の散乱を考慮した計算結果では、特に高 $E_{\text{eff}}$ 領域で $\mu_{\text{ac}}$ が大きく低下している。

これらの結果は $E_{\text{eff}}$ に伴うサブバンド構造の変化に由来していると考えられる。図5.17(a)(b)に、電子のサブバンドのエネルギーレベルと占有率の $E_{\text{eff}}$ に伴う変化を計算した結果をそれぞれ示す。計算はModel(c)にて行い、 $N_A$ を3水準条件振りしている。図5.17において実線で示した $E_0$ は基底サブバンド、破線で示した $E_1$ は基底サブバンドの一つ上のエネルギーのサブバンドを表し、黒の線は1<sup>st</sup> CBM、赤の線は2<sup>nd</sup> CBMを表している。

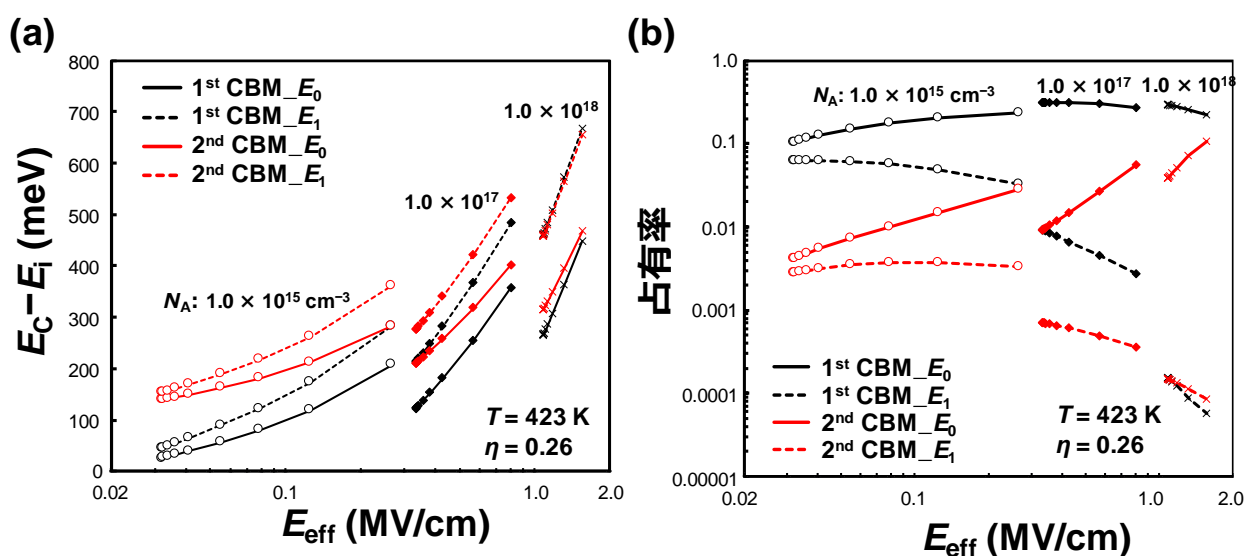


図 5.17 (a) 電子のサブバンドエネルギーの  $E_{\text{eff}}$  依存性 (b) 電子の占有率の  $E_{\text{eff}}$  依存性

図 5.17 から  $E_{\text{eff}}$  が小さいときは  $E_0$  と  $E_1$  のエネルギー差が小さく、占有率の差も小さいことが見て取れる。そのため、図 5.16 の上位サブバンドを考慮した Model(b)において、低  $E_{\text{eff}}$  領域で Model(a) よりも  $\mu_{\text{ac}}$  が低下したのは、サブバンド間を遷移する音響フォノン散乱の頻度が増加したことに由来すると考えられる。一方で高  $E_{\text{eff}}$  においては、同一 CBM 内の  $E_0$  と  $E_1$  のエネルギー差は大きくなるが、1<sup>st</sup> CBM と 2<sup>nd</sup> CBM のエネルギー差は小さくなるが見て取れる。これは 1<sup>st</sup> CBM よりも 2<sup>nd</sup> CBM の方が  $z$  方向の有効質量  $m_z$  が大きいためである。そのため 1<sup>st</sup> CBM と 2<sup>nd</sup> CBM を考慮した Model(c)において Model(b) よりも高  $E_{\text{eff}}$  で  $\mu_{\text{ac}}$  が低下したのは、1<sup>st</sup> CBM と 2<sup>nd</sup> CBM 間を遷移する音響フォノン散乱の頻度が増加したことに由来すると考えられる。このように 1<sup>st</sup> CBM と 2<sup>nd</sup> CBM 間を考慮して移動度を計算した例は、バルク SiC も含めても筆者の知る限り存在せず、1<sup>st</sup> CBM と 2<sup>nd</sup> CBM 間の散乱により移動度が低下することを確認したのは本論文が初である。図 5.16 に示したように、Model(c)においては  $\mu_{\text{eff}} \propto E_{\text{eff}}^\alpha$  と表した時の冪数  $\alpha$  が  $E_{\text{eff}}$  に伴い連続的に減少する傾向を示すことが見て取れ、これは図 5.10(a) に示した実験結果の傾向に近い。 $\alpha$  の振る舞いに関しては実験結果との定量的な比較も含めて詳細を後述する。

続いて、無極性光学フォノンに由来するインターバレー散乱律速の移動度  $\mu_{\text{inter}}$  の計算を行った。5.2

節に記したように、インターバレー散乱に関しては Iwata らのバルク SiC における移動度の計算論文[5.9-5.10]を参考に、各フォノンモードによるインターバレー散乱の影響を単一のフォノンモードによるインターバレー散乱で代表して表す近似モデルを用いて計算を行った。その際、インターバレーフォノンの単位変位長当たりの変形ポテンシャル  $d_{\text{inter}}$  とインターバレーフォノンのエネルギー  $\hbar\omega_{\text{inter}}$  についても文献[5.10]の値を引用し、それぞれ  $2.3 \times 10^{11} \text{ eVm}^{-1}$  と  $0.085 \text{ eV}$  に設定している。インターバレー散乱に関しても、1<sup>st</sup> CBM と 2<sup>nd</sup> CBM 間の遷移の影響度を調査するため、以下の図 5.18 に示す 2 つのモデルで計算を行い、その結果を比較した。

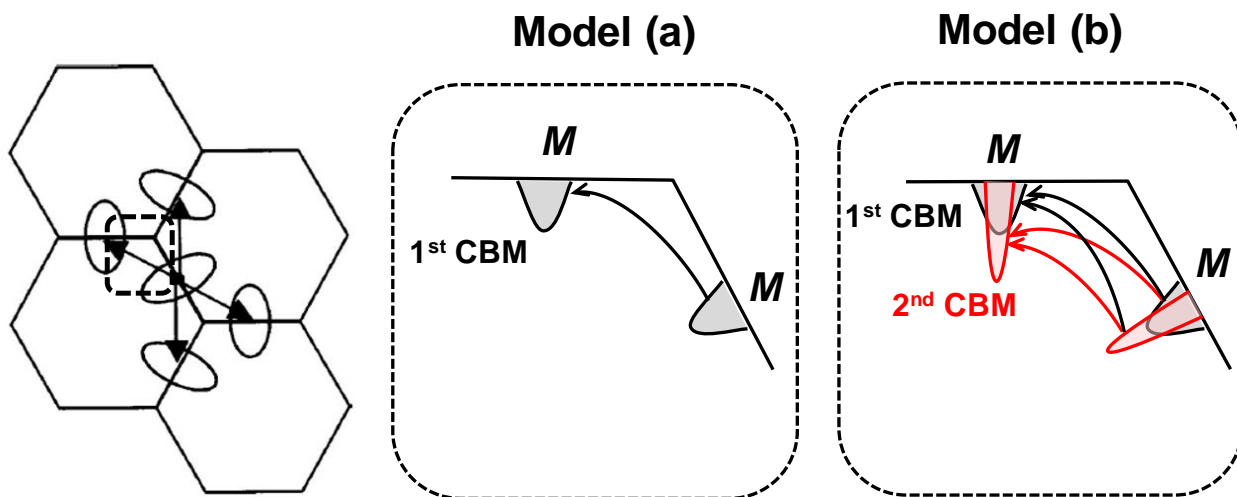


図 5.18 計算に用いたインターバレー散乱モデル  
(a) 1<sup>st</sup> CBM 間の遷移のみを考慮 (b) 1<sup>st</sup> CBM と 2<sup>nd</sup> CBM 間の遷移を考慮

Model (a)においては、1<sup>st</sup> CBM 間の遷移のみを考慮している。一方で Model (b)においては 1<sup>st</sup> CBM から 2<sup>nd</sup> CBM、2<sup>nd</sup> CBM から 1<sup>st</sup> CBM への遷移も考慮して計算を行っている。またインターバレー散乱に関しては、Model (a)と Model (b)のいずれにおいても上位サブバンドまで考慮して計算を行っている。

計算結果を図 5.19 に示す。インターバレーフォノン散乱に関しても、Model (a)と比較して Model (b)では移動度が下がっていることが見て取れる。そのため、インターバレー散乱において異なる CBM に電子が遷移することで移動度が低下していることが分かる。一方で、 $\mu_{\text{inter}}$  では  $\mu_{\text{eff}} \propto E_{\text{eff}}^{\alpha}$  と表した時の冪指数  $\alpha$  が  $E_{\text{eff}}$  に伴い大きく減少する傾向は確認されず、これは  $\mu_{\text{ac}}$  と異なる傾向である。Model (b)に示した移動度は、 $30 \sim 50 \text{ cm}^2/\text{Vs}$  と図 5.10 に示した実験結果と比べても低くなりすぎてしまっている。これは使用した  $d_{\text{inter}}$  の値が大きすぎたためと考えられる。 $d_{\text{inter}}$  は文献[5.10]の値を引用したが、文献[5.10]においてはバルク SiC の移動度の温度依存性を再現するように  $d_{\text{inter}}$  を設定している。その際、文献[5.10]においては 1<sup>st</sup> CBM と 2<sup>nd</sup> CBM 間の散乱は想定していないため、 $d_{\text{inter}}$  を大きく見積もってしまった可能性がある。



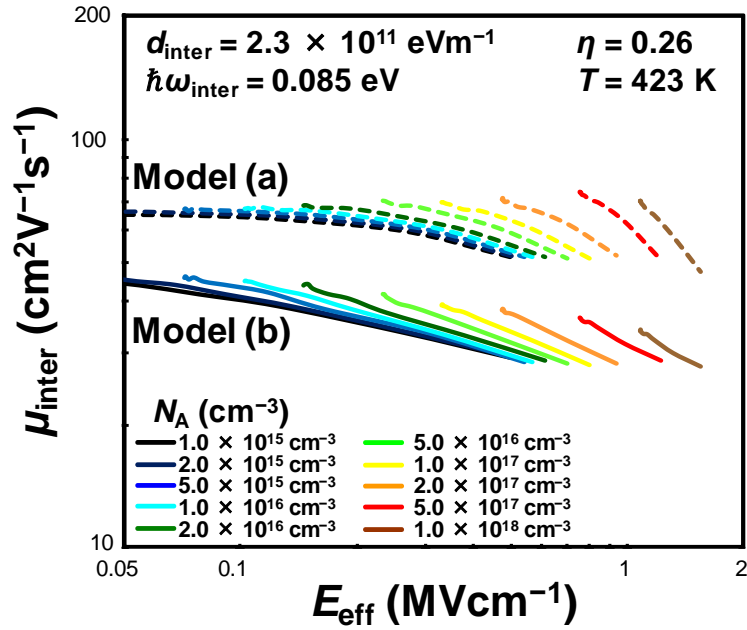


図 5.19 インターバレーフォノン散乱律速のチャネル移動度  $\mu_{\text{inter}}$  の計算結果

続いて  $\mu_{\text{sr}}$  の計算結果を図 5.20 に示す。 $\mu_{\text{sr}}$  の計算において、界面のラフネス高さ  $\Delta$ 、ラフネスの相関長  $\Lambda$  は SiC-MOSFET における報告例がなく、Si-MOSFET における報告値である  $5.2 \times 10^{-10}$  m 及び  $1.5 \times 10^{-9}$  m を暫定的に用いた[5.3]。SiC-MOSFET における  $\Delta$ 、 $\Lambda$  の値の調査結果に関しては詳細を後述する。

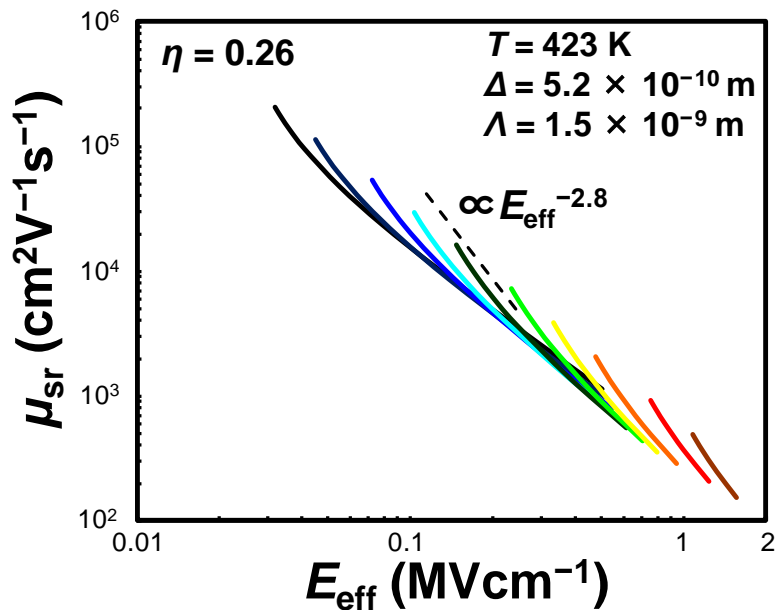


図 5.20 ラフネス散乱律速のチャネル移動度  $\mu_{\text{sr}}$  の計算結果

$\mu_{\text{sr}}$  は  $E_{\text{eff}}$  に対する依存性が非常に強く、 $E_{\text{eff}}^{-2.8}$  に比例して移動度が減少した。この  $E_{\text{eff}}$  に対して大きく移動度が減少する傾向は Si-MOSFET と類似している[1.16-1.17]。

ここまで計算した  $\mu_{ac}$ 、 $\mu_{inter}$ 、 $\mu_{sr}$  に関して、 $E_{eff}$  に対する関数形の違いを比較するため、 $\mu_{eff} \propto E_{eff}^\alpha$  と表した時の冪指数  $\alpha$  の  $E_{eff}$  依存性をユニバーサル移動度の実験結果 ( $\mu_{univ.}$ ) も含めて比較した。その結果を図 5.21 に示す。

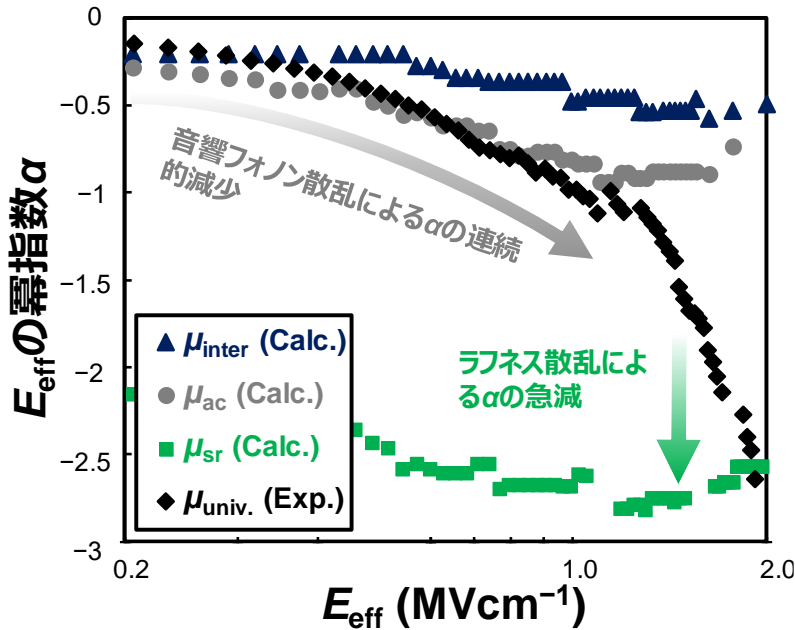


図 5.21 ユニバーサル移動度の実験結果  $\mu_{univ.}$  と計算により求めた  $\mu_{ac}$ 、 $\mu_{inter}$ 、 $\mu_{sr}$  を  $\mu \propto E_{eff}^\alpha$  と表した時の冪指数  $\alpha$  の比較

ユニバーサル移動度の実験結果  $\mu_{univ.}$  の  $\alpha$  は  $E_{eff}$  とともに連続して減少していく傾向を示している。Si-MOSFET においては、図 1.12 に示したように、 $\alpha$  が低  $E_{eff}$  領域では  $-0.3$ 、高  $E_{eff}$  領域では  $-2.0$  と  $E_{eff}$  に対して不連続的に変化するため、この SiC-MOSFET における計算結果とは対照的な結果となっている。ユニバーサル移動度の実験結果と計算結果を比較すると、 $\mu_{univ.}$  の  $E_{eff} < 1.0$  MV/cm までの  $\alpha$  の傾向は音響フォノン散乱の  $\alpha$  の傾向と近いことが見て取れる。一方で、 $\mu_{inter}$  の  $\alpha$  は  $E_{eff}$  に対する依存性が比較的弱く、ユニバーサル移動度の実験結果と異なる。 $E_{eff} > 1.0$  MV/cm においては、 $\mu_{univ.}$  の  $\alpha$  が  $E_{eff}$  に依存して大きく減少しており、これは  $\mu_{ac}$  と  $\mu_{inter}$  の傾向とは明らかに異なる。そのため、 $E_{eff} > 1.0$  MV/cm における  $\mu_{univ.}$  の  $\alpha$  の急減はラフネス散乱の影響によると考えられる。

ここまでの移動度の計算においては、音響フォノン散乱の変形ポテンシャル  $D_{ac}$ 、無極性光学フォノンに依るインターバレー散乱の変形ポテンシャル  $d_{inter}$  は暫定的にバルク SiC の値を用いていた。また、ラフネスの高さと相関長を表す  $\Delta$  と  $\Lambda$  に関しては、Si-MOSFET における報告値[5.3]を用いていた。そこで、図 5.21 に示した  $\mu_{ac}$ 、 $\mu_{inter}$  及び  $\mu_{sr}$  の  $E_{eff}$  に対する関数形の違いを考慮し、ユニバーサル移動度の実験結果を再現する  $D_{ac}$ 、 $d_{inter}$ 、 $\Delta$  と  $\Lambda$  の値を調査した。その際、 $\mu_{ac}$ 、 $\mu_{inter}$  及び  $\mu_{sr}$  の合計の移動度  $\mu_{tot}$  は各移動度成分を以下の(5.18)式のようにマティーンセン則で足し合わせることで求めた。

$$\mu_{tot}^{-1} = \mu_{ac}^{-1} + \mu_{inter}^{-1} + \mu_{sr}^{-1} \quad (5.18)$$

計算結果を図 5.22 に示す。

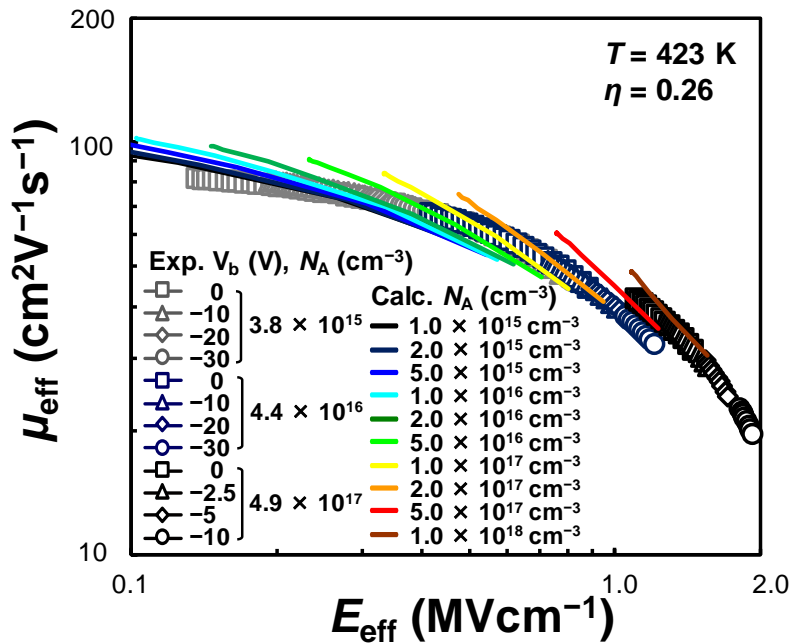


図 5.22 計算によるユニバーサル移動度の再現

記号で表しているのがユニバーサル移動度の実験結果であり、色付きの線で示しているのが計算結果である。以下の表 5.3 に示すように  $D_{ac}$ 、 $d_{inter}$ 、 $\Delta$  及び  $\Lambda$  を設定することによってユニバーサル移動度の実験結果をよく再現することができた。

表 5.3  $\mu_{eff}$ - $E_{eff}$  の実験結果を再現する  $D_{ac}$ 、 $d_{inter}$ 、 $\Delta$  及び  $\Lambda$

パラメータ	記号	値		単位
		バルクSiC	SiC-MOSFET	
音響フォノン散乱の変形ポテンシャル	$D_{ac}$	23.8	37	eV
縦型光学フォノンによる インターバレー散乱の変形ポテンシャル	$d_{inter}$	$2.3 \times 10^{11}$	$1.2 \times 10^{11}$	eV/m
ラフネス散乱のラフネス高さ	$\Delta$	-	$5.7 \times 10^{-10}$	m
ラフネス散乱のラフネスの相間長	$\Lambda$	-	$1.7 \times 10^{-9}$	m

図 5.21 に示したように、 $\mu_{ac}$ 、 $\mu_{inter}$ 、 $\mu_{sr}$  の間で  $E_{eff}$  に対する関数形が異なるため、 $D_{ac}$ 、 $d_{inter}$ 、 $\Delta$ 、 $\Lambda$  の値を表 5.3 で用いた値からずらすと計算結果の再現性は低下する傾向になった。表 5.3 から  $D_{ac}$  と  $d_{inter}$  の値がバルク SiC と SiC-MOSFET の間で異なることが分かるが、同様にバルク Si と Si-MOSFET の間でも  $D_{ac}$  と  $d_{inter}$  の値が異なることが報告されている。

Park らは、図 5.23 に示すように、Si-MOSFET における極低温下でのシュブニコフ・ド・ハース振動の解析から音響フォノン散乱による電子温度の変化を調査し、その結果 Si-MOSFET においてはバルク Si と比較して  $D_{ac}$  が大きくなることを報告している[5.20]。

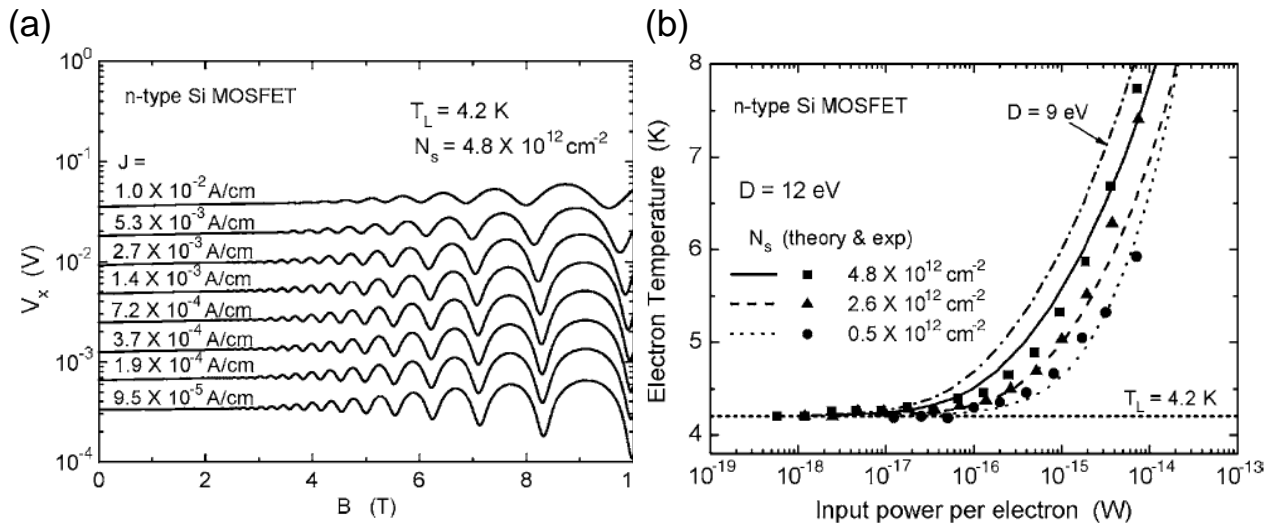


図 5.23 Park らによる Si-MOSFET における  $D_{ac}$  の調査 (a) シュブニコフ-ド・ハース振動の解析  
 (b) 電子温度の入力電力依存性の実験結果と理論計算の比較による  $D_{ac}$  の解析  
 (参考文献[5.20]より引用)

Park らは、まず入力電力( $\equiv JE_x/N_s$ )を十分低い状態に固定し、測定系を平衡状態(測定温度=電子温度)とした上で、シュブニコフ-ド・ハース振動の振幅の測定温度依存性を評価した。ここで、 $J$  は電流密度、 $E_x$  は MOS 界面に平行方向の印加電界である。続いて図 5.23(a)に示すように、測定系の温度を 4.2 K に固定し、シュブニコフ-ド・ハース振動の振幅の入力電力依存性を評価した。両者の結果を基に、シュブニコフ-ド・ハース振動の振幅を媒介変数として、図 5.23(b)に示すように電子温度-入力電力特性を評価した。その後、音響フォノン散乱によるエネルギーの散逸レート $\langle -dE/dt \rangle$ の電子温度依存性を、 $D_{ac}$  をパラメータとして計算し、図 5.23(b)に示すように実験結果との比較により  $D_{ac}$  を求めている。ここで計算においては、極低温で光学フォノン散乱の影響は十分小さく、クーロン散乱とラフネス散乱は弾性散乱であるため、定常状態では音響フォノン散乱によるエネルギーの散逸レート $\langle -dE/dt \rangle$ と入力電力は等しくなることを仮定している。その結果、バルク Si の  $D_{ac} = 9 \text{ eV}$  と比較し、Si-MOSFET の  $D_{ac}$  は  $12 \text{ eV}$  と大きくなったことが報告されている。

筆者は前所属機関において、Si-MOSFET における MOS 界面からの電子の平均距離  $z_{ave}$  に依存した  $D_{ac}$  の変化を調査している[5.21-5.22]。ゲート電圧のバイアス条件により  $z_{ave}$  を変化させ、Park らと同様にシュブニコフ-ド・ハース振動の解析から  $D_{ac}$  を取得したところ、図 5.24(a)に示すように  $z_{ave}$  が小さくなるほど  $D_{ac}$  が大きくなることを確認した。

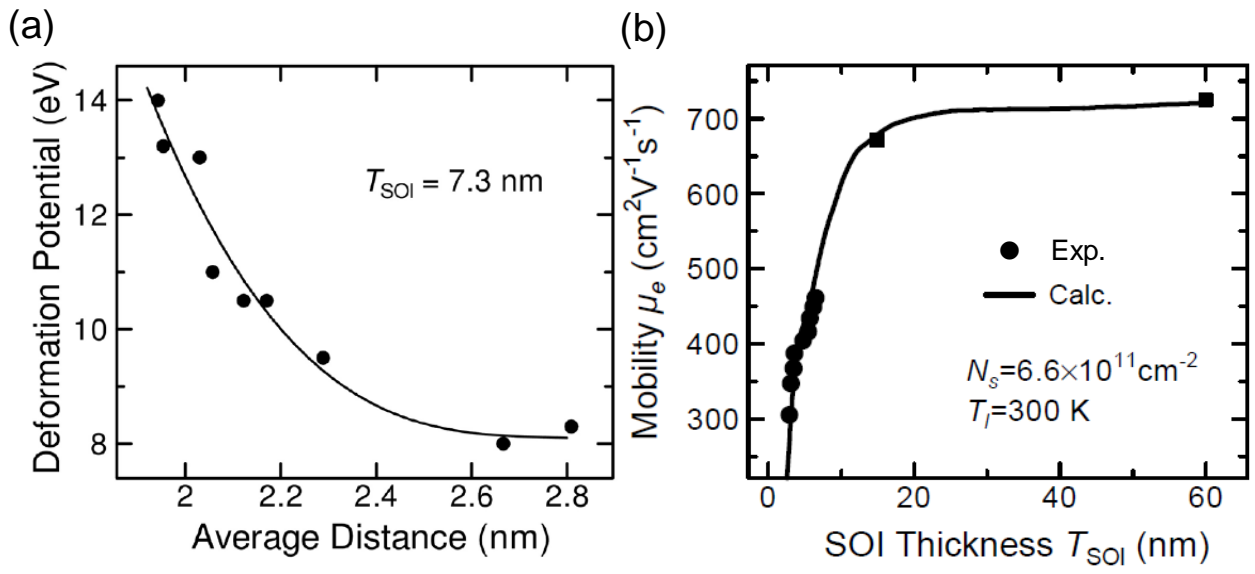


図 5.24 (a) Si-MOSFET における  $D_{ac}$  の MOS 界面からの距離依存性  
 (b)  $D_{ac}$  の位置依存性を考慮したモデルで再現した SOI-MOSFET の移動度の SOI 膜厚依存性  
 (参考文献[5.21-5.22]より引用)

また  $D_{ac}$  の位置依存性を考慮したモデルを用い、図 5.24(b)に示すように SOI(Silicon on insulator)-MOSFET の移動度の SOI 膜厚依存性の計算を行った。極薄膜の SOI-MOSFET においては、図 5.24(b)の実験結果からも分かるように、SOI 膜厚が薄くなるほど移動度が大きく低下することが知られる。これは極薄膜の SOI-MOSFET では、MOS 界面が上下に 2 つ存在し、両界面の影響を受けて  $D_{ac}$  の増大が顕著になるためと考えられ、 $D_{ac}$  の位置依存性を考慮したモデルにおいて実験結果を精度よく再現することに成功している。

このようにバルク半導体と MOSFET において  $D_{ac}$  が変化する原因は、本論文の議論の範囲を超える部分であるが、一因として Ezawa らが確認した MOS 界面近傍におけるフォノンモードの変化が考えられる[5.23]。

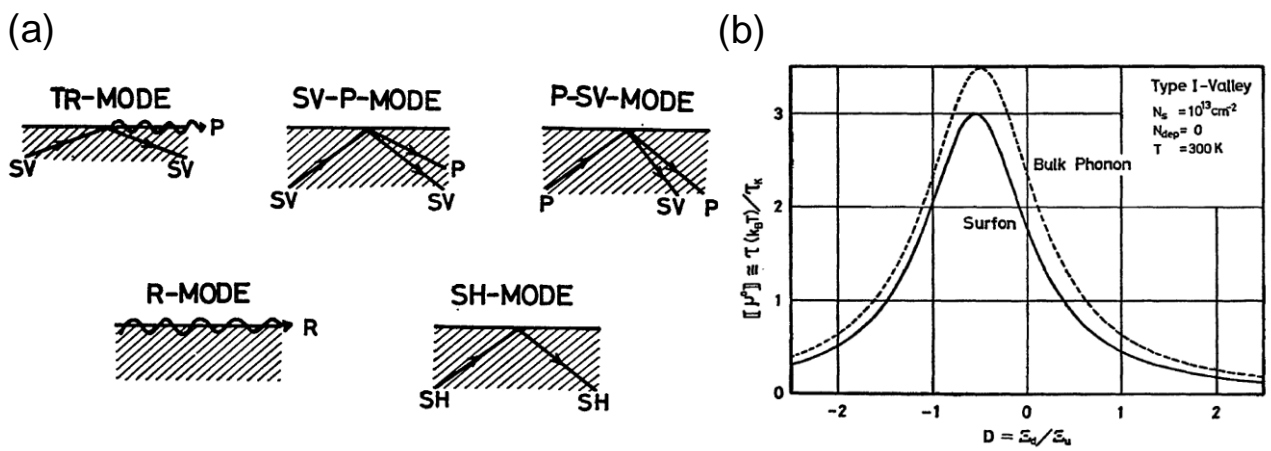


図 5.25 (a) MOS 界面近傍におけるフォノンモードの変化  
 (b) MOS 界面近傍のフォノンモードの変化による移動度の低下 (参考文献[5.23]より引用)

Ezawa らは、図 5.25(a)に示すように、MOS 界面近傍での Si/SiO<sub>2</sub> の境界の存在によるフォノンモードの変化に関して検討を行っている。MOS 界面近傍のフォノンモードを Surfon と表し、MOS 界面近傍ではフォノンの反射が生じ、フォノンの分散関係が変化し、図 5.25(b)に示すように音響フォノン散乱律速の移動度が低下することを理論計算により確認している[5.23]。また、[5.23]においては Si/SiO<sub>2</sub> の境界の存在による  $D_{ac}$  の変化に関しても言及されている。

$d_{inter}$  に関しては、Si-MOSFET においても理論・実験的調査例が限られているが、Takagi らは Si-MOSFET の移動度の理論計算において、 $d_{inter}$  がバルク Si と Si-MOSFET で異なる可能性に関して言及している。温度依存性を含めた通常の Si-MOSFET のチャネル移動度、及び歪み下での Si-MOSFET のチャネル移動度の上昇をそれぞれ再現するためには、 $d_{inter}$  の値をバルク Si での報告値と変える必要があることを報告している[5.24]。

SiC-MOSFET における音響フォノン散乱・無極性光学フォノンによるインターバレー散乱・ラフネス散乱のそれぞれの影響度を調査するため、表 5.3 に示した  $D_{ac}$ 、 $d_{inter}$ 、 $\Delta$  及び  $\Lambda$  を使い、図 5.22 においてユニバーサル移動度の実験結果を再現するように求めた  $\mu_{tot}$  を、 $\mu_{ac}$ 、 $\mu_{inter}$ 、 $\mu_{sr}$  に成分分解して比較を行った。その結果を図 5.26 に示す。

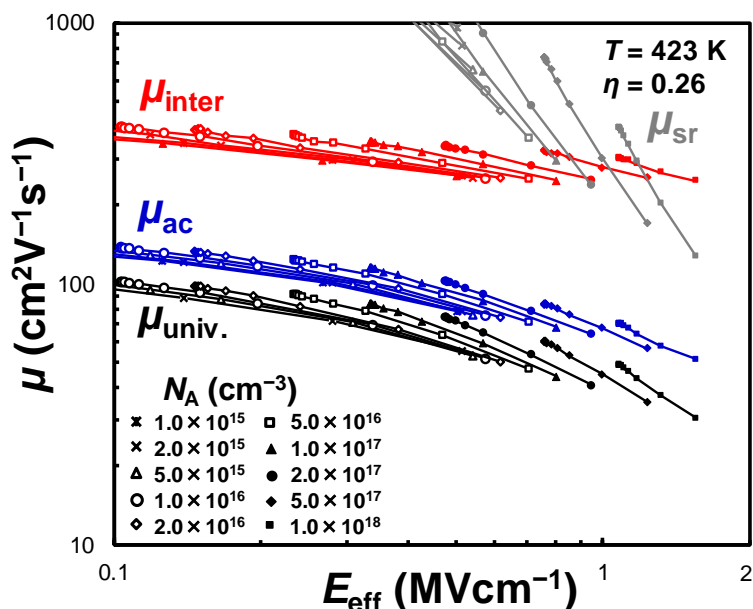


図 5.26 成分分解して表した  $\mu_{ac}$ 、 $\mu_{inter}$ 、 $\mu_{sr}$

全  $E_{eff}$  領域に渡って  $\mu_{ac}$  の影響が強く、 $\mu_{inter}$  の影響は限定的であることが見て取れる。 $\mu_{sr}$  は  $E_{eff} > 1.0$  MV/cm においてわずかに移動度に影響を及ぼし、 $\mu_{tot}$  の  $E_{eff}$  に対する傾きを下げていることが分かる。 $\mu_{sr}$  の影響が Si-MOSFET と比べて弱く見えるのは、 $\mu_{sr}$  が SiC-MOSFET において大きいためではなく、 $\mu_{ac}$  の影響が強く  $\mu_{sr}$  の影響が埋もれてしまっているためと考えられる。今回計算した SiC-MOSFET の  $\mu_{sr}$  と文献[5.3]記載の  $\Delta$  と  $\Lambda$  の値を用いて計算した Si-MOSFET の  $\mu_{sr}$  を比較すると、今回計算した SiC-MOSFET の  $\mu_{sr}$  の方がわずかに低い。 $\mu_{sr}$  は  $E_{eff}$  に対する傾きが急峻であるため、本研究で調べた範囲よりもさらに  $E_{eff}$  を大きくすると  $\mu_{sr}$  によって移動度が支配的に定まると考えられる。図 5.16 に示したように、SiC-MOSFET の  $\mu_{ac}$  は特に高  $E_{eff}$  領域においては、1<sup>st</sup> CBM と 2<sup>nd</sup> CBM 間の散乱により律速されており、これらの結果から、SiC-MOSFET のユニバーサル移動度は 1<sup>st</sup> CBM と 2<sup>nd</sup> CBM 間の音響フォノン散乱により律速されていることが分かった。

## 5.6 第5章のまとめ

本章においては、第4章で得られた SiC-MOSFET のユニバーサル移動度の理論的背景の調査を行った。まず SiC-MOSFET においてユニバーサルに移動度を表すために設定すべき  $\eta$  の値を解析的に調査した。その結果、SiC-MOSFET においては  $\eta$  を 0.26 に設定することによって最もユニバーサルにチャネル移動度を表すことが可能になることを示した。(100)面上の Si-MOSFET において初めてユニバーサル移動度を確認した Sabnis らは、ユニバーサルに移動度を表すための実効電界  $E_{\text{eff}}$  は電子が受ける平均電界  $E_{\text{average}}$  が起源となっていると報告している。そこで、SiC-MOSFET における平均電界  $E_{\text{average}}$  を計算し、ユニバーサルに移動度を表すための  $E_{\text{eff}}$  との比較を行った。その結果、SiC-MOSFET では  $E_{\text{eff}}$  と  $E_{\text{average}}$  は異なることが分かった。同様の計算を Si-MOSFET に対して行った結果、唯一(100)面上の Si-MOSFET においては  $E_{\text{eff}}$  と  $E_{\text{average}}$  は等しくなったものの、(110)面と(111)面上の Si-MOSFET では  $E_{\text{eff}}$  と  $E_{\text{average}}$  は異なることが分かった。これらの結果から、ユニバーサルに移動度を表すための  $E_{\text{eff}}$  は、それ自体が物理的な意味を持っているというよりは、様々な散乱機構によって定まるチャネル移動度の結果を統一的に整理して表すための経験的なパラメータであることが示唆された。一方で、ユニバーサル移動度は  $N_A \cdot V_b \cdot N_{\text{free}}$  に依らず実効移動度  $\mu_{\text{eff}}$  の実験結果を統一的に表すため、デバイス開発における重要な指標となり、デバイスモデリングや回路シミュレータへの応用の観点でも有用であることに変わりはない。

続いて、SiC-MOSFET のユニバーサル移動度がどのような散乱機構で律速されているか、理論計算との比較から調査を行った。移動度の計算においてはブリルアンゾーンの  $M$  点に存在するエネルギーレベルが近い二つの伝導帯のエネルギー極小点である 1<sup>st</sup> CBM と 2<sup>nd</sup> CBM を考慮して計算を行った。計算の結果、 $\mu_{\text{ac}}$  と  $\mu_{\text{inter}}$  は 1<sup>st</sup> CBM と 2<sup>nd</sup> CBM 間の電子の遷移によって大きく低下することが初めて明らかになった。計算により求めた  $\mu_{\text{ac}}$ 、 $\mu_{\text{inter}}$ 、及び  $\mu_{\text{sr}}$  の  $E_{\text{eff}}$  に対する関数形の違いを考慮し、ユニバーサル移動度の実験結果を  $\mu_{\text{ac}}$ 、 $\mu_{\text{inter}}$ 、及び  $\mu_{\text{sr}}$  を用いて再現することを試みた。その結果、全  $E_{\text{eff}}$  領域において  $\mu_{\text{ac}}$  が支配的であること、高  $E_{\text{eff}}$  領域でわずかに  $\mu_{\text{sr}}$  の影響で移動度が低下すること、そして  $\mu_{\text{inter}}$  の影響は限定的であることが示唆された。これらの結果から、SiC-MOSFET のユニバーサル移動度は 1<sup>st</sup> CBM と 2<sup>nd</sup> CBM 間の音響フォノン散乱によって強く律速されていることが初めて明らかになった。

## 第6章 結論と今後の課題

### 6.1 結論

本論文においては、電力を高効率に利用するパワーエレクトロニクス技術において、中核を担うパワーデバイスである SiC-MOSFET の性能向上に向けて研究開発を行った。

第1章には、本研究の背景と目的を記載した。研究背景として、地球温暖化や化石燃料の枯渇化等の環境問題の深刻化により、電力を高効率に利用するパワーエレクトロニクス技術の注目度が高まっていること、パワーデバイスとしては現在 SiC パワーデバイスが主流であるが、高い絶縁破壊電界強度を持ち、パワーデバイスとして高い性能を示す SiC パワーデバイスが近年市場に出回り、電力消費量の低減に貢献していることを記載した。スイッチングデバイスである SiC-MOSFET においては、MOS 界面に高密度の欠陥が存在し、それに由来したゲート電圧印加時の信頼性と低いチャネル移動度が問題となっており、これらの欠陥の低減のため MOS 界面に対する窒化ガス雰囲気下での高温アニール処理(窒化処理)が一般的に行われていることを述べた。窒化処理ではゲート正電圧印加時の高い信頼性が得られるものの、ゲート負電圧印加時の信頼性とチャネル移動度には未だ改善の余地があることを述べ、本論文では SiC-MOSFET のゲート負電圧印加時の信頼性の改善と、チャネル移動度向上に向けて研究を行った。

第2章においては、MOS 界面を窒化処理で形成した MOSFET において課題となっているゲート負電圧印加時の信頼性改善に向けて、新規信頼性評価手法の開発を行った。信頼性改善に向けては窒化処理の最適化が必要になるが、試作期間が短く MOS 界面形成プロセスの良否の簡易評価に用いられる SiC<sub>n</sub> 型基板 MOS キャパシタではゲート負電圧下の信頼性評価ができないという課題があった。これは n 型基板 MOS キャパシタではゲート負電圧に対して応答する正孔が存在せず、ゲート負電圧を印加しても空乏層に電界が印加され、ゲート酸化膜に適切な電界が印加されないことによる。そこで、SiC<sub>n</sub> 型基板 MOS キャパシタに対して紫外線を照射することで正孔を強制的に励起し、その状態でゲート負電圧を印加することで n 型基板 MOS キャパシタでも信頼性評価が可能になるのではと考え、その実証を行った。まず紫外線照射下での CV 特性から正孔の反転層の形成を確認した。続いて紫外線照射下の CV 特性の面積依存性と周波数依存性から、正孔はゲート電極の周縁部の SiC 基板中に生成され、ゲート負電圧に反応してゲート直下に横方向に走行し、反転層を形成していることを確認した。紫外線照射下でのゲート負電圧ストレス印加試験を行った結果、ストレス印加による CV 特性の負方向への変動を確認することができた。本論文では実際に n 型基板 MOS キャパシタにおいて大規模な窒化処理の条件振りを行い、本評価手法を用いた信頼性評価を行い、良好な条件を次の試作にフィードバックするという窒化処理の最適化実験を繰り返し、特性変動が少ない条件を見出した。この最適化後の窒化条件と最適化前の条件をそれぞれ適用した SiC-MOSFET を試作し、MOSFET では通常のスレス試験、MOS キャパシタでは提案した紫外線照射によるスレス試験を行った。その結果、MOSFET と MOS キャパシタで窒化処理条件に応じた特性変動の傾向の一致を確認できた。このように本手法を用いることで、短期間で試作可能な n 型 MOS キャパシタにおいても、ゲート負電圧下で高い信頼性を示す良好な窒化条件を選別できることが明らかになった。

第3章においては、窒化処理条件の課題である低いチャネル移動度の改善に向け、最も一般的に行わ



れている NO ガスを用いた窒化処理のプロセス最適化を図った。筆者はチャネル移動度向上のためには、NO アニール時に MOS 界面で生じる化学反応の理解が欠かせないと考え、①NO アニールのプロセス条件(アニール温度、NO ガス濃度  $c_N$ 、アニール時間  $t$ )、②NO アニール時に MOS 界面で生じると考えられる窒化反応と酸化反応、③チャネル移動度をそれぞれ結び付けて調査を行った。その際、窒化反応の指標として MOS 界面に導入される窒素濃度  $[N]$ 、酸化反応の指標として酸化膜増膜量  $\Delta T_{OX}$  を選択した。その結果、界面窒素濃度  $[N]$ 、酸化膜増膜量  $\Delta T_{OX}$ 、電界効果移動度  $\mu_{FE}$  のいずれもが NO ガス濃度  $c_N$  とアニール時間  $t$  の積  $c_N \cdot t$  に対して系統的に変化し、ここから NO ガス濃度は MOS 界面における酸化と窒化の反応速度を定めていることが分かった。酸化膜増膜量  $\Delta T_{OX}$  は  $c_N \cdot t$  に対して線形に増加した一方、界面窒素濃度  $[N]$  は  $c_N \cdot t$  に対して反応初期に急増し、その後飽和する傾向を示した。電界効果移動度  $\mu_{FE}$  は界面窒素濃度  $[N]$  が飽和する領域で極大値をとり、この結果から界面の窒化反応が支配的な領域では  $\mu_{FE}$  が増加し、界面の酸化反応が支配的な領域では  $\mu_{FE}$  が低下することが示唆された。これを定量的に表すため、 $\mu_{FE}$  を  $[N]$  と  $\Delta T_{OX}$  の関数として経験式化することを試みた。その結果、アニール温度や NO ガス濃度、アニール時間といったプロセス条件に依らず、 $\mu_{FE}$  を  $[N]$  と  $\Delta T_{OX}$  のみで再現することができ、 $\mu_{FE}$  に窒化反応と酸化反応が及ぼす影響を定量化することに成功した。試作を行った範囲では、アニール温度が低いほど、酸化反応を抑制しつつ MOS 界面に高濃度の窒素を導入でき、 $\mu_{FE}$  は増加する傾向を示した。そこで作製した経験的モデルを用いて、更なるアニール温度の低温化による  $\mu_{FE}$  の向上を計算により検証した。その結果、更なるアニール温度の低温化は確かに  $\mu_{FE}$  の向上に結びつくものの、 $\mu_{FE}$  が極大値をとる  $c_N \cdot t$  の値が、アニール温度の低温化に伴い急増することが判明した。 $c_N \cdot t$  は NO ガス濃度とプロセス時間の積であるため、その急増は NO ガスの消費量とプロセス時間の急増を意味する。そのため、更なるアニール温度の低温化による  $\mu_{FE}$  の向上は工業的には現実的ではないと結論付けた。

第 4 章及び第 5 章においては、SiC-MOSFET でチャネル移動度を律速する散乱機構を知るべく、SiC-MOSFET のユニバーサル移動度の調査を行った。ユニバーサル移動度は、実効移動度  $\mu_{eff}$  を実効電界  $E_{eff}(= q(N_{dpl} + \eta N_{free})/\epsilon_s)$  の関数として表すことで、基板濃度  $N_A$ 、基板バイアス  $V_b$ 、標準的なプロセス条件によらず、 $\mu_{eff} \cdot E_{eff}$  の特性が一つの包絡線上に重なるという概念である。ユニバーサル移動度は  $N_A$ 、 $V_b$ 、反転層電荷密度  $N_{free}$ 、プロセス条件によらず  $\mu_{eff}$  を統一的に表すため、アプリケーション毎に  $N_A$ 、 $V_b$ 、 $N_{free}$  が異なる場合でも、ユニバーサル移動度と開発した素子の  $\mu_{eff}$  の比較を容易に行うことができ、 $\mu_{eff}$  の指標として重宝されている。Si-MOSFET においては、ユニバーサル移動度が理論計算との比較から散乱機構と結び付けて理解されているため、ユニバーサル移動度との比較から開発した素子の支配的な散乱機構を知ることができる。また、ユニバーサル移動度は物理モデルに基づき、かつ簡易な解析モデルで実験結果を精度よく表すため、TCAD や回路シミュレーションにおける標準的モデルの一つとなっている。

第 4 章においてはユニバーサル移動度の実験的な調査を行った。筆者は窒化処理で MOS 界面を形成した SiC-MOSFET では、界面準位が多く、界面準位に捕獲された電荷によるクーロン散乱の影響が強く、ユニバーサル移動度が得られないのではないかと考えた。そこで SiC-MOSFET で最も良好な界面を実現できる C 面基板上的水蒸気雰囲気下での酸化(Wet 酸化)プロセスで MOS 界面及びゲート酸化膜を形成した。C 面上の Wet 酸化では良好な界面を実現できるものの、Wet 酸化膜中には OH 基に由来する高密度の欠陥が形成されてしまい、測定時の Wet 酸化膜内の欠陥への電子捕獲により正確な  $\mu_{eff}$  の評価が困難となる。そこで筆者は、ゲートにパルス電圧を印加し、過渡的に流れる反転層の充電電流と、反

転層の充電後に流れるチャンネル電流から  $\mu_{\text{eff}}$  と  $E_{\text{eff}}$  を見積もる手法を用い、電子捕獲を抑制して C 面 Wet 酸化 MOSFET の正確な  $\mu_{\text{eff}}$  と  $E_{\text{eff}}$  を見積もった。 $\mu_{\text{eff}}-E_{\text{eff}}$  特性の  $N_A$  依存性と  $V_b$  依存性を評価した結果、 $N_A$  と  $V_b$  に依らず、すべての  $\mu_{\text{eff}}-E_{\text{eff}}$  の特性の包絡線が一つの特性に漸近し、広い  $E_{\text{eff}}$  領域でユニバーサル移動度を得ることに初めて成功した。 $\mu_{\text{eff}}-E_{\text{eff}}$  特性の温度依存性を評価したところ、223-423 K の広い温度領域に渡って、 $\mu_{\text{eff}}$  は温度の上昇に伴って低下する傾向を示し、この結果は、C 面 Wet 酸化処理により界面準位密度が十分低減でき、フォノン散乱とラフネス散乱により定まるユニバーサル移動度が確認できたという本論文の主張を裏付ける結果である。

第 5 章において、ユニバーサル移動度の理論的な調査を行った。 $\mu_{\text{eff}}$  をユニバーサルに表すためには、実効電界  $E_{\text{eff}}$  において反転層電子密度  $N_{\text{free}}$  の重みづけを行う係数  $\eta$  をどのように設定すべきか解析的に調査を行い、SiC-MOSFET においては  $\eta$  を 0.26 に設定することでユニバーサルに移動度を表すことができることを見出した。実効電界  $E_{\text{eff}}$  の物理的起源として、反転層中の電子が受ける平均電界  $E_{\text{average}}$  の計算を行い、ユニバーサルに移動度を表すために見出した  $E_{\text{eff}}$  との比較を行った。その結果 SiC-MOSFET においては、反転層中の電子が受ける平均電界  $E_{\text{average}}$  とユニバーサルに移動度を表すための実効電界  $E_{\text{eff}}$  は異なることが分かった。同様の比較を(100)面、(110)面、(111)面上の Si-MOSFET においても行った結果、唯一(100)面においては  $E_{\text{average}}$  と  $E_{\text{eff}}$  は等しくなったものの、(110)面と(111)面上の Si-MOSFET においても  $E_{\text{average}}$  と  $E_{\text{eff}}$  は異なることが分かった。この結果は、ユニバーサルに移動度を表すための  $\eta$ 、及びそれを用いて求めた実効電界  $E_{\text{eff}}$  は、それ自体が物理的な意味を持っているというよりは、様々な散乱機構によって定まるチャンネル移動度の結果を統一的に整理して表すための経験的なパラメータであることを示唆している。一方でユニバーサル移動度は  $N_A$ 、 $V_b$ 、 $N_{\text{free}}$  に依らず実効移動度  $\mu_{\text{eff}}$  の実験結果を統一的に表すため、デバイス開発における重要な指標となり、デバイスモデリングや回路シミュレータへの応用の観点でも有用であることに変わりはない。続いて、散乱機構を考慮した移動度の理論計算を行い、ユニバーサル移動度との比較を行った。計算においては、4H-SiC のブリルアンゾーンの  $M$  点に位置する、エネルギーレベルが近い二つの伝導帯のエネルギー極小点、1<sup>st</sup> CBM と 2<sup>nd</sup> CBM を考慮し、1<sup>st</sup> CBM と 2<sup>nd</sup> CBM の間のバンド間散乱の影響を調査した。その結果、音響フォノン散乱律速の移動度  $\mu_{\text{ac}}$  と光学フォノンに由来するインターバレー散乱律速の移動度  $\mu_{\text{inter}}$  に関しては、1<sup>st</sup> CBM と 2<sup>nd</sup> CBM 間の電子の遷移で移動度が低下することを初めて見出した。計算した  $\mu_{\text{ac}}$ 、 $\mu_{\text{inter}}$ 、及びラフネス散乱律速の移動度  $\mu_{\text{sr}}$  の  $E_{\text{eff}}$  に対する関数形の違いを考慮し、ユニバーサル移動度の実験結果を  $\mu_{\text{ac}}$ 、 $\mu_{\text{inter}}$ 、及び  $\mu_{\text{sr}}$  を用いて再現することを試みた。計算の結果、全  $E_{\text{eff}}$  領域において  $\mu_{\text{ac}}$  が支配的であり、高  $E_{\text{eff}}$  領域でわずかに  $\mu_{\text{sr}}$  の影響で移動度が低下すること、 $\mu_{\text{inter}}$  の影響は限定的であることが分かった。これらの結果から、SiC-MOSFET のユニバーサル移動度は 1<sup>st</sup> CBM と 2<sup>nd</sup> CBM 間の音響フォノン散乱によって強く律速されていることが明らかになった。

## 6.2 今後の課題

最後に本研究で残された課題を2点記述する。1点目はSiC-MOSFETのフォノン散乱に関する理解を深め、フォノン散乱の計算モデルを高精度化することである。本論文では文献[5.9-5.10]を参考に、複雑なSiCのフォノンモードによるインターバレー散乱の影響を、単一のフォノンモードによるインターバレー散乱で代表して表す近似モデルを用いて計算を行った。そのためフォノンの分散関係、フォノンと電子の相関関係を表す変形ポテンシャルを正確に扱った理論計算では、特に $\mu_{\text{inter}}$ の $E_{\text{eff}}$ に対する関数形、温度依存性が変わりうる可能性がある。SiCにおけるフォノンのエネルギーの波数分散を調査し、フォノンモードを音響フォノン、光学フォノン、フォノンの伝搬方向に関して切り分け、同時にそれぞれのフォノンモードの変形ポテンシャルを理解することが、今後のフォノン散乱モデルの高精度化には必要となる。

2点目は本論文で得られたユニバーサル移動度と窒化MOSFETの移動度を比較し、窒化MOSFETで支配的な散乱機構を調査することである。近年NO窒化MOSFETにおいても、ホール効果測定で電気伝導に寄与する反転層電子密度 $N_{\text{free}}$ を正しく見積もることで、 $90 \text{ cm}^2/\text{Vs}$ に近い高い移動度が得られることがHatakeyamaらのグループから報告されている[6.1]。図6.1はこのHatakeyamaらにより報告されたNO窒化MOSFETの移動度である。

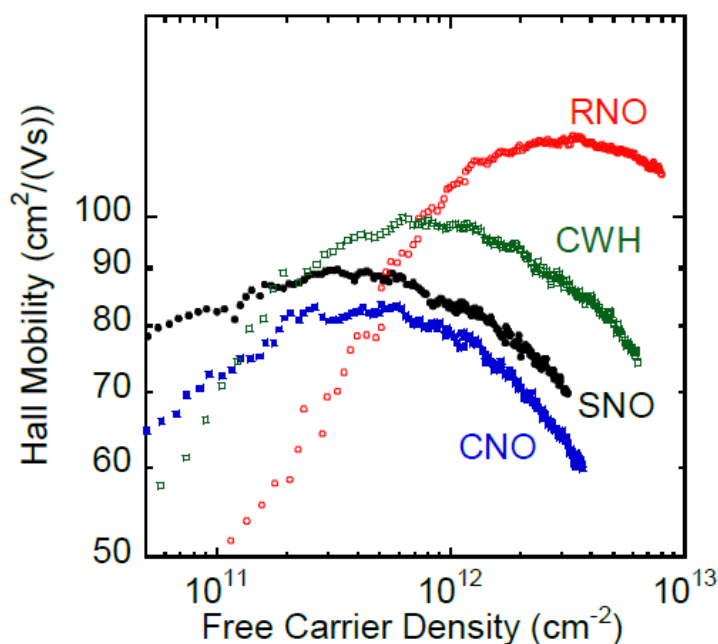


図 6.1 Hatakeyama らにより報告された Hall 効果測定で見積もった NO 窒化 MOSFET のチャンネル移動度(SNO と記載された黒点が NO 窒化 MOSFET に対応)

このように Si 面 NO 窒化 MOSFET において  $N_{\text{free}}$  を正しく見積もり、 $N_{\text{A}}$  依存性、 $V_{\text{b}}$  依存性を含めた系統的な移動度調査を行い、本論文で得られたユニバーサル移動度との比較を行うことで、NO 窒化 MOSFET で支配的な散乱機構を知ることは、今後 NO 窒化 MOSFET のチャンネル移動度を更に向上させるために必要であると考えられ、今後の研究課題として挙げられる。

## 研究業績

### 本論文の各章の原著論文

#### 第 2 章: 紫外線を用いた新規信頼性評価手法の開発

Teruyuki Ohashi and Ryosuke Iijima, “Evaluation method of threshold voltage shift of SiC MOSFETs under negative gate bias using n-type SiC MOS capacitors,” Jpn. J. Appl. Phys., vol. 55, no. 2, pp. 021302-1–021302-4, Feb. 2016.

#### 第 3 章: NO 窒化処理によるチャネル移動度向上の検討

Teruyuki Ohashi, Yukio Nakabayashi, Tatsuo Shimizu, Kazuto Takao, and Ryosuke Iijima, “Investigation of nitridation and oxidation reactions at SiC/SiO<sub>2</sub> interfaces in NO annealing and modeling of their quantitative impacts on mobility of SiC MOSFETs,” Jpn. J. Appl. Phys., vol. 56, no. 10, pp. 106502-1–106502-4, Oct. 2017.

#### 第 4 章: SiC-MOSFET のユニバーサル移動度の実験的調査

Teruyuki Ohashi, Yukio Nakabayashi, and Ryosuke Iijima, “Investigation of the universal mobility of SiC MOSFETs using wet oxide insulators on carbon face with low interface state density,” IEEE Trans. Electron Devices, vol. 65, no. 7, pp. 2707–2713, Jul. 2018.

#### 第 5 章: SiC-MOSFET のユニバーサル移動度の理論的調査

Teruyuki Ohashi, Ryosuke Iijima, and Hiroshi Yano, “Dominant scattering mechanism in SiC MOSFET: comparative study of the universal mobility and the theoretically calculated channel mobility,” Jpn. J. Appl. Phys. in press.

# 参考文献

## 第 1 章の参考文献

- 1.1. 東芝レビュー (扉絵) Vol. 64, No. 9, 2009.
- 1.2. 日産自動車 HP より 将来技術 「インホイールモーター」  
[https://www.nissan-global.com/JP/TECHNOLOGY/OVERVIEW/in\\_wheel\\_motor.html](https://www.nissan-global.com/JP/TECHNOLOGY/OVERVIEW/in_wheel_motor.html)
- 1.3. 東芝エネルギーシステムズ株式会社 HP より 再生可能エネルギー 太陽光発電  
<https://www.toshiba-energy.com/renewable-energy/product/solar-power.htm>
- 1.4. 東芝エネルギーシステムズ株式会社 HP より 再生可能エネルギー 風力発電  
<https://www.toshiba-energy.com/renewable-energy/product/wind-power.htm>
- 1.5. M. Bhatnagar and B. J. Baliga, IEEE Trans. Electron Devices **40**, 645 (1993).
- 1.6. 河村 恒毅、真木 康次、小泉 聡志、東芝レビュー Vol. 69, No. 9, 2014.
- 1.7. B. Burger, D. Kranzer, and O. Stalter, Mater. Sci. Forum **600–603**, 1231 (2009).
- 1.8. G. Y. Chung, C. C. Tin, J. R. Williams, K. McDonald, R. K. Chanana, R. A. Weller, S. T. Pantelides, L. C. Feldman, O. W. Holland, M. K. Das, and J. W. Palmour, IEEE Electron Device Lett. **22**, 176 (2001).
- 1.9. S. Dimitrijevic, H. Li, H. B. Harrison, and D. Sweatman, IEEE Electron Device Lett. **18**, 175 (1997).
- 1.10. K. Fujihira, Y. Tarui, M. Imaizumi, K. Ohtsuka, T. Takami, T. Shiramizu, K. Kawase, J. Tanimura, T. Ozeki, Solid-State Electron. **49**, 896 (2005).
- 1.11. D. Okamoto, H. Yano, K. Hirata, T. Hatayama, and T. Fuyuki, IEEE Electron Device Lett. **31**, 710 (2010).
- 1.12. D. J. Lichtenwalner, L. Cheng, S. Dhar, A. K. Agarwal, S. Allen, and J. W. Palmour, Mater. Sci. Forum **821–823**, 749 (2015).
- 1.13. D. Okamoto, M. Sometani, S. Harada, R. Kosugi, Y. Yonezawa, and H. Yano, IEEE Electron Device Lett. **35**, 1176 (2014).
- 1.14. A. G. Sabnis and J. T. Clemens, IEDM Tech. Dig., 1979, p. 18.
- 1.15. S. C. Sun and J. D. Plummer, IEEE J. Solid-State Circuits **SC-15**, 562 (1980).
- 1.16. S. Takagi, A. Toriumi, M. Iwase, and H. Tango, IEEE Trans. Electron Devices **41**, 2357 (1994).
- 1.17. S. Takagi, A. Toriumi, M. Iwase, and H. Tango, IEEE Trans. Electron Devices **41**, 2363 (1994).
- 1.18. K. Masaki, C. Hamaguchi, K. Taniguchi, and M. Iwase, Jpn. J. Appl. Phys. **28**, 1856 (1989).
- 1.19. K. Masaki, K. Taniguchi, C. Hamaguchi, and M. Iwase, Jpn. J. Appl. Phys. **30**, 2734 (1991).
- 1.20. 正木 和夫、大阪大学博士論文、14401 乙第 05819 号、1992.
- 1.21. C. Lombardi, S. Manzini, A. Saporito, and M. Vanzi, IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst. **7**, 1164 (1988).
- 1.22. M. N. Darwish, J. L. Lentz, M. R. Pinto, P. M. Zeitoff, T. J. Krutsick, and H. H. Vuong, IEEE Trans. Electron Devices **44**, 1529 (1997).
- 1.23. S. Reggiani, M. Valdinoci, L. Colalongo, and G. Baccarani, Proc. ESSDERC, 1999, p. 240.
- 1.24. S. Selberherr, W. Hänsch, M. Seavey, and J. Slotboom, Solid-State Electron. **33**, 1425 (1990).
- 1.25. K. Fukuda, M. Kato, K. Kojima, and J. Senzaki, Appl. Phys. Lett. **84**, 2088 (2004).

- 1.26. T. Suzuki, J. Senzaki, T. Hatakeyama, T. Shinohe, and K. Arai, *Mater. Sci. Forum* **600–603**, 791 (2009).
- 1.27. R. Iijima, M. Takayanagi, M. Koyama, and A. Nishiyama, *Ext. Abstr. Conf. Solid State Devices and Materials*, 2006, p. 1104.
- 1.28. R. Iijima, M. Takayanagi, T. Yamaguchi, M. Koyama, and A. Nishiyama, *IEDM Tech. Dig.*, 2005, p. 421.

## 第 2 章の参考文献

- 2.1. 丹羽 章雅、筑波大学博士論文、12102 甲第 8038 号、2017.
- 2.2. T. Kimoto, Y. Kanzaki, M. Noborio, H. Kawano and H. Matsunami, *Jpn. J. Appl. Phys.* **44**, 1213 (2005).
- 2.3. M. Noborio, J. Suda, S. Beljakowa, M. Krieger, and T. Kimoto, *Phys. Status Solidi A* **206**, 2374 (2009).
- 2.4. J. Rozen, S. Dhar, M. E. Zvanut, J. R. Williams, and L. C. Feldman, *J. Appl. Phys.* **105**, 124506 (2009).
- 2.5. H. Yoshioka, T. Nakamura, and T. Kimoto, *J. Appl. Phys.* **112**, 024520 (2012).
- 2.6. T. Hatakeyama, M. Sometani, K. Fukuda, H. Okumura, and T. Kimoto, *Jpn. J. Appl. Phys.* **54**, 111301 (2015).
- 2.7. H. Yano, T. Kimoto, and H. Matsunami, *Appl. Phys. Lett.* **81**, 301 (2002).
- 2.8. M. Sometani, D. Okamoto, S. Harada, H. Ishimori, S. Takasu, T. Hatakeyama, M. Takei, Y. Yonezawa, K. Fukuda, and H. Okumura, *Jpn. J. Appl. Phys.* **55**, 04ER11 (2016).

## 第 3 章の参考文献

- 3.1. Y. Nanen, M. Kato, J. Suda, and T. Kimoto, *IEEE Trans. Electron Devices* **60**, 1260 (2013).
- 3.2. R. J. Wu and C. T. Yeh, *Int. J. Chem. Kinet.* **28**, 89 (1996).
- 3.3. J. Rozen, A. C. Ahyi, X. Zhu, J. R. Williams, and L. C. Feldman, *IEEE Trans. Electron Devices* **58**, 3808 (2011).
- 3.4. K. McDonald, R. A. Weller, S. T. Pantelides, L. C. Feldman, G. Y. Chung, C. C. Tin, and J. R. Williams, *J. Appl. Phys.* **93**, 2719 (2003).
- 3.5. B. E. Deal and A. S. Grove, *J. Appl. Phys.* **36**, 3770 (1965).
- 3.6. P. Jamet, S. Dimitrijevic, and P. Tanner, *J. Appl. Phys.* **90**, 5058 (2001).
- 3.7. T. Shirasawa, K. Hayashi, S. Mizuno, S. Tanaka, K. Nakatsuji, F. Komori, and H. Tochiyama, *Phys. Rev. Lett.* **98**, 136105 (2007).
- 3.8. 山崎 隆浩、田島 暢夫、奈良 純、清水 達雄、加藤 弘一、大野隆央、第 78 回応用物理学会秋季学術講演会、2017、5a-A203-1.

## 第 4 章の参考文献

- 4.1. T. Hatakeyama, Y. Kiuchi, M. Sometani, S. Harada, D. Okamoto, H. Yano, Y. Yonezawa, and H. Okumura, *Appl. Phys. Express* **10**, 046601 (2017).
- 4.2. M. Hiratani, S. Saito, Y. Shimamoto and K. Torii, *Jpn. J. Appl. Phys.* **41**, 4521 (2002).
- 4.3. X. Garros, M. Cassé, G. Reibold, F. Martin, C. Leroux, A. Fanton, O. Renault, V. Cosnier, and F. Boulanger,

Symp. VLSI Technology Dig. Pap., 2008, p. 68.

- 4.4. V. Tilak, K. Matocha, and G. Dunne, IEEE Trans. on Electron Devices **54**, 2823 (2007).
- 4.5. M. Noguchi, T. Iwamatsu, H. Amishiro, H. Watanabe, K. Kita, and S. Yamakawa, IEDM Tech. Dig., 2017, p. 219.
- 4.6. H. Kono and T. Suzuki, U.S. Patent 8932926 (2015).
- 4.7. D. V. Lang, J. Appl. Phys. **45**, 3023 (1974).
- 4.8. P. van Staa, H. Rombach, and R. Kassing, J. Appl. Phys. **54**, 4014 (1983).
- 4.9. T. Hatakeyama, T. Shimizu, T. Suzuki, Y. Nakabayashi, H. Okumura, and T. Kimoto, Mater. Sci. Forum, **740–742**, 477 (2013).
- 4.10. K. Ikeda and H. Takaoka, Jpn. J. Appl. Phys. **21**, 462 (1982).
- 4.11. H. Okada, presented at the 4th Meeting on Advanced Power Semiconductors, 2017.
- 4.12. F. Stern, Phys. Rev. B **5**, 4891 (1972).
- 4.13. S. Dhar, A. C. Ahlyi, J. R. Williams, S. H. Ryu, A. K. Agarwal, Mater. Sci. Forum **717–720**, 713 (2012).

## 第 5 章の参考文献

- 5.1. F. Stern and W. E. Howard, Phys. Rev. **163**, 816 (1967).
- 5.2. P. J. Price, Ann. Phys. **133**, 217 (1981).
- 5.3. Y. Matsumoto and Y. Uemura, Jpn. J. Appl. Phys. **13**, 367 (1974).
- 5.4. G. Pennington and N. Goldsman, J. Appl. Phys. **95**, 4223 (2004).
- 5.5. W. R. L. Lambrecht and B. Segall, Phys. Rev. B **52**, R2249 (1995).
- 5.6. G. Wellenhofer and U. Rössler, Phys. Stat. Sol. (b) **202**, 107 (1997).
- 5.7. B. Kaczer, H.-J. Im, J. P. Pelz, J. Chen, and W. J. Choyke, Phys. Rev. B **57**, 4027 (1998).
- 5.8. H.-J. Im, B. Kaczer, J. P. Pelz, and W. J. Choyke, Appl. Phys. Lett. **72**, 839 (1998).
- 5.9. H. Iwata and K. M. Itoh, and G. Pensl, J. Appl. Phys. **88**, 1956 (2000).
- 5.10. H. Iwata and K. M. Itoh, J. Appl. Phys. **89**, 6228 (2001).
- 5.11. C. Jacoboni and L. Reggiani, Rev. Mod. Phys. **55**, 645 (1983).
- 5.12. M. V. Fischetti and S. E. Laux, Phys. Rev. B **48**, 2244 (1993).
- 5.13. H. Nillson, U. Sannemo, and C. S. Petersson, J. Appl. Phys. **80**, 3365 (1996).
- 5.14. R. Mickevičius and J. H. Zhao, J. Appl. Phys. **83**, 3161 (1998).
- 5.15. R. Brunetti, C. Jacoboni, F. Nava, L. Reggiani, G. Bosman, and R. J. J. Zijlstra, J. Appl. Phys. **52**, 6713, (1981).
- 5.16. I. G. Ivanov, U. Lindelfelt, A. Henry, O. Kordina, C. Hallin, M. Aroyo, T. Egilsson and E. Janzén, Phys. Rev. B **58**, 13634 (1998).
- 5.17. D. W. Feldman, J. H. Parker, Jr., W. J. Choyke, and L. Patrick, Phys. Rev. **173**, 787 (1968).
- 5.18. H. Irie, K. Kita, K. Kyuno, and A. Toriumi, IEDM Tech. Dig., 2003, p. 459.
- 5.19. K. Tsukioka, D. Vasileska, and D. K. Ferry, Phys. B **185**, 466 (1993).
- 5.20. K. H. Park, T. Unuma, K. Hirakawa, and S. Takagi, Appl. Phys. Lett. **91**, 132118 (2007).

- 5.21. T. Ohashi, T. Takahashi, N. Beppu, S. Oda, and K. Uchida, IEDM Tech. Dig., 2011, p. 390.
- 5.22. T. Ohashi, T. Tanaka, T. Takahashi, S. Oda, and K. Uchida, J. Electron Devices Soc. **4**, 278, (2016).
- 5.23. H. Ezawa, S. Kawaji and K. Nakamura, Jpn. J. Appl. Phys. **13**, 126 (1974).
- 5.24. S. Takagi, J. L. Hoyt, J. J. Welser, and J. F. Gibbons, J. Appl. Phys. **80**, 1567 (1996).

## 第 6 章の参考文献

- 6.1. T. Hatakeyama, T. Masuda, M. Sometani, D. Okamoto, S. Harada, H. Yano, Y. Yonezawa, and H. Okumura, Abstr. European Conference on Silicon Carbide and Related Materials (ECSCRM), 2018, ID: 1242.



## 謝辞

この論文は筑波大学大学院博士後期課程における研究により得られた成果と、(株)東芝 研究開発センター 電子デバイスラボラトリーにおける研究開発によって得られた成果をまとめた論文です。

筑波大学大学院 博士後期課程において、指導教員として、研究内容に関して優しく丁寧にご指導ご鞭撻を賜った、筑波大学大学院 数理物質科学研究科 電子・物理工学専攻 パワーエレクトロニクス研究室 矢野 裕司准教授に心より感謝申し上げます。

また筑波大学大学院 博士後期課程において、筆者が所属した数理物質科学研究科 電子・物理工学専攻 パワーエレクトロニクス研究室において、研究内容に関する貴重なご助言を頂いた岩室 憲幸教授に深く感謝申し上げます。

本論文の作成にあたり、研究内容に関する貴重なご助言・ご指導を頂いた筑波大学大学院 数理物質科学研究科 ナノサイエンス・ナノテクノロジー専攻 佐野 伸行教授、筑波大学大学院 数理物質科学研究科 電子・物理工学専攻 櫻井 岳暁准教授に深く感謝申し上げます。

(株)東芝 研究開発センターにおいて、社会人として博士後期課程に在学することに快く許諾いただき、応援をして頂いた(株)東芝 研究開発センター 電子デバイスラボラトリー 江崎 瑞仙前室長、高尾 和人室長に深く感謝申し上げます。

(株)東芝 研究開発センターにおいて、研究内容に関して終始貴重なご助言を賜った飯島 良介研究主幹に心より深く感謝申し上げます。

最後に常に筆者の研究活動をサポートしてくれた、家族、そして妻に心より感謝します。