

ショットキー・オーミックコンタクト同時形成プロセスを  
適用した炭化珪素(SiC)ショットキーバリアダイオード内蔵  
MOSFET の研究

清水 悠佳

2020年 2月

筑波大学大学院博士課程

数理物質科学研究科博士論文

博士（工学）

ショットキー・オーミックコンタクト同時形成プロセスを  
適用した炭化珪素(SiC)ショットキーバリアダイオード内蔵  
MOSFET の研究

清水 悠佳

電子・物理工学専攻

# 目 次

1. 緒 言	3
1.1 研究背景	3
1.2 研究目的	4
1.3 本論文の構成	5
2. SBD 内蔵 MOSFET の課題と本研究の狙い	7
2.1 はじめに	7
2.2 SiC の特徴	7
2.2.1 SiC の物理的特性	7
2.2.2 SiC への期待	8
2.3 SiC MOSFET の基本構造および動作	10
2.4 ボディダイオードの通電劣化現象	11
2.4.1 通電劣化の原理	11
2.4.2 通電劣化の抑制	13
2.5 SBD 内蔵 MOSFET の先行研究と課題	15
2.6 本研究でめざす SBD 内蔵 MOSFET	17
3. 低抵抗で高信頼なコンタクト形成プロセス	20
3.1 はじめに	20
3.2 コンタクトの理論	20
3.2.1 オーミックコンタクトの理論	20
3.2.2 ショットキーコンタクトの理論	22
3.3 SiC 上のコンタクトに関する先行研究	22
3.3.1 SiC 上のオーミックコンタクト	22
3.3.2 SiC 上のショットキーコンタクト	23
3.3.3 SiC 上のオーミック、ショットキーコンタクト同時形成	23
3.4 オーミック、ショットキーコンタクト同時形成プロセス	24
3.4.1 本研究のコンタクトプロセスのコンセプト	24
3.4.2 コンタクト検討の実験方法	25
3.4.3 オーミックコンタクトの検証結果	27
3.4.4 ショットキーコンタクトの検証結果	34
3.5 コンタクトの熱的安定性	36
3.6 3章のまとめ	38
4. コンタクト形成プロセスの MOSFET への影響	40
4.1 はじめに	40
4.2 プレーナ型 MOSFET 試作プロセス	40
4.3 ゲート絶縁膜への影響	42
4.3.1 TZDB 評価結果	42
4.3.2 ゲートリーク電流の理論式	43
4.3.3 ゲートリーク電流増加の要因	44

4.4	チャネル移動度への影響	45
4.4.1	MOSFET の Id-Vds 特性	45
4.4.2	チャネル移動度評価方法	46
4.4.3	チャネル移動度評価結果	47
4.5	4章のまとめ	49
5.	SBD 内蔵 MOSFET の検討	51
5.1	はじめに	51
5.2	SBD 内蔵 MOSFET 設計,試作プロセス	51
5.2.1	SBD 内蔵 MOSFET 設計のポイント	51
5.2.2	SBD 内蔵 MOSFET 作製プロセス	52
5.3	SBD 内蔵 MOSFET の特性	53
5.3.1	SBD 内蔵 MOSFET のダイオード特性	53
5.3.2	SBD 内蔵 MOSFET の MOSFET 特性	55
5.4	SBD 内蔵 MOSFET のダイオード通電信頼性	56
5.4.1	通電試験の方法	56
5.4.2	通電試験結果	57
5.5	プロセスコストへの影響	59
5.6	5章のまとめ	59
6.	更なる高性能化に向けて	61
6.1	はじめに	61
6.2	チャネル移動度向上の検討	61
6.2.1	チャネル移動度向上に関する先行研究	61
6.2.2	チャネル移動度向上の指針	62
6.2.3	実験方法	63
6.2.4	半導体中の不純物のチャネル移動度に対する影響	64
6.2.5	酸化膜形成条件の移動度に対する影響	65
6.2.6	メタル工程における熱負荷の移動度に対する影響	68
6.3	JFET の設計	68
6.3.1	トレンチ型 JFET の構造と特徴	68
6.3.2	実験方法	69
6.3.3	シミュレーション結果	70
6.3.4	試作結果	75
6.3.5	SBD 内蔵 MOSFET の JBS 設計指針	76
6.4	6章のまとめ	77
7.	まとめ	79
7.1	結論	79
7.2	発表論文と学会リスト	81
7.3	謝辞	82

# 1. 緒言

## 1.1 研究背景

近年、地球温暖化の影響が世界各地で深刻化しており CO<sub>2</sub> 削減への取り組みは待ったなしの状況となりつつある。CO<sub>2</sub> を排出しない脱炭素社会を実現するため、再生可能エネルギーの導入推進やあらゆる分野の電動化が急ピッチで進められており、これらを支える電力変換器やパワーエレクトロニクスの重要性は増している。図 1-1 は再生可能エネルギーを主なエネルギー源とする将来の電力システムの一例を示している [1]。太陽光発電、風力発電などに蓄電池を組み合わせた分散電源をベースに、電力ネットワークと情報通信ネットワークを融合したローカルなエネルギーマネジメントシステムを構築することで、エネルギー効率向上、再生可能エネルギーの活用、耐災性の向上など新たな価値が提供できる。各エネルギーアセットから収集された情報はリアルタイムで処理され、その時々状況に合わせて運転状態を管理する。このため電力変換機器には今まで以上に精密な制御が求められ、パワーエレクトロニクスに求められる役割は重要性を増すことが予想される。

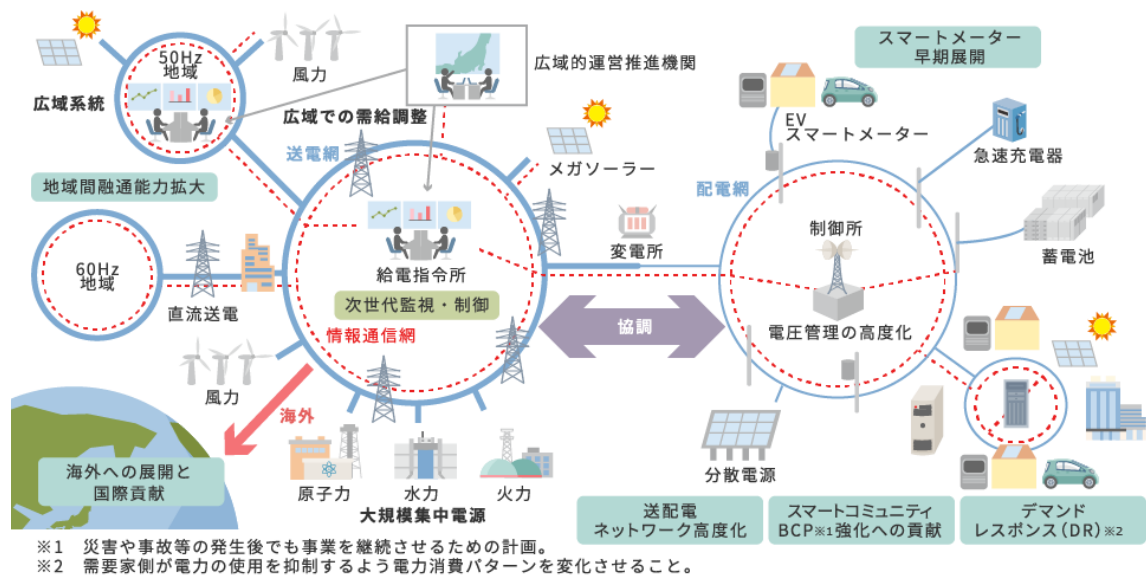


図 1-1 将来の電力システム

自動車分野に目を向けると、コネクティッドカー、自動運転、シェアリング、電動化の 4 つの大きな波が同時にきており、100 年に一度の変革期を迎えている。電動化に関しては、CO<sub>2</sub> 排出規制の影響もありハイブリッドカーを含む電動車の比率が 2040 年には半数を超えるとの見通しもある [2]。これはこれまで電動車が一部のフラグシップモデルなどに限定されていたのが大衆向けにまで拡大することを意味しており、パワーエレクトロニクス機器にはますます成熟した技術が要求されることになる。

これまで長年にわたりパワーエレクトロニクスの発展を支えてきたのは Si (シリコン) デバイスである。特に制御性が高く高出力化が可能な IGBT (Insulated Gate Bipolar Transistor) の登場

はパワーエレクトロニクスを飛躍的に発展させた[3, 4]。Si デバイスは IGBT とダイオードが一体となった RC(Reverse Conduction)-IGBT が登場するなど今尚進化を続けているが、同時に、理論的により性能の高いデバイスが期待できる SiC (炭化珪素) や GaN (窒化ガリウム) などのワイドバンドギャップ半導体の開発も世界中で進められている[5]。特に SiC を基材とした MOSFET (Metal Oxide Semiconductor Field Effect Transistor)はその優れた材料物性と従来の Si プロセスとの高い親和性から、高性能パワーデバイスとしての期待度は高い[6, 7]。SiC MOSFET は Si-IGBT に比べ、高温動作が可能で冷却系の簡素化が可能、スイッチング速度が速く低損失で高周波動作が可能、ボディダイオードを有しており外付けの還流ダイオードが不要、などの特長を有しており、様々な分野で導入が始まっている。図 1-2 は SiC の導入が期待される主な分野を示している。SiC 導入による低損失化のメリットを出しやすい耐圧 600~数 kV 程度のクラスでは従来の Si デバイスの置き換えが進みつつある[8-10]。また、Si では実現困難な耐圧 10kV 以上のクラスでは新たな市場を開拓するポテンシャルを秘めている。特に、現状では電鉄分野での導入が先行している[11, 12]。これは、電力変換システム全体のコストに占めるパワーデバイスのコストが小さく高コストの SiC 導入のメリットが出しやすいこと、数量が限定的であることによる。今後はボリュームゾーンである EV (Electric Vehicle) 向けの普及が進むことが予想されることから、より低コストで高信頼なデバイスの実現が望まれている。

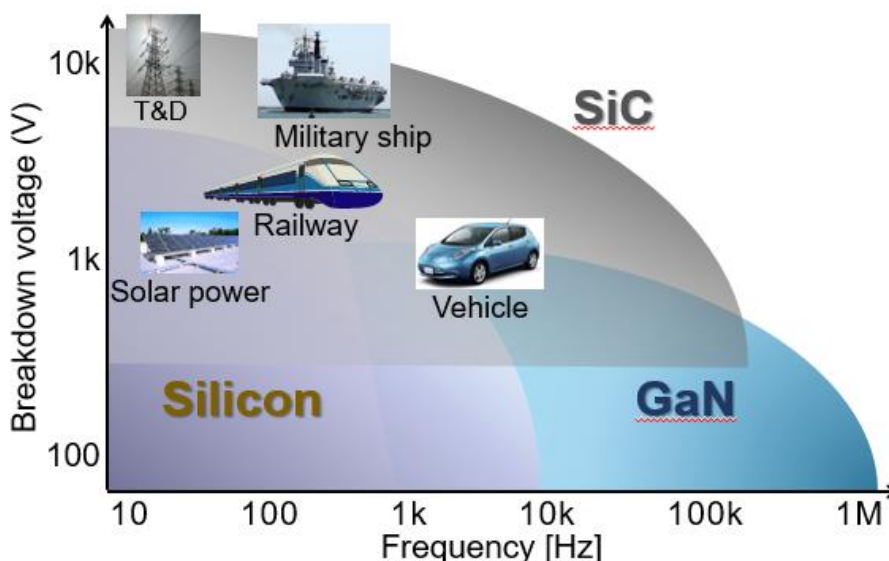


図 1-2 SiC 導入が期待される分野

## 1.2 研究目的

SiC MOSFET が従来の Si-IGBT に比べ高い性能を有しているにも関わらず爆発的な普及に至っていない要因としては、コストと信頼性の二つが挙げられる。コストに関しては、SiC 基板価格が下がらないことがひとつのネックとなっている。これは SiC が液相を持たないことから比較的高コストの昇華法による結晶成長が必要であることが一因だが、2025 年以降の SiC デバイスの爆発的な

普及に備え基板メーカーもデバイスメーカーも大口径化や大規模な設備投資を進めており SiC 基板価格の低下は時間の問題と考えられる[13, 14]。一方、デバイス・プロセス視点では、オン抵抗を下げることで低コスト化に最も有効である。オン抵抗が下がればより小さいチップで同じ性能を出すことができるためチップコストを下げるができる。しかし、オン抵抗を下げるために複雑な構造を採用すると逆にプロセスコストの増加や歩留の低下を招きトータルコストの増加につながりかねない。よって、よりシンプルな構造でオン抵抗を下げることでチップコストを下げるための理想と言える。

信頼性に関してはボディダイオードの通電による順方向電圧の劣化、いわゆる通電劣化現象が大きな課題である。この課題に対して、デバイス構造や製造プロセスによる対策が進められてはいるが、高コストのエピプロセスや複雑なデバイス構造が必要であり、コスト面など総合的に考えるといまだ検討が十分とは言えない状況である。

そこで本研究では低コストで高信頼な SiC MOSFET 実現のため、シンプルな構造でオン抵抗を増加させることなく（コストを増加させることなく）通電劣化を抑制できるデバイス構造およびプロセスを確立することを目的とした。想定するアプリケーションは今後急激に需要が伸びると予想されている車載用途で、デバイスに要求される耐圧は 600~1200 V を対象とする。

### 1.3 本論文の構成

本論文の全 7 章から構成されている。1 章では本研究の背景と目的を述べる。2 章では、課題である SiC デバイスの通電劣化現象について説明するとともに、通電劣化対策の先行研究について述べる。また、本研究の対象とする新たなコンタクト形成プロセスを適用した SBD 内蔵 MOSFET のコンセプトについて述べる。3 章では本研究のキープロセスであるオーミック、ショットキーコンタクト同時形成プロセスについて述べる。従来のコンタクトプロセスに比べ、高信頼で低抵抗なコンタクトが実現できることを示す。4 章では新たなコンタクトプロセスを MOSFET に適用した際の課題と対策について説明する。ここでは、ゲート酸化膜やチャネルへの影響を議論するとともにエクステンション構造の有効性について示す。5 章ではこれらの対策を盛り込んだ SBD 内蔵 MOSFET を試作した結果について述べる。オン抵抗の増加を抑えながらボディダイオードが通電劣化しないことを実証する。6 章では試作した SBD 内蔵 MOSFET の残課題に対する取り組みについて述べる。具体的には、オン抵抗の増加を補うためのチャネル移動度向上に関する検討と大電流密度化に向けた JBS 構造の検討についてである。最後に 7 章で本研究を総括し本論文のまとめとする。

## 参考文献

- [1] 東京電力パワーグリッド株式会社ホームページ  
<http://www.tepco.co.jp/pg/technology/renewable.html>
- [2] 経済産業省 自動車新時代戦略会議（第1回）資料（2018）.  
[https://www.meti.go.jp/committee/kenkyukai/seizou/jidousha\\_shinjidai/pdf/001\\_01\\_00.pdf](https://www.meti.go.jp/committee/kenkyukai/seizou/jidousha_shinjidai/pdf/001_01_00.pdf)
- [3] 関康和編纂，児玉浩憲著：世界を動かすパワー半導体 -IGBT がなければ電車も自動車も動かない-，電気学会（2008）.
- [4] 岩室憲幸著：車載機器におけるパワー半導体の設計と実装，科学情報出版（2019）.
- [5] 高橋清監修：ワイドギャップ半導体 光・電子デバイス，森北出版（2006）.
- [6] 松波弘之編著：半導体 SiC 技術と応用 第2 版，日刊工業新聞社（2011）.
- [7] 荒井和雄，吉田貞史著：SiC 素子の基礎と応用，オーム社（2003）.
- [8] 富士電機ニュースリリース：業界初「オール SiC モジュール」を適用した大容量メガソーラー用パワーコンディショナの発売について（2014）.
- [9] 安川電機ニュースリリース：世界初！ フル SiC 搭載の入出力電圧電流正弦波マトリクスコンバータを開発（2015）.
- [10] 三菱電機ニュースリリース：三菱ルームエアコン「霧ヶ峰 FZ・Z シリーズ」発売のお知らせ（2017）.
- [11] 三菱電機ニュースリリース：フル SiC パワーモジュール適用鉄道車両用インバーター装置を製品化（2013）.
- [12] 日立製作所ニュースリリース：シリコン・カーバイド素子を用いて小型軽量化を図った直流 1,500V 架線対応の鉄道車両用インバーターを開発（2011）.
- [13] ロームニュースリリース：SiC パワーデバイスの生産能力の強化を図るためローム・アポロ筑後工場に新棟を建設（2018）.
- [14] Cree press release: Cree to Invest \$1 Billion to Expand Silicon Carbide Capacity（2019）.



## 2. SBD 内蔵 MOSFET の課題と本研究の狙い

### 2.1 はじめに

本章では SiC MOSFET のボディダイオード利用に関する課題を説明し、対策として最も効果的と考えられる SBD (Schottky barrier diode) 内蔵 MOSFET に関する先行研究の内容と課題を整理する。また、本研究の狙いとするオーミック、ショットキーコンタクト同時形成プロセスを適用した SBD 内蔵 MOSFET のコンセプトについて説明する。

### 2.2 SiC の特徴

#### 2.2.1 SiC の物理的特性

SiC (炭化ケイ素, シリコンカーバイド) は、熱的、化学的、機械的に安定な共有結合性の結晶である。原子配列としては、それぞれの原子の周りに 4 個の原子が正四面体状に配置しており、Si と C が交互に並んだ配列となっている。この正四面体構造が最密充填構造で配列した際にその積層構造の周期により様々な結晶多型 (ポリタイプ) が存在することが知られている [1-3]。このうち特に発生確率が高く応用上重要なのは、3C-SiC, 4H-SiC, 6H-SiC, 15R-SiC の 4 つである。表記の仕方としては、最初の数字が積層構造の 1 周期内に存在する層の数 (3C だと 3 層で 1 周期)、その後のアルファベットは結晶系の頭文字を表している (Cubic: 立方晶, Hexagonal: 六方晶, Rhombohedral: 菱面体)。図 2-1 に 3C-SiC, 4H-SiC, 6H-SiC の結晶配列の模式図を示す。図中の A, B, C は六方晶の最密充填構造における 3 つの占有位置を示している。ABCABC-と 3 層周期で積層構造が続く構造は立方晶であり 3C-と表記される。これは一般的な Si やダイヤモンドと同じ構造である。ABCBABCB-の 4 層周期, ABCACBABCACB-の 6 層周期の構造がそれぞれ 4H-, 6H-と表記される。それぞれの発生確率や熱的安定性はポリタイプにより異なり、1800°C 以下の低温で発生しやすいのが 3C-SiC であり、2000°C 以上の高温で発生しやすいのが 6H-SiC, 15R-SiC, 4H-SiC である。また、各ポリタイプはバンドギャップや電子移動度などの物性も大きく異なる。表 2-1 に SiC の各ポリタイプと代表的な半導体材料の物性の一覧を示す [4, 5]。SiC のポリタイプの中では 4H-SiC がバンドギャップや電子移動度が最も高いためパワーデバイスの材料として最も一般的である。本研究でも、基板やエピタキシャル層に用いているのは 4H-SiC であり、以下特別な表記がない限り 4H-SiC を SiC と呼ぶこととする。一方、後述するが比較的バンドギャップが小さい特性を活かし本研究のコンタクトプロセスの一部には 3C-SiC も利用している。SiC を他の半導体材料と比較すると、Si や GaAs よりもバンドギャップや絶縁破壊電界が大きく、GaN よりも熱伝導率が高いなど優れた特性を持つ。GaN やダイヤモンドなどのワイドバンドギャップ半導体に比べてもバンドギャップや絶縁破壊電界では劣るものの、GaN やダイヤモンドでは実現困難な pn 両伝導型の制御が容易であり、デバイス応用には最も適した材料と言える。

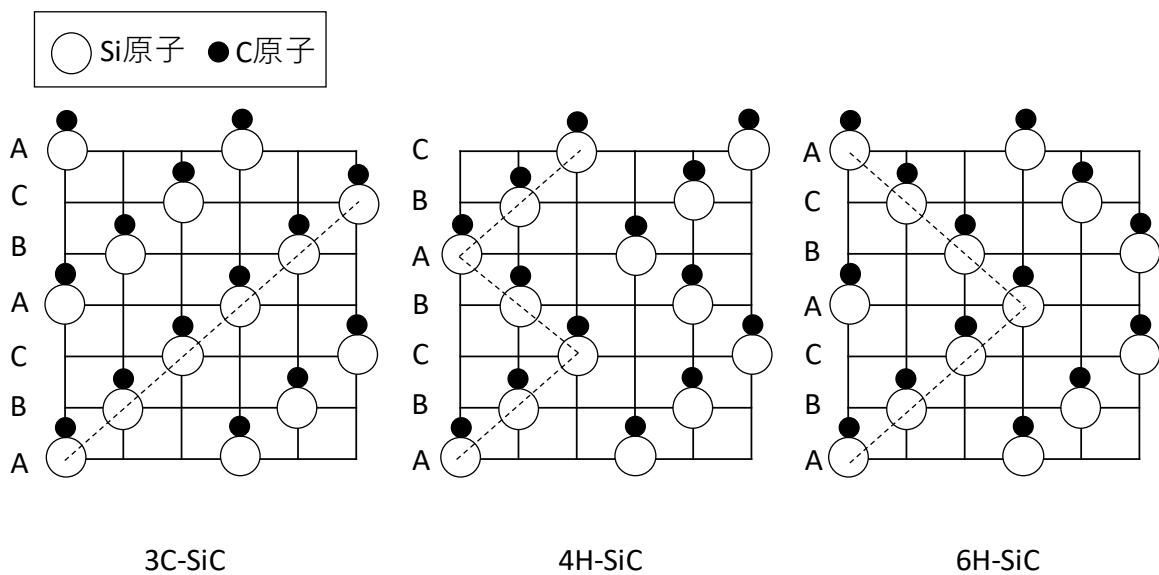


図 2-1 SiC 各ポリタイプの原子配列

表 2-1 半導体材料の物性一覧

	3C-SiC	4H-SiC	6H-SiC	Si	GaAs	GaN	ダイヤモンド
バンドギャップ [eV]	2.23	3.26	3.02	1.12	1.42	3.42	5.47
絶縁破壊電界 [MV/cm]	1.5	2.8	3	0.3	0.4	3	8
電子移動度 [cm <sup>2</sup> /Vs]	1000	1000(⊥c) 1200(∥c)	450(⊥c) 100(∥c)	1350	8500	1200	2000
飽和電子速度 [cm/s]	$2.7 \times 10^7$	$2.2 \times 10^7$	$1.9 \times 10^7$	$1.0 \times 10^7$	$1.0 \times 10^7$	$2.4 \times 10^7$	$2.5 \times 10^7$
熱伝導率 [W/cmK]	4.9	4.9	4.9	1.5	0.46	1.3	20

### 2.2.2 SiC への期待

SiC が電子デバイスとして最も期待されている分野は電力変換用のパワーデバイス用途である。これは絶縁破壊電界が Si に比べ約 10 倍大きいことによるところが大きい。図 2-2 に、Si および SiC 中の空乏層内電界分布を示す。縦軸が電界強度、横軸が空乏層幅、傾きが半導体内の不純物濃度、ハッチングした面積が半導体にかかる電圧、すなわち素子の耐圧を示している。SiC は絶縁破壊電界が大きいため、接合部のピーク電界を Si の 10 倍大きく設計することができる。そのため、同じ耐圧を確保するには不純物濃度を約 100 倍高くし空乏層幅を約 1/10 に薄くすることができる。よって、不純物濃度で決まる抵抗率と半導体の厚さの積で決まる半導体の直列抵抗は Si に比べ 1/300 以下にすることができる。これが SiC をパワーデバイスに適用した際に電力損失を小さくで

きる理由である。また、SiCはSiよりもバンドギャップが約3倍大きいことから高温での動作が可能である。これは、真性キャリア密度が小さいため、Siでは200°C以上の高温では半導体としての動作が難しくなるのに対し、SiCでは500°C以上でも半導体として動作する。パワーデバイスでは、ワンチップで500 A以上の大電流を流すこともあるため、発生するジュール熱をいかに外部に逃がすかが重要であることから、冷却システムが複雑になりがちである。SiCを利用すると、高温でも動作可能であるため、冷却システムを簡素化しシステムをシンプルにすることが可能である。また、高温動作可能である特徴や耐放射線性も高いことから、宇宙や原子炉内での用途にも期待されている[6]。

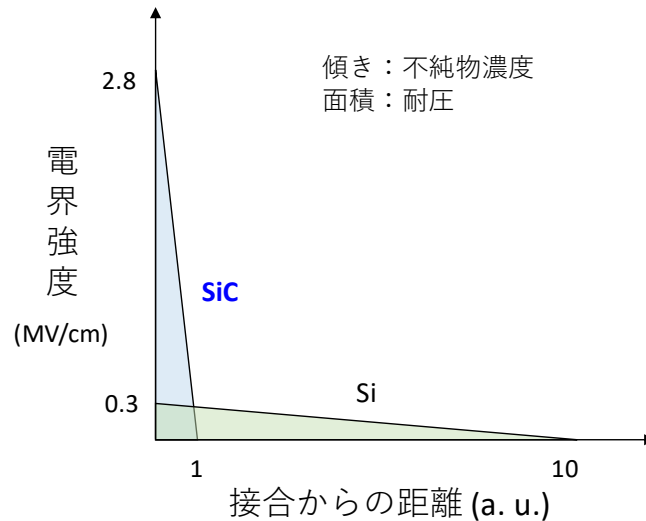


図 2-2 空乏層内の電界分布

次に、SiC デバイスを電気自動車(EV)用途に使用した際のメリットについて述べる。図 2-3 は EV 向けインバータの回路構成である。インバータは上下アームのスイッチング素子を交互にオンオフさせることで直流から交流波形を作り出す電力変換器である。このスイッチング素子にはこれまで Si-IGBT が用いられてきたが、SiC MOSFET への置き換えが期待されている。図 2-4 に SiC デバイス適用のメリットを示す。前述のとおり、SiC デバイスは Si デバイスに比べ電力損失を低減することができる。ドレイン側に PN 接合（ビルトイン電圧）を持たない SiC MOSFET は、運転モードの 90% 以上を占める低負荷運転時は特に損失低減効果が高く、電費向上や航続距離の延長にも大きく寄与できる。また、EV でも特にコストが高いリチウムイオン電池の容量を減らすことも可能になるため、トータルの EV システムの低コスト化にもつながる。SiC の高温動作が可能である特徴からは、将来的に冷却システムを水冷から空冷に変更できる可能性も秘めている。さらに、SiC デバイスは高周波動作が可能であることから、平滑コンデンサやリアクトルを小さくすることもでき、システム全体の小型、高出力密度化にもつながる。このように、SiC デバイスは EV システムを大きく変える可能性がある革新的なデバイスなのである[7]。

車載以外にも SiC の特性を活かした数多くのデバイスが研究されている。すでに実用化が進んでいる太陽光パネル用のパワーコンディショナーや家電用途だけでなく、10 kV 以上の高耐圧特性を活かした電力変換用の SST (Solid State Transformer) や半導体リレーなど、今さらなる応用展開が期待される[8]。

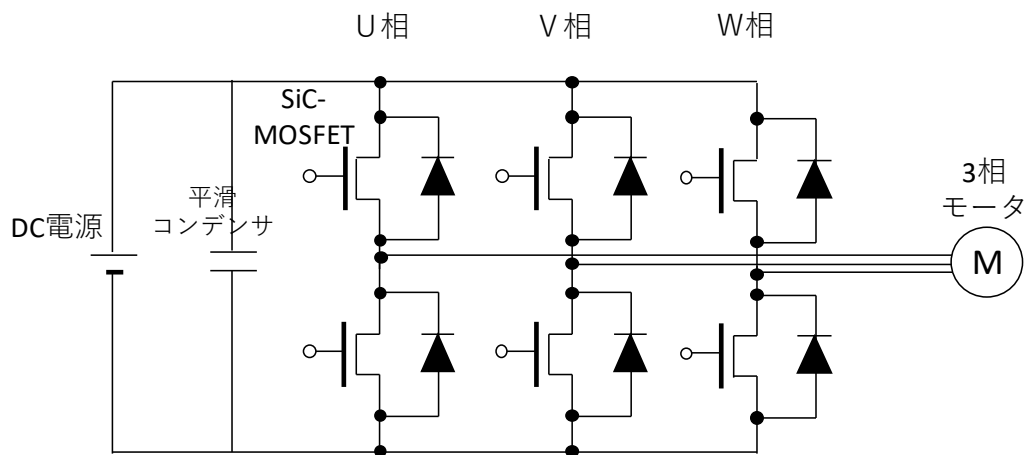


図 2-3 3相インバータの回路構成

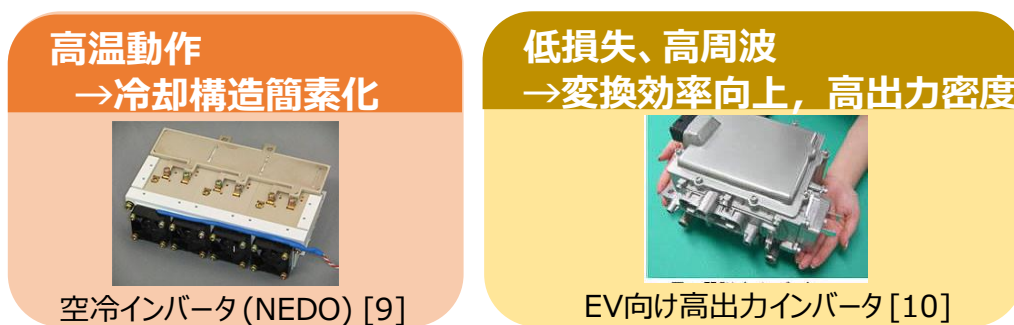


図 2-4 SiC デバイス適用のメリット

## 2.3 SiC MOSFET の基本構造および動作

図 2-5 にプレーナ型の SiC MOSFET の断面模式図を示す。N+の SiC 基板に耐圧保持用ドリフト層となる N-エピタキシャル層が形成されており、ドリフト層表面に P ボディ、N+領域、P+領域、ゲート酸化膜、ゲート電極が配置されている。電流は裏面のドレイン領域から表面の N+ソース領域に向かって流れ (図 2-5 青の矢印)、ゲート電極に印加する電圧によりオンオフを制御する。次に、図 2-3 に示すようなインバータに適用した際の動作を説明する。通常、インバータ動作では上アームと下アームの MOSFET を相補的に動作させるが、同時オンによる短絡を防ぐため、オンオフの切り替え時には両者がオフとなるデッドタイムを設けて動作させる。デッドタイムの際は上下アームともオフ状態ではあるが、モータ電流は流れ続けようとするため上下アームいずれかのダイオードに通常とは逆方向に電流が流れることになる。これを還流と呼び、スイッチング素子に逆並列に接続されたダイオードを還流ダイオードと呼ぶ。一般に、Si-IGBT は裏面に PN 接合を持ち逆方向に電流を流すことができないため、Si の PiN ダイオードを逆並列につないで使用する。一方、SiC MOSFET

はデバイス内部にボディダイオードを内蔵しているため、逆並列のダイオードを接続しなくても還流動作をすることが可能である（図 2-5 ピンクの矢印）。このため、SiC はワンチップでスイッチング素子とダイオードを兼ねることができるため、より電力変換器を小型化できるという特徴を持っている。

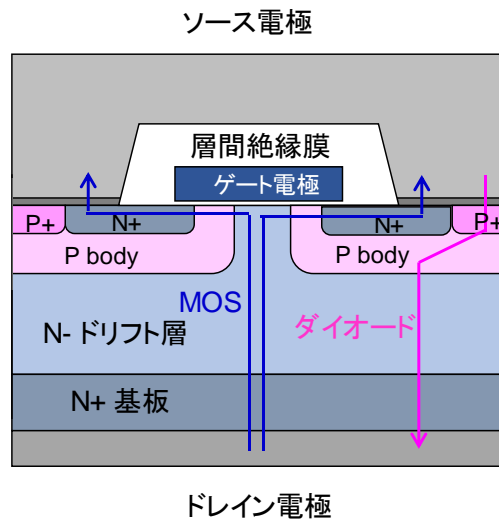


図 2-5 プレーナ型 SiC MOSFET の断面模式図

## 2.4 ボディダイオードの通電劣化現象

### 2.4.1 通電劣化の原理

SiC MOSFET のボディダイオードは、順方向通電することで順方向電圧や MOSFET のオン抵抗が増加することが知られている [11-18]。これを通電劣化と呼ぶ。一般的な通電劣化の原理を図 2-6 を用いて説明する。SiC 基板およびエピタキシャル層には多数の欠陥が存在することが知られている。そのうちの一つに基底面転位 (BPD: Basal Plane Dislocation) がある。BPD は基底面に沿って伸びる線欠陥で、通常 SiC 基板には  $4^\circ$  のオフ角がついているため、基板表面に対して  $4^\circ$  の方向に伸びている。BPD は SiC 基板中には無数に存在するが、基板とエピの界面でデバイス特性に影響を与えにくい貫通刃状転位に変換されるため、エピタキシャル層にまで伝搬しているものは比較的少ない。このエピタキシャル層中の BPD に PN ダイオードの通電によるホール電流が流れると、ホールと電子の再結合エネルギーにより BPD が拡張し、面欠陥である積層欠陥に成長する。積層欠陥は  $4H$ -SiC よりも小さなバンドギャップを持つため、キャリアにとっては抵抗体となる。これにより積層欠陥が発生した領域は電流が流れにくくなることでボディダイオードの順方向電圧や MOSFET のオン抵抗が増加する。積層欠陥は面方位に沿って  $60$  度に伸びること、エピタキシャル層中でのみ成長することが確認されているため、エピタキシャル層の厚さにより成長する積層欠陥の面積は決まる。従って、通電劣化はデバイス中の BPD の個数が多いほど、エピタキシャル層が厚い高耐圧のデバイスほど顕著になる。図 2-7 はデバイス中の BPD の個数とダイオード通電後の順方向電圧劣化量

の関係を実験的に調べたものである。BPD の個数はデバイス作製前にフォトルミネッセンス(PL)マッピングにより調べた。積層欠陥はバルクの SiC とはバンドギャップが異なるためフォトルミネッセンスにより検出が可能である。耐圧 3.3 kV のデバイス (エピタキシャル層 30  $\mu\text{m}$ ) では BPD の個数と順方向電圧の劣化量にきれいな相関が見られた。図 2-7 のカーブは積層欠陥の領域には電流が全く流れないと仮定した際の順方向電圧劣化量の計算値である。実験値と計算値がきれいに一致したことから、積層欠陥が拡張したエリアではほぼ電流が流れていないことが示唆される。また、同様の手法で耐圧 600 V, 1200 V のデバイスでの順方向電圧劣化量を計算した結果も示している。1200 V 以下のデバイスにおいてはエピタキシャル層が薄いことから順方向電圧の劣化量は小さい。また、BPD の密度もすでに  $<100$  個/ $\text{cm}^2$  になっていることが予想されるため[19], 従来から知られているエピタキシャル層中の BPD を起点とする通電劣化モードに関しては、1200 V 以下のデバイスにおいて順方向電圧劣化の観点での問題は小さいと言える。

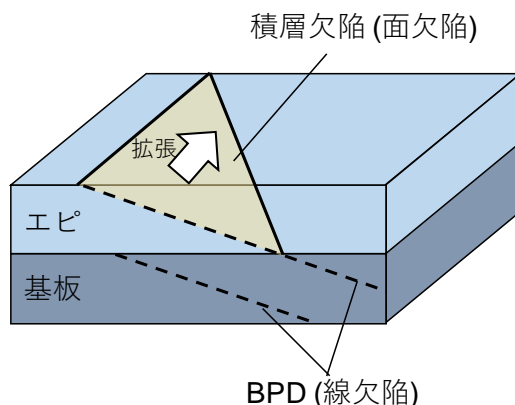


図 2-6 ボディダイオード通電劣化のメカニズム

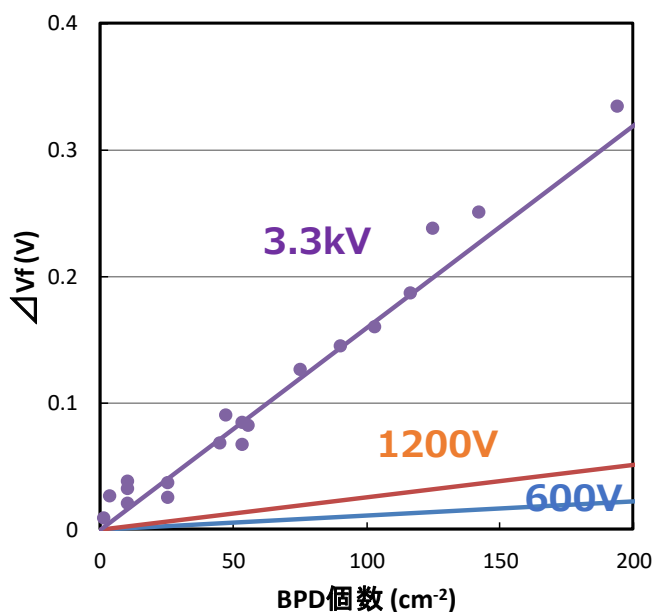


図 2-7 BPD 個数と順方向電圧劣化量の関係

一方、2013年以降、大電流通電でのみ発現し、基板中のBPD（基板とエピの界面で貫通刃状転位に変換されたもの）を起点にする新たな通電劣化のモードが報告されている[20-24]。図2-8は1200V、5mm□のデバイスに700 A/cm<sup>2</sup>の大電流通電をした後のフォトルミネッセンス像である。このモードにおいては従来の三角形の形状の積層欠陥（三角欠陥）と共に、三角欠陥が帯状に連なった積層欠陥（帯状欠陥）が発生する。帯状欠陥は広範囲に広がり順方向電圧劣化が大きいため、1200Vクラスのデバイスでも影響が大きい。また、発現する閾値となる電流密度がチップによってばらついており、電気的なスクリーニングも難しい。以上より、帯状欠陥は1200Vデバイスでも優先的に対策が必要な事項と言える。表2-2に従来の三角欠陥と新たに報告された帯状欠陥の特徴についてまとめた。通電劣化がデバイスのスイッチング特性に与える影響についての報告もあることから、順方向電圧劣化以外の信頼性の観点でも積層欠陥の拡張は問題となる可能性がある[25]。



表 2-2 積層欠陥の特徴

	三角欠陥 (エピ起点)	三角欠陥 (基板起点)	帯状欠陥 (基板起点)
積層欠陥拡張の起点	基板からエピに伝搬したBPD	基板、エピ界面で刃状転位に変換したBPD	
積層欠陥の形状	三角形	三角形	帯状
電流密度	<50 A/cm <sup>2</sup> スクリーニング可	>300 A/cm <sup>2</sup> スクリーニング難	>300 A/cm <sup>2</sup> スクリーニング難
順方向電圧劣化の程度	限定的	限定的	大きい

図 2-8 帯状欠陥発生後の  
フォトルミネッセンス像

## 2.4.2 通電劣化の抑制

前節で述べたとおり、通電劣化はBPDとホール電流により引き起こされる。従って、通電劣化の対策としてはBPDをなくすアプローチとホール電流を流さないアプローチに大別される。

### BPDをなくすアプローチ

- ・BPDを減らすためのアプローチとしては低オフ角基板の利用が挙げられる[26, 27]。BPDは基底面に沿って延びるためオフ角を小さくすると単位面積当たりのBPDの数は格段に減らすことができる。しかしながら、BPDをゼロにすることはできないため、完全な通電劣化対策とは言えない。
- ・BPDが存在するチップを排除するためにスクリーニングを行うことも考えられる。スクリーニングには光学的なスクリーニングと電気的なスクリーニングがある。光学的なスクリーニングは2.4.1で示したようにウェハ全体をフォトルミネッセンスでマッピングする手法である。これはエピタキシャル層中のBPDが起点となる三角欠陥の対策としては有効であるが、基板とエピの界面までフォトルミネッセンスでは観察できないことから基板中BPD起点のモードの対策としては不向きである。電気的なスクリーニングはデバイス作製後に通電し順方向電圧の劣化を確認する手法であるが、こちらも基板中BPD起点のモードの対策には大電流通電が必要となり、冷却方法や通電時間の観点で全チップに適用するのは困難である。

### ホール電流を流さないアプローチ

- ・帯状欠陥の起点となる基板とエピ界面にホール電流を到達させないため、基板とエピの間に高濃度の再結合促進層を挿入する手法が提案されている[28]。これにより帯状欠陥の成長が抑制できることが実証されているが、再結合促進層にはドリフト層と同程度の厚みのエピが必要であることから、エピコストの増加が課題となる。また、再結合促進層中で止まっている BPD も存在することから、すべてのモードの通電劣化に対応可能かは不透明である。
- ・ボディダイオード以外に通電パスを作るアプローチも提案されている。そのひとつが本研究のテーマでもある SBD をチップ内に内蔵した構造である。本構造の先行研究については次節で詳しく述べる。
- ・通電パスを作るアプローチのもう一つの手段として、チャンネル構造を工夫してチャンネルを逆導通させる構造が提案されている[29]。これはダイオードを内蔵することによるセルピッチの増加もないため非常に有効な手法である。一方、オフの際にゲートを逆バイアスとするとチャンネルの逆導通ができなくなるため、自アームのスイッチングにより対抗アームが誤ってオンしてしまう誤点弧という現象が起こらないよう注意を払う必要がある。また、チャンネル領域形成のための不純物プロファイルの制御やコスト増にも課題があると予想される。
- ・ゲートの制御により通電劣化を抑制するという手法も提案されている[30]。これはデッドタイムを極限まで短くすることでホール電流を流さないようにするというアプローチである。ただし、これもホール電流を完全にゼロにすることは難しく、現実的とは言えない。

表 2-3 に通電劣化対策のアプローチをまとめた。本研究では、SBD を内蔵することが最も現実的な手法と考え、SBD 内蔵の課題を整理することとした。

表 2-3 通電劣化対策のアプローチ一覧

		手段	実現可能性、課題	例
チップ中の BPD をゼロにする	ウェハ中の BPD をなくす	低オフ角	欠陥がゼロにはならない	—
	BPDのあるチップを選別する	ウェハの光学検査	エピ中は可能 基板中は不可能	—
		チップの電氣的スクリーニング	大電流通電は装置の制約有	—
ホール電流をゼロにする	再結合を促進しホールを基板まで到達させない	バッファ層の厚膜化	エピコスト増 すべてのモードが回避できるか不透明	富士電機 他
	ユニポーラのダイオードを内蔵	チャンネルを導通させる	エピコスト増 ゲート負バイアス不可	パナソニック
		SBDを内蔵する	最も現実的	産総研他
	駆動技術でボディダイオードの通電を回避	デッドタイムを極限まで短くする	完全にホールなくすことは困難	デンソー



## 2.5 SBD 内蔵 MOSFET の先行研究と課題

SBD 内蔵 MOSFET の報告は主に 2015 年以降で、2019 年現在も活発に研究されている [31-39]。これは SiC MOSFET の本格的な普及に向けて各社通電劣化の理解と対策が進められたものの、構造の工夫、スクリーニングや再結合促進層などの対策では 100%解決できるとの確証が持てていない状況を表しているものと考えられる。初期の SBD 内蔵 MOSFET は、MOS 領域と SBD 領域を別々に設けた構造をとっていた。図 2-9 に典型的な MOS, SBD 分離型の構造の断面図を示し、この図を用いて SBD 内蔵 MOSFET の構造的な課題を説明する。第一の課題は、SBD を内蔵することによるオン抵抗の増加である。一般的にパワーデバイスの性能指標としては面積当たりのオン抵抗  $R_{onA}$  [ $m\Omega cm^2$ ]を用いる。プレーナ型の MOSFET においては、オン抵抗は主にコンタクト抵抗 ( $R_{cont}$ )、チャンネル抵抗 ( $R_{channel}$ )、JFET 抵抗 ( $R_{JFET}$ )、拡がり抵抗 ( $R_{spread}$ )、ドリフト抵抗 ( $R_{drift}$ )、基板抵抗 ( $R_{sub}$ )の和となるが、ドリフト抵抗と基板抵抗を除く他の抵抗成分はセルピッチに反比例の関係となるため、SBD を内蔵することによりセルピッチが増加すると、オン抵抗が大幅に増加してしまう。逆にいうと、SBD を内蔵してもオン抵抗を増加させないためには、いかにセルピッチの増加を最小限に抑えるかが重要ということになる。第二の課題は、高温大電流通電においてもボディダイオードを導通させない設計である。順方向電圧が低い SBD を内蔵するとは言え、ボディダイオードがなくなるわけではないため、電流を増やすといずれはボディダイオードも導通してしまう。図 2-9 には SBD 内蔵 MOSFET のダイオード動作時の電流パスを示している。重要なのは SBD とボディダイオードの接合にかかる電圧である。それぞれの接合のビルトイン電圧を比較すると SBD のほうが小さいため、小電流では SBD に電流が流れる。このとき、ボディダイオードの接合にかかる電圧  $V_{pn}$  は、

$$V_{pn} = V_{bi, SBD} + I_f * (R_{JBS} + R_{spread}) \dots (2.1 \text{ 式})$$

で表せる。 $V_{bi, SBD}$  は SBD のビルトイン電圧、 $I_f$  は順方向電流を表す。 $R_{JBS}$  (JBS 抵抗) は基本的に MOSFET における JFET 抵抗と同じであるが、一般に SBD の電界緩和構造を JBS (Junction Barrier Schottky) と呼ぶため、本研究では JBS 抵抗と呼ぶことにする。この PN 接合にかかる電圧が PN 接合のビルトイン電圧 ( $V_{bi, PN}$ ) を超えるとボディダイオードに電流が流れ始める。よって、ボディダイオードが導通する条件は、

$$V_{bi, PN} < V_{bi, SBD} + I_f * (R_{JBS} + R_{spread}) \dots (2.2 \text{ 式})$$

となる。逆に、ボディダイオードが導通しないように設計するには、

$$V_{bi, PN} > V_{bi, SBD} + I_f * (R_{JBS} + R_{spread}) \dots (2.3 \text{ 式})$$

を満たす必要がある。このため、JBS 抵抗と拡がり抵抗をいかに下げるかが重要なポイントであることがわかる。

これらの課題を解決するため、ふたつのアプローチが報告されている。ひとつは、高耐圧のデバイスに適用するというものである (図 2-10) [33, 34]。第一の課題に対しては、オーミックコンタクトとショットキーコンタクトを同一のコンタクトホール内に形成するという構造的工夫と、オン抵抗のほとんどをドリフト抵抗が占めている高耐圧のデバイスに適用することにより、SBD 内蔵によるオン抵抗の増加はほとんどない。第二の課題に対しては、高耐圧デバイスにおいては (2.3 式) の  $I_f$  が小さいため、比較的ボディダイオードを導通させないことは容易となる。以上より、SBD 内蔵 MOSFET が有効なのは高耐圧デバイスに限られると主張している。逆にいうと、車載向けの 1200 V 程度のデバイスにおいては、これらの課題を解決するのは困難であると言えるが、これに対して

構造の工夫で 1200 V デバイスでも SBD 内蔵 MOSFET の有効性を示したのが SWITCH-MOS と呼ばれる構造である (図 2-11) [37, 38]。第一の課題に対しては、既存のトレンチ MOSFET でデッドスペースであったトレンチ側壁面をショットキー接合とすることで、SBD 内蔵することによるセルピッチの増大を抑えている。第二の課題に対しては、トレンチの微細化によりセルピッチをつめることで、セルピッチに反比例する JBS 抵抗と拡がり抵抗を低減し、ボディダイオードの導通を抑制している。報告では、2500 A/cm<sup>2</sup> 以上の大電流を流してもボディダイオードが導通しないことが示されている。しかしながら、この報告の構造は埋め込み P 領域とトレンチ側壁のショットキー接合という、非常に複雑な構造をとっているため、プロセスコストの増加と信頼性を含む量産性に課題があると予想される。

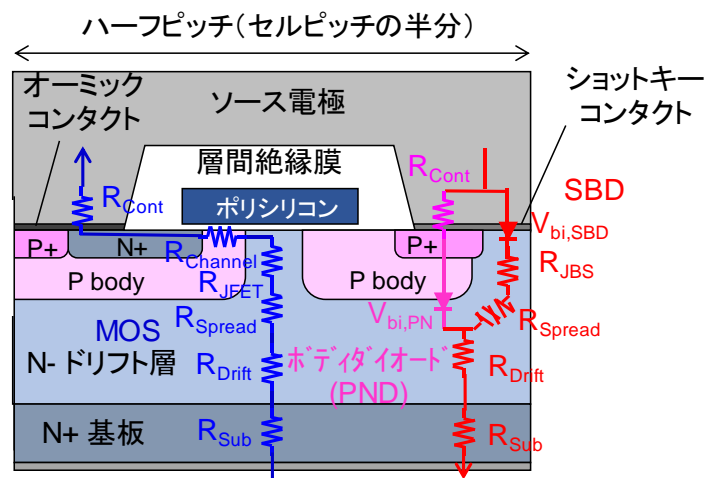


図 2-9 従来の SBD 内蔵 MOSFET の断面構造図と電流パス

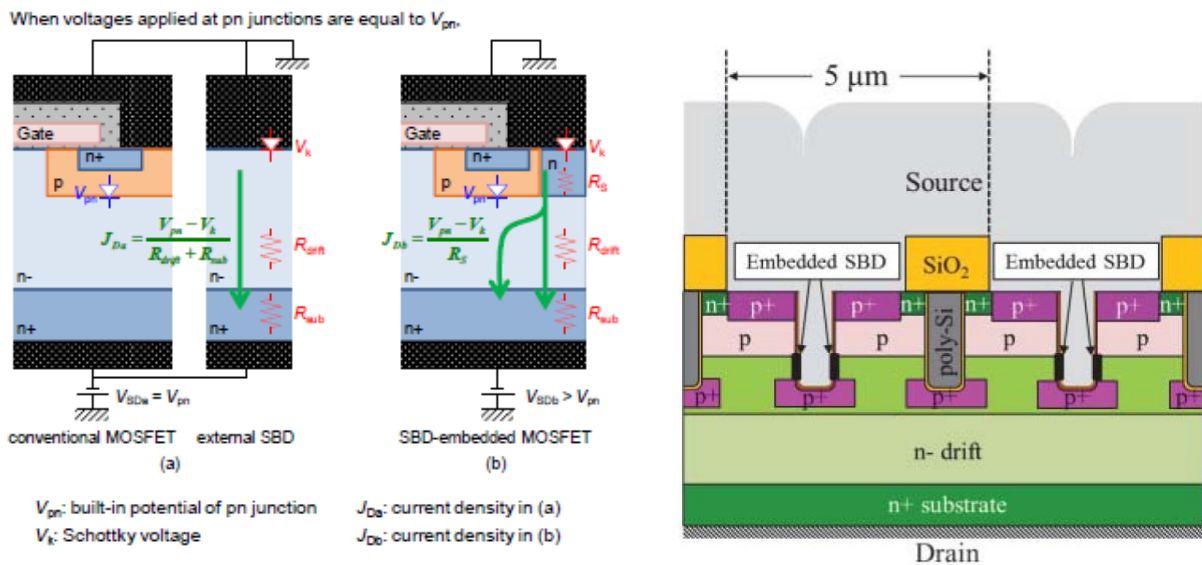


図 2-10 先行研究による SBD 内蔵 MOSFET [34]

図 2-11 先行研究による SBD 内蔵 MOSFET [38]

## 2.6 本研究でめざす SBD 内蔵 MOSFET

前節で述べた SBD 内蔵 MOSFET の先行研究を踏まえ、本研究では①600～1200 V 耐圧、②シンプルな構造およびプロセスで実現できること、③信頼性の高い構造およびプロセス、にフォーカスした。①は産業用途において車載応用も含めて市場規模も大きくインパクトが大きいためである。②は世の中を変えるには早期に市場に出す必要があるが、量産性を考慮するとシンプルな構造およびプロセスであることが重要であるためである。③は先行研究においても SBD 内蔵のためのコンタクトプロセスやその信頼性についてはほとんど語られていないためである。性能と共に信頼性を示すことで本研究の有用性と実現性を示せるものとする。

これらを実現するために本研究でめざす SBD 内蔵 MOSFET の構造を図 2-12 に示す。基本となるのはプレーナ型 MOSFET である。本研究の成果はトレンチ型にも適用可能であるが、まずは最もベーシックなプレーナ型の MOSFET で実証した。特徴は 3 つある。第一は、ショットキー、オーミックコンタクトを同一金属にて実現した点である。これにより SBD 内蔵によるセルピッチの増加を抑えられる。本コンタクトプロセスおよびその信頼性に関しては 3 章で述べる。第二は、ソース領域にエクステンション構造を適用した点である。これは 3 章で述べるコンタクトプロセスによる MOS 特性への影響に対する対策である。詳しくは 4 章で述べる。第三は、JBS (JFET) 領域に高濃度のドーピングを適用した点である。これにより、ボディダイオードの導通抑制を図った。試作による検討結果は 5 章で述べる。

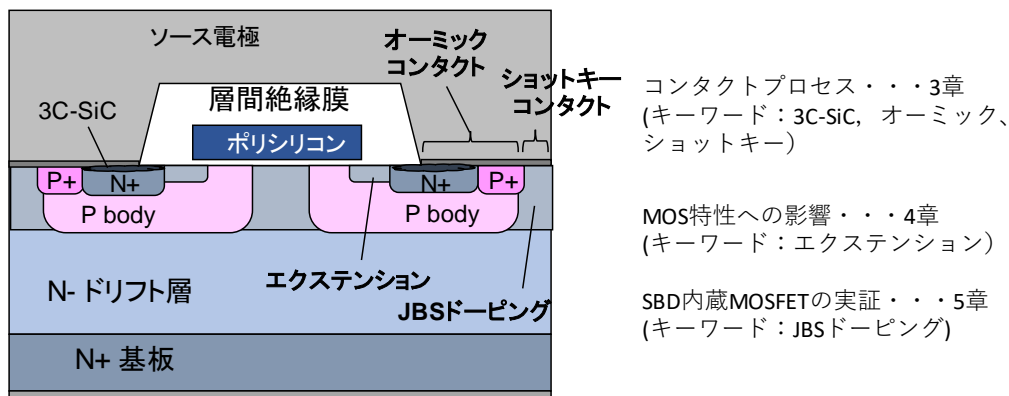


図 2-12 本研究でめざす SBD 内蔵 MOSFET

## 参考文献

- [1] A. R. Verma and K. Krishna, Polymorphism and Polytypism in Crystals, Wiley, New York (1966).
- [2] P. T. B. Shaffer, Acta Cryst., **B25**, 477 (1969).
- [3] 伊藤純一他, 分析化学, **42**, 445 (1993).
- [4] O. Madelung ed., Data in Science and Technology, semiconductors, Group IV Elements and V Compounds (Berlin, 1991).
- [5] W. J. Choyke, eds., Silicon Carbide, A Review of Fundamental Questions and Applications to Current Device Technology, Vol I - II (Berlin, 1997) .
- [6] 恩田正一 第40回 薄膜・表面物理セミナー 半導体とSiCの基礎と応用, 2012. 8. 3.
- [7] H. Tadano, TIA Summer School for Power Electronics, 373-402 (2012).
- [8] D. Dong, M. Agamy, J. Z. Bebic, Q. Chen, and G. Mandrusiak, IEEE J. Emerging and Selected Topics in Power Electronics **7**, 768 (2019).
- [9] NEDO ニュースリリース：超小型・大出力SiCインバータを開発 (2011).
- [10] 日立製作所ニュースリリース：両面冷却型フルSiCパワーモジュールを適用した環境対応自動車向けインバータを開発 (2015).
- [11] A. Galeckas, J. Linnros, and P. Pirouz, Appl. Phys. Lett. **81**, 883 (2002).
- [12] H. Lendenmann, F. Dahlquist, N. Johansson, R. Soderhoim, P. A. Nilsson, J. P. Bergman, and P. Skytt, Mater. Sci. Forum **353-356**, 727 (2001).
- [13] A. Galeckas, J. Linnros, B. Breitholtz, and H. Bleichner, Mater. Sci. Forum **353-356**, 389 (2001).
- [14] J. P. Bergman, H. Lendenmann, P. A. Nilsson, U. Lindefelt, and P. Skytt, Mater. Sci. Forum **353-356**, 299 (2001).
- [15] A. Galeckas, J. Linnros, and P. Pirouz, Phys. Rev. Lett. **96**, 025502 (2006).
- [16] M. Skowronski, and S. Ha, J. Appl. Phys. **99**, 011101 (2006).
- [17] J. D. Caldwell, R. E. Stahlbush, E. A. Imhoff, K. D. Hobart, M. J. Tadjer, Q. Zhang, and A. Agarwal, J. Appl. Phys. **106**, 044504 (2009).
- [18] J. D. Caldwell, R. E. Stahlbush, M. G. Ancono, O. J. Glembocki, and K. D. Hobart, J. Appl. Phys. **108**, 044503 (2010).
- [19] 特許文献 W02013078219A1, Method of growing high quality, thick sic epitaxial films by eliminating silicon gas phase nucleation and suppressing parasitic deposition (2012).
- [20] K. Konishi, S. Yamamoto, S. Nakata, Y. Nakamura, Y. Nakanishi, T. Tanaka, Y. Mitani, N. Tomita, Y. Toyoda, and S. Yamakawa, J. Appl. Phys. **114**, 01504 (2013).
- [21] A. Tanaka, H. Matsuhata, N. Kawabata, D. Mori, K. Inoue, M. Ryo, T. Fujimoto, T. Tawara, M. Miyazato, M. Miyajima, K. Fukuda, A. Ohtsuki, T. Kato, H. Tsuchida, Y. Yonezawa, and T. Kimoto, J. Appl. Phys. **119**, 095711 (2016).
- [22] T. Tawara, T. Miyazawa, M. Ryo, M. Miyazato, T. Fujimoto, K. Tanenaka, S. Matsunaga, M. Miyajima, A. Otsuki, Y. Yonezawa, T. Kato, H. Okumura, T. Kimoto, and H. Tsuchida, Mater. Sci. Forum **897**, 419 (2017).

- [23] S. Hayashi, T. Yamashita, J. Senzaki, M. Miyazato, M. Ryo, M. Miyajima, T. Kato, Y. Yonezawa, K. Kojima, and H. Okumura, *Jpn. J. Appl. Phys.* **57**, 04FR07 (2018).
- [24] S. Hayashi, T. Yamashita, M. Miyazato, M. Miyajima, J. Senzaki, T. Kato, Y. Yonezawa, K. Kojima, and H. Okumura, *Jpn. J. Appl. Phys.* **58**, 011005 (2019).
- [25] R. Fujita, K. Tani, K. Konishi, and A. Shima, *IEEE Tran. Electron Devices* **65**, 4448 (2018).
- [26] H. Tsuchida, T. Miyanagi, I. Kamata, T. Nakamura, K. Izumi, K. Nakayama, R. Ishii, K. Asano and Y. Sugawara, *Mater. Sci. Forum* 483-485 (2005).
- [27] K. Nakayama, Y. Sugawara, H. Tsuchida, T. Miyanagi, I. Kamata, T. Nakamura, K. Asano and D. Takayama, *Proc. 16th Int. Symp. Power Semiconductor Devices & ICs* pp.357 (2004).
- [28] 俵武志・宮澤哲哉・呂民雅・宮里真樹・藤本卓巳・竹中研介・松永慎一郎・宮島将昭・大月章弘・米澤喜幸・加藤智久・奥村元・木本恒暢・土田秀一, 第 77 回 応用物理学会秋季学術講演会予稿集 15p-C302-15 (2016).
- [29] M. Uchida, N. Horikawa, K. Tanaka, K. Takahashi, T. Kiyosawa, M. Hayashi, M. Niwayama, O. Kusumoto, K. Adachi, C. Kudou, and M. Kitabatake, *IEDM Tech. Dig.*, 2011, 26.6.1.
- [30] 丹羽章雅: 筑波大学博士論文「SiC MOSFET 内蔵ダイオード利用のための駆動回路技術に関する研究」(2017).
- [31] C. T. Yen, C. C. Hung, H. T. Hung, L. S. Lee, C. Y. Lee, T. M. Yang, Y. F. Huang, C. Y. Cheng, and P. J. Chuang, *Proc. Int. Symp. Power Semiconductor Devices and ICs*, 2015, p. 265.
- [32] W. Sung and B. J. Baliga, *IEEE Electron Devices Lett.* **37**, 1605 (2016).
- [33] K. Kawahara, S. Hino, K. Sadamatsu, Y. Nakao, Y. Yamashiro, Y. Yamamoto, T. Iwamatsu, S. Nakata, S. Tomohisa, and S. Yamakawa, *Proc. Int. Symp. Power Semiconductor Devices and ICs*, 2017, p. 41.
- [34] S. Hino, H. Hatta, K. Sadamatsu, Y. Nagahisa, S. Yamamoto, T. Iwamatsu, Y. Yamamoto, M. Imaizumi, S. Nakata, and S. Yamakawa, *Mater. Sci. Forum* **897**, 477 (2017).
- [35] F. J. Hsu, C. T. Yen, C. C. Hung, H. T. Hung, C. Y. Lee, L. S. Lee, Y. F. Huang, T. Z. Chen, P. J. Chuang, *Proc. Int. Symp. Power Semiconductor Devices and ICs*, 2017, p. 45.
- [36] H. Jiang, J. Wei, X. Dai, C. Zheng, M. Ke, X. Deng, Y. Sharma, I. Deviny, and P. Mawby, *Proc. Int. Symp. Power Semiconductor Devices and ICs*, 2017, p. 49.
- [37] Y. Kobayashi, N. Ohse, T. Morimoto, M. Kato, T. Kojima, M. Miyazato, M. Takei, H. Kimura, and S. Harada, *IEDM Tech. Dig.*, 2017, 9.1.1.
- [38] R. Aiba, M. Okawa, T. Kanamori, H. Yano, N. Iwamuro, Y. Kobayashi, and S. Harada, *Proc. Int. Symp. Power Semiconductor Devices and ICs*, 2019, p. 23.
- [39] A Kanale, K. Han, B. J. Baliga, and S. Bhattachaya, *Mater. Sci. Forum* **963**, 797 (2019).

### 3. 低抵抗で高信頼なコンタクト形成プロセス

#### 3.1 はじめに

本章では本研究のキープロセスである同一金属を用いたオーミック、ショットキーコンタクト同時形成プロセスについて述べる。オーミックコンタクトのメカニズムを解説したあと、SiC 上のオーミックコンタクトの先行研究を紹介し、これらをもとに考案した本研究のコンタクトプロセスのコンセプトについて説明する。その後、実験にてコンタクト抵抗の評価をした結果を示し、最後に本研究のコンタクトプロセスの信頼性、安定性について議論する。

#### 3.2 コンタクトの理論

##### 3.2.1 オーミックコンタクトの理論

一般的に金属と半導体を接触させた界面でオーミック性を出すためには 2 通りの方法がある。N 型半導体で説明すると、ひとつは半導体の電子親和力  $\chi$  よりも小さい仕事関数  $\phi_M$  を持つ金属を用いる方法である。図 3-1 (a) に示すように、半導体と金属の間にエネルギー障壁ができないためオーミックとなる。この場合、コンタクト抵抗は半導体中の不純物濃度には依存しない。もうひとつは、半導体の電子親和力  $\chi$  よりも金属の仕事関数  $\phi_M$  が大きい場合でも半導体の不純物濃度を上げることでオーミックを実現することができる (図 3-1 (b))。これは、電子親和力  $\chi$  と仕事関数  $\phi_M$  の差により半導体と金属の界面にはショットキー障壁  $\phi_B$  が生じるが、半導体表面の不純物濃度を上げることでショットキー障壁の厚みを薄くすることでトンネル効果によりオーミック性を発現させることができる。この場合、ショットキー障壁高さ  $\phi_B$  と半導体表面の不純物濃度  $N_0$  の関係によりコンタクト抵抗は決まる。Si の場合は前者の方法でオーミックコンタクトを実現することもできるが、4H-SiC は電子親和力が 3.2 eV と小さく、これよりも小さい仕事関数を持つ実用的な金属はないため、必然的に後者の方法でオーミックコンタクトを実現することになる。

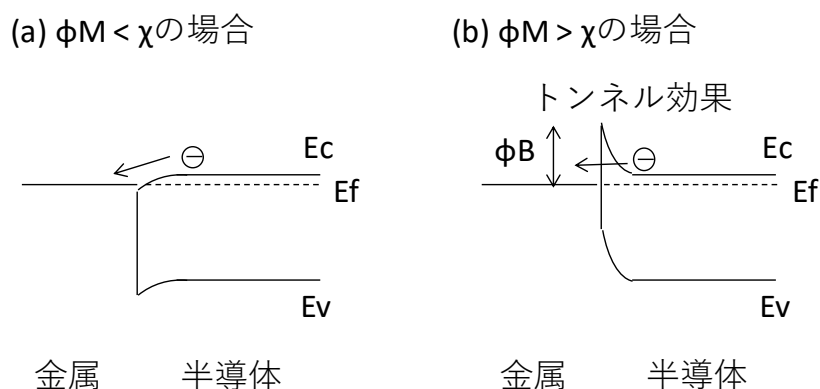


図 3-1 N 型半導体のオーミックコンタクトメカニズム

半導体と金属の間にショットキー障壁がある場合、この界面を電流が流れるのには3つのモードがある。電子が持つ熱エネルギーにより障壁を超える熱電子放出(TE: Thermoionic Emission), 熱エネルギーがトンネルをアシストする熱電界放出(TFE: Thermoionic Field Emission), トンネル電流で決まる電界放出(FE: Field Emission)である。半導体中の不純物濃度が低い場合は、TEが支配的となり、この場合のコンタクト抵抗  $R_c$  は以下の式で表せる[1]。

$$R_c = \frac{k}{qA^*T} \exp\left(\frac{q\phi_B}{kT}\right) \dots (3.1 \text{ 式})$$

ここで、 $k$  はボルツマン定数、 $T$  は絶対温度、 $q$  は素電荷量、 $A^*$  はリチャードソン定数である。4H-SiC の  $A^*$  は  $146 \text{ Acm}^{-2}\text{K}^{-2}$  である[2]。この場合、コンタクト抵抗は不純物濃度に依存しない。次に、TFE の理論式は以下のように表せる。

$$R_c \propto \exp\left(\frac{q\phi_B}{E_{00} \coth(E_{00}/kT)}\right) \dots (3.2 \text{ 式})$$

ここで、 $E_{00}$  は Padovani-Stratton パラメータと呼ばれ、この値が熱エネルギー  $kT$  と同程度になると TFE が顕在化する。 $E_{00}$  は以下の式で表せる。

$$E_{00} = \frac{qh}{4\pi} \sqrt{\frac{n}{m^*\epsilon}} \dots (3.3 \text{ 式})$$

$h$  はプランク定数、 $m^*$  は電子の有効質量、 $\epsilon$  は半導体の誘電率を示す。 $E_{00}$  が熱エネルギー  $kT$  よりも十分大きい場合は、FE が支配的となる。FE の理論式は以下である。

$$R_c = \exp\left(\frac{4\sqrt{m^*\epsilon}\phi_B}{\sqrt{Na}h}\right) \dots (3.4 \text{ 式})$$

このモードでは不純物濃度  $N_d$  と障壁高さに大きく影響を受ける。また、コンタクト抵抗が最も低く温度依存性も小さいことから通常オーミックコンタクトはFEモードで設計するのが一般的である。図 3-2 は FE モードの理論式で計算した不純物濃度、障壁高さとの関係を示したものである。実用上必要とされる  $10^{-6} \text{ }\Omega\text{cm}^2$  程度のコンタクト抵抗を得るには、SiC 中の不純物の固溶限界である  $10^{20} \text{ cm}^{-3}$  程度まで不純物濃度を上げたとしても、 $\phi_B$  を 0.3 eV 程度まで下げる必要があることがわかる。

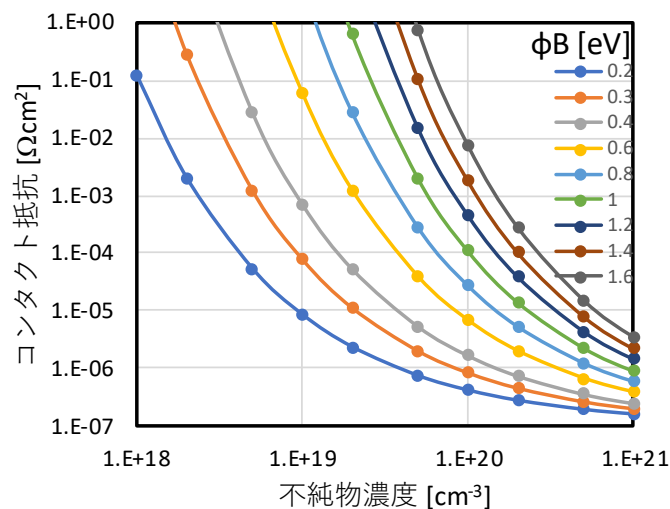


図 3-2 FE モードにおける不純物濃度、障壁高さとの関係

ここまでは理想的な半導体と金属界面におけるコンタクト抵抗について述べたが、大学の研究室レベルでは簡便にコンタクトをとるため半導体表面にやすりで傷をつけてから金属を堆積させることがある。これは、半導体表面に傷をつけることでコンタクトの表面積を増やすとともに半導体表面に多量の準位を形成することで準位を介してトンネルさせやすくするためである。これが意味することは、オーミックコンタクトは整流性を必要としないため界面が平坦である必要もなく、金属の組成が均一である必要もなく、ダメージの少ないきれいな界面である必要もない。ここが次節で述べるショットキー界面と大きく異なる点と言える。

### 3.2.2 ショットキーコンタクトの理論

前節で述べた通り、半導体と金属が接触するとショットキー障壁が生じる。半導体中の不純物濃度が比較的低い場合はこの障壁により半導体と金属の接合は整流性を持つ。この特性をショットキーバリアダイオードとして利用する際は、立ち上がり電圧  $V_{bi}$  が低く、逆バイアス時のリーク電流が小さいことが求められる。ショットキーバリアダイオードの電流の理論式は以下で表せる。

$$I = I_s \left\{ \exp\left(\frac{qV}{nkT}\right) - 1 \right\} \cdots (3.5 \text{ 式})$$

ここで  $n$  はショットキー界面の理想係数であり、1に近いほど理想的な界面である。 $n$  値は  $I_f$ - $V_f$  カーブの傾きを示すため  $n$  値が大きいとゼロバイアスや負バイアスでのリーク電流が大きいことになる。そのため、 $n$  値はショットキーダイオードの特性上もできるだけ1に近いのが望ましい。 $n$  値が大きくなる要因としては、 $\phi_B$  が不均一であることや、半導体表面のダメージ等が挙げられる。また、界面のラフネスが大きいと電界集中によりリーク電流が大きくなる。以上より、ショットキー界面には、半導体表面のダメージが少なく、平坦で、金属の組成も均一であることが要求される。 $\phi_B$  の値に関してはショットキーバリアダイオードの逆方向リーク電流特性により設計される。逆方向リーク電流は熱電界放出で決まるため、 $\phi_B$ 、温度、電界の強さに強く依存する。電界の強さは JBS (Junction Barrier Schottky) 構造により緩和されることが多いが、それでも高温での特性を考慮すると  $\phi_B$  には 1.0 eV 程度が要求される。

## 3.3 SiC 上のコンタクトに関する先行研究

### 3.3.1 SiC 上のオーミックコンタクト

N 型 SiC 上のオーミックコンタクトとしては、Ni ベースのコンタクトが最も一般的であり多数の報告例がある。メカニズムには諸説あるが、これらの報告での共通認識は以下である。

- ① オーミックコンタクトが実現できる条件での Ni シリサイドの組成は  $Ni_2Si$  である
- ②  $Ni_2Si$  を 700°C 以下で形成するとオーミックコンタクトは実現できない

(Ni/SiC を反応させる場合、Ni/Si を反応させる場合、 $Ni_2Si$  膜を堆積させる場合のいずれも)

- ③  $Ni_2Si/SiC$  を 900°C 以上で熱処理するとオーミックコンタクトが実現できる

$Ni_2Si/SiC$  界面の  $\phi_B$  は 1.6 eV 程度であると報告されているが[3]、前節で述べたオーミックコンタクトの理論からするとこれでは低抵抗なオーミックコンタクトは実現できない。一方、900°C 以上での熱処理によりオーミックコンタクトを実現したデータは  $\phi_B$  が 0.45 eV 程度でないと説明が



できない。つまり、900°C以上の熱処理により $\phi_B$ が1.6 eV程度だったNi<sub>2</sub>Si/SiC界面に何らかの反応が起こり $\phi_B$ が0.45 eV程度まで低下していることになる。この $\phi_B$ 低下のメカニズムとしては、NiとSiCの反応により生成した余剰なカーボンが影響しているという説[4]、半導体表面にカーボン空孔ができることで $\phi_B$ が低下するという説[5]、Ni<sub>2</sub>Siの配向性が変わること起因するという説[6]などが提案されているが、いまだにコンセンサスが取れていない。いずれにしても、電子親和力が3.2 eVの4H-SiC上でNiシリサイド並み( $\phi_B \sim 0.45$  eV)のコンタクト抵抗を得るには4 eVよりも小さい仕事関数を持つ金属が必要となるが、実用的にはそのような金属は存在しないため、現状、N型SiC上の低抵抗オーミックコンタクトの実現にはNiシリサイドの特殊な反応を利用するしかない状況なのである。

一方、Niシリサイドを用いるとP型SiC上でもオーミックコンタクトが実現できる[7]。こちらは不純物濃度を上げることで達成しており、コンタクト抵抗の値も理論値に近いので、N型SiC上のような特殊なことは起こっていないものと考えられる。

### 3.3.2 SiC上のショットキーコンタクト

SiC上のショットキーコンタクトにはTi, Mo, Niなどが用いられる[8-10]。4H-SiC上のTi, Mo, Niの $\phi_B$ はそれぞれ0.9, 1.1, 1.6 eVであり、低耐圧用途ではTiが、高耐圧用途ではMoやNiが用いられることが多い。また、安定性向上や $\phi_B$ 調整のため各金属堆積後に熱処理を加えることもある。熱処理の際に注意が必要なのは金属と反応するSiC中のカーボンの挙動である。Ti, Moに関してはカーボンとの合金層であるカーバイドを生成しやすい特性を持っているため、熱処理後には金属カーバイドや金属シリコンカーバイドなどの形態で金属層に均一に取り込まれる。一方、Niはカーバイドを生成しにくい特性をもっているため、余剰なカーボンはシリサイド表面に拡散するかシリサイド半導体界面にクラスターとして析出する。特に高温での熱処理ではこの傾向が顕著であるため、Niを用いる際は注意が必要である。

### 3.3.3 SiC上のオーミック、ショットキーコンタクト同時形成

SiC上でオーミックとショットキーコンタクトを同一金属で形成するプロセスに関する報告はほとんどないが、唯一あるのがNiシリサイドを用いた方法である[11]。SiC上のオーミックコンタクトにはNiの堆積と900°C以上の熱処理が必要であり、低いコンタクト抵抗を得るには1000°C以上の熱処理が望ましい。しかし、高温の熱処理を加えるとシリサイド半導体界面の $\phi_B$ が下がるため、この系をショットキーコンタクトに用いるとバリアが低すぎて逆方向のリーク電流が大きくなってしまう。そこで彼らは、熱処理温度を最適化し、オーミックとショットキーを両立することに成功している。ただし、オーミックコンタクトのコンタクト抵抗は $10^{-4} \Omega\text{cm}^2$ 程度と高く、ショットキーコンタクトの $n$ 値も低温の熱処理に比べ若干劣化していることから、実用上のプロセスマージンはほぼないものと考えられる。オーミックコンタクトとショットキーコンタクトに求められる $\phi_B$ は大きく異なるため、理論上、ほどほどの性能でオーミックとショットキーを両立することはできても、低抵抗のオーミックコンタクトと低リーク電流のショットキーコンタクトを両立することは不可能なのである。

### 3.4 オーミック，ショットキーコンタクト同時形成プロセス

#### 3.4.1 本研究のコンタクトプロセスのコンセプト

3.2 節で述べた通り，N 型 SiC 上で低抵抗のオーミックコンタクトを得るには金属半導体界面の  $\phi_B$  を 0.45 eV 以下にする必要があるが，N 型 SiC 上で逆方向リーク電流が小さいショットキーバリアダイオードを実現するには  $\phi_B$  を 1.0 eV 程度まで大きくする必要があるので，現実的に同一金属を用いて同じ SiC 上に低抵抗オーミックコンタクトと高信頼で低リーク電流のショットキーコンタクトを同時に形成することは不可能である。そこで，仕事関数の異なる 2 種類の金属を使うのが一般的であるが，本研究では金属ではなく半導体側の特性を変えることで低抵抗オーミックコンタクトと高信頼で低リーク電流のショットキーコンタクトを同時に形成すること試みた。具体的には，N 型 SiC 上のオーミックコンタクトを形成する領域のみ，バンドギャップが小さく電子親和力が高い 3C-SiC とすることを検討した。図 3-3 は N 型 SiC 上，P 型 SiC 上オーミックコンタクトおよび N 型 SiC 上ショットキーコンタクトのバンド図を示す。金属はチタンを用いた例である。N 型 SiC 上のオーミックコンタクトは電子親和力の小さい 3C-SiC を用いることで  $\phi_B$  が 0.3 eV 程度まで下げることが可能となる。P 型 SiC 上のオーミックコンタクトに関しては従来の 4H-SiC を用いると  $\phi_B$  は 2.0 eV 程度になるが，MOSFET の P 型オーミックコンタクトには P ボディ領域の電位が固定するのに必要な  $10^{-2} \sim 10^{-3} \Omega\text{cm}^2$  程度のコンタクト抵抗があればよいため，不純物濃度を上げれば問題ないと考えられる。N 型 SiC 上のショットキーコンタクトに関しては，従来の 4H-SiC を用いると  $\phi_B$  は 1.0 eV 程度であり逆方向リーク電流が少ないショットキーダイオードが実現可能である。

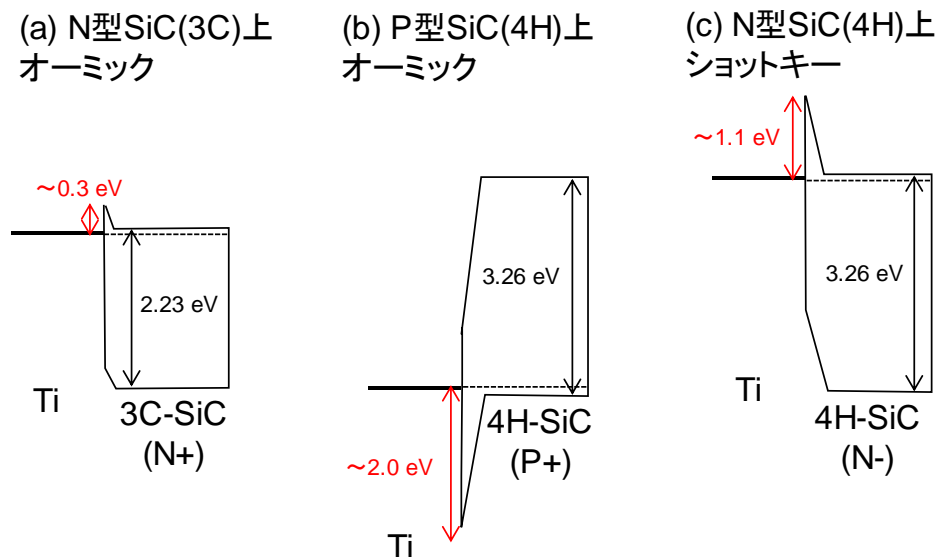


図 3-3 各ショットキー界面のバンド図

4H-SiC 中に 3C-SiC を形成するプロセスとしては、高ドーズ室温イオン注入により半導体表面を完全にアモルファス化するとその後の活性化アニールで多結晶 3C-SiC として再結晶化するという現象を利用した[12, 13]。SiC は結晶構造上 c 軸方向の繰り返しパターン情報は伝搬されにくいいため、(0001)面上で結晶構造を完全に壊してアモルファス化させると再結晶時には最も低温で安定な 3C-SiC として再結晶化する。これは SiC ではよく知られた現象であるが、3C-SiC は多結晶で欠陥も多く入るため、一般的には高温注入等を利用することで避けるべき現象ととらえられている。しかし、我々は 3C-SiC 化により発生した欠陥はきちんと理解し制御すれば本現象を有効に活用できるのではないかと考えた。次項では、3C-SiC を活用したコンタクトプロセスの検証結果を述べる。

### 3.4.2 コンタクト検討の実験方法

3C-SiC を活用したオーミック、ショットキーコンタクト同時形成プロセス検証のため、オーミックコンタクトの検証とショットキーコンタクトの検証をそれぞれ実施した。まず、オーミックコンタクトの検証には、N 型および P 型のイオン注入条件と電極形成条件を振ってコンタクト抵抗評価用のケルビンパターンを作製した。作製プロセスを図 3-4 に示す。まず、N-エピタキシャル層付 SiC 基板を準備し、N 型層、P 型層をそれぞれイオン注入により形成した。SiC 表面の 3C-SiC 化の影響を検証するため、イオン種、注入温度、注入ドーズ等様々な条件でイオン注入を行った。特に完全アモルファス化するために SiC 表面にダメージを与えやすいのは、質量の大きい P(リン)、注入中に原子の再配列が起こりにくい室温注入、ダメージ量が大きい高ドーズ注入である。P 型は不純物準位が比較的浅い Al のみとし、注入温度と注入ドーズをパラメータとした。注入したイオンを活性化させるためカーボン層で基板表面を保護した状態で 1700°C の条件で活性化アニールを実施した。1700°C はドーパントである N, P, Al をほぼ 100% 活性化させるのに十分な温度である。フィールド絶縁膜を形成しコンタクトホールをドライエッチングで開口した後、オーミックコンタクト用の金属層を形成した。オーミック金属には適正な仕事関数と SiC 界面の安定性を兼ね備える Ti を用いた。Ti をスパッタリングにより堆積したのち、一部のサンプルには  $\phi_B$  調整のため RTA (Rapid Thermal Annealing) により熱処理をし、バリア層の TiN、配線層の Al を堆積させ、Ti とまとめてパターンングすることでケルビンパターンを作製した。比較のため、一部のサンプルには従来の Ni シリサイドを適用した。Ni シリサイドはドライエッチングでは加工できないため、通常の LSI プロセスで使われている SALICIDE (Self-Aligned silicide) プロセスを適用した。具体的にはコンタクトホール開口後、Ni を堆積し、RTA により Ni と SiC を反応させ、未反応の Ni をウェット処理で除去することでコンタクトホール部のみに Ni シリサイドを形成する。シリサイド上の配線層は密着性やバリア性を考慮し Ti/TiN/Al の構成とした。作製したケルビンパターンのコンタクト面積は 5  $\mu\text{m}^2$  である。コンタクト抵抗の測定には KeySight 社製 4156C 半導体パラメータアナライザを用いた。実際の測定方法は図 3-5 に示すように、電極 1, 2 間を電流掃引し、電極 3, 4 間の電圧を測定することで、配線や測定系の寄生抵抗を排除している。

## プロセスフロー 赤字がより結晶を壊しやすい条件

- ウェハ準備  
N-エピ付SiC基板
- N+イオン注入  
イオン種：P/N, 温度：25/350℃  
ドーズ： $2 \times 10^{15} / 1 \times 10^{16} \text{cm}^{-2}$
- P+イオン注入  
イオン種：Al, 温度：25/350℃  
ドーズ： $2 \times 10^{15} / 1 \times 10^{16} \text{cm}^{-2}$
- 活性化アニール  
1700℃、Ar雰囲気、カーボンキャップ有
- コンタクトホール開口  
SiO<sub>2</sub>堆積、パターニング、ドライエッチング
- コンタクトメタル  
Ti50nm堆積 (+500/700℃アニール)  
or Ni50nm堆積+1000℃アニール
- Al配線形成

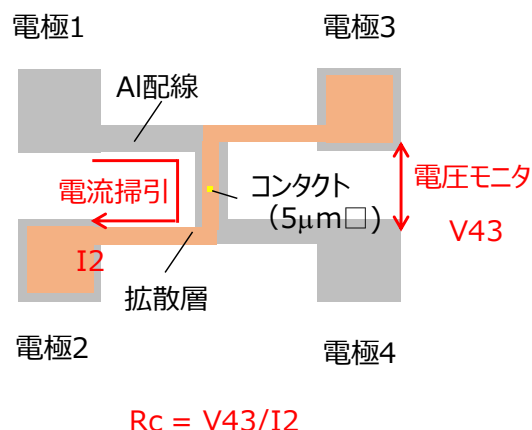


図 3-5 コンタクト抵抗測定用パターン

図 3-4 オーミックコンタクト検証サンプル作製フロー

次に、ショットキーコンタクト検証用にショットキーバリアダイオードを作製した。図 3-6 にダイオード作製フローを示す。ショットキーコンタクトの品質を議論するには逆方向のリーク電流特性が必須であるため、まず、ターミネーション構造、ジャンクションバリアのための P+層をイオン注入により形成した。活性化アニール後、コンタクトホールを開口し、ショットキー金属を堆積させた。ここで重要なのがコンタクトホールの開口方法とショットキー金属の選び方である。通常、ショットキーコンタクトの開口には半導体表面にダメージを与えないようウェットエッチングが用いられる。しかし、ウェットエッチングはパターンの寸法シフトが大きく制御が難しいことから、本研究で対象とする MOSFET に要求される微細パターンの加工には適用できない。従って、微細パターンの加工ができるドライエッチングでコンタクトホールを開口しても理想的なショットキー界面が実現できることが要求される。そこで本検討では、コンタクトホールの開口方法をウェットエッチとドライエッチで分流し、特性を比較した。ショットキー金属には Ti を採用した。これはオーミックコンタクトの節で述べた理由と同じである。また、Ti 堆積後は一部のサンプルで熱処理を加えた。これは、ドライエッチングで生じた半導体表面のダメージを除去するためである。作製したのはダイオードには JBS (Junction Barrier Schottky) を採用した。これはストライプ上に形成した P+層によりショットキー界面の電界を緩和し逆方向リーク電流を低減するためである。デバイスの耐圧は 600 V クラスである。評価は、順方向微小 I-V 特性を Keysight 製 4156C 半導体パラメータアナライザを用いて、逆方向リーク電流を Keysight 製 B1505A パワーデバイスアナライザを用いて実施した。

## プロセスフロー

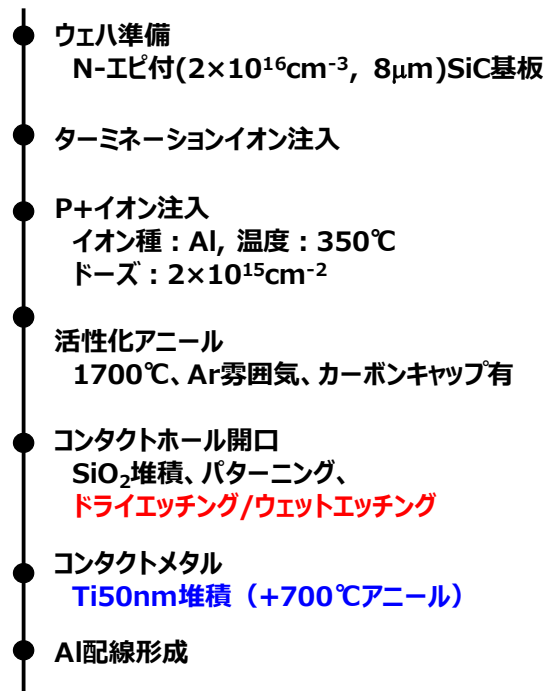


図 3-6 ショットキー界面検証用ダイオード作製フロー

### 3.4.3 オーミックコンタクトの検証結果

図 3-7 に Ti 電極のサンプルにおけるイオン注入ドーズと N 型 SiC 上コンタクト抵抗の関係を示す。図中からわかるように、様々なイオン注入条件で作製したサンプルはコンタクト抵抗が  $10^{-4} \Omega\text{cm}^2$  以下でオーミック特性が得られた Group A とコンタクト抵抗が  $10^{-4} \Omega\text{cm}^2$  以上できれいなオーミック特性が得られなかった Group B に分かれることがわかった。図 3-8 はモンテカルロシミュレーションで計算したイオン注入後のダメージとコンタクト抵抗の実測値の関係を示したものである。オーミックが得られた Group A の全サンプルでイオン注入ダメージが  $10^{23} \text{cm}^{-3}$  程度であり完全にアモルファス化していることが確認できた。これより、当初の目論見通り、質量が大きい P(リン) やイオン注入中の原子再配列がおこりにくい室温注入などイオン注入ダメージが大きい条件である Group A のサンプルではバンドギャップが小さい 3C-SiC に再結晶化することで低抵抗なオーミックコンタクトが得られたとみられる。図 3-9 には P(リン) の室温注入、ドーズ  $2 \times 10^{15} \text{cm}^{-2}$  のサンプルにおける断面 TEM および格子回折像を示している。ここからも Group A のサンプルの最表面は 3C-SiC になっていることが確認できた。Group A のサンプルにおいてはコンタクト抵抗とイオン注入ドーズはひとつのカーブに乗るが、Group B のサンプルにおいてはひとつのカーブには乗らない。これは、注入したイオンの活性化率の違いによるものと考えられる。図 3-10 はイオン注入ドーズとシート抵抗の関係を示している。窒素に比べリンを注入したサンプルの方がシート抵抗が低いことがわかる。これは SiC 中の元素の固溶限界の違いに起因していると考えられる。また、窒素とリンは入るサイトが異なることから、両者を注入したサンプルではより低抵抗になることを期待した

が、実際は特別な効果は見られなかった。次に、シート抵抗をもとにドーパントの活性化率を見積り、モンテカルロシミュレーションで計算したドーパントのプロファイルと合わせることでSiC表面の実効ドナー密度求めた。図 3-11 は実効ドナー密度とコンタクト抵抗の関係を示したものである。また、3.2節で述べたコンタクト抵抗の理論式でフィッティングしたカーブも示している。Group Aのサンプルは概ね  $\phi_B=0.25$  eV でフィッティングできた。Group Bに関しては若干ばらつきはあるが  $\phi_B=1.1$  eV でフィッティングできた。これはTi と 3C-SiC および 4H-SiC のバンドアライメントからリーズナブルな結果である。

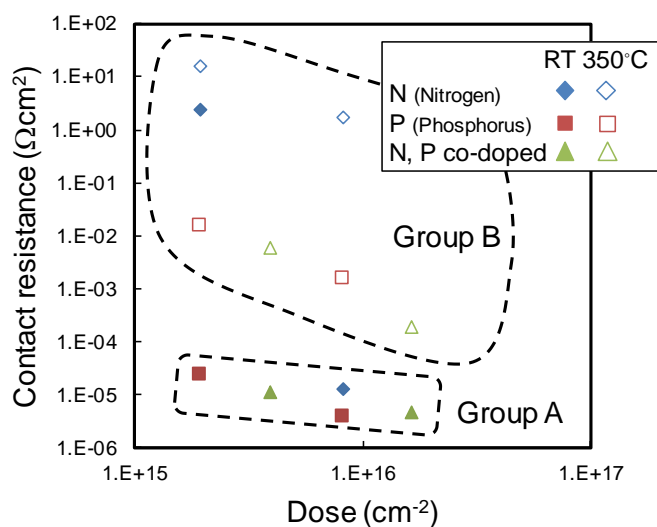


図 3-7 Ti 電極を用いたサンプルのイオン注入ドーズとN+上コンタクト抵抗の関係

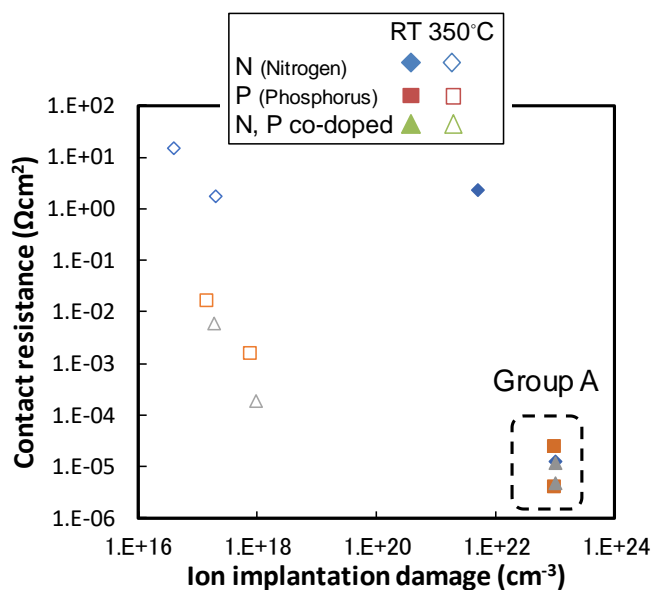


図 3-8 Ti 電極を用いたサンプルのイオン注入ダメージとN+上コンタクト抵抗の関係

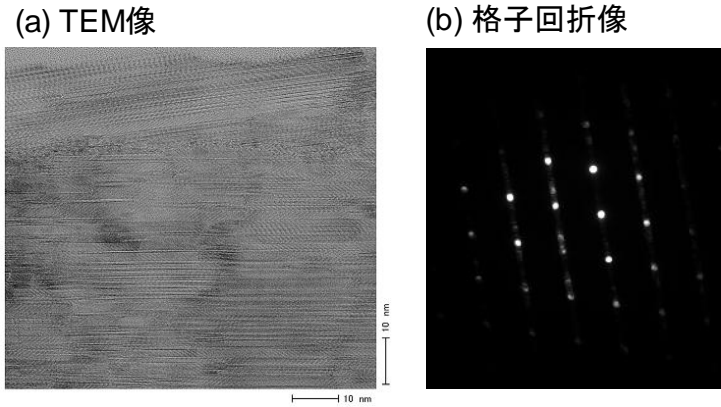


図 3-9 P(リン)室温注入した SiC 表面の(a)断面 TEM 像と(b)回折格子像

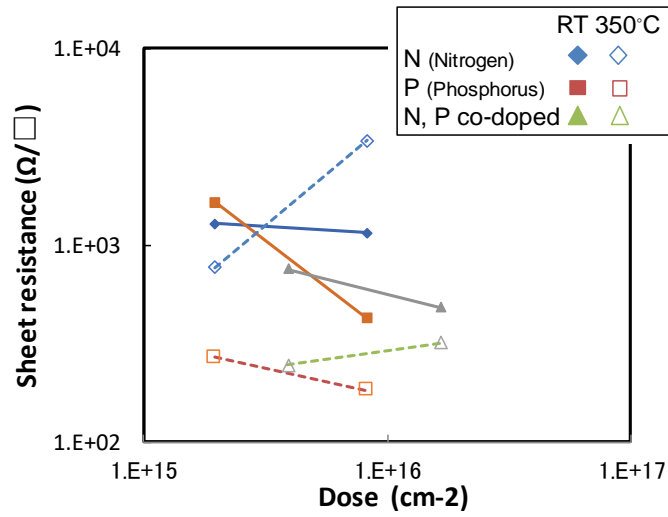


図 3-10 イオン注入ドーズ量と N+層のシート抵抗の関係

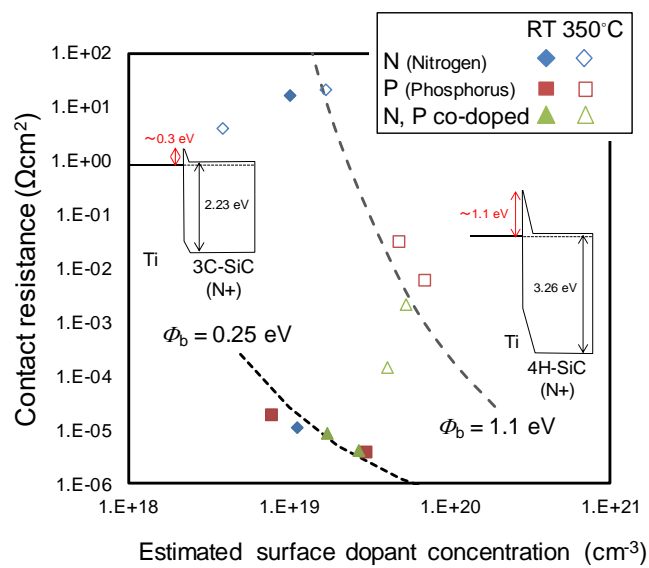


図 3-11 実効表面ドーパント濃度と N+上コンタクト抵抗の関係

次にP型SiC上コンタクトの結果について述べる。図3-12はTi電極のサンプルにおけるイオン注入ドーズとP型SiC上コンタクト抵抗の関係を、図3-13はイオン注入ドーズとシート抵抗の関係を示す。コンタクト抵抗はイオン注入ドーズに強く依存し、高ドーズの領域では高温注入の方が低いことが分かった。シート抵抗に関してもコンタクト抵抗とほぼ同じ傾向が見られた。次に、N+上コンタクトと同様の方法で見積もった実効表面ドーパント濃度とコンタクト抵抗の関係を図3-14に示す。実効表面ドーパント濃度とコンタクト抵抗は強い相関があることから、コンタクト抵抗はほぼ表面のドーパント濃度で決まることがわかる。コンタクト抵抗の理論式と比べると、 $\phi_B=2.0$  eVとすると高ドーズの領域では合うが、低ドーズでははずれている。これは、フィッティングした理論式がFEモードの式であり、低ドーズではTFEモードに移行しているためと考えられる。高ドーズ領域でのフィッティング結果である $\phi_B=2.0$  eVという値は、4H-SiCとTiのバンド図からリーズナブルな結果と言える。また、P型においても高温注入では4H-SiC、室温注入では3C-SiCになっているものと考えられるが、コンタクト抵抗の値に大きな違いは見られなかった。これは、3C-SiCと4H-SiCを比較すると価電子帯のエネルギーレベルはほぼ同じであるためと考えられる。

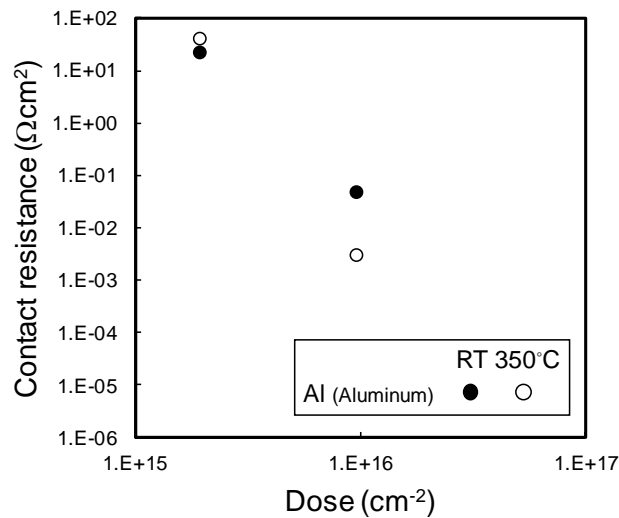


図3-12 Ti電極を用いたサンプルのイオン注入ドーズとP+上コンタクト抵抗の関係

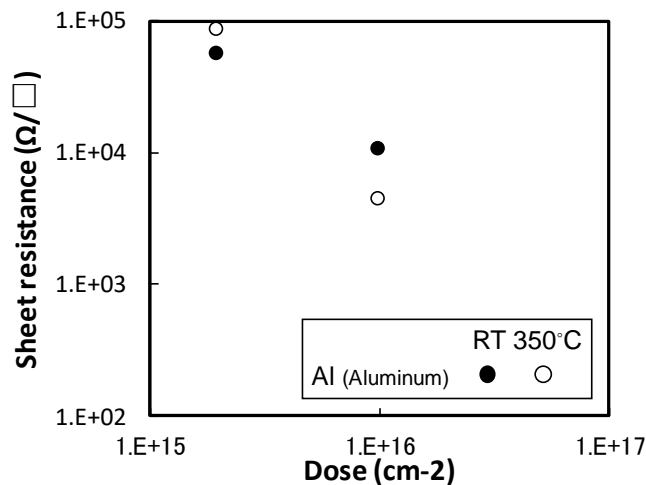


図3-13 イオン注入ドーズとP+層シート抵抗の関係



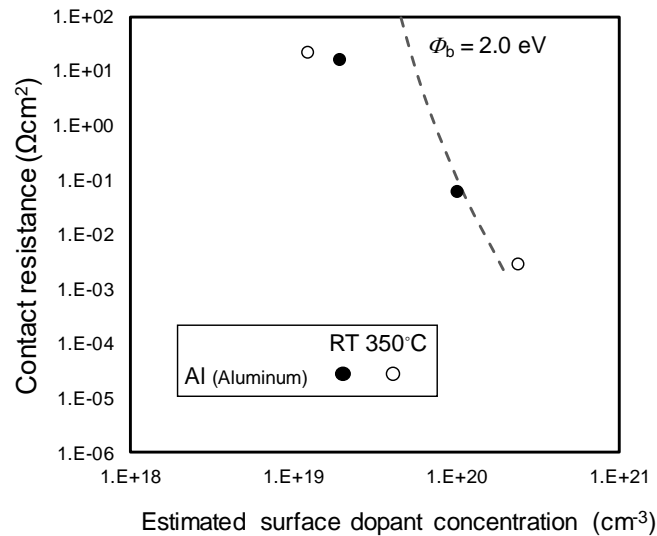


図 3-14 実効表面ドーパント濃度と N+上コンタクト抵抗の関係

比較のために作製した Ni シリサイドを N 型および P 型 SiC 上に形成したサンプルのイオン注入ドーズとコンタクト抵抗の関係を図 3-15, 3-16 に示す。N+上コンタクトでは窒素の高温注入のサンプルが外れてはいるものの、基本的にはイオン種や注入温度によらずコンタクト抵抗はイオン注入ドーズで決まっていることがわかる。しかし、図 3-10 で示した通り、イオン種や注入温度によってシート抵抗は大きく変わっているため、これはいささか不自然な結果と言える。シート抵抗が異なるということは実効的な表面のドーパント濃度が異なることを意味しており、その場合コンタクト抵抗にも影響が出ると考えられるためである。原因を探るため、Ni シリサイドを形成したサンプルの断面 SEM 像を取得した結果を図 3-17 に示す。Ni シリサイドと SiC の界面は SiC の表面から約 100 nm 深いところにあることがわかる。これは、Ni シリサイドはその生成過程で Ni と同程度の厚さの SiC を消費することから、Ni シリサイド反応で約 50 nm、コンタクトホールドライエッチング工程でオーバーエッチにより約 50 nm、それぞれ SiC が削られたためである。一方、イオン注入とその後の活性化アニールで SiC 表面に生成する 3C-SiC 層も約 100 nm であることが断面 TEM 観察からわかっている。そのため、Ni シリサイド電極を形成したサンプルは、その生成過程で SiC 最表面の 3C-SiC をすべて消費してしまい、実際はその下の 4H-SiC と接しているものと考えられる。そのため、本結果は SiC 表面の 3C-SiC 化の効果は含まれていないと考えるのが妥当である。P 型に関しては Ti 電極と同様のイオン注入ドーズや注入温度の依存性が見られた。

Ti 電極と Ni シリサイド電極のサンプルのコンタクト抵抗を比較すると、N+上はほぼ同程度であるが、P+上は Ni シリサイド電極の方が小さいことわかる。これは、Ti 電極よりも Ni シリサイドの方が仕事関数が大きいためと考えられる。

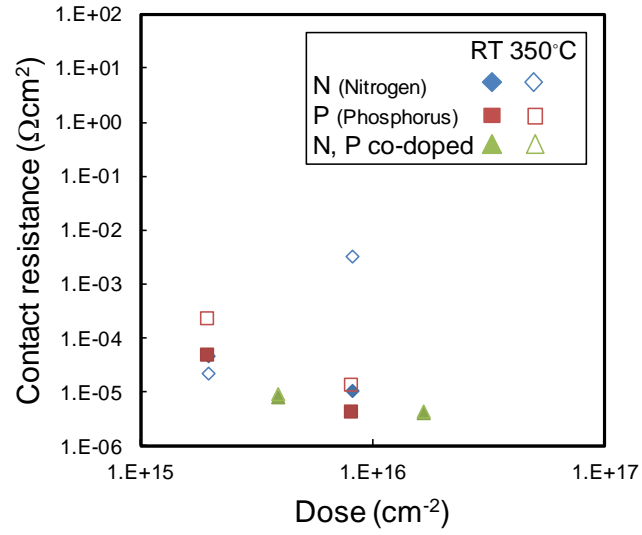


図 3-15 Ni シリサイド電極を用いたサンプルのイオン注入ドーズと N+上コンタクト抵抗の関係

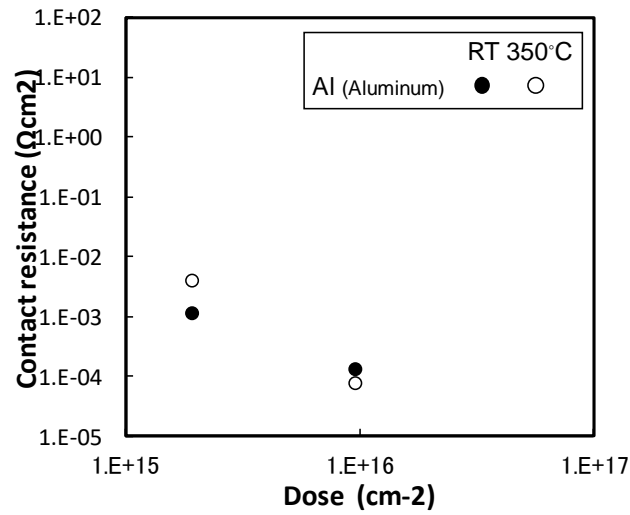


図 3-16 Ni シリサイド電極を用いたサンプルのイオン注入ドーズと P+上コンタクト抵抗の関係

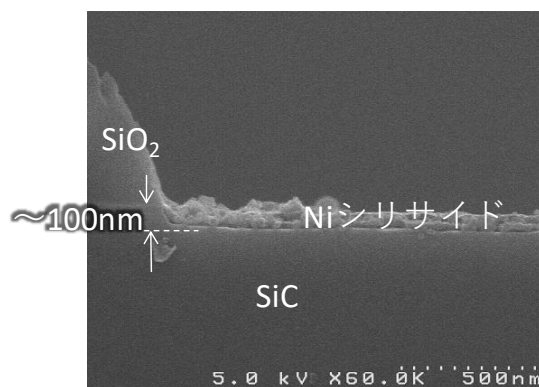


図 3-17 Ni シリサイド電極の断面 SEM 像

本節の最後に、Ti 電極に熱処理を加えることの影響について述べる。次節で詳しく述べるが、SBD 内蔵 MOSFET プロセスに適用可能なショットキーコンタクトプロセスでは Ti 電極堆積後に熱処理が必要となる。そのため、Ti 電極堆積後の熱処理がコンタクト抵抗に及ぼす影響を調べた。図 3-18 は N+上および P+上のコンタクト抵抗の電極プロセス依存性を示している。N+上、P+上ともに Ti 堆積後の 700°C 熱処理によりコンタクト抵抗が低減していることが確認できた。これは主に SiC 表面のドーパントの濃度が上がったためと考えられる。図 3-19 はモンテカルロシミュレーションで計算したドーパントのプロファイルの例である。一般的に SiC 中では不純物は拡散しないため、SiC 中にボックスプロファイルを作るためにはイオン注入エネルギーを変えた多段注入が必要で、数十 keV 程度から百数十 keV 程度のエネルギーが用いられる。そのため、イオン注入には中電流のイオン注入装置が使用される。中電流のイオン注入装置は 10 keV 以下の低エネルギー注入が難しいため、スルー膜を使用しない限り SiC 表面の不純物濃度はピーク濃度よりも若干低くなることが多い。この低濃度の領域は通常の Ni シリサイドプロセスではシリサイド反応で消費されるため問題ないが、本検討で用いた Ti 電極（熱処理なし）では電極と接する部分の半導体の表面濃度が低かったものと推定される。一方、700°C の熱処理を加えると Ti と SiC が反応し電極と接する半導体の界面が後退するため、金属半導体界面の不純物濃度が上がったものと考えられる。

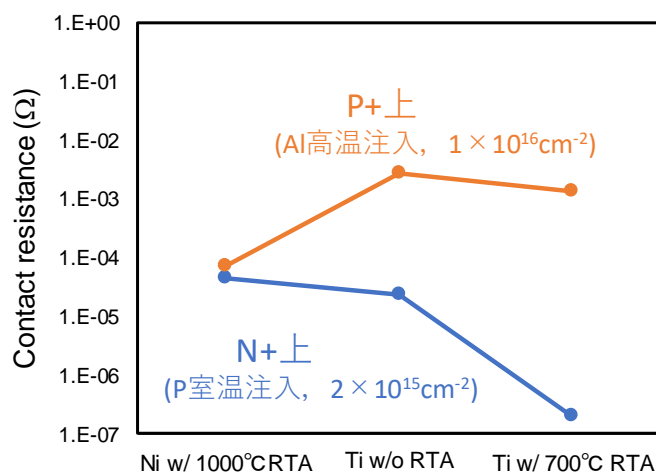


図 3-18 コンタクト抵抗と電極形成プロセスの関係

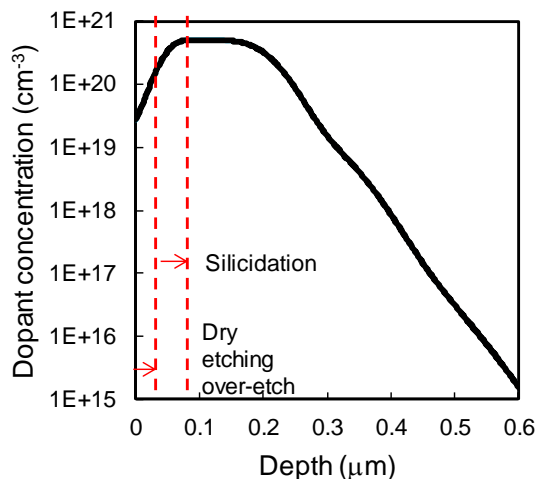


図 3-19 不純物プロファイルの例

以上、オーミックコンタクトの検討結果をまとめると、室温高ドーズのイオン注入とその後の活性化アニールによる SiC 表面の 3C-SiC 化により、N+上コンタクトは Ti 電極とその後の熱処理で従来の Ni シリサイド電極よりも 1 桁以上コンタクト抵抗が下がることがわかった。一方、P+上コンタクトに関しては、3C-SiC 化の影響は小さく、Ti 電極を用いることで従来の Ni シリサイドよりも  $\phi_B$  が大きくなることでコンタクト抵抗は 1 桁程度増加した。ただし、イオン注入ドーズ量を上げることで実用上問題のないレベルのコンタクト抵抗が実現できる。

### 3.4.4 ショットキーコンタクトの検証結果

本節では、Ti 電極を用いたショットキーコンタクトの検討結果について述べる。ポイントはコンタクトホール開口の方法である。一般的にショットキーコンタクトは半導体表面の状態に敏感であるため、コンタクトホール開口には半導体表面にダメージを与えないウェットエッチングが用いられる。しかし、ショットキー内蔵 MOSFET への適用を考慮すると、ウェットエッチングではサブミクロン単位の寸法精度を出すことが困難であるため、プロセス制御が容易なドライエッチングを適用する必要がある。図 3-20 に、ウェットエッチングおよびドライエッチングで開口したコンタクトホールに Ti 電極を形成した際の、順方向  $I$ - $V$  特性を示す。破線および白抜きプロットで示した Ti 電極堆積後熱処理なしのサンプルの波形を比較すると、従来の SBD プロセスであるウェットエッチングによる開口では  $n$  値が 1 に近い理想的な接合が実現できているのに対し、ドライエッチングによる開口では  $n$  値が 1.2~2 であった。これはドライエッチングによる半導体表面のダメージによりショットキー界面が理想的でないためと考えられる。そこで半導体表面のダメージを除去するため、Ti 電極堆積後に 700°C の熱処理を加えダメージ層と電極を反応させることを試みた。図 3-20 の実線および黒塗りプロットで示した熱処理ありのサンプルでは、開口方法に依存しない  $n$  値 ~1 の理想的なショットキー接合が実現できた。ショットキー障壁高さ ( $\phi_B$ ) は熱処理なしに比べ 0.2 V 程度上昇しているが、これは Ti と SiC の反応で生成した Ti 合金と Ti の仕事関数の違いによるものと考えられる。Ti 合金は組成にもよるが Ti よりも 0.2~0.6 eV 仕事関数が多い。また、仕事関数とバリアハイトの相関係数は 0.7 程度と報告されており、本結果は妥当なものと考えられる。次に、試作した SBD の逆方向リーク特性を図 3-21 に示す。破線および白抜きプロットで示した Ti 電極堆積後熱処理なしのサンプルにおいては、ウェットエッチングで開口したサンプルでは電流と電圧がエクスポネンシャルの関係となっており、理想的なショットキー界面であることがわかる。一方、ドライエッチングで開口したサンプルは 400 V 付近から急激に電流が増加している。これは、順方向  $I$ - $V$  特性からもわかる通りショットキー界面の一部で局所的に障壁が低いところがあるためと考えられる。本試作のダイオードは JBS 構造を採用しているため、逆バイアス時は電界緩和のための P 領域の近傍では電界が弱く、P 領域から最も遠いところで電界が最大となる。このため、局所的に障壁が低い領域の位置によって逆方向リーク電流の立ち上がり電圧が変わっているものと考えられる。一方、Ti 電極堆積後熱処理ありのサンプルにおいては、コンタクトの開口方法によらず理想的な  $I$ - $V$  特性になっていることがわかる。また、熱処理により  $\phi_B$  が上がったことにより、ショットキーリーク電流も約 1 桁低減した。

以上の結果より、微細な MOSFET プロセスに対応できるドライエッチングによるコンタクトホール開口においても、Ti 電極堆積後熱処理を加えることで、理想的なショットキー界面でかつ、SBD に適用するのに適した  $\phi_B$  が実現できることが示された。また、前節で述べた局所的な表面 3C-SiC

化と Ti 電極を用いたオーミックコンタクトと組み合わせることで、N+上、P+上オーミックコンタクトと N-上ショットキーコンタクトを同一のプロセス、同一の金属で実現できることを示すことができた。

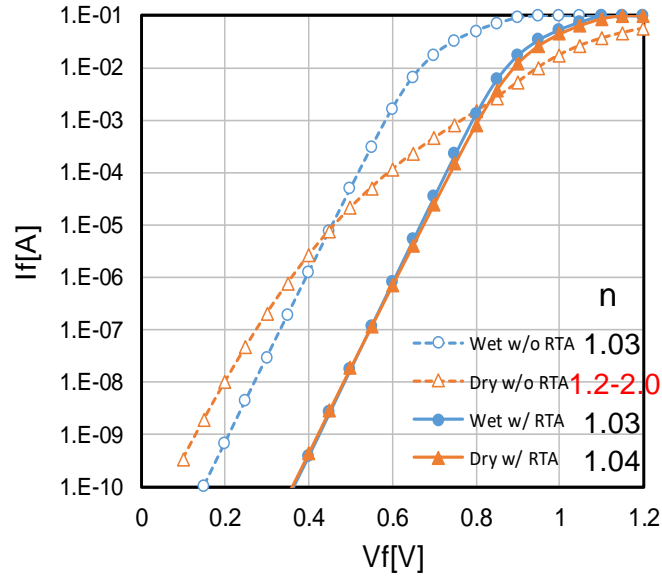


図 3-20 試作した JBS ダイオードの順方向  $I$ - $V$ 特性

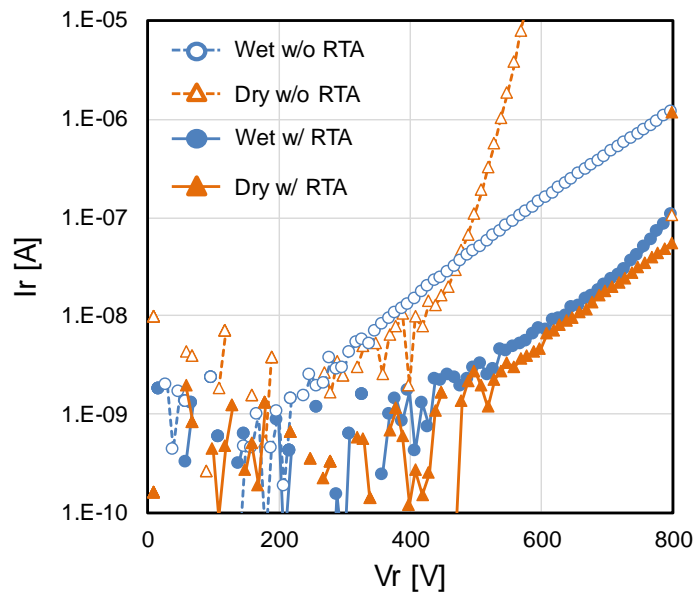


図 3-21 試作した JBS ダイオードの逆方向  $I$ - $V$ 特性

### 3.5 コンタクトの熱的安定性

本章の最後に、検討した Ti をベースにしたコンタクトの熱的安定性について検討した結果を述べる。オーミックコンタクトの検討用に作製したケルビンパターンを高温で放置することによるコンタクト抵抗の変化を調べた。実験条件としては、雰囲気は Ar 中で温度が 400°C である。図 3-22 に高温放置時間とコンタクト抵抗の関係を示す。従来の Ni シリサイドコンタクト（電極構成は半導体側から Ni シリサイド/Ti/TiN/Al）においては時間とともにコンタクト抵抗が増加するのに対し、Ti ベースのコンタクト（電極構成は半導体側から Ti 合金/TiN/Al）ではコンタクト抵抗はほとんど変化しないことがわかった。Ni シリサイドコンタクトが高温放置で抵抗変化する要因を検討するため、高温放置前後での TEM 像と EDX 分析による各領域の組成を調べた（図 3-23）。高温放置前は一部 Ni シリサイド中にカーボンクラスタがいるものの基本的には SiC 表面には Ni シリサイドが均一に形成されているのに対し、高温放置後は SiC 表面の一部では Ti と Si と C の化合物が形成されているのが確認できた。これは、Ni シリサイドとその上の Ti が相互拡散し、SiC 表面に到達した Ti が SiC と反応したものと考えられる。今回の実験は、車載用途などを考慮すると実験条件は動作温度よりもかなり高いこと、コンタクト抵抗の変化量も小さいことから、通常 MOSFET に適用する分には実用上大きな問題はないと考えられるが、SBD 内蔵 MOSFET に適用するには大きな課題があると考えられる。その理由としては、ひとつは、MOSFET の通常動作の温度範囲はせいぜい 200°C 程度ではあるが、短絡などの異常時には短時間ではあるが非常に大きな電流が流れることから特に電流が集中するコンタクト部では局所的に非常に高温になることが考えられることである。もうひとつは、金属の相互拡散などによる局所的な電極構造の変化はショットキー界面には大きな影響を与えるためである。実際、ドライエッチングのダメージによる影響はオーミックコンタクトには影響がないもののショットキーコンタクトには大きな影響があることが確認できている。オーミックコンタクトとショットキーコンタクトを同一金属で作製するという事は、そのコンタクトメタルと SiC の間で熱的にも安定でないといけないということである。そういう意味では Ti と SiC は Ni 系で起こるようなカーボンの掃き出しや局所的なクラスター化も起こりやすく、ショットキーメタルとしてはより適切であると考えられる。

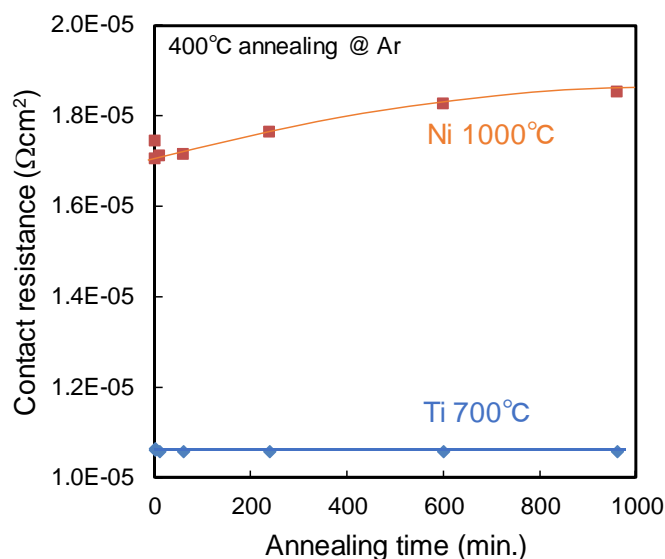
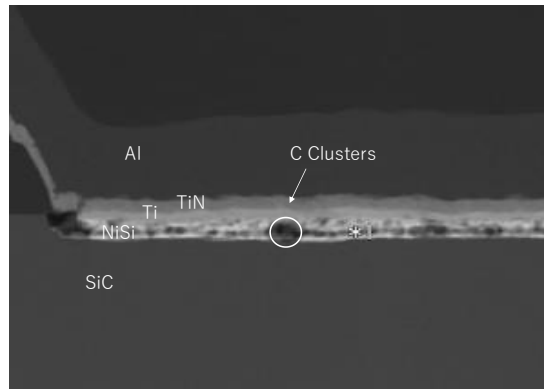


図 3-22 オーミックコンタクトを高温放置した際の放置時間とコンタクト抵抗の関係

(a) Ni シリサイド アニール前



(b) Ni シリサイド アニール後

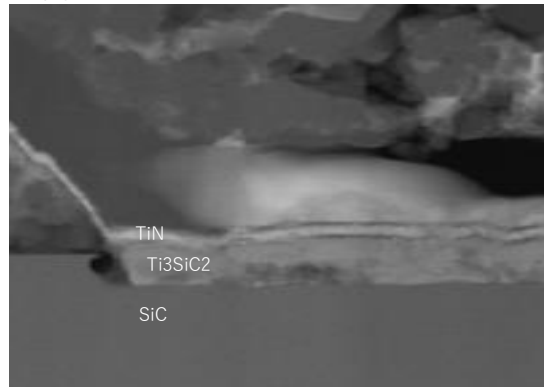


図 3-23 Ni シリサイド高温放置前後の断面 TEM 像

### 3.6 3章のまとめ

本章では、簡便な構造で高信頼で高性能な SBD 内蔵 MOSFET を実現するためのオーミック、ショットキーコンタクト形成技術について述べた。N+領域表面の 3C-SiC 再結晶化，ドライエッチングによるコンタクト開口，Ti 堆積と熱処理による電極形成の組み合わせにより，低抵抗，高信頼で微細コンタクト構造にも適用可能なオーミック，ショットキーコンタクト同時形成が可能であることを見出した。表 3-1 は本研究のコンタクトプロセスと先行研究である Baliga らの報告の比較である。本研究では Ti ベースの電極を用いることで n 値が 1 に近い理想的なショットキーコンタクトが実現できている。また，オーミックコンタクトに関しても N+領域表面の 3C-SiC 化によりコンタクトのメカニズムが未だ解明されていない Ni シリサイドを用いることなく低抵抗なオーミックコンタクトが実現可能であることを示した。先行研究に比べても N+上で約 3 桁コンタクト抵抗を低減できている。熱的安定性に関しても，制御が難しい Ni シリサイドでは 400°C の高温放置で特性変動及び界面の構造変化が見られたのに対し，本研究の Ti ベースのコンタクトでは 400°C でも安定であることを示した。

表 3-1 本研究と先行研究のコンタクトプロセスの比較

	本研究 3C-SiC/Tiコンタクト	Baligaらの報告 Niシリサイド(900°C)
N-上コンタクト	ショットキー n値：1.04	ショットキー n値：1.07
N+上コンタクト	オーミック $2.0 \times 10^{-7} \Omega \text{cm}^2$	オーミック $1.7 \times 10^{-4} \Omega \text{cm}^2$
P+上コンタクト	オーミック $1.3 \times 10^{-3} \Omega \text{cm}^2$	オーミック $2.6 \times 10^{-3} \Omega \text{cm}^2$
コンタクト安定性	400°C 放置で変動なし	400°C 放置で抵抗増加



## 参考文献

- [1] S. M. Sze (1987), “Physics of Semiconductor Devices -Third Edition”, Wiley-interscience.
- [2] A. Itoh, T. Kimoto, and H. Matsunami, Proc. Int. Symp. Power Semiconductor Devices and ICs, 1995, p. 101.
- [3] A. Itoh and H. Matsunami, Physica Status Solidi (A) **162**, 389 (1997).
- [4] W. Lu, W. C. Mitchel, G. R. Landis, T. R. Crenshaw, and W. E. Collins, J. Appl. Phys. **93**, 5397 (2003).
- [5] I. P. Nikitina, K. V. Vassilevski, N. G. Wright, A. B. Horsfall, A. G. O'Neill, and C. M. Johnson, J. Appl. Phys. **97**, 083709 (2005).
- [6] A. V. Kuchuk, P. Borowicz, M. Wzorek, M. Borysiewicz, R. Ratajczak, K. Golaszewska, E. Kaminska, V. Kladko, and A. Piotrowska, Adv. Condens. Phys. 2016, 9273702 (2016).
- [7] L. G. Fursin, J. H. Zhao, and M. Weiner, Electronics Lett. **37**, 1092 (2001).
- [8] A. Itho, T. Kimoto, H. Matsunami, IEEE Electron Dev. Lett. **16**, 280 (1995).
- [9] T. Nakamura, T. Miyanagi, I. Kamata, T. Jikimoto, and H. Tsuchida, IEEE Electron Dev. Lett. **26**, 99 (2005).
- [10] S. K. Gupta, A. Azam, and J. Akhtar, Phys. B Condens. Matter **406**, 3030 (2011).
- [11] W. Sung and B. J. Baliga, IEEE Electron Devices Lett. **37**, 1605 (2016).
- [12] M. Satoh, T. Jinushi, and T. Nakamura, Mater. Sci. Forum **615**, 485 (2009).
- [13] T. Nishimura, M. Satoh, T. Jinushi, Y. Saitou, and T. Nakamura, Nuclear Instruments and Methods in Physics Research Section B **272**, 422 (2012).

## 4. コンタクト形成プロセスの MOSFET への影響

### 4.1 はじめに

3章では、N+最表面の 3C-SiC 化を利用して、Ti 電極でもオーミックコンタクトが実現できることを示した。しかし、3C-SiC は多結晶体であり多くの欠陥を含むことから、本プロセスを MOSFET に適用した際には 3C-SiC 化が MOS 構造の信頼性に与える影響が懸念される。本章では、3C-SiC および Ti 電極を用いたコンタクトプロセスを通常の MOSFET (SBD 内蔵ではない) も適用し、MOS 構造の信頼性への影響について調べた結果を述べる。図 4-1(a)に示すように、新たなコンタクトプロセスをプレーナ型の MOSFET にそのまま適用すると、N+最表面の 3C-SiC の領域が MOS 構造の端部にかかるため、この領域で信頼性の低下が懸念される。そこで、あらかじめこの影響を排除するため、一部のサンプルでは図 4-1(b)で示すように N+ソース領域の一部に不純物濃度の低いエクステンション構造を適用し、エクステンションなしの構造と比較した。

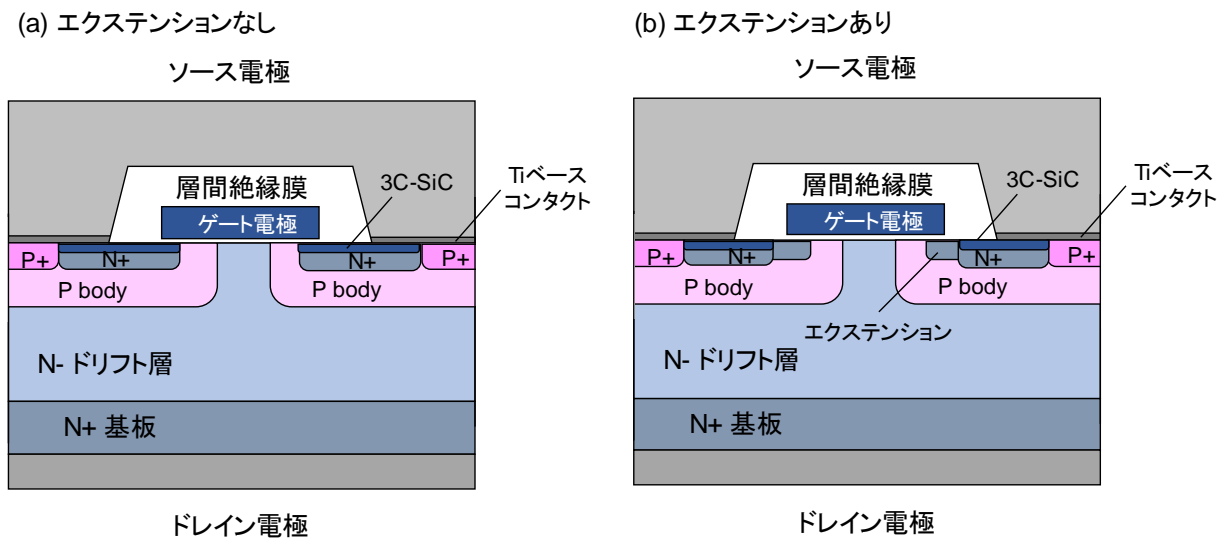


図 4-1 3C-SiC と Ti によるコンタクトプロセスを適用したプレーナ型 MOSFET の断面構造図

### 4.2 プレーナ型 MOSFET 試作プロセス

3C-SiC と Ti によるコンタクトとエクステンション構造を適用して試作したプレーナ型 MOSFET の試作プロセスを図 4-2 に示す。基板は、不純物濃度  $2 \times 10^{16} \text{ cm}^{-3}$ 、厚さ  $8 \mu\text{m}$  の N-エピ層を有する Cree 社製 4H-SiC 基板を用いた。まず、チップ外周部の電界緩和のためのターミネーション領域とチャネル層を形成する PB 領域をイオン注入にて形成した。次に、ソース領域形成のため N+層をイオン注入で形成した。注入条件は、スループットを考慮し SiC 表面が 3C-SiC 化する条件の中で最もドーズが低い P(リン)の室温注入でドーズは  $2 \times 10^{15} \text{ cm}^{-2}$  とした。一部のサンプルにはエクステン

シオン構造形成のため、3C-SiC 化しない条件（窒素の室温注入，ドーズ  $2 \times 10^{14} \text{ cm}^{-2}$ ）でイオン注入した。次に，PB 領域の電位固定のための P+層をアルミイオンの  $350^\circ\text{C}$  注入，ドーズ  $1 \times 10^{16} \text{ cm}^{-2}$  の条件にて形成した。P+層のイオン注入を高温で実施し SiC 表面を 3C-SiC 化させなかったのは，P+上のコンタクトにおいては 3C-SiC でも 4H-SiC でもそれほどショットキー障壁は変わらずコンタクト抵抗にも影響がないため，3C-SiC 化させて無用に欠陥を入れることを避けるためである [1]。活性化アニールは SiC 表面が荒れないようカーボンキャップ膜を用いて  $1700^\circ\text{C}$  で実施した。ゲート酸化膜は 50 nm とし， $1300^\circ\text{C}$  の NO アニールを適用することで半導体酸化膜界面に窒素を導入し安定化させている [2-4]。ゲート電極はポリシリコン電極を用いた。層間絶縁膜を堆積，ドライエッチングによるコンタクトホール開口後，オーミック電極として Ti を堆積し  $700^\circ\text{C}$  の熱処理を加えた。最後にアルミ電極および表面パッシベーション，裏面電極形成を行いデバイスを仕上げた。チャネル長は約  $0.8 \mu\text{m}$ ，セルピッチは約  $8 \mu\text{m}$  である。チップサイズはスクライブ中心間距離で  $4.5 \text{ mm}$  四方，一部のチップにはエクステンション構造を採用し，エクステンションありなしによる比較を行った。評価項目は，耐圧，閾値電圧，オン抵抗などのデバイス基本特性と，TZDB (Time-Zero Dielectric Breakdown) などのゲート酸化膜の信頼性である。デバイス基本特性は Keysight 製パワーデバイスアナライザ B1505A を，ゲート酸化膜の信頼性は Keysight 製半導体パラメータアナライザ 4156C を用いて測定した。



図 4-2 3C-SiC と Ti によるコンタクトプロセスを適用したプレーナ型 MOSFET の作製フロー

## 4.3 ゲート絶縁膜への影響

### 4.3.1 TZDB 評価結果

SiC 表面 3C-SiC 化の影響として、ゲート絶縁膜の信頼性の低下が挙げられる。図 4-3 は、試作した 4.5 mm<sup>2</sup> MOSFET チップの 175°C における正側 TZDB (Time-zero dielectric breakdown) 特性である。ゲート端部から 3C-SiC 領域を離れた構造であるエクステンションありのチップの方が、ゲート端部に 3C-SiC 領域がかかっているエクステンションなしのチップに比べゲートリーク電流が約半桁から 1 桁低いことが確認できた。プレーナ型 MOSFET 構造においてゲートリーク電流に寄与するのは、N-ドリフト層 (JFET 領域) 上、PB 層 (チャネル領域) 上、N+層 (ソース領域) 上の 3 つの領域であるが、エクステンションの有無で異なるのは N+層が 3C になっているか 4H のままかの違いである。従って、ゲートリーク電流の違いは N+上のリーク電流の違いであると考えられる。これを確認するため、N+上に形成したキャパシタ TEG で TZDB の測定を行い、リーク電流成分の切り分けを行った。図 4-4 は N+上 MOS キャパシタの正側 TZDB を示している。縦軸は電流密度で、異なる 3 つの面積で比較している。エクステンションの有無で比べると、エクステンションなしの構造が有りの構造に比べ約 1.5 桁ゲートリーク電流が大きいことが確認できた。また、リーク電流密度にキャパシタの面積依存性がないことも確認できた。一般的に、キャパシタのリーク電流を評価する際、リーク電流がキャパシタ全体を流れているか、電界集中しやすいキャパシタ外周部で主に流れているかを確認するため、リーク電流の面積依存性と周辺長依存性を確認する。面積依存性がなければ、キャパシタ全体でリーク電流が流れており、周辺長依存性がなければキャパシタ外周部でのリーク電流が支配的となる。本評価においてはリーク電流の面積依存性がなかったため、ゲートリーク電流は N+領域全体を流れていることがわかる。以上より、エクステンション構造の有無によるゲートリーク電流の違いは N+領域の面で流れる電流に起因するものと考えられる。

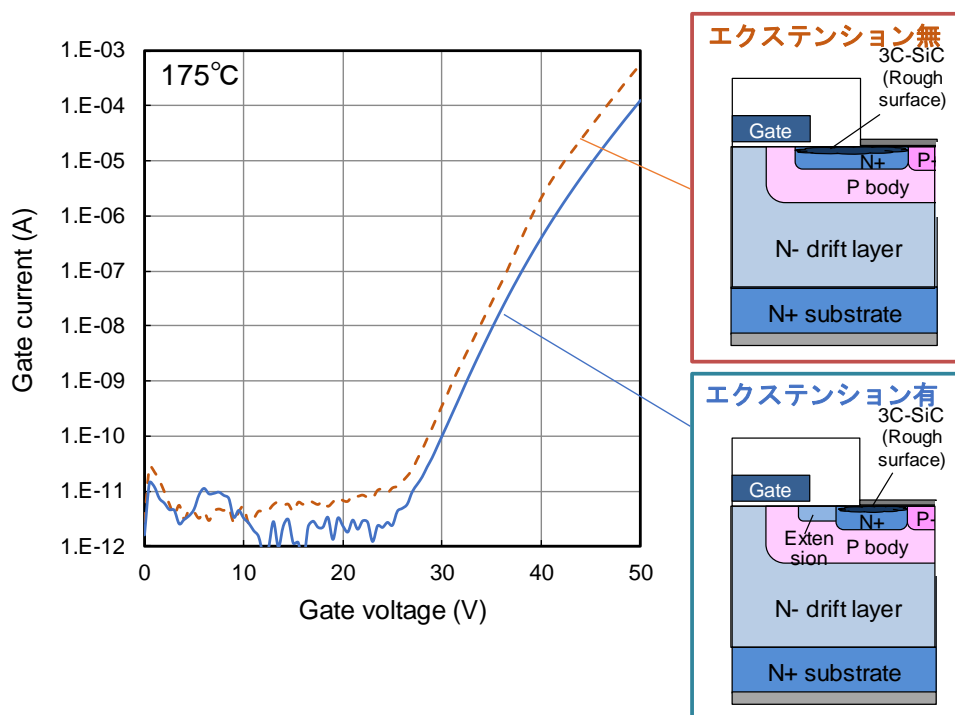


図 4-3 試作した MOSFET の TZDB 特性

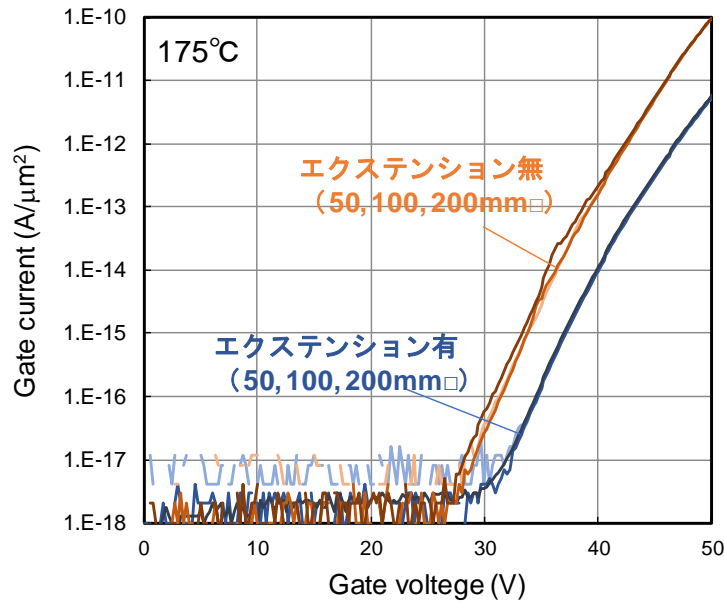


図 4-4 N+領域上の形成した MOS キャパシタの TZDB 特性

#### 4.3.2 ゲートリーク電流の理論式

次に、リーク電流の発生メカニズムからリーク電流増大の原因について考察する。一般的に、50 nm 程度の比較的厚い酸化膜を流れるリーク電流としては、図 4-5 に示すような、ゲートバイアスでバンドが曲げられることにより生じる酸化膜の三角ポテンシャルを流れるトンネル電流、いわゆる FN(Fowler-Nordheim)電流で説明される。FN 電流の電流密度  $J$  は以下の式で表される [5]。

$$J = \frac{e^3 E^2}{8\pi\phi_B \left( \frac{m_{ox}^*}{m_0} \right)} \exp \left[ -\frac{8\pi\sqrt{2m_{ox}^*}\phi_B^{3/2}}{3heE} \right] \dots (4.1 \text{ 式})$$

ここで、 $E$  は酸化膜電界、 $\phi_B$  は障壁高さ、 $m_{ox}^*$  は酸化膜中の電子の有効質量、 $m_0$  は真空中の電子の質量、 $e$  は素電荷量、 $h$  はプランク定数をそれぞれ表す。ここで重要なのは、電流密度  $J$  の電界  $E$  と障壁高さ  $\phi_B$  に対する依存性である。電界  $E$  に関しては、指数関数の中身は負で電界の逆数に比例しており、係数にも電界の 2 乗がかかっていることから、FN 電流は電界に対して強い正の依存性を持つ。 $\phi_B$  に関しては逆に指数関数の中身は  $\phi_B$  の  $-3/2$  乗に比例しており、係数にも  $\phi_B$  の逆数がかかっていることから、FN 電流は  $\phi_B$  に対して強い負の依存性を持つ。本検討で比較したサンプルでは、半導体側の電子親和力が異なるため、エクステンションなしの方が  $\phi_B$  が 0.8 eV 程度大きくなることから、(4.1 式) から電流密度は約 1 桁程度小さくなるはずである。しかし、実際のゲートリーク電流は逆に 1 桁程度増加している。これは、FN 電流に大きな影響を及ぼすもう一つの要素である酸化膜にかかる電界が通常よりもかなり大きくなっているか、トンネルをアシストする何らかの要因があることが予想される。

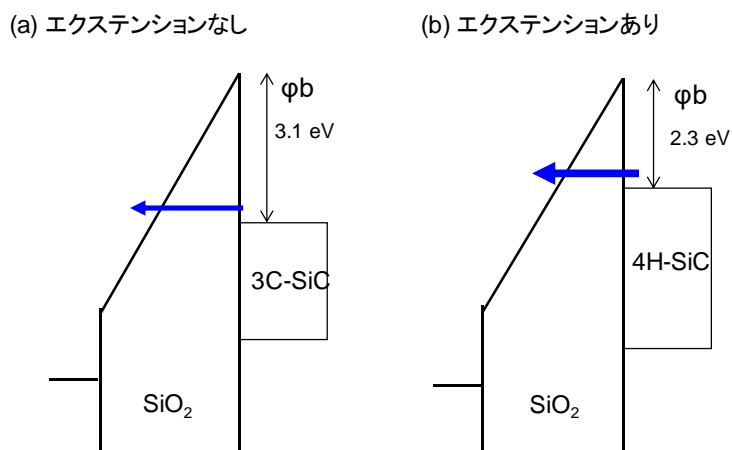


図 4-5 FN 電流の流れやすさを示す模式図

#### 4.3.3 ゲートリーク電流増加の要因

エクステンションなしの構造で理論値よりもリーク電流が大きい原因を調べるため、MOS 界面付近の断面 TEM を取得した (図 4-6)。断面 TEM から、SiC 表面が非常にラフであること、3C-SiC にはかなりの欠陥が含まれていることがわかる。ここから、リーク電流を増大させる二つのメカニズムが推定される。ひとつは SiC 表面のラフネスによる電界集中である。3C-SiC は多結晶体であるため結晶粒による凹凸により電界が集中するとともに、局所的に酸化膜が薄くなっているところも存在するため、酸化膜電界が局所的に増大している可能性がある。もう一つは、酸化膜中のトラップがトンネルをアシストするモデルである。3C-SiC はかなりの欠陥を含んでおり、その上に形成した酸化膜にも多くの欠陥を含んでいる可能性がある。酸化膜中の欠陥は電子にとってのトラップとなり、そのトラップを介してトンネルが起りやすくなるというモデルである (図 4-7)。これらのモデルは仮説の段階であり、定量的に実証することはできていない。多結晶 3C-SiC 上に形成した酸化膜中のトラップの定量的な解析等は今後の課題である。

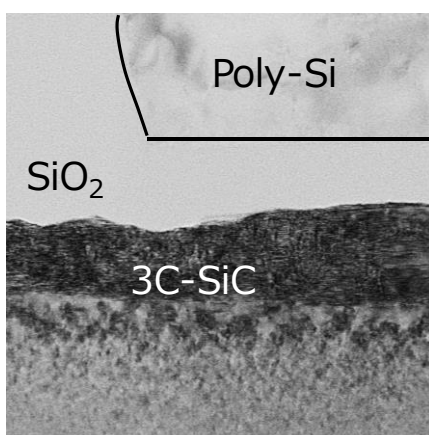


図 4-6 3C-SiC 上の MOS 構造の断面 TEM 像

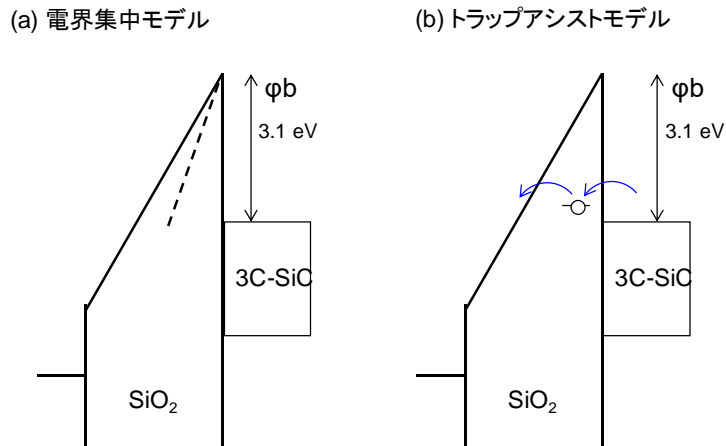


図 4-7 3C-SiC 上の MOS 構造でリーク電流が大きいことを説明するためのモデル

#### 4.4 チャネル移動度への影響

##### 4.4.1 MOSFET の $I_d$ - $V_{ds}$ 特性

SiC 表面の 3C-SiC 化の影響として、MOSFET の出力特性への影響も見られた。図 4-8 は試作した MOSFET の  $I_d$ - $V_{ds}$  特性である。エクステンションありの構造に比べエクステンションなしの構造ではオン抵抗が約 2 割高いことがわかった。これは、チャネル近傍のソース領域表面が 3C-SiC 化していることがチャネル特性に悪影響を及ぼしていることを示している。

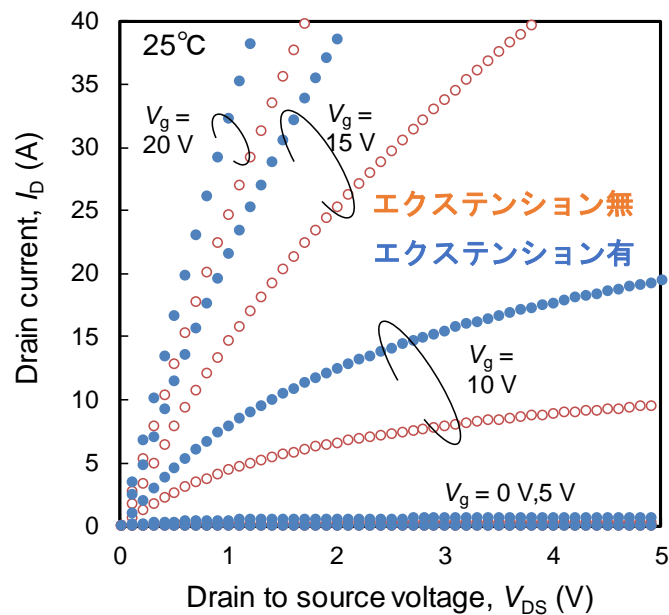


図 4-8 試作した MOSFET の  $I_d$ - $V_{ds}$  特性

#### 4.4.2 チャンネル移動度評価方法

試作した MOSFET のオン抵抗の違いに関する原因を解明するため、4.5 mm<sup>2</sup>チップと同時に作製した横型 MOSFET を用いてチャンネル移動度の評価を実施した。移動度の評価には相互コンダクタンス  $g_m$  から算出する電界効果移動度  $\mu_{FE}$  を用いた。MOSFET の線形領域でのドレイン電流  $I_d$  は以下の式で表すことができる。

$$I_d = \frac{W}{L} \mu C_{ox} \left\{ (V_g - V_{th}) V_d - \frac{1}{2} V_d^2 \right\} \dots (4.2 \text{ 式})$$

ここで、 $C_{ox}$  は面積当たりの酸化膜容量、 $V_g$  はゲート電圧、 $V_{th}$  は閾値電圧、 $V_d$  はドレイン電圧を表す。この式を  $V_g$  で微分すると、

$$\frac{dI_d}{dV_g} = \frac{W}{L} \mu C_{ox} V_d \dots (4.3 \text{ 式})$$

となる。ドレイン電流のゲート電圧に対する傾きはトランスコンダクタンス  $g_m$  で表すことができる。また、面積当たりの酸化膜容量  $C_{ox}$  を MOS そのものの酸化膜容量  $C=C_{ox} \cdot L \cdot W$  に変換すると、

$$\mu = \frac{L^2}{C V_d} g_m \dots (4.4 \text{ 式})$$

となり、これが電界効果移動度  $\mu_{FE}$  と呼ばれる。(4.4 式) の  $g_m$  は MOS の  $I_d-V_{gs}$  特性から、 $C$  は容量測定から実測できるため、 $\mu_{FE}$  は実験的に算出できる (図 4-9)。

移動度の測定には比較的長チャンネルで容量測定も容易な  $L/W=100/100 \mu\text{m}$  の横 MOS を基本とした。一部の測定ではチャンネル長依存性を取得するため  $L$  が  $0.8 \sim 100 \mu\text{m}$  の横 MOS を用いた。また、容量測定では容量の  $L$  依存性を取得し、切片を差し引くことで寄生容量の影響を除去している。

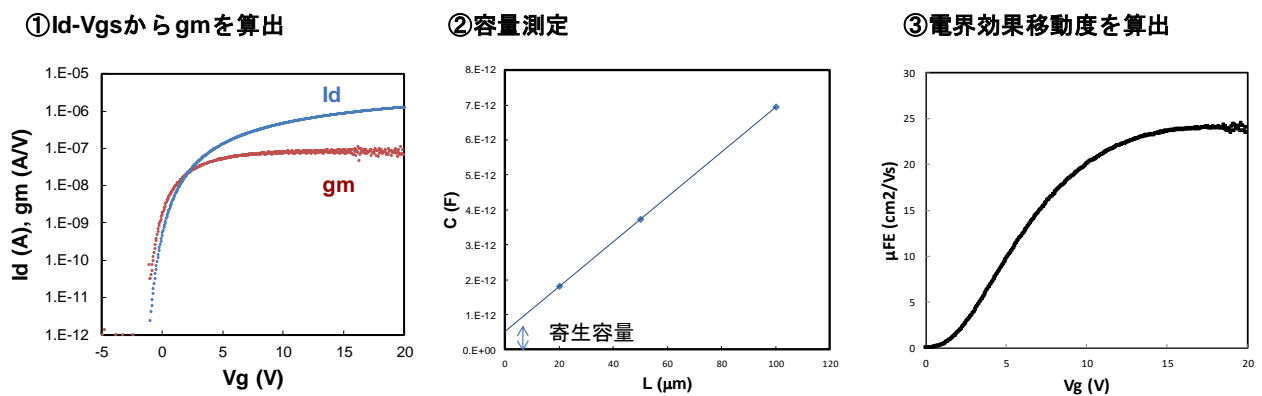


図 4-9 電界効果移動度の評価手順



#### 4.4.3 チャンネル移動度評価結果

図 4-10 はチャンネル長  $L_g$  と電界効果移動度  $\mu_{FE}$  の関係を示す。エクステンションありの構造ではチャンネル長が  $0.8 \sim 100 \mu\text{m}$  の範囲で移動度にチャンネル長依存性がないのに対し、エクステンションなしの構造ではチャンネル長  $1 \mu\text{m}$  以下で急激に移動度が低下していることが分かった。これは、3C-SiC 化したソース近傍のチャンネル領域で 3C-SiC 化の影響により移動度が低下しているものと考えられる。移動度低下の原因を解明するため、チャンネル付近の断面 TEM 像を取得した (図 4-11)。エクステンションの有無に関わらず、3C-SiC 領域の端部を起点に水平方向に欠陥が走っていることが確認できた。エクステンションなしの構造では、この欠陥がチャンネル領域にかかっているが、エクステンションありの構造ではこの欠陥がエクステンション構造内で止まっている。これらの結果から、移動度劣化のメカニズムとして 3 つの可能性を考えた。

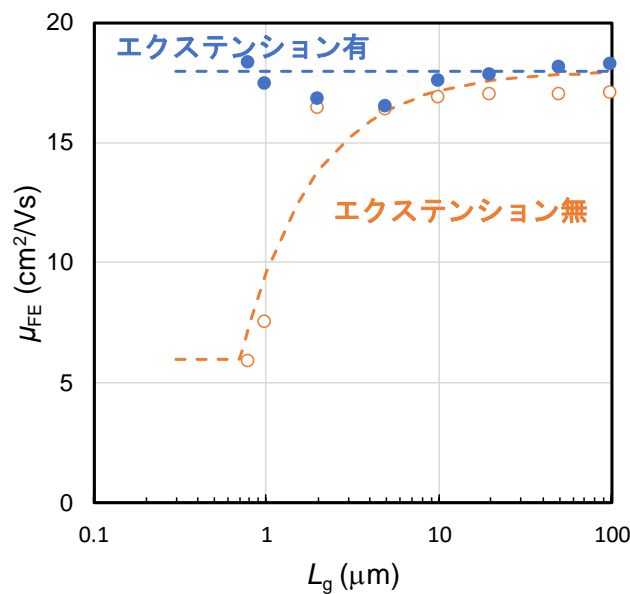
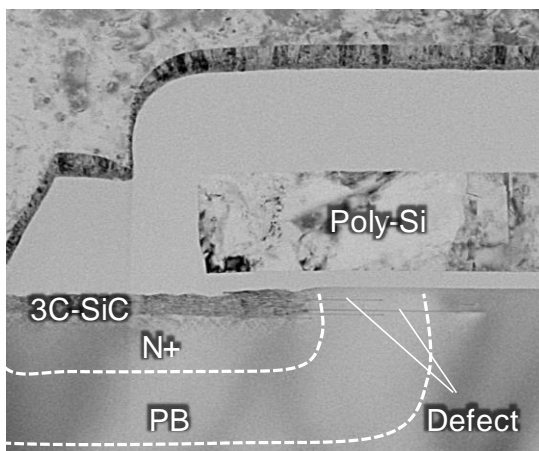


図 4-10 横型 MOSFET で評価した電界効果移動度とチャンネル長の関係

(a) エクステンション無



(b) エクステンション有

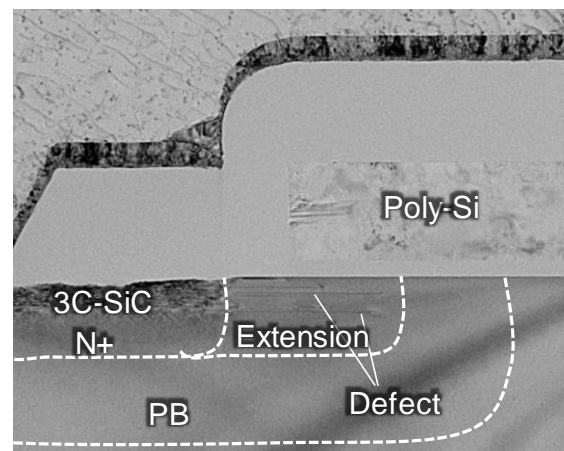


図 4-11 試作した MOSFET のチャンネル近傍の断面 TEM 像

### (i) 欠陥にトラップされた電荷によるクーロン散乱

3C-SiC 端部を起点に水平方向に走っている欠陥が移動度を劣化させていると考えると移動度とチャンネル長との関係が説明ができる。図 4-10 の破線は、チャンネル領域のうちソース近傍の  $0.7 \mu\text{m}$  (欠陥の長さに対応) のみ移動度が約  $1/3$  に低下したと仮定した際の移動度の計算値である。概ね実験値とは一致していることがわかる。欠陥により移動度が低下するメカニズムとしては、欠陥にトラップされた電荷によるクーロン散乱が考えられる (図 4-12)。欠陥には多量の電荷がたまりやすいため、欠陥がチャンネルから少し離れていたとしても移動度は低下する。チャンネルから少し離れたところにある電荷により移動度が低下する例としては、微細 CMOS で報告されているリモートクーロン散乱の例がある [6]。

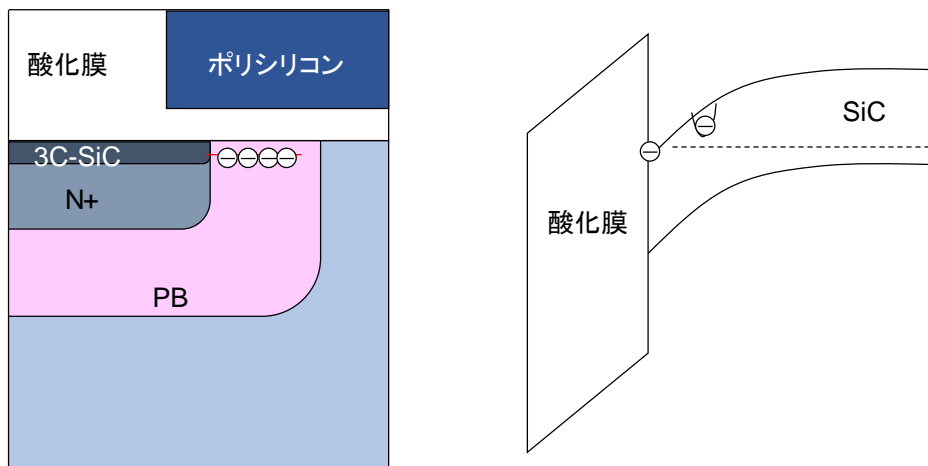


図 5-12 移動度低下のメカニズム (i) (クーロン散乱)

### (ii) ひずみによる移動度低下

移動度低下のふたつめの可能性として、ひずみによる移動度低下が考えられる。SiC を用いた圧力センサ等の検討で、SiC の piezoelectric effect の報告例がある。SiC のナノワイヤやナノシートでは、引張応力が生じると移動度が上がり、圧縮応力が生じると移動度が下がる [7, 8]。SiC デバイスのチャンネル移動度に対するひずみ効果に関する報告はないものの、Si デバイス同様のひずみ効果があってもおかしくはない。特に PMOS に対するソースドレインの SiGe エピ構造は本構造と非常に類似している。本報告の移動度に関する結果は、圧縮応力が発生していると仮定すると説明ができるが、4H-SiC と 3C-SiC は理論上密度は同じであり、4H-SiC から 3C-SiC に構造が変化するにあたり応力が発生するかどうかは今のところ不明である。

### (iii) 3C-SiC と 4H-SiC 間接合の抵抗

三つ目は、欠陥とは無関係で単純に 3C-SiC と 4H-SiC の接合部で抵抗がのっている可能性である。3C-SiC と 4H-SiC には電子親和力の差から約  $0.8 \text{ eV}$  の障壁がある。エクステンション構造ありの場合は 3C-SiC と 4H-SiC の接合は N+ の高濃度接合であるため、障壁の幅が狭くトンネル効果により抵抗としては見えてこないものと考えられる。一方、エクステンションなしの構造では、N+ の 3C-

SiC は P 型の 4H-SiC と直接接しているか、低濃度の N 型 3C-SiC と接しているため、3C-SiC と 4H-SiC の接合部が抵抗となっている可能性は考えられる。これらの検証には、3C-SiC 端部での詳細な構造観察等が必要であり、今後の課題である。

#### 4.5 4 章のまとめ

本章では、オーミック、ショットキーコンタクト同時形成プロセスに必要な N+表面の 3C-SiC 化が MOSFET 特性に及ぼす影響について述べた。ゲート酸化膜信頼性への影響としては、ゲートリーク電流が約 1 桁増加した。原因としては、3C-SiC 表面のラフネスによる電界集中または酸化膜中のトラップを介したトンネルが考えられ、対策としてエクステンション構造により 3C-SiC 領域をゲート酸化膜から離すことで改善することが確認できた。MOSFET の出力特性への影響としては、短チャネルの MOS において移動度が劣化する。原因としては、3C-SiC 端部から延びる欠陥にたまったチャージによるクーロン散乱が考えられ、こちらもエクステンション構造により改善可能であることを確認した。

## 参考文献

- [1] K. Konishi, R. Fujita, Y. Mori, and A. Shima, Mater. Sci. Forum **924**, 365 (2018).
- [2] G. Y. Chung, C. C. Tin, J. R. Williams, K. McDonald, R. K. Chanana, Robert A. Weller, IEEE Electron Dev. Lett. 22, **176** (2001).
- [3] J. Rozen, S. Dhar, M. E. Zvanut, J. R. Williams, and L. C. Feldman, J. Appl. Phys. **105**, 124506 (2009).
- [4] J. Rozen, A. C. Ahyi, X. Zhu, J. R. Williams, and L. C. Feldman, IEEE Trans. Electron Dev. **58**, 3808 (2011).
- [5] 谷口研二編集：シリコン熱酸化膜とその界面 リアライズ社 (1991).
- [6] D. Esseni, and A. Abramo, IEEE Tran. Electron Devices 50, 1665 (2003).
- [7] K. Nakamura, T. Toriyama, and S. Sugiyama, Jpn. J. Appl. Phys. 50, 06GE05 (2011).
- [8] R. Shao, K. Zheng, Y. Zhang, Y. Li, Z. Zhang, and X. Han, Appl. Phys. Lett. 101, 233109 (2012).

## 5. SBD 内蔵 MOSFET の検討

### 5.1 はじめに

3 章では SBD 内蔵 MOSFET を実現するためのコンタクトプロセスについて、4 章ではこれらのプロセスを MOSFET に適用した際の課題について述べた。本章ではこれらの検討を総合して、SBD 内蔵 MOSFET を試作し有効性を実証した結果を述べる。

### 5.2 SBD 内蔵 MOSFET 設計, 試作プロセス

#### 5.2.1 SBD 内蔵 MOSFET 設計のポイント

図 5-1 に SBD 内蔵 MOSFET の断面構造図を示す。設計のポイントは 3 つある。第一は、JBS (JFET) 抵抗低減のため JBS (JFET) ドーピングと呼ばれる P ボディ間の不純物ドーピングを実施した点である。一般に 1200 V クラスではドリフト層の濃度が比較的高いため MOS 特性の観点では JFET ドーピングは不要である。しかし、2 章で述べたとおり、ダイオード特性の観点では、ボディダイオードの導通を抑制するには JBS 抵抗を低減する必要がある。JBS ドーピングの濃度はドリフト層濃度の約 5 倍の  $4 \times 10^{16} \text{cm}^{-3}$  である。第二は、オーミックコンタクトとショットキーコンタクトを同時にとることでセルピッチを縮めた点である。本試作では、オーミックコンタクトとショットキーコンタクトを同時に形成することでセルピッチを約 10% 縮小した。第三は、3 章で述べたとおりソース領域にエクステンション構造を適用した点である。これにより、N+ソース両面の 3C-SiC 領域をチャンネル領域から離すことで MOS 構造の信頼性を確保した。

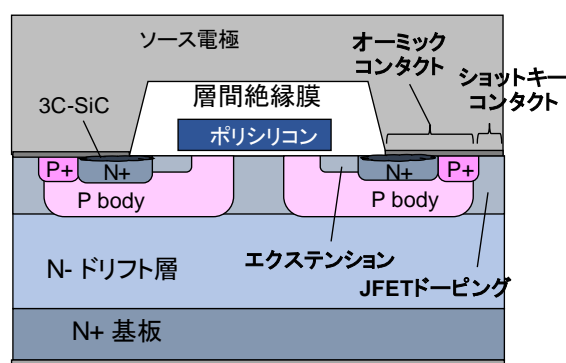


図 5-1 試作した SBD 内蔵 MOSFET の断面構造図

## 5.2.2 SBD 内蔵 MOSFET 作製プロセス

SBD 内蔵 MOSFET の作製フローを図 5-2 に示す。基板は耐圧 1200 V 用の不純物濃度  $8 \times 10^{15} \text{cm}^{-3}$ 、厚さ 12  $\mu\text{m}$  のエピ層を有する Cree 製基板を使用した。プロセスは JBS (JFET) 領域のイオン注入を採用した以外は、4 章で試作した MOSFET と同様である。コンタクトは、N+オーミック、P+オーミック、ショットキーの各領域に対して一括でドライエッチングによりコンタクトホールを開口し、Ti の堆積と 700°C の熱処理により形成した。試作したチップの大きさはスクライブ中心間で 4.5 mm 四方、アクティブ面積は約 0.13  $\text{cm}^2$  である。平面レイアウトはショットキー領域の面積を確保するためストライプ型のレイアウトとした。一部のチップは SBD を内蔵しない従来のプレーナ型 MOSFET とし、SBD 内蔵の効果について比較した。

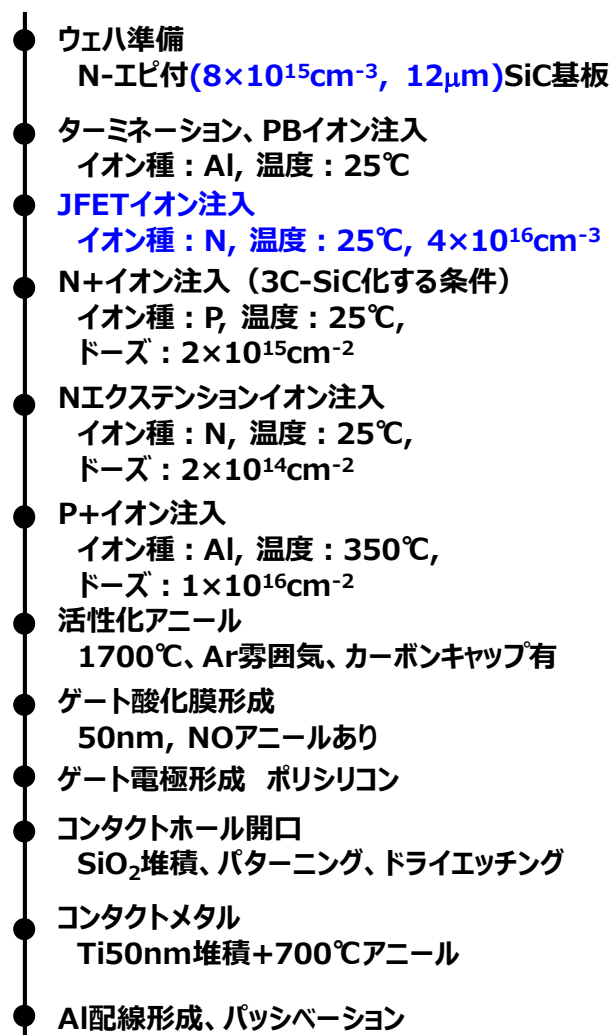


図 5-2 SBD 内蔵 MOSFET の作製フロー

## 5.3 SBD 内蔵 MOSFET の特性

### 5.3.1 SBD 内蔵 MOSFET のダイオード特性

本研究の MOSFET に内蔵された SBD は PB 領域によりショットキー界面の電界を緩和する JBS 構造となっている。一般的に JBS 構造は電界緩和のための P 領域の間隔 (SBD 幅) の幅が広いと順方向電圧が小さいがショットキーリーク電流が大きくなり、逆に P 領域の間隔が狭いとショットキーリーク電流は小さいが順方向電圧が大きくなる。つまり、順方向電圧とショットキーリーク電流はトレードオフの関係にある。このトレードオフの関係を改善する手段としては、P 領域間の不純物濃度 (JBS ドーピング濃度) を濃くして P 領域を深くすることが有効である [1-3]。本検討では、P 領域の深さは MOSFET の設計で決まっているため、独立して制御できるパラメータである JBS ドーピング濃度と SBD 幅を振って試作し、順方向電圧とショットキーリーク電流の関係を調査した。図 5-3 は SBD 幅とソースドレイン間電圧 ( $V_{sd}$ ) と高電圧印加時のドレインソース間リーク電流 ( $I_d$ ) の関係を示す。ソースドレイン間電圧はダイオード動作時の順方向電圧を表しており、SBD を内蔵しているサンプルにおいては SBD の順方向電圧で決まっている。ドレインソース間リーク電流は耐圧時のリーク電流を表しており、一般的に PN ダイオードよりも SBD の方がリーク電流が大きいため、SBD を内蔵しているサンプルにおいては、ショットキーリーク電流が支配的である。JBS ドーピング濃度は、 $4 \times 10^{16} \text{ cm}^{-3}$  と  $8 \times 10^{16} \text{ cm}^{-3}$  の 2 水準である。比較のため、SBD 領域を持たない MOSFET 構造のデータも載せた。JBS ドーピング濃度  $4 \times 10^{16} \text{ cm}^{-3}$  においては、SBD 幅  $1.0 \mu\text{m}$  以下になるとソースドレイン間電圧が急激に増加する傾向が見られた。また、リーク電流は SBD 幅  $1.4 \mu\text{m}$  以上で急激に増大する。よって、この条件では  $1.2 \mu\text{m}$  が最適な SBD 幅と考えられる。一方、ドーピング濃度  $8 \times 10^{16} \text{ cm}^{-3}$  においては、 $4 \times 10^{16} \text{ cm}^{-3}$  に比べリーク電流は 1 桁以上増加してしまうのに対し、ソースドレイン間電圧の改善効果は小さいことが分かった。これは、図 5-4 に示すように、PB 領域と JBS ドーピング領域の深さが同程度の場合、JBS ドーピングの濃度が濃くなると JBS 領域の出口付近で空乏層が狭まり、電流のボトルネックができてしまっている可能性が考えられる。本検討では、JBS ドーピング濃度  $4 \times 10^{16} \text{ cm}^{-3}$ 、SBD 幅  $1.2 \mu\text{m}$  が最適であると考え、SBD 内蔵 MOSFET の試作にはこの条件を適用した。

次に、大電流を流しても MOSFET のボディダイオードに通電しないかを確認するため、大電流の  $I_s$ - $V_{sd}$  特性を取得した。図 5-5 に  $25^\circ\text{C}$  と  $175^\circ\text{C}$  における  $I_s$ - $V_{sd}$  特性を示す。 $25^\circ\text{C}$  においては、少なくとも  $1000 \text{ A/cm}^2$  以下の範囲で SBD なしのサンプルよりも SBD 内蔵のサンプルの方が  $V_{sd}$  が小さいことが確認できた。また、SBD 内蔵のサンプルは  $1000 \text{ A/cm}^2$  まで変曲点を持たないため、ボディダイオードには電流が流れていないものと考えられる。一方、 $175^\circ\text{C}$  においては、 $500 \text{ A/cm}^2$  付近で SBD なしのサンプルと SBD 内蔵のサンプルのカーブがクロスするとともに、SBD 内蔵のサンプルは上に凸のカーブから下に凸のカーブへの変曲点を持つことが確認できた。高温になる程、SBD の順方向電圧は上がり、PN ダイオードの順方向電圧は下がるため、PN ダイオードに電流が流れやすくなる。本試作においては、MOSFET のボディダイオードに電流が流れない条件としては  $175^\circ\text{C}$  で  $500 \text{ A/cm}^2$  以下である。この結果は車載用途には十分な結果とは言えない。車載用途に求められるコストを考えると、通常動作で  $500 \text{ A/cm}^2$  程度、異常時はその倍程度の電流を流すことを想定しなければならないためである。そのため JBS 抵抗の低減は今後の課題と言える。課題解決のヒントは JFET の設計である。6 章で報告者が過去に検討したトレンチ型 JFET の検討結果について述べる。ここでは、

JFET の性能改善のために、チャンネルの均一なドーピングだけでなく、チャンネル長方向およびチャンネル幅方向の両方で2次的に不純物のプロファイルを制御する必要があることを述べている。これらの検討結果をもとに、SBD 内蔵 MOSFET の特性も改善していく予定である。

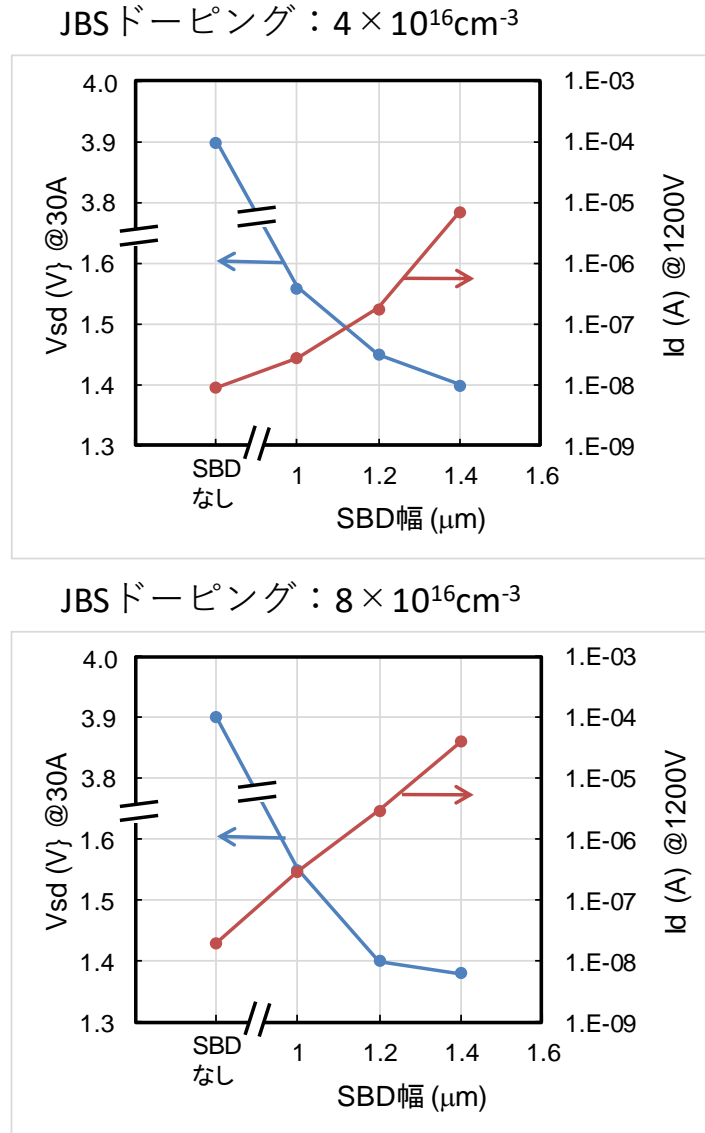


図 5-3 SBD 幅とソースドレイン間電圧，ドレインリーク電流の関係

**JBSドーピングなし  
又は低ドーピングの場合**

**高JBSドーピングの場合**

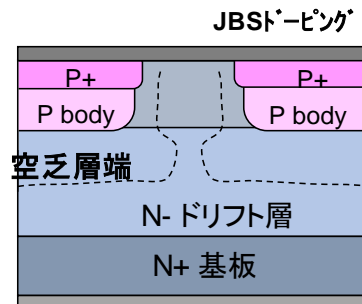
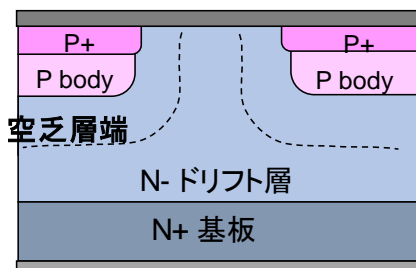


図 5-4 JBS ドーピングによる電流経路狭窄メカニズム



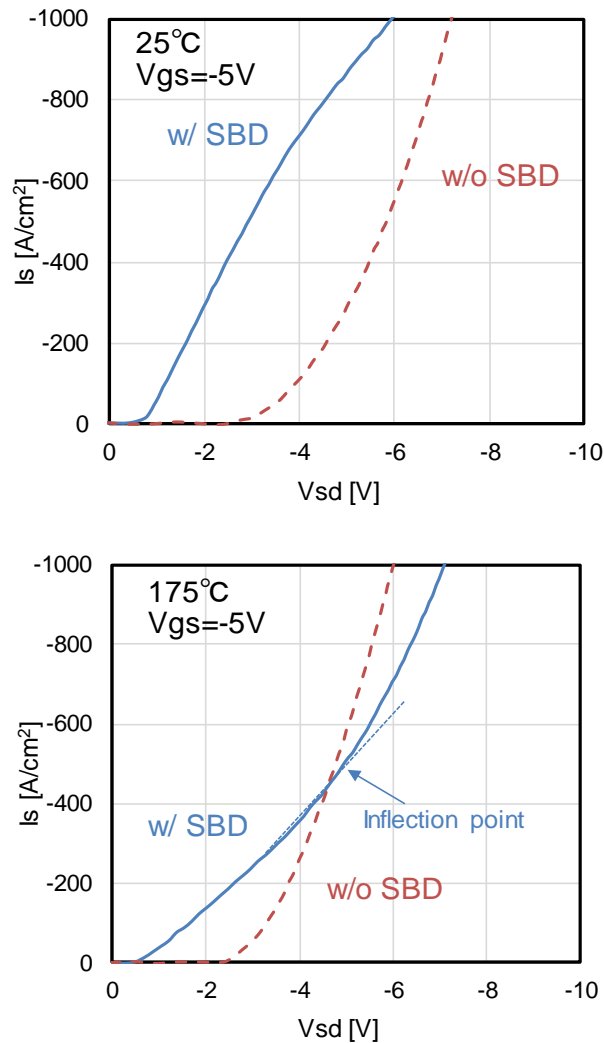


図 5-5 試作した SBD 内蔵 MOSFET の  $I_s$ - $V_{sd}$  特性

### 5.3.2 SBD 内蔵 MOSFET の MOSFET 特性

図 5-6 に試作した SBD 内蔵 MOSFET の  $I_d$ - $V_{ds}$  特性を示す。25°C、175°Cともに SBD を内蔵することによるオン抵抗の増加は約 10%程度に抑えることができた。これは、本研究で開発したオーミック、ショットキーコンタクト同時形成プロセスによりセルピッチを約 10%縮小した効果によるものと考えられる。オン抵抗の絶対値としては他機関による最先端の研究結果と比較すると大きいものの [4-6]、本研究で開発した低抵抗オーミックコンタクトを活かした更なるセルピッチの縮小やセル構造の工夫、基板の研削技術等により最先端のデバイスに引けをとらないデバイスが実現可能と考える。また、本検討はトレンチ型などの構造にも適用可能であり、更なる展開が期待される。

また、エクステンション構造により飽和電流が低減し短絡耐量が改善するとの報告があるが、本検討では残念ながらエクステンションの有無による飽和特性の違いは見られなかった。これは本検討のエクステンション構造が不純物濃度が  $10^{18} \sim 10^{19} \text{ cm}^{-3}$  程度と高濃度であるため効果が小さかったものと考えられる。今後は短絡耐量改善という観点でも、エクステンション構造の不純物濃度の最適化が必要である。

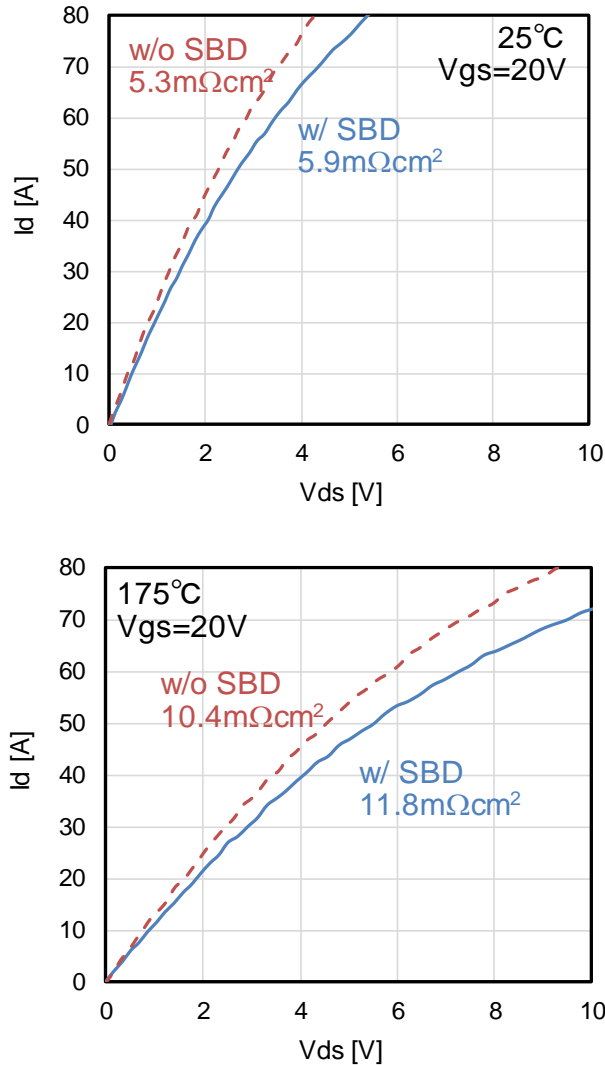


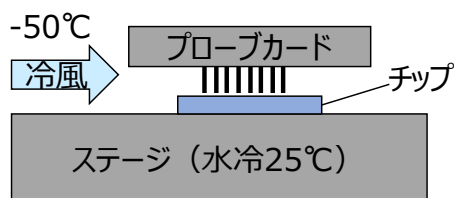
図 5-6 試作した SBD 内蔵 MOSFET の  $I_d$ - $V_{ds}$  特性

## 5.4 SBD 内蔵 MOSFET のダイオード通電信頼性

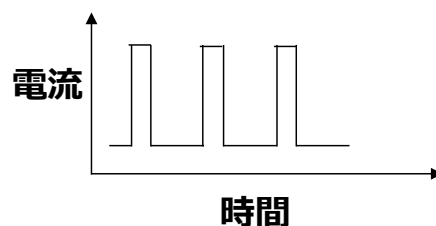
### 5.4.1 通電試験の方法

試作した SBD 内蔵 MOSFET の通電劣化の有無を確認するため、チップ状態でパルス大電流通電を実施した。図 5-7 に通電試験の模式図を示す。チップは水冷のステージに配置し、上から多数のプロブを立てたプロブカードを押し当ててドレイン、ソースおよびゲートのコンタクトをとった。大電流を流してもチップが加熱し過ぎないように、チップには横から $-50^{\circ}\text{C}$ の冷風を吹き付けるとともに、電流はパルス状とすることで過昇温を防止した。温度の制御はパルス幅とパルス間隔を調整して、事前に測定した  $V_f$  の温度特性から温度を推定した。 $V_f$  の温度特性を図 5-8 に示す。本試験では電流はボディダイオードが導通しない最大電流である  $64\text{ A}$  ( $500\text{ A}/\text{cm}^2$ ) とし、パルス幅を  $0.3\text{ msec}$ 、パルス間隔を  $0.5\text{ msec}$  とし、チップの温度が約  $175^{\circ}\text{C}$  になるように調整した。通電時間は  $5\text{ 分}$  とした。これは過去の検討から積層欠陥がエピ層全体に拡張するのに十分な時間であると考えたためである。

## 通電装置



## 通電パターン



Dutyで温度をコントロール

図 5-7 通電試験の試験方法

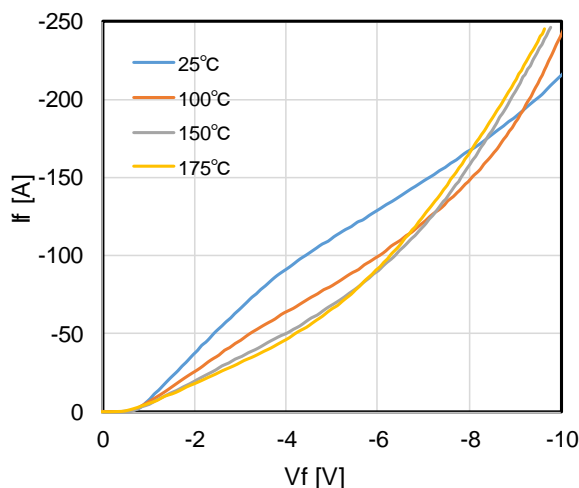


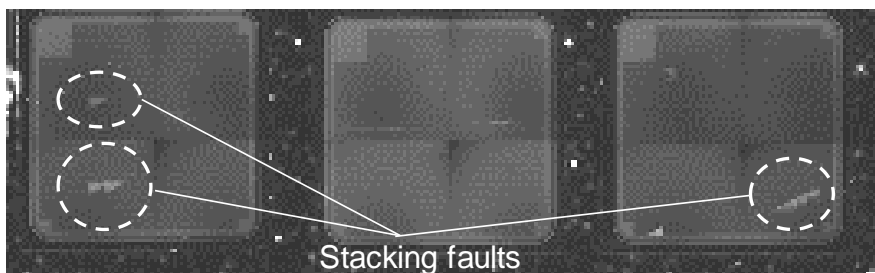
図 5-8 SBD の順方向特性の温度依存性

### 5.4.2 通電試験結果

図 5-9 はパルス通電後、フッ硝酸で電極及び酸化膜を除去し、PL (フォトルミネッセンス) によりチップ表面を観察した結果である。PL 観察では積層欠陥はバンドギャップの違いから明るく見える。SBD を内蔵しないサンプルでは約 7 割のサンプルで積層欠陥の成長が見られたが、SBD 内蔵のサンプルでは積層欠陥の成長は見られず、SBD 内蔵による積層欠陥抑制の効果が確認できた。これにより、SBD 内蔵により  $500 \text{ A/cm}^2$  の大電流でも通電劣化を抑制できることを実験的に示すことができた。ただし、観察された積層欠陥は三角欠陥のみで帯状の欠陥は見られなかった。これはさらに電流を増やして  $1000 \text{ A/cm}^2$  もの大電流通電をした場合でも同様であり、過去の報告とは一致しない結果である [7]。また、電気特性としても図 5-10 に示す通り、 $I_s$ - $V_{sd}$  特性では積層欠陥が成長したとしてもほとんど違いが見られなかった。帯状欠陥が観察されなかった原因は不明であるが、今後 ppm 以下の不良率が要求される車載用途等で急速に市場が拡大することを考えると、通電劣化は、例えば 1000 個評価して問題なかったのが問題ないとしてよいかということ、そうではない世界になると予想される。理論的に完全に解決されるか、全数検査で確実に通電劣化しないことを確認しない限りボディダイオードを使用してよいことにはならないであろう。そういう意味で本研究で

提案した SBD 内蔵 MOSFET は通電劣化を確実に防止することができる方法であり, しばらくの間 SiC の信頼性確保に貢献できるのではないかと考える。使用できる電流密度等にまだ課題はあるものの, これらの課題を解決し SiC の普及に貢献していきたい。

### MOSFET w/o SBD



### MOSFET w/ SBD

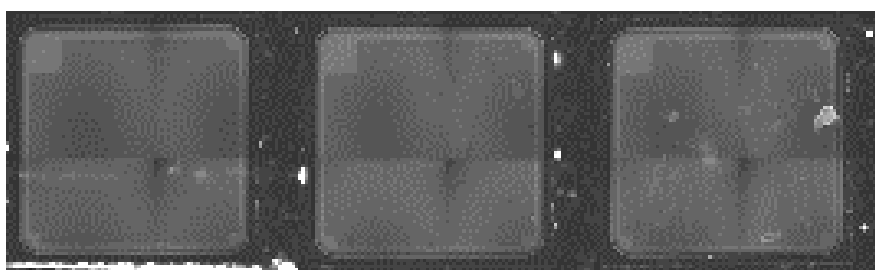
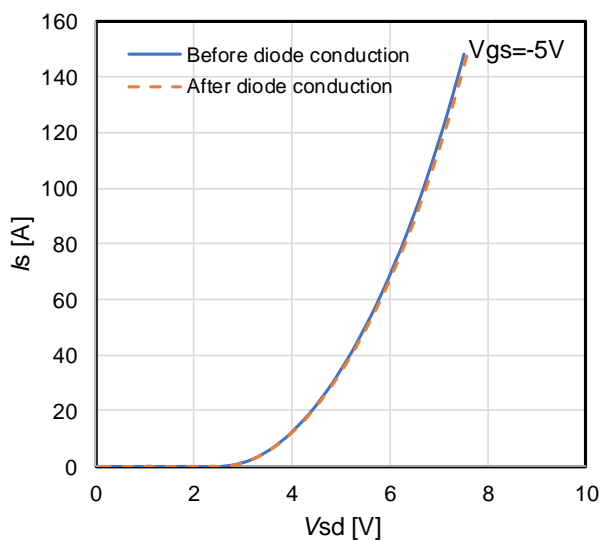


図 5-9 通電試験後の PL (フォトルミネッセンス) 像

### MOSFET w/o SBD



### MOSFET w/ SBD

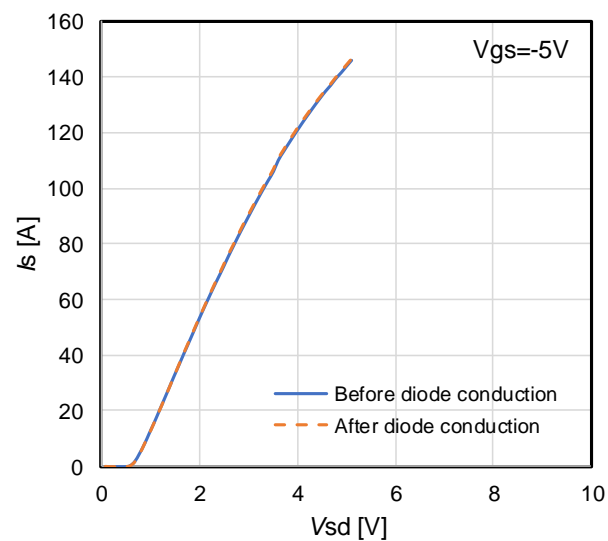


図 5-10 通電試験前後の電気特性

## 5.5 プロセスコストへの影響

最後に、SBD を内蔵することによるプロセスコスト等への影響について述べる。従来 MOSFET プロセスとの違いはエクステンションの追加とコンタクトプロセスの変更である。エクステンションに関してはマスクが1枚増えることでプロセスコストは増加する。一方、コンタクトプロセスは、従来ソースコンタクトとゲートコンタクトは別々に開口していたが、本研究の SBD 内蔵 MOSFET ではソースコンタクト、ショットキーコンタクトおよびゲートコンタクトを同時に開口可能である。よって、コンタクトプロセスにおけるマスク枚数は1枚少ないため、トータルのマスク枚数はプラスマイナスゼロである。また、従来の Ni シリサイド工程が省略できることから、総プロセス数は少なくなるとともに、不安定な Ni シリサイド工程の削減でプロセス安定性や歩留向上も見込める。以上より、総合的に見て生産性は向上するものと考えられる。

## 5.6 5章のまとめ

本章では、3C-SiC を用いたオーミック、ショットキーコンタクト同時形成技術とエクステンション構造を適用した SBD 内蔵 MOSFET の試作により本構造の有効性の検証をした。オーミック、ショットキーコンタクト同時形成技術により、SBD を内蔵することによるオン抵抗の増大を約 10%に抑えられることを実証した。また、試作した SBD 内蔵 MOSFET は 175°C で 500 A/cm<sup>2</sup> 程度まではボディダイオードの導通を抑制できることがわかった。さらに、パルス通電試験により 500 A/cm<sup>2</sup> 程度までは積層欠陥が成長しないことが確認できた。以上より、本プロセスで試作した SBD 内蔵 MOSFET は比較的シンプルな構造およびプロセスにて高い信頼性と性能を両立する現実的な通電劣化対策の解であると考えられる。

## 参考文献

- [1] K. J. Schoen, J. P. Henning, J. M. Woodall, J. A. Cooper, Jr., and M. R. Melloch, IEEE Electron Dev. Lett. **19**, 97 (1998).
- [2] M. Aketa, Y. Yokotsuji, M. Miura, and T. Nakamura, Mater. Sci. Forum **717**, 933 (2012).
- [3] K. Konishi, N. Kameshiro, N. Yokoyama, A. Shima, and Y. Shimamoto, Mater. Sci. Forum **821**, 596 (2015).
- [4] ローム社ニュースリリース：ロームが世界で初めてオン抵抗  $1\text{m}\Omega\cdot\text{cm}^2$  の壁を破る超低損失 SiC トレンチ MOSFET を開発 (2011).
- [5] 住友電工プレスリリース：世界最小オン抵抗を実現した次世代 SiC トランジスタの開発に成功 (2018).
- [6] 三菱電機ニュースリリース：独自の電界緩和構造を採用したトレンチ型 SiC-MOSFET を開発 (2019).
- [7] K. Konishi, S. Yamamoto, S. Nakata, Y. Nakamura, Y. Nakanishi, T. Tanaka, Y. Mitani, N. Tomita, Y. Toyoda, and S. Yamakawa, J. Appl. Phys. **114**, 01504 (2013).

## 6. 更なる高性能化に向けて

### 6.1 はじめに

本研究では、コンタクトプロセスを工夫することでSBDを内蔵することによるオン抵抗の増加を10%程度に抑え、ボディダイオードも500 A/cm<sup>2</sup>程度まで導通しないことが実証できた。しかし、SBD内蔵による面積ペナルティをゼロにすることはできず、通電条件も500 A/cm<sup>2</sup>で十分とは言えない。本章では、SBD内蔵MOSFETの更なる高性能化を目指し、オン抵抗増加を補うための移動度改善検討とボディダイオードが導通しない電流密度の範囲を上げるためのヒントとなるJFET設計について述べる。

### 6.2 チャネル移動度向上の検討

#### 6.2.1 チャネル移動度向上に関する先行研究

SiCは熱酸化によりSiO<sub>2</sub>が形成できるSi以外では唯一の半導体材料であり、それが強みであるが、SiCを一般的な熱酸化することにより形成したSiC/SiO<sub>2</sub>界面には多量の界面準位が存在し、極めて低いチャネル移動度しか実現できない。そこで、SiC/SiO<sub>2</sub>界面に様々な元素を導入し界面を安定化し移動度を向上させる検討が進められている。現状のSiC-MOSプロセスにおいて最も一般的なのが酸化膜のNOアニールやN<sub>2</sub>O雰囲気中での熱酸化により界面に多量のNを導入する手法である[1-3]。従来の熱酸化法では移動度が1-3 cm<sup>2</sup>/Vs程度なのに対し、Nの導入によりSi面で25-35 cm<sup>2</sup>/Vs程度の移動度が実現できている。水素による界面のパッシベーションの検討も進められている[4]。トレンチ面に当たるm面において、wet酸化と高温水素アニールにより大量の水素を界面に導入し100 cm<sup>2</sup>/Vsを超える移動度が報告されている。ただし、水素は高温で脱離しやすく1000℃のシリサイドアニールにより移動度が大きく劣化する。また、界面にP(リン)、B(ボロン)やアルカリ金属を導入することによる移動度改善が多数報告されている[5-9]。これらの元素を高濃度にSiC/SiO<sub>2</sub>に導入することで移動度の向上が見られるが、SiO<sub>2</sub>中にも多量の元素が導入されてしまうため、酸化膜信頼性への影響が懸念される。別のアプローチとして、RTAによる熱酸化による移動度向上が報告されている[10-11]。これは、1300℃を超える高温では理論的にSiC/SiO<sub>2</sub>界面は安定であり、界面準位を作るサブオキไซด์は生成しにくいことに着目したもので、サブオキไซด์がしやすい1000℃近辺での熱酸化反応の時間をなるべく減らすことにより高移動度が実現できている。しかし、RTAは枚葉プロセスであり、熱酸化には時間もかかることから、量産性はないため、バッチ処理ができる炉体プロセスに焼き直す必要がある。

## 6.2.2 チャネル移動度向上の指針

6.2.1 項では酸化膜の改質による移動度向上の報告について述べたが、移動度に影響を及ぼすのは酸化膜および酸化膜半導体界面だけではなく、半導体中の不純物濃度も大きな影響がある。注意する必要があるのは、移動度向上の報告の多くは低濃度の P エピ上に MOSFET を作製して評価したものであるが、実際のパワーデバイスでは閾値電圧調整のため半導体表面は  $10^{17} \text{ cm}^{-3}$  以上の不純物が導入されている。これではいくら酸化膜を改質したところで移動度の大幅な向上は見込めない。つまり、移動度向上の検討は酸化膜のみに着目するのではなく半導体、酸化膜、ゲート電極を含めトータルで高い移動度と適正な閾値電圧を両立することが重要なのである。本研究では NO アニールによる界面酸化を基本プロセスとしたうえで、以下の3つの項目に着目した。

### ① 半導体中のドーパントと不純物濃度

まずは、半導体中の不純物と移動度および閾値電圧の関係を調べ、不純物濃度をどこまで下げれば NO アニールによる酸化プロセスの実力が発揮できるかを検証した。

### ② NO アニール前の酸化膜の改質

NO アニール前の酸化膜の形成方法に RTA を用いた手法を炉体プロセスに焼き直した方法を適用した。具体的には、図 6-1 に示すように、熱酸化の昇温中と降温中は雰囲気を  $\text{N}_2$  に置換し、酸化が起こらないようにした。

### ③ メタル工程における熱負荷の影響

メタル工程における熱負荷は酸化膜界面に影響を及ぼす可能性がある。熱負荷としては通常シリサイドアニールを  $1000^\circ\text{C}$  で実施していたが、本研究で開発した Ti をベースにしたプロセスでは最大  $700^\circ\text{C}$  までしか熱がかからないため、酸化膜界面に良い影響がある可能性がある。

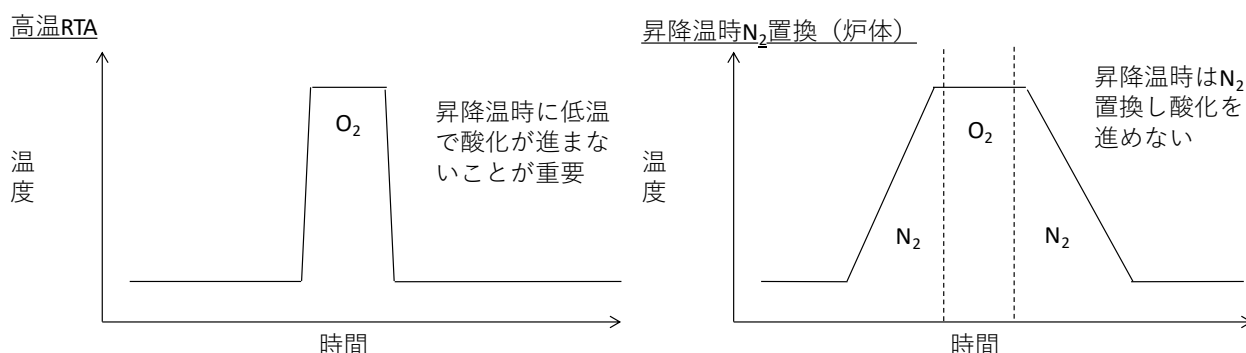


図 6-1 RTA を用いた熱酸化と炉体プロセスに焼き直した熱酸化の酸化シーケンス



### 6.2.3 実験方法

チャンネル移動度評価のため、チャンネル長 ( $L$ ) とチャンネル幅 ( $W$ ) を振った横型 MOSFET を作製した。図 6-2 に横型 MOSFET の作製フローを示す。N-エピ付 SiC 基板を準備し、まず PB 領域のイオン注入を行った。チャンネル不純物濃度と移動度、閾値電圧の関係を調べるため、PB 表面濃度は 3 水準とした。一部のサンプルには PB 表面を N 型で打ち返すカウンター注入も実施した。酸化膜の形成には、通常のドライ酸化または図 6-1 で示した昇降温時に  $N_2$  置換する改良型のドライ酸化で酸化膜を形成したのち、NO アニールにより界面を窒素で安定化させた。後工程の熱負荷の影響検証のため、コンタクトプロセスは従来の Ni シリサイドと Ti ベースのコンタクトで分流をした。また、閾値電圧およびオン抵抗の評価のため、4.5 mm $\square$  のプレーナ型 MOSFET も同時に作製した。

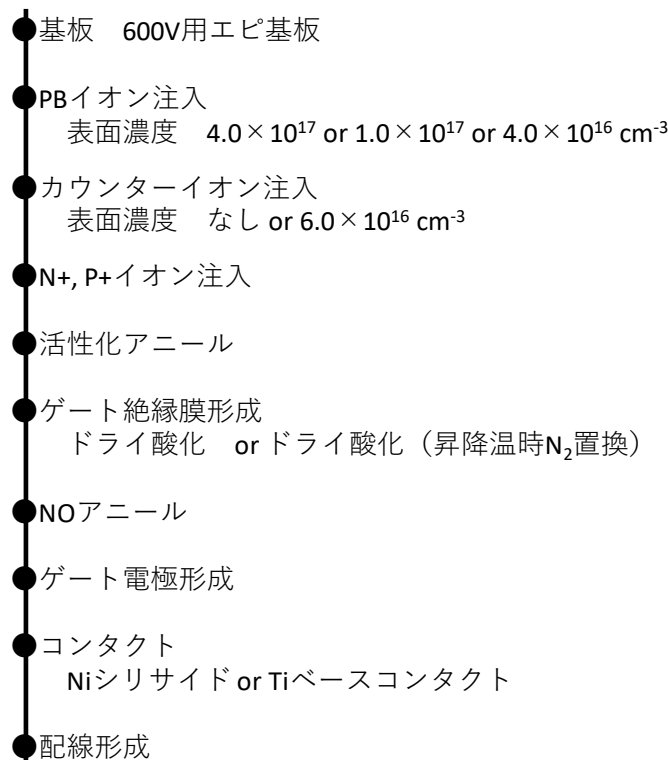


図 6-2 移動度評価用横型 MOSFET の作製フロー

移動度の評価は 4 章で述べた方法と同様で、MOS の  $g_m$  特性から算出した電界効果移動度  $\mu_{FE}$  を用いた。移動度の測定には比較的長チャンネルで容量測定も容易な  $L/W=100/100$   $\mu\text{m}$  の横型 MOS を用いた。閾値電圧の評価には同時に作製した 4.5 mm $\square$  のプレーナ型 MOSFET チップを用いた。

#### 6.2.4 半導体中の不純物のチャネル移動度に対する影響

図 6-3 に横型 MOS で測定した移動度，図 6-4 にプレーナ型 MOSFET で測定した  $I_d$ - $V_{gs}$  特性のチャネル表面不純物濃度依存性を示す。チャネル表面の不純物濃度を下げると移動度が向上し，不純物濃度  $4 \times 10^{16} \text{ cm}^{-3}$  では  $25 \sim 30 \text{ cm}^2/\text{Vs}$  が達成できた。これは不純物濃度が  $10^{17} \text{ cm}^{-3}$  程度のオーダだと反転層移動度においてイオン化不純物散乱が支配的になっているためと考えられる。また，窒素によるカウンター注入でも移動度が向上することが確認できた。これは，窒素のドーピングがアクセプタイオンと結びついてイオン化不純物を無効化することで，実効的に不純物濃度を下げているためと考えられる。一方，チャネル表面の不純物濃度を下げると閾値電圧も低下する。図 6-5 に移動度と閾値電圧の関係を示す。移動度と閾値電圧は完全にトレードオフの関係にあり，移動度と適正な閾値電圧の両立には移動度に影響を及ぼさずに閾値電圧を上げる何らかの手段が必要であることがわかる。

移動度と閾値電圧のトレードオフを改善する手段としては，不純物プロファイルの最適化が挙げられる。移動度に影響があるの反転層が形成される SiC の極表面層の不純物濃度であるのに対し，閾値電圧に影響を及ぼすのは空乏層が延びる領域の不純物濃度であるため，SiC 最表面に薄い低不純物濃度層を形成できれば適正な閾値を確保しながら移動度を改善できる可能性がある。これを実現するにはエピによるチャネル形成が最も有効であるが，低コスト化のためイオン注入で実現しようとする，高精度なイオン注入だけでなく，活性化アニールや酸化時の不純物の動き等を正しく把握する必要があると考えられる。もうひとつは，ゲート電極を工夫することで，仕事関数が高いゲート電極を用いることができればその分閾値電圧を上げることが可能である。LSI で検討が進められているメタルゲートの技術が応用できる可能性がある。

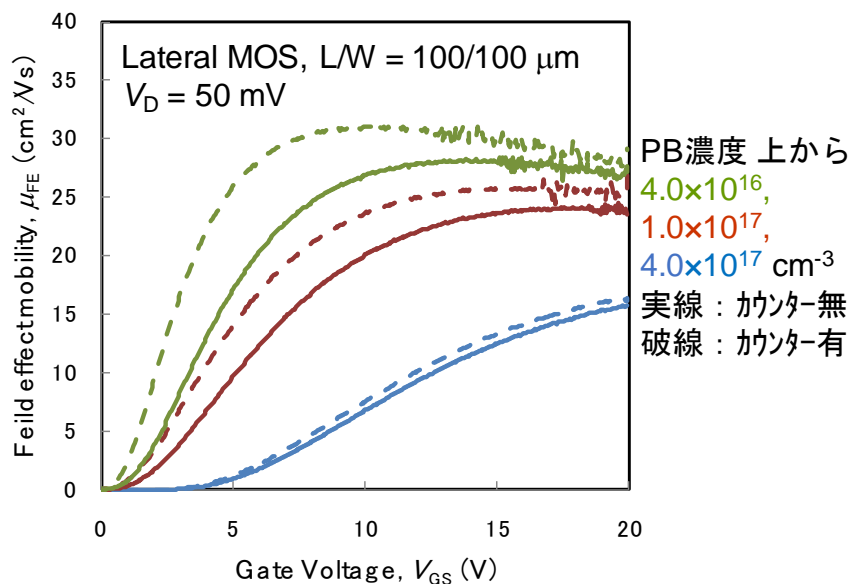


図 6-3 電界効果移動度のチャネル表面不純物濃度依存性

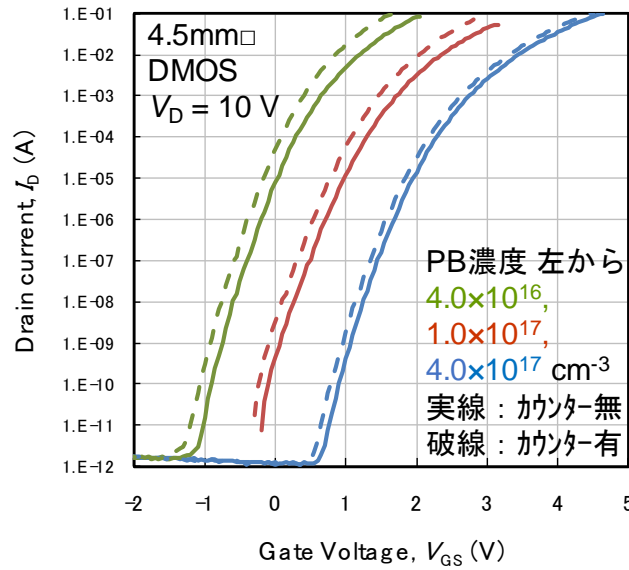


図 6-4  $I_d$ - $V_{gs}$  特性のチャネル表面不純物濃度依存性

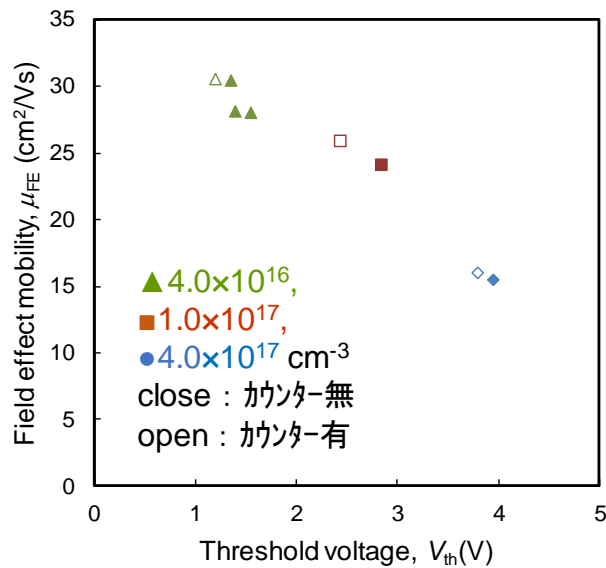


図 6-5 閾値電圧と電界効果移動度の関係

### 6.2.5 酸化膜形成条件の移動度に対する影響

次にゲート酸化膜の形成に図 6-1 に示した熱酸化シーケンスを適用した効果について述べる。熱酸化昇降温時の  $N_2$  置換を行っても、移動度向上の効果は得られなかった (図 6-6)。しかし、図 6-7 に示すように、 $I_d$ - $V_{gs}$  特性において電流の立ち上がり (サブスレッショルドスイング) が向上することが確認できた。サブスレッショルドスイングは電流のオンオフ比を決める重要なパラメータである。サブスレッショルドスイング向上の要因を確かめるため、MOSFET と同時に作製した MOS キャパシタを用いて High-Low 法にて界面準位密度  $D_t$  を測定した (図 6-8)。界面準位密度は価電子帯端

から比較的浅いエネルギーでは熱酸化昇降温時の  $N_2$  置換の効果は見られなかった。チャンネル移動度は比較的浅いエネルギーの界面準位に影響を受けることが知られているため、チャンネル移動度に違いが見られなかったのはこのためと考えられる。一方、界面準位のうち比較的深いエネルギー帯では熱酸化昇降温時の  $N_2$  置換により界面準位密度が低減する効果が見られた。深い界面準位のサブスレッショルドスイングへの影響はMOSのバンド図(図6-9)を使ってサブスレッショルド状態を考えると理解できる。MOSのゲートに順バイアスを印加すると、酸化膜に電界がかかるとともに半導体表面も空乏化しバンドが曲がる。半導体表面のバンドの曲がり方が真性フェルミレベル  $E_i$  とP型半導体中のフェルミレベル  $E_f$  の差よりも大きくなると半導体表面はN型に反転しはじめる。ここからゲート電圧が閾値電圧を超えるまでをサブスレッショルド領域と呼ぶ。このとき界面準位のうちミッドギャップに近い深い準位はフェルミレベルを下回るため、キャリアがトラップされやすくなる。サブスレッショルド領域では深い準位のトラップ、デトラップが発生するため、サブスレッショルドスイングは深い界面準位の影響を受けるのである。サブスレッショルドスイングが大きくなると閾値電圧を低く設定しても  $V_g=0$  Vでもドレイン電流をカットオフできるようになる。不純物濃度を調整しカットオフの電圧をそろえた上で移動度の比較をすると、昇降温時の  $N_2$  置換適用により移動度が約15%向上することが確認できている。閾値電圧自体はカットオフ特性だけでなく逆アームのスイッチング時の誤点弧なども考慮する必要があるため、この結果をもってただちに閾値電圧を低くできるわけではないが、チャンネル設計の自由度は上がると言える。

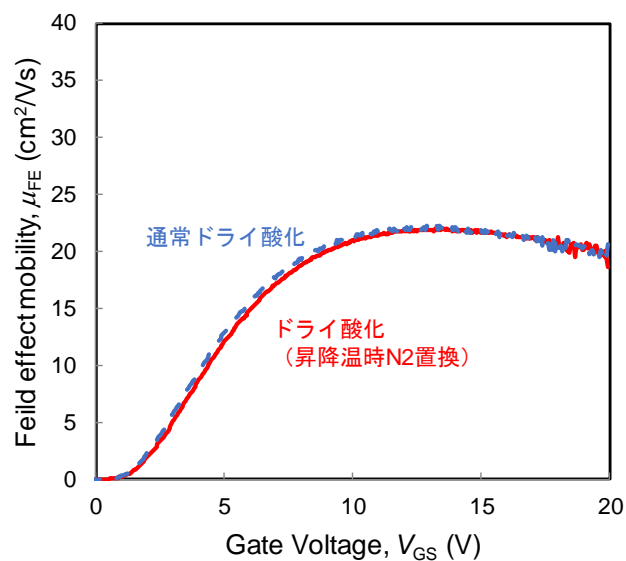


図 6-6  $I_d$ - $V_{gs}$  特性の熱酸化プロセスによる違い

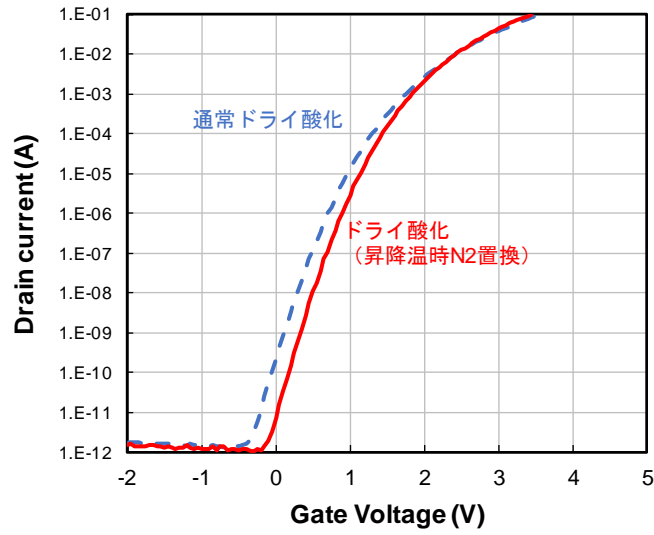


図 6-7  $I_d-V_{gs}$  特性の熱酸化プロセスによる違い

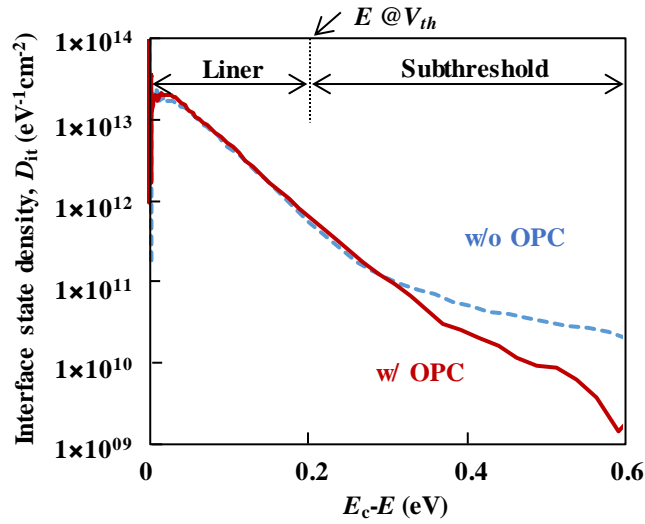


図 6-8 界面準位密度の熱酸化プロセスによる違い

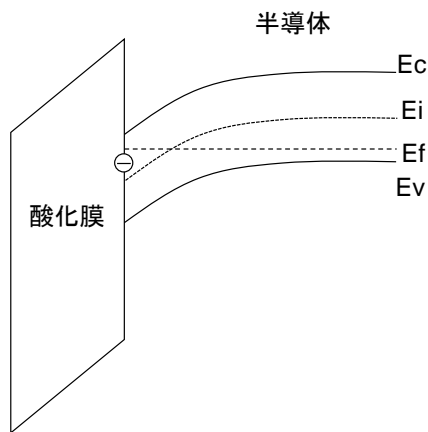


図 6-9 サブスレッショルド領域におけるバンド図

## 6.2.6 メタル工程における熱負荷の移動度に対する影響

図 6-10 に Ni シリサイドコンタクト（熱処理 1000°C）と Ti ベースコンタクト（熱処理 700°C）で作製した MOS の  $I_d$ - $V_{gs}$  特性とチャネル移動度を示す。メタル工程の熱負荷による移動度への影響は見られなかった。これは今回適用した酸化膜プロセス (NO アニール) においては高温でも界面が安定だったためと考えられる。一方、これまで報告されているように高温で脱離しやすい水素を用いたプロセスにおいてはメタル工程時の熱負荷が移動度に影響を及ぼす可能性は高い。よって、水素を用いたプロセスと本研究の Ti ベースコンタクトは相性がよいと考えられるため、今後検討を進めたい。

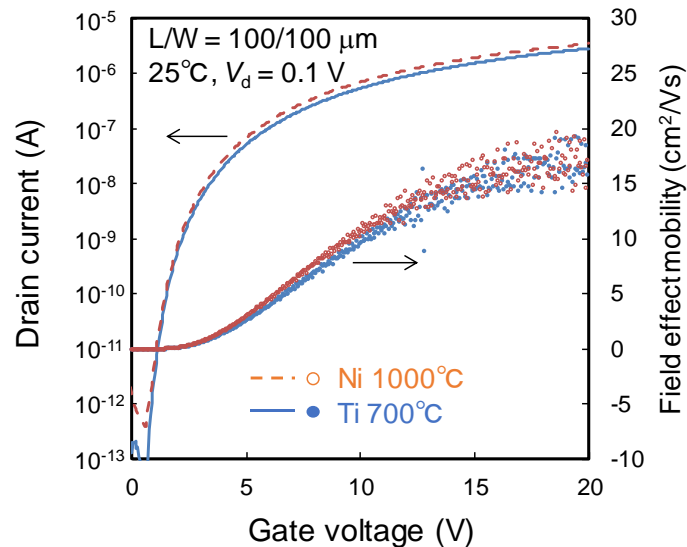


図 6-10 メタル工程における熱負荷の移動度への影響

## 6.3 JFET の設計

### 6.3.1 トレンチ型 JFET の構造と特徴

5 章で述べた通り、SBD 内蔵 MOSFET において大電流を流してもボディダイオードが導通しないようにするには JBS 抵抗を下げるのが重要である。しかし、JBS 抵抗はショットキーリーク電流とトレードオフであり、ショットキー界面における電界を緩和しつつ JBS 抵抗を下げる必要がある。一方、図 6-11 に示すトレンチ型 JFET は耐圧を確保しつつ JFET の抵抗を下げるのが重要であり、電界緩和と低抵抗の両立という観点で全く同じ課題があると言える。そこで本節では、過去に検討したトレンチ型 JFET の電界緩和と低抵抗化を両立した設計について述べ、そこから SBD 内蔵 MOSFET の JBS 設計指針を示す。

トレンチ型 JFET の特徴は、トレンチ形成と斜めイオン注入により幅が均一で長いチャネル長が確保できているところにある [12, 13]。これにより、それまで実現が困難であったノーマリオフ特性が実現できている。しかし、これだけでは耐圧と低抵抗が両立できない。そのため、まずはトレンチ深さ、チャネル濃度、チャネル幅、チャネル形状など数多く存在するパラメータが耐圧や抵抗にどのように影響するかを系統的に調べ、そこからチャネルドーピングなどによる性能向上について検討を行った。

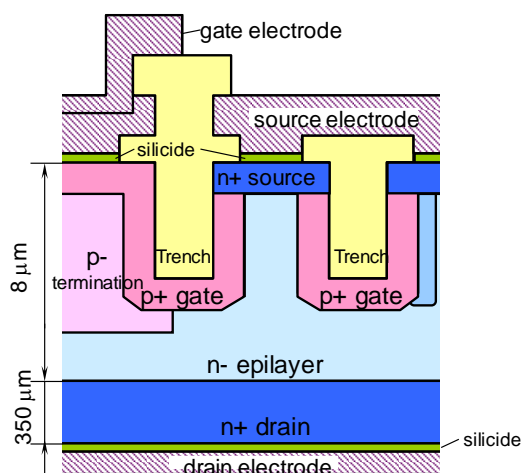


図 6-11 トレンチ型 JFET の断面構造図

### 6.3.2 実験方法

各パラメータのデバイス特性に与える影響についてはシルバコ社製のデバイスシミュレータを用いて検証した[14]。シミュレーションは耐圧とオン抵抗（飽和電圧）およびそのロバスト性を評価した。シミュレーションの結果をもとに、デバイスを作製した。デバイス作製フローを図 6-12 に示す。基板は、600 V 用エピ付基板を用い、ターミネーション領域、N+ソース領域、P+ゲート接続領域をイオン注入により形成した。ドライエッチングによりゲートトレンチを形成後、同じ SiO<sub>2</sub> マスクを用いて斜めイオン注入によりゲートの P+領域を形成した。その後、ゲート P+領域のイオン注入プロファイルの裾を打ち消すように N 型のカウンター注入をすることで、局所的なドーピングを実施した。ここで注意が必要なのが、カウンター注入はトレンチ側壁のみにドーピングすることが重要であり、トレンチ底部にドーピングされると耐圧が低下してしまう。そのため、トレンチのレイアウトやマスクの形状を調整し、トレンチ側壁のみにドーピングした。その後、活性化アニール、コンタクト、配線形成を実施し、デバイスを仕上げた。試作した JFET のチップ写真を図 6-13 に示す。チップサイズは 3.9 mm<sup>2</sup>である。

- 基板 600V用エピ基板
- ターミネーション, N+, P+イオン注入
- ゲートトレンチ形成
- ゲートP+イオン注入（斜め注入）
- Nカウンターイオン注入（斜め注入）
- 活性化アニール
- コンタクト
- 配線形成

図 6-12 トレンチ型 JFET の作製フロー

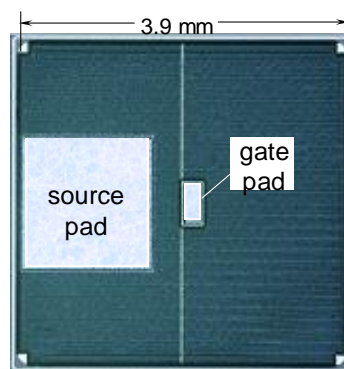


図 6-13 試作した JFET の写真

### 6.3.3 シミュレーション結果

#### (i) トレンチ深さ、形状の影響

図 6-14 にシミュレーションに用いたモデルと実際の JFET の構造を示す。ドレイン層の濃度およびエピ層の濃度、厚さは、それぞれ、 $5 \times 10^{18} \text{ cm}^{-3}$ 、 $2 \times 10^{16} \text{ cm}^{-3}$ 、 $8 \text{ }\mu\text{m}$  とした。ソースの n+層は、実際はイオン注入により形成しているが、n+層の形状はデバイス特性に大きな影響を与えないため、本計算ではステップ形状で濃度は  $1 \times 10^{20} \text{ cm}^{-3}$  とした。本検討で最も重要なゲートのプロファイルについては、プロセスシミュレーションで得られた結果を忠実に再現している。トレンチ部分についてはデバイスの静特性には影響しないため、p+で埋め込んだ形状としている。図 6-15 に、トレンチ深さを変えた際の耐圧および飽和電流密度のソース幅依存性を示す。(a)はトレンチ深さ  $1.1 \text{ }\mu\text{m}$  の条件で、ソース幅が約  $1.10 \text{ }\mu\text{m}$  以下の領域で耐圧  $600 \text{ V}$  以上となり、そのときの飽和電流密度は約  $3000 \text{ A/cm}^2$  である。(b)はトレンチ深さ  $1.3 \text{ }\mu\text{m}$  の条件で、ソース幅が約  $1.13 \text{ }\mu\text{m}$  以下の領域で耐圧  $600 \text{ V}$  以上となり、そのときの飽和電流密度は約  $3200 \text{ A/cm}^2$  である。(c)はトレンチ深さ  $1.5 \text{ }\mu\text{m}$  の条件で、ソース幅が約  $1.16 \text{ }\mu\text{m}$  以下の領域で耐圧  $600 \text{ V}$  以上となり、そのときの飽和電流密度は約  $3400 \text{ A/cm}^2$  である。このように、この条件においてはトレンチ深さが  $1.5 \text{ }\mu\text{m}$  以上の条件で特性が良いことがわかる。次に、トレンチのテーパ角とデバイス特性の関係を図 6-16 に示す。このとき、ソース幅はトレンチの底で定義しているため、テーパ角が大きくなるほど耐圧が  $600 \text{ V}$  以上出るソース幅は広がっているが、そのときの飽和電流密度はテーパ角  $87 \text{ 度}$  以下の条件ではほとんど違いがないことがわかる。以上より、トレンチ深さは深いほど耐圧と電流密度のトレードオフは改善すること、テーパ角は  $87 \text{ 度}$  以下の範囲では大きな影響がないことが分かった。

次に、トレンチ深さとチャンネル幅がデバイス特性に及ぼす影響について考察する。まず、オン特性に関しては、移動度、キャリア密度、チャンネル長、閾値電圧の関数となる。そのため、ソース幅が広がるほど閾値電圧は下がり電流は増大し、トレンチが浅くなるほどチャンネル長が短くなるため電流は増大する。耐圧に関しては、少し複雑で、ソースに対するチャンネルのポテンシャルバリアの高さとドレインバイアスによるバリアの低下のふたつの要素を考慮する必要がある。ポテンシャルバリアの高さに関しては、チャンネル幅が広いほどチャンネル中央のポテンシャルが下がるため小さくなり、トレンチ深さにはほとんど影響されない。これは、チャンネル幅に比べチャンネル長が十分大きいいため、ポテンシャルは横方向の関係のみで決まるからである。バリアの低下に関しては、ソース幅が広いほど、トレンチが浅いほど大きくなる。これは、ドレインバイアスによるチャンネルへのポテンシャルの浸入が、チャンネル幅が広いほどチャンネル長が短いほど大きくなるためである。以上より、JFET において性能向上のために最も重要なことはドレインバイアスによるチャンネルのポテンシャルバリアの低下を抑えることにある。バリアの低下を抑えることができればバリア高さ（閾値電圧）を下げることでオン抵抗の低減が可能になる。トレンチを深くするとオン抵抗が下がる理由はここにある。また、トレンチを深くする以外の方法でバリアの低下を抑制することができれば、閾値電圧を下げるだけでなくトレンチを浅くすることが可能になるため、大幅に電流密度を増大できる可能性がある。



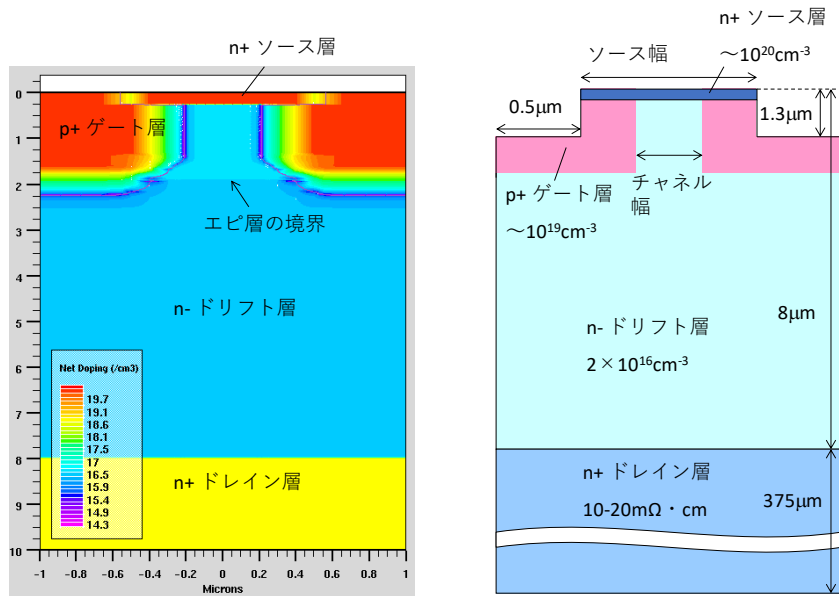


図 6-14 JFET の (a) 計算モデルと (b) 実際の構造

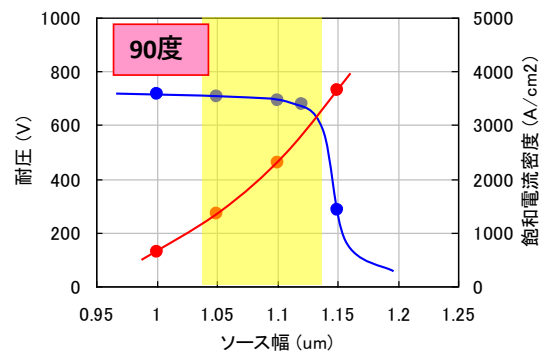
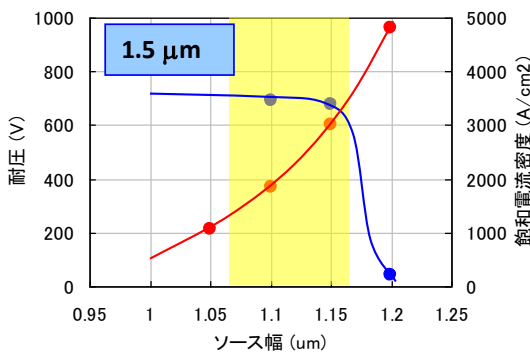
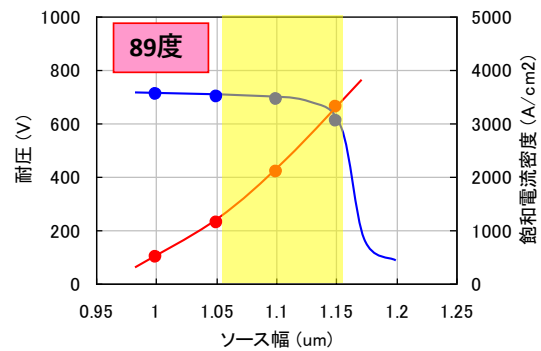
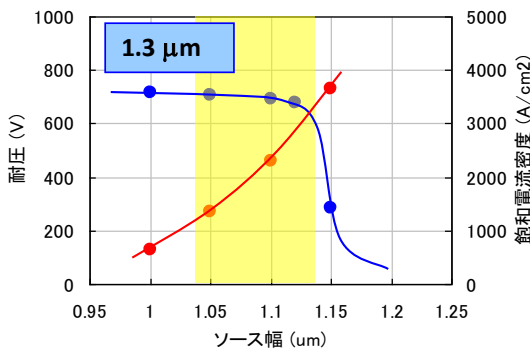
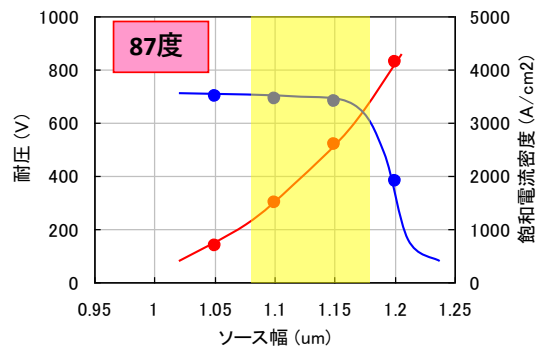
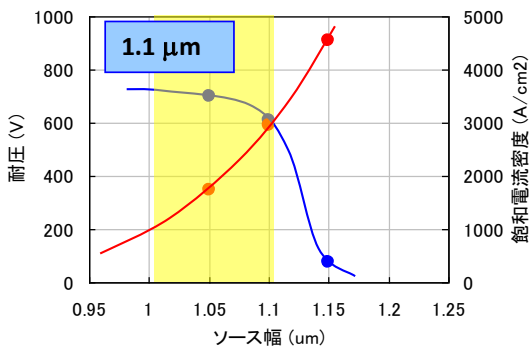


図 6-15 トレンチ深さと JFET 特性の関係

図 6-16 トレンチ形状と JFET 特性の関係

## (ii) 2層エピによるチャネルドーピング

ドレインバイアスによるチャネルバリアの低下を抑えるため、チャネルドーピングを検討した。チャネルドーピングはチャネル幅を狭くすることが可能となるためバリアの低下を抑えることが可能となるだけでなく、チャネルのキャリア濃度も上がるためオン抵抗の低減が期待できる。図 6-17 はチャネルドーピングの手段として 2 層エピを用いた際のシミュレーション構造を示す。ここで重要なのは表層の高濃度エピ層の厚さである。(a)はチャネル長よりもエピが薄い場合で、この場合チャネルの出口付近で電流経路が狭窄されていることから、オン抵抗が大きくなる。これは表層のエピ層の濃度が濃いほど高濃度エピ層とドリフト層における空乏層の伸び方が大きく変わることから顕著になる。(c)はゲートP層の底よりもエピが厚い場合で、この場合はPN 接合にかかる電界が高くなる。図 6-18 は、ドレインに高電圧(600 V)を印加した際の電界分布の一例を示している。ドーピング濃度は  $1 \times 10^{17} \text{ cm}^{-3}$  である。最大電界はドーピングなしで 2.2 MV/cm 程度だったのに対し、厚い 2 層エピ仕様ではトレンチ底部で最大 2.5 MV/cm まで電界が高い結果となった。結果として、耐圧も 100 V 以上低下することがわかっている。これらに対して(b)はチャネル長よりも厚くゲートP層の底よりは薄い仕様であるため、電流経路の狭窄も電界集中も起こらない。よって、2 層エピ仕様のシミュレーションには(b)の構造を採用した。

図 6-19 に表層エピ層の不純物濃度を変化させた際の、デバイス特性の変化を示す。チャネル濃度を上げるほど、耐圧 600 V を確保できる最大のソース幅における電流密度(図中の Max)は増大しており、従来条件の 2 倍以上になっていることがわかる。ただし、チャネル高濃度化による弊害も見て取れる。それは、電流密度のソース幅依存性が非常に大きい点である。これは、チャネル高濃度化により、耐圧を確保できるソース幅が狭いほうにシフトしているため、ソース幅の変動に敏感になってしまったためである。仮に、加工等によるソース幅のばらつきを  $\pm 0.05 \mu\text{m}$  であると仮定し、設計値から  $0.05 \mu\text{m}$  狭くなってしまった場合の電流密度(図中の Min.)を比較すると、チャネル濃度が高くなるほど小さくなってしまふ。すなわち、チャネルの高濃度化は電流密度向上に効果的ではあるが、実現にはかなりシビアな加工精度が要求されることになる。

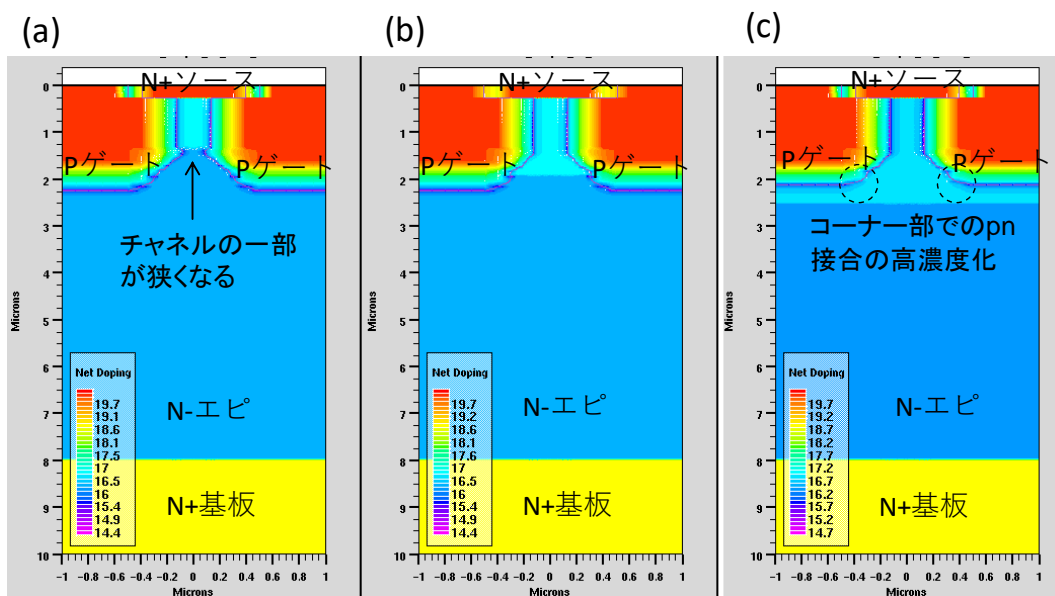


図 6-17 2層エピを用いた JFET の構造

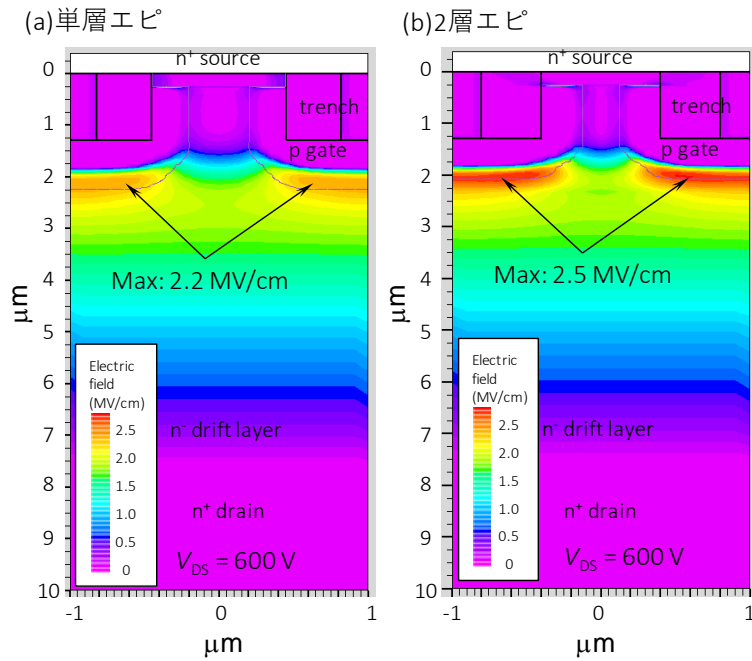


図 6-18 ドレインバイアス時の電界分布

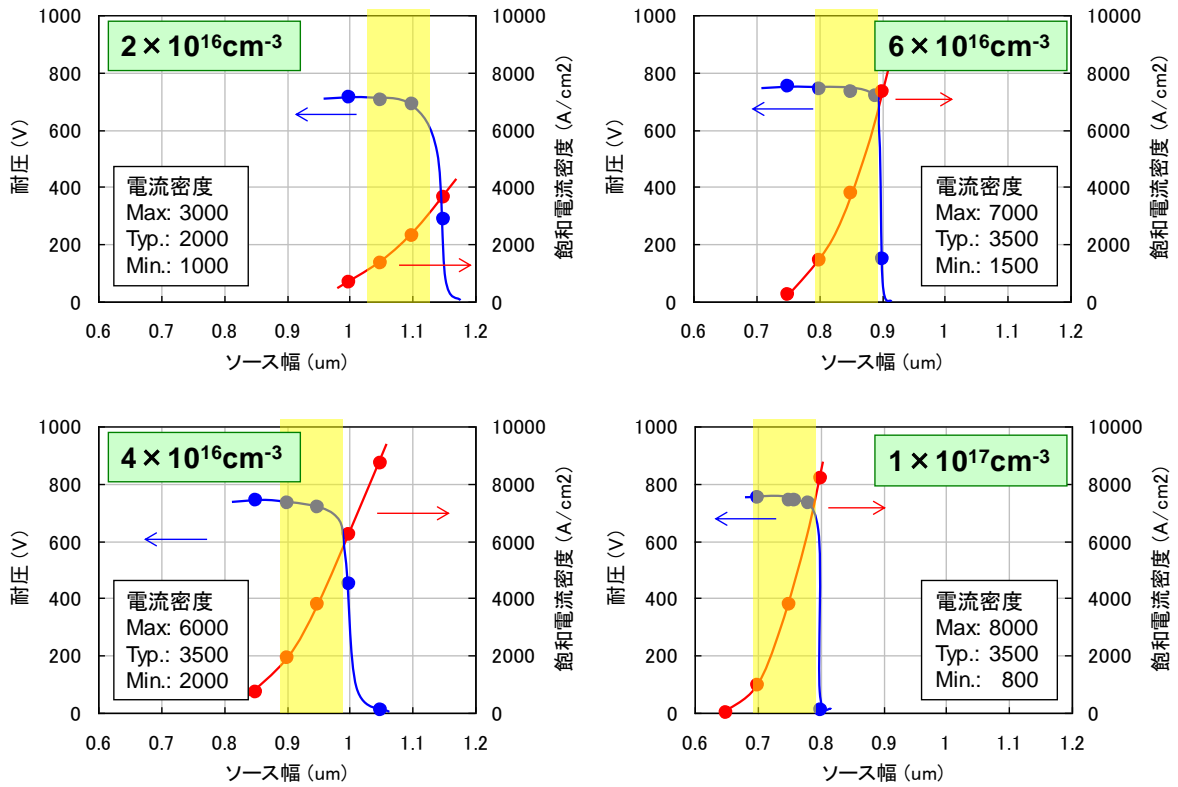


図 6-19 表層エピ濃度と JFET 特性の関係

### (iii) カウンター注入を用いたチャンネルドーピング

2層エピによるチャンネルドーピングはロバスト性に課題があることが分かった。次に、チャンネルに均一ではなく局所的にドーピングする手法を考案した。図 6-20 はカウンター注入を用いたチャンネルドーピングの特徴を示した図である。トレンチ型 JFET のゲート P+領域はトレンチ底部の垂直イオン注入により形成する領域とトレンチ側壁部の斜めイオン注入により形成する領域に分けられる。このうちチャンネル特性に影響のあるトレンチ側壁部のみに N 型のカウンター注入を実施することがポイントである。トレンチ底部にまでカウンター注入を実施してしまうと前に述べた通りトレンチ底部で電界が高くなり耐圧が低下してしまう。トレンチ側壁へのカウンター注入は P+の注入と同じ角度で実施することでチャンネル長方向に均一にかつチャンネル幅方向には局所的に注入を行うことが可能になる。

図 6-21 にカウンター注入の JFET 特性への影響を示す。カウンタードーピングをすることにより、チャンネルポテンシャルの低下を抑制でき、大幅に電流密度が改善しているのがわかる。また、2層エピと異なりソース幅のばらつきによる電流密度のばらつきも小さく抑えられているのも大きな特徴である。これは、カウンター注入ではゲート P+近傍のみにドーピングを実施しているためチャンネル中央部の不純物濃度はほとんど変わっていない。そのため2層エピに比べチャンネル領域の空乏化が緩やかに進むことから、ソース幅の依存性が小さいものと考えられる。このように、カウンター注入を実施することで加工寸法に対するロバスト性を確保しつつ耐圧と電流密度のトレードオフを大幅に改善できることを明らかにした。

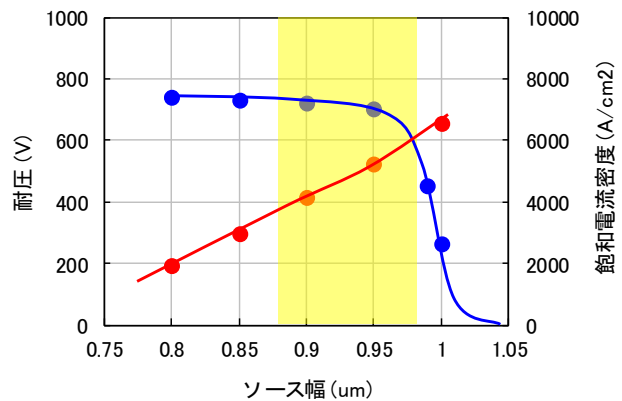
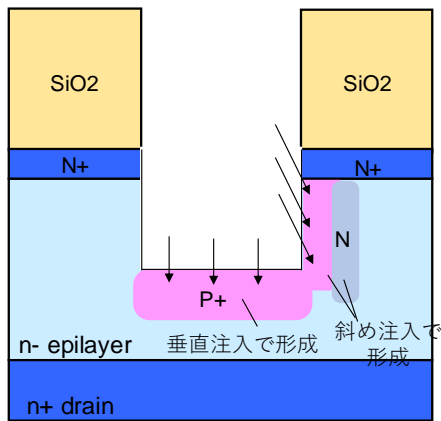


図 6-20 カウンター注入の特徴

図 6-21 カウンター注入の JFET 特性への影響

### 6.3.4 試作結果

図 6-22 に試作したトレンチ型 JFET の耐压波形を示す。黒のプロットがカウンター注入をトレンチ側壁のみに適用したサンプル、赤のプロットがカウンター注入をトレンチ側壁とトレンチ底部に適用したサンプルである。シミュレーションでも確認した通り、トレンチ底部にカウンター注入を実施するとトレンチ底部で電界が集中して耐压が低下することが確認できた。従って、カウンター注入はレイアウトやマスクの工夫でトレンチ底部に入らないようにすることが重要と言える。次に、図 6-23 に  $I_d$ - $V_{ds}$  特性を示す。ゲート電圧 2.5 V において室温でのオン抵抗  $2.8 \text{ m}\Omega \text{ cm}^2$ 、 $125^\circ\text{C}$  でも  $3.9 \text{ m}\Omega \text{ cm}^2$  が達成できた。これはカウンター注入無しに比べ約 40%低い値であり、開発した 2008 年当時においては MOSFET も含めて世界最高クラスの性能である。

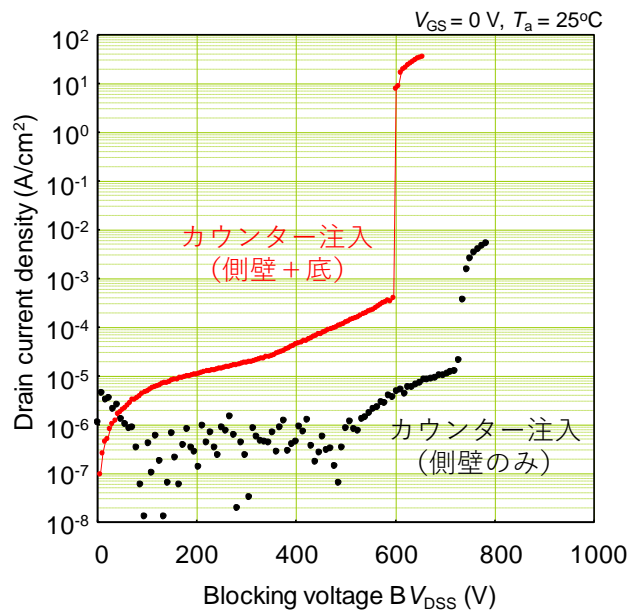


図 6-22 試作した JFET の耐压特性

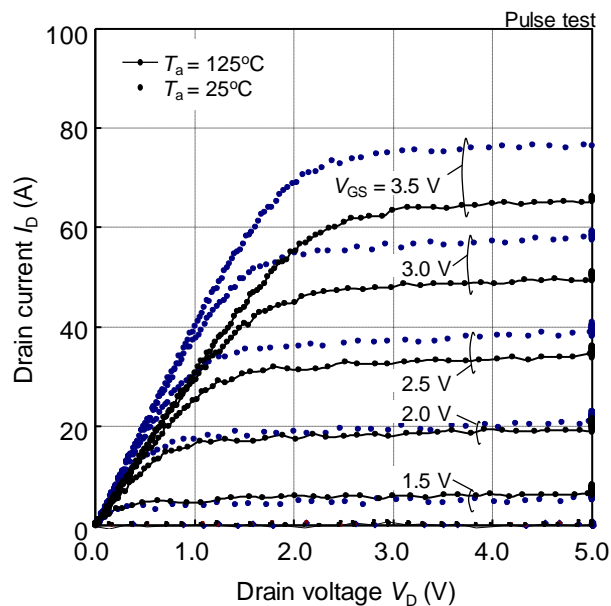


図 6-23 試作した JFET の  $I_d$ - $V_{ds}$  特性

### 6.3.5 SBD 内蔵 MOSFET の JBS 設計指針

ここまでトレンチ型 JFET のチャンネル部の設計指針について述べてきた。特に重要なのは以下の4つである。

- ① トレンチ(チャンネル長)は深いほど電界緩和と低抵抗を両立しやすい。
- ② チャンネルドーピングは電界緩和と低抵抗の両立に有効。ただし、チャンネルドーピングの領域が浅すぎると電流経路が狭窄され抵抗が増大。チャンネルドーピングが深すぎるとトレンチ底部で電界が集中し耐圧が低下する。チャンネルドーピングの端部はチャンネル幅が広がる領域に置くとよい。
- ③ チャンネルドーピングを2層エピにより均一に実施すると、電界緩和と低抵抗化には有効であるもののソース幅に対する感度が高くなり加工精度やロバスト性に課題が残る。
- ④ チャンネルドーピングをカウンター注入により局所的に実施するとロバスト性を確保しつつ電界緩和と低抵抗化が実現できる。

これらを SBD 内蔵 MOSFET の JBS 設計指針に落としてみると、①はトレンチ JBS により実現できるが、SBD 内蔵 MOSFET は構造上トレンチを形成することは困難であり適用は難しい。②③の均一なチャンネルドーピングは、SBD 内蔵 MOSFET の場合 P 層がそれほど深くないため JBS ドーピング自体もイオン注入で可能である。実際、本研究で試作した SBD 内蔵 MOSFET もイオン注入による均一な JBS ドーピングは実施している。ただし、②であるようにドーピングの深さが浅かったため特にドーピングを濃くした際に低抵抗化の効果が小さくなったものと考えられる。これを対策した構造としては例えば図 6-24 のような構造が挙げられる。JFET のようにトレンチ側壁と底部を別々に形成するとチャンネル出口でチャンネル幅が広がる構造となるため均一なチャンネルドーピングがやりやすいが、SBD 内蔵 MOSFET の場合、JBS を形成する PB 領域は一括で形成するためチャンネル出口でチャンネル幅が広がる構造にはできない。そこで図 6-24 の構造は PB 領域を2段にすることでチャンネル幅を2段間にしている。これにより JBS ドーピングをチャンネル幅が広い領域まで延ばすことで電界集中を起さずことなく低抵抗化が可能となる。2段の PB 構造の作り方は斜め注入やイオン注入マスクの寸法調整により実現できるが、P+領域をうまく活用する方法も考えられる。もうひとつは④の局所的なドーピングである。PN 接合付近の局所的なドーピングはロバスト性を確保できるだけでなく接合を急峻化できることもあり理想的にはこちらが望ましいと考えられる。ただし、SBD 内蔵 MOSFET への適用と考えると、トレンチ形成と斜めイオン注入という手段が使えないため、実現手段が大きな課題と言える。例えば、PB のイオン注入のマスクを用いて斜めイオン注入で JBS 領域にドーピングすることは可能ではあるが、制御は非常に難しい。今後、詳細なプロセス含めて検討が必要である。

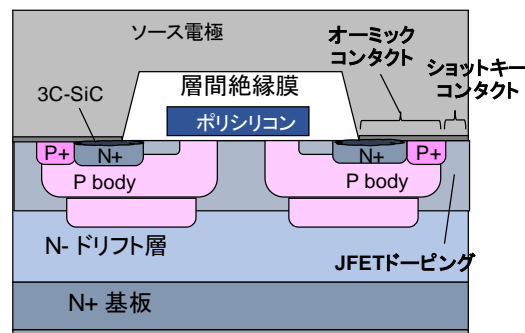


図 6-24 電界緩和と低抵抗を両立する SBD 内蔵 MOSFET の構造案

## 6.4 6章のまとめ

本章では、試作した SBD 内蔵 MOSFET の残課題である SBD 内蔵によるオン抵抗増大をリカバーするためのチャネル移動度向上に関する検討と、ボディダイオードが導通しない電流域を拡大するための JBS 構造の設計指針について述べた。チャネル移動度に関しては、閾値電圧を上げるためのゲート電極、ゲート酸化膜とチャネル領域の低濃度化が移動度向上に効果的であることを示した。また、熱酸化の昇降温時の雰囲気制御により価電子帯から深い領域の界面準位密度が低減しサブスレッショルド特性が向上することも示した。これらにより、SBD 内蔵 MOSFET のさらなる低オン抵抗化が期待される。JBS 構造の設計については、過去に検討したトレンチ型 JFET の設計指針から JBS の設計指針を出した。ひとつは、チャネルドーピングの深さを決める際は電流経路の狭窄と PN 接合電界の増大による耐圧低下に注意する必要があることを示した。また、PN 接合近傍に局所的にカウンター注入することでロバスト性を損なうことなく電界緩和に効果的であることを明らかにした。今後はこれらを SBD 内蔵 MOSFET の試作に適用し実証していく予定である。

## 参考文献

- [1] G. Y. Chung, C. C. Tin, J. R. Williams, K. McDonald, R. K. Chanana, Robert A. Weller, *IEEE Electron Dev. Lett.* **22**, 176 (2001).
- [2] T. Kimoto, Y. Kanzaki, M. Noborio, H. Kawano, and H. Matsunami, *Jpn. J. Appl. Phys.* **44**, 1213 (2005).
- [3] K. Fujihira, Y. Tarui, M. Imaizumi, K. Ohtsuka, T. Takami, T. Shiramizu, K. Kawase, J. Tanimura, and T. Ozeki, *Solid State Electronics* **49**, 896 (2005).
- [4] A. Suzuki, H. Okumura, T. Kimoto, T. Fuyuki, K. Fukuda, and S. Nishizawa, *Mater. Sci. Forum* **600**, 691 (2008).
- [5] D. Okamoto, H. Yano, K. Hirata, T. Hatayama, and T. Fuyuki, *IEEE Electron Dev. Lett.* **31**, 710 (2010).
- [6] G. Liu, A. C. Ahyi, Y. Xu, T. I. Smith, Y. K. Sharma, J. R. Williams, L. C. Feldman, and S. Dhar, *IEEE Electron Dev. Lett.* **34**, 181 (2013).
- [7] D. Okamoto, M. Sometani, S. Harada, R. Kosugi, Y. Yonezawa, and H. Yano, *IEEE Electron Dev. Lett.* **35**, 1176 (2014).
- [8] M. Cabello, V. Soler, J. Montserrat, J. Rebollo, J. M. Rafi, and P. Godignon, *Appl. Phys. Lett.* **111**, 042104 (2017).
- [9] D. J. Lichtenwalner, L. Cheng, S. Dhar, A. Agarwal, and J. W. Palmour, *Appl. Phys. Lett.* **105**, 182107 (2014).
- [10] R. H. Kikuchi, and K. Kita, *Appl. Phys. Lett.* **104**, 052106 (2014).
- [11] R. H. Kikuchi, and K. Kita, *Appl. Phys. Lett.* **105**, 032106 (2015).
- [12] A. J. Lelis, D. B. Habersat, G. Lopez, J. M. McGarrity, F. B. McLean, and N. Goldsman, *Mater. Sci. Forum* 527-529, 1317 (2006).
- [13] H. Shimizu, Y. Onose, T. Someya, H. Onose, and N. Yokoyama, *Mater. Sci. Forum* **600**, 1059 (2008).
- [14] Web [<http://www.silvaco.com>].



## 7. まとめ

### 7.1 結論

本研究では、低コストで高信頼な SiC-MOSFET 実現のため、シンプルな構造でオン抵抗を増加させることなく（コストを増加させることなく）通電劣化を抑制できる SBD 内蔵 MOSFET のデバイス構造およびプロセスを検討した。

2 章では、本研究の対象とする新たなコンタクト形成プロセスを適用した SBD 内蔵 MOSFET のコンセプトについて説明した。本研究では、オーミックコンタクトとショットキーコンタクトを同一コンタクトホール、同一金属で形成することを特徴としており、これによりセルピッチの縮小とオン抵抗の低減が期待できる。また、従来の SBD 内蔵 MOSFET は主にボディダイオードの通電の有無にフォーカスしており、コンタクトプロセスやコンタクトの信頼性に言及したものはほとんどなかったが、本研究ではそこに着目したというのもポイントのひとつである。

3 章では本研究のキーププロセスであるオーミック、ショットキーコンタクト同時形成プロセスについて説明した。N+領域表面の 3C-SiC 再結晶化、ドライエッチングによるコンタクト開口、Ti 堆積と熱処理による電極形成の組み合わせにより、低抵抗、高信頼で微細コンタクト構造にも適用可能なオーミック、ショットキーコンタクト同時形成が可能であることを見出した。本研究では Ti ベースの電極を用いることで n 値が 1 に近い理想的なショットキーコンタクトが実現できている。また、オーミックコンタクトに関しても N+領域表面の 3C-SiC 化によりコンタクトのメカニズムが未だ解明されていない Ni シリサイドを用いることなく低抵抗なオーミックコンタクトが実現可能であることを示した。熱的安定性に関しても、Ni シリサイドでは 400°C の高温放置で特性変動及び界面の構造変化が見られたのに対し、本研究の Ti ベースのコンタクトでは 400°C でも電氣的、物理的に安定であることを示した。

4 章では新たなコンタクトプロセスを MOSFET に適用した際の課題と対策について説明した。ゲート酸化膜信頼性への影響としては、ゲートリーク電流が約 1 桁増加した。原因としては、3C-SiC 表面のラフネスによる電界集中または酸化膜中のトラップを介したトンネルが考えられ、対策としてエクステンション構造により 3C-SiC 領域をゲート酸化膜から離すことで改善することが確認できた。MOSFET の出力特性への影響としては、短チャネルの MOS において移動度が劣化する現象を確認した。原因としては、3C-SiC 端部から延びる欠陥にたまったチャージによるクーロン散乱が考えられ、こちらもエクステンション構造により改善可能であることを確認した。

5 章ではこれらの検討結果をもとに SBD 内蔵 MOSFET を試作した結果について示した。オーミック、ショットキーコンタクト同時形成技術により、SBD を内蔵することによるオン抵抗の増大を約 10% に抑えられることを実証した。また、試作した SBD 内蔵 MOSFET は 175°C で 500 A/cm<sup>2</sup> 程度まではボディダイオードの導通を抑制できることがわかった。さらに、パルス通電試験により 500 A/cm<sup>2</sup> 程度までは積層欠陥が成長しないことが確認できた。以上より、本プロセスで試作した SBD 内蔵 MOSFET は比較的シンプルな構造およびプロセスにて高い信頼性と性能を両立する現実的な通電劣化対策の解であるということを示した。

6 章では試作した SBD 内蔵 MOSFET の残課題に対する取り組みについて述べた。チャネル移動度

に関しては、閾値電圧を上げるためのゲート電極、ゲート酸化膜とチャネル領域の低濃度化が移動度向上に効果的であることを示した。また、熱酸化の昇降温時の雰囲気制御により価電子帯から深い領域の界面準位密度が低減しサブスレッショルド特性が向上することも示した。これらにより、SBD 内蔵 MOSFET のさらなる低オン抵抗化が期待される。JBS 構造の設計については、過去に検討したトレンチ型 JFET の設計指針から JBS の設計指針を出した。ひとつは、チャネルドーピングの深さを決める際は電流経路の狭窄と PN 接合電界の増大による耐圧低下に注意する必要があることを示した。また、PN 接合近傍に局所的にカウンター注入することでロバスト性を損なうことなく電界緩和に効果的であることを明らかにした。今後はこれらを SBD 内蔵 MOSFET の試作に適用し実証していく予定である。

これらの研究結果は、今後の SBD 内蔵 MOSFET の実用化に向けた重要な指針になると考える。また、従来避けるべきものとして扱われてきた 3C-SiC 再結晶化という現象を正しく理解、制御することで積極的に活用することが可能であることを示したのは学術的にも意義があると考えられる。本研究の研究結果が今後のパワーデバイスならびにパワーエレクトロニクスの発展に役立てられることを期待して本論文の結びとする。

## 7.2 発表論文と学会リスト

在学中の研究業績および本論文に関連の深い研究業績を以下に示す。

### 査読付論文（主著）

- [1] Haruka Shimizu, Hiroyuki Okino, Satoru Akiyama, Kaoru Kato, Natsuki Yokoyama, and Katsumi Ishikawa: “600-V 27-m $\Omega$  normally off SiC junction field effect transistors for high-efficiency power supply” Japanese Journal of Applied Physics **53**, 031303 (2014).
- [2] Haruka Shimizu, Akio Shima, Yasuhiro Shimamoto, and Noriyuki Iwamuro: “Ohmic contact on n- and p-type ion-implanted 4H-SiC with low-temperature metallization process for SiC MOSFETs” Japanese Journal of Applied Physics **56**, 04CR15 (2017).
- [3] Haruka Shimizu, Naoki Watanabe, Takahiro Morikawa, Akio Shima, and Noriyuki Iwamuro: “1.2 kV SiC SBD embedded MOSFET s with extension structure and titanium-based single contact” Japanese Journal of Applied Physics (to be published).

### 査読付論文（共著）

- [1] Keisuke Kobayashi, Haruka Shimizu, and Akio Shima: “Dit control during heating and cooling steps of dry oxidation for reliable gate insulator in SiC MOSFETs” Japanese Journal of Applied Physics **58**, 091005 (2019).

### 国際会議（主著）

- [1] Haruka Shimizu, Hiroyuki Okino, Satoru Akiyama, Kaoru Kato, Natsuki Yokoyama, and Katsumi Ishikawa: “600-V 27-m $\Omega$  Normally-off SiC JFET for High Efficiency Power Supply” , SSDM2012, September 2012, Kyoto.
- [2] Haruka Shimizu, Akio Shima, and Yasuhiro Shimamoto: “Ohmic Contact on N-type and P-type Ion-implanted 4H-SiC with Low-temperature Silicide-less Process” , SSDM2016, September 2016, Tsukuba.

### 国内会議（共著）

- [1] 小林慶亮, 清水悠佳, 島明生: 「分圧制御酸化による SiC-DMOSFET ゲート絶縁膜の形成」第64回応用物理学会春季学術講演会 (2017 パシフィコ横浜)

### 7.3 謝辞

本論文は筑波大学 数理物質科学研究科 電子・物理工学専攻および(株)日立製作所にて実施した研究をまとめたものです。本論文を執筆するにあたり、ご丁寧なご指導を賜りました筑波大学 数理物質科学研究科 電子・物理工学専攻 岩室憲幸 教授に深く感謝いたします。また、本論文を審査いただいた筑波大学 数理物質科学研究科 電子・物理工学専攻 蓮沼 隆 准教授，矢野 裕司 准教授，産業技術総合研究所 先進パワーエレクトロニクス研究センター 原田 信介 チーム長に感謝いたします。

社会人博士コース入学にあたり、ご支援いただきました(株)日立製作所 研究開発グループ エレクトロニクス研究センタ 嶋本 泰洋 センタ長，島 明生 主管研究員，エネルギーエレクトロニクス研究部 龍崎 大介 部長に感謝いたします。学位取得に少々時間がかかってしまいましたが、温かく見守っていただきありがとうございました。

また、2016年10月から2019年3月にかけての出向期間中、業務と全く関係ないにもかかわらず大学への出張を快く許可していただいた日立オートモティブシステムズ(株)インバータ設計部 佐々木 要 部長，齋藤 隆一 主管技師，丹波 昭浩 主任技師に感謝いたします。

SiC デバイスの試作，評価には多くの方々のご協力をいただきました。特に，出向期間中，ロット管理を引き受けてくれた(株)日立製作所 研究開発グループ エレクトロニクス研究センタ エネルギーエレクトロニクス研究部 森川 貴博氏，渡辺 直樹氏，通電劣化の評価に多大なご協力をいただいた藤田 隆誠氏に感謝いたします。また，論文の最終まとめの段階で論文執筆のご指導をいただいた杉井 信之ユニットリーダーに感謝いたします。

最後に，仕事と子育てに追われながらも学位取得を後押しし献身的にサポートしてくれた妻 亜希子，仕事と論文で疲れた心身を常に癒してくれた娘たちに心から感謝いたします。

2020年2月 清水 悠佳