

数理物質科学研究科 博士論文の要約

専攻名 ナノサイエンス・ナノテクノロジー専攻
学籍番号 201730096
学生氏名 茂藤 健太
学位名 博士(工学)
指導教員 都甲 薫

博士論文題目 IV 族混晶半導体薄膜の結晶成長とトランジスタ応用に関する研究

1. 序論

電子デバイスの持続的な発展のため、Si に替わる新材料の研究が行われている。Ge は Si よりも高いキャリア移動度(電子: $3900 \text{ cm}^2/\text{Vs}$ 、正孔: $1900 \text{ cm}^2/\text{Vs}$)を持ち、従来の Si プロセスとの親和性が高いため、ポスト Si 材料として注目されている^[1]。近年、Ge-金属/酸化膜/半導体電界効果トランジスタ(MOSFET: Metal-oxide-semiconductor field-effect transistor)の移動度は、ゲートスタック等のデバイス技術の確立により、Si-MOSFET の移動度を凌駕した^[2-6]。しかしながら、Ge の狭いバンドギャップ(0.66 eV)に起因するリーク電流は避けられない課題である。リーク電流の抑制には、絶縁体上 Ge(GOI: Ge-on-insulator)薄膜構造が有効である。これまで、貼り合わせ^[7]や酸化濃縮^[8]、熔融成長^[9]、等の手法により、GOI 構造が得られてきた。これにより、リーク電流を抑制し、Ge-MOSFET の高いポテンシャルが実証された。しかしながら、単結晶基板や高温プロセス($> 500 \text{ }^\circ\text{C}$)が必要であり、応用は限られている。

そこで、多結晶 Ge を絶縁体上に低温合成($< 500 \text{ }^\circ\text{C}$)し、薄膜トランジスタ(TFT: Thin film transistor)を作製する研究が活発化している。この技術が確立すれば、Si 集積回路上への 3 次元積層やフラットパネルディスプレイへのモノリシック集積等、幅広い応用が期待される。Ge-TFT は、フラッシュランプアニール^[10]や固相成長^[11,12]、レーザーアニール^[13]、金属誘起成長^[14]等により得られる多結晶 Ge により作製されてきた。一般に、多結晶 Ge は欠陥誘起アクセプタにより正孔密度が高く、粒界散乱により Hall 効果移動度が低い欠点がある。チャネルの微細化($< 1 \mu\text{m}$)やマルチゲート構造により、リーク電流や MOSFET 移動度を改善できるものの、多結晶 Ge 膜の品質が性能を律速しているのが現状である。本研究では、「固相成長法の高度化」および「Ge 中への Sn 添加」を検討することで、従来最高品質となる多結晶 Ge 薄膜の低温形成に成功すると共に、優れた TFT 動作を実証した。

2. Ge 薄膜の固相成長に及ぼす前駆体加熱堆積効果

絶縁体上における非晶質 Ge 薄膜の結晶化手法として、固相成長法がある。本手法では、非晶質膜を堆積し、熱処理を施すことで多結晶膜を得る。プロセスがシンプルかつ低温($< 500 \text{ }^\circ\text{C}$)でありながら、平坦な表面が得られるとの特徴を持つ。しかしながら、これまでに得られてきた固相成長 Ge 薄膜の結晶粒径は非常に小さく($< 1 \mu\text{m}$)、膜中を伝導するキャリアは粒界における散乱の影響を強く受け、移動度は $140 \text{ cm}^2/\text{Vs}$ が最高であった^[11]。すなわち、多結晶 Ge において、Ge の持つ高いキャリア移動度を引き出すためには、結晶粒径を拡大し、粒界散乱を低減する必要がある。そこで、固相成長の前駆体となる非晶質 Ge に着目し、前駆体の堆積温度の影響を系統的に調査した。

石英基板上に非晶質 Ge 前駆体(膜厚: 80-100 nm、堆積温度 T_d : $50\text{-}200 \text{ }^\circ\text{C}$)を分子線堆積した後、膜の密度を X 線反射率(XRR: X-ray reflectivity)測定により評価した。図 1(a)に XRR パターンから求めた Ge 膜の原子密度の T_d 依存性を示す。 T_d の上昇に伴い、原子密度は結晶 Ge の値に漸近し、 $T_d = 100 \text{ }^\circ\text{C}$ 付近で飽和した。図 1(b)のラマンスペクトルより、 $T_d = 50\text{-}150 \text{ }^\circ\text{C}$ では、 270 cm^{-1} 付近に非晶質 Ge に起因するブロードなピークが確認される。一方、 $T_d = 200 \text{ }^\circ\text{C}$ では、非晶質 Ge に起因するピークに加えて、 300

cm⁻¹ 付近に結晶 Ge に起因するシャープなピークが確認される。これは、 $T_d = 200$ °C 試料では非晶質層中に結晶核が発生していることを示唆している。以上の結果、高い T_d は非晶質 Ge を緻密化し、 $T_d > 150$ °C で非晶質 Ge 中に結晶核が発生することが判明した。

これらの Ge 前駆体に対し、N₂ 雰囲気にて熱処理 (成長温度 T_g : 375–450 °C) を施し、固相成長を誘起した。固相成長後の試料を EBSD 測定により評価し、 T_d の関数として図 2 に整理した。図 2(a)–2(c) の EBSD 像より、全ての試料において、固相成長 Ge の結晶方位はランダムであることが分かる。EBSD 像から求めた結晶粒径を図 2(d) に示す。結晶粒径は $T_d = 100$ – 125 °C で最大となった。また、 T_g の低減により大粒径化することが分かる。この傾向は、固相成長 Ge の既報と一致する^[11]。以上の結果、 $T_d = 125$ °C、 $T_g = 375$ °C の試料において、最大粒径 5 μm が得られた。

T_d により、結晶粒径が劇的に変化した要因を以下に考察する。固相成長では、核発生 → 横方向成長からなる 2 過程で多結晶膜を得るが、結晶粒径はこれらのバランスで決定される。図 1 より、Ge 前駆体の状態は T_d によって変化し、低密度な非晶質領域 ($T_d < 100$ °C)、高密度な非晶質領域 (100 °C $\leq T_d \leq 125$ °C)、核発生領域 ($T_d > 125$ °C) の 3 領域に分類できる。低密度な非晶質領域では、横方向成長に必要な Ge 原子の移動距離が長くなり、横方向成長よりも核発生が支配的となるため、小粒径化する (図 3(a))。高密度な非晶質領域では、横方向成長に必要な Ge 原子の移動距離が短くなり、核発生よりも横方向成長が支配的となるため、大粒径化する (図 3(b))。核発生領域では、Ge 堆積時に多くの核が発生しているため、小粒径化する。

Hall 効果測定 (van der Pauw 法) により、固相成長 Ge の電気的特性を評価した。全ての試料は p 型伝導を示した。これは Ge 中の欠陥がアクセプタ準位を形成し、正孔を発生させることに起因する。図 4(a) より、正孔密度は $T_d = 75$ – 100 °C 付近で最小となった。一方、正孔移動度は $T_d = 125$ °C で最高値を示し、 T_g の低減により移動度は更に向上した。 $T_d = 125$ °C、 $T_g = 375$ °C の試料において、最高の正孔移動度 340 cm²/Vs が得られた。図 4(b) より、正孔密度は結晶粒径の拡大と共に減少した。これは、結晶粒内だけでなく、粒界における欠陥からも正孔が発生していることを示唆している。一方、正孔移動度は、同じ T_d においては結晶粒径の拡大と共に増加するが、同じ結晶粒径でも、 T_d により異なる移動度を示した。例えば、 $T_d = 75$ °C 試料よ

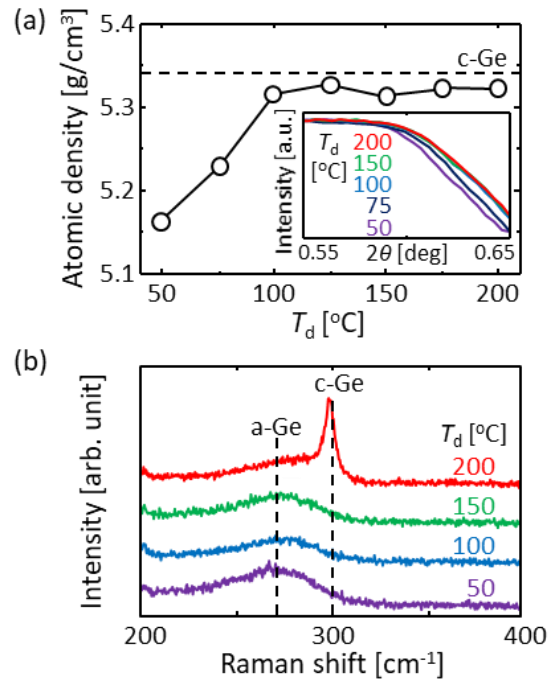


図 1 (a) Ge 前駆体の原子密度と (b) ラマンスペクトルの堆積温度 T_d 依存性

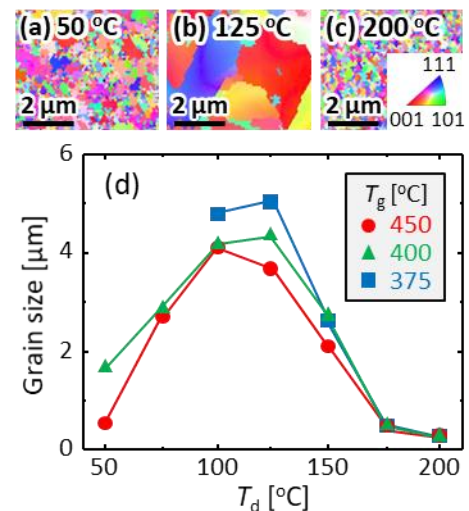


図 2 (a)–(c) EBSD 像と (d) 各成長温度 T_g における結晶粒径の堆積温度 T_d 依存性

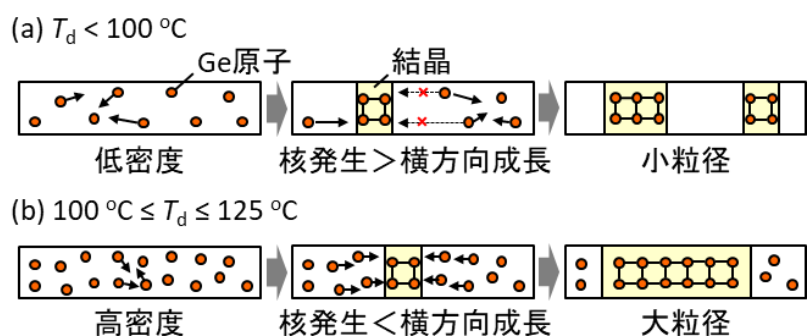


図 3 前駆体密度の異なる Ge の固相成長メカニズム

りも $T_d = 150^\circ\text{C}$ 試料の方が高い正孔移動度を示すが、結晶粒径は同程度である。これは、結晶粒径以外の正孔移動度を決定する要因が存在することを示唆している。

Setoらによって提案された多結晶半導体中のキャリア伝導モデルによると^[15]、粒界散乱で律速されるキャリア移動度は次式で表される。

$$\mu = \frac{Lq}{\sqrt{2\pi m^* kT}} \exp\left(-\frac{E_B}{kT}\right) \quad (1)$$

μ はキャリア移動度、 E_B は粒界におけるエネルギー障壁、 T は絶対温度、 L は結晶粒径、 m^* は有効質量、 k はボルツマン定数である。図 5(a)より、 $\mu T^{1/2}$ のアレニウスプロットは全ての試料で負の傾きを持つ直線となった。これは、固相成長 Ge 中のキャリア伝導が粒界散乱で制限されていることを示している。 $\mu T^{1/2}$ の傾きから求めた粒界障壁 E_B を T_d 依存性として図 5(b)に示す。 $T_d = 125^\circ\text{C}$ において E_B は最小値 (6.4 meV) を示す。また、粒界におけるトラップ準位密度 Q_t は、次式により求められる。

$$Q_t = \frac{\sqrt{8\varepsilon N E_B}}{q} \quad (2)$$

N はキャリア密度、 ε は誘電率、 q は電子の電荷である。図 5(b)より、 Q_t は T_d に依存し、 $T_d = 125^\circ\text{C}$ において Q_t は最小値 ($4.4 \times 10^{11} \text{ cm}^{-2}$) を示した。以上、適切な T_d (125°C) での加熱堆積により、結晶粒径 L の拡大、およびトラップ密度 Q_t の低減による粒界障壁 E_B の低減を促し、正孔移動度の向上 ($340 \text{ cm}^2/\text{Vs}$) に成功した^[16]。

3. Ge 薄膜の固相成長に及ぼす Sn 添加効果

Ge に Sn を添加した GeSn 混晶薄膜は、高置換 Sn 組成 (> 6%) においてバンド構造が直接遷移化し^[17]、Ge を超える高いキャリア移動度を示すことから、近年注目されている^[18,19]。高速 TFT 応用に向け、多結晶 GeSn 薄膜を絶縁体上に直接形成する研究が行われてきたが、Ge 中の低い Sn 固溶度 (< 2%)^[20] に起因し、高い置換 Sn 組成と結晶性の両立は困難とされてきた。一方、これらの研究の中で、微量の Sn (< 3%) を非晶質 Ge に添加することで、成長後の多結晶 GeSn の結晶性と電気的特性が向上することが明らかになった。具体的には、成長温度の低減^[21]、結晶粒径の拡大^[22]、欠陥誘起アクセプタ低減^[21,22] の効果をもたらす。特に、Sn

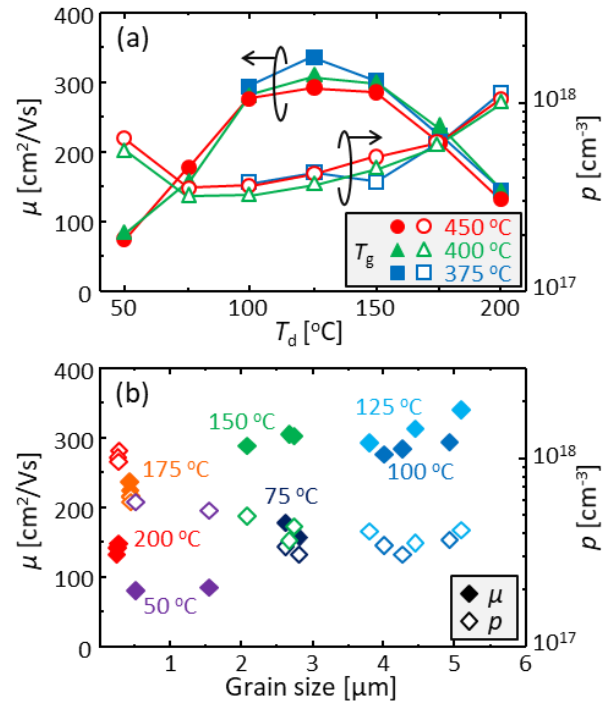


図 4 電気的特性の(a)堆積温度 T_d と(b)結晶粒径依存性

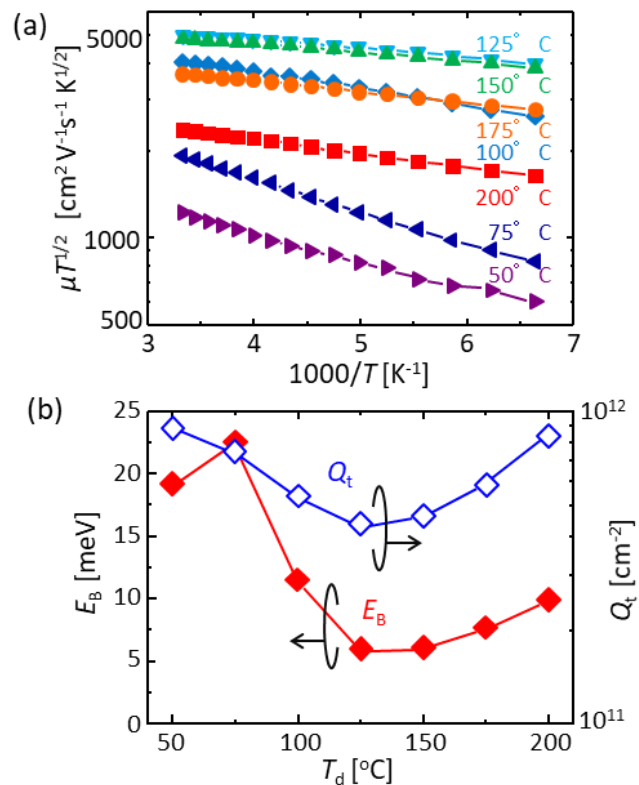


図 5 (a) $\mu T^{1/2}$ のアレニウスプロット、(b) 粒界障壁 E_B とトラップ準位密度 Q_t の堆積温度 T_d 依存性 ($T_g = 450^\circ\text{C}$)

は、成長温度の低減^[21]、結晶粒径の拡大^[22]、欠陥誘起アクセプタ低減^[21,22] の効果をもたらす。特に、Sn

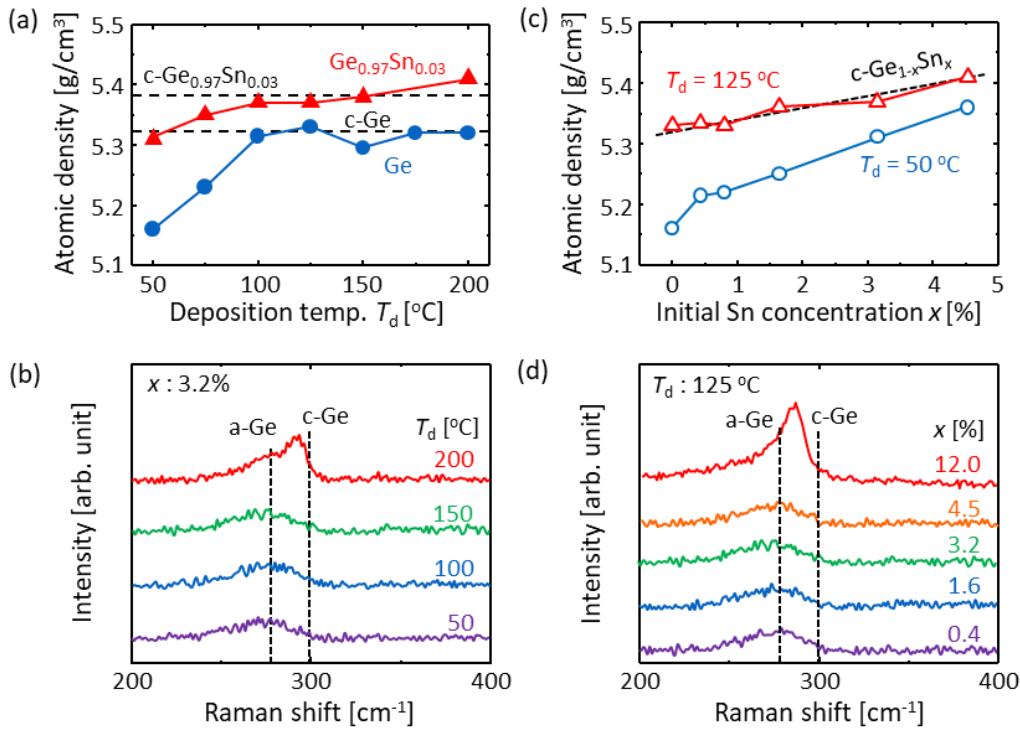


図 6 (a) Ge および Ge_{0.97}Sn_{0.03} ($x = 3.2\%$) 前駆体の原子密度の堆積温度 T_d 依存性
 (b) $x = 3.2\%$ におけるラマンスペクトルの T_d 依存性
 (c) $T_d = 50$ °C および 125 °C における GeSn 前駆体の原子密度の Sn 組成 x 依存性
 (d) $T_d = 125$ °C におけるラマンスペクトルの x 依存性

添加した非晶質 Ge 前駆体を用いた固相成長では、竹内ら (130 cm²/Vs^[21]) および佐道ら (320 cm²/Vs^[22]) が正孔移動度の向上を報告している。しかし、前章で形成した固相成長 Ge の移動度 (340 cm²/Vs) には劣る。これは、Sn 添加のベースとなる Ge が低品質であることに起因する。そこで、前章で確立した加熱堆積による固相成長 Ge の高品質化の手法に Sn 添加を重畳することを検討した。

まず、膜厚を 100 nm 一定とし、 T_d と Sn 組成 x の影響を調査した。Sn 組成の定量にはラザフォード後方散乱回折法を用いた。図 6(a) より、Ge および Ge_{0.97}Sn_{0.03} ($x = 3.2\%$) 前駆体の密度は、 T_d と共に増加し、結晶の密度に漸近することが分かる。また、Ge_{0.97}Sn_{0.03} 試料では低い T_d (< 100 °C) においても結晶に近い密度を示した。図 6(b) のラマンスペクトルより、 $T_d = 50$ –150 °C では、270 cm⁻¹ 付近に非晶質 Ge に起因するブロードなピークが確認された。一方、 $T_d = 200$ °C では、非晶質 Ge に起因するピークに加えて、300 cm⁻¹ 付近に結晶 Ge に起因するシャープなピークが確認された。図 6(c) より、 $T_d = 50$ °C および 125 °C の前駆体の密度は Sn 組成の増加と共に上昇した。 $T_d = 125$ °C では、Sn 組成全域 ($0 \leq x < 0.05$) において $T_d = 50$ °C の前駆体密度を上回り、結晶 GeSn と同等の密度を示した。図 6(d) に $T_d = 125$ °C におけるラマンスペクトルの x 依存性を示す。 $x = 0.4\%$ – 4.5% では非晶質 Ge のピークが確認され、 $x = 12\%$ では結晶 Ge と非晶質 Ge の両方のピークが確認された。

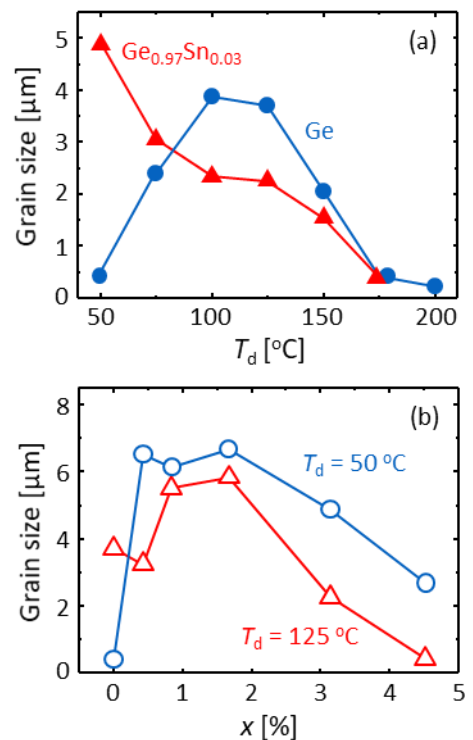


図 7 (a) Ge および Ge_{0.97}Sn_{0.03} の結晶粒径の堆積温度 T_d 依存性、
 (b) $T_d = 50$ °C および 125 °C における Ge_{1-x}Sn_x の結晶粒径の Sn 組成 x 依存性 ($T_g = 450$ °C)

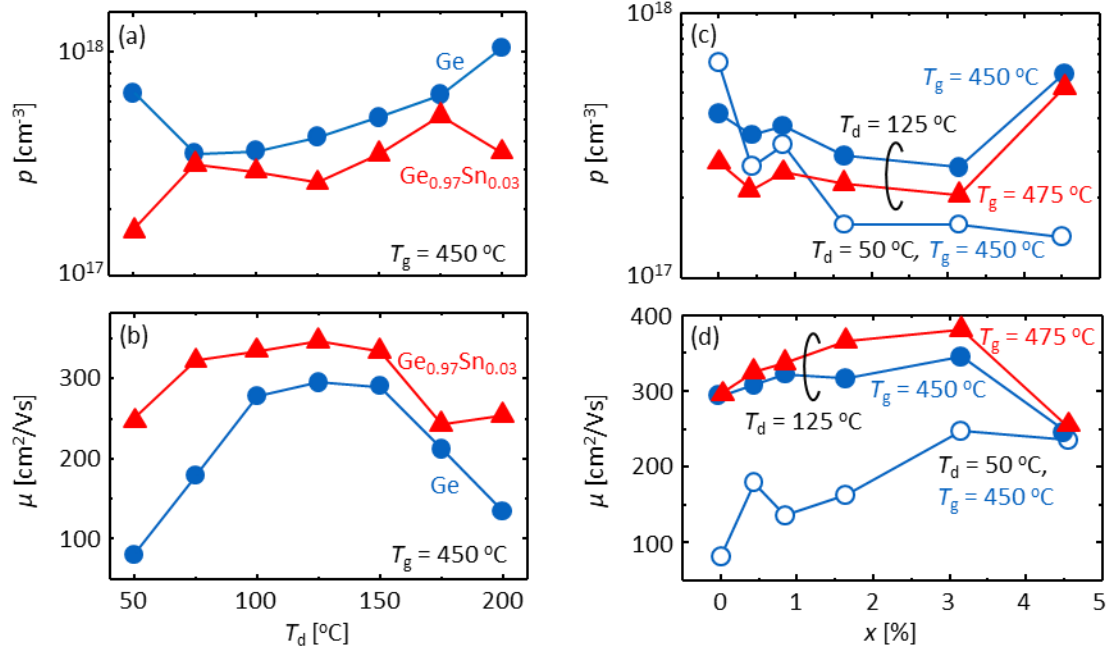


図 8 電気的特性の(a)、(b)堆積温度 T_d 依存性および(c)、(d)Sn 組成 x 依存性

以上、Sn 組成 x と堆積温度 T_d の両方が前駆体の密度と結晶性に大きな影響を与えることが判明した。

$T_g = 450$ °C で固相成長した GeSn を EBSD 測定し、結晶粒径を算出した。図 7(a)より、pure Ge では $T_d = 125$ °C 付近で結晶粒径が最大となる一方、 $\text{Ge}_{0.97}\text{Sn}_{0.03}$ では T_d の上昇に伴い、結晶粒径は縮小した。これは、加熱堆積時の Sn 析出に伴う核発生頻度の増加を示唆している。また、 $\text{Ge}_{0.97}\text{Sn}_{0.03}$ 試料では非加熱 ($T_d = 50$ °C) でも、Sn 添加により緻密化していることを反映し、Ge よりも粒径が拡大した。図 7(b)より、 $T_d = 50$ °C および 125 °C の両方で結晶粒径は Sn 添加により拡大し、 $x = 1.6\%$ 付近で最大となる。以上の結果、最大で $7\ \mu\text{m}$ の粒径が得られた。

これらの電気的特性を Hall 効果測定により評価した。GeSn においても pure Ge と同様に欠陥誘起アクセプタによる p 型伝導が確認された。図 8(a)および 8(b)より、 T_d 全域で $\text{Ge}_{0.97}\text{Sn}_{0.03}$ 試料は pure Ge よりも低い正孔密度および高い正孔移動度を示した。図 8(c)より、 $T_d = 125$ °C、 $x = 4.5\%$ の試料を除いて Sn 添加で正孔密度が低減していることが分かる。 $T_g = 450$ °C、 $x > 0$ において、 $T_d = 50$ °C 試料は $T_d = 125$ °C 試料よりも低い正孔密度を示した。 $T_d = 50$ °C、 $x = 4.5\%$ 試料において、最低の正孔密度 $1.4 \times 10^{17}\ \text{cm}^{-3}$ が得られた。これは多結晶 Ge (Sn) 薄膜の中で最低の正孔密度である。 $T_d = 125$ °C において、高い T_g により正孔密度が低減した。図 8(d)より、全ての試料において、正孔移動度は Sn 添加により上昇し、 $x = 3.2\%$ で最高値を示した。 $T_d = 125$ °C、 $x = 4.5\%$ で正孔密度が上昇し、正孔移動度が低下したのは、顕著な Sn 析出により小粒径化したことに起因する[図 7(b)]。以上の結果、 $T_d = 125$ °C、 $x = 3.2\%$ 、 $T_g = 475$ °C の試料において、移動度は $380\ \text{cm}^2/\text{Vs}$ まで上昇した。 $\mu T^{1/2}$ のアレニウスプロットの傾きから、(1)式、(2)式を用いて粒界障壁 E_B およびトラップ密度 Q_t を求め、図 9 に x の関数として整理した。Sn 添加により、 $E_B(Q_t)$ は減少し、 $x = 3.2\%$ で最小となった。これは Sn による粒界パッシベーションを示唆している^[23]。

更なる高移動度化に向け、 $T_d = 125$ °C 一定として、前駆体膜厚 t および成長温度を変調した実験を行った。図 10(a)より、EBSD 像から求めた結晶粒径は、Sn 組成と膜厚の両方に最適値が存在することが分かる。また、図 10(b)に

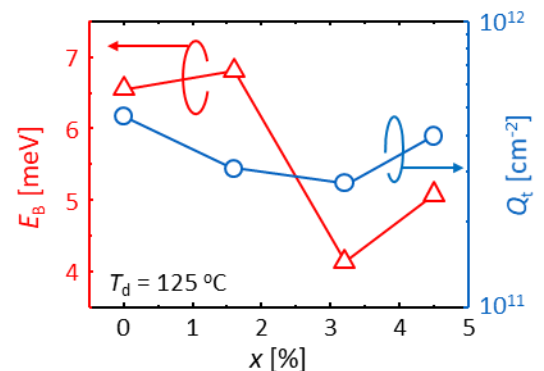


図 9 粒界障壁 E_B とトラップ準位密度 Q_t の Sn 組成 x 依存性 ($T_g = 475$ °C)

示すように、 $T_g = 375^\circ\text{C}$ 試料は $T_g = 475^\circ\text{C}$ よりも大粒径となった。図 10(a)および 10(b)より、 x の変化に着目すると、 $T_g = 475^\circ\text{C}$ と 375°C の両方で結晶粒径は、 $0.8 \leq x < 1.6\%$ 付近で最大となることが分かる。一方、膜厚の変化に着目すると、 $T_g = 475^\circ\text{C}$ と 375°C の両方において、 $t = 75\text{ nm}$ で最大粒径を示す。この膜厚に対する傾向は、Ge 前駆体の原子密度と Ge 膜中の歪のバランスを反映していると考えられる。 $t > 40\text{ nm}$ の時、加熱堆積により前駆体が緻密化する一方、 $t \leq 40\text{ nm}$ の時、前駆体密度は低いままである。前駆体が緻密化する $t > 40\text{ nm}$ では、横方向成長促進により、結晶粒径が拡大する。固相成長では、Ge 薄膜表面と Ge/SiO₂ 界面で結晶核が発生する。薄い膜では基板との熱膨張係数差に起因した歪が印可され、この歪が核発生を抑制する^[24]。膜厚増加と共に、この歪が緩和され、表面側での核発生が起こりやすくなり、小粒径化すると考えられる。これらの現象のバランスにより、 $t = 75\text{ nm}$ において最大粒径となった。

Hall 効果測定を用いて、固相成長 GeSn 層の電気的特性を評価した。まず、PA 前の試料について議論する。図 11(a)–11(d)より、適量の Sn ($x < 2\%$) を添加することで、正孔密度 p が減少すると共に、正孔移動度 μ が向上することが分かる。これは、Sn 添加による結晶粒径の拡大、すなわち、粒界散乱の低減を反映している[図 10]。 $T_g = 475^\circ\text{C}$ および 375°C の両方で、結晶粒径[図 10]と GeSn/SiO₂ 界面における散乱のバランスを反映し、 $t = 150\text{ nm}$ において μ は最高値に達した。 $T_g = 475^\circ\text{C}$ 試料は $T_g = 375^\circ\text{C}$ 試料と比較して、小粒径であるにもかかわらず、高い μ を示した[図 11(c)、11(d)]。この現象は、 $T_g = 475^\circ\text{C}$ 試料の方が低い p を持ち、不純物散乱が低減されたことに起因する。したがって、低い T_g は大粒径化をもたらす一方で、多くの欠陥(アクセプタ)を生み出すことが分かる。

最高の μ を示した $t = 150\text{ nm}$ の試料に対して、空孔欠陥低減による p の低減とそれに伴う μ の向上を目的として、 500°C でポストアニール(PA: Post annealing)を行った。その結果、全 x 領域において、電気的特性の変化が見られた。PA の効果を定量化するために、 p 低減率 R_p と μ 向上率 R_μ をそれぞれ次のように定義した。

$$R_p = \frac{p_{\text{before}} - p_{\text{after}}}{p_{\text{before}}} \quad (3)$$

$$R_\mu = \frac{\mu_{\text{after}} - \mu_{\text{before}}}{\mu_{\text{before}}} \quad (4)$$

添え字はそれぞれ PA 前および PA 後の値であることを示す。図 12 (a)より、 $T_g = 475^\circ\text{C}$ および 375°C の両方で PA により、 p は同程度 ($3 \times 10^{17}\text{ cm}^{-3}$) まで低減された。 $T_g = 375^\circ\text{C}$ における R_p は $T_g = 475^\circ\text{C}$ に比べて 2 倍高い値を示した。この結果は、PA による Ge 原子のマイグレーションに伴い、欠陥(アクセプタ)が補償され、この現象が $T_g = 375^\circ\text{C}$ 試料の方が顕著であることを示している。図 12 (b)より、 $T_g = 475^\circ\text{C}$ および 375°C の両方で PA により、 μ は大幅に向上した。これは p の低減に伴う不純物散乱の低減に起因する。 $T_g = 375^\circ\text{C}$ における R_μ もまた、 $T_g = 475^\circ\text{C}$ に比べて 2 倍高い値を示し、 T_g と μ の大小関係は逆転した。以上、低い T_g による大粒径化と高温 PA による p の低減を重畳することで μ は劇的に向上した。 $x =$

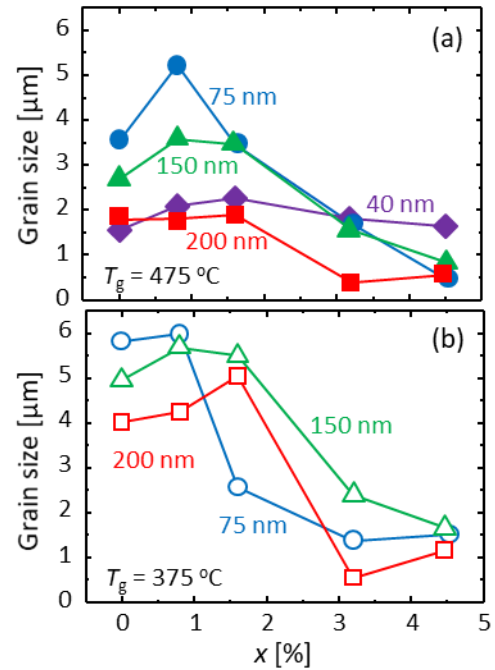


図 10 (a) $T_g = 475^\circ\text{C}$ および (b) $T_g = 375^\circ\text{C}$ における結晶粒径の Sn 組成 x 依存性

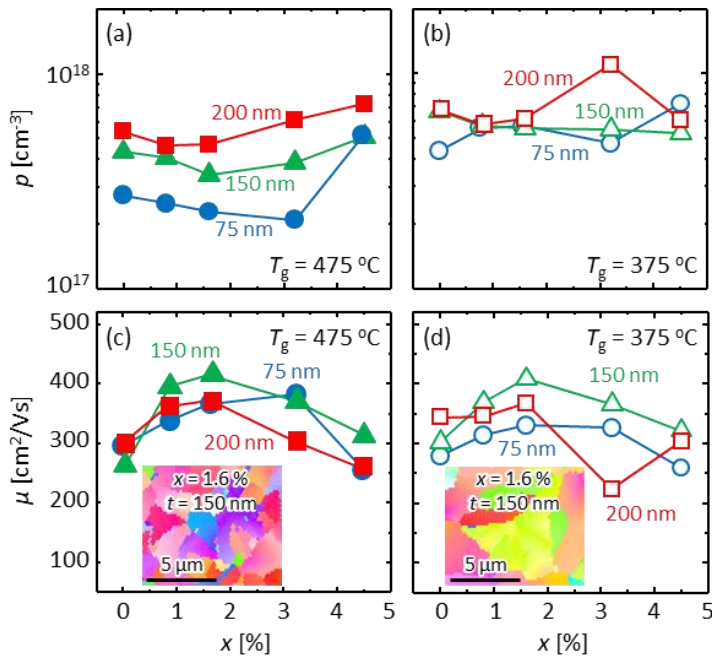


図 11 各膜厚 t における(a)、(b)正孔密度 p および (c)、(d)正孔移動度 μ の Sn 組成 x 依存性

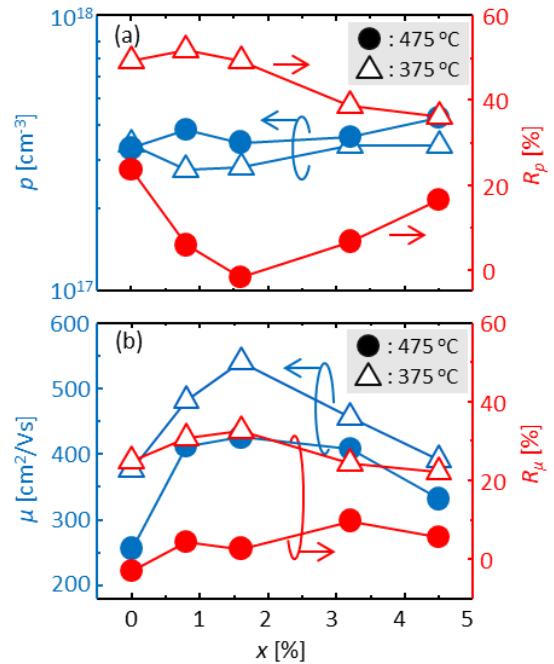


図 12 膜厚 $t = 150 \text{ nm}$ 試料のポストアニーリング後の(a)正孔密度 p 、(b) p 低減率 R_p 、(c)正孔移動度 μ 、(d) μ 向上率 R_μ の Sn 組成 x 依存性

1.6%、 $t = 150 \text{ nm}$ 、 $T_g = 375 \text{ °C}$ 、PA 後の試料において、 μ は最高で $540 \text{ cm}^2/\text{Vs}$ に達した。この値は、ガラス上に直接、低温合成 ($< 937 \text{ °C}$) したあらゆる薄膜の中で最高の正孔移動度である^[25]。

4. 固相成長 Ge の薄膜トランジスタ応用と Sn 添加効果

これまでに、各種キャリア散乱要因(粒界、界面、不純物)を低減することで、固相成長 Ge(Sn) 薄膜の高移動化を実現した。これらの技術をベースとし、TFT を作製する。まず、pure Ge を用いた TFT を作製し、高性能化の指針を明らかにした後、GeSn を用いた TFT へと展開する。

膜厚 t_i の異なる固相成長 Ge ($T_d = 125 \text{ °C}$ 、 $T_g = 450 \text{ °C}$) の EBSD 像を図 13(a)–13(e) に示す。 t_i によって、結晶粒径が大きく変化していることが分かる。平均粒径を EBSD 像から求めたところ、 $t_i = 100 \text{ nm}$ において最大の粒径が得られた[図 13(f)]。この t_i に対する傾向は、図 10 の固相成長 GeSn の傾向と一致する。図 13(f) および 13(g) より、大粒径な試料、すなわち、結晶粒界の少ない試料程、低い正孔密度 p を示した。正孔移動度 μ_{Hall} に関しては、 $t_i = 200 \text{ nm}$ で最大となるが、最大粒径となる $t_i = 100 \text{ nm}$ とは異なる。これは、Ge/SiO₂ 界面におけるキャリアの散乱が $t_i = 200 \text{ nm}$ 試料の方が $t_i = 100 \text{ nm}$ 試料よりも弱いことを示唆している。これらの膜厚の異なる試料(図 13)を用いて、蓄積動作のメタルソース/ドレイン(S/D)型 p チャンネル TFT を図 14 に示すプロセスで作製した。まず、ガラス上の

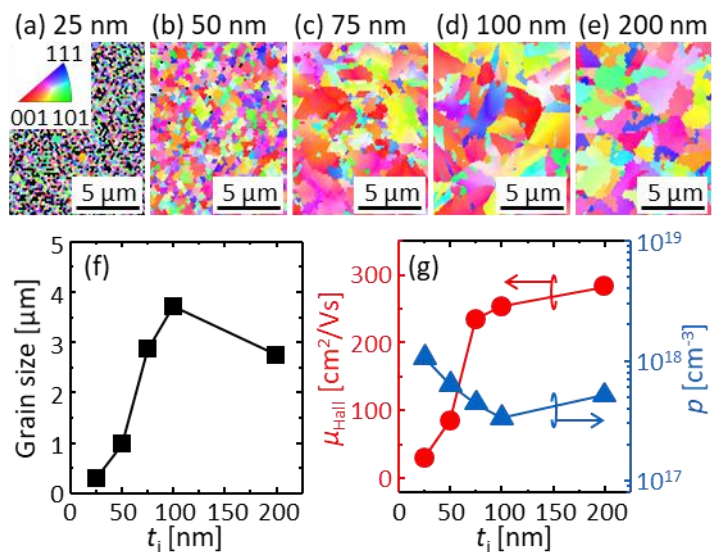


図 13 各膜厚 t_i における(a)–(e)EBSD 像、(f)結晶粒径 および電気的特性の t_i 依存性

固相成長 Ge を希釈 H_2O_2 溶液により $55 \times 155 \mu\text{m}^2$ の矩形にアイランド化した。表面平坦化のため、電子サイクロトロン共鳴 (ECR: Electron cyclotron resonance) プラズマ酸化により、 GeO_2 (1 nm 厚) を形成後、純水洗浄により犠牲酸化層を除去した。S/D 形成のため、Ge アイランドの両端に矩形のフォトレジストパターンを形成した後、Pt と TiN (各 10 nm 厚) を順次スパッタ堆積し、フォトレジストを除去することでパターンニングした。PtGe/Ge コンタクト形成のため、熱処理 (PMA: Postmetallization annealing) (400 °C、30 min) を N_2 雰囲気にて行った。PtGe/Ge コンタクトは正孔障壁が低く、蓄積型 p チャネル Ge-TFT に適している。ゲートスタックには、Al/SiO₂/Al₂O₃/SiO₂/GeO₂ 積層構造を用いた。基板を 130 °C に加熱しながら、ECR プラズマ酸化により、 GeO_2 (3 nm 厚) を形成し、大気暴露時の保護膜として SiO₂ (2 nm 厚) をスパッタ堆積した。原子層堆積により、Al₂O₃ (20 nm 厚) を 300 °C で形成した。Al₂O₃ は、メタル S/D とゲート電極の側壁を電氣的に絶縁する。ゲート電極のパターンニング時に Al₂O₃ を保護するため、SiO₂ (2 nm 厚) を 130 °C で ECR スパッタ堆積した。その後、熱処理 (PDA: Postdeposition annealing) (400 °C、30 min) を N_2 雰囲気にて行った。ゲート電極として、Al (200 nm 厚) を真空蒸着により堆積し、ウェットエッチングによりパターンニングした。コンタクトホールを開口し、Al 電極 (100 nm 厚) を真空蒸着により堆積した後、リフトオフプロセスによりパターンニングした。最後にコンタクトアニール (300 °C、30 min) を N_2 雰囲気で行った。チャネル幅/長 (W/L) は各々 $55/5-15 \mu\text{m}$ とした。固相成長を含めた全てのプロセスは 450 °C 以下で行った。作製した TFT の電界効果移動度 μ_{FE} を次式により求めた。

$$\mu_{\text{FE}} = g_m \frac{L}{W} \frac{1}{C_{\text{ox}} V_D} \quad (5)$$

ここで、 g_m は伝達コンダクタンスであり、ドレイン電流 (I_D)-ゲート電圧 (V_G) 特性から得られる。酸化膜容量 C_{ox} は、単結晶 Ge 基板上に作製した MOS キャパシタの容量-電圧 (C - V) 特性から求められ、その値は $0.20 \mu\text{F}/\text{cm}^2$ である。ドレイン電圧 (V_D) は、 -0.1 V 一定とした。図 15(a)-15(d)より、 I_D - V_G 特性および μ_{FE} は、 t_i に

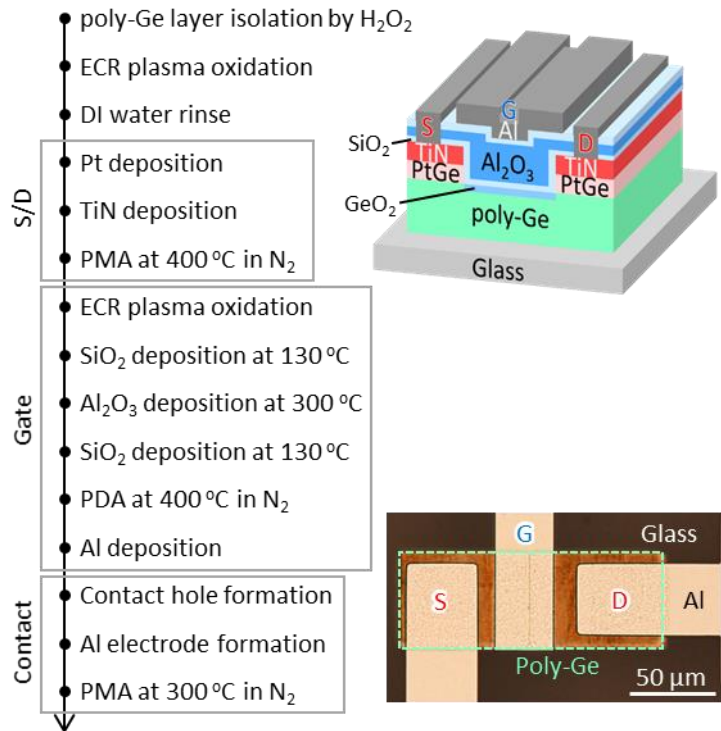


図 14 固相成長 Ge-TFT の作製プロセス(左)および光学顕微鏡像(右)

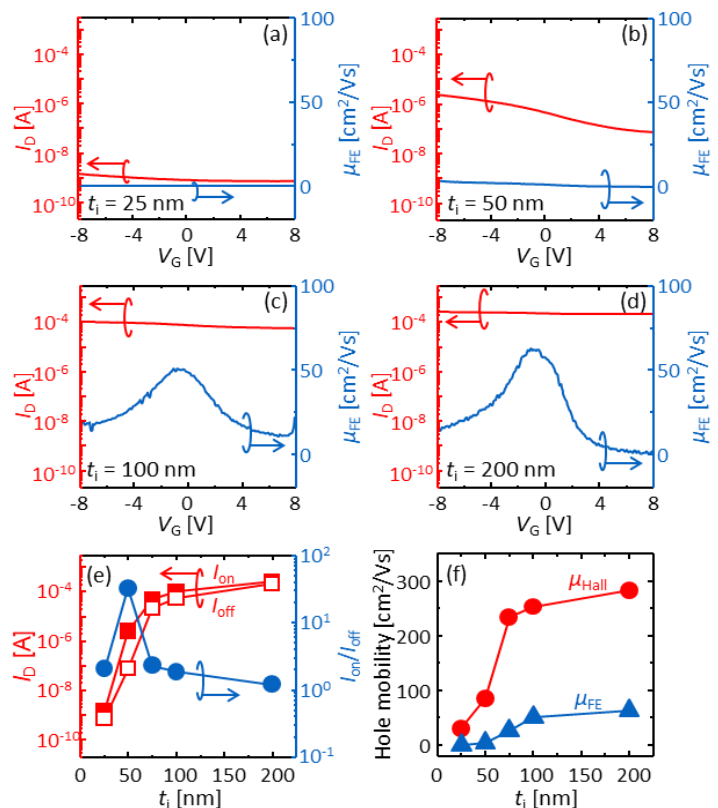


図 15 (a)-(f) p チャネル固相成長 Ge-TFT の電氣的特性初期膜厚 t_i 依存性 (チャネル長 $L = 10 \mu\text{m}$)

よって劇的に変化することが分かる。図 15(e)に I_D - V_G 特性から求めたオン電流 I_{on} 、オフ電流 I_{off} 、オン/オフ電流比 I_{on}/I_{off} を示す。 I_{on} は t_i の増加に伴い増加し、 $t_i \geq 100$ nm の領域で高い値 ($> 10^{-4}$ A) を示す。これは μ_{Hall} 、すなわち、Ge 膜自体の移動度を反映している。 I_{off} は t_i と p から見積もられる最大空乏層幅 d_{max} の関係で決定される。例えば、Ge の誘電率と真性キャリア密度をそれぞれ 16 と $2.4 \times 10^{13} \text{ cm}^{-3}$ と仮定すると、 $p = 3 \times 10^{17} \text{ cm}^{-3}$ の時、 d_{max} は 54 nm と見積もられる^[6]。 t_i と d_{max} の関係より、薄い膜 (t_i が小さい) 程、固相成長 Ge 層を占める空乏層の割合が大きく、 I_{off} は低下すると判明した。以上の I_{on} と I_{off} の傾向を反映し、 I_{on}/I_{off} は $t_i = 50$ nm で最大となる。図 3(f)より、 μ_{FE} は μ_{Hall} の傾向と一致するが、 μ_{Hall}

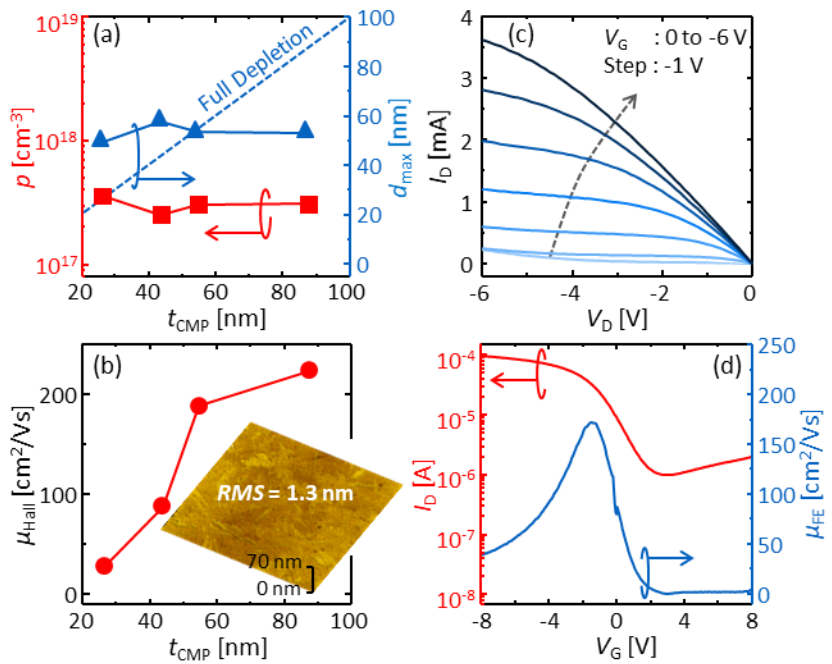


図 16 (a)正孔密度と(b)正孔移動度の深さ方向依存性、(c)薄膜化後 ($t_{CMP} = 55$ nm) の p チャンネル Ge-TFT の電気的特性 (チャンネル長 $L = 10 \mu\text{m}$)

の値を大きく下回った。これは、MOS 界面におけるキャリア散乱だけでなく、大きな I_{off} が g_m と μ_{FE} を低く見積もっていることに起因すると推察される。この問題を克服するには、薄く (低い I_{off}) でも高い μ_{Hall} (高い I_{on}) を持つ膜が要求される。 $t_i \geq 50$ nm の膜厚領域において、粒径と t_i のアスペクト比を考慮すると、粒径は深さ方向に一定である。また、Ge/SiO₂ 界面におけるキャリア散乱は膜厚のみに依存すると考えられる。薄い膜でも高い μ_{Hall} を得るため、最大粒径となる $t_i = 100$ nm 試料 [図 13(f)] を化学機械研磨 (CMP: chemical-mechanical polishing) により薄膜化した。図 16(a)より、 p は深さ方向に一定である。 p から d_{max} を見積もったところ、CMP 膜厚 $t_{CMP} = 55$ nm まで薄膜化すれば、固相成長 Ge が完全に空乏化すると判明した。一方、 μ_{Hall} は Ge/SiO₂ 界面におけるキャリア散乱の影響を反映し、 $t_{CMP} < 50$ nm の領域にて顕著に低下した [図 16(b)]。従って、高い μ_{FE} と I_{on}/I_{off} を両立するためには、 $t_{CMP} = 55$ nm が適切であると考えられる。 $t_{CMP} = 55$ nm に薄膜化した試料は平坦な表面 [図 16(b)、Root mean square: 1.3 nm] を有しており、粒径は CMP 前と同等であった。この試料を用いて、図 14 と同様のプロセスで TFT を作製した。図 16(c)より、 V_G の増加に伴い I_D が増加する典型的なトランジスタ動作が確認できる。図 16(d)より、高い μ_{FE} ($170 \text{ cm}^2/\text{Vs}$) と I_{on}/I_{off} (10^2) が得られた^[26]。これは、高い μ_{Hall} による高い I_{on} 、薄い膜 ($t_{CMP} = 55$ nm) による低い I_{off} に起因する。

以上の知見をベースとし、CMP により薄膜化した固相成長 GeSn ($\mu_{Hall} = 180 \text{ cm}^2/\text{Vs}$, $p = 1.5 \times 10^{13} \text{ cm}^{-3}$) を用いて、TFT を図 14 と同様のプロセスで作製した。各チャンネル長における Ge および GeSn ($x = 1.6$ %) TFT の性能を μ_{FE} と I_{on}/I_{off} の観点から図 17 に整理した。Sn 添加による正孔密度低減の効果を反映し、高い μ_{FE} を維持したまま、 I_{on}/I_{off} を約 1 桁向上させることに成功した。この TFT 特性はガラス上に形成した多結晶 Ge 系 TFT として最高レベルであり、チャンネルの微細化やマルチゲート化等のデバイス構造の最適化により更なる性能向上が期待される。

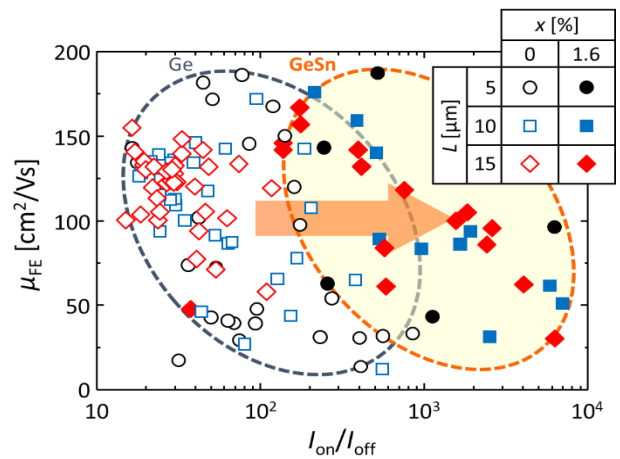


図 17 Ge および GeSn-TFT の性能比較

5. 結論

本研究では絶縁体上 Ge 系薄膜の高品質合成と TFT 応用を推進した。まず、固相成長により形成した多結晶 Ge(Sn) 中におけるキャリア散乱要因を低減した。前駆体の加熱堆積により、大粒径化および粒界障壁の低減を促し、粒界散乱を低減した。同様の効果が Sn 添加でも見られ、加熱堆積と重畳することで更に粒界散乱を低減した。Sn 添加の効果として、正孔密度も低減可能であり、同時に不純物散乱も低減した。更に、ポストアニールによる正孔密度低減に伴う不純物散乱低減も重畳することで、正孔移動度は最高で $540 \text{ cm}^2/\text{Vs}$ に達した。これは、絶縁体上に直接、低温 ($\leq 500 \text{ }^\circ\text{C}$) 合成した多結晶薄膜の中で最高の正孔移動度である。次に固相成長 Ge(Sn) を用いた TFT の作製を検討した。大粒径試料の薄膜化により、固相成長 Ge の特性を引き出すことに成功し、電界効果移動度 $\mu_{\text{FE}} = 170 \text{ cm}^2/\text{Vs}$ およびオン/オフ電流比 $I_{\text{on}}/I_{\text{off}} = 10^2$ を得た。更に Sn 添加による正孔密度低減の効果を活かし、高い μ_{FE} を維持したまま、 $I_{\text{on}}/I_{\text{off}}$ を約 1 桁向上 (10^3) させることに成功した。以上、結晶成長とデバイス技術の両面から多結晶 Ge 系の TFT の動作性能を高めることに成功した。絶縁体上高速デバイスの実現に直結する成果であり、情報端末や 3 次元集積回路への応用が期待される。

参考文献

- [1] J. C. Irvin, and S. M. Sze, *Solid. State. Electron.* **11**, 599 (1968).
- [2] R. Pillarisetty, *Nature* **479**, 324 (2011).
- [3] R. Zhang, T. Iwasaki, N. Taoka, M. Takenaka, and S. Takagi, *IEEE Trans. Electron Devices* **59**, 335 (2012).
- [4] W.-S. Jung, J.-H. Park, A. Nainani, D. Nam, and K. C. Saraswat, *Appl. Phys. Lett.* **101**, 72104 (2012).
- [5] K. Yamamoto, T. Sada, D. Wang, and H. Nakashima, *Appl. Phys. Lett.* **103**, 122106 (2013).
- [6] A. Toriumi, and T. Nishimura, *Jpn. J. Appl. Phys.* **57**, 010101 (2018).
- [7] G. Taraschi, A. J. Pitera, and E. A. Fitzgerald, *Solid. State. Electron.* **48**, 1297 (2004).
- [8] S. Takagi, R. Zhang, J. Suh, S.-H. Kim, M. Yokoyama, K. Nishi, and M. Takenaka, *Jpn. J. Appl. Phys.* **54**, 06FA01 (2015).
- [9] K. Toko, Y. Ohta, T. Tanaka, T. Sadoh, and M. Miyao, *Appl. Phys. Lett.* **99**, 032103 (2011).
- [10] K. Usuda, Y. Kamata, Y. Kamimuta, T. Mori, M. Koike, and T. Tezuka, *Appl. Phys. Express* **7**, 056501 (2014).
- [11] K. Toko, I. Nakao, T. Sadoh, T. Noguchi, and M. Miyao, *Solid. State. Electron.* **53**, 1159 (2009).
- [12] S. Kabuyanagi, T. Nishimura, K. Nagashio, and A. Toriumi, *Thin Solid Films* **557**, 334 (2014).
- [13] H. A. Kasirajan, W.-H. Huang, M.-H. Kao, H.-H. Wang, J.-M. Shieh, F.-M. Pan, and C.-H. Shen, *Appl. Phys. Express* **11**, 101305 (2018).
- [14] K. Toko, R. Numata, N. Oya, N. Fukata, N. Usami, and T. Suemasu, *Appl. Phys. Lett.* **104**, 22106 (2014).
- [15] J. Y. W. Seto, *J. Appl. Phys.* **46**, 5247 (1975).
- [16] K. Toko, R. Yoshimine, K. Moto, and T. Suemasu, *Sci. Rep.* **7**, 16981 (2017).
- [17] P. Moontragoon, R. A. Soref, and Z. Ikonic, *J. Appl. Phys.* **112**, 073106 (2012).
- [18] J. Sau and M. Cohen, *Phys. Rev. B* **75**, 045208 (2007).
- [19] L. Liu, R. Liang, J. Wang, and J. Xu, *Appl. Phys. Express* **8**, 031301 (2015).
- [20] F. A. Trumbore, *J. Electrochem. Soc.* **103**, 597 (1956).
- [21] W. Takeuchi, N. Taoka, M. Kurosawa, M. Sakashita, O. Nakatsuka, and S. Zaima, *Appl. Phys. Lett.* **107**, 022103 (2015).
- [22] T. Sadoh, Y. Kai, R. Matsumura, K. Moto, and M. Miyao, *Appl. Phys. Lett.* **109**, 232106 (2016).
- [23] K. Moto, R. Yoshimine, T. Suemasu, and K. Toko, *Sci. Rep.* **8**, 14832 (2018).
- [24] Y. Kimura, M. Kishi, and T. Katoda, *J. Appl. Phys.* **86**, 2278 (1999).
- [25] K. Moto, N. Saitoh, N. Yoshizawa, T. Suemasu, and K. Toko, *Appl. Phys. Lett.* **114**, 112110 (2019).
- [26] K. Moto, K. Yamamoto, T. Imajo, T. Suemasu, H. Nakashima, and K. Toko, *Appl. Phys. Lett.* **114**, 21207 (2019).