

単位電力変換器を多直列接続したカスケード・
マルチレベル変換器の性能向上に関する研究

児 山 裕 史

2019年 2月

筑波大学大学院博士課程

数理物質科学研究科博士論文

博士（工学）

単位電力変換器を多直列接続したカスケード・
マルチレベル変換器の性能向上に関する研究

児 山 裕 史

電子・物理工学専攻

単位電力変換器を多直列接続したカスケード・マルチレベル変換器の性能向上に関する研究

目次

第 1 章	緒論	1
1.1.	研究背景	1
1.2.	カスケード・マルチレベル変換器の課題.....	5
1.2.1.	損失の更なる低減	5
1.2.2.	適用する半導体スイッチング素子.....	6
1.2.3.	制御システム構成	8
1.3.	本論文の目的と構成	9
第 2 章	1 パルス制御のロバスト化	11
2.1.	本章の概要	11
2.2.	1 パルス制御の技術背景	11
2.2.1.	カスケード・マルチレベル変換器の変調法.....	11
2.2.2.	コンデンサ電圧のバランス制御	12
2.2.3.	1 パルス制御のバランス制御	14
2.3.	カスケード・マルチレベル STATCOM	17
2.3.1.	回路構成	17
2.3.2.	カスケード数と高調波	18
2.4.	1 パルス制御の制御システム	20
2.4.1.	1 パルス変調法	21
2.4.2.	一括コンデンサ電圧制御	22
2.4.3.	電流制御	23
2.4.4.	相間バランス制御	24
2.4.5.	零相電流制御	26
2.4.6.	段間バランス制御	27
2.4.7.	コンデンサ電圧リップル補償	31
2.5.	実験検証	33
2.5.1.	実験装置	33
2.5.2.	定格定常運転	34
2.5.3.	リップル補償制御	36
2.5.4.	不平衡運転	38
2.5.5.	提案段間バランス制御の確認	39
2.5.6.	系統事故試験	40
2.6.	本章のまとめ	42

第 3 章	SiC スイッチング素子のカスケード・マルチレベル変換器への適用.....	43
3.1.	本章の概要	43
3.2.	ハイブリッド・カスケード・マルチレベル STATCOM の技術背景	43
3.2.1.	カスケード・マルチレベル変換器への SiC 適用の可能性.....	43
3.2.2.	配電用 STATCOM.....	43
3.2.3.	配電用 STATCOM へのカスケード・マルチレベル変換器の適用	44
3.2.4.	ハイブリッド方式の概要と配電用 STATCOM への適用の課題	45
3.3.	SiC を適用したカスケード・マルチレベル STATCOM の回路検討	47
3.3.1.	比較する回路構成	47
3.3.2.	損失の机上計算	50
3.3.3.	損失比較	51
3.4.	6.6 kV ハイブリッド・カスケード・マルチレベル STATCOM の回路と制御.....	52
3.4.1.	回路構成	52
3.4.2.	ハイブリッド方式の制御システム.....	54
3.5.	実定格試作機の検証	63
3.5.1.	試作機の外観と定格	63
3.5.2.	定格定常運転	64
3.5.3.	バランス制御の動作確認	65
3.5.4.	系統事故試験	66
3.5.5.	損失の測定と内訳計算	68
3.5.6.	体積の実測	69
3.6.	実測値に基づく回路構成の比較	70
3.6.1.	体積の比較	70
3.6.2.	3 構成の比較のまとめ	71
3.7.	本章のまとめ	71
第 4 章	デিজィチェーン型分散制御の電流制御モデル.....	73
4.1.	本章の概要	73
4.2.	分散制御の技術背景	73
4.2.1.	カスケード・マルチレベル変換器の制御システムの課題.....	73
4.2.2.	分散制御の制御機能の構成	74
4.2.3.	制御器間の通信手法とネットワーク構成.....	78
4.2.4.	ネットワークシステム	79
4.2.5.	既存研究の課題	81
4.3.	遅延を考慮した分散制御の電流制御モデル.....	82
4.3.1.	想定するデিজィチェーン型分散制御.....	82
4.3.2.	発生する遅延	83
4.3.3.	各セルの遅延の理論式	85
4.3.4.	電流制御系のモデリング	89
4.4.	電流制御モデルの検証	93

4.4.1.	解析条件	93
4.4.2.	回路シミュレーション波形	95
4.4.3.	電流制御モデルの妥当性確認	96
4.5.	電流制御性の解析	97
4.5.1.	電流ステップ応答	97
4.5.2.	臨界減衰ゲイン	98
4.5.3.	制御安定性	99
4.6.	実機を想定したケーススタディ	100
4.6.1.	検討条件	100
4.6.2.	通信遅延	101
4.6.3.	制御過渡特性の解析	101
4.7.	本章のまとめ	104
第5章	結論	105
参考文献	108
研究業績	115
謝辞	117

第1章 緒論

1.1. 研究背景

電力変換器（インバータ、コンバータ）は電圧の大きさや周波数を変換する電気機器であり、現代では民生品から産業用に至るまであらゆる分野で用いられている。身近なところでは電化製品の電源部分でコンセントの交流 100V からの任意の電圧に変換したり、電車を所定の速度で進ませるために架線の電力を変換してモータに供給したりしている。また電気自動車も電力変換器を持ち、電池の電力を交流に変換してモータを駆動している。産業向けには大型空調ファンや鉄鋼圧延装置の駆動制御装置などがある。

これらの電力変換装置の中でも最大級の出力を必要とするのが電力向け用途である。電力向けの電力変換器には直流送電（HVDC: High-Voltage Direct-Current）や無効電力補償装置（SVC: Static Var Compensator, 自励式の場合は特に STATCOM: STATic synchronous COMPensator と呼ぶ）[1]–[4]などがあり、トランスには不可能な直流・交流相互や直流同士の変換や、高速・可変の電力補償を担っている。特に HVDC は送電ラインの直流電圧を高くするほど送電損失を低減できるため、変換器の高圧対応の要求が強かった。

電力変換器の電圧・出力容量は、使用する半導体スイッチング素子の耐圧・電流容量に大きく依存してきた。大電力半導体スイッチング素子の変遷を図 1-1 に示す。最も大きな電力に対応した半導体スイッチング素子は、1950 年代から現在に至るまでサイリスタがその地位を譲っていない。1970 年代までは大電力変換にはサイリスタを用いた他励変換器が必然の選択肢であったが、1980 年前後に Gate Turn-Off thyristor (GTO) や Insulated Gate Bipolar Transistor (IGBT) といった自励式の大容量素子が登場し、高耐圧化が進むと自励変換器の実用化も拡大した。鉄道向けには 1990 年代始めに GTO が適用されたが、1990 年代後半以降はスイッチング周波数をより高くできる IGBT や Injection Enhanced Gate Transistor (IEGT) への置き換えが進んだ。電力向けにも自励変換器は拡大したが[5]、それでも HVDC や SVC といった、特に超高圧・大容量変換器への適用は主に耐圧確保の点で難しかった。

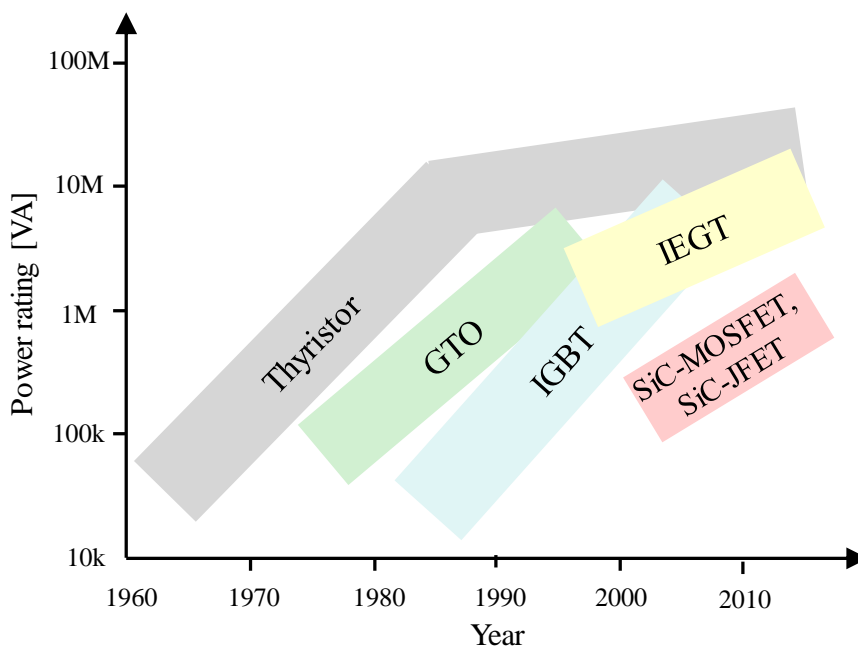


図 1-1 大容量半導体スイッチング素子の変遷

他励素子は電流を非導通状態から導通状態には制御できるが、その逆は能動的にはできない。他励変換器のデメリットには

- 無効電力を発生させる
- 制御応答を速くできない
- 系統電圧低下時には運転できない

などある。

自励素子は非導通状態と導通状態を双方向に能動的に制御できる。自励素子変換器であれば他励変換器のデメリットは解消し、

- 無効電力制御
- 制御応答の向上
- 系統電圧低下時の運転
- HVDC なら停電状態からの送電開始可能（ブラックスタート）
- スwitching 周波数向上によるフィルタ回路の削減

などが可能となり、運用上のメリットも大きい。

高耐圧な自励素子を得るため、図 1-2 のように低耐圧の自励スイッチング素子を複数接続して 2 レベル変換器アームを構成する多直列接続の試みも従来なされてきた[6]。この場合、素子間でエミッタ・コレクタ電圧 v_{ce} のバランスをとらなければ、特定の素子に電圧が偏り破壊してしまう恐れがある。しかし、スナバ回路やゲート回路のアクティブ駆動などの工夫で対応するものの、多数の直列は難易度が高かった。

素子の多直列接続と共に、出力電圧のマルチレベル化も検討された[7]-[11]。代表的な回路構成には Neutral Point Clamped (NPC)方式や、フライングキャパシタ方式などがある。これらの回路は、スイッチング素子を多直列接続しても全てを同時に ON/OFF せず、コンデンサで分圧した直流電圧源の接続を順次切り替えることで複数の出力電圧レベルが得られる。しかし高耐圧化のために素子の多直列接続技術が求められる点には変わらない。

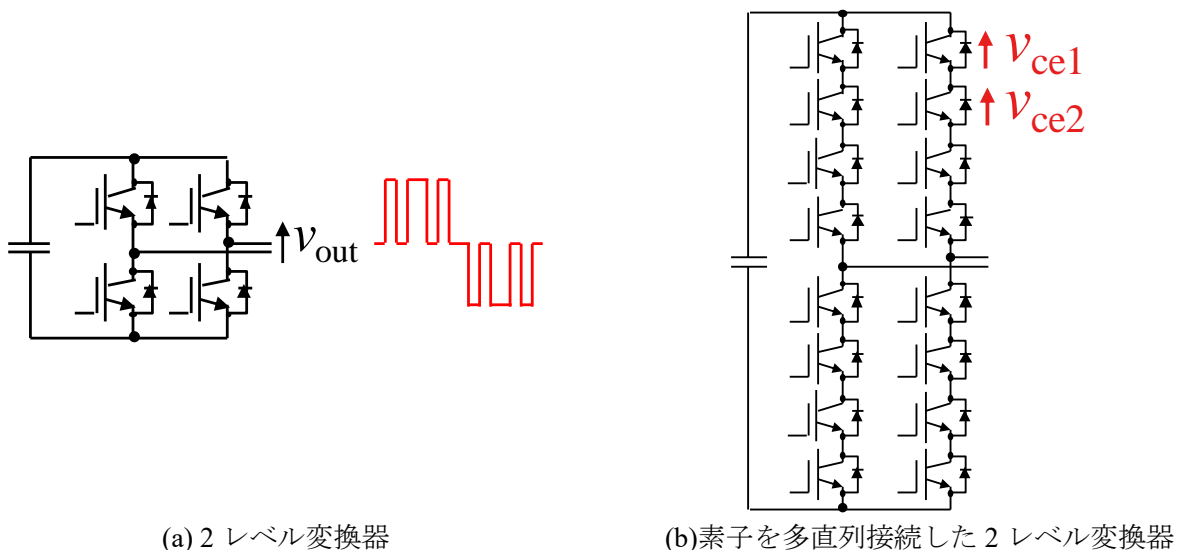


図 1-2 通常の 2 レベル変換器と素子の多直列接続により高耐圧化した 2 レベル変換器

この状況を打破したのがカスケード・マルチレベル方式[12][13] (図 1-3 (a)) やモジュラー・マルチレベル方式 (MMC: Modular Multilevel Converter) [14]–[23] (図 1-3 (b)) である。これらの回路はスイッチング素子を直列接続するのではなく、単位変換器を多直列接続する。単位変換器はスイッチング素子を単体または少ない直列数で構成できるので、特別な素子駆動回路は必要なく、素子の多直列接続の課題を回避したまま変換器の高耐圧化が可能となる。

変換器の出力を直列接続するという発想自体は古くからあったが、独立した直流電源を持つ単位変換器を多数接続して高耐圧を得るという明確なアイデアが示されたのは 1996 年の Peng らによる文献 [12][13] が最初であると言われている。ここではフルブリッジ構成の単位変換器が用いられ、カスケード・マルチレベル方式と呼ばれた。2003 年には Marquardt らが、2 レベル変換器のアームをチョップセルの多段接続に置き換える MMC 方式を発表した[14]–[16]。スイッチング素子に IGBT を用いた MMC はアメリカの TransBay HVDC (2010 年稼働) に世界で初めて適用され[24]、大きな注目を集めることとなった。MMC は HVDC における主流技術となり[25]–[28]、類似の回路構成は STATCOM にも展開された[29][30]。このように、カスケード・マルチレベル変換器の登場と発展は、変換器の高耐圧化に対する新たな解決策となり、電力向け変換器への自励素子の適用が進み始めた。なお、カスケード・マルチレベル変換器と MMC は区別されることもあるが、単位変換器を直列接続するという回路構成の考え方としては同じであるため、以後の呼称は先に登場した呼び名であるカスケード・マルチレベル変換器で統一する。また、単位変換器はセルと呼称する。

カスケード・マルチレベル変換器 (図 1-3) の特徴を 2 レベル変換器 (図 1-2 (a)) と比較し説明する。2 レベル変換器は 1 レグあたり 2 つの電圧レベルを出力し、線間電圧では 3 レベルが得られる。一方カスケード・マルチレベル変換器は複数のセルの出力を直列多段に接続することで高電圧・大容量の出力が得られる。また、各セルの出力位相を段階的にシフトすることで、全体として多段の電圧波形が出力可能となり高調波を低減できる[19][20]。この出力位相シフトには一般的にキャリア位相のシフトが用いられる (位相シフト PWM (Pulse Width Modulation))。高調波が下がるとセルあたりのスイッチング周

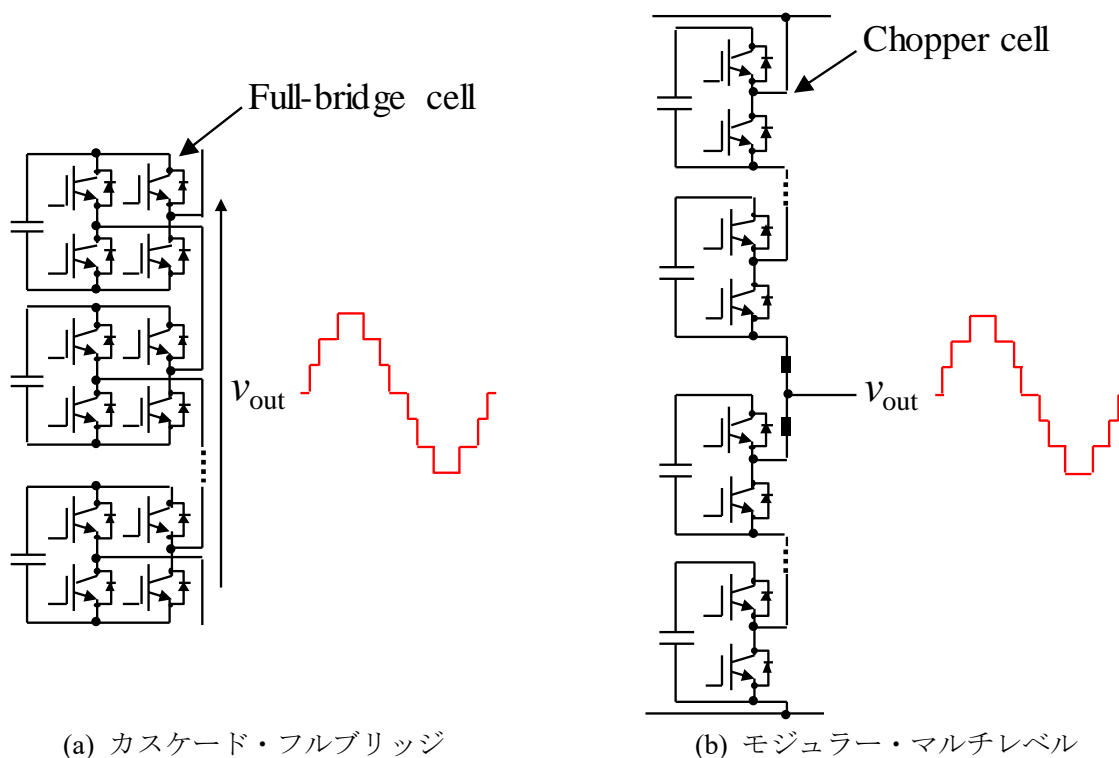


図 1-3 カスケード・マルチレベル変換器のレグ構成と出力電圧

波数を下げることができ、出力段のフィルタ回路を小型化、もしくは無くすることができる。また、2レベル変換器と同一スイッチング周波数で比較した場合、スイッチングによる電圧変化が小さいためスイッチング損失は低くなる[29]。またモジュール構成であるため、セルを1つ設計すれば多くの定格に対応できるというメリットもある。

MMCを含むカスケード・マルチレベル変換器は、初期においてはコンデンサの電圧バランス制御[12][19]–[22][30][31]が主な課題となった。カスケード・マルチレベル方式では、各セルは直流電圧源としてコンデンサを持つ。このコンデンサ電圧が所定の値に保たれていなければ、制御上の想定と異なる電圧が出力されて出力電流が歪む恐れがある。このため、全てのコンデンサ電圧を定格値に制御する「バランス制御」が必要となる。

Pengらによるカスケード・マルチレベル最初期の文献[12]では、各セルのパルス位相をシフト制御することでコンデンサ電圧を個別に制御する方法が示されている。しかしながらこの方法は力率が0に近い場合しか成立しないためSTATCOMにしか使えない他、パルス位相を動かすため電流制御に干渉するという欠点があった。またMMCが世に出た2003年のMarquardtらの文献[14]–[16]ではコンデンサ電圧をどのように維持するかの詳細には触れられておらず、しばらくは不明のままだった。しかし2008年に萩原・赤木が発表した文献[19]によってバランス制御の概念と具体的な制御法が明らかになり、その後続いた同著者らの文献[20]–[23][30][31]などの体系によりバランス制御は確立された。これらの文献によると、コンデンサ電圧のバランス制御は基本的に、

- 全体のコンデンサ電圧の平均値を制御する一括コンデンサ電圧制御
- 相間でコンデンサ電圧平均値をバランスさせる相間バランス制御
- 直列接続されたセル間でバランスさせる段間バランス制御

の3つを階層的に行うことで実現できる。また、これらのバランス制御を動作させるために循環電流制御[19]や零相電流制御[30]が補助的に用いられる。

コンデンサ電圧のバランス制御はカスケード・マルチレベル回路の動作成立のための必要条件だった。この根本的課題が解決され広く世の中に知れ渡るとカスケード・マルチレベル回路に対する注目度も俄然高まり、研究の対象は変調法の議論[32]–[35]や複数種類のセルによるハイブリッド構成[36][37]、主回路外の制御システムのハード構成の検討[38]–[44]など多岐に広がっていった。また、カスケード・マルチレベルが適用されたHVDC変換器の電力系統への作用など、系統事業者視点の議論[45]–[49]も幅広くなされている。

このように、カスケード・マルチレベル変換器により高圧大容量変換器への自励素子の適用が進んだことで、高調波低減や変換器応答の向上、系統電源損失時の運転(HVDCであればブラックスタート)、トランスレス変換器といった高性能化による電力系統・産業機器への発展の寄与が今後も期待されている。

1.2. カスケード・マルチレベル変換器の課題

カスケード・マルチレベル変換器の更なる高性能化に求められる技術的課題を大別すると、「損失の更なる低減」「適用する半導体スイッチング素子」「制御システム構成」の3つが挙げられる。

1.2.1. 損失の更なる低減

変換器の損失は一般的に導通損失、スイッチング損失、フィルタ損失がある。導通損失は半導体スイッチング素子が導通している際の電圧降下により発生する。スイッチング損失は、半導体スイッチング素子が ON と OFF の間で変化する際に、電圧と電流の変化時間が有限かつ重なっているために生じる。このためスイッチング損失はスイッチング周波数に比例する。フィルタ損失は高調波低減のため変換器の出力段に接続されるフィルタ回路での損失である。電力変換器の出力には他機器の誤動作などの悪影響を防ぐため高調波規程[50][51]が存在することが多く、一般的にフィルタ回路が必要となる。フィルタ回路は主にリアクトルとコンデンサで構成され、損失にはリアクトルの銅損・鉄損、コンデンサの寄生抵抗損などが含まれる。変換器の高調波が大きいほどフィルタの規模も大きくなり、フィルタ損失も大きくなる傾向がある。スイッチング周波数を高くすることで高調波を低くすることができるが、スイッチング損失増加とトレードオフとなる。

高圧変換器としてカスケード・マルチレベル変換器は他励変換器と比較されるが、同一定格で比較すると一般的にカスケード・マルチレベル変換器は他励変換器よりも導通損失が大きい。セルをカスケード接続して耐圧を確保しているため、負荷電流の経路に多数の素子が存在することになり導通損失が大きくなる。他励よりも低耐圧の素子で同等の耐圧を実現しようとする以上、これは避けられない。一方で、カスケード・マルチレベル変換器は高調波を小さくできるためフィルタ損失は比較的小さい。

したがって損失改善の余地はスイッチング損失となる。カスケード・マルチレベル方式では一般的に図 1-4 (a)のように PWM が用いられるが、カスケード数に伴い電圧レベル数が増加し高調波を低減できるので、セルあたりのスイッチング周波数は大幅に下げられる。1 アームが 100 段前後のセルを持つ HVDC では 1 セルあたり数百 Hz のスイッチング周波数が用いられている[52]。スイッチング周波数を下げていくと、各セルが半周期に 1 度だけパルスを出力する 1 パルス制御 (図 1-4 (b)) [32]–[35]に行き着く。通常 1 パルス制御は高調波の大きさが問題になるが、カスケード・マルチレベルであれば電圧レベル数で解決できるため相性が良い。

しかしながら、1 パルス制御を適用したカスケード・マルチレベル変換器はコンデンサのバランス制御に課題がある。1 パルス制御は PWM とは変調法が異なるため前述のバランス制御がそのまま適用できない。1 パルス制御におけるコンデンサ電圧のバランス制御は確立されておらず、1 パルス制御適用によるスイッチング損失の低減は実用的ではなかった。

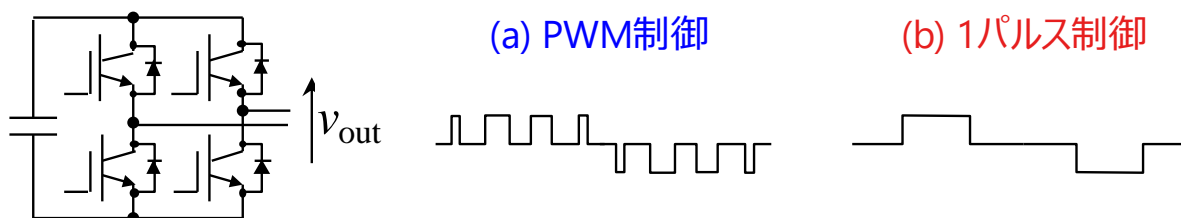


図 1-4 セルの出力電圧 (PWM 制御と 1 パルス制御)

1.2.2. 適用する半導体スイッチング素子

カスケード・マルチレベル回路は原理的に高圧・大容量向けに適していることもあり、HVDC や数十 Mvar クラスの電力用 STATCOM の開発から始まった。そして付随する研究も主にそれらを適用対象としてきた。MVA 以上の大容量における回路構成は、HVDC ではダブルスター結線[53][54]、STATCOM ではデルタ結線[53][54]が主流[29]で、単一種類のセルで必要耐圧を確保している。したがって、使用する半導体スイッチング素子には高耐圧な Si の IGBT や IEGT が必然の選択肢だった。高耐圧素子なら GTO や Integrated Gate Commutated Turn-off thyristor (IGCT) もあったが、適用例は無い。カスケード・マルチレベルが世に出た頃には IGBT も同等の耐圧があり、スイッチングの際の損失も低いため、採用するメリットは低かったと考えられる。セルが単一種類なのは、大容量変換器では冗長性も含めて多数のセルを使用するため、単一種類であることが製造上、保護動作上合理的なためである。このように、従来はカスケード・マルチレベル変換器において使用する素子についてはほぼ議論の余地はなかった。

しかしながら、図 1-1 に示すように近年 SiC (Silicon Carbide)を用いた半導体スイッチング素子の開発が進んできた。物性上、SiC 素子は Si 素子よりも低導通損失、低スイッチング損失である。また、原理的には Si よりも高耐圧化が可能である。SiC 素子としてはダイオードが先んじて実用化されたが、ここ 10 年で SiC-JFET (Junction Field Effect Transistor)や SiC-MOSFET (Metal Oxide Semiconductor Field Effect Transistor)といったスイッチング素子の開発も進み一般的に入手出来るようになってきた。かかる状況において、カスケード・マルチレベル変換器に適用する半導体スイッチング素子も再度議論の余地があると考えられる。

図 1-5 に周波数と変換器容量ごとの半導体スイッチング素子の一般的な分布[55]を示す。横軸の周波数はスイッチング周波数であり、変換器容量は、素子単体の容量ではなく、素子の適用先の変換器の容量クラスである。他励素子であるサイリスタは必然的に系統周波数の 50Hz, 60Hz になる。特に SiC と書いていないものは全て Si である。SiC 素子については今後の見込みも含んでいる (SiC-IGBT は市場にまだ無い)。SiC スwitching 素子の発展により Si-MOSFET や Si-IGBT、Si-IEGT は SiC に置き換えられ、より低損失な変換器が実現されることが期待されている[56][57]。またスイッチング周波数は Si の場合よりも高くなり、低高調波とフィルタ小型化が見込まれる。

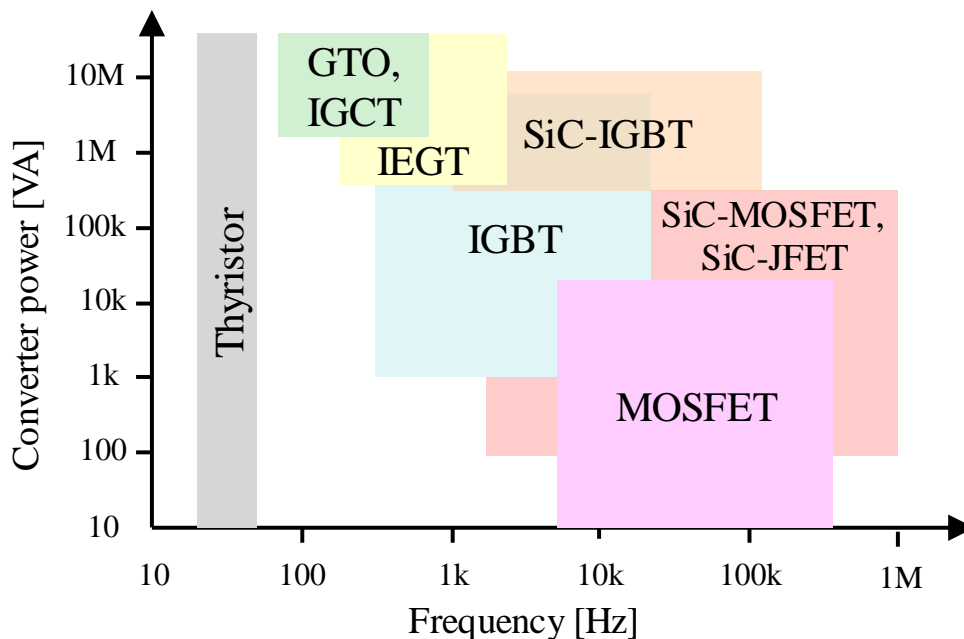


図 1-5 半導体スイッチング素子の適用領域 (文献[55]を基に作成)

しかしながら、現状市場で手に入る SiC スイッチング素子の耐圧は高くとも 1.7kV 程度であり、4.5 kV や 6.5 kV までラインナップする Si 素子には未だ及ばない。電流容量も低い。このため、高圧大容量カスケード・マルチレベル変換器の Si 素子の単純な置き換えができる状況には至っていない。仮に置き換える場合、素子の直並列化やカスケード数の大幅な増加が必要となり、コスト増大の要因となる。

現状の SiC 素子が高圧カスケード・マルチレベル変換器に適していないもう 1 つの理由として、SiC 素子の低スイッチング損失の利点が活かしづらいということがある。高圧カスケード・マルチレベル変換器はセルのカスケード数を増やして高圧出力に対応する。カスケード数が多くなると 1 セルあたりのスイッチング電圧が下がるため、スイッチング損失は下がる。すると変換器全体に占めるスイッチング損失の割合は低下するため、SiC スイッチング素子を適用した場合のスイッチング損失の低減効果も低くなる。当然、低減効果はゼロではないし、Si から SiC になることで導通損失も低減できる。また、スイッチング周波数を従来より上げてセルのコンデンサの静電容量を低減することも可能となる。しかしコンデンサの体積は耐圧への依存性が高いので、スイッチング周波数を上げて静電容量も減らしても変換器の体積低減効果は小さい。これらの理由により、カスケード数の多いカスケード・マルチレベル変換器では現状高価な SiC スイッチング素子の対費用効果は低いと見られている[58]。

一方で、カスケード数の少ないカスケード・マルチレベル変換器に目を向けると、配電用 STATCOM への SiC 素子適用の議論がある。配電用 STATCOM は需要家近傍に設置しなければ電圧変動抑制性能を発揮出来ない。需要家近傍の設置スペースは事実上電柱くらいしかないため、基本的に柱上設置となる。しかし従来の 2 レベル変換器を用いたトランス連系 STATCOM ではトランスが非常に大きく重く[59]、柱上設置には柱が 2 本必要になる場合もある。(電柱の柱上設置物の基準は電力会社毎に異なるため一概には言えない) このため、トランスレスにできれば体積・重量の低減効果は大きい。また、トランス分の損失の低減も期待できる。

このため、カスケード・マルチレベルによる配電用 STATCOM のトランスレス化が検討されてきた[60]–[62]。赤木らは 2007 年にスター型[53][54]のトランスレス・カスケード・マルチレベル STATCOM [60]を提案している。体積が制約される柱上設置であれば、少ないセル数で高電圧出力が可能なスター型結線が有利である。ここで検討されていたのは回路構成と制御までであり、スイッチング素子は基本的に同じ種類の物を使用することを想定していた。

SiC の適用については、2012 年に Sano らが Si スイッチング素子と SiC スイッチング素子によるハイブリッド方式について言及している[36]。また、2016 年に Jahn らも Si と SiC によるハイブリッド STATCOM の変調法について報告している[37]。Si と SiC の組み合わせは、少ないカスケード数で高耐圧と低高調波を実現できるため、配電用 STATCOM のようにカスケード数が 5 個前後と少ないカスケード・マルチレベル変換器にはメリットがあると見られていた。

しかしながらこれまでの研究[36][37]では Si と SiC のハイブリッド方式は概念レベルの提案にとどまっていた。ハイブリッド方式と従来の単一セルの構成の損失・体積の比較検討などは為されておらず、実定格の変換器も報告されていない。したがって、ハイブリッド方式の有用性は実証されてはなかった。

1.2.3. 制御システム構成

最後に、制御システムの課題は、主に、変換器を駆動する制御装置と制御信号線に関する。例えば HVDC では 1 レグあたり 200 段以上のセルを有する[24][25]ため、図 1-6 (a)のように主制御装置 (Primary controller)と素子を 1 対多数で接続する集中制御を用いるとゲート信号線は膨大な量になる。図において g_n^* はゲート信号、 v_{cn} はセルのコンデンサ電圧検出値 (いずれも $n = 1, 2, \dots, m$ (m : カスケード数)) を示す。また高圧機器のゲート信号線には絶縁のため光ファイバが用いられるので、光電変換部品も必要となり制御システムの構成は複雑化しコストも増大する。

これを解決すべく、図 1-6 (b)のようにカスケード・マルチレベル変換器の制御機能を分割して小規模な制御器を各相や各セルに分散配置し、制御器間は通信して指令値や検出値をやりとりすることで信号線を削減する分散制御が提案されている[38]–[44]。 v_n^* ($n = 1, 2, \dots, m$) は n 番目のセルの電圧指令値を示しており、各セルでキャリア比較をしてゲート信号 g_n^* を生成している。セルに配置したセル制御器 (Cell controller) 同士を光ファイバでデジチェーン接続し、通信で電圧指令値と各セルのコンデンサ電圧を次々に伝送していくことで、制御システム全体として光ファイバを大幅に削減できる。分割する制御機能は、電流制御や各種バランス制御の単位で分けられることが多い。

この分散制御の欠点として、制御器間の通信遅延による制御性への影響がある。高速な通信プロトコルを使用すれば 1 セルあたりの通信遅延は $1 \mu\text{s}$ 程度と非常に短くできる[63]が、100 以上の多数のセルが存在するカスケード・マルチレベル変換器ではデジチェーン接続される制御器の数も多いため、遅延が徐々に積み重なり後ろのセルほど出力が遅れることになる。更に、各セルの実際の出力遅延は電圧指令値のサンプリングのタイミングにも依存するため、出力遅延はセルの順番に単純には比例せず、現象はより複雑化する。

デジチェーン型の分散制御の実験検証は報告されているが[41]–[44]、実験装置のカスケード数は多くても 4 つであり、実規模のカスケード・マルチレベル変換器への適用を前提とした検証としては十分ではない。また、上記の通信遅延と電圧制御サンプリングが絡んだ複雑な遅延の現象と電流制御系に与える影響は議論されていない。そのため通信遅延の電流制御への影響やゲイン設計を理論的に検討できず、分散制御のカスケード・マルチレベル変換器への実適用による制御システムの改善には課題がある状態と言える。

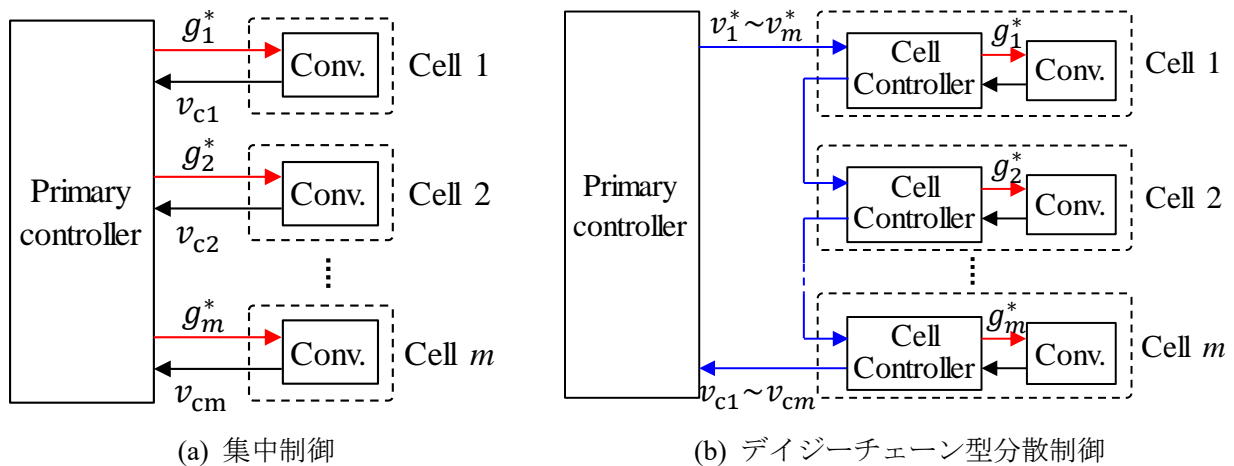


図 1-6 カスケード・マルチレベル変換器の制御システム構成

1.3. 本論文の目的と構成

本論文は、前項で説明したカスケード・マルチレベル変換器の3つの技術課題である、損失の低減、適用するスイッチング素子、制御システム構成、の改善に取り組むことで、様々な利点をもつカスケード・マルチレベル変換器の実展開促進に寄与することを目的とする。

以下に本論文の構成と各章の概要を示す。

第1章では、ここまで述べたように、カスケード・マルチレベル変換器の技術的な背景と課題を明らかにした。

第2章では、デルタ結線カスケード・マルチレベル STATCOM を例に1パルス制御について検討し、現状の技術的課題を明確にした上で1パルス制御の実用化のために必要な制御を開発する。具体的には、1パルス制御適用時のコンデンサ電圧の段間バランス制御にソーティングアルゴリズムを適用した上で改良を加え、幅広い変調率においてロバストに作用するバランス制御を実現する。これらにより実用的な1パルス制御を実現し、スイッチング損失の低減を可能とする。

第3章では、カスケード・マルチレベル変換器への SiC スwitchング素子の適用先として配電用 STATCOM を検討する。具体的には、Si と SiC を組み合わせたハイブリッド方式の 6.6 kV, 100 kvar のトランスレス・カスケード・マルチレベル STATCOM の実定格試作機を設計・製作して動作を実証する。そして実定格試作機の実測結果を基に、ハイブリッド方式が従来の単一種類のセルのカスケードよりも損失と体積の点で合理的であることを実証する。

第4章では、制御信号線を低減できる分散制御の制御システム構成を検討し、遅延を考慮した電流制御系を理論的に明らかにする。具体的には、分散制御の構成として最も効果的に信号線を低減できるデージーチェーン型分散制御を選定し、制御器間の通信遅延と電圧指令値サンプリングにより各セルの出力が次第に遅れる現象について理論的に検討し伝達関数を導出する。そこで導いた電流制御モデルを基に通信遅延と制御性への影響を考察し、ゲイン設計の指針を得る。これにより、実機に分散制御を適用する際に、理論モデルで事前に詳細な制御応答設計ができるようになり、分散制御はより実用的なものとなる。

最後に、結論である第5章において、本論文によるカスケード・マルチレベル変換器の技術課題改善に対する寄与と今後の展望をまとめる。

第2章 1パルス制御のロバスト化

2.1. 本章の概要

カスケード・マルチレベル変換器の1パルス制御の実用上の課題を解決することで1パルス制御の実適用を可能とする。これによりスイッチング損失を低減し、カスケード・マルチレベル変換器の低損失化を実現する。

はじめに1パルス制御の概要とコンデンサ電圧バランス制御、そして1パルス制御におけるバランス制御の課題について説明し、技術的な背景を明らかにする。そして、デルタ結線カスケード・マルチレベル STATCOM を例に回路構成と各種制御を説明し、その中で1パルス制御の改良について検討・提案する[64]。最後に実験によりデルタ結線カスケード・マルチレベル STATCOM における各種提案制御の動作を実証する。

2.2. 1パルス制御の技術背景

2.2.1. カスケード・マルチレベル変換器の変調法

カスケード・マルチレベル変換器ではセルのカスケード接続によるマルチレベル化で高調波を低減できるため、セルあたりのスイッチング周波数は大幅に低くすることができる。特に HVDC のように1アームあたり100段以上にカスケード接続する場合、1セルのスイッチング周波数は数百 Hz が一般的である[52]。カスケード接続により達成される高調波が規格に対して余裕があれば、更にスイッチング周波数を下げてスイッチング周波数の下限である1パルス制御にすることも可能である。HVDC や STATCOM のようにカスケード数が多いアプリケーションでは、1パルスの適用は十分考えられる。

図 2-1 に、フルブリッジセルを m 個カスケード接続したアームの各セルの出力電圧と全体の出力電圧を示す。変調法は、PWM と 1パルス制御の2通りを示している。PWM 制御では電圧指令値とキャリア

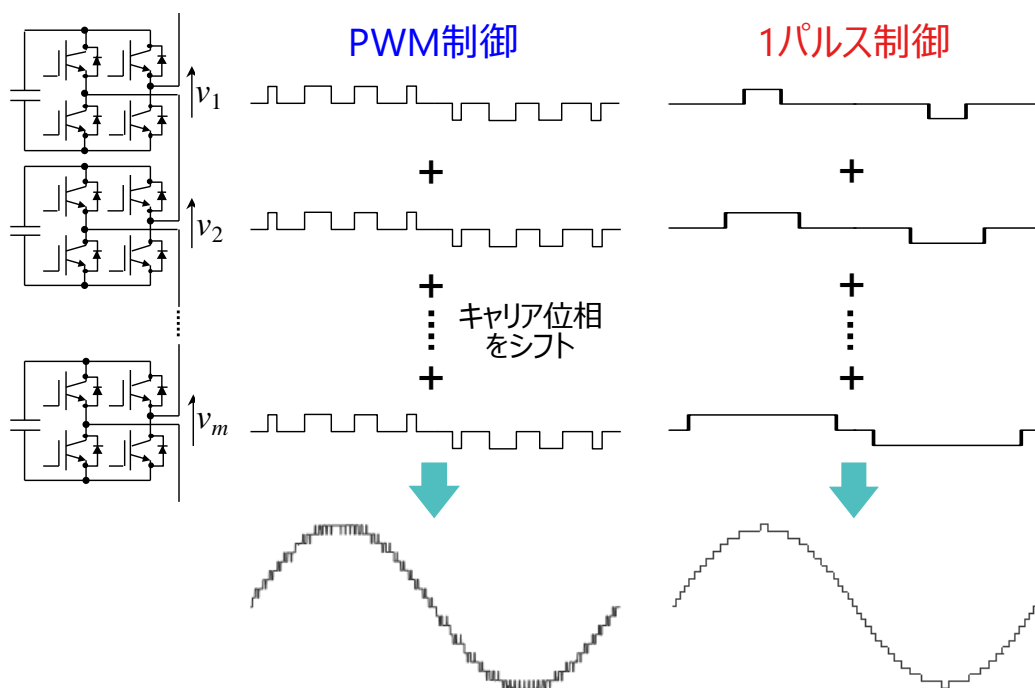


図 2-1 カスケード・マルチレベル変換器の PWM 制御と 1パルス制御時の電圧波形

1 パルス制御のロバスト化

周波数を比較して PWM 波形を生成しており、隣り合うセル同士のキャリア周波数を順次シフトすることでアーム全体として高いスイッチング周波数を得ることが出来る。シフトするキャリアの位相差 θ_{car} は下記の式で与えられる[19][20]。

$$\theta_{car} = \frac{\pi}{m} \quad (2-1)$$

カスケード数が m 、1セルあたりのスイッチング周波数が f_{car} の時、アーム全体としてのスイッチング周波数である等価スイッチング周波数 f_{sw}^{eq} は以下の式で計算される。

$$f_{sw}^{eq} = 2mf_{car} \quad (2-2)$$

このように、1セルあたりのスイッチング周波数は低くとも、等価スイッチング周波数を高くできるため高調波は十分に低減出来る。

1パルス制御では各セルは半周期に1度、正側か負側のどちらか1方に1回だけ電圧パルスを出力する。パルス幅はセルによって異なっており、アーム全体としては正弦波に近い階段状の電圧波形を得ることが出来る。通常の2レベル変換器であれば1パルス制御は高調波が大きく、電圧変化のタイミングが少ないので制御性も悪いが、カスケード・マルチレベルへの適用であればセル数が多いので高調波は低減でき、制御性も改善される。

2.2.2. コンデンサ電圧のバランス制御

カスケード・マルチレベル変換器に必要なコンデンサ電圧バランス制御[19]–[22][30][31]の概念を図2-2に示す。フルブリッジセルを m 段カスケード接続してデルタ結線した三相カスケード・マルチレベル変換器であり、コンデンサ電圧は $v_{crsn}, v_{cstn}, v_{ctrn}$ ($n = 1, 2, \dots, m$)で合計 $3m$ 個ある。バランス制御は、一括コンデンサ電圧制御、相間バランス制御、段間バランス制御で階層的に制御される。

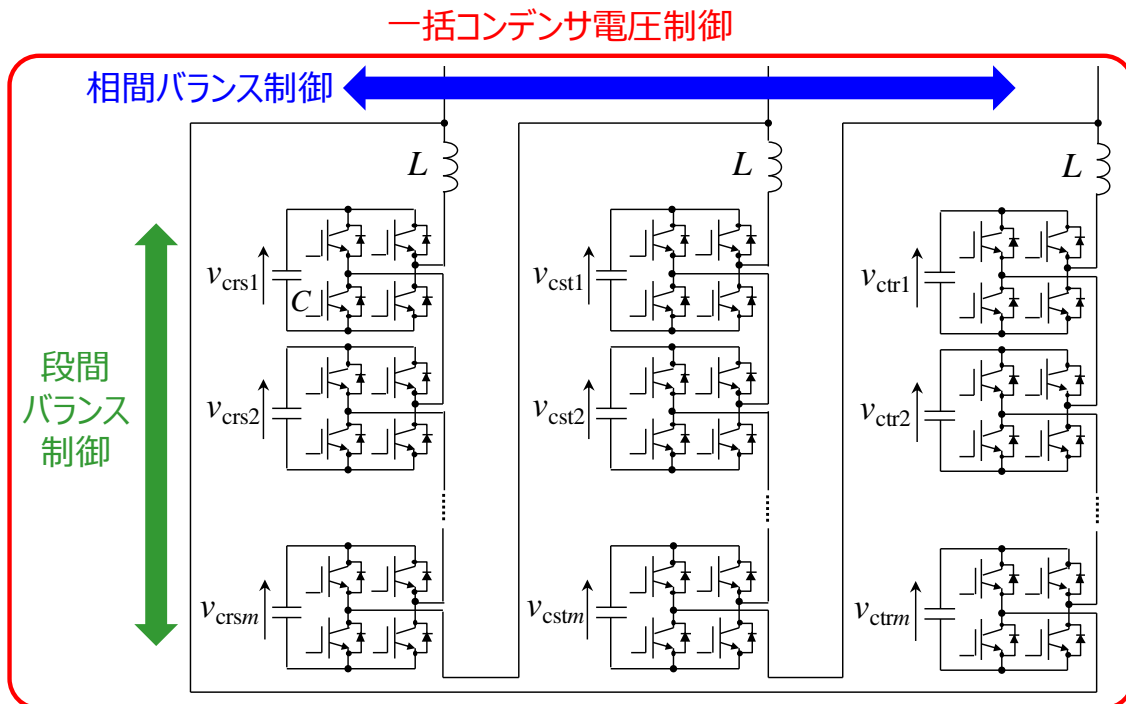


図 2-2 カスケード・マルチレベル変換器のコンデンサ電圧バランス制御

一括コンデンサ電圧制御は、全てのコンデンサの平均電圧 \bar{v}_c を定格コンデンサ電圧 v_c^* に制御する。 \bar{v}_c は下記式で計算される。

$$\bar{v}_c = \frac{1}{3m} \left(\sum_{n=1}^m v_{crsn} + \sum_{n=1}^m v_{cstn} + \sum_{n=1}^m v_{ctrn} \right) \quad (2-3)$$

一括コンデンサ電圧制御はカスケード・マルチレベル変換器の電圧制御であるため、Automatic Voltage Regulator (AVR)とも呼ばれる。

相間バランス制御は、各相のコンデンサ電圧平均値 \bar{v}_{crs} , \bar{v}_{cst} , \bar{v}_{ctr} が互いに一致するよう制御する。 \bar{v}_{crs} , \bar{v}_{cst} , \bar{v}_{ctr} は下記式で定義される。

$$\begin{aligned} \bar{v}_{crs} &= \frac{1}{m} \sum_{n=1}^m v_{crsn} \\ \bar{v}_{cst} &= \frac{1}{m} \sum_{n=1}^m v_{cstn} \\ \bar{v}_{ctr} &= \frac{1}{m} \sum_{n=1}^m v_{ctrn} \end{aligned} \quad (2-4)$$

一括コンデンサ電圧制御で全体のコンデンサ電圧平均値は制御されているので、相間でコンデンサ電圧平均値を一致させれば定格コンデンサ電圧に収束するはずである。相間でコンデンサ電圧を制御するには各相の電力バランスを制御する必要がある。デルタ結線であれば、正弦波状の零相電流をデルタ結線内に流してその振幅と位相を制御すれば、エネルギーは相間で授受され全体のコンデンサ電圧平均値には影響を与えない。

段間バランス制御は、カスケード接続されたアーム内で全てのコンデンサ電圧を当該アームのコンデンサ電圧平均値に制御する。アームに流れる電流と同相または逆位相の電圧制御量を各セルの電圧指令値に重畳すればよい。コンデンサのエネルギーはアーム内のセル同士で授受されるので、他の電流制御やバランス制御には干渉しない。

3つのバランス制御は互いに干渉せず、電流制御にも干渉しない。ここで説明したバランス制御はPWM制御を適用したカスケード・マルチレベル変換器において一般的に用いられる。

2.2.3. 1 パルス制御のバランス制御

カスケード・マルチレベル変換器に1パルス制御を適用する場合、一括コンデンサ電圧制御と相間バランス制御はPWMと同じ考え方が適用できるが、段間バランス制御はそのまま適用できない。PWMと同じように各セルの電圧指令値に段間バランス制御量を重畳すると、電流制御で決定された各セルの出力パルスの位相が変化し、結果として電流制御に干渉してしまう。電流制御に干渉すると電流が歪むこととなる。このため、1パルス制御用の段間バランス制御が必要になる。

A) 従来の1パルス制御

1パルス制御用の段間バランス制御としては、Pengらが1996年にカスケード・マルチレベルを発表した際に、パルス位相シフト[12]を同時に提案した。この原理を図2-3に示す。STATCOM向けのカスケード・マルチレベル変換器を想定しており、変換器の損失を無視すると、出力電圧と出力電流の位相差は基本的に90度である。図2-3(a)のように系統電圧 v_s に対してセルが左右対称な電圧パルス v_{out} を出力する時、セルのコンデンサから流出する電流 i_c は点対称になる。この時、コンデンサが放電する電荷と充電する電荷は等しいため、パルス出力の前後でコンデンサ電圧は変化しない。一方、図2-3(b)のように出力電圧 v_{out} を右側にシフトすると、コンデンサ電流が変化し放電量よりも充電量の方が大きくなり、結果としてコンデンサは充電される。シフト方向を逆にすればコンデンサは放電される。このシフト量を制御することで、コンデンサの充放電を制御することができる。図2-3は進み電流の場合で図示しているが、遅れ電流の場合はパルスシフト方向と充放電は逆の関係になる。

この位相シフトによるコンデンサ電圧制御は、全てのコンデンサ電圧を独立に制御することができる。しかしながら、各セルの電圧パルスの変化位相が個別に動いてしまうため、こちらも電流制御に干渉してしまう欠点がある。また、電圧と電流の位相差が90度付近の場合にしか有効に作用しない。このため、パルス位相シフトは実用的でないと見られていた。

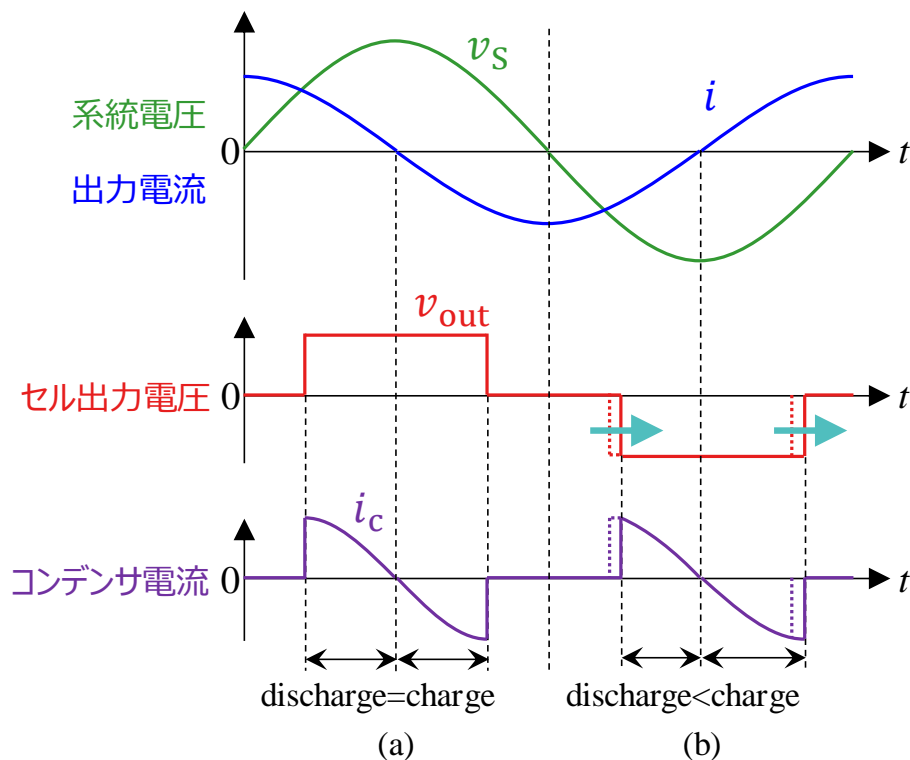


図 2-3 パルス位相シフトによるコンデンサ電圧制御

これらの問題を解決する段間バランス制御として、コンデンサ電圧の順に各セルのパルス出力順序を決定するソーティングアルゴリズム[33]–[35][65]が遅くとも 2009 年[33]には提案されている。フルブリッジセルの 3 段カスケードによる単相出力の場合のソーティングアルゴリズムの動作を図 2-4 に示す。3 つのセルの出力電圧 v_1, v_2, v_3 の和がアーム出力電圧 v となる。各セルのパルス出力順序はコンデンサ電圧順に決定する。図 2-4 の場合、コンデンサ電圧の大小関係は $v_{c1} > v_{c2} > v_{c3}$ であり、パルス変化順はセル 1、セル 2、セル 3 の順である。セル 1 を一番早く立ち上げ、一番早く立ち下げる。セル 1 は充電量より放電量が大きいのでコンデンサ電圧は低下し、セル 2 は変化せず、セル 3 は増加する。アーム出力電圧に対して各セルのパルスは非対称であるが、アーム出力電圧自体は変わらない。このようにコンデンサ電圧の順にパルス変化順序を決定することで、コンデンサ電圧の段間バランス制御が実現できる。

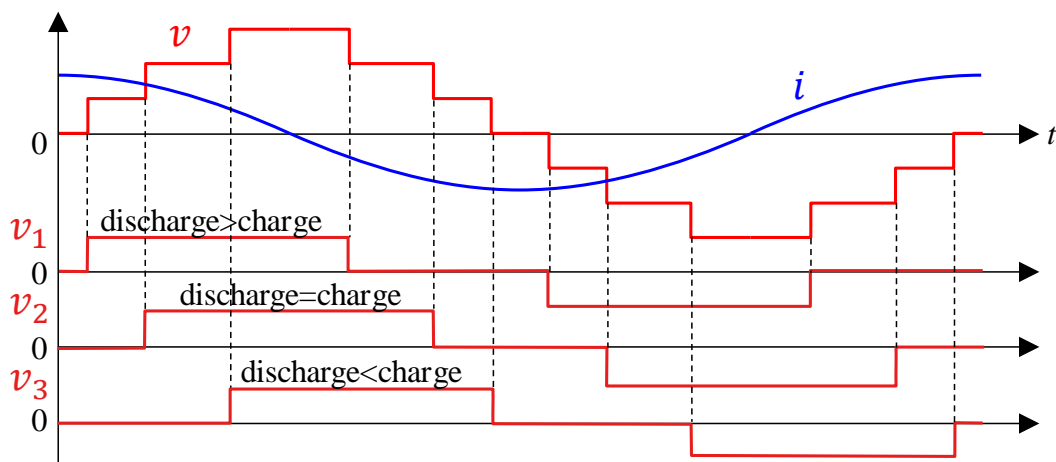


図 2-4 ソーティングアルゴリズムによるコンデンサ電圧段間バランス制御

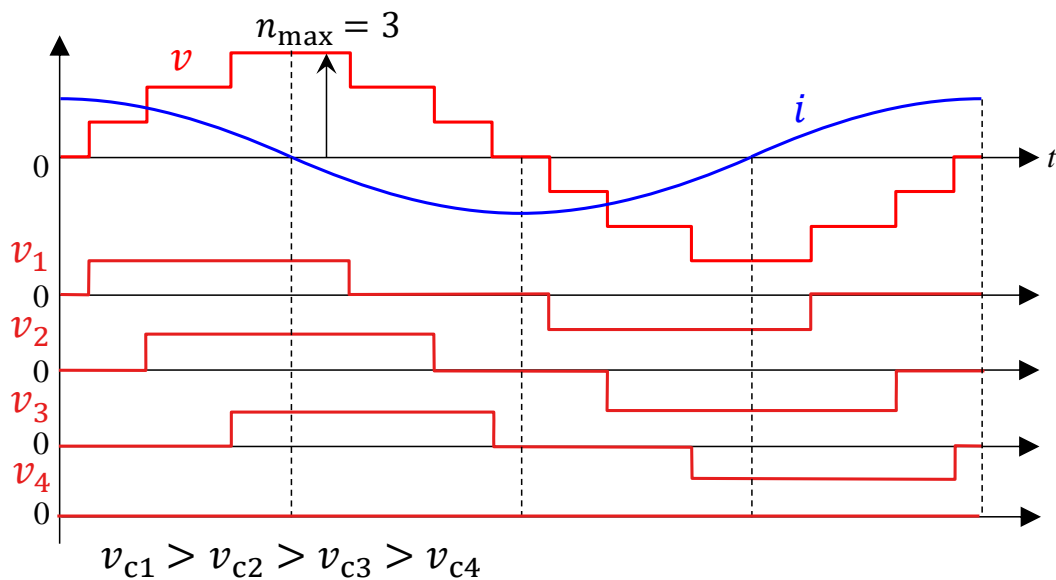


図 2-5 カスケード数より最大出力セル数が低い場合の出力パルス

B) 従来の1パルス制御向けソーティングアルゴリズムの課題

しかしながら、従来のソーティングアルゴリズムにも課題がある。カスケード数より最大出力セル数が少ない場合を図 2-5 に示す。ここでは、カスケード数が4段で、最大出力セル数 $n_{\max} = 3$ の場合を示している。この時、常に1つのセルはアーム出力に関与しないため非動作セルとなりパルスを出ししない。出力に関与するセルはコンデンサ電圧が変化しバランス制御されるが、非動作セルはコンデンサへの電流入出力がないため電圧を制御できない。

このような動作は変調率が低い場合や、設計上冗長セルを持つ場合に起こり得る。HVDC では実際の運転状態において変調率が大きく変化しないため問題になりにくい。STATCOM では出力無効電力に応じて変調率が幅広く変化するため問題となる。またセルが冗長構成ならば、殆どの場合で最大出力段数はカスケード数より小さくなる。

図 2-5 のように進み無効電流を出力している場合、出力順はコンデンサ電圧の大きい方からなので、コンデンサ電圧が低いセルは非動作の状態が続く。すると図 2-6 のように自然放電で非動作セル (Uncontrolled cells) のコンデンサ電圧は徐々に低下してしまう。図 2-6 は例としてカスケード数 12 段のうち2セルが非動作である場合を示している。その後変調率が増加し最大出力セル数も増えて再び出力に関与しても、コンデンサ電圧が低いので想定通りの電圧出力ができず電流歪みの原因となる。また、コンデンサ電圧の低下が著しいと、不足電圧保護で装置自体が停止してしまうことになる。

このように、従来のソーティングアルゴリズムには変調率が変化した際の実用性に課題があり、実機への適用が現実的ではなかった。本章では、低変調率時にも有効に作用する段間バランス制御の開発を中心に、1パルス制御をより実用的なものとする事で、スイッチング損失を低減したカスケード・マルチレベル変換器を実現する。

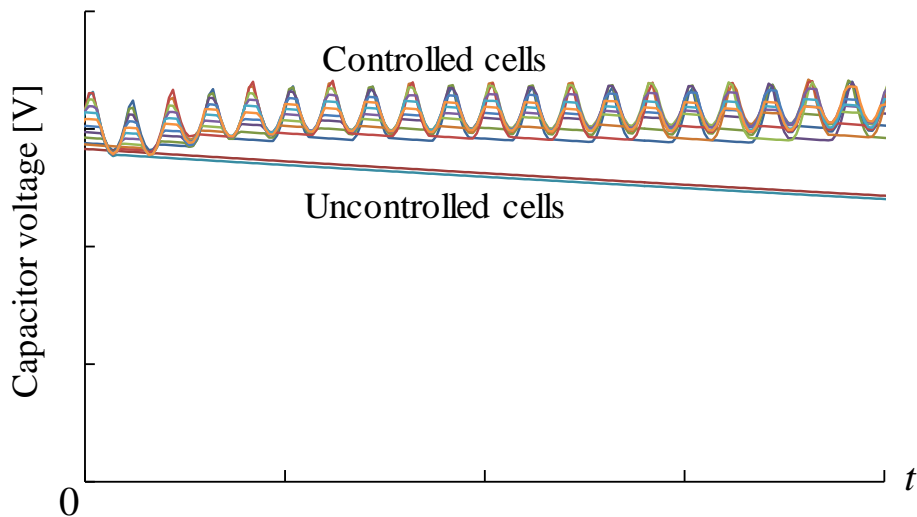


図 2-6 動作セルと非動作セルのコンデンサ電圧の変化

2.3. カスケード・マルチレベル STATCOM

2.3.1. 回路構成

対象機器として図 2-7 に示すデルタ結線カスケード・マルチレベル構成の STATCOM を考える。容量は電力系統向けの数十 Mvar クラスを想定する。フルブリッジを m 段カスケード接続したアームをデルタ結線し、トランスを介して系統 v_s に接続する。各アームにはバッファリアクトル L_b が挿入される。各アームの出力電圧にはスイッチングの高周波成分が含まれており、その三相和はゼロにならないため、デルタ結線内の瞬時的な短絡を防ぐためバッファリアクトルが必要となる[66]。

デルタ結線[29][30][35][67]–[70]は同じ出力電圧を得るために必要なカスケードセル数がスター結線よりも多いが、デルタ結線内に零相電流を流すことで系統に電流を流すことなく相間バランス制御が可能である他、逆相無効電力補償も可能である[30][67]。スター結線では系統に何らかの電流を出力しなければバランス制御ができない。このため無効電力補償をする必要がないにも関わらずバランス制御のために系統に電流を出力するといった動作が生じてしまう。配電用のような容量規模であれば問題にならないと思われるが、電力系統向けのよう大容量機ではそのような動作は許容できないと考えられる。今回は数十 Mvar の大容量機を考えるので、デルタ結線を採用する。

なお、本論文では検討対象として変換器に主眼を置いているため、STATCOM の補償電流 i_r, i_s, i_t は系統へ出力される方向を正符号としている。STATCOM は、遅れ電流を出力する場合にコンデンサ（容量性）動作、進み電流を出力する場合にインダクタ（誘導性）動作となる。

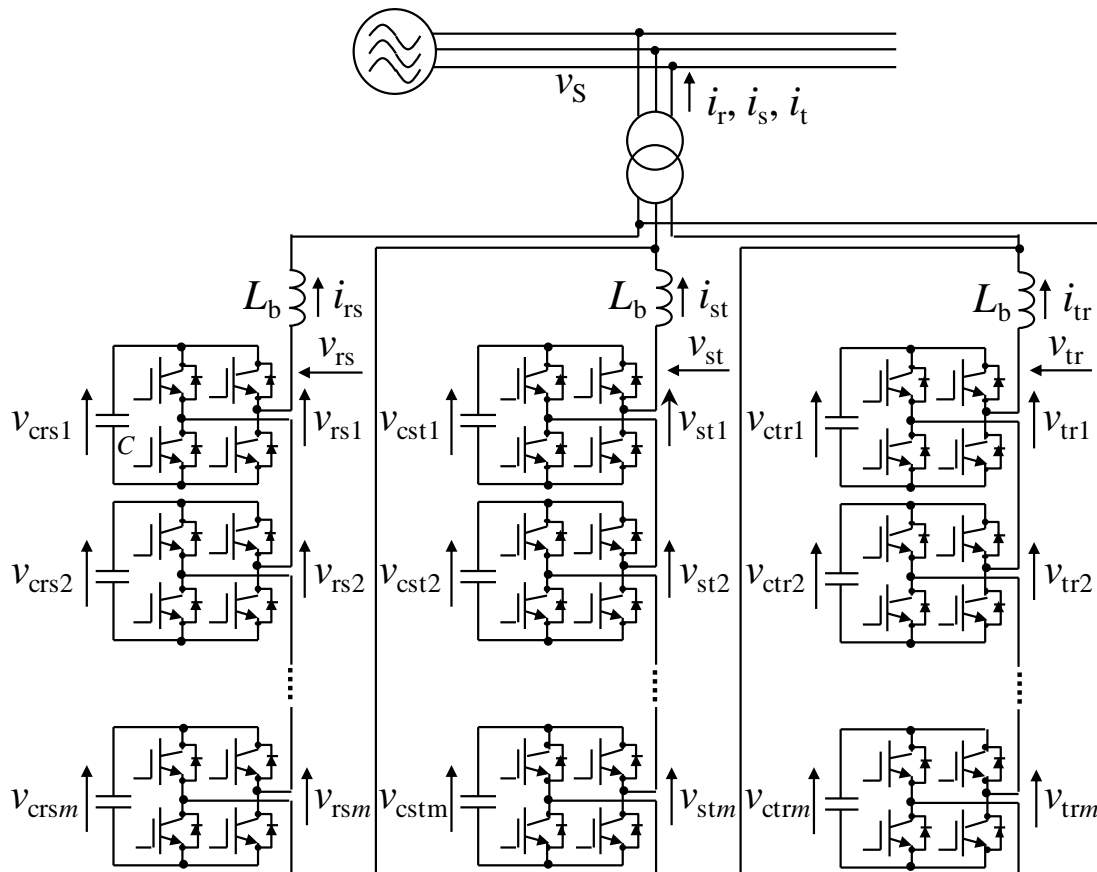


図 2-7 デルタ結線カスケード・マルチレベル STATCOM

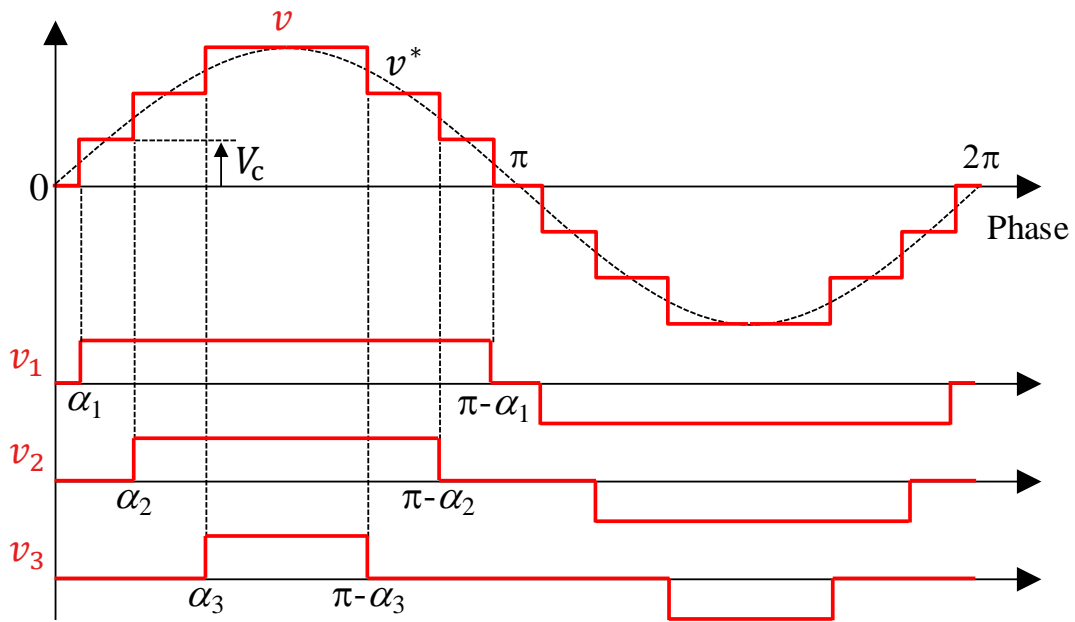


図 2-8 カスケード・マルチレベル STATCOM の 1 パルス出力電圧

このカスケード・マルチレベル STATCOM に 1 パルス制御を適用した時の 1 アームの出力電圧 v を図 2-8 に例示する。ここではカスケード数 $m = 3$ の場合を例として示している。各セルが半周期に 1 回ずつパルスを出力することで、アーム電圧指令値 v^* に対してアーム全体として階段状の出力電圧 v が得られる。ここでは、次の節で高調波の計算をするために、1 パルスの形はアーム電圧指令値 v^* のピークに対して左右対称な形としている。階段パルスの 1 ステップはセルのコンデンサ電圧 v_c に等しい。ここではコンデンサ電圧 v_c はリップルの無い一定値 V_c と仮定している。

2.3.2. カスケード数と高調波

STATCOM のように系統に連系する変換器に対しては高調波規格[50][51]が存在するため、これを遵守しなければならない。変調法の他に高調波に影響する要素はカスケード数（電圧レベル数）と連系インピーダンスがある。連系インピーダンスには、図 2-7 の回路ではバッファリアクトル L_b とトランスのインピーダンスが含まれる。ここでは 1 パルスを理想的な矩形波と仮定し、カスケード数と連系インピーダンスと高調波の関係について検討する。

図 2-8 のようにアーム電圧指令値 v^* のピークに対して左右対称な m 段の 1 パルスを積み上げて階段状のアーム電圧 v を出力すると考えると、アーム電圧 v は位相 α_k ($k = 1, 2, \dots, m$) で立ち上がり $\pi - \alpha_k$ で立ち下がる振幅 V_c の 1 パルスの加算である。なお、セルごとの 1 パルスの波形が左右対称な場合でも、図 2-4 のようにソーティングアルゴリズムを適用して非対称な場合でも、トータルの出力電圧波形が同じであれば高調波は同じである。ここでは、1 つの位相 α_k だけで 1 パルスを表せる図 2-8 のようなパルスを想定する。出力電圧 v の瞬時値は立ち上がっている段数と振幅 V_c との積であり、変調率 1 において最大振幅 $V_m = mV_c$ となる。高調波は m 個の 1 パルスそれぞれについてフーリエ級数展開して考えれば良いので、出力電圧の n 次高調波電圧の実効値 V_n は各 1 パルスの n 次高調波の和となる。これを式で表すと下記の式になる。

$$V_n = \frac{2\sqrt{2}V_c}{n\pi} \left| \sum_{k=1}^m \cos(n\alpha_k) \right| \quad (2-5)$$

電圧指令値 v^* が現在の出力電圧より $V_c/2$ だけ変化した時にパルス出力を変化させれば、電圧指令値に追従したカスケード1パルス電圧が得られる。パルス出力が変化する閾値電圧を v_{th} 、 k 段目の1パルスの変化位相 α_k の閾値電圧を v_{thk} とする。変調率が1の時ピーク電圧は mV_c なので、閾値電圧が v_{thk} となる位相、即ち1パルスの変化位相 α_k は

$$\alpha_k = \sin^{-1}\left(\frac{v_{thk}}{mV_c}\right) \quad (2-6)$$

となる。式(2-5)(2-6)より n 次高調波電圧実効値 V_n は以下の式となる。

$$V_n = \frac{2\sqrt{2}V_c}{n\pi} \left| \sum_{k=1}^m \cos\left(n\sin^{-1}\left(\frac{v_{thk}}{mV_c}\right)\right) \right| \quad (2-7)$$

トランスの変圧比を1:1とすると、図2-7において変換器はデルタ結線なので、STATCOMが系統に出力する電流の n 次高調波電流 I_n は

$$I_n = \frac{V_n}{\sqrt{3n}(X_{AC} + X_L)} \quad (2-8)$$

で表される。ここで、 X_{AC} は連系点より上流の系統リアクタンス、 X_L は連系点と変換器の間の連系リアクタンスである。トランスの漏れリアクタンスを X_{Tr} 、バッファリアクトルのリアクタンスを X_{Lb} とすると、連系リアクタンス X_L は下記式で求められる。

$$X_L = X_{Tr} + \frac{X_{Lb}}{3} \quad (2-9)$$

また、STATCOMの連系点の n 次高調波電圧 V_{SHn} は以下の式で表される。

$$V_{SHn} = nI_n X_{AC} \quad (2-10)$$

式(2-7)~(2-10)より出力電流と連系点電圧の総合歪率 (THD: Total Harmonic Distortion)を計算した例を図2-9に示す。系統リアクタンス X_{AC} は2.5%、連系リアクタンス X_L は10%、変調率は1とした。また歪

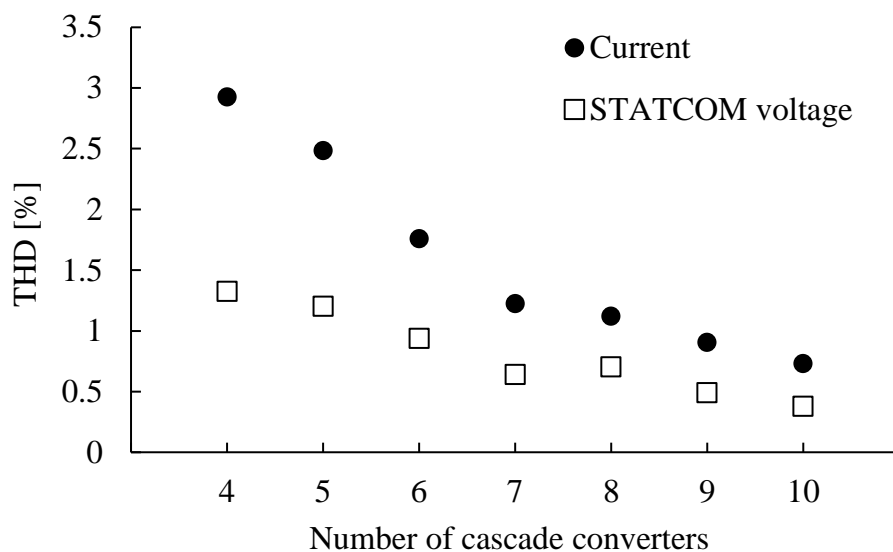


図 2-9 1パルス制御カスケード・マルチレベル変換器の THD
($X_{AC}=2.5\%$, $X_L=10\%$, Modulation index=1)

1 パルス制御のロバスト化

率の計算において高調波次数は 49 次までの奇数次を考慮し、3 倍次高調波はデルタ結線内を循環するので系統に流出しないと仮定した。当然ながら、カスケード数が多いほど歪率は低下していることが見てとれる。

これらの式により高調波規制値以下となるために必要なカスケード数と連系リアクタンスを設計することができる。本条件においては、カスケード数が 5 段以上で電圧 THD は 1.5%未満、電流 THD は 2.5%未満となり、IEEE Standard 519 [50]、高調波抑制ガイドライン[51]等の高調波規制値以下となる。実際の 1 パルスにはコンデンサ電圧のリプルが重畳されるため高調波計算値と完全には一致しないが、通常、コンデンサ電圧のリプルは定格に対して十分小さくなるようコンデンサ容量を設計するため、本計算は概略計算として用いることができる。

2.4. 1 パルス制御の制御システム

図 2-10 に 1 パルス制御を適用したカスケード・マルチレベル STATCOM の全体制御ブロック図を示す。既に述べたが、STATCOM の補償電流は STATCOM から系統へ出力される方向を正符号としている。

主要な制御ブロックは主に、電流制御 (ACR: Automatic Current Regulator)、一括コンデンサ電圧制御 (AVR: Automatic Voltage Regulator)、相間バランス制御 (Interphase balance control)、1 パルス変調 (Modulation)、段間バランス制御 (Intercell balance control)、零相電流制御 (ACR_z)で構成される。

位相 θ_s は PLL (Phase Locked Loop)により検出された系統電圧 v_s の位相である。これに同期した d-q 軸上で有効・無効電力をそれぞれ制御する。系統電圧が不平衡な場合には逆相電圧が含まれるため有効・無効電圧が系統周波数の 2 倍で脈動するので、PLL の帯域はこれを十分除去できるように設定される。

以下に各種制御について基本的なものから順に説明していく。そして、本章のポイントであり提案法である 1 パルス制御のロバスト化を段間バランス制御の節で詳しく述べる。

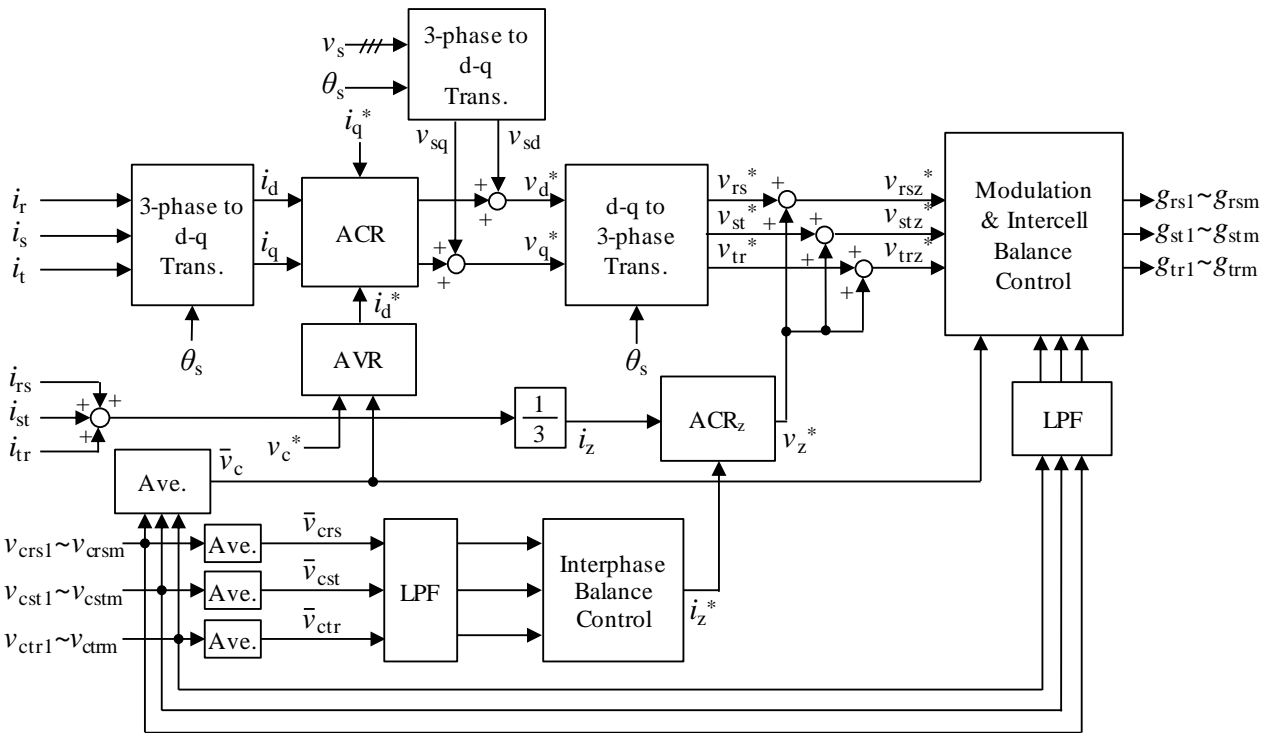


図 2-10 1 パルス制御カスケード・マルチレベル STATCOM の全体制御ブロック図

2.4.1. 1 パルス変調法

アーム電圧指令値からパルスの変化する位相を決定する 1 パルス変調法を図 2-11 を用いて説明する。1 パルス変調法としては、パルスを変化させる位相を予め決めておく方法もあるが[12]、系統電圧の変動に追従した出力を得ることは難しい。そこで、電圧指令値の変化に応じてパルスの変化タイミングを決定する方法を用いる。図 2-11 は最大出力セル数が 3 段の場合のアーム電圧の変調法を半周期分例示している。 v^* はアーム電圧指令値、 v はアーム電圧、 V_c はセルのコンデンサ電圧の定格値である。コンデンサ電圧はリップルは考慮せず一定と仮定する。

1 パルス変調は、セルの出力パルスの変化するタイミング（位相）を決定する。具体的には、アーム電圧指令値 v^* が現在のアーム電圧 v より $\pm V_c/2$ 以上変化したタイミングでパルス出力を変化させる。するとアーム電圧は現在値から V_c だけ変化する。コンデンサ電圧 V_c が小さいほど 1 ステップは細かく、アーム電圧指令値 v^* に近似した正弦波に近いアーム電圧出力 v が得られる。

上記のような 1 パルスの変化位相は、アーム電圧指令値 v^* と式(2-10)に示す閾値電圧 v_{th} を比較することで決定される。

$$v_{th} = \begin{cases} (n_{ON} + \frac{1}{2})V_c & (\frac{dv^*}{dt} \geq 0) \\ (n_{ON} - \frac{1}{2})V_c & (\frac{dv^*}{dt} < 0, n_{ON} > 0) \\ 0 & (\frac{dv^*}{dt} < 0, n_{OFF} = 0) \end{cases} \quad (2-11)$$

ここで、 n_{ON} はその時点でパルスを出力しているセルの数、 dv^*/dt はアーム電圧指令値 v^* の傾きである。閾値電圧 v_{th} は、現在のアーム電圧 v に対して $+V_c/2$ または $-V_c/2$ の差を持つ。 dv^*/dt が正の時、電圧指令値 v^* が閾値電圧 v_{th} に一致もしくは上回ると、パルス出力するセルを 1 つ増加させる。すると出力電圧 v が増加すると共に n_{ON} も 1 つ増加し、閾値電圧 v_{th} は次の値に移行する。また dv^*/dt が負の時、電圧指令値 v^* が閾値電圧 v_{th} に一致もしくは下回ると、パルス出力するセルを 1 つ減少させる。すると出力電圧

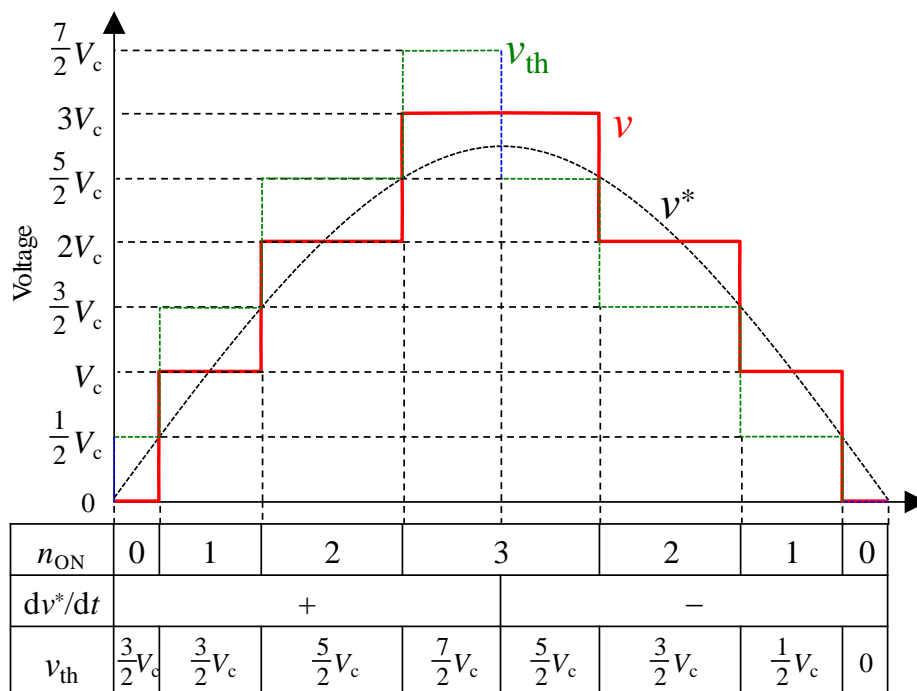


図 2-11 1 パルス変調の原理図

1 パルス制御のロバスト化

v が減少すると共に n_{ON} も1つ減少し、閾値電圧 v_{th} は次の値に移行する。以上は出力電圧が正の場合であるが、負の場合も電圧指令値 v^* と出力電圧の符号を逆にして同様の処理を適用すれば、上記の1パルス変調が実現できる。

本1パルス変調法は、変化位相を予め定めず、アーム電圧指令値が現在のアーム電圧より直流電圧の半分以上変化した際に出力を変化させる。これにより、アーム電圧指令値の変化に追従したアーム出力電圧が得られ、ひいては系統電圧の変動に追従した出力を得ることができる。系統連系される変換器は、出力電流の制御のため基本的に系統電圧に変動に追従した電圧出力が必要となる。また、事故で系統電圧が低下した際にも高速に追従しなければ、系統電圧と変換器電圧に差が生じて過大な電流が流れてしまう。この電流が大きいと、変換器の半導体素子を保護するため変換器は停止しなければならなくなる。

2.4.2. 一括コンデンサ電圧制御

一括コンデンサ電圧制御ではカスケード・マルチレベル変換器の備える全てのコンデンサ電圧の平均値を制御する[30][60]。図 2-10 において一括コンデンサ電圧制御ブロックは AVR で示されている。フィードバック値である全コンデンサ電圧平均値 \bar{v}_c は式(2-3)で求められる。AVR では式(2-12)に示す PI 制御を適用したフィードバック制御により、全コンデンサ電圧平均値 \bar{v}_c をコンデンサ電圧指令値 v_c^* に制御するための有効電流指令値 i_d^* を得る。

$$i_d^* = K_{cc} \left(K_{pv}(v_c^* - \bar{v}_c) + K_{iv} \int (v_c^* - \bar{v}_c) dt \right) \quad (2-12)$$

ここで、 K_{cc} はコンデンサ電流からアーム電流への換算係数、 K_{pv}, K_{iv} はそれぞれ一括コンデンサ電圧制御の比例制御ゲインと積分制御ゲインである。一括コンデンサ電圧制御をブロック図で表すと図 2-12 のようになる。

換算係数 K_{cc} はセルのコンデンサに流れる電流をセルの出力側のアーム電流へ換算するための係数であり、変調率の逆数に相当する。ここでは以下の式により変調率の逆数を近似的に表したものをを用いる。

$$K_{cc} = \frac{mv_c^*}{v_{sd}} \quad (2-13)$$

セルの出力端から出入りする電力とコンデンサに出入りする電力は等しいが、セルの出力電圧とコンデンサ電圧は異なるため、電流の基準も異なる。したがって、このような換算が必要となる。変調率が1付近であれば換算係数 K_{cc} が無くともあまり問題はない。しかし換算しない場合、系統電圧が低下すると電圧制御ゲインが低めに作用してしまうことが式(2-13)から分かる。系統電圧低下時の動作を考える場合には係数 K_{cc} の導入は重要となる。

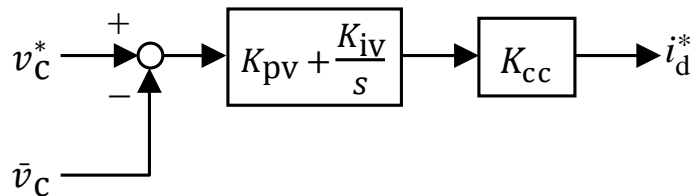


図 2-12 一括コンデンサ電圧制御のブロック図

2.4.3. 電流制御

電流制御では d-q 軸上で有効電流 i_d と無効電流 i_q を個別に制御する[30][60]。有効電流は有効電力の制御に使用し、STATCOM の損失分の電力を系統から供給する。また有効電流はセルのコンデンサ電圧にも関わり、系統から STATCOM へ有効電流を流すとコンデンサ電圧は上昇し、STATCOM から系統へ流すとコンデンサ電圧は減少する。無効電流は STATCOM の出力する無効電力補償量に関わる。補償する無効電力に応じて無効電流を制御する。

図 2-10 において電流制御ブロックは ACR で示されている。ACR では式(2-14)に示す PI 制御を適用した非干渉制御[71]により、有効電流 i_d と無効電流 i_q をそれぞれの指令値 i_d^*, i_q^* に制御するための有効電圧指令値 v_d^* と無効電圧指令値 v_q^* を得る。

$$\begin{bmatrix} v_d^* \\ v_q^* \end{bmatrix} = \begin{bmatrix} v_{sd} \\ v_{sq} \end{bmatrix} + \begin{bmatrix} 0 & -\omega L_b \\ \omega L_b & 0 \end{bmatrix} \begin{bmatrix} i_d \\ i_q \end{bmatrix} + K_{pc} \begin{bmatrix} i_d^* - i_d \\ i_q^* - i_q \end{bmatrix} + K_{ic} \int \begin{bmatrix} i_d^* - i_d \\ i_q^* - i_q \end{bmatrix} dt \quad (2-14)$$

ここで、 v_{sd} は系統電圧の有効分、 v_{sq} は系統電圧の無効分、 K_{pc}, K_{ic} はそれぞれ電流制御の比例制御ゲインと積分制御ゲインである。この電流制御をブロック図で示すと図 2-13 のようになる。

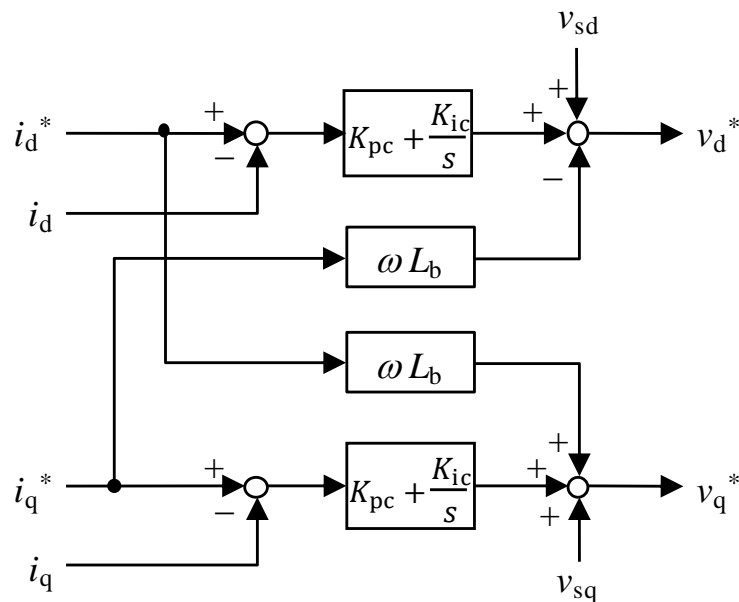


図 2-13 電流制御のブロック図

2.4.4. 相間バランス制御

相間コンデンサ電圧バランス制御では、各相のコンデンサ電圧の平均値を全コンデンサ電圧平均値に一致させることで、相間のコンデンサ電圧ばらつきを抑制する。コンデンサ電圧の相間アンバランスは、部品の特性個体差や系統電圧に僅かに含まれる不平衡成分などにより、各相の出力電力がアンバランスになることで発生する。系統電圧不平衡時は各相の出力電力が常にアンバランスとなるため、バランス制御が無ければコンデンサ電圧の相間アンバランスは増大する方向となる。

デルタ結線カスケード・マルチレベル変換器における相間バランス制御では、デルタ結線内に零相電流を流すことで、相間アンバランスを打ち消す方向の電力アンバランスを意図的に発生させることができる[30][69][70]。零相電流と出力電圧が同位相であれば、当該相の出力電力は他の相よりも大きくなりコンデンサ電圧は低下する。また逆位相であればコンデンサ電圧は上昇する。したがって、各相のコンデンサ電圧平均値 \bar{v}_{crs} , \bar{v}_{cst} , \bar{v}_{ctr} と全コンデンサ電圧平均値 \bar{v}_c の差から定義される三相電圧ベクトルと同位相の零相電流を流せばよい。デルタ結線内を流れる零相電流は系統に流出しないため、系統に対する電流制御と非干渉で相間バランス制御を行うことが出来る。

図 2-10 において相間コンデンサ電圧バランス制御 (Interphase balance control) は、各相のコンデンサ電圧平均値 \bar{v}_{crs} , \bar{v}_{cst} , \bar{v}_{ctr} より零相電流指令値 i_z^* を算出し、次項で説明する零相電流制御 ACR_z に指令値として与える。この相間バランス制御の一部をブロック図で表すと図 2-14 のようになる。

フィードバック値は、式(2-4)で算出した三相のコンデンサ電圧平均値 \bar{v}_{crs} , \bar{v}_{cst} , \bar{v}_{ctr} それぞれから全コンデンサ電圧平均値 \bar{v}_c を引いた偏差を $\alpha\beta$ 変換して $V_{c\alpha}$, $V_{c\beta}$ の二軸とする。 $V_{c\alpha}$, $V_{c\beta}$ はコンデンサ電圧のアンバランスのベクトルを $\alpha\beta$ の二軸で表す量である。

ここで、変換器の出力電圧 θ_{ST} と零相電流指令値 i_z^* を、

$$\dot{V} = \sqrt{2}V \begin{bmatrix} \sin(\theta_S + \theta_{ST}) \\ \sin\left(\theta_S + \theta_{ST} - \frac{2}{3}\pi\right) \\ \sin\left(\theta_S + \theta_{ST} - \frac{4}{3}\pi\right) \end{bmatrix} \quad (2-15)$$

$$i_z^* = I_\alpha^* \sin(\theta_S + \theta_{ST}) + I_\beta^* \cos(\theta_S + \theta_{ST}) \quad (2-16)$$

とおく。 θ_{ST} は変換器出力電圧の位相角、 I_α^* , I_β^* は零相電流指令値 i_z^* を $\alpha\beta$ の二軸で表すための値である。デルタ結線内の各相の電力の 1 周期平均は

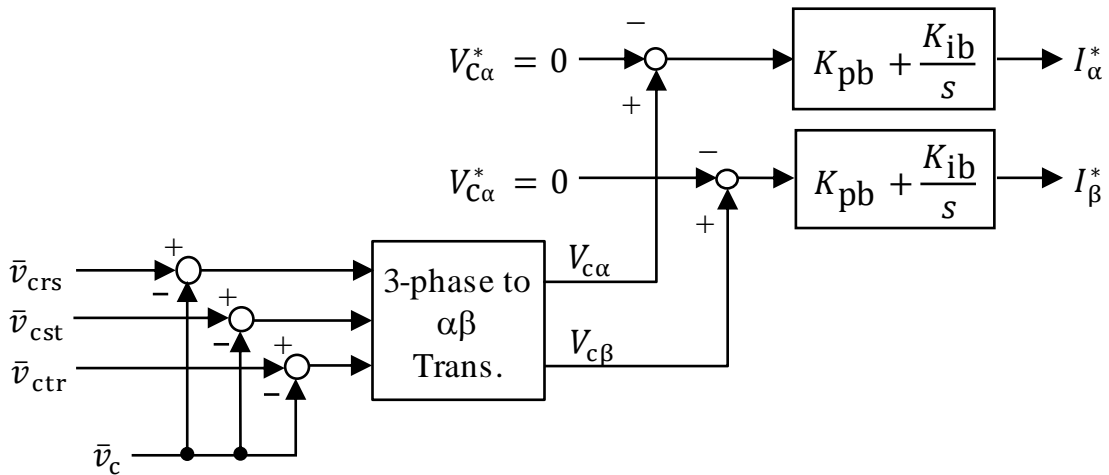


図 2-14 コンデンサ電圧の相間バランス制御のブロック図

$$\frac{1}{T} \int \dot{V}(-i_z^*) dt = -VI_\alpha^* \begin{bmatrix} 1 \\ -\frac{1}{2} \\ -\frac{1}{2} \end{bmatrix} - VI_\alpha^* \begin{bmatrix} 0 \\ \frac{\sqrt{3}}{2} \\ \frac{\sqrt{3}}{2} \end{bmatrix} \quad (2-17)$$

で計算される。これは各相コンデンサに出入りする電力に等しいので、下記式が成り立つ。

$$\begin{aligned} -VI_\alpha^* \begin{bmatrix} 1 \\ -\frac{1}{2} \\ -\frac{1}{2} \end{bmatrix} - VI_\alpha^* \begin{bmatrix} 0 \\ \frac{\sqrt{3}}{2} \\ \frac{\sqrt{3}}{2} \end{bmatrix} &= mC \begin{bmatrix} \bar{v}_{\text{crs}} \frac{d\bar{v}_{\text{crs}}}{dt} \\ \bar{v}_{\text{cst}} \frac{d\bar{v}_{\text{cst}}}{dt} \\ \bar{v}_{\text{ctr}} \frac{d\bar{v}_{\text{ctr}}}{dt} \end{bmatrix} \\ &\approx mC \bar{v}_c \begin{bmatrix} \frac{d\bar{v}_{\text{crs}}}{dt} \\ \frac{d\bar{v}_{\text{cst}}}{dt} \\ \frac{d\bar{v}_{\text{ctr}}}{dt} \end{bmatrix} \end{aligned} \quad (2-18)$$

これを変形すると下記式になる。

$$\begin{bmatrix} \frac{d\bar{v}_{\text{crs}}}{dt} \\ \frac{d\bar{v}_{\text{cst}}}{dt} \\ \frac{d\bar{v}_{\text{ctr}}}{dt} \end{bmatrix} = -\frac{1}{mC\bar{v}_c} \left(VI_\alpha^* \begin{bmatrix} 1 \\ -\frac{1}{2} \\ -\frac{1}{2} \end{bmatrix} + VI_\alpha^* \begin{bmatrix} 0 \\ \frac{\sqrt{3}}{2} \\ \frac{\sqrt{3}}{2} \end{bmatrix} \right) \quad (2-19)$$

$\alpha\beta$ の二軸に変換するため変換行列

$$[C] = \frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & \frac{\sqrt{3}}{2} \\ \frac{1}{2} & \frac{1}{2} & \frac{1}{2} \end{bmatrix} \quad (2-20)$$

を両辺の左にかけると

$$\begin{aligned} [C] \begin{bmatrix} \frac{d\bar{v}_{\text{crs}}}{dt} \\ \frac{d\bar{v}_{\text{cst}}}{dt} \\ \frac{d\bar{v}_{\text{ctr}}}{dt} \end{bmatrix} &= -[C] \frac{1}{mC\bar{v}_c} \left(VI_\alpha^* \begin{bmatrix} 1 \\ -\frac{1}{2} \\ -\frac{1}{2} \end{bmatrix} + VI_\alpha^* \begin{bmatrix} 0 \\ \frac{\sqrt{3}}{2} \\ \frac{\sqrt{3}}{2} \end{bmatrix} \right) \\ \begin{bmatrix} \frac{dV_{c\alpha}}{dt} \\ \frac{dV_{c\beta}}{dt} \\ \frac{d\bar{v}_c}{dt} \end{bmatrix} &= -\frac{V}{mC\bar{v}_c} \begin{bmatrix} I_\alpha^* \\ I_\beta^* \\ 0 \end{bmatrix} \\ \begin{bmatrix} V_{c\alpha} \\ V_{c\beta} \end{bmatrix} &= -\frac{V}{smC\bar{v}_c} \begin{bmatrix} I_\alpha^* \\ I_\beta^* \end{bmatrix} \end{aligned} \quad (2-21)$$

1 パルス制御のロバスト化

となり、コンデンサ電圧のアンバランス量 $V_{c\alpha}$, $V_{c\beta}$ は $\alpha\beta$ の二軸上で制御できることが分かる。ただしここでは

$$\begin{bmatrix} V_{c\alpha} \\ V_{c\beta} \\ \bar{v}_c \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 2\bar{v}_{crs} - \bar{v}_{cst} - \bar{v}_{ctr} \\ -\sqrt{3}\bar{v}_{cst} + \sqrt{3}\bar{v}_{ctr} \\ \bar{v}_{crs} + \bar{v}_{cst} + \bar{v}_{ctr} \end{bmatrix} \quad (2-22)$$

としている。相間アンバランスを抑制するには $V_{c\alpha} = 0$, $V_{c\beta} = 0$ となるよう制御できればよいので、零相電流指令値 i_z^* の I_α^* , I_β^* をPI制御を用いて下記式で制御する。

$$\begin{bmatrix} I_\alpha^* \\ I_\beta^* \end{bmatrix} = K_{pb} \begin{bmatrix} V_{c\alpha} \\ V_{c\beta} \end{bmatrix} + K_{ib} \int \begin{bmatrix} V_{c\alpha} \\ V_{c\beta} \end{bmatrix} dt \quad (2-23)$$

ここで、 K_{pb} , K_{ib} はそれぞれ相間バランス制御の比例制御ゲインと積分制御ゲインである。式(2-16)と式(2-23)より、零相電流指令値 i_z^* が得られる。

2.4.5. 零相電流制御

零相電流制御は相間バランス制御の一端を担い、デルタ結線内を流れる零相電流 i_z を制御する。零相電流 i_z は以下の式で表される。

$$i_z = \frac{1}{3}(i_{rs} + i_{st} + i_{tr}) \quad (2-24)$$

図 2-10 において零相電流制御ブロックは ACR_z で示されている。相間バランス制御で得られた零相電流指令値 i_z^* を基に、変換器の零相電圧指令値 v_z^* を得て、各相アームの電圧指令値 v_{rs}^* , v_{st}^* , v_{tr}^* に等しく加算する。

式(2-16)のとおり零相電流指令値 i_z^* は正弦波状に変化するため、PI制御だけでは位相遅れを生じ偏差が残ってしまう。1パルス制御ではスイッチング回数が少ないため、制御ゲインを上げて偏差を低減することも難しい。そこで図 2-15 に示すように、PI制御を用いたフィードバック制御に加えて、フィードフォワード制御を適用する。本零相電流制御を式で表すと下記式のようなになる。

$$v_z^* = K_{pz}(i_z^* - i_z) + K_{iz} \int (i_z^* - i_z) dt + v_{zFF} \quad (2-25)$$

ここで、 K_{pz} , K_{iz} はそれぞれ零相電流制御の比例制御ゲインと積分制御ゲイン、 v_{zFF} は零相電流制御のフ

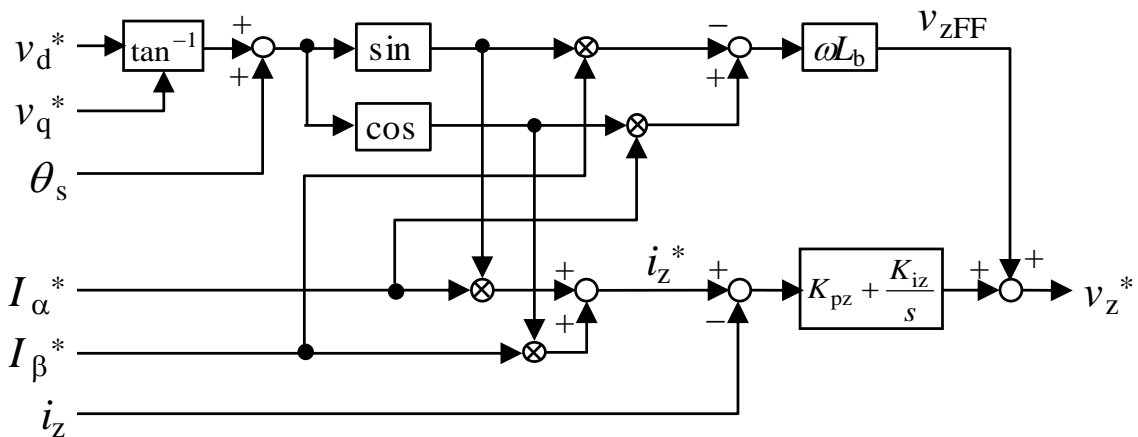


図 2-15 零相電流制御のブロック図

ィードフォワード項である。

フィードフォワード項 v_{zFF} は式(2-16)の零相電流指令値 i_z^* を流すために必要な零相電圧である。デルタ結線内のインピーダンスはバッファリアクトル L_b のリアクタンスに等しいので、インダクタンスの電圧と電流の関係式よりフィードフォワード項 v_{zFF} と零相電流指令値 i_z^* の関係式は

$$v_{zFF} = L_b \frac{di_z^*}{dt} = \omega L_b (I_\alpha^* \cos(\theta_S + \theta_{ST}) - I_\beta^* \sin(\theta_S + \theta_{ST})) \quad (2-26)$$

となる。このフィードフォワード項により、フィードバック PI 制御の位相遅れを改善する。

2.4.6. 段間バランス制御

段間バランス制御 (Intercell balance control)は、ある 1 相のアーム内のセルのコンデンサ電圧のばらつきを抑制する。電流制御により決定されるパルス変化位相は固定し、変化位相をどのセルに割り当てるかを制御する。そのため図 2-10 では変調 (Modulation)と同じブロックで示している。エネルギーは相内のセルのコンデンサ間でのみ授受され、各相のエネルギーの総和は変化しない。即ち、他の制御に干渉せず独立に制御できる。図 2-10 では段間バランス制御ブロックに入力するコンデンサ電圧にローパスフィルタをかけているが、これはシステムの 2 倍周波数のリップルを減衰させるもので、カットオフ周波数は数十 Hz 程度が選定される。段間バランス制御によるコンデンサ電圧の変化度合いは後述のように実際のリップルの大きさに関係するが、定格コンデンサ電圧に対して十分小さければローパスフィルタの段間バランス制御への影響は僅かである。

セルへの変化位相の割り当てのため、図 2-16 に示すパルスの変化順序の 1 次元配列 $order$ を導入する。例えばカスケード数が m 段の時、パルスの変化順序 $order$ は要素数 m の 1 次元配列である。

$$order[k] \quad (k = 1, 2, \dots, m) \quad (2-27)$$

変化順序 $order$ の k 番目の要素 $order[k]$ には、次の電圧出力半周期において k 番目に変化するセル Cell n (n はセルの番号) が格納される。パルス変化の際には $order[1]$ から順に参照しながら、中に格納されてい

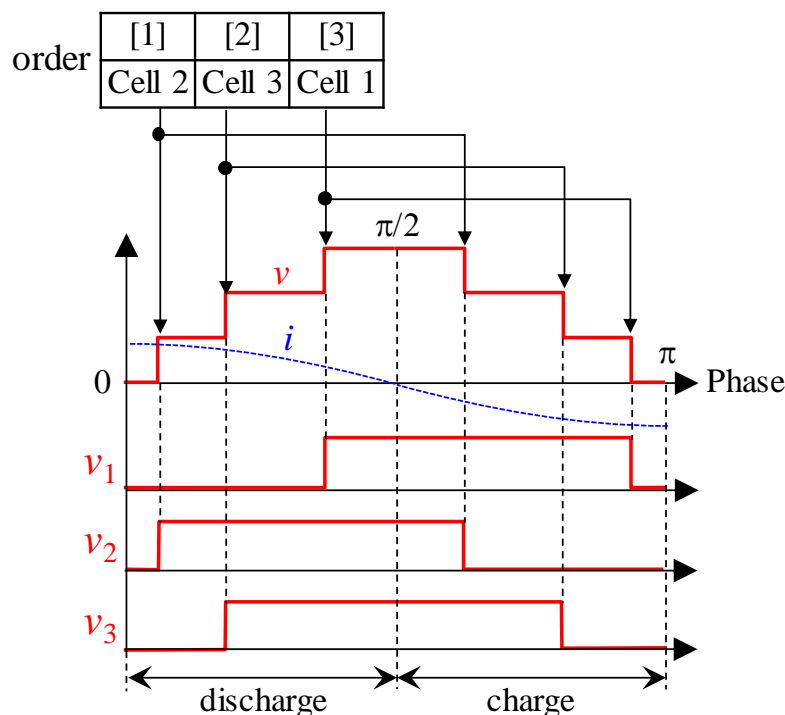


図 2-16 パルス出力順序と出力パルスの対応

るセル番号のセルの出力を変化させていく。例えば図 2-16 の場合、パルス変化順序orderは

$$\text{order} = (\text{Cell 2} \quad \text{Cell 3} \quad \text{Cell 1}) \quad (2-28)$$

であるため、Cell 2 が最も早くパルスを立ち上げ、次に Cell 3、Cell 1 と立ち上げる。立ち下げ時も同様の順で、Cell 2、Cell 3、Cell 1 と立ち下げる。orderには実際にはセルの番号のみを格納すれば良いが、順序との混乱を避けるためここでは Cell n を格納するものとしている。パルス変化順序は各相に用意され、rs 相、st 相、tr 相にそれぞれ $\text{order}_{rs}[k]$ 、 $\text{order}_{st}[k]$ 、 $\text{order}_{tr}[k]$ が対応する。

A) ソーティングアルゴリズム

パルス変化順の決定にはソーティングアルゴリズム[32]–[35][65]を用いる。STATCOM は基本的に無効電力のみを出力するため、アーム電圧 v と電流 i はほぼ $\pi/2$ rad の位相差を持つ。このためパルスを出力するセルのコンデンサは、図 2-16 のように $\pi/2$ ごとに充放電状態が切り替わる。図 2-16 のように電流 i が進みであれば、パルスの立ち上がり位相が早いほど放電期間は長く、立ち下り位相が早いほど充電期間は短くなり、充電量より放電量の方が大きくなりコンデンサ電圧は低下する。逆に、パルスの立ち上がり位相が遅いほど放電期間は短く、立ち下り位相が遅いほど充電期間は長くなり、結果的にコンデンサ電圧は上昇する。

アームのコンデンサ電圧平均値は相間バランス制御によって全コンデンサ電圧平均値に制御されているため、段間バランス制御でコンデンサ電圧をアーム平均電圧に一致させるよう制御できればよい。したがって、図 2-17 のようにコンデンサ電圧の高いセルから順にパルスの変化順序を割り当てれば、コンデンサ電圧は全体としてバランス方向に向かう。図 2-17 では各セルのコンデンサ電圧のアーム平均電圧との差の大きさと正負を矢印の長さで示している。電流が遅れの場合は充放電が逆になるため、コンデンサ電圧の低いセルから変化順序を割り当てればよい。

電流の進み・遅れは無効電流 i_q または無効電流指令値 i_q^* の符号から判別できるが、ここでは安定している無効電流指令値 i_q^* を使用する。系統電圧不平衡時はデルタ結線内に零相電流が流れるためアーム電圧と電流の位相差は $\pi/2$ rad からずれるが、ソーティングアルゴリズムであれば充放電パターンは平均化されるため、コンデンサ電圧は段間でバランスする。

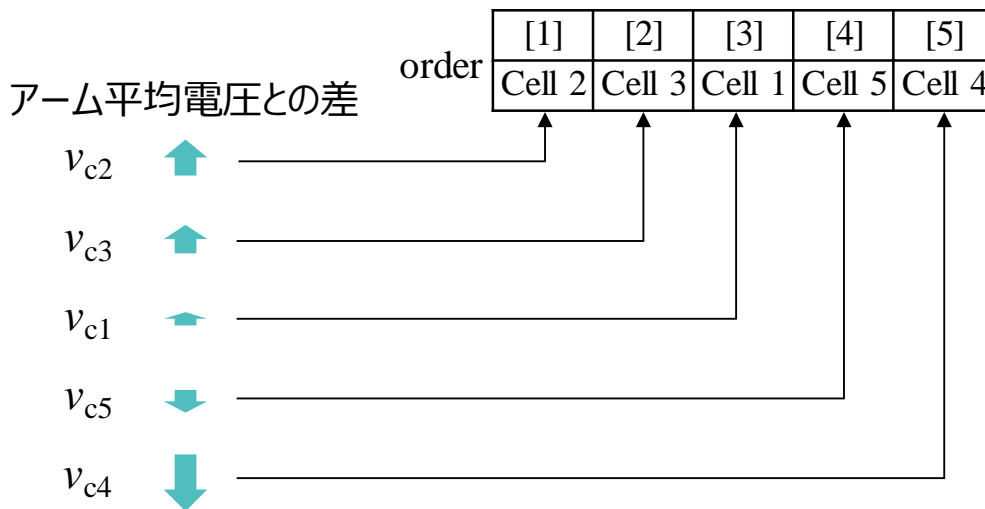


図 2-17 コンデンサ電圧に応じたパルス出力順序の割り当て

B) 1 パルス制御向けソーティングアルゴリズムの改良

しかし従来のソーティングアルゴリズムでは、カスケード数 m より最大出力セル数 n_{\max} が少ない場合、一部のセルは非動作となり、そのセルのコンデンサ電圧は制御されない。この状態が続くと自然放電で電圧アンバランスが拡大してしまう。

これを解決する改良ソーティングアルゴリズム (図 2-18) を立案した[64][72]。この動作を図 2-19 に示す具体例に基づき説明する。図 2-19 では、カスケード数 4 段の STATCOM の rs 相アーム電圧 v_{rs} と rs 相電流 i_{rs} 、セル Cell rs1~ Cell rs4 の出力電圧 $v_{rs1} \sim v_{rs4}$ を示している。各セルのコンデンサ電圧 $v_{crs1} \sim v_{crs4}$ は、各半周期の開始時点 ($\theta = 0, \pi$)において下記式に示す大小関係にあるとする。

$$\begin{cases} v_{crs1} > v_{crs2} > v_{crs3} > v_{crs4} & (\theta = 0) \\ v_{crs1} > v_{crs2} > v_{crs4} > v_{crs3} & (\theta = \pi) \end{cases} \quad (2-29)$$

無効電流指令 i_q^* は進みななので、パルス変化順序 $order_{rs}$ はコンデンサ電圧の高い物から順にソートされる。したがって図 2-19 の位相($\theta = 0$)においてパルス変化順序 $order_{rs}$ はまず

$$order_{rs} = (\text{Cell rs1} \quad \text{Cell rs2} \quad \text{Cell rs3} \quad \text{Cell rs4}) \quad (2-30)$$

となる。

しかしカスケード数 4 段に対し半周期間の最大出力段数は 3 段であり、常に 1 つのセルが非動作となる。ここでは最も低いコンデンサ電圧のセル Cell rs4 は変化順序が 4 番目であり非動作である。そこで、変化順序が最後のセルを n_{\max} 番目に入れ込み、それより以降の順序は更に後ろにシフトさせる。これにより変化順序が最後のセルは強制的に出力に関与できるようになる。この処理を具体的に図示すると図 2-19 の下側のようになり、式で表すと下記式のようなになる。

$$\begin{cases} order[n_{\max}] = order[m] \\ order[n_{\max} + 1] = order[n_{\max}] \\ \vdots \\ order[m] = order[m - 1] \end{cases} \quad (2-31)$$

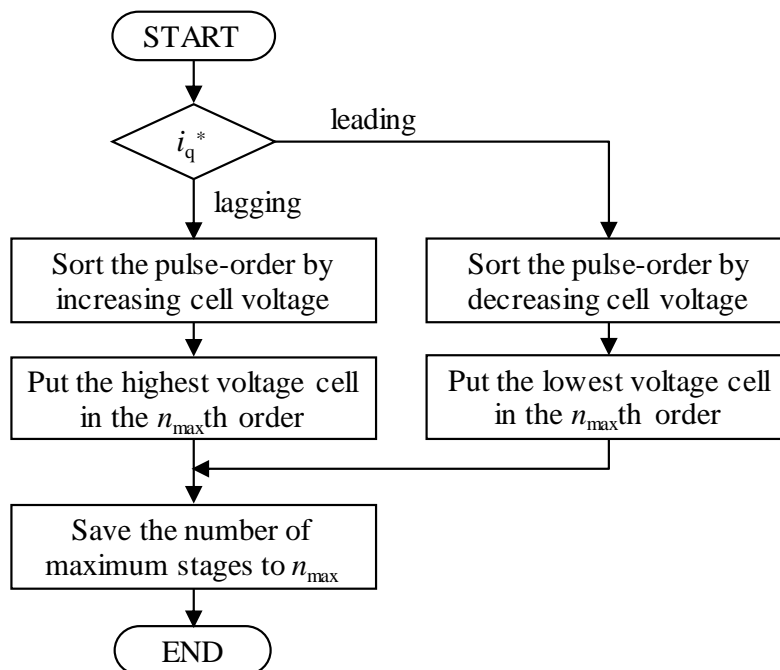


図 2-18 改良した 1 パルス制御向け段間バランス制御アルゴリズム

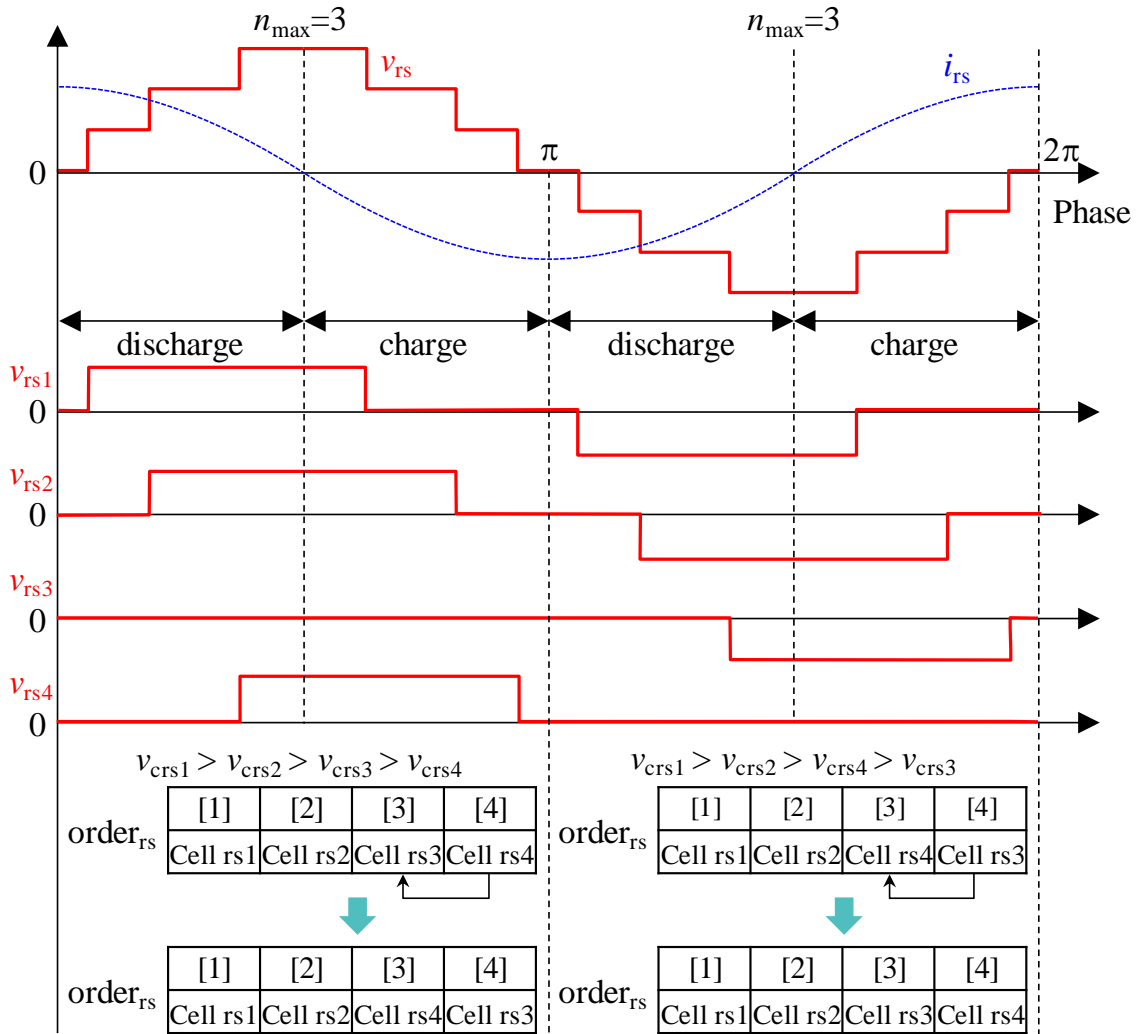


図 2-19 改良した 1 パルス制御向け段間バランス制御の動作

式(2-31)の処理により、式(2-30)の $order_{rs}$ は

$$order_{rs} = (\text{Cell rs1} \quad \text{Cell rs2} \quad \text{Cell rs4} \quad \text{Cell rs3}) \quad (2-32)$$

となる。このパルス出力順序に基づいて各セルのゲート信号 $g_{rsn}, g_{stn}, g_{trn}$ ($n = 1, 2, \dots, m$) を変化させる。後半の半周期においては、 $\theta = \pi$ においてコンデンサ電圧は式(2-29)の関係にあるが、式(2-31)の処理により

$$order_{rs} = (\text{Cell rs1} \quad \text{Cell rs2} \quad \text{Cell rs3} \quad \text{Cell rs4}) \quad (2-33)$$

となる。

本アルゴリズムを処理するには最大出力段数 n_{max} の値が必要になるが、半周期が始まった時点では実際の最大出力段数がいくつになるのかは不明である。そこで前半周期の最大出力段数 n_{max} を保存しておき、次の半周期の処理で推定値として用いる。

これにより特定のセルの非動作状態の継続を回避し、全てのコンデンサ電圧が常に平均的にバランスする。この段間バランス制御によるコンデンサ電圧の変化幅はコンデンサ容量とコンデンサに流れる電流が関係する。また、コンデンサ電圧のリプルの大きさに関係するとも言える。本アルゴリズムは半周期毎に処理すれば良いため演算負荷は比較的小さい。

2.4.7. コンデンサ電圧リプル補償

1 パルス制御ではセルのパルス出力時の通流期間が長い場合、コンデンサ電圧のリプルが大きくなるという欠点がある。図 2-20 と図 2-21 に一例を図示する。ここでは 5 段カスケードの Cell 3 のコンデンサ電圧 v_{c3} と出力電圧 v_3 を示している。進み電流の場合、図 2-20 のようにリプルは凹型になり、遅れ電流では図 2-21 のように凸型となる。コンデンサ電圧のリプルはそのまま出力する 1 パルス電圧にも現れることになるため、パルスの形も凹型または凸型になる。

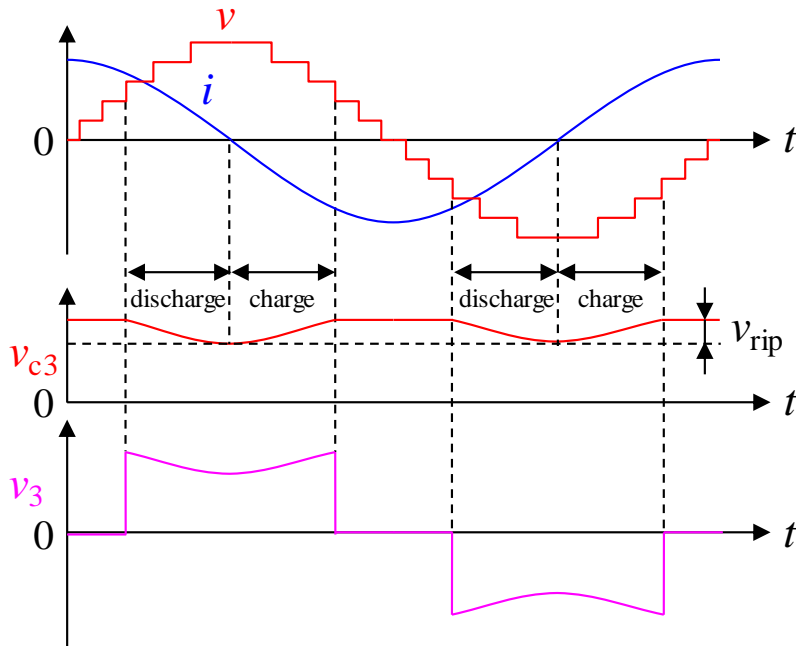


図 2-20 コンデンサ電圧リプルとセル出力電圧（進み電流の場合）

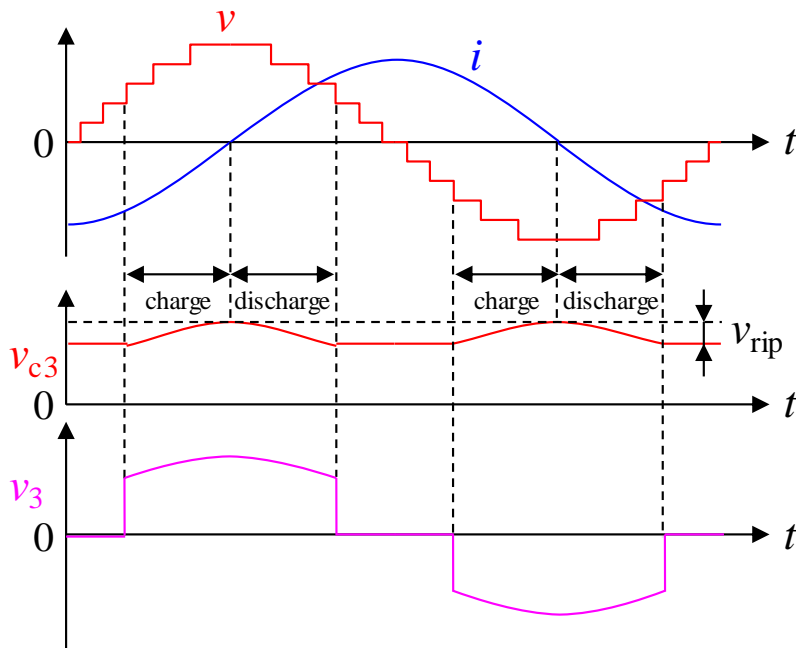


図 2-21 コンデンサ電圧リプルとセル出力電圧（遅れ電流の場合）

1 パルス制御のロバスト化

コンデンサ電圧のリプルを考慮しないまま 1 パルス制御すると、図 2-22 のようにアーム電圧指令値 v^* に対して v のような出力アーム電圧を想定しても、実際に出力される電圧はコンデンサ電圧リプルの重畳した v_{out} のような波形になるため、電流に歪みが生じてしまう。セルのコンデンサ容量を大きくすればリプルが低減するためこの問題を避けられるが、容量増加に伴う体積の大型化が問題となる。

これを解決するため、筆者らはコンデンサ電圧リプルの補償制御を立案した[73]。立案したリプル補償制御のブロック図を図 2-23 に示す。図において Σ では、あるアームにおいてパルスを出力しているセルのコンデンサ電圧 v_{cn} ($n = 1 \sim m$) を合計し、実際の出力電圧 v_{out} を演算している。アームのコンデンサ電圧の平均値 \bar{v}_c とパルス出力しているセルの数 n_{ON} の積が、想定したアーム電圧 v である。これと実際の出力電圧 v_{out} の差分 v_{comp} をリプル補償量としてアーム電圧指令値 v^* に加算し、得られた補正アーム電圧指令値 $v^{*'}$ を基に 1 パルス変化を制御する。リプル補償量 v_{comp} を波形で示すと図 2-22 のようになる。これによりコンデンサ電圧リプルが電流制御上で考慮され、想定に近い電圧出力が得られ出力歪みを低減できる。

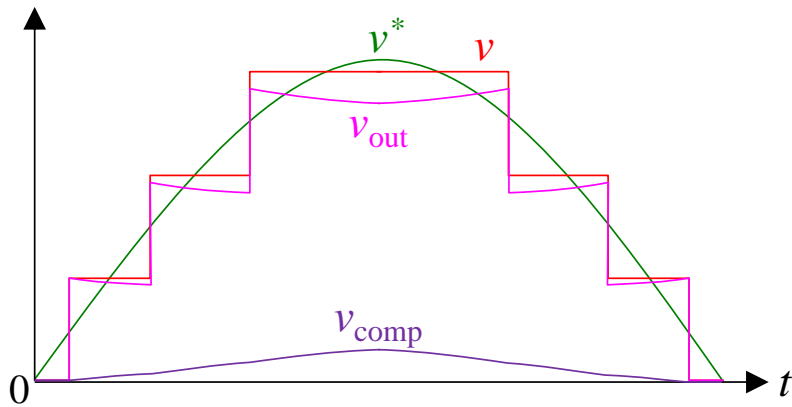


図 2-22 想定する出力電圧と実際の出力電圧の差

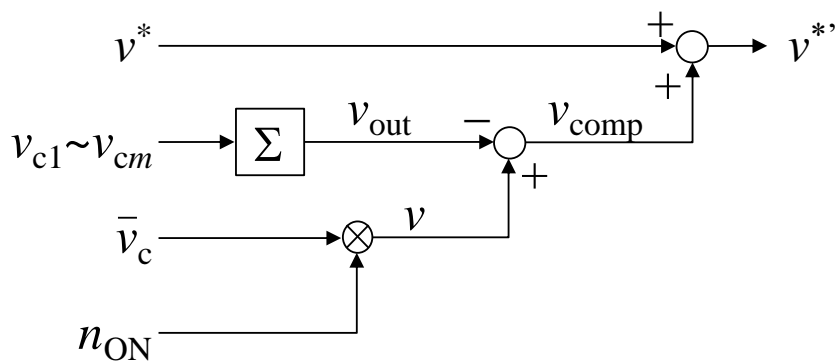


図 2-23 コンデンサ電圧リプル補償制御ブロック

2.5. 実験検証

2.5.1. 実験装置

提案制御の成立を確認するため、スケールダウン試作機による実験検証を行った[74]。STATCOM 試作機の主回路構成は図 2-7 と等価で、外観は図 2-24、各種定格は表 2-1 のとおりである。試作機は容量 5 kvar、三相 220 V 連系で、各相 12 段のセルをカスケード接続しデルタ結線している。装置の電圧が低いので、セルのスイッチング素子には Si-MOSFET を使用した。コンデンサ容量の単位静電定数 H は変換器におけるコンデンサ容量の大きさを時間次元で表す指標[75]で、通常 20~40 ms 付近の値が選定される。

制御ハードウェアにはマイコンと FPGA を用いた。主な変換器制御はマイコンで処理し、ゲート信号周りと I/O インターフェースの処理は FPGA で行いマイコンとバスでデータをやりとりする。変換器制御には図 2-10 に示す各種制御を適用した。



図 2-24 デルタ結線カスケード・マルチレベル STATCOM 試作機

表 2-1 デルタ結線カスケード・マルチレベル STATCOM 試作機の各種定格

Rated reactive power	Q	5 kvar
System voltage	v_s	3 ϕ 220 V
Rated system current	i_r, i_s, i_t	13 A
System frequency	f_s	50 Hz
Transformer secondary voltage	v_{Tr2}	110 V
Rated converter current	i_{rs}, i_{st}, i_{tr}	15 A
DC Capacitor voltage	v_c^*	15 V
DC Capacitance	C	25,400 μ F
Unit capacitance constant [75]	H	21 ms
Number of cascaded converters (per. phase)	m	12
Grid-connect reactance	X_L	10 %*
Buffer reactor	X_b	9.5 %*

* on a three-phase 110V, 5 kVA, 50 Hz base

2.5.2. 定格定常運転

カスケード・マルチレベル STATCOM 試作機の定格 5 kvar コンデンサ動作時の定常運転波形を図 2-25 に、インダクタ動作時の波形を図 2-26 に示す。

A) コンデンサ動作

図 2-25 において各相アームは 12 段の 1 パルスを積み上げた正弦波状の電圧 v_{sr}, v_{st}, v_{tr} を出力していることが分かる。系統に出力される電流 i_r, i_s, i_t は系統相電圧 v_{sr}, v_{ss}, v_{st} に対しほぼ $\pi/2$ rad 遅れの定格無効電流 13 A に安定制御されている。系統電圧が三相平衡であるため、零相電流 i_z は殆ど流れていない。僅かに流れているのは、構成部品の個体差や制御誤差によるものである。全コンデンサ電圧平均値 \bar{v}_c は

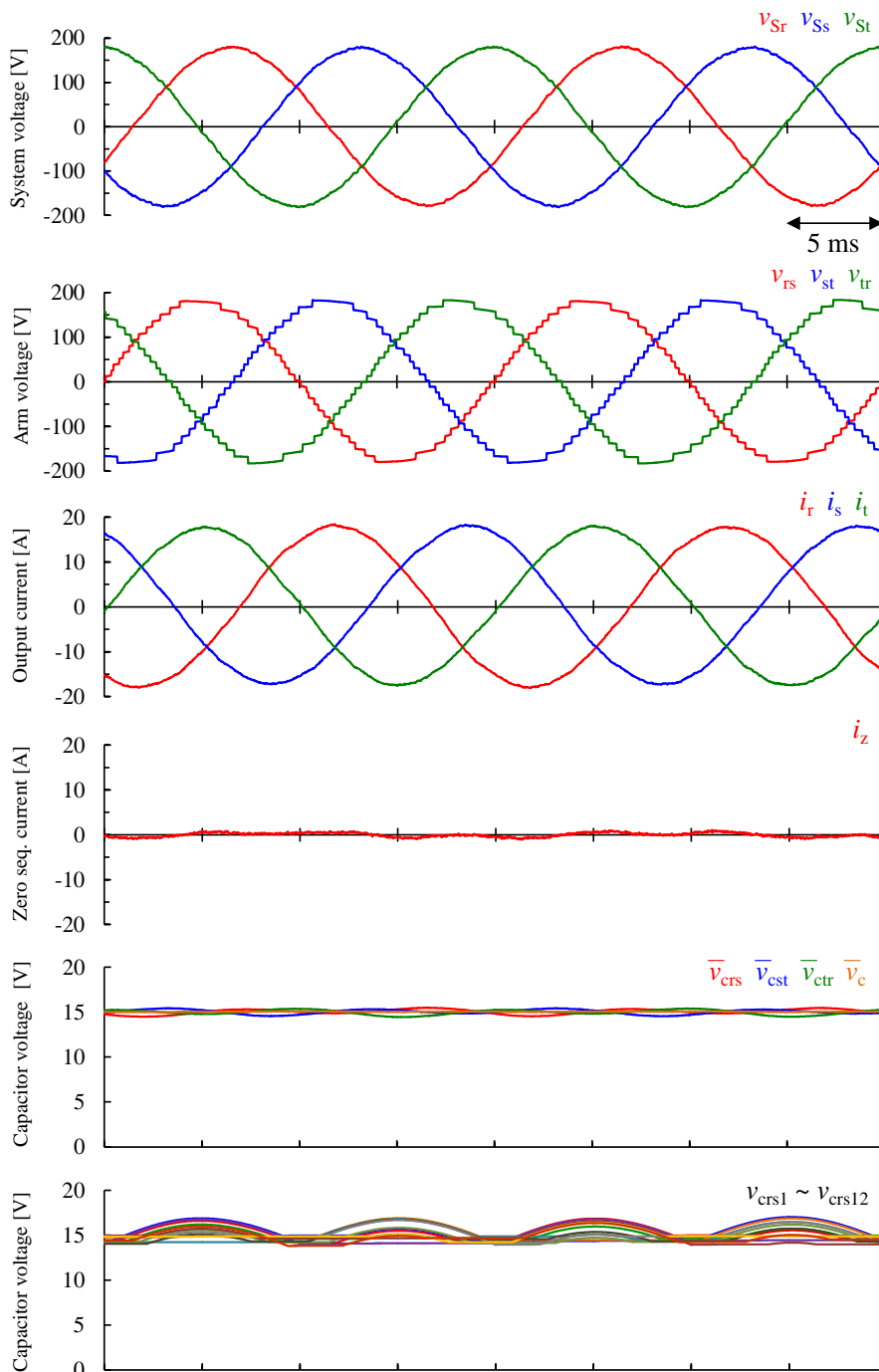


図 2-25 カスケード・マルチレベル STATCOM 試作機の定格運転波形（コンデンサ動作）

一括コンデンサ電圧制御により定格値である 15 V に制御されている。各相のコンデンサ電圧平均値 \bar{v}_{crs} , \bar{v}_{cst} , \bar{v}_{ctr} の波形は平均的に全コンデンサ電圧平均値 \bar{v}_c と一致しており、相間バランス制御は良好に作用していると言える。また相内のコンデンサ電圧（図 2-25 では rs 相の全コンデンサ電圧 $v_{crs1} \sim v_{crs12}$ を例示）も全ての波形が平均的に一致しており、段間バランス制御によりバランスしている事が分かる。

B) インダクタ動作

図 2-26 において、インダクタ動作時は変調率が低くなるため、各相アームは 9 段の 1 パルスを積み上げた波形となっている。系統に出力される電流 i_r, i_s, i_t は系統相電圧 v_{Sr}, v_{Ss}, v_{St} に対しほぼ $\pi/2$ rad 進みの定格無効電流 13 A に安定制御されている。一括コンデンサ電圧制御、相間バランス制御はコンデン

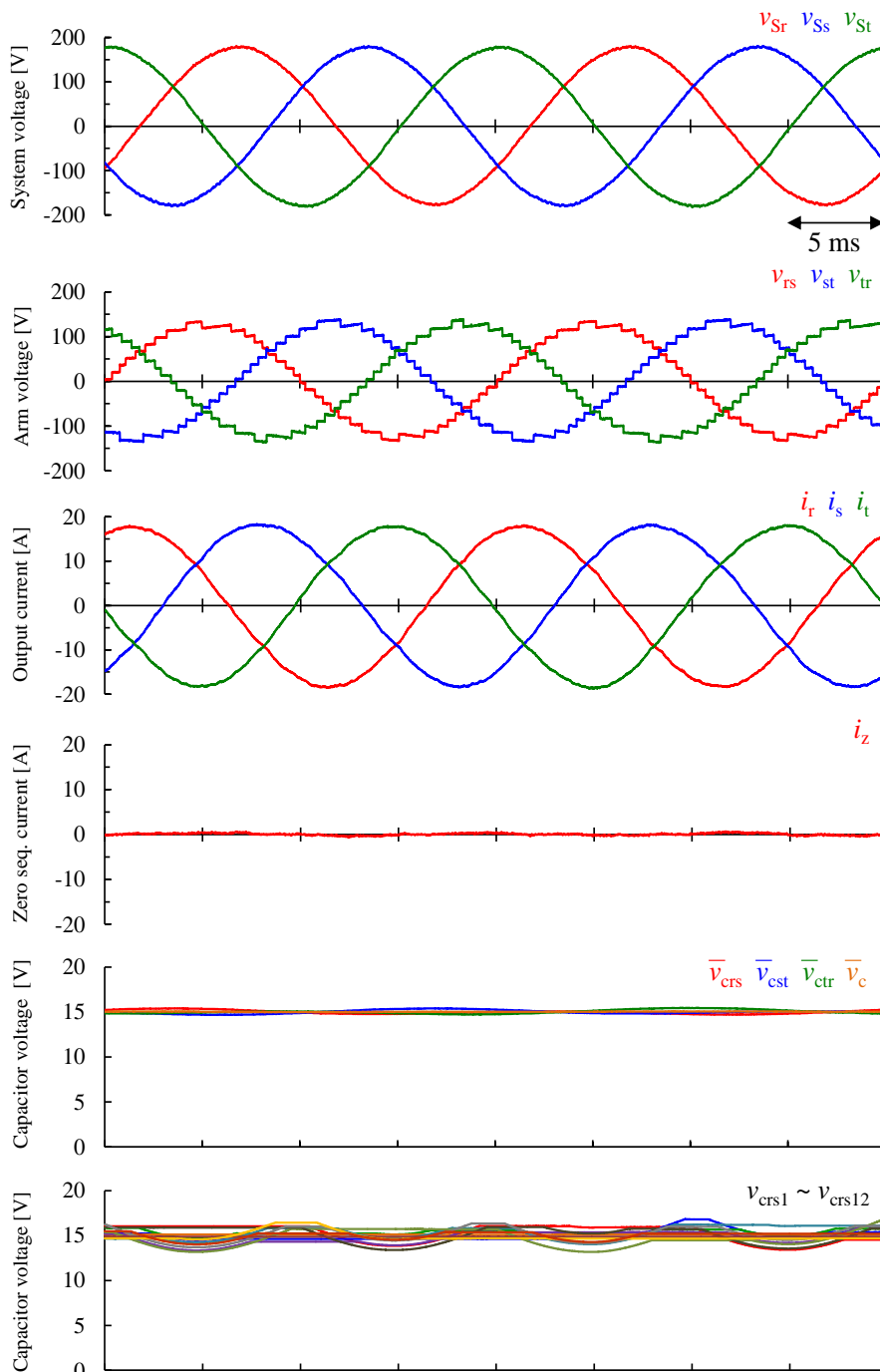


図 2-26 カスケード・マルチレベル STATCOM 試作機の定格運転波形（インダクタ動作）

1 パルス制御のロバスト化

サ動作時と同様良好に作用している。コンデンサ動作とは電圧と電流の位相差関係が180度異なるため、コンデンサ電圧のリプルの出方は正負逆の凹型になっている。前述の通り全カスケード数12段に対し9個のセルしか出力に関与していないが、段間バランス制御は良好に作用しておりrs相セルのコンデンサ電圧 $v_{crs1} \sim v_{crs12}$ はバランスしている。非動作セルの動作は2.5.5節でも改めて確認する。

C) 電流歪み率

定格定常運転時のSTATCOM出力電流の総合電流歪み率 (THD: Total Harmonic Distortion)を解析した結果を表2-2に示す。いずれも2%前後で小さいが、式(2-8)により求められる電流THDよりは大きい。この原因として、式(2-8)では考慮していないコンデンサ電圧のリプルや、セルの寄生抵抗による電圧降下[60]が考えられる。試作機のセルの寄生抵抗を測定したところ、1アームあたり6.8%(5kVA, 110V基準)と大きい値であったため、この影響は大きいと推察できる。実システムの定格では寄生抵抗のパーセントインピーダンスは相対的に低下するため問題にならない。

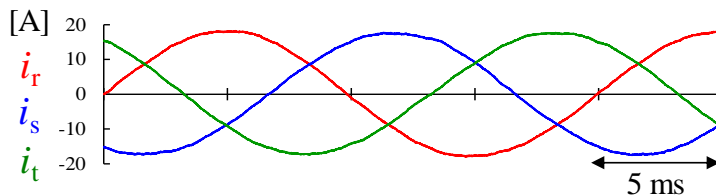
2.5.3. リプル補償制御

リプル補償制御の有無による電流歪み改善の効果を実験で確認した。リプル補償制御を適用した場合と適用しなかった場合のSTATCOM出力電流 i_r, i_s, i_t の波形を図2-27と図2-28に、THD解析した結果を図2-29に示す。波形には差があまり現れていないが、THDを見るとコンデンサ動作とインダクタ動作の両方においてリプル補償制御によりTHDは低減していることが分かる。図2-29(a)のコンデンサ動作では、過変調気味であるためTHDは平均的に高くなっており、リプル補償制御による総合電流歪率の低減も0.2%~0.9%と幅が大きい。図2-29(b)のインダクタ動作においては、総合電流歪率は0.3%~0.6%低減しており相対的にも改善効果は高い。

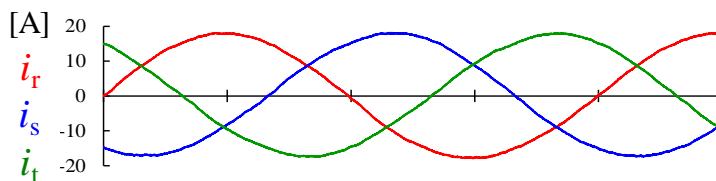
以上の結果より、立案したリプル補償制御はコンデンサ動作とインダクタ動作の両方に有効であり、電流歪率を改善できるという結果を得た。

表 2-2 定格定常運転時の出力電流のTHD解析結果 (40次まで)

Current	THD [%]	
	Capacitive operation	Inductive operation
i_r	2.1	1.3
i_s	1.8	1.7
i_t	2.3	1.9

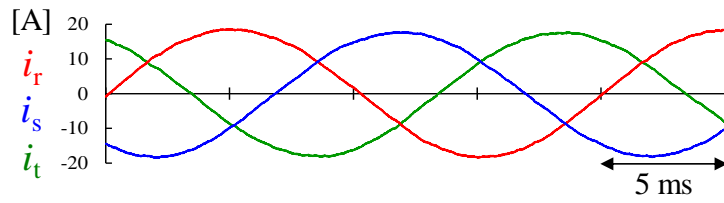


(a) リプル補償なし

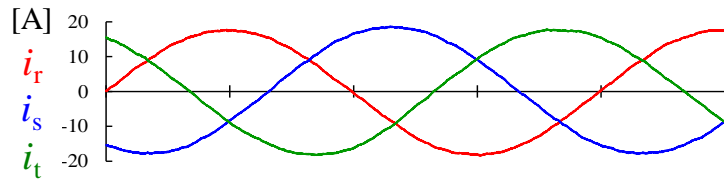


(b) リプル補償あり

図 2-27 リプル補償有無での出力電流波形の比較 (コンデンサ動作)

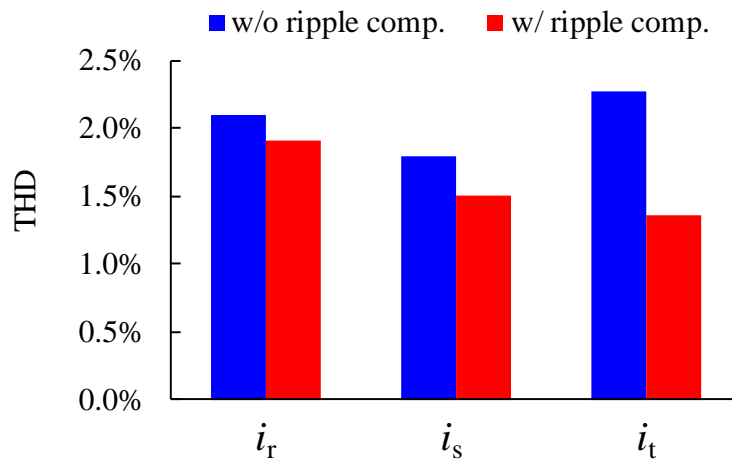


(a) リプル補償なし

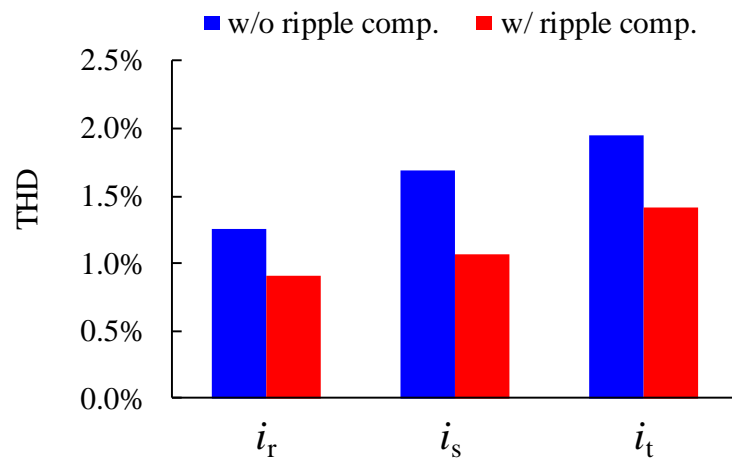


(b) リプル補償あり

図 2-28 リプル補償有無での出力電流波形の比較 (インダクタ動作)



(a) コンデンサ動作



(b) インダクタ動作

図 2-29 リプル補償有無での電流 THD の比較

2.5.4. 不平衡運転

系統電圧に不平衡成分が含まれる場合のカスケード・マルチレベル STATCOM 試作機の動作を確認した。図 2-30 に動作波形を示す。系統電圧不平衡は大きめの条件として不平衡率 10% (180 度差) とした。試験方法は、任意の電圧波形を出力可能な三相交流シミュレータ電源で不平衡電圧を発生させて、そこに STATCOM 試作機を連系し 0.8 p.u.コンデンサ動作で運転した。

電流は指令値どおり 0.8 p.u.に安定制御されており、全コンデンサ電圧平均値 \bar{v}_c も定格値である 15 V に制御されている。不平衡時は各相の電力が平衡しないため、特に制御しなければコンデンサ電圧は相間でアンバランスとなるが、相間バランス制御によりデルタ結線内に零相電流 i_z が流れる事で各相のコンデンサ電圧平均値 \bar{v}_{crs} , \bar{v}_{cst} , \bar{v}_{ctr} はバランスしている。不平衡時は零相電流 i_z が流れるためアーム電圧と

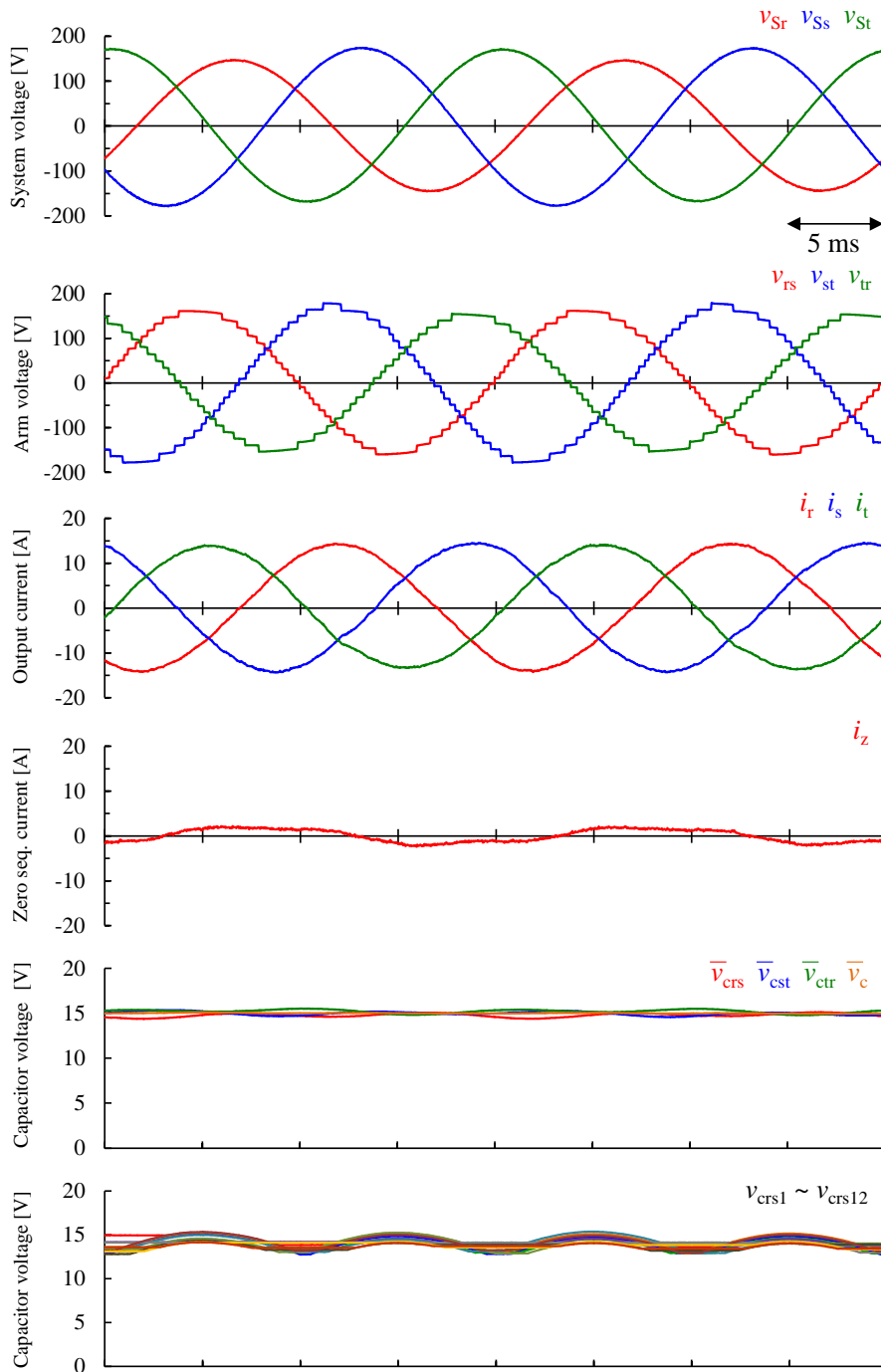


図 2-30 系統電圧不平衡時の運転波形 (不平衡率 10%、180 度差、コンデンサ動作)

アーム電流の位相差が $\pi/2$ からずれるが、段間バランス制御は良好に作用し相内のコンデンサ電圧 $v_{crs1} \sim v_{crs12}$ はバランスしている。

2.5.5. 提案段間バランス制御の確認

提案した段間バランス制御アルゴリズムによりセルの非動作状態継続を回避できることを確認した過渡動作波形を図 2-31 に示す。運転開始前に予め rs 相のコンデンサ電圧 12 個を意図的にばらつかせておき、無効電流指令値は進みで、最大出力セル数がカスケード数の 12 より小さい 8 になるような変調率を与えた。 t_1 において運転を開始し、 t_2 から段間バランス制御が動作している。

この時、最も低いコンデンサ電圧 v_{crs1} を持つ Cell rs1 は本来パルス変化順序が最後であるため出力されない。しかし提案段間バランス制御により Cell rs1 の変化順序が早まり、パルス出力に参加してコンデンサ電圧 v_{crs1} は徐々に上昇し最終的にバランスしている。この間、2 番目に低いコンデンサ電圧 v_{crs2} を持つセル Cell rs2 は出力に関与せず電圧は一定だが、コンデンサ電圧 v_{crs1} が上昇し t_3 において v_{crs2} を上回り Cell rs2 が最も低い電圧のセルになると、次は Cell rs2 が非動作回避のアルゴリズム対象となり出力に参加し v_{crs2} が上昇していることが分かる。最終的に全てのコンデンサ電圧がバランスしている。

例えば $t_2 \sim t_3$ 間の v_{crs1} の 1 つ 1 つのリプルを見ると一度低下してから上昇しており、低下量よりも上昇量が大きいためコンデンサ電圧は上昇している。リプルが大きいと 1 パルス出力 1 回あたりで変化できるコンデンサ電圧の幅は大きく、リプルが小さいとコンデンサ電圧の変化幅は小さい。リプルの大きさは STATCOM の出力する無効電流に比例するため、バランス制御の速度は無効電流の大きさに依存すると言える。これは、PWM 制御における段間バランス制御[19][30][60]と同じである。

以上の結果より、提案段間バランス制御アルゴリズムにより低変調率の条件においても全てのコンデンサ電圧の段間バランス制御が可能であることが確認された。カスケード・マルチレベル変換器における 1 パルス制御の実用上の課題は解決され、実機への 1 パルス制御適用が現実的なものとなる。

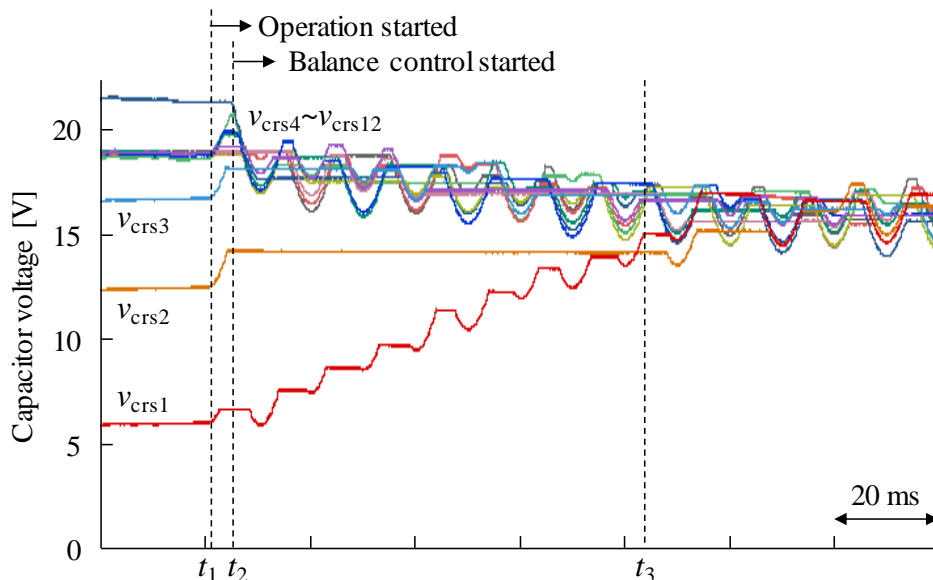


図 2-31 低変調率時のコンデンサ電圧段間バランス制御の動作

2.5.6. 系統事故試験

系統事故による瞬時電圧低下（瞬低）が起きた場合の1パルス STATCOM の追従性を検証するため系統事故試験を行った[76]。系統事故は三相交流シミュレータ電源で模擬した。シミュレータ電源にカスケード・マルチレベル STATCOM 試作機を連系し、0.8 p.u.一定の無効電流指令（コンデンサ動作）で運転させた状態で瞬低事故（全相低下、残電圧 20%、0.3 s 継続）を発生させて追従性を確認した。

事故試験の波形を図 2-32、図 2-33 に示す。図 2-33 は事故発生時と復帰時の STATCOM 出力電流の拡大波形である。系統電圧 v_{Sr}, v_{Ss}, v_{St} は定常状態から残電圧 20%に低下し 0.3 s 後に復帰している。アーム電圧 v_{rs}, v_{st}, v_{tr} は定常時は 12 段の 1 パルスが出力されているが、系統電圧低下中は 4 段出力になっている。アーム電圧が低くなると有効電力制御に必要な電流が増すため、系統電圧低下中は出力電流 i_r, i_s, i_t

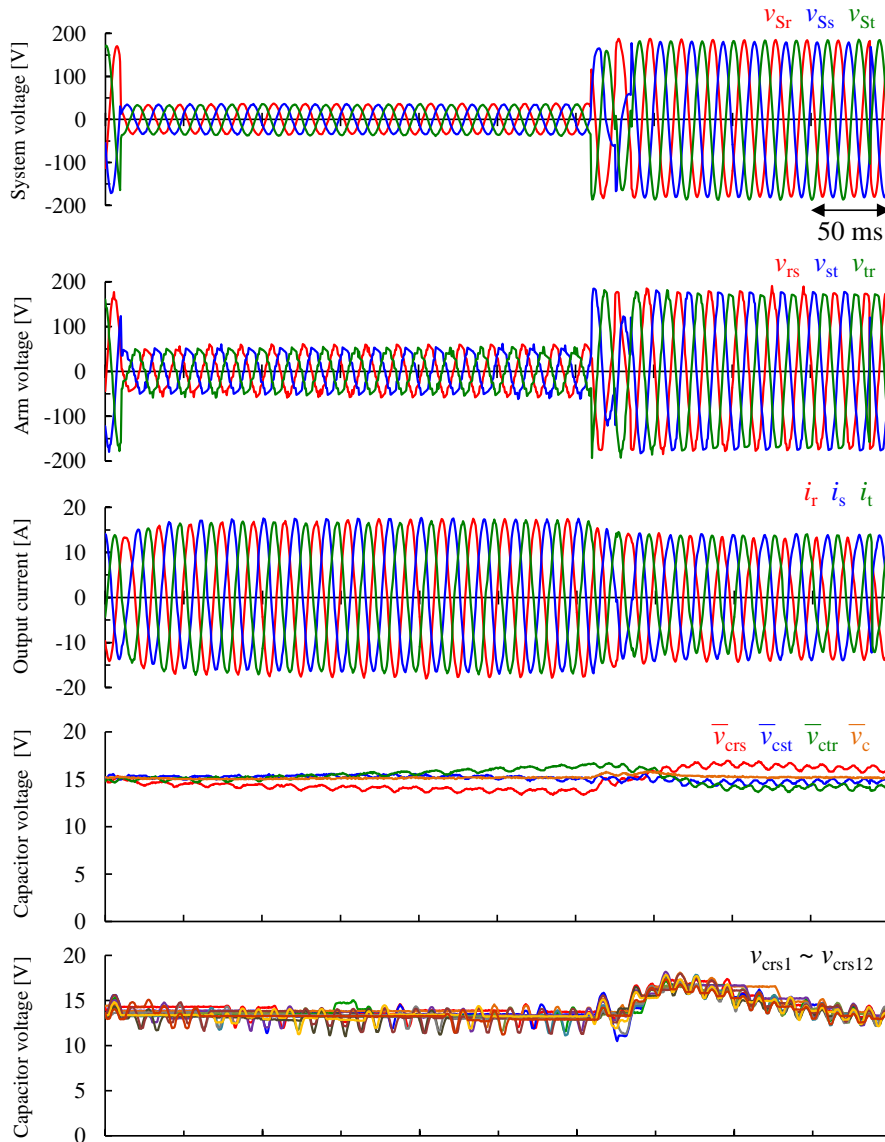


図 2-32 系統事故時の波形（全相低下、残電圧 20%、0.3 s 継続）

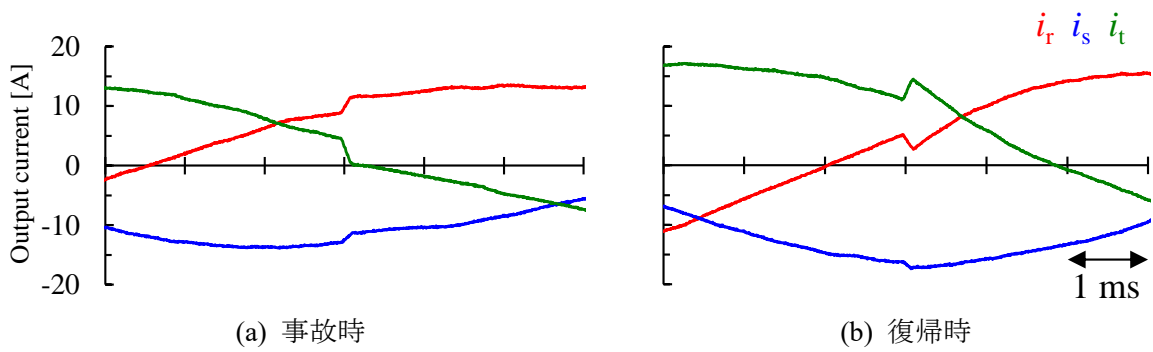


図 2-33 系統事故時と復帰時の出力電流の拡大波形

の振幅が若干大きくなっている。系統電圧低下中も出力電流 i_r, i_s, i_t の制御は安定している。また、拡大波形である図 2-33 を見ると、事故発生時と復帰時においても出力電流 i_r, i_s, i_t の変化は僅かで運転を継続している。即ち、アーム電圧 v_{rs}, v_{st}, v_{tr} は系統電圧 v_{Sr}, v_{Ss}, v_{St} の変化に良好に追従していると言える。瞬低復帰後に何度か生じている系統電圧 v_{Sr}, v_{Ss}, v_{St} の変動と、復帰後の出力電流 i_r, i_s, i_t の不均衡は、シミュレータ電源の特性により生じたものである。

全コンデンサ電圧平均値 \bar{v}_c は系統電圧低下中も常に定格 15V に制御され、コンデンサ電圧 $v_{crs1} \sim v_{crs12}$ の段間バランスも常に良好である。系統電圧低下中の相間コンデンサ電圧には若干アンバランスが生じているが、これは試作機の寄生抵抗とそのばらつきが大きいことに起因しており、系統電圧低下中はその影響が強く出たと考えられる。復帰後は再び相間バランス制御によりバランス方向に制御されている。

2.6. 本章のまとめ

本章では、カスケード・マルチレベル変換器の1パルス制御の実用上の課題を解決することで1パルス制御の実適用を可能とした。具体的には、低変調率時または冗長セルがある場合でも有効に作用する段間バランス制御アルゴリズムを提案し、実験で全てのコンデンサ電圧をバランス制御できることを検証した。これにより、スイッチング損失を低減して低損失なカスケード・マルチレベル変換器を実現することができる。

以下に本章の内容と今後の展望をまとめる。

- カスケード・マルチレベル変換器における1パルス制御の概要とコンデンサ電圧バランス制御について述べた。段間バランス制御は従来ソーティングアルゴリズムが提案されていたが、低変調率または冗長セルが存在する場合など、最大出力セル数がカスケード数より小さい場合に非動作のセルが発生し、そのセルのコンデンサ電圧が制御できない。このため実機への適用に課題があることを示した。
- デルタ結線カスケード・マルチレベル STATCOM 回路の特徴を述べ、1パルス制御適用時の高調波電圧・電流の設計法を示した。1パルス変調法として電圧指令値と閾値電圧を比較する手法を示し、デルタ結線カスケード・マルチレベル STATCOM に必要な制御（電流制御、一括コンデンサ電圧制御、相間バランス制御、零相電流制御、段間バランス制御）の詳細を説明した。またコンデンサ電圧リップルの補償制御を立案した。
- ソーティングアルゴリズムを改良し、最大出力セル数がカスケード数より小さい場合でも全てのコンデンサ電圧をバランス可能な段間バランス制御を提案した。提案段間バランス制御では、コンデンサ電圧の大小でパルスの変化順序を割り当て、変化順序最後尾のセルは強制的に変化順序を早める。これにより最大出力セル数がカスケード数より小さい状態が続いても、特定のセルの非動作状態が継続することを回避し、常に全てのコンデンサ電圧を段間バランスさせることが可能となる。
- 提案段間バランス制御の有効性を、カスケード・マルチレベル STATCOM 試作機（容量 5 kvar、三相 220 V 連系、12 段カスケード）を用いた実験により実証した。最大出力セル数がカスケード数より小さい場合でも全てのコンデンサ電圧をバランス制御できることを確認した。また、系統電圧不平衡時や、系統電圧瞬時低下時においても安定した運転が継続できることを確認し、リップル補償制御により電流歪率が改善することを実証した。
- 低変調率時にも有効に作用する段間バランス制御を提案・実証したことで、カスケード・マルチレベル変換器への1パルス制御の適用が現実的となった。これにより、低損失なカスケード・マルチレベル変換器を実現することができる。低損失化により電力損失は低減されシステムの経済性が向上するため、カスケード・マルチレベル方式の自励変換器の導入拡大が期待できる。系統連系変換器であれば、省エネルギー性のみならず高速な応答性やブラックスタートなどで電力システムの安定化にも寄与する。

1パルス制御と半導体スイッチング素子の特性の関係を考察する。提案制御により1パルス制御の実適用が可能となったことで、変換器損失に占めるスイッチング損失の割合は低下し、導通損失の割合が相対的に増加する。すると、変換器全体の損失の観点では、スイッチング損失が高くとも導通損失の低い半導体スイッチング素子が有利となり得る。今後高耐压化が見込まれる SiC 素子では、縦型 SJ (Super Junction) 構造でオン抵抗の低い SiC-SJ-MOSFET も研究されている[77][78]。一般的に SJ 構造の素子は接合容量が大きいためスイッチング損失は高くなる傾向にあるが、1パルス制御であればスイッチング回数が少ないためスイッチング損失の影響は比較的小さくなり、オン抵抗が低いメリットを活かせる可能性がある。このような、導通損失で有利な高耐压半導体スイッチング素子が登場すれば、1パルス制御を適用したカスケード・マルチレベル変換器は更なる低損失化が期待出来る。

第3章 SiC スイッチング素子のカスケード・マルチレベル変換器への適用

3.1. 本章の概要

本章では、SiC スイッチング素子のカスケード・マルチレベル変換器への適用について検討し、その優位性を明らかにする。適用先としては、カスケード数の少ない 6.6 kV, 100 kvar の配電用 STATCOM をモデルケースとする。カスケード・マルチレベル構成によりトランスレス化することで、従来よりも体積・重量を低減し、更に低損失化が期待できる適用先である。回路構成には Si と SiC を組み合わせたハイブリッド・カスケード・マルチレベル構成を採用し、その合理性を示す。

はじめに、カスケード・マルチレベル変換器に適用する半導体スイッチング素子と、配電用 STATCOM に適用するカスケード・マルチレベル回路構成の技術的な背景を説明し、Si-IGBT と SiC-JFET を組み合わせたハイブリッド構成の損失を試算して低損失の見通しを得る。このトランスレス・ハイブリッド・カスケード・マルチレベル STATCOM の制御方法を述べた後、実定格試作機による動作・性能実証結果を示す。最後に、Si-IGBT もしくは SiC-JFET による単一種類のセルのカスケード・マルチレベル構成と、両方を組み合わせたハイブリッド・カスケード・マルチレベル構成について、実機の実測結果に基づき損失・体積を比較・評価し、ハイブリッド方式が合理的であることを示す[79]。

3.2. ハイブリッド・カスケード・マルチレベル STATCOM の技術背景

ハイブリッド・カスケード・マルチレベル STATCOM の使用素子と回路構成に関して、これまでの検討・研究、そして課題を説明する。

3.2.1. カスケード・マルチレベル変換器への SiC 適用の可能性

カスケード・マルチレベル変換器に適用する半導体スイッチング素子は、耐圧と電流量から Si-IGBT や Si-IEGT が必然の選択肢だった。近年開発が進む SiC スイッチング素子は導通損失とスイッチング損失が低い特徴があり、原理的には Si よりも高耐圧化できる。このため、将来的には Si 素子が SiC 素子に置き換えられることが期待されている[56][57]。

しかしながら、現在現実的に入手可能な SiC 素子の耐圧は高くとも 1.7 kV 程度であり、4.5 kV や 6.5 kV をラインナップする Si-IGBT には及ばない。また、カスケード数の少ないカスケード・マルチレベル変換器では 1 セルあたりのスイッチング電圧が低いため、低スイッチング損失という SiC 素子の特性も相対的に低下し、その性能を十分に活かさない。したがって、カスケード数の多いカスケード・マルチレベル変換器への SiC 素子の対費用効果は低い[58]。

一方で、カスケード数の少ないカスケード・マルチレベル変換器であれば、SiC 素子の効果は相対的に高くなると考えられる。カスケード数の少ないカスケード・マルチレベル変換器としては、赤木らが 2007 年に配電用トランスレス STATCOM を提案している[60][61]。

3.2.2. 配電用 STATCOM

配電用 STATCOM は無効電力補償により配電系統の電圧を安定化する装置である[4][80]。近年、太陽光発電や風力発電といった分散電源が需要家付近にも導入され、配電系統に連系されるケースが増えたきた。これらの分散電源は自然エネルギーが源であり出力が安定していないため、配電系統の電圧を変動させる恐れがある[81]。配電用 STATCOM は自励式で高速な応答が可能であるため[4][80]、分散電源

に起因する電圧変動の対策として重要な役割を果たすことが期待されている[3]。

無効電力で配電系統電圧を調整するためには、STATCOM を需要家近傍に設置する必要がある。変換器規模が大きく設置のために土地を確保するところから始まる電力系統向け STATCOM とは異なり、配電用 STATCOM は需要家地帯に後から設置するため、設置場所は電柱の上（柱上設置）が望ましい。したがって、体積・重量・損失（冷却器の体積・重量に影響）の低減が重要となる。しかしながら、既存の配電用 STATCOM (6.6 kV, 300 kVA) の一例は重量 3000 kg と大きく[59]、設置には 2 本の電柱が必要である。この STATCOM は低圧変換器を接続するために降圧トランスを用いている。このトランスは大きな体積を占める他、損失の要因にもなっている。また、2 レベル変換器を用いているためフィルタの体積も大きい。

カスケード・マルチレベル変換器ならば変換器を高圧化してトランスレスとすることが可能であるためメリットがある。更に低高調波と低損失の点でも有利である。低高調波は需要家近傍への設置で課題となる騒音の低減に寄与する他、フィルタも小型化できる。

3.2.3. 配電用 STATCOM へのカスケード・マルチレベル変換器の適用

STATCOM 向けの高圧回路構成としては、Neutral-Point-Clamped (NPC) やフライングキャパシタといったマルチレベル回路がかつては検討されており[82]、NPC で実用化もされていた。カスケード・マルチレベル変換器や MMC が登場してからはそれらも候補に加わった[83][84]。カスケード・マルチレベルやダブルスターの MMC も含めたこれらの回路の比較では、エネルギーバッファの大きさの点でフルブリッジのカスケード・マルチレベルが有利と考えられている[83][85]。

図 3-1 にフルブリッジセルを用いたカスケード・マルチレベル変換器の一般的な結線を示す。スター結線はデルタ結線より少ないセル数で高い電圧を出力できる[60][61]。デルタ結線はデルタ結線内に零相電流を流すことで逆相補償が可能である。配電用ではセル数が少ない方が体積を小型化できるため、スター結線が有利と言える。本論文ではスター結線で検討を進める。

電力向けのような大容量カスケード・マルチレベル変換器では、同一セルを同一変調で制御するのが冗長性確保や複雑性回避、製造性の点で最良である。しかし体積が重要な要素となる配電用ではセル数

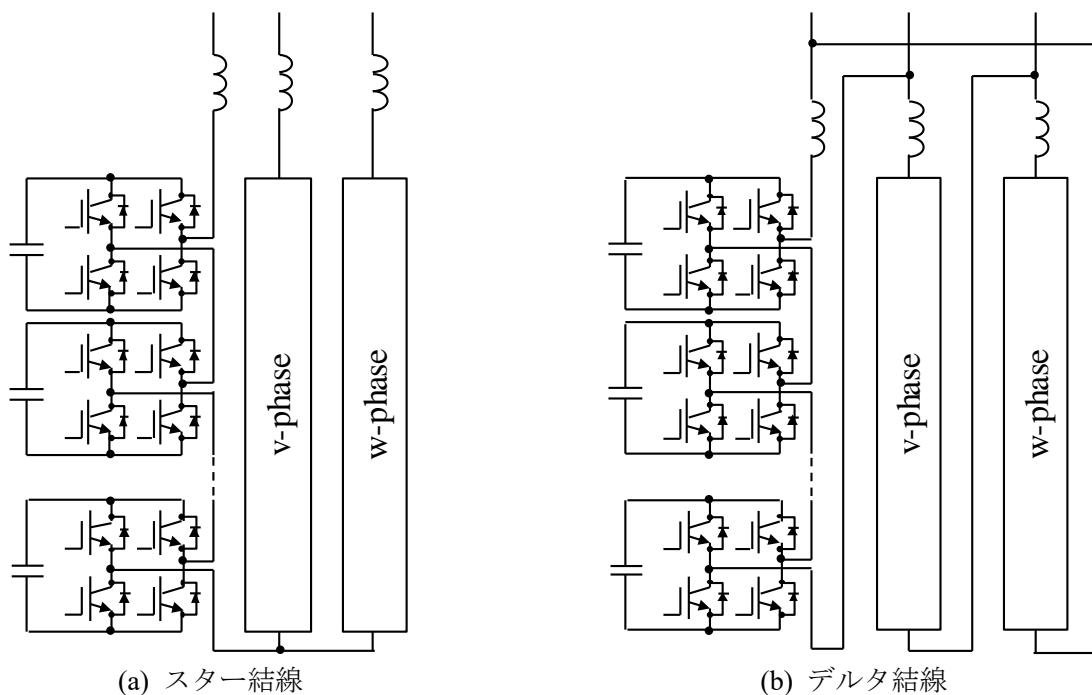


図 3-1 カスケード・マルチレベル変換器の主な結線方法

は体積に直結するためできるだけ少なくしたい。例えば Si-IGBT の中で流通量が多く今日一般的に使用されている 1.7kV 品を用いると、スター結線を適用しても各相 6 段のセルをカスケード接続する必要がある[60]。体積・重量が重要な柱上設置において、6 段カスケードが適しているのかは検討の余地がある。また、配電用 STATCOM は需要家近傍に設置されるため、騒音の観点から等価スイッチング周波数は可聴域よりも高くすることが望ましい。したがってスイッチング周波数は高くなり、スイッチング損失が過大になる恐れがある。

3.2.4. ハイブリッド方式の概要と配電用 STATCOM への適用の課題

損失と体積・重量のバランスを重要視する場合に有効なカスケード・マルチレベル構成として、複数の種類のセルを直列接続してアームを構成するハイブリッド方式が提案・検討されている[32][36][37][86]–[92]。ハイブリッド方式は非対称マルチレベル (Asymmetrical multilevel) [7][9][86]と呼ばれることもあるが、ここではハイブリッドと呼ぶ。通常のカスケード・マルチレベル変換器では図 3-2 (a) のように複数のセルを同じ変調法 (ここでは PWM) で制御するが、ハイブリッド方式は図 3-2 (b) のように複数の電圧レベルと変調方法のセルを組み合わせる (ここでは 1 パルスと PWM の組み合わせ)。図 3-2 では PWM 波形を連続的な指令値で示しているが、実際には PWM パルスである。1 パルス+PWM のハイブリッド方式の出力電圧波形は例えば図 3-3 のような形になる。これは、通常のカスケード・マルチレベル変換器の出力とほぼ同じである。

複数のセルは一般的に高耐圧セルと低耐圧セルで構成され、高圧セルは低圧セルよりも高い直流電圧を持つ。このため、セルの直流電圧に応じてスイッチング素子も高耐圧素子と低耐圧素子の 2 種類を使用する。一般的に高耐圧素子はスイッチング損失が大きいので、耐圧を確保する代わりにスイッチング

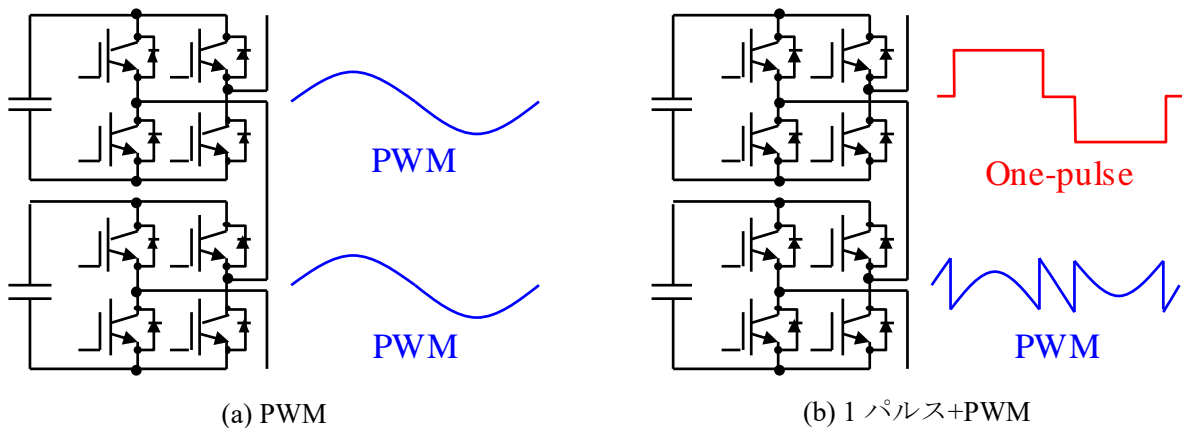


図 3-2 カスケード・マルチレベル変換器と変調法

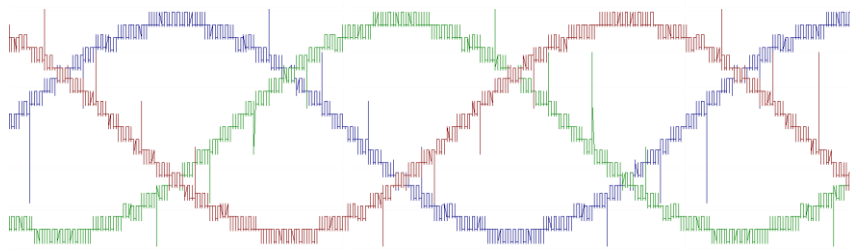


図 3-3 1 パルス+PWM の合成波形の例 (三相)

SiC スwitchング素子のカスケード・マルチレベル変換器への適用

周波数を下げてスイッチング損失を低減する。そして低圧セルが出力正弦波と高圧セルの差分の電圧を高周波スイッチングで出力することで、少ないセル数で全体として高電圧・低高調波の出力が得られる。

このようなハイブリッド方式は、少ないセル数で高い出力電圧と多レベルを実現しつつ、体積、コスト、スイッチング損失を低減できるとされている[7][9]。低圧で高周波スイッチングという動作条件は、現状の SiC スwitchング素子の低耐圧、低スイッチング損失という特性に合致している。よって、ハイブリッド・カスケード・マルチレベル変換器の低圧セルへの SiC 素子の適用は合理的でメリットが大きいと見込まれる。

ハイブリッド方式の基本的な概念は 1968 年に Bates によって発明され[87]、1973 年に論文発表された[88]。この時、セルの直流電源には蓄電池や絶縁電源が想定されていた。Lipo らは 1998 年に GTO や IGCT と IGBT によるハイブリッド構成[90][91]をモータドライブ向けに提案した。ここでは低圧セルには IGBT を適用して PWM 駆動し、高圧セルには GTO や IGCT を適用して 1 パルスで駆動していた。また Rufer らも 1999 年にモータドライブ向けにハイブリッド構成を発表している[86]が、こちらは変調法の議論が主であり、半導体スイッチング素子については触れられていない。

これらの研究では、各セルの直流電圧は DC/DC コンバータと絶縁トランスで外部から個別に供給されていた[86]–[92]。セル毎に外部電源から供給すると部品点数が多くなり、体積は増加してしまう。しかし 2003 年に Marquardt らが MMC を発表し、2000 年代後半に赤木・萩原らがバランス制御を確立すると、独立コンデンサを電圧源とするカスケード・マルチレベル変換器が現実的な物として知れ渡った。するとハイブリッド・カスケード・マルチレベル変換器向けのバランス制御の検討も進み、2009 年に Tolbert らが[32]、2012 年に Sano らが[36]外部電源を必要としないハイブリッド方式向けのバランス制御を報告している。Tolbert らの方法はフライングキャパシタのコンデンサ電圧制御に近いパルス選択型であり、Sano らの方法はパルスの位相シフトを用いている。幅広い回路構成で柔軟に使えるのは後者と考えられる。カスケード・マルチレベル変換器が提案された際[12]にも位相シフトがバランス制御に用いられたが、全て 1 パルスセルだったため電流制御と干渉して実用的ではなかった。しかし 1 パルスと PWM を組み合わせるハイブリッド方式であれば、位相シフトの電流制御への干渉は回避でき問題なく適用できる。これらの研究により、ハイブリッド・カスケード・マルチレベル変換器による配電用トランスレス STATCOM は技術的には実現可能な段階まで来た。

しかしながら、ハイブリッド・カスケード・マルチレベル変換への SiC スwitchング素子の適用はもとより、配電系統電圧である 6.6 kV クラスのカスケード・マルチレベル変換器の実機報告例は過去にない。カスケード・マルチレベル変換器への SiC 素子の適用は Sano らの文献[36]や、Jahn らの 2016 年の文献[37]で言及されている。いずれも Si 素子と SiC 素子によるハイブリッド構成の提案であるが、どちらも概念レベルである。実際に SiC を適用した実験装置による実験や、配電系統電圧である 6.6 kV クラスのハイブリッド・カスケード・マルチレベル変換器の損失等の検討は実施されていない。また、SiC を用いていないこれまでのカスケード・マルチレベル STATCOM の研究も、全てスケールダウンモデルによる実験またはシミュレーションしか為されていない。6.6 kV クラスの実定格機は報告されておらず、実機に基づく損失・体積も実証されていない。したがって、SiC スwitchング素子のハイブリッド・カスケード・マルチレベル変換器への適用の有用性は十分に検討・実証されていない状態である。そのため、実測結果に基づいた損失や体積の比較検討はなされておらず、ハイブリッド方式の実際の優位性は実証されていない。

そこで本章では、SiC スwitchング素子の適用先として 6.6 kV, 100 kvar のトランスレス・ハイブリッド・カスケード・マルチレベル STATCOM を検討し、実機を製作する。その性能を検証することで、SiC スwitchング素子のカスケード・マルチレベル変換器への適用の優位性について明らかにする。

3.3. SiC を適用したカスケード・マルチレベル STATCOM の回路検討

検討する SiC 適用ハイブリッド・カスケード・マルチレベル STATCOM の定格は、連系電圧は配電系統に合わせて 6.6kV とし、容量は需要家付近への分散設置を念頭に 100kvar とした。まずこの定格において SiC を用いたハイブリッド・カスケード・マルチレベル方式が有用である目途を得るため、3つの回路構成の損失を比較評価する。

3.3.1. 比較する回路構成

比較する3つのアーム構成を図 3-4 に示す。図ではバッファリアクトルを含む1相分のアームのみを示しており、下側に示している n はセルのカスケード数である。また、3つのアームの詳細な定格を表 3-1 に示す。これらのアームをそれぞれスター結線にしてトランスレス・カスケード・マルチレベル STATCOM を構成する想定である。無効電力定格 Q 、系統電圧 v_s 、系統周波数 f_s は $Q=100$ kvar, $v_s=6.6$ kV,

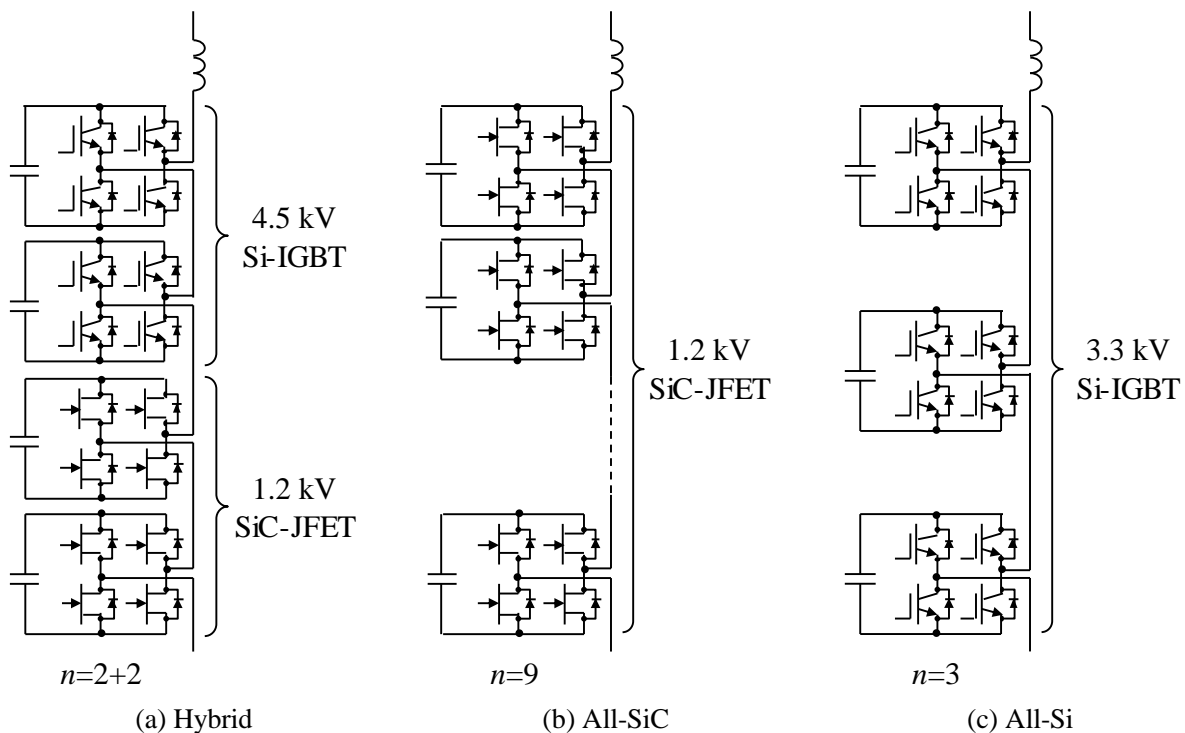


図 3-4 比較したカスケード・マルチレベル回路のアーム構成

表 3-1 比較した各セル構成の定格 ($Q=100$ kvar, $v_s=6.6$ kV, $f_s=50$ Hz)

		(a) Hybrid		(b) All-SiC	(c) All-Si
		Si cell	SiC cell	SiC-JFET**	Si-IGBT***
Switching device		Si-IGBT*	SiC-JFET**	SiC-JFET**	Si-IGBT***
Blocking voltage	V_{CE}, V_{DS}	4.5 kV	1.2 kV	1.2 kV	3.3 kV
Number of cascaded cells	n	2	2	9	3
Switching freq. of a cell	f_{sw}	one-pulse	4.7 kHz	1050 Hz	500 Hz
Equivalent switching freq.	f_{sw}^{eq}		18.8 kHz	18.9 kHz	3 kHz
Capacitance	C	200 μ F	720 μ F	720 μ F	230 μ F
Unit capacitance constant	H	40.7 ms	41.4 ms	41.1 ms	41.4 ms
Voltage ref. of cell capacitor	v_c^*	2300 V	650 V	650 V	2000 V

* 4.5 kV, 150A (ABB, 5SNG 0150P450300)

** 1.2 kV, 30A (SemiSouth, SJEP120R063 [95])

*** 3.3 kV, 250 A (ABB, 5SNG 0250P330305)

$f_s=50$ Hz で共通である。各構成のカスケード数 n は系統電圧 v_s と使用する半導体素子の耐圧で決まる。また、コンデンサ電圧 v_c^* もそれらのパラメータから設計する。

A) Hybrid

(a) Hybrid は、高耐圧 Si 素子と低耐圧 SiC 素子を組み合わせたハイブリッド方式である。Si セルと SiC セルをそれぞれ 2 つずつカスケード接続し、Si セルは 1 パルスで、SiC セルは PWM 制御する。図 3-5 にそれぞれのセルの出力電圧波形の例を示す。ここで、直流コンデンサ電圧のリプルは考慮せず、SiC セルの出力電圧は PWM パルスではなく変調率で表している。アーム出力電圧 v は Si セルの出力電圧 v_{Si1}, v_{Si2} と SiC セルの出力電圧 v_{SiC1}, v_{SiC2} の合計である。Si セルは 1 パルス動作するので出力波形は矩形波となり、その振幅はコンデンサ電圧 v_{cSi} に等しい。SiC は正弦波状の出力電圧 v と Si セルの 1 パルスの差分電圧を PWM で出力する。

ハイブリッド方式のセル電圧とコンデンサ容量の設定方法について説明する。Si セルと SiC セルのコンデンサ電圧 v_{cSi}, v_{cSiC} は下記の関係を満たす必要がある。

$$2mv_{cSiC} \geq v_{cSi} \quad (3-1)$$

ここで、 m は SiC セルのカスケード数である。この関係を満たさない場合、SiC セルは差分電圧を出力出来ないため出力電圧が歪んでしまう。

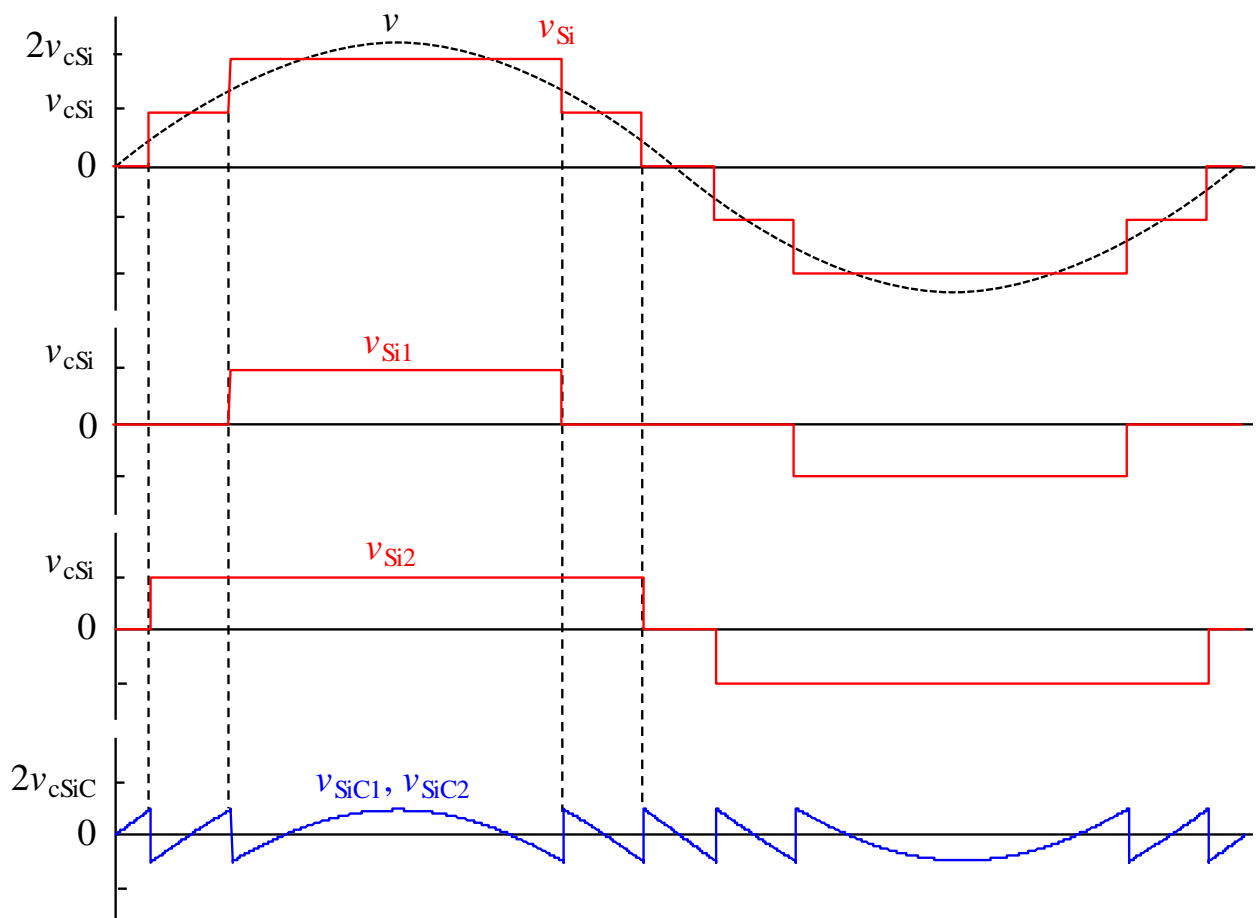


図 3-5 Si+SiC ハイブリッド STATCOM の出力電圧

Si セルと SiC セルのコンデンサ容量の比率は、それぞれのコンデンサ電圧の比率の逆数にほぼ等しくなるよう設定する。

$$\frac{v_{cSi}}{v_{cSiC}} \approx \frac{v_{SiC}}{v_{Si}} \quad (3-2)$$

これにより、Si セルと SiC セルのコンデンサ電圧のリプル率は等しくなる。

高圧セルには高耐圧素子として 4.5 kV の Si-IGBT を適用し、直流コンデンサ電圧の定格値は 2300 V とした。想定した Si-IGBT の電流定格は 150 A で、ハイブリッド STATCOM の電流定格 (8.75 A) に対して大きい。市場で一般的に手に入る 4.5 kV IGBT の中ではこれが最も低い電流定格である。

低圧セルには低圧・低損失素子として 1.2 kV の SiC-JFET (SemiSouth, SJEP120R063) を適用し、直流コンデンサ電圧は 650 V とした。また、フリーホイールダイオードには 1.2 kV の SiC-SBD (Schottky Barrier Diode) (Infineon, IDH08S120) を用いた。フリーホイールダイオードにはデッドタイム期間中のみ逆方向電流が流れるため、電流容量はスイッチング素子よりも小さい。スイッチング素子を JFET とした理由は、原理的に MOSFET よりオン抵抗を低くできる[93][94]ことと、ノーマリオフ特性が実現されている[95]ためである。本素子のインバータへの適用により高効率化が可能であることが報告されている[96][97]。直流電圧 650 V は高圧セルの直流電圧の約 4 分の 1 である。

高圧・低圧セル共に、全ての半導体素子は直並列せず単体で用いた。以降はそれぞれ Si セル、SiC セルと呼称する。これらのセルを 2 つずつ直列にすることで、スター結線で 6.6 kV トランスレス連系が可能となる。

B) All-SiC

(b) All-SiC は、現状の低損失だが低耐圧な SiC 素子だけでトランスレス・カスケード STATCOM を構成したパターンである。スイッチング素子には前述の 1.2 kV SiC-JFET を適用する。セルの種類は 1 種類であり、位相シフト PWM で駆動する。セルの直流電圧は(a) Hybrid と同じ 650 V である。この素子耐圧では、6.6 kV トランスレス連系にはアームあたり 9 段のセルが必要となる。

C) All-Si

(c) All-Si は、既存の Si 素子のみで構成するパターンである。(a) Hybrid と同じ 4.5 kV IGBT を用いると、カスケード数が 2 段だけになってマルチレベルのメリットが薄れてしまうため、3.3 kV の IGBT を想定しカスケード数を 3 段とした。Si-IGBT には 1.7 kV の物もあるが、カスケード数が 6 でセル数が多くなり、体積が不利になると推測し採用しなかった。直流電圧は素子耐圧より 2000 V とした。セルは位相シフト PWM で駆動する。

セルあたりのスイッチング周波数 f_{sw} は、全ての構成で同じ等価スイッチング周波数 f_{sw}^{eq} となるように設定した。位相シフト PWM では、セルあたりのスイッチング周波数 f_{sw} に対して、線間の等価スイッチング周波数 f_{sw}^{eq} は式(2-2)のように高くなる。等価スイッチング周波数 f_{sw}^{eq} は、需要家近傍に設置される配電用 STATCOM であることを考慮し、騒音が問題とならないよう可聴域より高めの 19 kHz 付近とした。一般的に人間の可聴域の上限は 16 kHz 程度とされており、等価スイッチング周波数をそれよりも高く設定すれば騒音問題は回避できる。ただし(c) All-Si のみ、19 kHz でスイッチングするとスイッチング損失が高くなりすぎたため、等価スイッチング周波数 f_{sw}^{eq} を他の 1/6 の 3 kHz まで落としている。

コンデンサの静電容量 C は、3 つの構成で同程度の単位静電定数 H となるよう設計した。単位静電定数 H は変換器におけるコンデンサ容量の大きさを時間次元で表す指標[75]である。

3.3.2. 損失の机上計算

3つの回路構成の損失を机上計算する。どの回路構成も等価スイッチング周波数は3 kHz以上なので十分に高調波が少なく同じ形の電流が流れると考え、バッファリアクトルの損失は3構成とも等しい。そのためここではセルの損失のみを計算して比較する。計算には、半導体素子のデータシート特性と基本波1周期の瞬時電圧・電流値を用い、力率は0（無効電力のみを出力）、電圧指令値と電流波形は正弦波、コンデンサ電圧は定格値で一定（リップルなし）と仮定した。コンデンサの損失は微少であるため含めず、セルの半導体素子の損失のみを計算する。

半導体素子の損失には導通損失、スイッチング損失、リカバリ損失がある。Si-IGBT、SiC-JFET、ダイオードの導通損失 P_{con} は下記の式に基づき計算できる[98][99]。

$$P_{\text{con}} = \frac{1}{T} \int_0^T v_{\text{ON}}(t) i(t) dt \quad (3-3)$$

ここで、 T は基本波1周期、 $v_{\text{ON}}(t)$ はオン電圧降下、 $i(t)$ は半導体素子を流れる電流である。電流 $i(t)$ は計算する運転状態における無効電流指令（無効電流指令値、コンデンサ動作またはインダクタ動作）から定まる。各電流におけるオン電圧降下 $v_{\text{ON}}(t)$ は半導体素子のデータシートの電流-電圧特性から求められる[100]。どの時点でどの素子がオンしているかは、電圧指令値から図3-5のように求めることが出来る。

スイッチング損失とリカバリ損失も、データシートの特性から近似式で計算することが出来る[98]–[100]。ターンオン損失、ターンオフ損失、リカバリ損失をそれぞれ E_{ON} 、 E_{OFF} 、 E_{rec} とすると、これらの値は電流についての2次式で下記のように近似出来る。

$$E_x = a(i(t))^2 + bi(t) + c \quad (3-4)$$

ここで、 x はON、OFF、recであり、 E_{ON} 、 E_{OFF} 、 E_{rec} に対応する。また、 a 、 b 、 c は各次数の係数である。計算する運転状態から電圧指令値も定まるので、1パルスがON/OFF変化する位相も決まる。対応する位相の電流より式(3-4)を用いてスイッチング損失とリカバリ損失が計算できる。ただし、SiC-JFETはリカバリ損失が微少なので考慮しないものとした。このスイッチング毎のスイッチング損失とリカバリ損失を、基本波1周期分加算することで、セルとしてのスイッチング損失とリカバリ損失を求めることが出来る。

これらの式より、(a) Hybrid、(b) All-SiC、(c) All-Siの3つの回路構成の各セルの半導体素子の損失を計算した。計算結果の内訳は導通損失とスイッチング損失に分け、リカバリ損失はスイッチング損失に含めた。この損失計算法はIGBTとJFETに限らず、異なる種類の半導体素子の場合にも適用できる。

3.3.3. 損失比較

(a) Hybrid、(b) All-SiC、(c) All-Si の 3 つの構成の損失計算結果の比較を図 3-6 に示す。比較では、各セルの損失の内訳も示している。ここから次のことが分かる。

- SiC-JFET は高周波スイッチングしてもスイッチング損失は微小。
- (b) All-SiC は最も損失が低く、SiC の導通損失が支配的。
- (c) All-Si は最も損失が高く、 f_{sw}^{eq} を他の 1/6 にしたにも関わらず Si のスイッチング損失が支配的。
- (a) Hybrid の損失は Si セルの損失が殆どで、スイッチング損失と導通損失では導通損失が少し大きい。
- (a) Hybrid と (b) All-SiC の損失の差は約 100 W。

この結果より、(c) All-Si はスイッチング損失が大きく現実的でないと言える。仮に採用したとしても、等価スイッチング周波数が 3 kHz なので騒音が問題となる。損失はスイッチング損失の占める割合が大きいため、仮に等価スイッチング周波数を 18 kHz にした場合は約 6 倍の損失となる。損失は (b) All-SiC が最も低い、(a) Hybrid もそれに迫る低いレベルである。(b) All-SiC が 9 段カスケードで体積が大きくなることを見込まれることや、SiC 素子のコストを考慮すると、9 分の 2 の SiC 素子で (b) All-SiC に近い低損失を実現する (a) Hybrid は合理的であると言える。なお、体積の定量的な比較検討は 3.6.1 節で実施する。

これらは全てトランスレスの場合の試算なので、既存のトランス付き配電用 STATCOM にあったトランス損失が存在しない。100 kVA トランスの損失は約 1.3% [101] なので 1300 W である。これは (a) Hybrid や (b) All-SiC の損失より 4 倍以上大きい。SiC を適用したトランスレス・カスケード・マルチレベル STATCOM ならば、等価スイッチング周波数を可聴域より上にしても、既存のトランス付き STATCOM では成し得ない大幅な低損失化が期待出来る。

以上で、SiC を適用したハイブリッド・カスケード・マルチレベル STATCOM の損失面の有用性が確認できた。次節から本方式の詳細な回路・制御設計を行い、6.6 kV 実定格試作機を製作して動作と性能を実証していく。

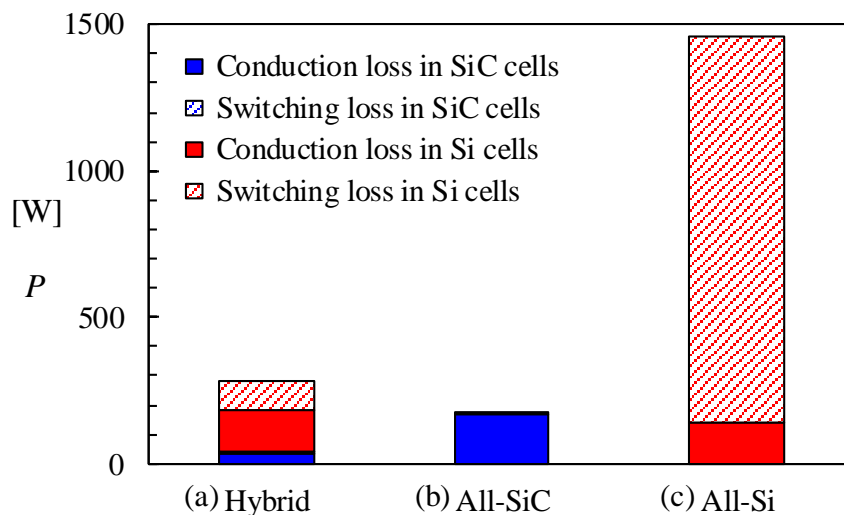


図 3-6 3つのアーム構成の計算損失比較

3.4. 6.6 kV ハイブリッド・カスケード・マルチレベル STATCOM の回路と制御

3.4.1. 回路構成

検討する 6.6 kV ハイブリッド・カスケード・マルチレベル STATCOM の回路構成を図 3-7 に、各種定格を表 3-2 に、使用する半導体素子を表 3-3 に示す。結線方式はスター結線で、相ごとに高圧セルと低圧セルをそれぞれ 2 段ずつ、合計 4 段カスケード接続して線間 6.6 kV のトランスレス出力を実現している。各種定格は基本的に前項で比較検討した(a) Hybrid と同じである。高圧セルには 4.5 kV の Si-IGBT を、低圧セルには 1.2 kV のノーマリオフ SiC-JFET を用いた。Si セルは 1 パルスで駆動し、SiC セルは正弦波と 1 パルスの間を埋める PWM で駆動する。Si セルと SiC セルの直流コンデンサ電圧はスイッチング素子の耐圧と式(3-1)の関係から設定した。Si セルの直流電圧は SiC セルの約 4 倍であり、SiC セル 2 段で丁度正弦波と 1 パルスの間を埋められる電圧になる。SiC セルのフリーホイールダイオードには SiC-SBD を適用する。フリーホイールダイオードには電流はデッドタイム期間中しか通流しないため、素子の電流容量は小さくて済む。半導体素子はいずれも直並列せず、単体で用いる。

SiC セルのスイッチング周波数は、騒音が問題とならないよう 18 kHz 以上に設定する。PWM 駆動する SiC セルは 2 直列なので、同アーム内で位相を $\pi/2$ rad だけシフトした 2 つのキャリアを与える。SiC セル 1 つあたりのスイッチング周波数 f_{sw}^{SiC} を 4.7 kHz とすると、線間の等価スイッチング周波数 f_{sw}^{eq} は式 (2-2) より 18.8 kHz となり 18 kHz 以上になる。

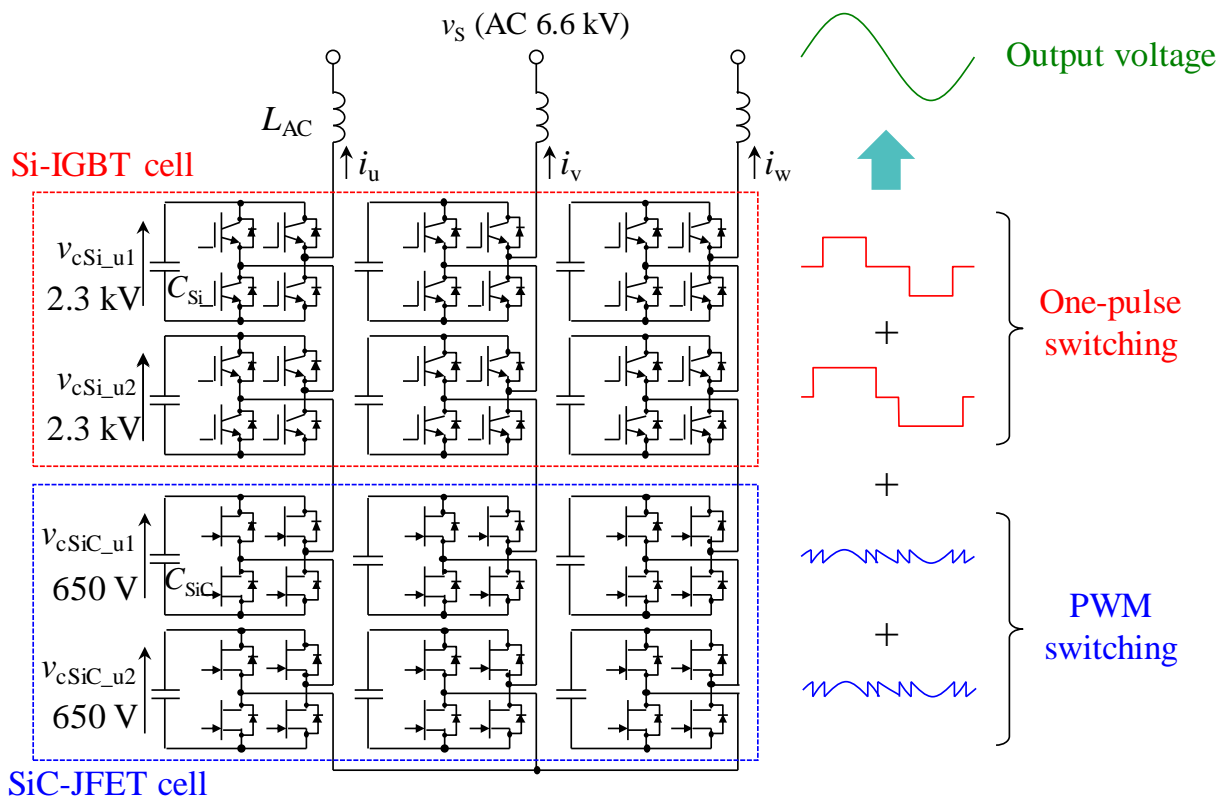


図 3-7 6.6 kV 連系ハイブリッド・カスケード・マルチレベル STATCOM の構成

表 3-2 ハイブリッド STATCOM の各種定格

Rated reactive power	Q	100 kVA
System voltage	v_S	6.6 kV
System frequency	f_S	50 Hz
Rated current	I_q^*	8.75 A
AC inductor	L_{AC}	25 mH (1.8%*)
Capacitance of Si cell	C_{Si}	200 μ F ($H=40.7$ ms)
Capacitance of SiC cell	C_{SiC}	720 μ F ($H=41.4$ ms)
Voltage reference of Si cell capacitor	v_{cSi}^*	2300 V
Voltage reference of SiC cell capacitor	v_{cSiC}^*	650 V
Switching frequency of an SiC cell	f_{sw}^{SiC}	4.7 kHz
Equivalent switching frequency	f_{sw}^{eq}	18.8 kHz

* on a three-phase 6.6 kV, 100 kVA, 50 Hz base

表 3-3 ハイブリッド STATCOM の半導体素子

Si-IGBT		
Collector-Emitter blocking voltage	V_{CE}	4.5 kV
Collector current	I_C	150 A
SiC-JFET (Normally-off) [95]		
Drain-Source blocking voltage	V_{DS}	1.2 kV
Drain current	I_D	30 A
Drain-Source on-resistance	$R_{DS(ON)}$	63 m Ω
SiC-SBD (Free-wheeling diode)		
Maximum peak repetitive reverse voltage	V_{RRM}	1.2 kV
Continuous forward current	I_F	7.5 A

等価スイッチング周波数が高くなることで変換器と系統の間のフィルタ回路も低減できる。今回用いた AC リアクトル L_{AC} は 25 mH (1.8%)と一般的な系統連系変換器よりも小さいインダクタンス値を設定した。系統連系規定の高調波の観点では L_{AC} は 0.5%程度まで下げることが可能である。しかし、あまり小さなインダクタンス値にすると系統事故時に発生する系統電圧と変換器電圧の差によって過電流が発生し、変換器がゲートブロックしてしまう。系統事故時にゲートブロックせず追従運転を行えるよう、高調波観点より大きめのインダクタンス値を設定した。

このハイブリッド・カスケード・マルチレベル STATCOM では半導体素子、直流コンデンサ電圧、変調法を複数種組み合わせしており、これら全ての要素がハイブリッドと言える。

3.4.2. ハイブリッド方式の制御システム

図 3-8 にハイブリッド STATCOM の全体制御ブロック図を示す。制御は主に、一括コンデンサ電圧制御 (AVR)、電流制御 (ACR)、相間バランス制御 (Interphase balance control)、1 パルス制御 (One-pulse control)、段間バランス制御 (Intercell balance control) から成る。

電流制御は有効電流 i_d と無効電流 i_q を制御する。一括コンデンサ電圧制御は電圧の異なる 12 個のセルのコンデンサ電圧をまとめて制御する。相間バランス制御は各相の Si セルと SiC セルを含むコンデンサ電圧平均値のばらつきを相間で抑制する。段間バランス制御は各相内の 2 つの SiC セルのコンデンサ電圧のばらつきを抑制する。1 パルス制御は電圧指令値 v_u^* , v_v^* , v_w^* から Si セルのパルス指令値 v_{Si}^* と SiC セルの電圧指令値 v_{SiC}^* を得ると同時に、Si セルのコンデンサ電圧の個別制御も行う。以下に各制御の詳細を説明していく。

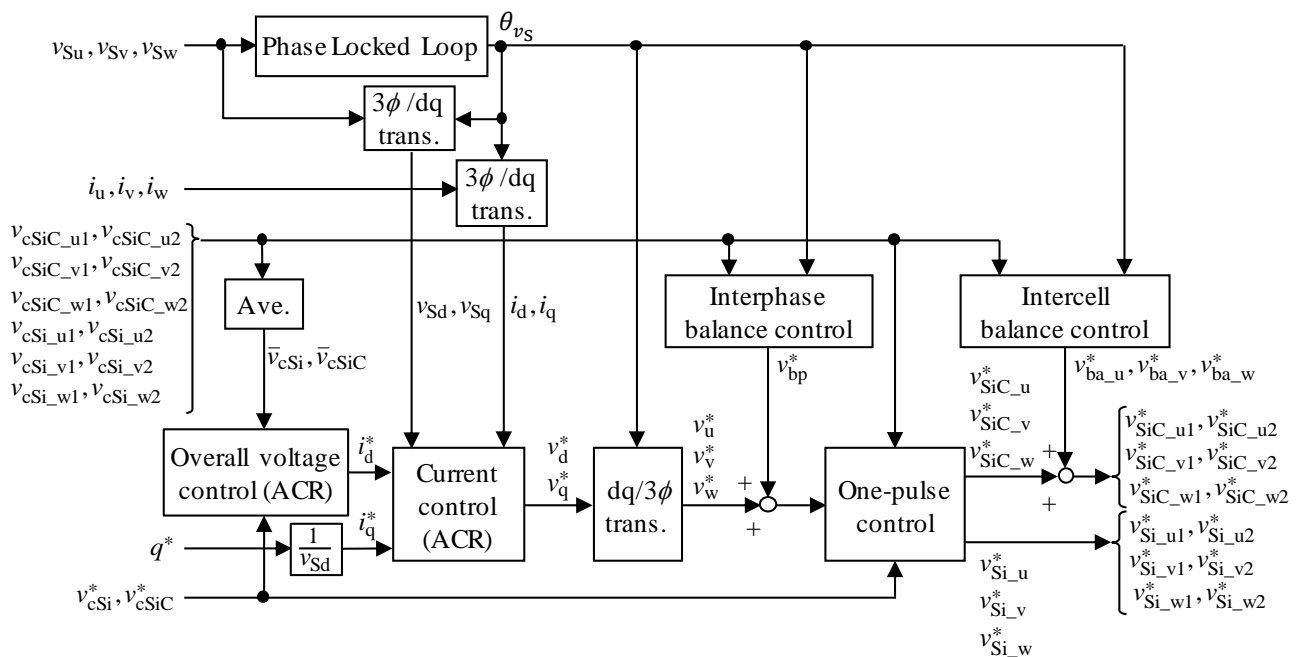


図 3-8 ハイブリッド・カスケード・マルチレベル STATCOM の全体制御ブロック図

A) 一括コンデンサ電圧制御

図 3-9 に一括コンデンサ電圧制御と電流制御のブロック図を示す。演算は dq 軸上で行われ、d 軸で有効電流 i_d を制御することで有効電力 p を、q 軸で無効電流 i_q を制御することで無効電力 q をそれぞれ独立に制御できる。

一括コンデンサ電圧制御は全てのコンデンサ電圧を維持するための有効電流指令値 i_d^* を演算する[60][102]。ハイブリッドでない通常のカスケード・マルチレベルでは全てのコンデンサ電圧の平均値 \bar{v}_c をフィードバック値として定格値に制御するが、ハイブリッド方式では複数の静電容量のコンデンサがあるためそのままは適用できない。ハイブリッドではフィードバック値に Si セルのコンデンサ電圧平均値 \bar{v}_{cSi} と SiC セルのコンデンサ電圧平均値 \bar{v}_{cSiC} の 2 種類を使用する。それぞれの平均値は下記式で計算される。

$$\bar{v}_{cSi} = \frac{1}{6} \sum_{n=1}^2 (v_{cSi_un} + v_{cSi_vn} + v_{cSi_wn}) \quad (3-5)$$

$$\bar{v}_{cSiC} = \frac{1}{6} \sum_{n=1}^2 (v_{cSiC_un} + v_{cSiC_vn} + v_{cSiC_wn}) \quad (3-6)$$

2 種類のセルはコンデンサ容量と電圧が異なる。この違いを是正するため、Si セルと SiC セルのコンデンサ容量の比である係数 K_c を導入する。

$$K_c = \frac{C_{Si}}{C_{SiC}} \quad (3-7)$$

K_c を Si セルコンデンサ電圧平均値 \bar{v}_{cSi} と Si セルコンデンサ電圧定格値 v_{cSi}^* の差分に乘算することで、電圧差を SiC セルと同じ基準に換算する。換算した電圧差を SiC セルのコンデンサ電圧差に加算して、制御器の入力となる電圧誤差 Δv_c を得る。

$$\Delta v_c = K_c(\bar{v}_{cSi} - v_{cSi}^*) + (\bar{v}_{cSiC} - v_{cSiC}^*) \quad (3-8)$$

これに下記式のように PI 制御をかけることで有効電流指令値 i_d^* を得る。

$$i_d^* = K_{pv}\Delta v_c + K_{iv} \int \Delta v_c dt \quad (3-9)$$

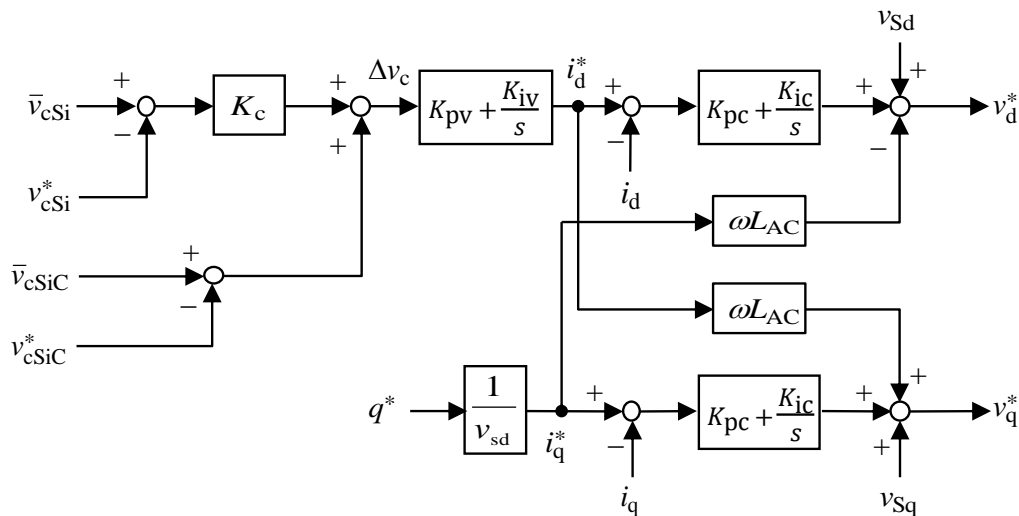


図 3-9 一括コンデンサ電圧制御ブロック図と電流制御ブロック図

ここで、 K_{pv} , K_{iv} はそれぞれ一括コンデンサ電圧制御の比例ゲインと積分ゲインである。有効電流指令値 i_d^* は電流制御の d 軸指令値として与えられる。

B) 電流制御

電流制御は有効電流 i_d と無効電流 i_q を制御するための有効電圧指令値 v_d^* と無効電圧指令値 v_q^* を演算して導出する。無効電流は STATCOM としての補償電流であり、その指令値は

$$i_q^* = \frac{q}{v_{sd}} \quad (3-10)$$

で与えられる。ここで、 v_{sd} は系統電圧の有効成分である。電流制御は非干渉制御[71]を用いており、系統電圧の d 軸値 v_{sd} と q 軸値 v_{sq} と、AC リアクトル L_{AC} での電圧降下をフィードフォワード制御項として入れている。ここでは安定性のため、電圧降下の計算に電流瞬時値 i_d, i_q ではなく指令値 i_d^*, i_q^* を用いている[60]。

PI 制御を適用した時、有効電圧指令値 v_d^* と無効電圧指令値 v_q^* は下記式で求められる。

$$\begin{bmatrix} v_d^* \\ v_q^* \end{bmatrix} = \begin{bmatrix} v_{sd} \\ v_{sq} \end{bmatrix} + \begin{bmatrix} 0 & -\omega L_{AC} \\ \omega L_{AC} & 0 \end{bmatrix} \begin{bmatrix} i_d^* \\ i_q^* \end{bmatrix} + K_{pc} \begin{bmatrix} i_d^* - i_d \\ i_q^* - i_q \end{bmatrix} + K_{ic} \int \begin{bmatrix} i_d^* - i_d \\ i_q^* - i_q \end{bmatrix} dt \quad (3-11)$$

ここで、 K_{pc} , K_{ic} はそれぞれ電流制御の比例ゲインと積分ゲイン、 ω は系統電圧の角速度である。電流制御はインナーループなので、一括コンデンサ電圧制御よりも十分早い応答速度とする必要がある。一般的には 10 倍以上の応答速度が設定される。

C) 相間バランス制御

相間バランス制御は各相のコンデンサ電圧平均値を基に相間のコンデンサ電圧バランスを制御する零相電圧指令値 v_{bp}^* を演算する[60][69][103]。図 3-10 に相間バランス制御のブロック図を示す。ここでは主に u 相の演算を例に挙げ、v, w 相の演算は簡略化表記している。ここでも Si セルのコンデンサ電圧を SiC セルのコンデンサ電圧基準に変換するため K_c を使用している。 K_{bp} は相間バランス制御の比例ゲインであり、 $\sin(\omega t + \gamma)$ は各相の電流と同位相の単位交流信号である。u 相の制御量 v_{bp_u} と同様に他の相の制御量 v_{bp_v}, v_{bp_w} も求め、3 相分を加算して零相電圧指令値 v_{bp}^* が得られる。

零相電圧指令値 v_{bp}^* を各相の電圧指令値 v_u^*, v_v^*, v_w^* に加算することで、有効電力が相間で受け渡しされコンデンサ電圧が相間でバランスする。 v_{bp}^* が操作するのは零相なので、相間で移動する有効電力の総和はゼロである。したがって相間バランス制御は他の制御に干渉しない。

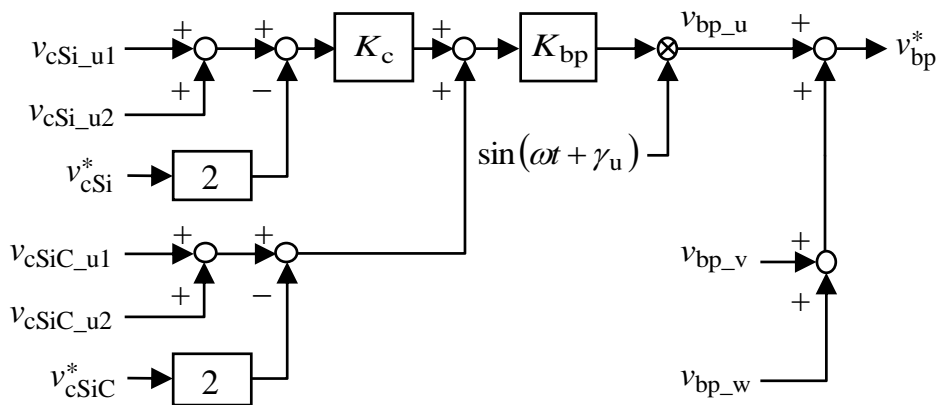


図 3-10 相間バランス制御ブロック図

D) 1 パルス制御

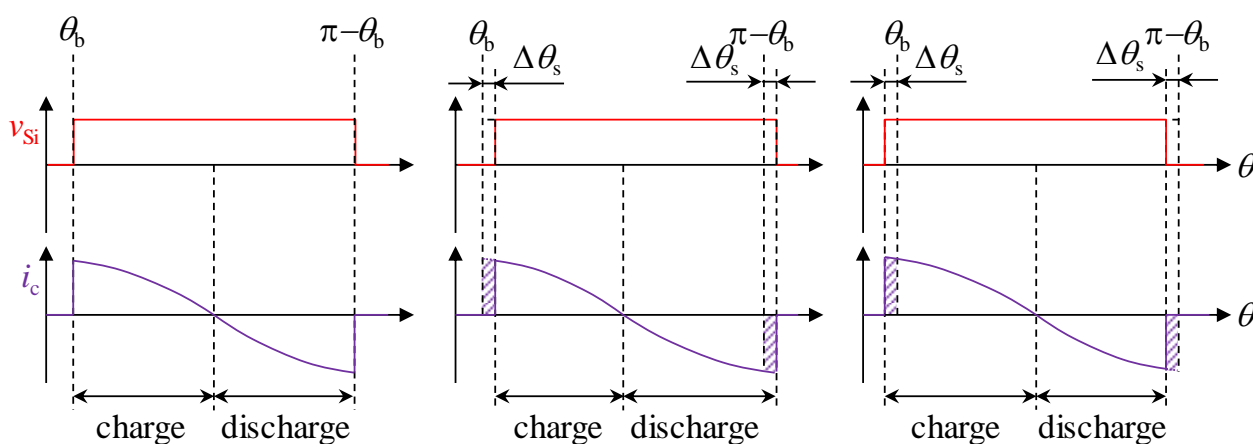
1 パルス制御では Si セルの出力 ON/OFF を操作するパルス指令値 v_{Si}^* を決定すると同時に、Si セルのコンデンサ電圧制御も行う。相電圧指令値を v^* とすると、各電圧指令値の関係は

$$v^* = v_{Si}^* + v_{SiC}^* \quad (3-12)$$

で表される。したがって、 v_{Si}^* を決定すると SiC セルの電圧指令値 v_{SiC}^* も同時に得られる。

1 パルスで駆動される Si セルのコンデンサ電圧制御はパルスの位相シフトにより実現される。1 パルス電圧 v_{Si} とコンデンサに流れ込む電流 i_c の関係を図 3-11 に示す。STATCOM は基本的に無効電流を出力するので、電圧と電流の位相差は常にほぼ $\pi/2$ rad である。図 3-11 (a)のように 1 パルスが位相 θ_b で立ち上がり $\pi - \theta_b$ で立ち下がる時、半サイクルでコンデンサが充電される期間と放電される期間は等しく、コンデンサに出入りする電流の積分はゼロであるためコンデンサ電圧は変化しない。1 パルスの位相を $\Delta\theta_s$ だけシフトすることで充放電量が変化するため、コンデンサ電圧を制御することができる。図 3-11 (b)のように 1 パルスを $\Delta\theta_s$ だけ遅らせると、充電量より放電量の方が大きくなるためコンデンサ電圧は低下する。図 3-11 (c)のように 1 パルスを $\Delta\theta_s$ だけ進めると、充電量より放電量の方が小さくなりコンデンサ電圧は上昇する。図 3-11 は進み電流の場合を示しているが、遅れ電流の場合は充放電の関係が逆になる。

電圧指令値 v^* と 1 パルス電圧 v_{Si} の位相シフトの関係を図 3-12 に示す。1 パルスの立ち上がり・立ち下がり位相を決定するため、電圧閾値 $v_{th,u}$ 、 $v_{th,d}$ を用いる。電圧閾値 $v_{th,u}$ 、 $v_{th,d}$ は以下の式で定義される。



(a) charge = discharge

(b) charge < discharge

(c) charge > discharge

図 3-11 Si セルの 1 パルス電圧とコンデンサ電流

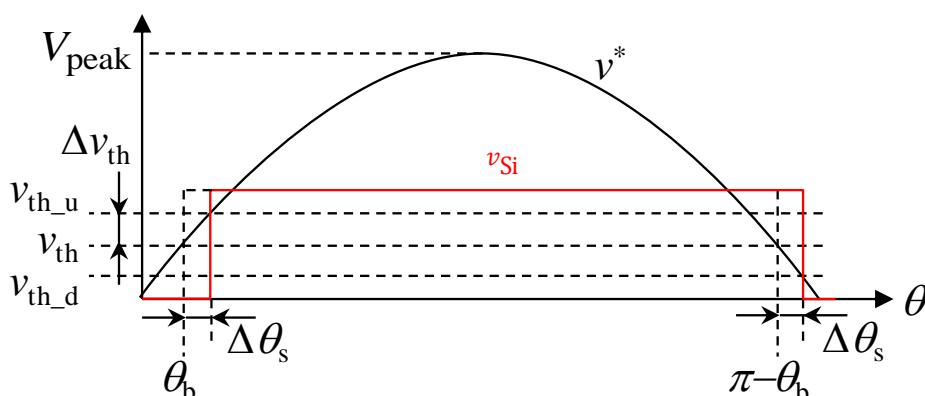


図 3-12 電圧指令値と 1 パルスの位相シフトの関係

$$\begin{cases} v_{th_u} = \frac{1}{2}v_{cSi} + \Delta v_{th} \\ v_{th_d} = \frac{1}{2}v_{cSi} - \Delta v_{th} \end{cases} \quad (3-13)$$

Δv_{th} はパルスシフト量 $\Delta\theta_s$ を操作するための電圧閾値の制御量である。電圧閾値 v_{th_u} , v_{th_d} と電圧指令値 v^* より、パルス指令値 v_{Si}^* は以下の関係で与えられる。

$$v_{Si}^* = \begin{cases} 0 \rightarrow 1 & : v^* > 0 \quad \text{and} \quad v^* \geq v_{th_u} \\ 1 \rightarrow 0 & : v^* > 0 \quad \text{and} \quad v^* \leq v_{th_d} \\ 0 \rightarrow -1 & : v^* < 0 \quad \text{and} \quad v^* \leq -v_{th_u} \\ -1 \rightarrow 0 & : v^* < 0 \quad \text{and} \quad v^* \geq -v_{th_d} \end{cases} \quad (3-14)$$

ここで、1, 0, -1 はそれぞれ正、ゼロ、負の Si セル出力を表している。

1 パルス電圧閾値の演算ブロック図を図 3-13 に示す。このブロックは 1 パルスをシフトするための電圧閾値 v_{th_u} , v_{th_d} を得るもので、基本的に式(3-13)に基づいている。1 パルスのチャタリングを防ぐため、閾値にはヒステリシス量 v_{hys} を入れている。ローパスフィルタ (LPF)は Si セルのコンデンサ電圧に主に含まれる 100 Hz のリプル成分を抑制するようカットオフ周波数を設定する。閾値操作量 Δv_{th} は下記式で求められる。

$$\Delta v_{th} = K_{bo}(v_{cSi} - v_{cSi}^*) \operatorname{sgn}(i_q^*) \quad (3-15)$$

ここで、 K_{bo} は Si セルコンデンサ電圧制御の比例ゲイン、 $\operatorname{sgn}(x)$ は以下の式で定義される符号関数である。

$$\operatorname{sgn}(x) = \begin{cases} -1 & : x < 0 \\ 0 & : x = 0 \\ 1 & : x > 0 \end{cases} \quad (3-16)$$

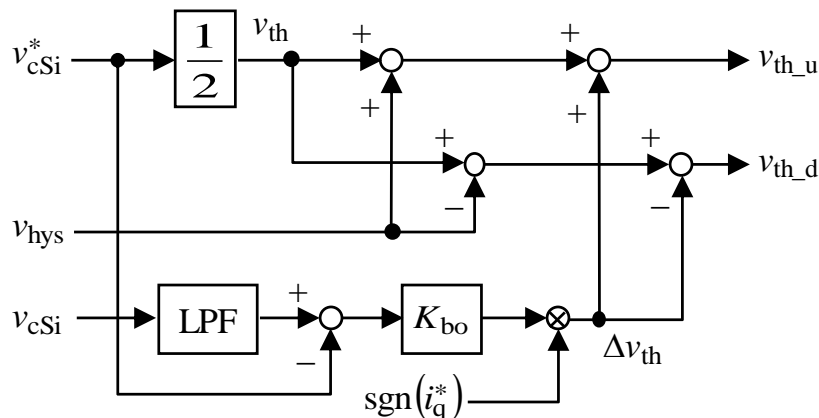


図 3-13 1 パルス電圧閾値の演算ブロック図

Si セルの 1 パルスをシフトしても、図 3-14 のように SiC セルの電圧指令値も変化してシフト分の電圧を補償するため、出力電圧 v に影響はなく電流制御には干渉しない。これは全てのセルが 1 パルスの場合とは異なる点であり、ハイブリッドならではの点である。図 3-14 から分かるように、シフトした 1 パルスを補償する場合 SiC セルの出力電圧は通常よりも高くなる。このため、SiC セルの直流電圧は Si セルの直流電圧の 4 分の 1 よりも高めに設定する必要がある。SiC セルの直流電圧が足りないと必要な電圧が出せず出力電圧が歪むことになる。出力電圧が歪まない範囲の閾値操作量 Δv_{th} と各コンデンサ電圧の関係は下記式のようになる。

$$|\Delta v_{th}| \leq n_{ON}^{SiC} v_{cSiC}^* - \frac{v_{cSi}^*}{2} - v_{hys} \quad (3-17)$$

ここで、 n_{ON}^{SiC} はパルスを出している Si セルの数である。式(3-17)に従い、Si セルと SiC セルのコンデンサ電圧定格値 v_{cSi}^* 、 v_{cSiC}^* は 1 パルスシフトに十分なマージンを持つよう設計する。仮に STATCOM の出力電流に含まれる有効電流が大きくても、1 パルスをシフトできる限り Si セルのコンデンサ電圧制御は有効に作用する。シフト限界を超える場合も、瞬時であれば後からコンデンサ電圧制御が再び作用し復帰する。

ここから、比例制御ゲイン K_{bo} の設計を検討する。図 3-15 は閾値操作量 Δv_{th} によりシフトされるパルスシフト量 $\Delta\theta_s$ の関係を示した図である。本図より、以下の関係が成り立つ。

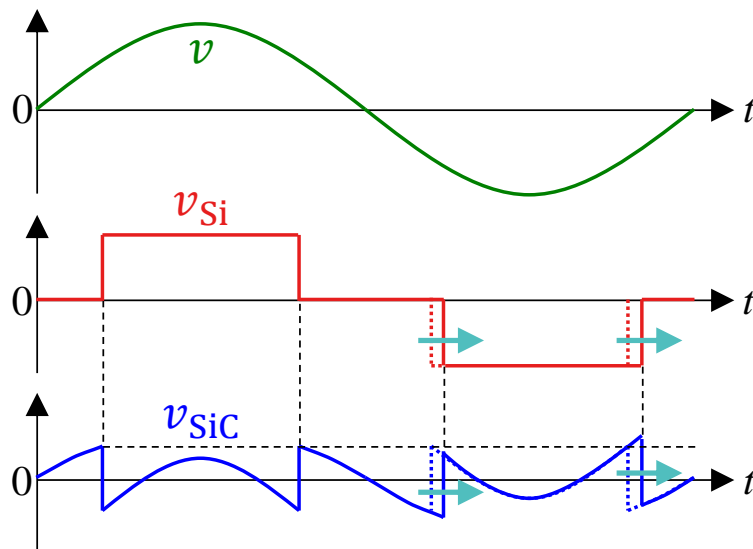


図 3-14 1 パルス v_{Si} のシフトと共に変化する SiC セルの出力 v_{SiC}

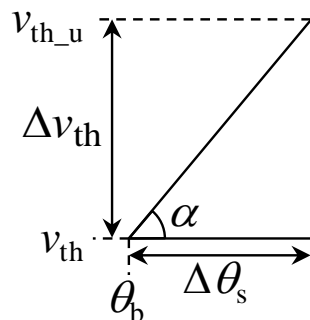


図 3-15 閾値操作量 Δv_{th} とパルスシフト量 $\Delta\theta_s$ の関係

$$\begin{aligned} \frac{\Delta v_{th}}{\Delta \theta_s} &= V_{peak} \frac{d}{d\alpha} \sin \alpha \Big|_{\alpha=\theta_b} \\ &= V_{peak} \cos \theta_b \end{aligned} \quad (3-18)$$

$$\Delta \theta_s = \frac{1}{V_{peak} \cos \theta_b} \Delta v_{th} \quad (3-19)$$

ここで、 V_{peak} は電圧指令値 v^* のピーク値、 α は位相 θ_b における v^* の角度である。 I_d と I_q をそれぞれ有効・無効電流のピーク値とすると、コンデンサに流れ込む電流 i_c は

$$i_c = I_d \sin \theta - I_q \cos \theta \quad (3-20)$$

で定義できる。図 3-11 より、平均電流 \bar{i}_c は

$$\begin{aligned} \bar{i}_c &= \frac{1}{\pi} \int_{\theta_b+\Delta\theta_s}^{\pi-\theta_b+\Delta\theta_s} (I_d \sin \theta - I_q \cos \theta) d\theta \\ &= \frac{2}{\pi} (I_d \cos \theta_b \cos \Delta\theta_s + I_q \cos \theta_b \sin \Delta\theta_s) \\ &\approx \frac{2 \cos \theta_b}{\pi} (I_d + I_q \Delta\theta_s) \quad (\because \cos \Delta\theta_s \approx 1, \sin \Delta\theta_s \approx \Delta\theta_s) \end{aligned} \quad (3-21)$$

と近似出来る。ここで、パルスシフト量 $\Delta\theta_s$ は十分小さいと仮定している。式(3-21)は、無効電流がパルスシフト量 $\Delta\theta_s$ に関係する一方で、有効電流は関与しないことを示している。式(3-21)と STATCOM が基本的に無効電流しか出力しない ($I_d \ll I_q$)ことを考慮すると、有効電流の影響は無視できる。したがって、

$$\bar{i}_c \approx \frac{2 \cos \theta_b}{\pi} I_q \Delta\theta_s \quad (3-22)$$

と近似される。

図 3-13 と式(3-19)(3-22)より、Siセルのコンデンサ電圧の制御ブロック図は図 3-16 のようになる。本ブロックより、閉ループ伝達関数は下記のように求められる。

$$\frac{v_{cSi}}{v_{cSi}^*} = \frac{1}{1 + s \frac{\pi V_{peak} C_{Si}}{2 I_q K_{bo}}} \quad (3-23)$$

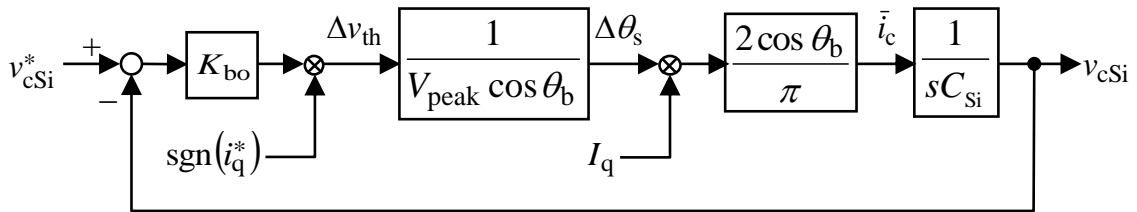


図 3-16 Siセルコンデンサ電圧の制御ブロック図

伝達関数は 1 次遅れ系であり、時定数 T_{bo} は

$$T_{bo} = \frac{\pi V_{peak} C_{Si}}{2\sqrt{2} i_q K_{bo}} \quad (3-24)$$

で与えられる。また、時定数を T_{bo} とする場合の比例制御ゲイン K_{bo} は、(3-24)を変形して

$$K_{bo} = \frac{\pi V_{peak} C_{Si}}{2\sqrt{2} i_q T_{bo}} \quad (3-25)$$

で求められる。

パルスシフト量 $\Delta\theta_s$ はパルスが変化する位相 θ_b によって変化する。閾値操作量 Δv_{th} を同一値とした際に位相 θ によってパルスシフト量 $\Delta\theta_s$ が変化する様子を図 3-17 に示す。しかし式(3-24)より、時定数 T_{bo} が位相 θ_b に依存しないことが分かる。これは、図 3-17 においてコンデンサ電流 i_c の積分量(斜線部 S_1, S_2 の面積)が等しいことを示している。 θ_b によって $\Delta\theta_s$ が増加すると i_c は減少し、 $\Delta\theta_s$ が減少すると i_c は増加している。したがって、Si セルのコンデンサ電圧制御において制御ゲイン K_{bo} は単一値を用いればよいことになる。

式(3-24)の時定数の妥当性と、単一ゲインが実際に適用可能であること回路シミュレーションで検証した。回路の構成と定数は図 3-7 と表 3-2 と同じで、時定数 T_{bo} は 100 ms とした。ゲイン K_{bo} は式(3-25)から求め、全ての Si セルコンデンサ電圧制御で同じ値を用いた。シミュレーションの結果を図 3-18 に示す。コンデンサ電圧指令値 v_{cSi}^* を 2200 V から 2300 V にステップ変化させた時の u 相の 2 つの Si セル

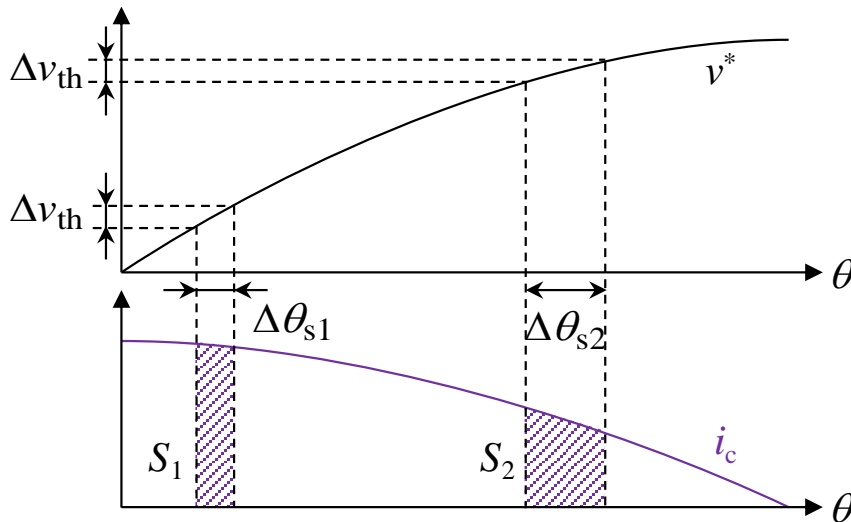


図 3-17 同一の閾値操作量 Δv_{th} における位相によるパルスシフト量 $\Delta\theta_s$ の違い

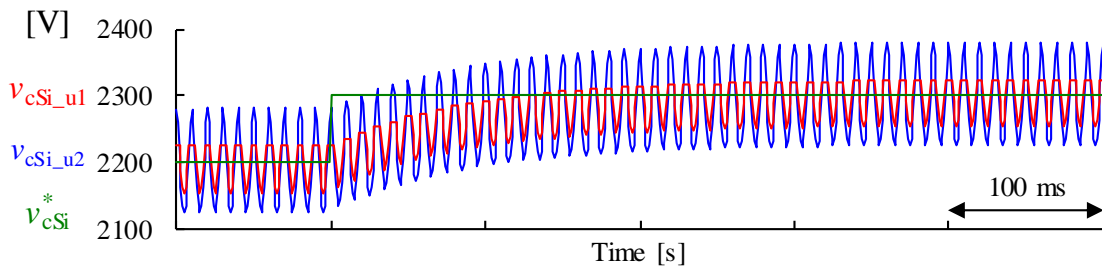


図 3-18 Si セルコンデンサ電圧の過渡応答シミュレーション波形

コンデンサ電圧 v_{cSi_u1} , v_{cSi_u2} の変化を示している。いずれも 100 ms の時定数でコンデンサ電圧指令値 v_{cSi}^* に追従しており、設計通りの時定数である。2つの Si セルの立ち上がり・立ち下がり位相は図 3-5 のように異なるが、Si セルコンデンサ電圧 v_{cSi_u1} , v_{cSi_u2} は同じ時定数で応答している。この結果より、上述の 1 パルス制御の設計の妥当性と、単一ゲインが適用可能であることが確認できた。

一括コンデンサ電圧制御と相間バランス制御はアームのコンデンサ電圧の総量を制御する。1 パルス制御は Si セルのコンデンサ電圧を個別に制御し、結果的に SiC セルのコンデンサ電圧の総和が制御される。よって、1 パルス制御と一括コンデンサ電圧制御の応答速度は同程度に設定する。相間バランス制御と段間バランス制御の応答はそれらよりも遅くする。

E) 段間バランス制御

段間バランス制御は、ある相内における 2つの SiC セルのコンデンサ電圧バランスをとるための段間バランス制御量 v_{ba}^* を与える[60][102][103]。図 3-19 に u 相を例にとった段間バランス制御のブロック図を示す。 $v_{SiC_u}^*$ は 1 パルス制御で得られた u 相 SiC セル 2 段分の電圧指令値である。 K_{pa} は段間バランス制御の比例ゲインで、 $\sin(\omega t + \gamma)$ は u 相の電流と同位相の単位交流信号である。 $v_{SiC_u1}^*$, $v_{SiC_u2}^*$ は 2つの SiC セルそれぞれの電圧指令値であり、u 相段間バランス制御量 $v_{ba_u}^*$ が等しく加減算される。本制御は v, w 相でも同様であり、v, w 相の場合は v, w 相の電流と同位相の単位交流信号を演算に用いる。

ここでは u 相 SiC セルのコンデンサ電圧 v_{cSiC_u1} , v_{cSiC_u2} の差分を制御ゲインの入力として用いているが、基本的な考え方はコンデンサ電圧平均値を指令値に用いる場合[60][102][103]と同様である。相内で 2つの SiC セルに与えられる制御量の総和は等しいので、コンデンサのエネルギーは相内で受け渡される。したがって、段間バランス制御は他の制御に影響を与えない。

以上で、全ての半導体スイッチング素子の指令値が得られ、ハイブリッド・カスケード・マルチレベル STATCOM の制御を行うことができる。

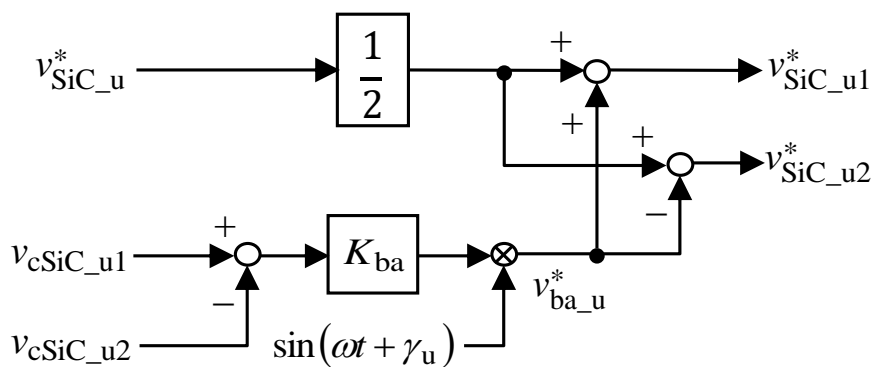


図 3-19 段間バランス制御ブロック図

3.5. 実定格試作機の検証

上記で説明した回路構成と制御を適用したハイブリッドSTATCOMの実定格試作機を設計・製作した。本試作機の目的は、回路構成と制御の実証の他、変換器損失とセルの体積の評価である。定格試験と連系試験は電力中央研究所の赤城試験センターで行った。赤城試験センターは実際の6.6kV配電線と同じ設備で構成された実スケール模擬配電システムがあり、実配電システム相当の連系試験を行うことができる。そこに製作したハイブリッドSTATCOMをトランスレスで連系して検証試験を実施した[104]–[106]。

3.5.1. 試作機の外観と定格

ハイブリッドSTATCOM試作機の写真を図3-20に示す。主な定格はトランスレス6.6kV連系、容量100kvarであり、その他の詳細な定格は表3-2のとおりである。回路構成は図3-7のとおりで、使用した半導体素子は表3-3である。写真には主にセルのスイッチング素子側が写っており、コンデンサは素子の背面に配置されている。試作機の目的が回路・制御実証と損失・セル体積評価なので、装置全体としての筐体サイズ設計はここでは最適化されていない。冷却は自然空冷である。

制御装置にはDSP (Digital Signal Processor)とFPGA (Field Programmable Gate Array)を用いた。信号検出サンプリングと制御周期は18.8kHzで、等価スイッチング周波数と合わせている。



(a) STATCOM 盤外観



(b) SiC セル (三相分)



(c) Si セル (三相分)

図 3-20 ハイブリッドSTATCOM 試作機の写真

3.5.2. 定格定常運転

系統連系しての定格定常運転（100 kvar コンデンサ動作）時の波形を図 3-21 に示す。波形は系統電圧 v_{Su} , v_{Sv} , v_{Sw} 、STATCOM 出力電流 i_u , i_v , i_w 、Si セルコンデンサ電圧 $v_{cSi_u1} \sim v_{cSi_w2}$ 、SiC セルコンデンサ電圧 $v_{cSiC_u1} \sim v_{cSiC_w2}$ を示している。出力電流は系統電圧に対して $\pi/2$ rad 遅れており、運転条件どおり遅れの無効電力を出力（コンデンサ動作）していることが分かる。出力電流 i_u の THD 測定結果は 4.6%であった。コンデンサ電圧は Si セルと SiC セルそれぞれで定格値である 2300 V と 650 V にバランスして平均的に重なり合っており、バランス制御が有効に作用していることが伺える。

図 3-22 は定格コンデンサ動作からインダクタ動作に指令値を 1 周期かけてランプ変化させた時の出力電流と有効電力 p 、無効電力 q の波形である。電力は電圧と電流の測定値から計算している。出力電力は 1 周期で 100 kvar から -100 kvar に変化しており、出力電流が指令値に追従していることが分かる。

以上より、ハイブリッド・カスケード・マルチレベル STATCOM における電流制御と定格時におけるコンデンサ電圧バランスの成立が実証出来た。

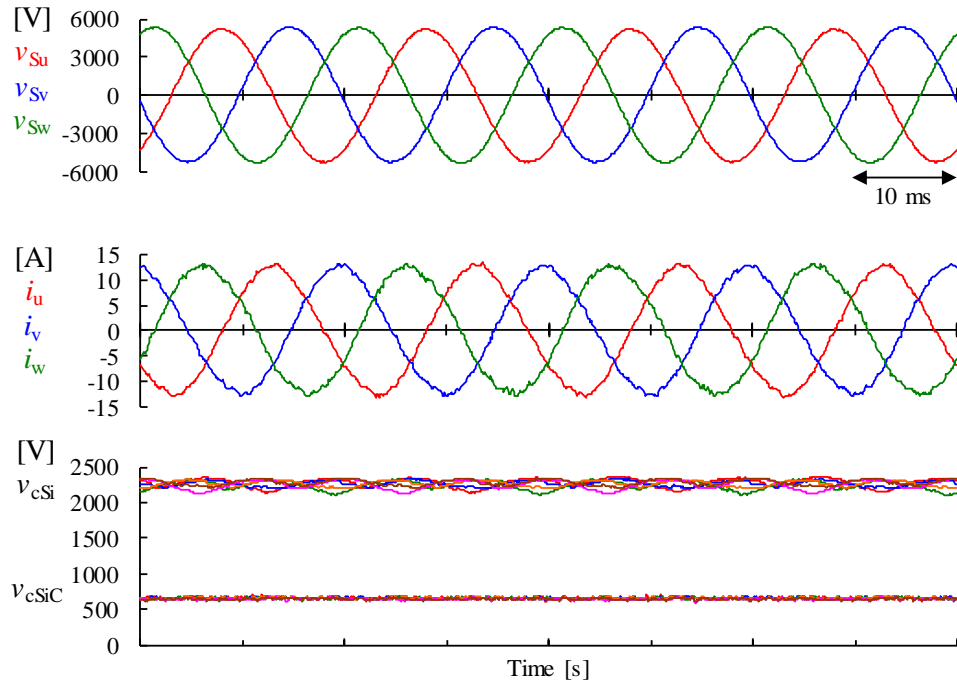


図 3-21 ハイブリッド STATCOM の 100 kvar 定格運転波形（コンデンサ動作）

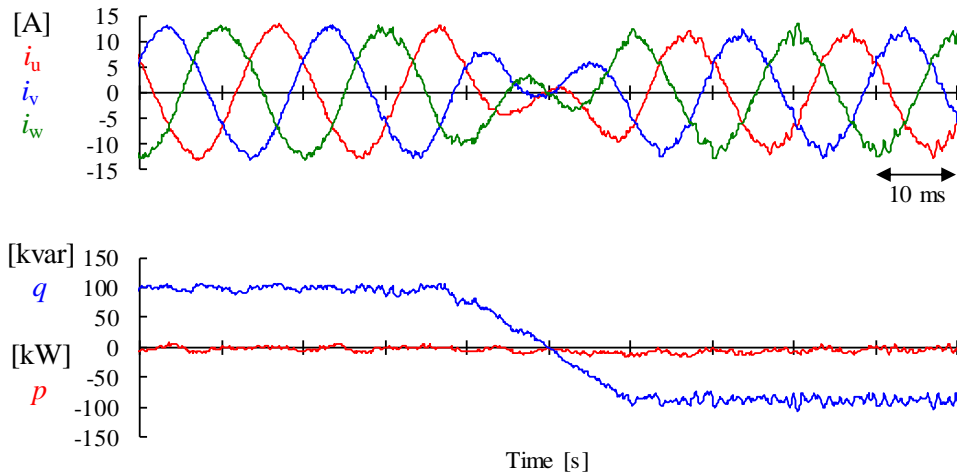


図 3-22 ハイブリッド STATCOM の 100 kvar コンデンサ動作からインダクタ動作への過渡変化

3.5.3. バランス制御の動作確認

定格運転時にコンデンサ電圧がバランスしていることを確認したが、ここでは更に詳しく確認する。

バランス制御の有効性を確認するため、定常運転中に全てのバランス制御を無効とした場合のコンデンサ電圧波形を図 3-23 に示す。バランス制御を無効にした直後から、Si セルコンデンサ電圧 v_{cSi} は徐々に低下し、SiC セルコンデンサ電圧 v_{cSiC} は上昇している。最終的にはセルコンデンサ電圧の過電圧保護で STATCOM は運転を停止する。この実験結果より、コンデンサ電圧はバランス制御により保たれていることが確認出来た。

次に、バランス制御が成立する電流の下限を検証した。相間バランス制御、段間バランス制御共に、制御されるコンデンサの有効電力は出力電流に依存するので、電流が小さければバランス制御の効果も低下する。例えば式(3-24)のとおり、段間バランス制御の時定数には分母に電流が入っており、電流が大きいほど時定数が短く制御応答が早いことが式からも分かる。図 3-24 に出力無効電力指令を 5 kvar (0.05 p.u.)とした場合のコンデンサ電圧波形を示す。定格無効電力出力の 0.05 p.u.という低い出力ではあるが、コンデンサ電圧はある程度制御されており運転継続出来ている。しかし Si と SiC それぞれのコンデンサ電圧において僅かにアンバランスが見られるため、0.05 p.u.程度がバランス制御成立の下限であると言える。

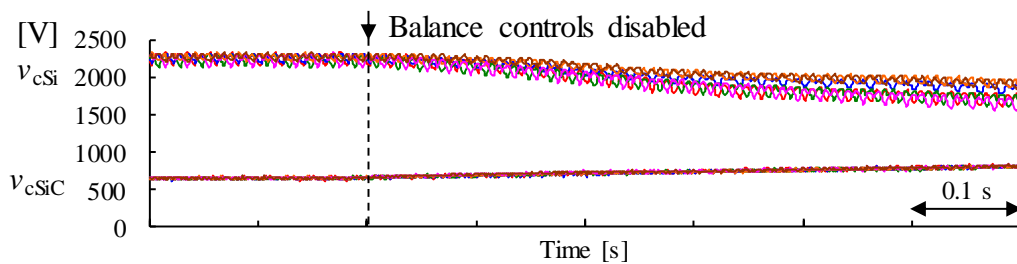


図 3-23 バランス制御の有効性確認

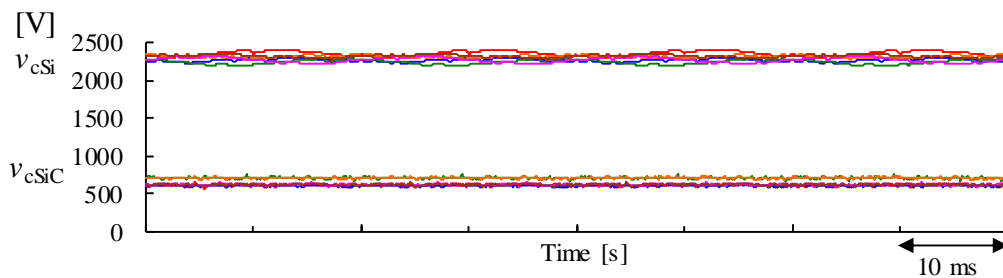


図 3-24 5 kvar コンデンサ動作 (0.05 p.u.)時の波形

3.5.4. 系統事故試験

製作したハイブリッド STATCOM の、系統事故時の追従運転 (FRT: Fault Ride Through)性能を実証した。現状、配電用 STATCOM の系統事故時の運転に関わる明確な要件は無い。配電用 STATCOM の機能は定常状態の電圧安定化であり、事故で著しく低下した電圧を完全に補償することは難しい。しかし、系統電圧復帰後は速やかな運転再開が求められると考えられる。この考え方と太陽光発電などの系統連系インバータの FRT 要件を基に、系統電圧低下が 20%以下 (残電圧 80%以上) であれば運転を継続し、それ以上の低下であれば運転停止するようハイブリッド STATCOM を設計した。また、系統電圧が 100%に復帰すると直ちに無効電力補償運転を再開することとした。

系統電圧低下事故は、電力中央研究所 赤城試験センターが備える大容量 6.6 kV 三相交流 Back-to-Back (BTB)変換器で模擬した。ハイブリッド STATCOM を接続した配電系統の電圧を BTB 変換器から供給し、出力電圧変動指令を与えることで事故相当の電圧変化を発生させた。事故は定常運転状態で発生させ、0.9 秒継続し復帰するようにした。

図 3-25 に定常定格運転時に系統電圧に三相 20%低下事故が発生した場合の試験波形を示す。系統電圧変化への追従性が悪いと、系統電圧と STATCOM 出力電圧の差が大きくなり電流が流れて過電流で保護停止してしまう。しかし試験波形では、事故発生時と復帰時においてハイブリッド STATCOM は停止せず運転継続している。出力電流も安定しており、コンデンサ電圧バランスも維持されている。この結果より、20%低下事故に対して良好な FRT 性能が確認できた。

次に、Y- Δ トランスを介した 20%二相短絡事故を模擬した事故の試験波形を図 3-26 に示す。配電系統の Y- Δ トランスより上流で二相短絡事故が起きた場合の想定であり、系統電圧は不平衡になる。こちらの試験でも事故時と復帰時において過電流は発生せずハイブリッド STATCOM は運転を継続している。また事故中も電流、電圧制御は安定している。事故中は系統電圧が不平衡であるため、相間にアンバランスが若干出ている。しかし、運転継続には影響が無いレベルである。

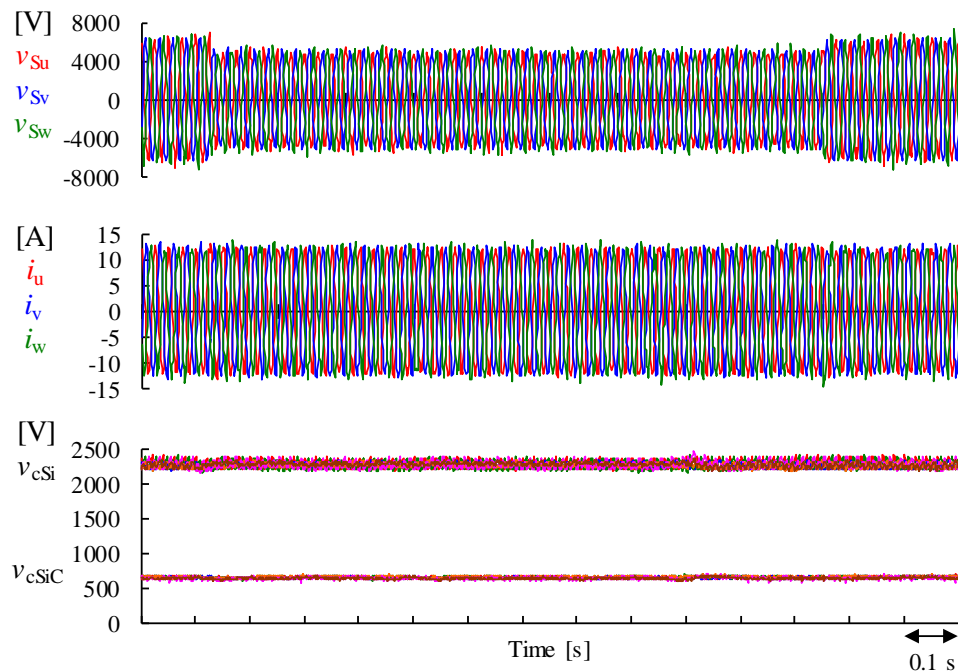


図 3-25 系統電圧 20%低下時の動作継続波形

図 3-27は系統電圧が三相 80%低下した場合の事故試験波形である。低下電圧が 20%より大きいので、事故直後にハイブリッド STATCOM は運転を停止し電流はゼロになっている。電流が流れないので、事故が 0.9 秒続く間、コンデンサ電圧は同じ値を維持している。系統電圧が 100%に復帰すると STATCOM はランプ状に出力を再開しており、想定通りの動作ができています。運転再開後にコンデンサ電圧が若干変動しているが、最終的に定格値に制御されている。

これらの系統事故試験の実証結果より、製作したハイブリッド STATCOM の FRT 性能が設計通りであることが確認された。

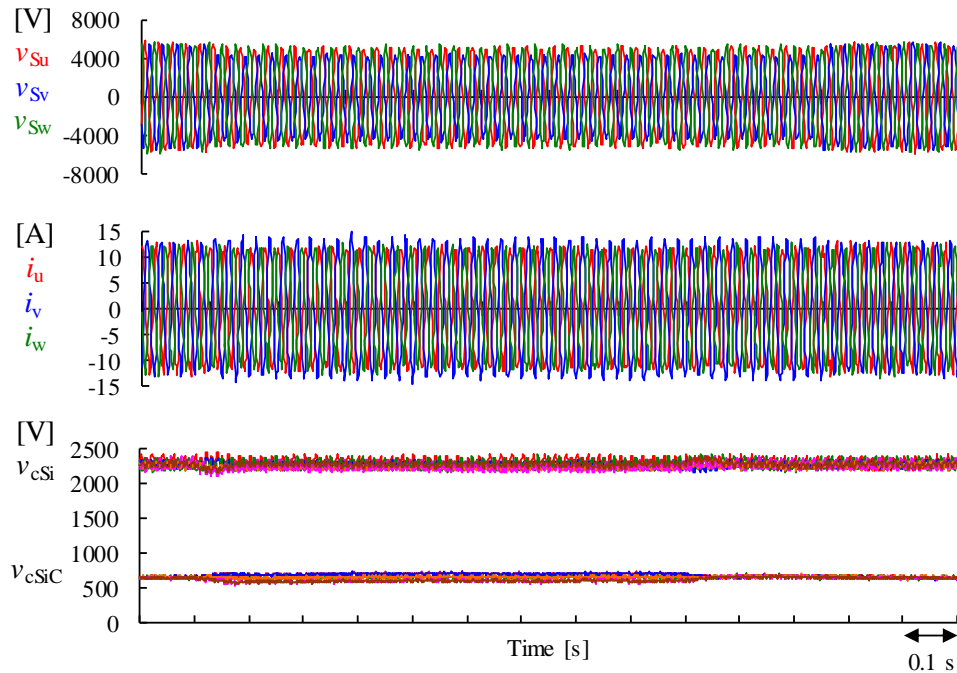


図 3-26 系統 20%二相短絡事故時の動作継続波形 (Y-Δ トランスを介した場合)

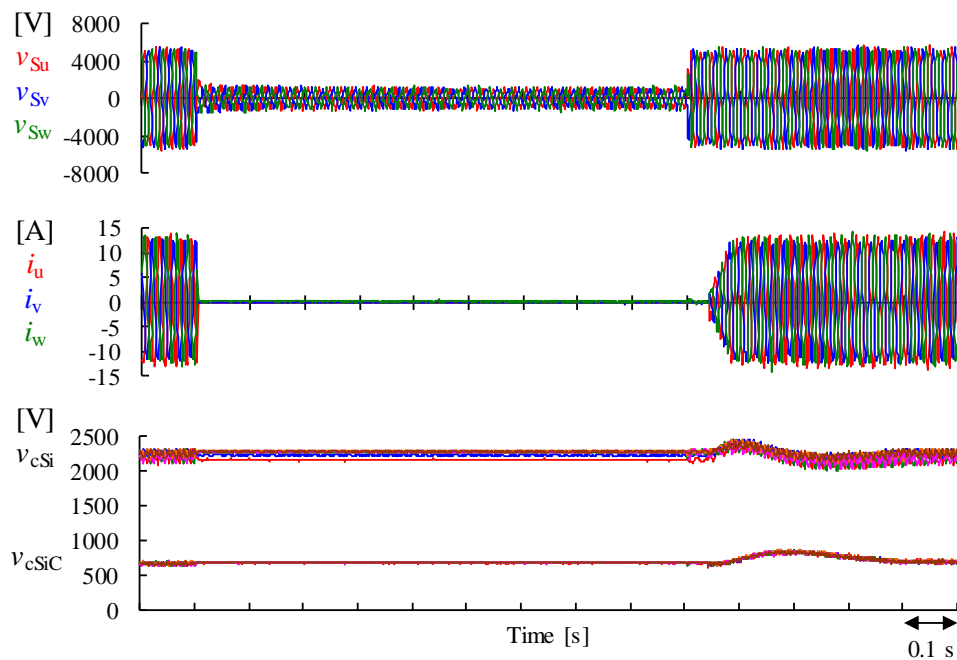


図 3-27 系統電圧 80%低下時の運転停止・復帰の波形

3.5.5. 損失の測定と内訳計算

製作したハイブリッド STATCOM の損失を測定した。損失の測定はパワーメータ (横河計測製 WT3000) を系統と STATCOM の間に接続し、STATCOM に流れ込む有効電力を測定することで行った。STATCOM は無効電力補償装置なので、この有効電力が装置の損失に相当する。電力中央研究所 赤城試験センターでの 6.6 kV 連系試験時にはパワーメータを接続することができなかつたため、損失は実験室で最大 75 kvar 出力まで測定した。

コンデンサ動作におけるハイブリッド STATCOM の損失の実測結果を図 3-28 に示す。縦軸の P_{ratio} は定格容量 100 kvar に対する損失の比率である。実測損失が机上計算結果と一致しているかどうかの比較のため、Si セル、SiC セル、STATCOM 損失の計算値も合わせてプロットした。計算値は 3.3.3 節の計算法と同じである。セル損失は半導体スイッチング素子とフリーホイールダイオードの導通損失とスイッチング損失、リカバリ損失を含んでおり、STATCOM 損失には Si セル、SiC セル、AC リアクトル L_{AC} の損失が含まれている。AC リアクトル L_{AC} の鉄損は微少であるため無視し、銅損のみを考慮すると以下の式で計算できる。

$$P_{\text{ACL}} = r_{\text{ACL}} I^2 \quad (3-26)$$

ここで、 r_{ACL} は AC リアクトルの基本周波数における抵抗値、 I は電流実効値である。電流は STATCOM が出力する無効電流が相当する。

図 3-28 を見ると、STATCOM 損失の実測値は計算値と近い値が得られており、ほぼ机上計算通りの損失になっていることが分かる。全体の計算値と実測値がほぼ合っているため、定格 100 kvar における損失や、損失内訳も計算値を用いて推定することができる。定格における損失推定値は 296 W であり、定格容量に対する損失の比率は僅か 0.296% である。その内、SiC セルの損失は 44.3 W で全体の 15% であった。変換器損失として Si セルの損失が支配的であることが分かる。AC リアクトルの損失はあまり大きくはない。

以上より、ハイブリッド STATCOM の損失が机上計算通りに低損失であることを確認し、更に損失の内訳を推定できた。ハイブリッド方式での損失計算値が実測とほぼ一致したため、3.3 項での 3 つの回路構成の損失比較結果もある程度の妥当性があると見ることができる。

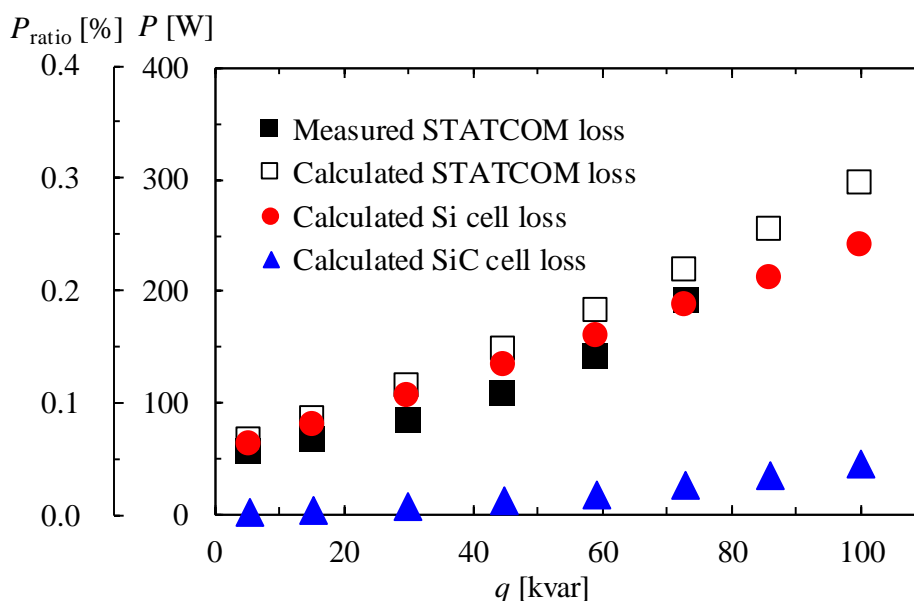


図 3-28 ハイブリッド STATCOM の損失実測・計算結果

3.5.6. 体積の実測

実定格で製作したハイブリッド STATCOM 試作機の体積を実測した。変換器盤の筐体設計と筐体の絶縁は最適化されていないため、それらの部材・構成要素は対象外とし、コンデンサを含むセルの体積のみを実測した。セルの構成要素は半導体素子、基板、ゲート回路、コンデンサ、それらの部品間の絶縁部品なので、これ以上小型化できる余地は小さい。したがって、試作機のセル体積の実測結果は比較評価の根拠値として用いることができる。試作機では熱設計が最適化されていないため、ヒートシンクは体積に含めなかった。

図 3-29 にセル 1 つあたりの体積の実測内訳を変換器とコンデンサに分けて示す。前述の構成要素のコンデンサ以外は変換器に含まれる。合計体積で見ると、SiC セルより Si セルの方が約 2 倍大きいことが分かる。変換器は Si セルがモジュール素子を、SiC セルがディスクリット素子を基板上に構成しており、ディスクリット素子を用いている SiC の方が大きくなっている。ディスクリットとモジュールという差を除けば、Si と SiC という材料の違いにより変換器の体積は変わることは原理的にはない。ただし、損失が異なるため、ヒートシンクの体積には差が出る。基本的には差が出るのは変換器の電圧と考えられる。これは変換器内で絶縁を確保するために距離を離す必要があるためである。一方でコンデンサ体積は Si セルの方が大きい。コンデンサの単位静電定数 H はどちらも 40 ms 前後で合わせているが、Si セルは電圧が高いため大きくなっている。一般的に、コンデンサの容量よりも耐圧の方が体積に大きく影響する。この理由も、極間耐圧をとるために距離を離す必要があるためである。

なお、重量は個別部品の測定が難しかったほか、試作機の全体重量が柱上設置制限に対して比較的余裕があったため今回は内訳測定・評価は見送った。

次節ではこの体積内訳の実測値を用いて、最初に比較した(a) Hybrid、(b) All-SiC、(c) All-Si の 3 構成の体積を推定し比較検討する。

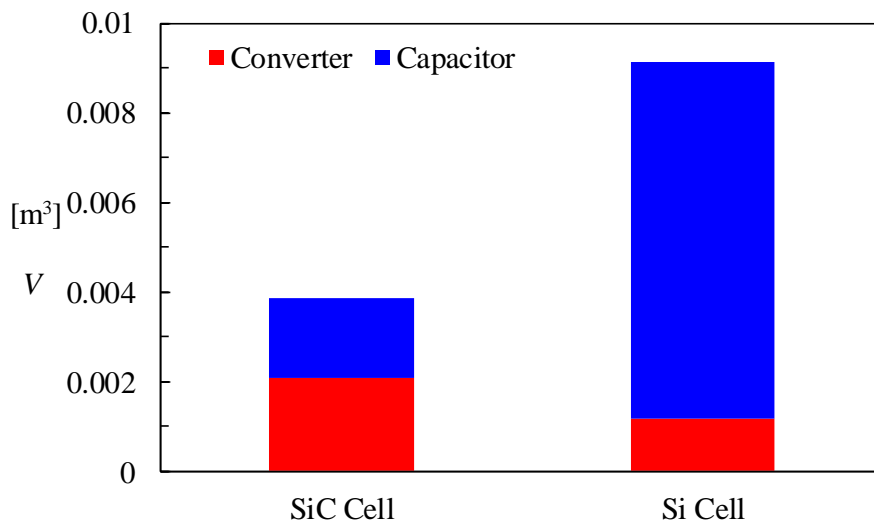


図 3-29 ハイブリッド STATCOM のセル体積の実測内訳

3.6. 実測値に基づく回路構成の比較

本章では 3.3 項にて、6.6 kV トランスレス・カスケード STATCOM を実現するための回路構成の候補として (a) Hybrid、(b) All-SiC、(c) All-Si の 3 構成を損失面で比較検討した。本節では、この 3 構成について、既に行った損失比較に加えて実測結果データに基づく体積の比較評価も行い、総合的にハイブリッド方式の有効性を検討する。

3.6.1. 体積の比較

3.5.6 節で実測したハイブリッド STATCOM 実定格試作機のセル体積を基に、(a) Hybrid、(b) All-SiC、(c) All-Si 各構成のセル体積を計算した。セル体積に含まれるのは、半導体素子、基板、直流コンデンサである。実際の STATCOM には他の部品も含まれるが、トランスレス STATCOM ではセルの占める体積が主なので各構成の体積比較として成立する。

(a) Hybrid は製作したハイブリッド STATCOM 試作機と同じ構成なので、体積の値はそのまま用いている。(b) All-SiC の SiC セルは (a) Hybrid の SiC セルと同じなので、体積も同じ値を用いた。(c) All-Si で用いている Si-IGBT は 3.3 kV なので (a) Hybrid の 4.5 kV Si-IGBT とは異なるが、市場の高耐圧 IGBT モジュールを調査したところ、一般的に 4.5 kV も 3.3 kV も同じパッケージを使用しているため、コンデンサを含まない変換器体積は同じと考えることができる。コンデンサ体積はエネルギーに比例すると仮定し、(a) Hybrid の Si セルのコンデンサ体積を基に算出した。

体積の比較結果を図 3-30 に示す。ここから下記のこと分かる。

- (b) All-SiC は体積が最も大きく、その半分はコンデンサ。
- (c) All-Si は最も体積が小さく、内訳はコンデンサが支配的。
- (a) Hybrid は体積が 2 番目に小さいが、最も小さな (c) All-Si との差は 0.005 m^3 しかない。
- (a) Hybrid の内訳は Si セルが 7 割程度を占める。

(b) All-SiC はカスケード数が 9 個と多いため体積が最も大きくなっている。体積低減のためには SiC 素子の高耐圧化とセル数の低減が必要になる。(c) All-Si はセルあたりの大きさは大きいものの、カスケード数が 3 と少ないので最も小さな体積となった。しかし (a) Hybrid との差は僅かである。今回の体積比較ではヒートシンクを含めていないが、損失比較では (a) Hybrid の方が (c) All-Si よりも大幅に低損失有利なので、適切な冷却設計をしたヒートシンクを取り付けた場合、(a) Hybrid の方が小さくなると思われる。

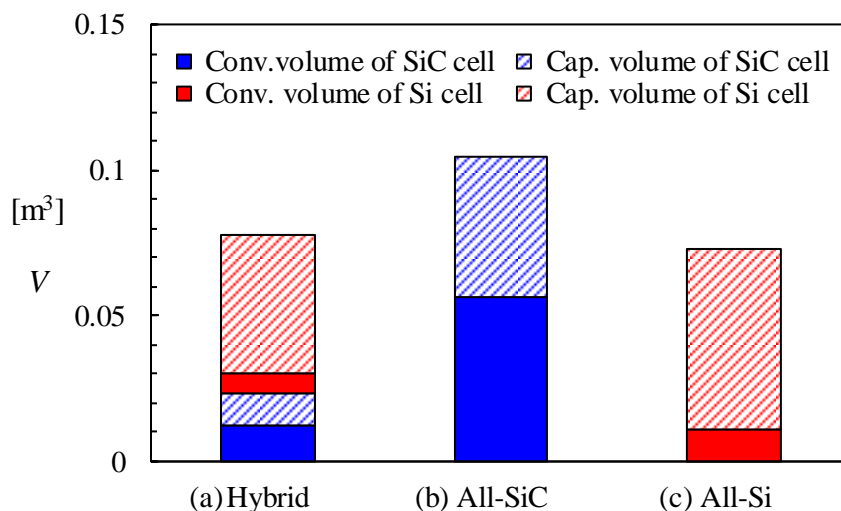


図 3-30 3つのアーム構成の体積比較

表 3-4 3つの構成の比較のまとめ

	(a) Hybrid	(b) All-SiC	(c) All-Si
Converter loss	Good	Excellent	Bad
Cell volume	Good	Bad	Good
Acoustic noise	Excellent	Excellent	Bad

3.6.2.3 構成の比較のまとめ

(a) Hybrid、(b) All-SiC、(c) All-Si の3つのアーム構成の比較のまとめを表 3-4 に示す。(b) All-SiC は損失の点で有利だが、体積が大きい。(c) All-Si は等価スイッチング周波数を 3 kHz に下げてもスイッチング損失が大きいため損失の点で他の2構成に大きく水をあけられる。更に、等価スイッチング周波数が可聴域内なので騒音が問題となり不利である。(a) Hybrid と (b) All-SiC は等価スイッチング周波数が可聴域より高くできるため騒音は問題にならない。(a) Hybrid は損失と体積の両面で有利であり、体積もヒートシンクを考慮すれば実質最も小さいと考えられる。

したがって、現状の半導体素子を用いた場合、カスケード数が少ない 6.6 kV クラスのカスケード・マルチレベル変換器の回路構成としては Si 素子と SiC 素子を用いたハイブリッド方式が損失・体積の点で最も合理的な構成であると言える。

3.7. 本章のまとめ

本章では、SiC スイッチング素子の適用先として、カスケード数の少ない配電用トランスレス・ハイブリッド STATCOM を検討し、現行の SiC 素子の定格におけるハイブリッド方式の優位性を明らかにした。更に、トランスレス・ハイブリッド・STATCOM の実定格試作機を開発し、損失・体積の実測結果を基にその優位性を実証した。具体的には、Si-IGBT と SiC-JFET を用いた3つの回路構成の損失を机上計算で比較し、ハイブリッド方式が優位である見通しを得た。そして、Si-IGBT と SiC-JFET と複数の変調方法を組み合わせたハイブリッド方式の 6.6 kV 連系トランスレス・カスケード・マルチレベル STATCOM を製作し、系統連系試験で動作を実証した。また、損失の実測結果が机上計算値と良好に一致することを確認した。試作機の体積の実測値を基に3つのアーム構成の体積を比較検討し、その結果、ハイブリッド方式が体積の点でも合理的であることを明らかにした。現状の耐圧の SiC 素子の適用が合理的である領域が明らかになったことで、SiC スイッチング素子のカスケード・マルチレベル変換器への実適用展開が進むことが期待される。

以下に本章の内容と今後の展望をまとめる。

- 現状の耐圧の SiC スイッチング素子のカスケード・マルチレベル変換器への適用可能性について検討し、カスケード数の少ない 6.6 kV の配電系統クラスの系統連系変換器への適用にメリットがある可能性があることを示した。
- 複数の半導体スイッチング素子と変調法を用いるハイブリッド方式に関する研究の経緯を述べ、過去の研究例はいずれもミニモデルであり、実定格機の報告はないことを示した。
- Si 素子と SiC 素子を組み合わせた(a) Hybrid、全て SiC 素子のみの(b) All-SiC、全て Si 素子のみの(c) All-Si の3回路構成の変換器損失を計算し比較した。その結果、ハイブリッド方式が損失と SiC 素子使用量の点で合理的である見通しを得た。また、カスケード・マルチレベルによりトランスレスとすることで、従来のトランス付き STATCOM では成し得なかった低損失が実現し得ることを示した。
- ハイブリッド方式の 6.6 kV トランスレス・カスケード・マルチレベル STATCOM の実定格試作機を開発した。このハイブリッド方式は、Si-IGBT による Si セルと SiC-JFET による SiC セルを2つずつカスケード接続しており、Si セルは1パルス、SiC セルは PWM で駆動する。Si セルが耐圧、SiC

セルが高周波スイッチングを受け持つことで、少ないセル数で高耐圧と高周波スイッチングによる低騒音を実現できる。この回路構成と、適用した制御の詳細を示した。

- 製作したハイブリッド STATCOM 試作機を 6.6 kV 実スケール模擬配電線に連系し実証試験を行った。その結果、定格定常運転、コンデンサ電圧バランス制御、系統事故時の運転継続性を確認した。
- ハイブリッド STATCOM 試作機の損失をパワーメータで測定し、その結果が素子特性から求めた計算値と良好に一致することを確認した。これを基に計算値から各セルの損失内訳を推定した。また、セルの体積を実測した。
- 体積の実測結果を用いて (a) Hybrid、(b) All-SiC、(c) All-Si の 3 構成の体積を計算し比較した。その結果、現状の半導体素子では (c) All-Si が最も小型であるが、(a) Hybrid も殆ど変わらず小さいことが分かった。ハイブリッド方式は損失と体積の総合点で最も合理的であると言える。本論文ではノーマリオフ SiC-JFET を用いたが、現在実用化の進んでいる SiC-MOSFET でも同等の損失・サイズが期待出来る。

SiC を含む半導体スイッチング素子の今後の動向がこの回路比較結果に与える影響について考察する。半導体素子開発の中で最も影響があるのは、現状、SiC スイッチング素子の高耐圧化である。現在市場で容易に入手できるのは 1.2 kV 耐圧品だが、3.3 kV の SiC-MOSFET が実用化されている他、6.5 kV 品の開発も進んでいる。本章で計算したように、1.2 kV 耐圧の SiC スイッチング素子を用いて配電用カスケード STATCOM を All-SiC とした場合の欠点は体積であり、他の 2 方式より 1.3 倍程度大きい。3.3 kV SiC の使用が現実的となればカスケード数を 9 から 3 にできるので、体積は大幅に低減する。ただし素子の耐圧が約 3 倍異なるため、変換器あたりの体積は 1.2 kV の時よりも大きくなると考えられる。それでも、損失を考慮すれば他の方式と比べて最も小さくなる可能性は高い。したがって、SiC 素子の高耐圧化が進めば、All-SiC が最も有利となると予想される。しかし、実用化されたばかりの SiC 素子は Si 素子に比べて非常に高価であるため、コストを考慮すると SiC 素子の使用量が少ないハイブリッドが合理的である期間は長いと考えられる。

また、SiC 素子のスイッチング損失は十分低いことが分かったので、多少スイッチング損失が高くとも導通損失が低い素子があれば全体の損失は更に下がると考えられる。現在開発されている SiC-SJ-MOSFET [77][78] は SJ 構造であるため通常の SiC-MOSFET よりもリカバリ損失が大きいいためスイッチング損失が大きくなると見られるが、オン抵抗が小さいため導通損失の低減が期待できる。したがって、SiC スイッチング素子を用いる All-SiC やハイブリッド構成の更なる損失低減に寄与する。

Si スイッチング素子を用いる All-Si とハイブリッド構成は、それぞれで Si スイッチング素子の内訳が異なる。All-Si の場合スイッチング損失の低減が必須だが、ハイブリッド構成では導通損失の低減の方が損失低減に効果がある。Si-IEGT などはオン電圧低減の開発が続く動向であり [55]、導通損失の低い高耐圧 Si スイッチング素子の開発によりハイブリッド構成の低減が期待される。

また、ハイブリッド方式で高耐圧を確保する Si 素子は、配電 STATCOM クラスの容量であれば、高耐圧で数十 A 程度の定格の物が適している。現状では市場にある高耐圧 Si-IGBT は総じて電流定格も高い。しかし配電向けで数百 kVA 程度の変換器容量であれば、電流は数十 A なので素子の利用率が悪い。4.5 kV クラスの耐圧で数十 A の電流定格の Si-IGBT が登場すれば、利用率は改善し、体積やコストの低減も期待できる。

このように、6.6 kV クラスのカスケード・マルチレベル変換器をより小型・低損失にできるスイッチング素子の性能を考察し明らかにした。該当する半導体素子が今後登場することで、カスケード・マルチレベルの更なる高性能化が期待出来る。

第4章 デイジーチェーン型分散制御の電流制御モデル

4.1. 本章の概要

本章では位相シフトPWM[19][52]とデイジーチェーン型分散制御を適用したカスケード・マルチレベル変換器において、通信遅延を考慮した電流制御モデルを理論的に導く。また、導いた電流制御モデルを用いて通信遅延の過渡応答への影響を考察する。これにより、デイジーチェーン型分散制御の電流制御応答を明らかにし、理論的モデルに基づいた電流制御設計を可能とする。

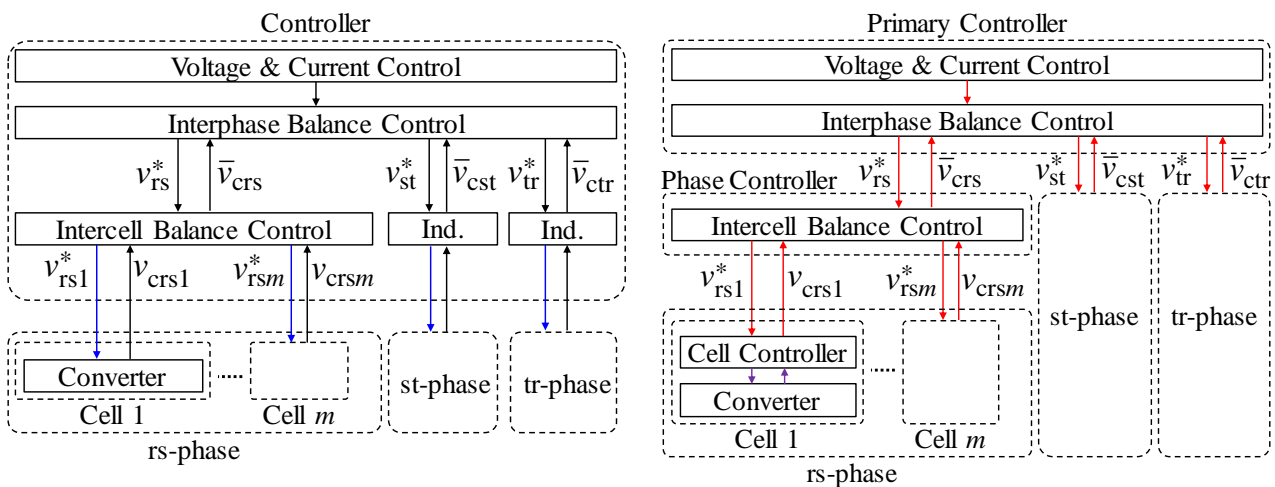
まず、カスケード・マルチレベル変換器における分散制御の技術的な背景を説明する。そして分散制御における遅延の発生メカニズムから理論的な電流制御モデルを導出し[107]、その妥当性をタイムドメインの回路シミュレーションで検証する。ここで得られた電流制御の理論モデルを用いて、通信遅延と制御性の関係を考察する。最後にケーススタディとして、実際のカスケード・マルチレベルHVDCと通信プロトコルを想定した条件で通信遅延の影響を検討する。

4.2. 分散制御の技術背景

4.2.1. カスケード・マルチレベル変換器の制御システムの課題

これまでに述べてきたとおり、カスケード・マルチレベル変換器は多数のセルで構成されるため、半導体スイッチング素子を駆動するゲート信号線が多いという課題がある。デルタ結線カスケード・マルチレベル変換器を例とした各種制御機能の構成を図4-1に示す。2010年に運転開始した世界初のMMC-HVDCであるアメリカのTransBay HVDCでは、全ての制御機能を備える主制御器と各スイッチング素子を1対多で接続する図4-1(a)の集中制御が用いられていた[24][25]。しかしこれではスイッチング素子の数だけゲート信号線（青線）が必要になる。

例えばHVDCにカスケード・マルチレベル変換器を適用する場合、1アームあたり100段以上のセルが直列接続される[24][25]ため、変換器全体でゲート信号線の本数は100段×2（上下アーム）×2素子（チョッパセルのため）×3相=1200本以上となる。



(a) 集中制御

(b) 分散制御の例

図 4-1 従来の集中制御と分散制御の制御構成比較

カスケード・マルチレベルが用いられる変換器はほぼ高圧向けであり、耐圧を確保するためゲート信号線には光ファイバを用いる。そして電気信号と光信号を変換する電気光変換部品も多数用いられる。また、変換器と制御装置の間の距離も数十メートルオーダーであるため、必要な光ファイバは多くなる。このため、従来の集中制御ではゲート信号線の本数が要因となり装置の複雑化と高コスト化を招いてしまっている。

これに対し、図 4-1 (b)のように相や各セルに小規模な制御器を配置して制御機能を分散させ、主制御器と通信（赤線）で制御信号をやり取りしてセルを駆動する分散制御が検討されている[38]-[44][108]-[117]。通信であれば光ファイバ 1 本で実現できるため、ゲート信号線を大幅に削減することができる。中でも、セルの制御器を光ファイバで数珠繋ぎにして通信で制御信号を順々に伝送するデিজチェーン型の分散制御は、最も効果的に光ファイバを削減しつつ通信による制御信号伝送の遅延も抑えられるとされている[38]-[44]。

4.2.2. 分散制御の制御機能の構成

分散制御ではカスケード・マルチレベル変換器の制御機能を複数の制御装置に分散させる。本節では、分散制御における各制御機能の制御装置への分散のパターンを整理して合理的な制御分散の方法を考察し、今後検討する分散制御の制御機能の構成を決定する。

ここでは、図 4-2 に示すデルタ結線カスケード・マルチレベル変換器を用いた STATCOM を例に各種制御の分散構成を考える。カスケード・マルチレベル変換器の分散制御において分散対象となる主な制御機能は下記である。

- 一括コンデンサ電圧制御 (AVR)
- 電流制御 (ACR)
- 相間バランス制御 (Interphase Balance Control)
- 零相電流制御 (ACR_z)
- 段間バランス制御 (Intercell Balance Control)
- キャリア比較 (Carrier Comparison)

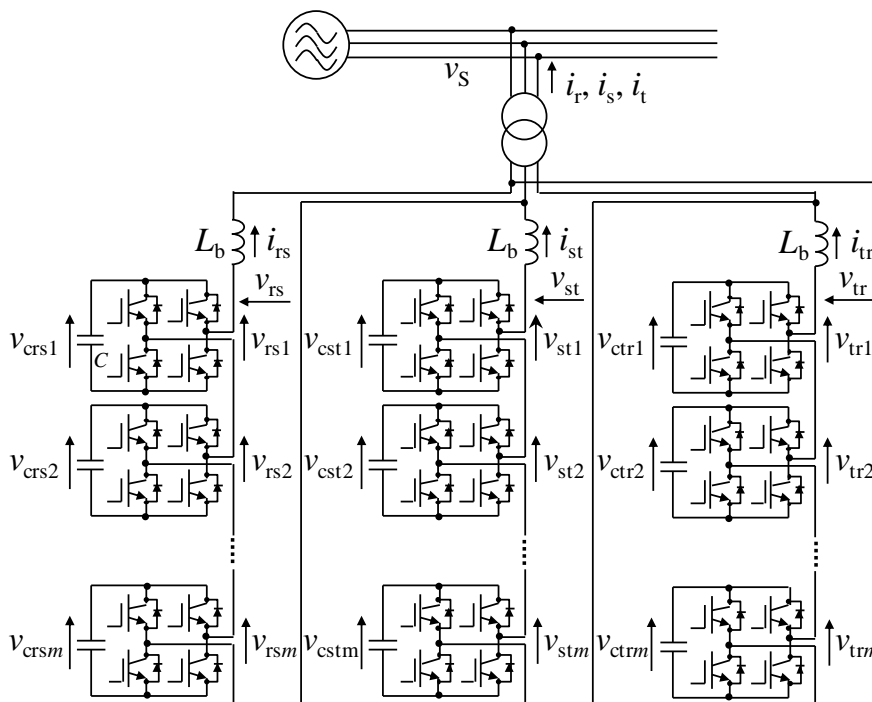


図 4-2 想定するデルタ結線カスケード・マルチレベル変換器

キャリア比較では各セルの出力電圧指令値 v_{xn}^* ($x = rs, st, tr; n = 1 \sim m$)と位相シフトされた三角波キャリアを比較し、当該セルのゲート信号 g_{xn}^* を得る。ここで、 m はカスケード数である。

A) 集中制御

従来の集中制御の制御構成図を図 4-3 に示す。前節で挙げた一括コンデンサ電圧制御 (AVR)、電流制御 (ACR)、相間バランス制御 (Interphase Balance Control)、零相電流制御 (ACRz)、段間バランス制御 (Intercell Balance Control)、キャリア比較 (Carrier Comp.)の他に、PLL や dq 変換などのブロックも含めて各種信号の関係を詳細に記載している。集中制御では、全ての制御が 1 箇所の制御器 (Controller)に集約されており、そこから各相のセルのスイッチング素子に直接ゲート信号 g_{xn}^* を出力する。

フルブリッジセルの場合、半導体スイッチング素子がセルあたり 4 個なので、変換器全体のゲート信号の数は $4 \times m$ 段 \times 3 相 = $12m$ 本である。また各セルのコンデンサ電圧もフィードバック信号として制御器に接続される。コンデンサ電圧を通信で伝送する場合、信号数は 1 本 \times m 段 \times 3 相 = $3m$ 個である。また、線間電流の信号が 3 つ (三相分)、制御器に接続される。ただし、プロトコル通信を行う場合には信号数と信号線数とは一致しなくなる。

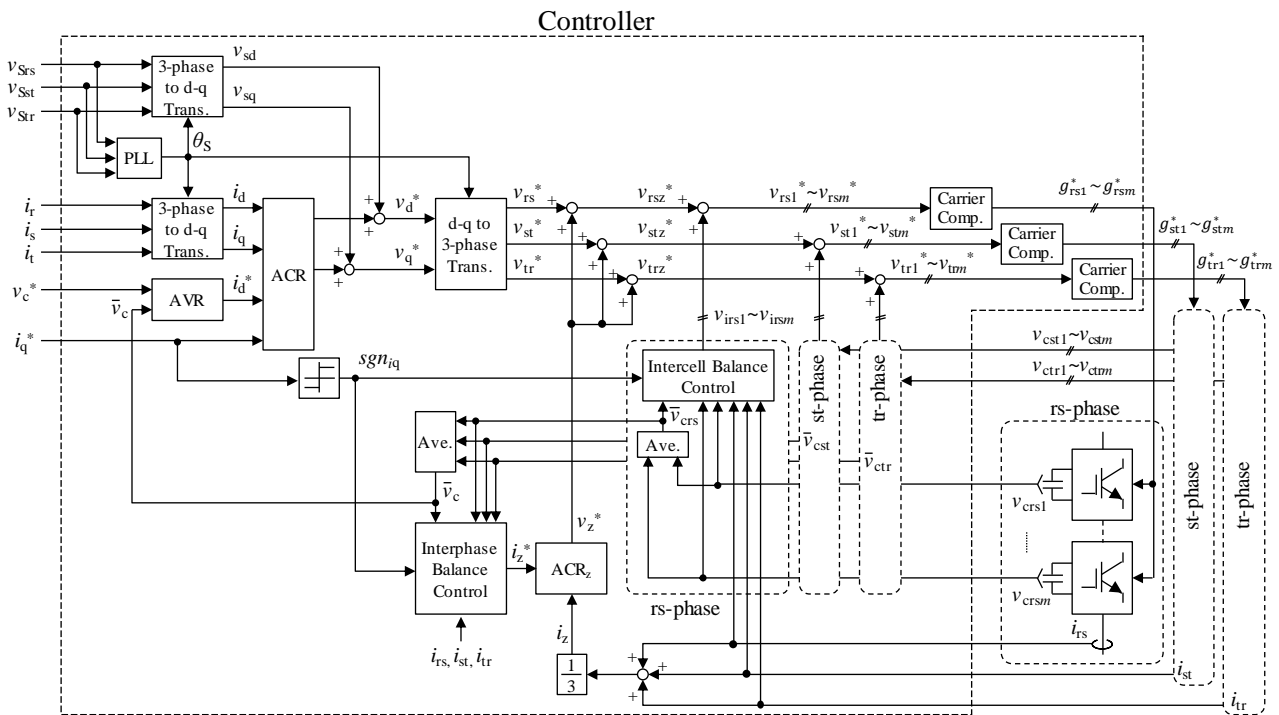


図 4-3 集中制御の制御構成

B) 相間バランス制御以降の分散配置

集中制御から相間バランス制御以降の制御を分け、それぞれを個別の制御装置に分散配置した場合の制御構成を図 4-4 に示す。制御の分散を最も推し進めたパターンである。有する制御は集中制御と同じである。ここでは主制御器、相制御器、個別制御器、セル制御器を設けた。各制御器の位置付けと制御機能は下記の通りである。

- 主制御器 (Primary controller): 基幹となる制御装置。一括コンデンサ電圧制御と電流制御を有する。
- 相制御器 (Phase balancer): コンデンサ電圧の相間バランスを制御する制御器で、1 箇所配置する。相間バランス制御と零相電流制御を有する。
- 個別制御器 (Individual balancer): コンデンサ電圧の段間バランスを制御する制御器で、各相に 1 つ配置する。段間バランス制御を有する。
- セル制御器 (Cell controller): 電圧指令値とキャリアの比較を行う制御器で、各セルに 1 つ配置する。半導体スイッチング素子にゲート信号を出力する。

それぞれの制御器間は通信で信号をやりとりするものとする。フルブリッジセルの場合、各制御間の信号の数は下記となる。

- 主制御器-相制御器間: 電圧指令値 3 個、全コンデンサ電圧平均値 1 個、線間電流 3 個
- 相制御器-個別制御器間: 電圧指令値 3 個、相コンデンサ電圧平均値 3 個、線間電流 3 個
- 個別制御器-セル制御器間: ゲート信号 $4m$ 個、コンデンサ電圧 m 個

本構成は各制御を最も分散させたパターンであるが、相間バランス制御は必ず三相の情報が必要なため、信号の流れからすると主制御装置と同じ位置に配置されなければならない。また制御器間の信号数が多くはないので、相間バランス制御を独立させる意味は薄い。相制御器と個別制御器の間も信号数が多くないので、段間バランス制御も独立させる効果が低い。したがって、信号数の観点ではキャリア比較のみセル制御器で分散配置する構成が最も合理的と考えられる[38]-[44][108]-[115]。

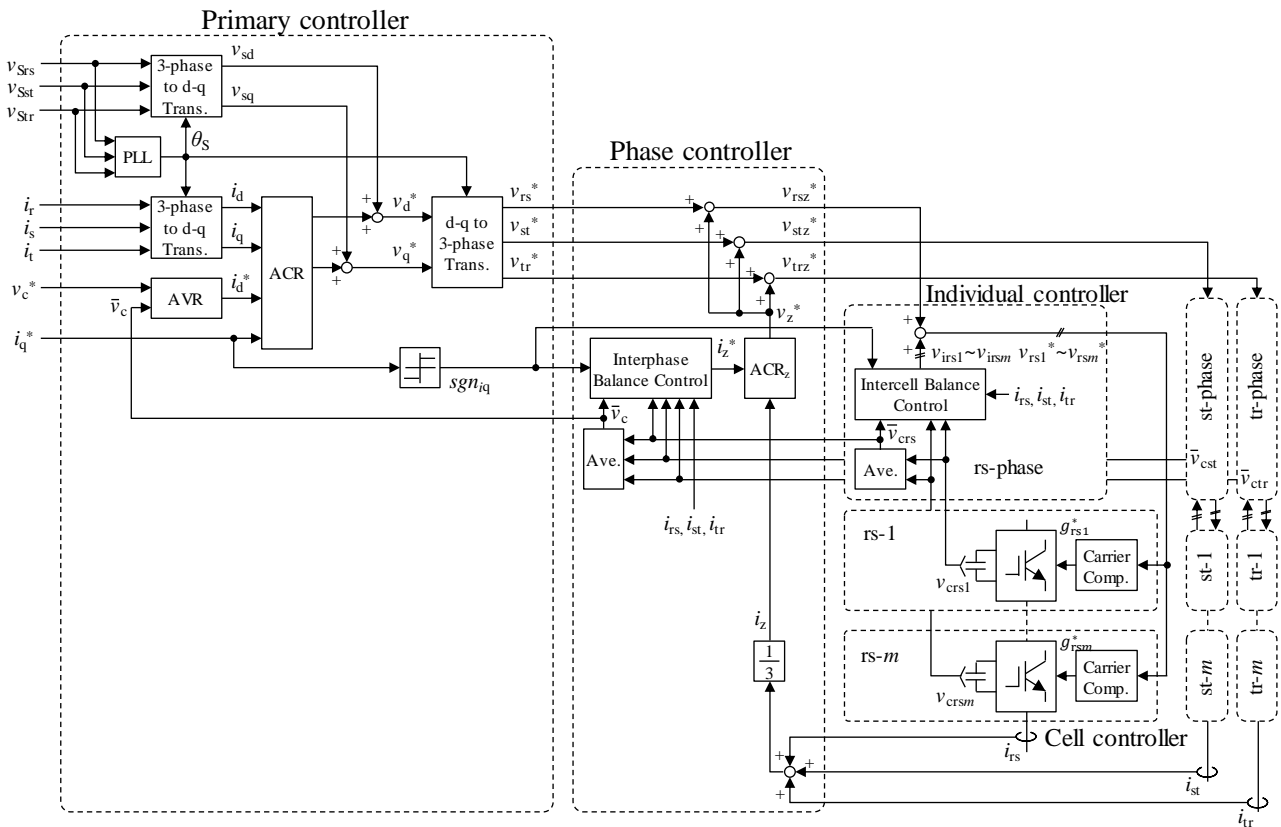


図 4-4 相間バランス制御以降の制御を分散配置した制御構成

C) キャリア比較の分散配置

最も合理的と考えられる、キャリア比較のみを分散させた制御構成を図 4-5 に示す。キャリア比較ブロックは各セルが備えるセル制御に組み込まれるものとし、他の制御は全て主制御器に配置した。この構成の場合、主制御器とセル制御器間の信号数は、ゲート信号 $4m$ 個、コンデンサ電圧 m 個であり、ここを通信に置き換えることで大幅な信号数の削減が期待できる。この場合、通信遅延が影響するのは主制御器とセル制御器間の電圧指令値の通信と、コンデンサ電圧のフィードバックである。

セル毎に制御器が必要だが、キャリア比較と通信であれば小規模なマイコンや FPGA で処理できるため、光ファイバや電気光変換器に比べるとコストは問題にならないと考えられる。

以降の検討では、このキャリア比較をセル制御器に配置した制御構成を分散制御の構成として採用するものとする。

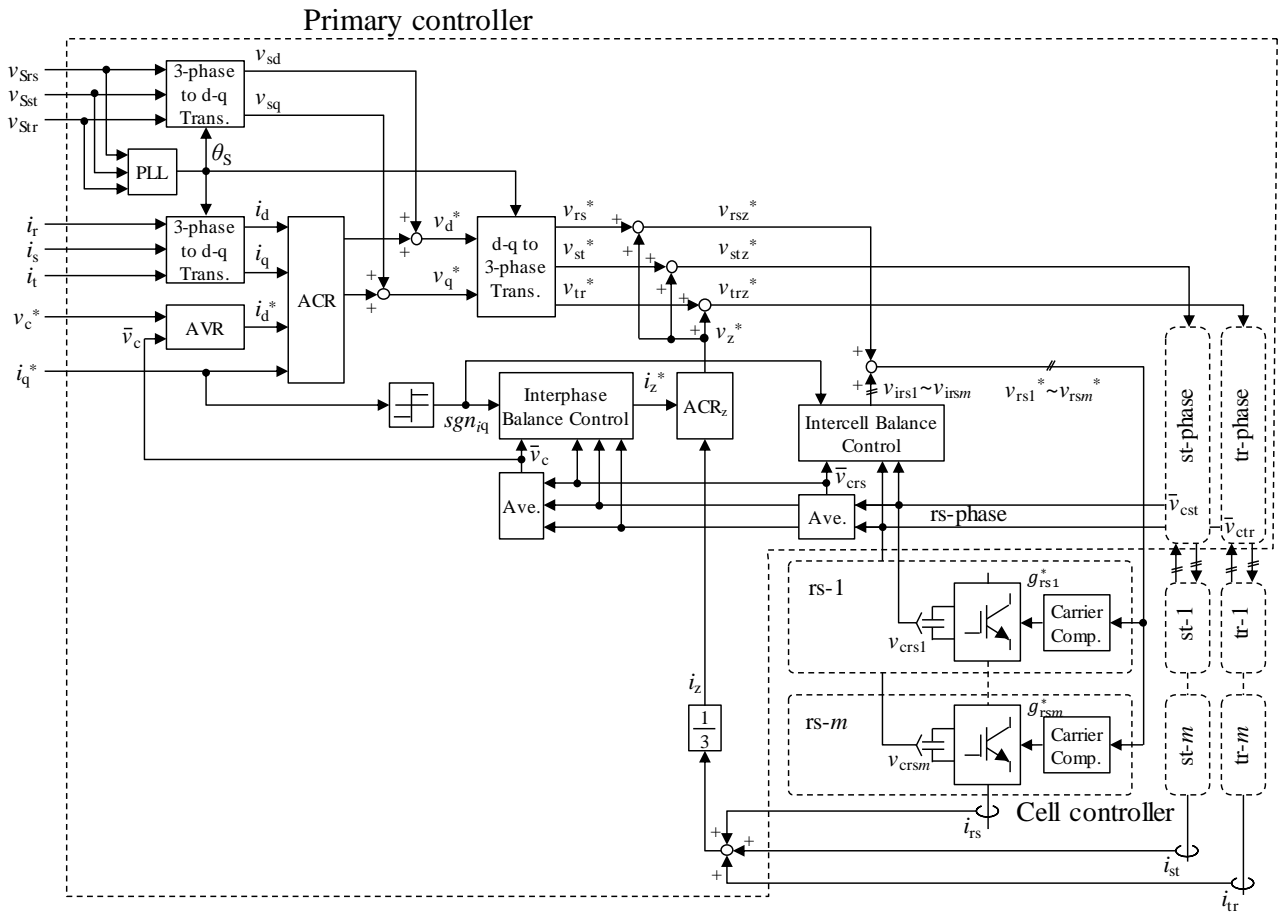


図 4-5 キャリア比較を分散配置した制御構成

4.2.3. 制御器間の通信手法とネットワーク構成

分散制御に用いる制御器間の通信方法とネットワーク構成について述べる。通信手法とネットワーク構成を比較検討し、今後の検討で適用する通信を決定する。

従来からある信号線の削減方法としてはエンコーダ・デコーダの使用がある。高速に信号を符号化し伝送できる反面、削減できる信号数には限度があるため、大容量カスケード・マルチレベル変換器の数百のゲート信号線の削減手段としては適さない。

ゲート信号をシリアル通信で伝送する方法もあるが、ゲート数が多いと通信ビット数も多くなるので1回の通信にかかる時間が長くなり、ゲート信号のリアルタイム性が確保する事は難しい[116][118]。

最も検討されているのは、通信の双方に小規模な制御装置を搭載してプロトコル通信する方法である[38]-[44][108]-[115]。プロトコル次第ではあるものの、信号線数の削減と通信速度の両立が期待できる。プロトコル通信を用いた分散制御の考え方は産業機器のモーションコントロール向けで研究が進められ[118]、電力変換器向けに適用する考え方は2000年に Boroyevich らが提唱した[119][120]。プロトコル通信を用いた分散制御の多くは主制御器とセル制御器に制御を分けており、主制御器からセル制御器に電圧指令値を通信伝送している。また、主制御器とセル制御器の間に中位の相制御器を相ごとに設置し段間バランス制御機能を持たせて制御を階層化させた構成も2015年に三浦ら[39]-[40]が、2016年に Li ら[41]が提案している。また、主制御器を置かず、個々のセル制御器が自律分散的に動いて変換器全体としての動作を成立させるアプローチも2014年に Holmes ら[121]、2017年に Cheng ら[122]により検討されている。これらの自律分散ではセルの直流電圧源が太陽電池などの独立した電源であるため、バランス制御は前提としていない。自律分散は信頼性の観点で現時点では技術的難易度が高いため今回は想定しない。前節で述べたように、合理的な構成は主制御器とセル制御器による分散構成であるため、この構成によるプロトコル通信を採用するものとする。

制御器の通信ネットワーク構成には図 4-6 に示すように(a) スター型、(b) バス型、(c) デিজィチェーン (ライン) 型、(d) デিজィチェーン (リング) 型[38][44][110]-[114][119][120]などがある。スター型は従来のカスケード・マルチレベル変換器の1対多接続である。バス型は2012年に Lee が検討している[108]、が1度に1つの通信対象にしか信号を送れないため通信遅延が大きくなる。通信遅延は変換器の制御性を悪化させる[38]-[40][44][63][113][117][119][120]ため、出来る限り短くしなければならない。一方、デিজィチェーン型は主制御器とセル制御器の間の光ファイバが1~2本で済むため[111]-[114]カスケード・マルチレベル変換器のゲート信号線削減に適している。また、制御信号の packets は一度に伝送できるため、過大な通信遅延も発生しづらい。デিজィチェーン型の中でも、帰り専用の信号線とポートがあるリング型は packets の流れが一方向なので、セルからのフィードバック信号がある場合の通信トラフィックの面で有利である。カスケード・マルチレベル変換器では各セルのコンデンサ電圧

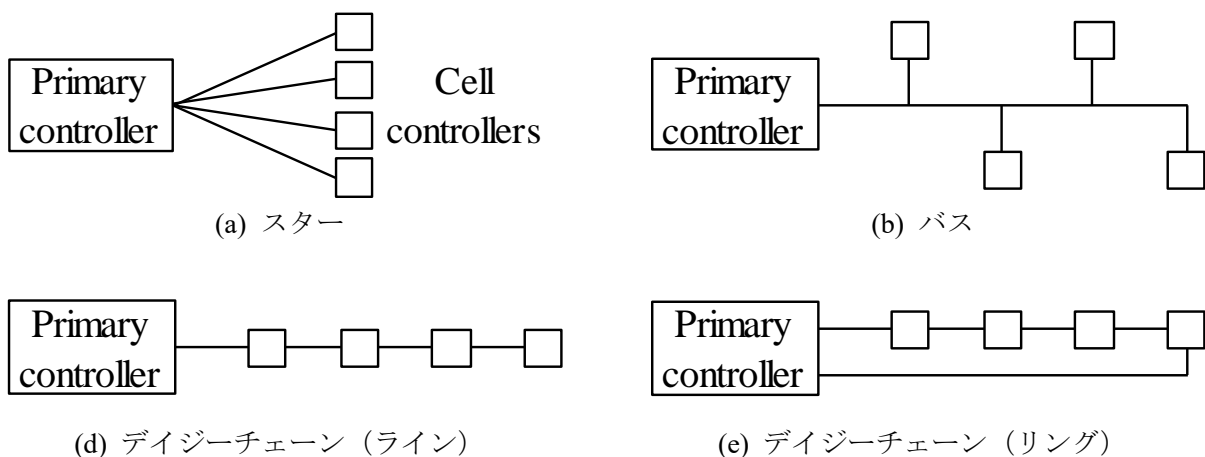


図 4-6 分散制御の通信トポロジーの例

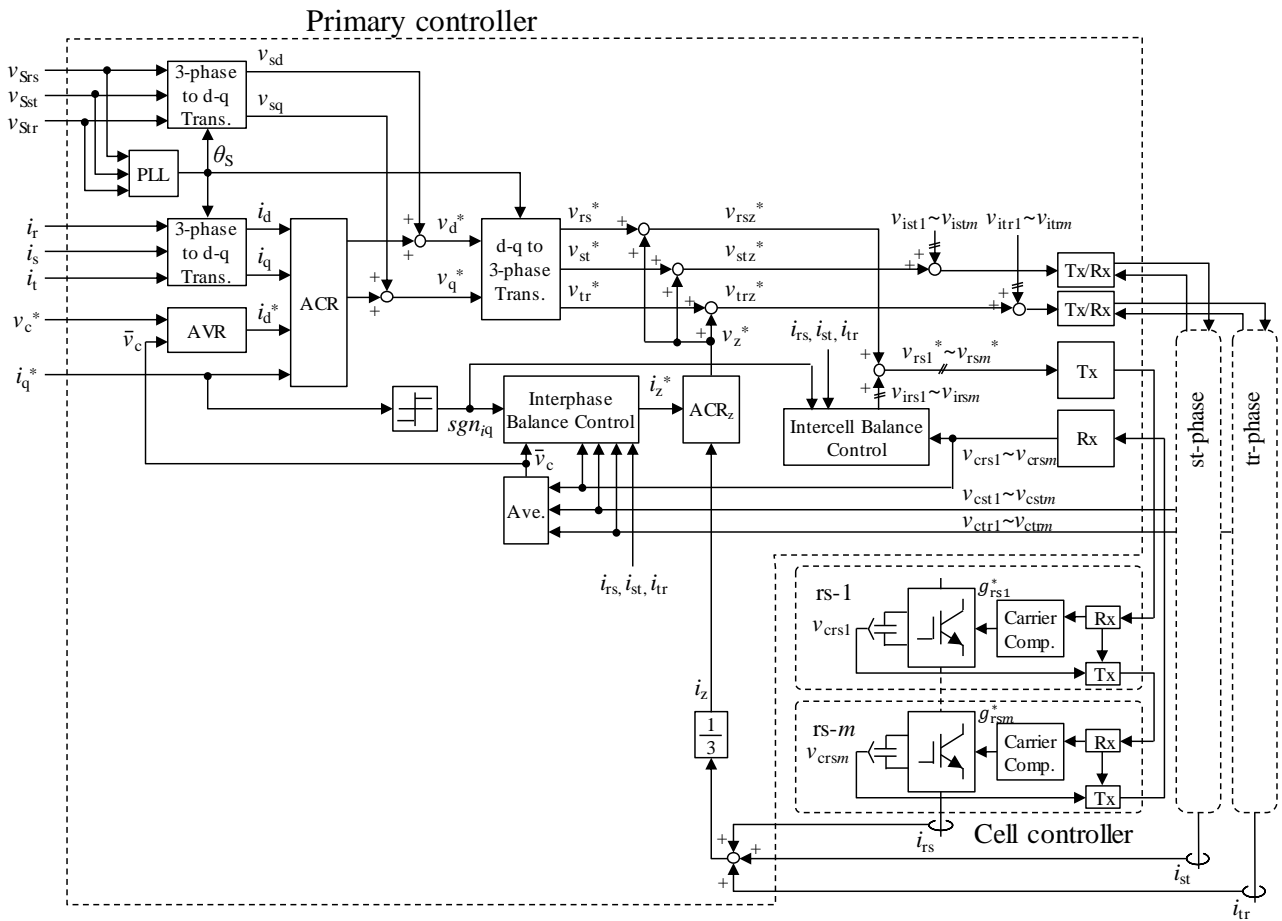


図 4-7 キャリア比較を分散配置しデジチェーン接続した制御構成

フィードバックが必要なため、リング型を適用した検討が多く行われている[38][110]–[114]。

本論文でもリング型デジチェーンによる分散制御を採用する。これ以降はデジチェーン型と言えはリング型を指すものとする。デジチェーン型分散制御を適用した制御ブロック図の例を図4-7に示す。

4.2.4. ネットワークシステム

カスケード・マルチレベル変換器の分散制御に用いられるネットワークシステムとしては、CAN [109][115]、‐PROFINET IRT‐ [38][63]、‐EtherCAT‐ [38][63][110]–[114]などの産業用フィールドネットワークシステムが検討されている。これらのネットワークシステムのプロトコルに従い、電圧指令値などの信号をパケットで伝送することで分散制御が行われる。

A) CAN

CAN (Controller Area Network) [124]は自動車の車載通信などで用いられているフィールドネットワークシステムである。車載で実績がありエラー訂正が優秀だが、カスケード・マルチレベル変換器の分散制御に適用するには通信速度が遅く現実的でないことが Finney ら[109]や The ら[115]によって報告されている。

B) “PROFINET IRT”

“PROFINET IRT” [125]は“Ethernet”ベースのフィールドネットワークシステムで、高速通信でリアルタイム性を保証する。通信周期は最速で $31.25 \mu\text{s}$ であり [125]、モーションコントロール等のアプリケーションに用いられている。リング型デিজィチェーンにも対応する。

C) “EtherCAT”

“EtherCAT” [126]は“Ethernet”ベースのフィールドネットワークシステムで、リアルタイム性を保証する高速な通信が特徴である。スレーブ制御器間の同期機能もある他、リング型デিজィチェーンのネットワーク構成にも対応しているため、通信対象が多いカスケード・マルチレベル変換器の分散制御では最も検討例が多く [38][43][63][110]–[114]、有利と目されている。

“PROFINET IRT”も“EtherCAT”も高速なリアルタイム通信であるが、実際の通信速度には差がある [63]。Teodorescu らは“EtherCAT”が“PROFINET IRT”よりも高速であるという検討結果を報告している [38]。今、それぞれのネットワークシステムをデিজィチェーン型分散制御に適用した場合の通信遅延を簡易的に考える。あるセルでパケットを受信し終えてから次のセルに送信完了（次のセルにとっては受信完了）するまでの時間を通信遅延 T_{com} とすると、パケットは図 4-8 のように各セルで通信遅延 T_{com} を積み重ねながら伝送されていくと考える事が出来る。即ち、各セルにおける電圧指令値の受信タイミングは T_{com} ずつ遅れる。セルのカスケード接続段数が m の時、主制御器から送信されたパケットがリング型デিজィチェーン戻ってくるまでの総通信遅延 T_{tot} は単純に下記式で表される。

$$T_{\text{tot}} = mT_{\text{com}} \tag{4-1}$$

伝送するパケットが最少単位の場合、通信遅延 T_{com} は“PROFINET IRT”では $3.5 \mu\text{s}$ 、“EtherCAT”では $1 \mu\text{s}$ 程度である [63]。セルが 100 段直列で、それら全てのセル制御器を 1 つのデিজィチェーンで接続した時、それぞれの通信方式における総通信遅延 $T_{\text{tot}}^{\text{PROFINET IRT}}$, $T_{\text{tot}}^{\text{EtherCAT}}$ は式(4-1)より下記のように計算できる。

$$T_{\text{tot}}^{\text{PROFINET IRT}} = 100 \times 3.5 \mu\text{s} = 350 \mu\text{s} \tag{4-2}$$

$$T_{\text{tot}}^{\text{EtherCAT}} = 100 \times 1 \mu\text{s} = 100 \mu\text{s} \tag{4-3}$$

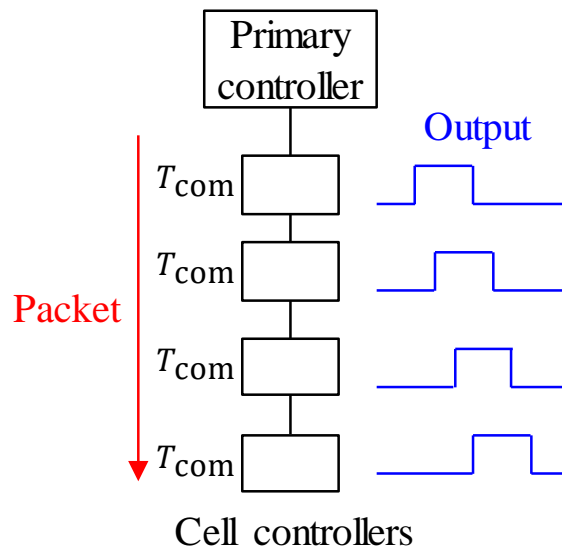


図 4-8 通信遅延の簡易模式図

主制御器の制御周期 T_{ctrl} を $50 \mu\text{s}$ ($f_{ctrl} = 1/T_{ctrl} = 20 \text{ kHz}$)とすると、総通信遅延は制御周期の2~7倍の長さになり得るため、電流制御性の低下が考えられる。カスケード・マルチレベル変換器に分散制御を適用するにあたっては通信遅延の影響を十分に検討する必要があることが分かる。

なお、総通信遅延 T_{tot} は通信遅延の影響の度合いを表すために示した指標であり、この遅延 T_{tot} がそのまま電流制御系に含まれるわけではない。実際のデジチェーン型分散制御では、パケットがセルを通るたびに遅延が積み重なるため、後ろのセルの出力ほど段階的に遅れることになる。

4.2.5. 既存研究の課題

分散制御では通信を行うため、その処理にかかる遅延時間が制御に影響を与え得る。通信システムが高速でも、セル数が多いカスケード・マルチレベル変換器では遅延が積み重なって制御性に影響を与え得ることも分かった。また、デジチェーン型の場合、セル間の通信を経るうちに遅延が次第に積み重なっていく。このため、セルの出力は段階的に遅れ、最初のセルの出力遅延は短く、後のセルの出力遅延は長いという現象が起きると考えられる。

このような課題に対し、これまでの先行研究の経過を振り返る。分散制御の研究の歴史を辿ると、2000年に Boroyevich らが通信を介して変換器を制御する制御アーキテクチャを提案している[119][120]。これはカスケード・マルチレベル変換器向けではなかったが、2003年に MMC が登場しカスケード・マルチレベル変換器の研究が加速すると、ゲート信号線削減のために分散制御の検討も盛んになってきた。Lee らは 2012年にシリアルバス通信を用いて制御信号を伝送する方法[108]を発表しているが、バス方式はセルが多い場合に通信帯域が制限される。Finney らは 2013年に[109]、The らは 2015年に[115]CAN通信を用いた分散制御を実験しているが、いずれもセルが多い場合は CAN 通信では遅延が問題になると考察している。Teodorescu らは 2013年に[38][110]、Norum らは 2013年から 2015年に[111]–[114]、“EtherCAT”通信を用いたデジチェーン型の分散制御の検討と実験を発表している。この中では、セル間の同期や、セル故障時の動作についても検討している。

制御系に通信遅延を考慮した検討は Teodorescu ら[38]や Wang ら[44]が報告しているが、いずれも制御ループに1つの遅延を入れた解析検討であり、遅延の発生原理に基づく理論的な電流制御系モデルや設計法などの検討はなされていない。位相シフト PWM を適用したカスケード・マルチレベル変換器において、電圧指令値サンプリングに起因する遅延を考慮した電流制御モデルは 2013年に赤木らが報告している[123]が、デジチェーン型分散制御には適用出来ず、さらなる検討が必要である。

分散制御のミニモデル実験は、“EtherCAT”等を用いたものが実施・報告されている[38][43][109]–[115]。しかしこれらの実験ではカスケードセル数は多くても1アーム4個なので、“EtherCAT”のように高速ネットワークを使った場合には通信遅延の影響は実際には殆ど現れないと考えられる。よって、実験報告があっても通信遅延の影響は実質的には検証されていない。実際のカスケード・マルチレベル変換器の分散制御を考えるのであれば、より多くのセルがある場合を検討しなければならない。

更に、デジチェーン型特有の、遅延がセル毎に積み重なって出力が段階的に遅れていく現象に着目した文献は見られない。デジチェーン型分散制御を適用するのであれば、この現象の制御系への影響を解明する必要がある。したがって、デジチェーン型分散制御を適用したカスケード・マルチレベル変換器の制御応答を正確に設計することは、現状できない。

そこで本章では、デジチェーン型の分散制御を適用したカスケード・マルチレベル変換器において、段階的な出力遅延がどのように発生するのかを明らかにし、理論的な電流制御モデルを導く。これを基に通信遅延と制御性の関係を考察し、電流制御の設計指針を得る。

4.3. 遅延を考慮した分散制御の電流制御モデル

4.3.1. 想定するデジチェーン型分散制御

デジチェーン型分散制御を適用したカスケード・マルチレベル変換器の1アームを図4-9に示す。本項では簡略化したこの1アームの構成で通信遅延の影響を考える。 m 段のフルブリッジセル (Cell 1 ~ Cell m) で1アームを構成し、各セルにセル制御器を設けている。

主制御器は電圧指令値 v_n^* ($n = 1 \sim m$) を含むパケットを Cell 1 のセル制御器に送信し、セル制御器ではそれを受信しキャリア比較してゲート信号を生成する。またセル制御器は各セルのコンデンサ電圧 v_{cn} ($n = 1 \sim m$) の値をパケットに付加し次のセルへ送る。パケットは Cell m まで順に伝送されていき、最終的に送信時とは別の信号線で主制御器に戻る。キャリア変調には位相シフト PWM [19][52][123] を用いる。

電流制御とコンデンサ電圧のバランス制御は図4-7のように主制御器で処理されているものとする。実際には保護信号などもパケットでやりとりする必要があるが、それらは本章の検討対象外であるため考慮しない。

セル制御器は図4-10のように送受信回路 (Tx/Rx)、通信ロジック (Control network communication logic)、制御ロジック (Application data processing logic) から成る。これらのロジックは FPGA 等に実装され、通信ロジックはプロトコル通信、制御ロジックはキャリア比較などゲート信号生成に関わる処理とコンデンサ電圧の検出を行う。

1つのセルの通信処理にかかる通信遅延 T_{com} は、送受信回路と通信ロジックにかかる時間が支配的である。セル間の信号線での遅延は微小[63]なので考慮しないものとする。

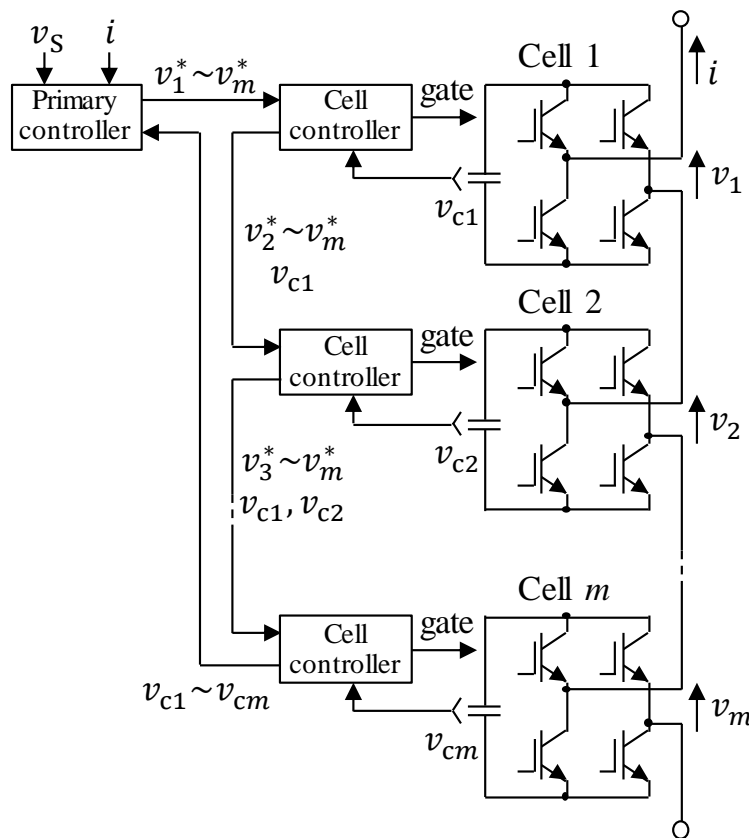


図 4-9 デジチェーン型分散制御を適用したカスケード・マルチレベル変換器の1アーム

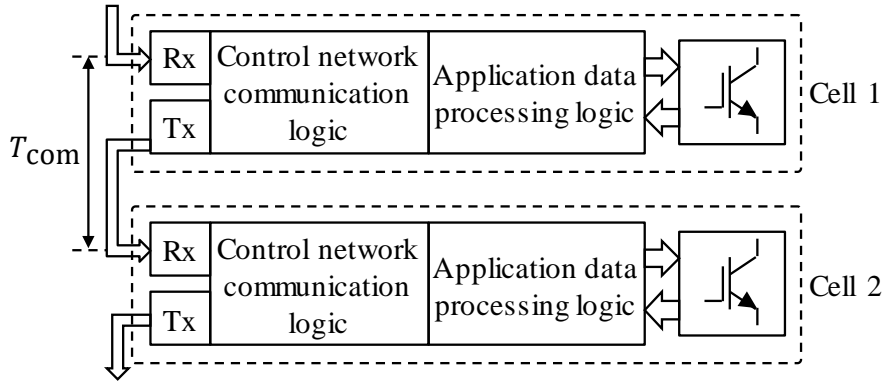


図 4-10 セル制御器の構成

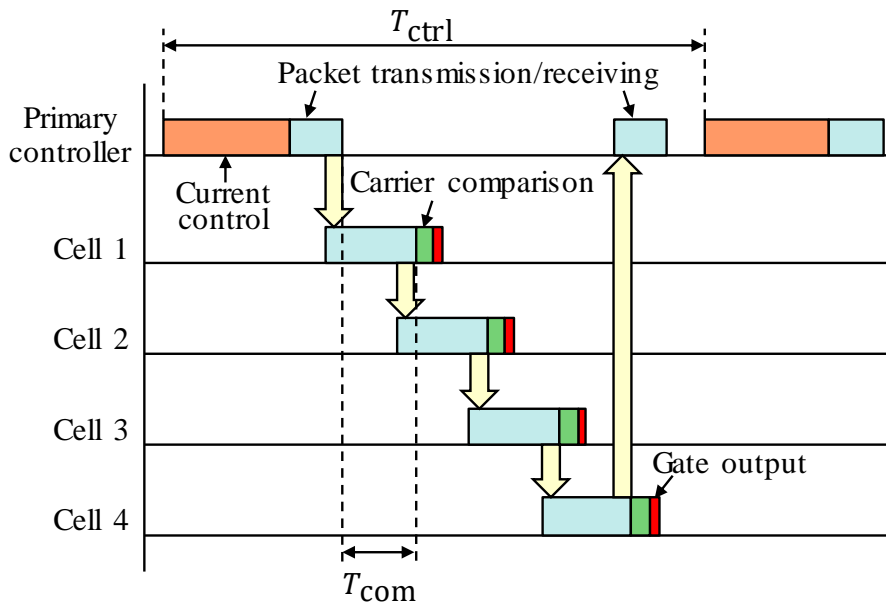


図 4-11 各制御器での処理の簡易タイムチャート

4.3.2. 発生する遅延

デジチェーン型分散制御で発生するセルの出力遅延は主に 2 種類ある。1 つは通信遅延、もう 1 つは電圧指令値のサンプリング遅延である。ここではまずそれぞれの現象を概略的に説明する。

A) 通信遅延

各制御器の処理の簡易タイムチャートを図 4-11 に示す。通信遅延の現象のみを簡略化して示すため、本図では電圧制御のサンプリングは考慮されていない。主制御器では T_{ctrl} の周期で制御（電流制御、バランス制御等も含まれるものとする）を行う。制御器間でパケットの送受信（ネットワーク物理層の時間もここに含まれる）を行い、各セルで T_{com} だけ遅れながら次のセルへと伝達されていく。セル制御器ではパケットを次のセルに送信した後、そのセルでのキャリア比較とゲート出力を行っている。制御器のハードウェア実装によっては受信後に次のセルへの送信処理とキャリア比較が平行して始まる。

このような簡易タイムチャートでは各セルの出力は T_{com} ずつ遅延しているが、実際には後述の電圧指令値サンプリングがあるため遅延は接続序列に対して単純な線形にはならない。

B) サンプリング遅延

カスケード・マルチレベル変換器では電圧指令値のサンプリングもセル毎に異なる遅延の要因となる。各セルでのゲート生成には、図 4-12 に示す位相シフト PWM [19][52][123]が用いられる。図 4-12 では、複雑化を避けるため段数を少なくした4段のカスケード・マルチレベル変換器を例に、各セルのキャリアと電圧指令値サンプリングを示している。各セルは周波数 f_{car} の独立した三角波キャリア car. 1~car. 4 を使い、それらはセル間で等幅の位相差 θ_{car} を持つ。位相差 θ_{car} は

$$\theta_{car} = \frac{2\pi}{2m} = \frac{\pi}{m} \tag{4-4}$$

である。キャリアを位相シフトする事で、変換器全体の等価スイッチング周波数 f_{sw}^{eq} は下記式のように1セル辺りより高くなる。

$$f_{sw}^{eq} = 2mf_{car} \tag{4-5}$$

制御性を確保するため、電圧指令値 v_n^* は全てのキャリアの山と谷でサンプリングしてキャリアと比較する[123]。この時、サンプリング周期 T_s は

$$T_s = \frac{1}{2mf_{car}} \tag{4-6}$$

となり、キャリア位相差 θ_{car} に等しい。図 4-12 には、全てのセルで同じ T_s 周期で電圧指令値がサンプリングされている様子が示されている。この T_s が最速の制御周期になるので、一般的な変換器制御と同様、主制御器の制御周期 T_{ctrl} はサンプリング周期 T_s と同じ値に設定する。

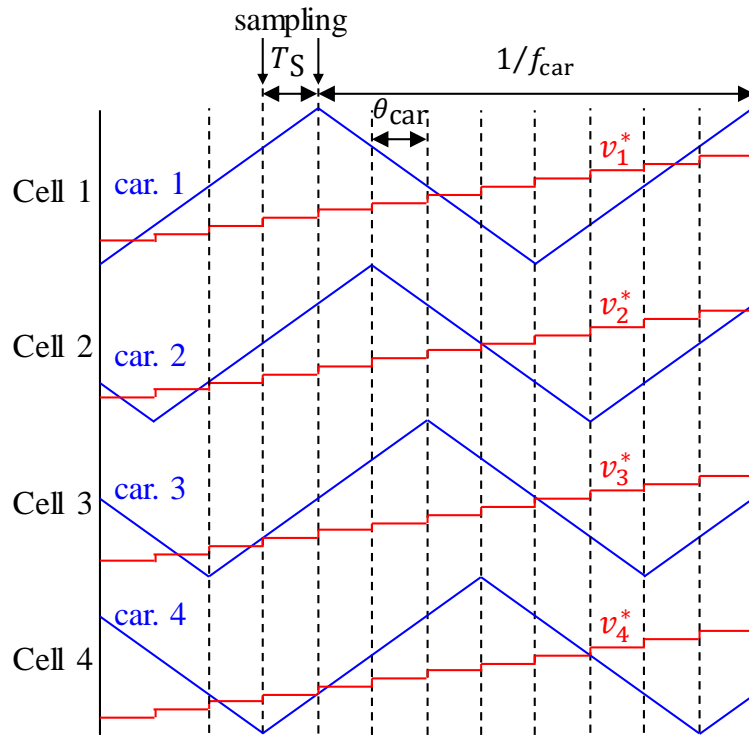


図 4-12 位相シフトキャリアと電圧指令値サンプリング

4.3.3. 各セルの遅延の理論式

前節で説明した通信と電圧指令値サンプリングに起因する遅延の理論式を導く。デジチェーン型分散制御を適用した場合に、通信遅延とサンプリングの影響で各セルの電圧出力が段階的に遅れる現象を図 4-13 のタイムチャートを用いて詳しく見ていく。図 4-13 は図 4-12 と同様 4 段のカスケード・マルチレベル変換器を例にしており、少ない段数で遅延の影響を考えるために通信遅延は長めに設定している。また、全てのセルは通信プロトコルの機能などにより同期がとれているものと仮定する。

主制御器が電流制御 (Current control) を演算し、得られた各セルの電圧指令値を 1 つの packets にしてデジチェーン伝送する。主制御器が packets を送信してから最初のサンプリングのタイミングが T_{S0} 、Cell 1 が packets を受信完了してから T_{S0} までのオフセット時間を T_{ofs} ($0 \leq T_{ofs} < T_S$) とする。主制御器から packets 送信された電圧指令値は各セルで受信 (Receiving) と送信 (Trans.) を繰り返して赤破線のように制御器間を順次伝送されていく。この時、各セルでは当該セルのコンデンサ電圧情報を packets に付加する。packets の受信完了から次のセルへの送信開始までにかかる時間を T_{rx} 、packets を用意して送信しきるのにかかる時間を T_{tx} とすると、通信遅延 T_{com} はそれらの和である。

$$T_{com} = T_{tx} + T_{rx} \tag{4-7}$$

制御器間で packets を送受信する時間は重複しているが、ここではその時間は T_{tx} に含めている。各セルにおいて packets の受信が完了すると、キャリア比較と次のセルへの送信が制御器の FPGA 上で並列で処理される。ただし、電圧指令値は周期 T_S でサンプリングされた後にキャリア比較されるので、サンプリングのタイミング ($T_{S0}, T_{S1}, T_{S2}, \dots$) が来るまではセル制御器で値が保持 (Hold voltage ref.) される。サンプリングされた後、キャリア比較 (Car. Comp.) をしてゲートが出力 (Gate output) される。図中では説明のためキャリア比較とゲート出力の処理時間を有限の長さで示しているが、実際にはこれらの処理時間は非常に短いため、以降の検討では処理時間ゼロと見なす。

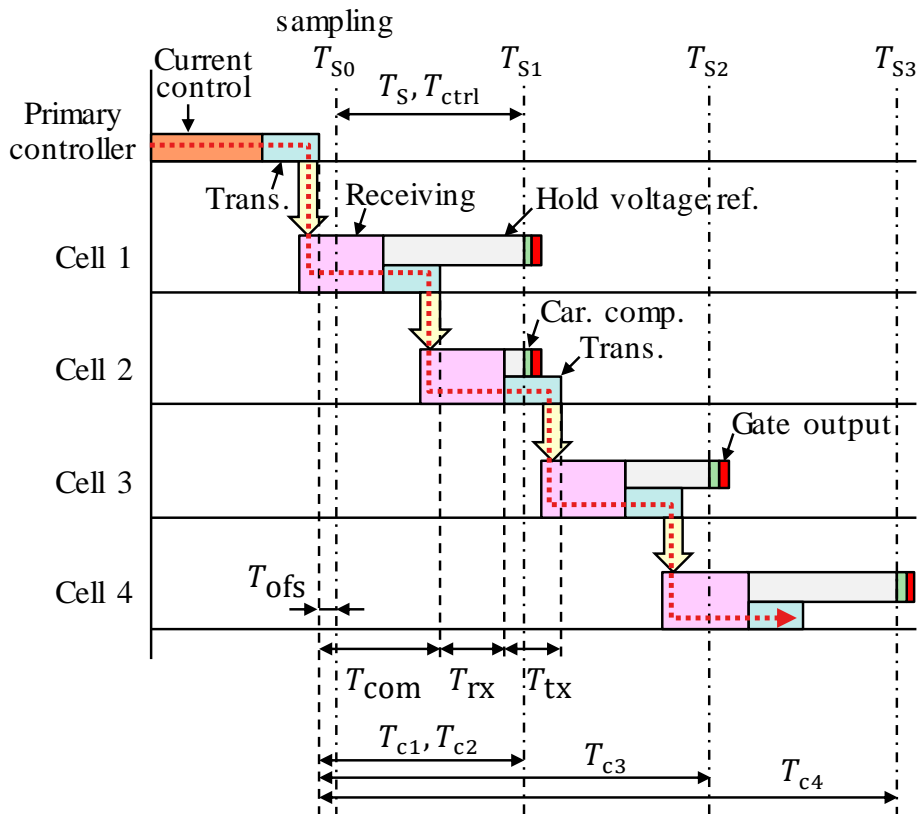


図 4-13 各制御器での処理の詳細タイムチャート

表 4-1 図 4-13 における各セルの出力遅延

Cell n	Output delay T_{cn}
1	$T_S + T_{ofs}$
2	$T_S + T_{ofs}$
3	$2T_S + T_{ofs}$
4	$3T_S + T_{ofs}$

主制御器の packets 送信が完了し主制御器を離れた時点から Cell n の出力電圧が変化（ゲート出力）するまでの時間を出力遅延 T_{cn} とする。キャリア比較とゲート出力の処理時間を無視すると、出力遅延 T_{cn} は主制御器の packets 送信から Cell n での電圧指令値サンプリングまでの時間と考えられる。各セルが packets を受信するタイミングは T_{com} ずつ遅れると見なせるが、サンプリングのタイミングは離散的かつ通信遅延 T_{com} と同期していないので、セル番号 n と出力遅延 T_{cn} は単純な比例関係にはならない。図 4-13 において Cell 1 と Cell 2 の出力タイミングは T_{S1} 、Cell 3 の出力タイミングは T_{S2} 、Cell 4 の出力タイミングは T_{S3} である。各セルの出力遅延 T_{cn} をまとめると表 4-1 のようになり、出力遅延の変化は単純な比例になっていないことが分かる。

この各セルの出力遅延 T_{cn} を表す数式を立式する。主制御器が packets 送信したタイミングを基準に考えると、Cell n が電圧指令値を受信するまでの時間 T_{rxn} は

$$T_{rxn} = (n - 1)T_{com} + T_{rx} \tag{4-8}$$

で計算できる。電圧指令値のサンプリング周期は T_S 、起点は T_{S0} であり、受信した電圧指令値はサンプリングまで保持されるため遅れる方向になる。したがって、電圧指令値サンプリングで離散的に決まる各セルの出力遅延 T_{cn} は天井関数を用いて下記式で表される。

$$T_{cn} = \left\lceil \frac{T_{rxn} - T_{ofs}}{T_S} \right\rceil T_S + T_{ofs} \tag{4-9}$$

これに式(4-8)を代入して

$$T_{cn} = \left\lceil \frac{(n - 1)T_{com} + T_{rx} - T_{ofs}}{T_S} \right\rceil T_S + T_{ofs} \tag{4-10}$$

$$= \left\lceil \frac{(n - 1)(T_{tx} + T_{rx}) + T_{rx} - T_{ofs}}{T_S} \right\rceil T_S + T_{ofs} \tag{4-11}$$

と導かれる。

例として 10 段のカスケード・マルチレベル変換器 ($m = 10$)を想定し、 $T_S = 20 \mu\text{s}$, $T_{\text{com}} = 13 \mu\text{s}$, $T_{\text{rx}} = 7 \mu\text{s}$, $T_{\text{ofs}} = 2 \mu\text{s}$ とした場合の出力遅延 T_{cn} を式(4-10)を用いて計算しプロットしたグラフを図 4-14 に示す。横軸のセル番号 n に対して縦軸の出力遅延 T_{cn} は単純比例せず離散的かつ不連続に変化している事が分かる。各セルの出力遅延を正しく求めるには式(4-10)を用いる必要があることが分かる。これら T_S , T_{com} , T_{rx} , T_{ofs} の値の相対的なスケールは図 4-13 の時間の相対スケールと合わせているため、出力遅延 T_{cn} の相対スケールも一致するはずである。図 4-14 における Cell 1~Cell 4 の出力遅延のスケールは表 4-1 のスケールと一致しており、式(4-10)が妥当性であることが確認できる。

次に、サンプリング周期 T_S とオフセット時間 T_{ofs} をそれぞれ $T_S = 20 \mu\text{s}$, $T_{\text{ofs}} = 2 \mu\text{s}$ で固定し、通信遅延 T_{com} と受信時間 T_{rx} を変化させて式(4-10)で出力遅延 T_{cn} を計算しプロットしたグラフを図 4-15 に示す。 T_{com} と T_{rx} はほぼ同等の比率で 3 パターンの場合を示した。 T_{com} と T_{rx} が長いほど各セルの出力遅延は長くなる傾向にあるが、図 4-14 と同様不連続である。これも電圧指令値のサンプリングが離散的であることに起因する。サンプリングのタイミングによっては Cell 1 や Cell 3 のように T_{com} と T_{rx} が変化しても出力遅延が変わらない事もある。

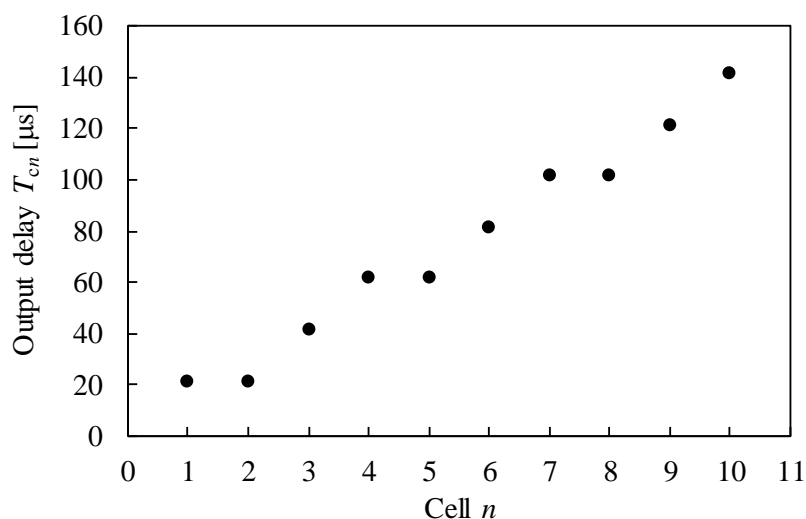


図 4-14 デিজィチェーン型分散制御を適用した場合の各セルの出力遅延

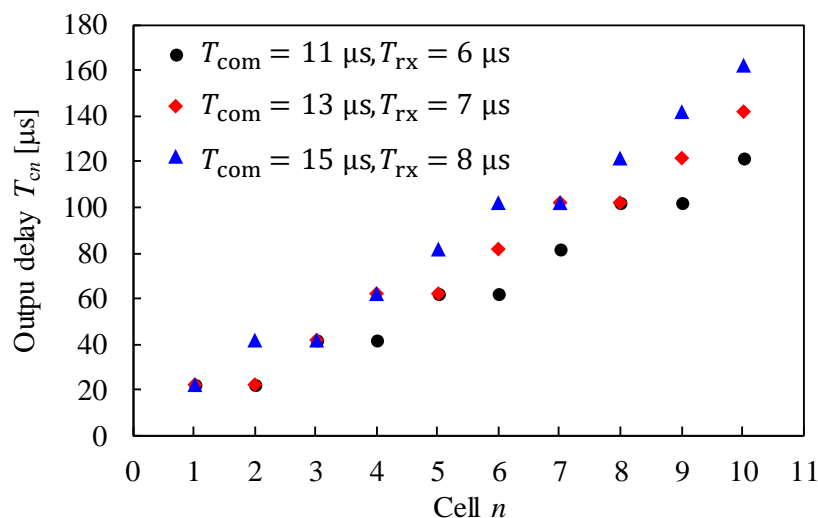


図 4-15 通信遅延と各セル出力遅延の関係

最後に、オフセット時間 T_{ofs} の影響を見るため、 $T_s = 20 \mu s$, $T_{com} = 13 \mu s$, $T_{rx} = 7 \mu s$ で固定し、オフセット時間 T_{ofs} を変化させて式(4-10)で出力遅延 T_{cn} を計算しプロットしたグラフを図 4-16 に示す。オフセット時間 T_{ofs} には主制御器の演算時間が影響し、主制御器の演算時間が短いほどオフセット時間は長い。オフセット時間 T_{ofs} が一定の場合、図 4-14 と同様、セル番号 n に対して出力遅延は不連続に増加している。しかし各セルにおけるオフセット時間 T_{ofs} と出力遅延 T_{cn} の関係は、セルごとにばらばらである。例えば Cell 1 で出力遅延 T_{cn} が最も短いのは $T_{ofs} = 10 \mu s$ だが、Cell 2 では $T_{ofs} = 0 \mu s$ 、Cell 3 では $T_{ofs} = 15 \mu s$ であり、出力遅延 T_{cn} は必ずしもオフセット時間 T_{ofs} の長さに比例しない。この理由も、電圧指令値のサンプリングが離散的に行われるからである。

これらの試算のように、カスケード・マルチレベル変換器のデジチェーン型分散制御では通信と指令値サンプリングにより不連続で段階的な遅延が各セルに発生する。制御系の遅延を理論的に検討するには、式(4-10)を用いて各セルの遅延を正しく導く必要がある。

通信遅延 T_{com} (送信時間 T_{tx} 、受信時間 T_{rx})には送信データ量やネットワーク設計、通信プロトコル、ハードウェア実装方法などが関係する。制御性のためにこれらネットワークに関わる遅延を調整することは現実的に難しい。したがって、発生する遅延を考慮した電流制御モデルに基づいた正確な制御ゲインを設計し設定することが、所定の制御応答を得るために重要となる。

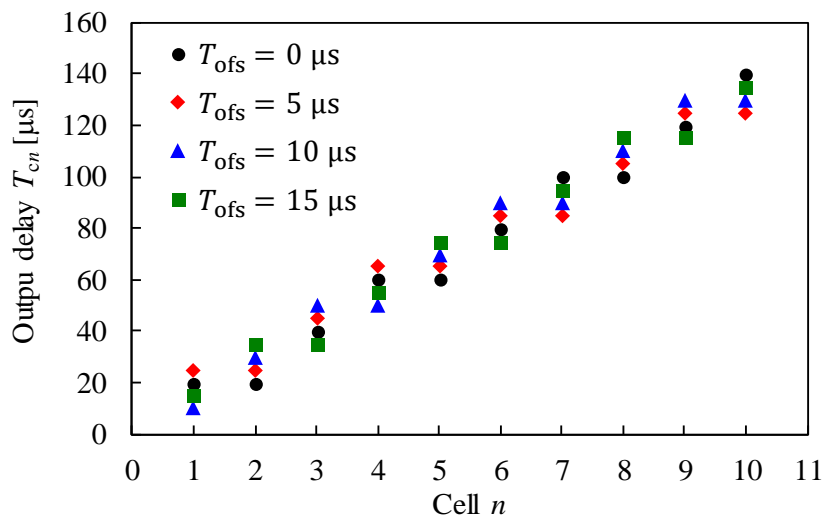


図 4-16 オフセット時間と各セル出力遅延の関係

4.3.4. 電流制御系のモデリング

前節の検討で得られた各セルの出力遅延 T_{cn} を基に、通信と指令値サンプリングに起因する段階的な出力遅延を考慮した電流制御モデルを導く。ここでは、簡略化した回路構成として図 4-17 (a)に示すような、インダクタ L を介して単相連系するフルブリッジセルのカスケード・マルチレベル変換器を想定し、電流制御モデルを考える。

まず、基本的な所から電流制御モデルを考えるため、変換器がカスケード・マルチレベルではなく図 4-17 (b)のような単純なフルブリッジ変換器である場合を考える。これにデジタル制御を適用した一般的な連続時間系の電流制御ブロック図は図 4-18 のようになる[127][128]。ここで $i^*(s)$ は電流指令値、 $G(s)$ は電流制御器の伝達関数、 v^* は電圧指令値、 e^{-sT_s} は制御演算による1周期遅延、 $H(s)$ はPWM キャリア比較と変換器を合わせたホールド関数、 $i(s)$ は制御対象の電流である。

変換器の PWM 出力電圧 v とインダクタ電流 i は連続時間系では図 4-19 (a)のようになり、これをそのまま離散時間系に変換する事はできない。1 サンプル周期 T_s ごとに平均化して考える必要がある。こ

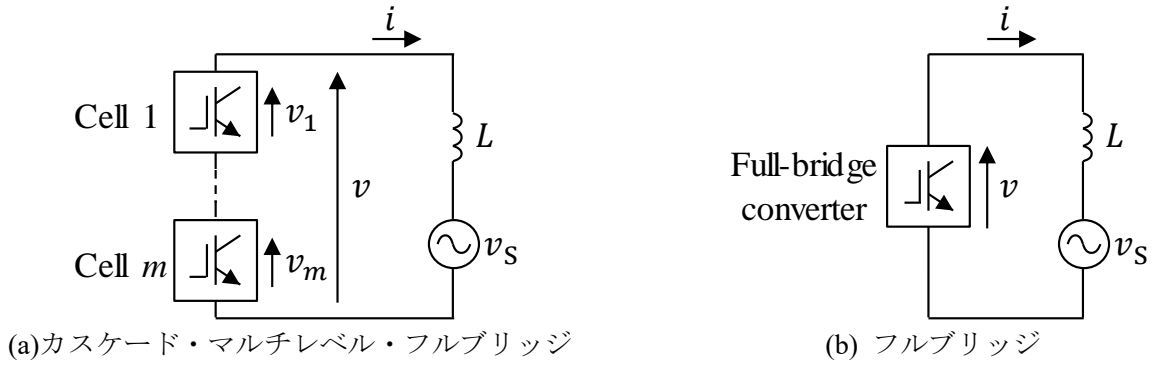


図 4-17 単相連系フルブリッジ変換器

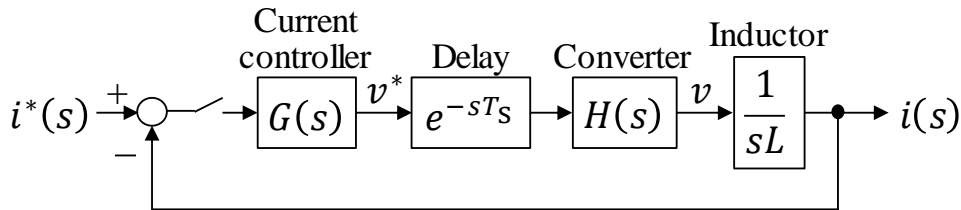


図 4-18 連続時間系の電流制御ブロック図

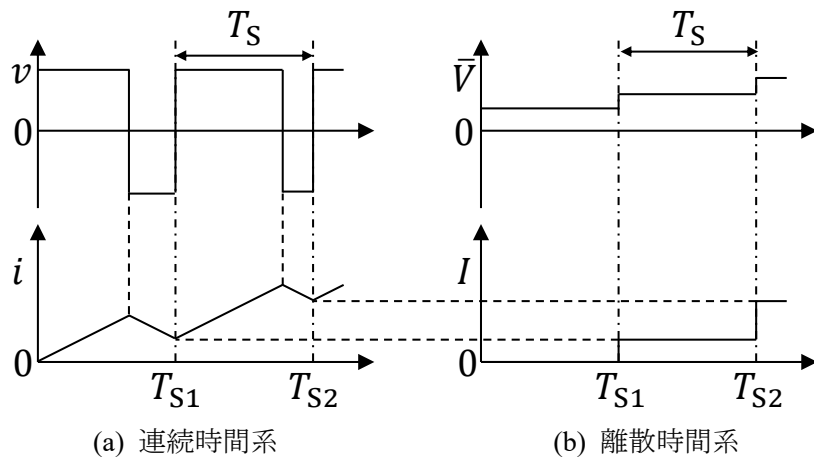


図 4-19 PWM 電圧とインダクタ電流の離散時間系における近似

デিজィチェーン型分散制御の電流制御モデル

で変換器を、PWM の平均電圧 \bar{v} を出力する電圧源と仮定する事で、図 4-19 (b)のように1 サンプル周期 T_s 毎にインダクタで平均電圧 \bar{v} が積分されると考える事が出来る[123][128]。サンプリング点における積分値の電流 I はインダクタの電流式

$$i = \frac{1}{L} \int v dt \tag{4-12}$$

より

$$I = \frac{\bar{v}T_s}{L} \tag{4-13}$$

となり、サンプリング点において連続時間系のインダクタ電流 i に一致する。図 4-19 (b)の電流 I は1 サンプル遅れた単位ステップ応答の形なので、変換器とインダクタを合わせた離散時間系のパルス伝達関数 $H_C(z)$ の応答は、1 サンプル遅延演算子 z^{-1} と単位ステップ関数 $z/(z-1)$ を用いて

$$\begin{aligned} H_C(z) &= z^{-1} \frac{z}{z-1} \frac{T_s}{L} \\ &= \frac{T_s}{L} \frac{1}{z-1} \end{aligned} \tag{4-14}$$

となる。これを用いて図 4-18 の電流制御ブロックを離散時間系で表すと図 4-20 になる。

変換器がカスケード・マルチレベルでデিজィチェーン型分散制御を適用した場合、この $H_C(z)$ がポイントとなる。図 4-13 のように主制御器とセル制御器の制御周期とサンプリングの同期が取れているとすると、1 サンプルは T_s である。制御演算を終えた T_{S0} 以降の Cell n の遅延サンプル数を N_{Sn} と定義すると、各セルの遅延サンプル数 N_{Sn} は式(4-10)より

$$N_{Sn} = \left\lceil \frac{(n-1)T_{com} + T_{rx} - T_{ofs}}{T_s} \right\rceil \tag{4-15}$$

となる。これが離散時間系における Cell n の遅延である。式(4-14)と遅延演算子 z^{-1} を用いると、Cell n の遅延は

$$z^{-N_{Sn}} \tag{4-16}$$

で表され、式(4-14)の $H_C(z)$ に式(4-16)を乗じたものが次の式のように Cell n とインダクタのパルス伝達関数 $H_{Cn}(z)$ になる。

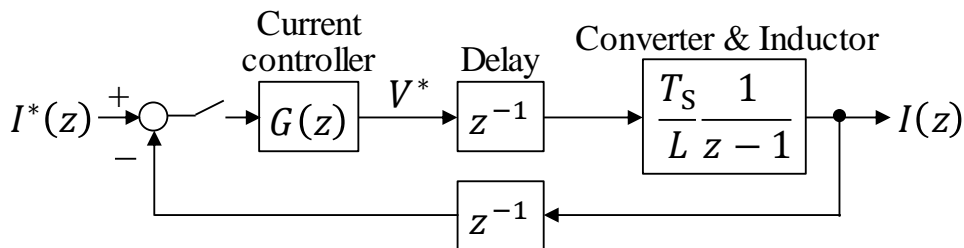


図 4-20 離散時間系の電流制御ブロック図

$$\begin{aligned}
 H_{Cn}(z) &= H_C(z)z^{-N_{Sn}} \\
 &= \frac{T_S z^{-N_{Sn}}}{L z - 1}
 \end{aligned}
 \tag{4-17}$$

セルを m 段カスケード接続した変換器全体の応答は全てのセルの応答の和になるので、図 4-17 (a)に示すカスケード・マルチレベル変換器のパルス伝達関数は次式のように表せる。

$$\begin{aligned}
 \frac{I(z)}{V(z)} &= \sum_{n=1}^m H_{Cn}(z) \\
 &= \frac{T_S z^{-N_{S1}}}{L z - 1} + \frac{T_S z^{-N_{S2}}}{L z - 1} + \dots + \frac{T_S z^{-N_{Sm}}}{L z - 1} \\
 &= \frac{T_S \sum_{n=1}^m z^{-N_{Sn}}}{L z - 1}
 \end{aligned}
 \tag{4-18}$$

これを用いて電流制御系のブロック図を描くと図 4-21 のようになる。これが遅延を考慮したデジチェーン型分散制御の電流制御ブロックである。

電流制御の短時間の過渡応答のみに着目すると積分制御の影響は小さいので、電流制御器 $G(z)$ はここではゲイン K_C の比例制御のみとしている。この時、出力電圧は m 個のセルで分けて出力するので、実際の比例ゲインは等価的に K_C/m になる。また、セルとインダクタのブロックは m 個に分けて示しており、セルごとの応答の和が全体の応答になる事を表している。 m 個に分けずに 1 つのブロックで表す場合は、Cascaded cells & Inductor の部分に式(4-18)のパルス伝達関数のブロックが入る。

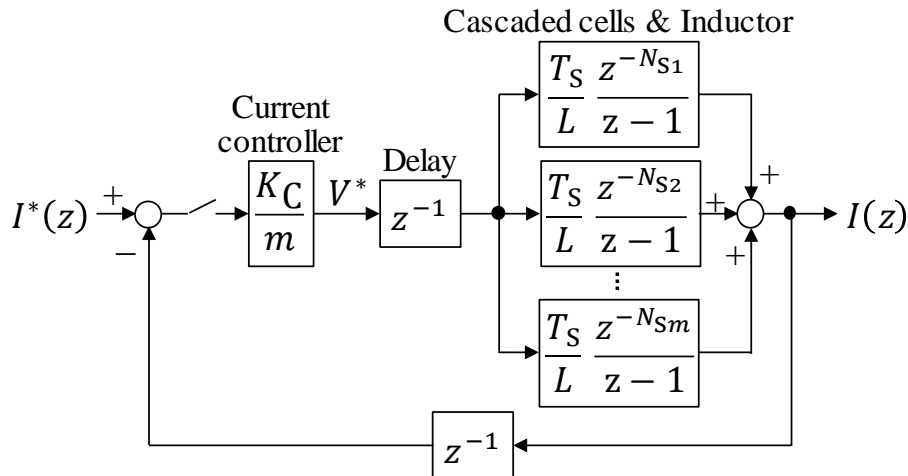


図 4-21 デジチェーン型分散制御の離散時間系の電流制御ブロック図

図 4-21 より電流制御系の閉ループパルス伝達関数を導出する。まずフィードバック系の伝達関数の式より下記となる。

$$\frac{I(z)}{I^*(z)} = \frac{z^{-1} \frac{K_C}{m} \sum_{n=1}^m H_{Cn}(z)}{1 + z^{-2} \frac{K_C}{m} \sum_{n=1}^m H_{Cn}(z)} \quad (4-19)$$

式(4-17)を代入して

$$\begin{aligned} \frac{I(z)}{I^*(z)} &= \frac{\frac{K_C T_S}{mL(z-1)} \sum_{n=1}^m z^{-(N_{Sn}+1)}}{1 + \frac{K_C T_S}{mL(z-1)} \sum_{n=1}^m z^{-(N_{Sn}+2)}} \\ &= \frac{\frac{K_C T_S}{mL} \sum_{n=1}^m z^{-(N_{Sn}+1)}}{z-1 + \frac{K_C T_S}{mL} \sum_{n=1}^m z^{-(N_{Sn}+2)}} \\ &= \frac{\frac{K_C T_S}{mL} \sum_{n=1}^m z^{N_{Sm}-N_{Sn}+1}}{z^{N_{Sm}+3} - z^{N_{Sm}+2} + \frac{K_C T_S}{mL} \sum_{n=1}^m z^{N_{Sm}-N_{Sn}}} \end{aligned} \quad (4-20)$$

となり、電流制御系の閉ループパルス伝達関数を得た。閉ループパルス伝達関数は $N_{Sm} + 3$ 次の高次系である。以上で、デিজィチェーン型分散制御を適用したカスケード・マルチレベル変換器において、通信と指令値サンプリングに起因する段階的な出力遅延を考慮した電流制御モデルを導出することができた。

実際の電流制御モデルを求める際には、通信遅延時間から式(4-15)で各セルの遅延 N_{Sn} を計算し、カスケード数や比例ゲインなどの各種パラメータと合わせて式(4-20)に代入することで求められる。

4.4. 電流制御モデルの検証

前項で導いた電流制御モデルの妥当性を検証する。検証には数値解析と回路シミュレーションの2種類の解析を用いる。

- 数値解析：コンピュータの数値演算で伝達関数を解いて制御応答や根を求める。前項で導いた電流制御の伝達関数を用いる。
- 回路シミュレーション：電気回路と制御ブロックを基にしたコンピュータシミュレーションによりタイムドメインで回路の挙動を解析する。想定する回路と制御の要素を十分に考慮し、実機の代替として妥当なシミュレーションモデルを構築しシミュレーションを行う。

数値解析と回路シミュレーションの結果が一致していれば、導いた電流制御モデルは妥当であると言える。回路シミュレーションには外乱がないため、理論モデルの検証に適している。

4.4.1. 解析条件

理論モデルの妥当性検証なので、複雑な構成ではなく挙動を把握しやすい簡略化した回路・制御構成を想定する。回路は図 4-22 に示す4段の単相フルブリッジ・カスケード・マルチレベル変換器で、デジチェーン型分散制御と位相シフト PWM を適用する。負荷は単純なインダクタ L であり、各種定数は表 4-2 に示すとおりである。

各種定格は簡略化のためシンプルな値を設定している。少ないセル数で遅延の影響を確認するため、比較的長い遅延と高いスイッチング周波数を選定した。また、各種遅延時間の時間スケールは図 4-13 と合わせている。このため、各セルの遅延は図 4-13 と同じになるはずである。電流制御のみの挙動を確

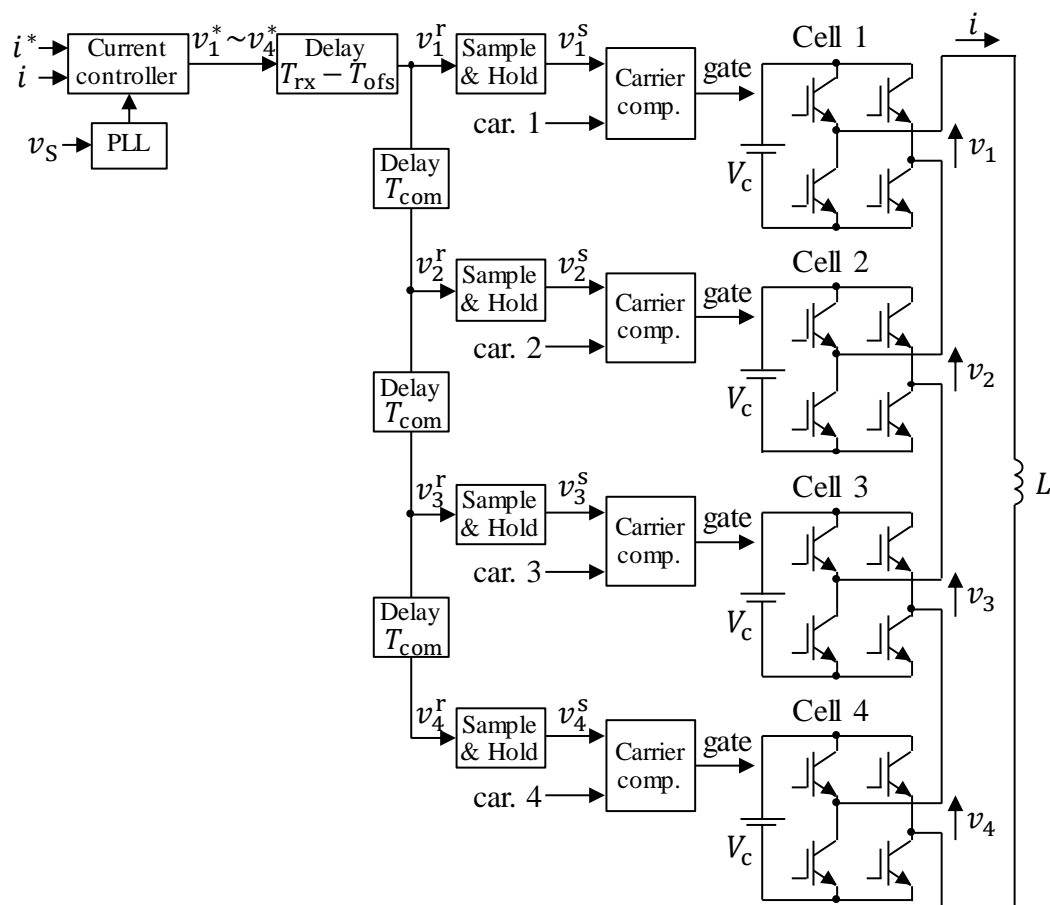


図 4-22 電流制御モデルの検証で想定するカスケード・マルチレベル変換器とデジチェーン型分散制御

表 4-2 電流制御モデルの検証で想定する各種定格

Cell dc voltage	V_c	5 V
Inductance	L	2 mH
Number of cascaded converters	m	4
Carrier frequency	f_{car}	6.25 kHz
Equivalent switching frequency	f_{sw}^{eq}	50 kHz
Current reference	i^*	1 A
Control period	T_{ctrl}	20 μ s
Sampling period	T_s	20 μ s
Communication delay	T_{com}	13 μ s
Transfer time	T_{tx}	6 μ s
Receiving time	T_{rx}	7 μ s
Offset time	T_{ofs}	2 μ s

認するためセルの直流電源はコンデンサではなく固定電源とし、コンデンサ電圧制御やバランス制御は使用していない。電流制御は図 4-21 と同じ制御を適用し (1 周期の制御遅れを含む)、制御周期 T_{ctrl} で離散的に処理する。これらを考慮した回路と制御を回路シミュレーションモデル上に構成した。

本検証の数値解析で用いる電流制御理論モデルも同様の条件で与える。具体的な式を前項の式に基づき以下に導出する。各セルの遅延サンプル数 N_{sn} と出力遅延 $z^{-N_{sn}}$ は式(4-15)(4-16)より

$$\begin{aligned}
 \text{Cell 1: } N_{S1} &= 1, \quad z^{-1} \\
 \text{Cell 2: } N_{S2} &= 1, \quad z^{-1} \\
 \text{Cell 3: } N_{S3} &= 2, \quad z^{-2} \\
 \text{Cell 4: } N_{S4} &= 3, \quad z^{-3}
 \end{aligned} \tag{4-21}$$

である。セルとインダクタのパルス伝達関数は式(4-18)より

$$\begin{aligned}
 \frac{I(z)}{V(z)} &= \sum_{n=1}^m H_{Cn}(z) \\
 &= \frac{T_s}{L} \frac{z^{-1}}{z-1} + \frac{T_s}{L} \frac{z^{-1}}{z-1} + \frac{T_s}{L} \frac{z^{-2}}{z-1} + \frac{T_s}{L} \frac{z^{-3}}{z-1} \\
 &= \frac{T_s}{L} \frac{2z^{-1} + z^{-2} + z^{-3}}{z-1}
 \end{aligned} \tag{4-22}$$

となる。電流制御の閉ループパルス伝達関数は式(4-20)(4-21)より下記のように求められる。

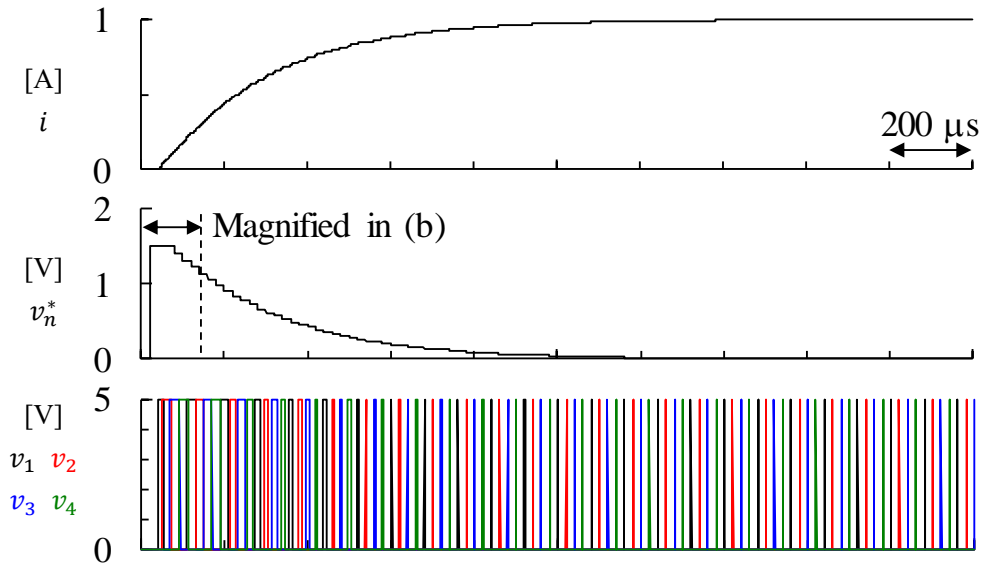
$$\frac{I(z)}{I^*(z)} = \frac{\frac{K_c T_s}{4L} (2z^3 + z^2 + z)}{z^6 - z^5 + \frac{K_c T_s}{4L} (2z^2 + z + 1)} \tag{4-23}$$

本式が数値解析で用いる電流制御理論モデルの伝達関数である。

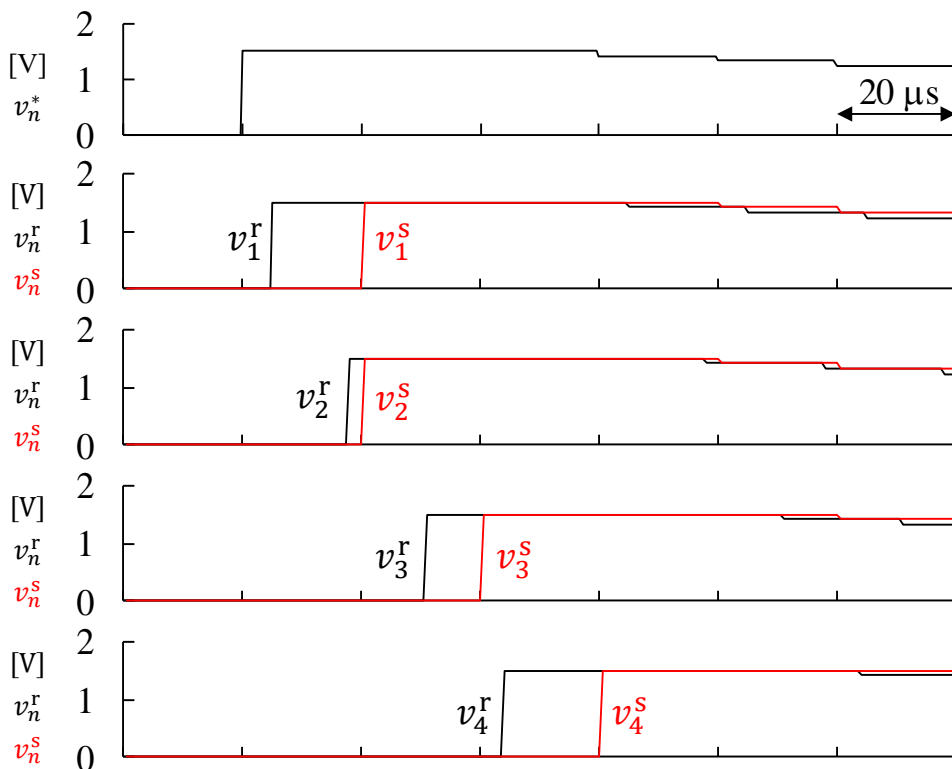
4.4.2. 回路シミュレーション波形

回路シミュレーションで電流ステップ応答を解析した結果を図 4-23 に示す。図 4-23 (a)は 0 s で単位電流指令値を与えた時の電流と出力電圧の波形である。セルの電圧源が固定で同値なので、各セルの電圧指令値 v_n^* は全て同じである。図 4-23 (a)を見ると、変換器は等価スイッチング周波数 50 kHz で電圧を出力し、電流は 1 次遅れで応答している。電圧指令値 v_n^* が変化してから実際にセルの出力電圧 v_n が変化するまでには若干の遅延がある。これは分散制御の通信遅延とサンプリングに起因する遅延である。

図 4-23 (b)に、各セルの受信電圧指令値 v_n^r とサンプリングされた電圧指令値 v_n^s の時間拡大波形を示す。



(a) 電流 i 、電圧指令値 v_n^* 、出力電圧 v_n



(b) 電圧指令値 v_n^* 、受信電圧指令値 v_n^r 、サンプリングされた電圧指令値 v_n^s (時間拡大波形)

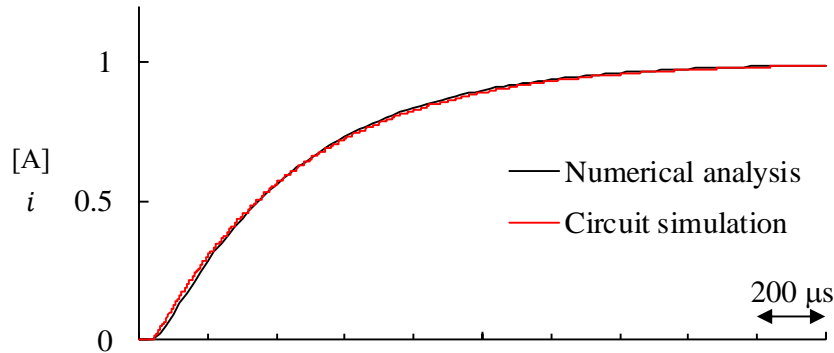
図 4-23 回路シミュレーション波形

電圧指令値 v_n^* が変化したタイミングが図 4-13 の T_{s0} に相当し、1 目盛がサンプリング周期 T_s に一致する。各セルの遅延は Cell 1: z^{-1} , Cell 2: z^{-1} , Cell 3: z^{-2} , Cell 4: z^{-3} となっており、式(4-16)から求めた式(4-21)の結果と一致している。また、各セルで電圧指令値を受信したタイミングも図 4-13 と一致しており、想定したデジチェーン型分散制御が回路シミュレーションで再現できている事が確認できた。

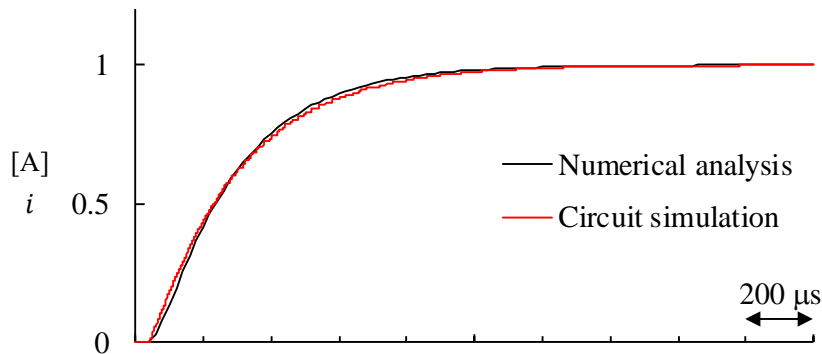
4.4.3. 電流制御モデルの妥当性確認

電流制御理論モデルである式(4-23)に基づく数値解析と回路シミュレーションを用いて電流ステップ応答を求め、図 4-24 にて比較した。電流制御の比例ゲイン K_C は 4 と 6 の 2 つの条件でそれぞれ解析した。

図 4-24 を見ると、数値解析と回路シミュレーションの応答はどちらもほぼ一致している。したがって、前項で導いたデジチェーン型分散制御の電流制御モデルは妥当性と言える。



(a) 電流制御比例ゲイン $K_C = 4$



(b) 電流制御比例ゲイン $K_C = 6$

図 4-24 数値解析と回路シミュレーションの電流ステップ応答の比較

4.5. 電流制御性の解析

デージーチェーン型分散制御における通信遅延の電流制御性への影響を検討する。以降の検討でも回路・制御条件は図 4-22、表 4-2 に基づき、妥当性を確認した電流制御理論モデルを用いた数値解析で制御応答を解析する。

制御性検討における分散制御の比較対象として、従来の集中制御を取り上げる。集中制御も位相シフト PWM を適用し、全セルが等価キャリア周波数でサンプリング[123]するものとする。すると、集中制御のパルス伝達関数は分散制御の伝達関数において通信遅延をゼロとした形に等しい。式(4-20)の各セルの遅延サンプル数 N_{sn} ($n = 1\sim 4$)にゼロを代入すると、集中制御における電流制御の閉ループパルス伝達関数は

$$\frac{I(z)}{I^*(z)} = \frac{\frac{K_C T_S}{L} z}{z^3 - z^2 + \frac{K_C T_S}{L}} \quad (4-24)$$

となる。本式には通信遅延は含まれていないが、電圧指令値サンプリングによる遅延は考慮されている。本式を数値解析に用いて集中制御の電流制御性を解析する。

4.5.1. 電流ステップ応答

図 4-25 に集中制御とデージーチェーン型分散制御の電流ステップ応答の比較グラフを示す。電流制御の比例ゲイン K_C を3パターンで解析し、集中制御の応答を実線で、分散制御の応答を破線で示している。

いずれの制御も電流制御ゲインを上げるほど応答は早くなるが、同ゲインでは分散制御の方がオーバーシュートが大きい。これは集中制御より分散制御の方が臨界減衰となるゲインが低いということを意味している。原因はフィードバックループ中に存在する分散制御の通信遅延である。 $K_C = 6$ や 10 では殆ど問題ない差であるが、 $K_C = 14$ においては集中制御ではオーバーシュートは無いものの、分散制御では大きなオーバーシュートが発生している。

この結果より、集中制御と同じゲイン設計を分散制御に適用すると、集中制御ではオーバーシュートが無くとも分散制御では応答にオーバーシュートが発生し振動的になってしまう可能性があることが分かる。すなわち、分散制御を適用する場合には分散制御に適したゲイン設計が必要である。そしてそのゲイン設計には本章で導いた理論モデルを用いることが出来る。

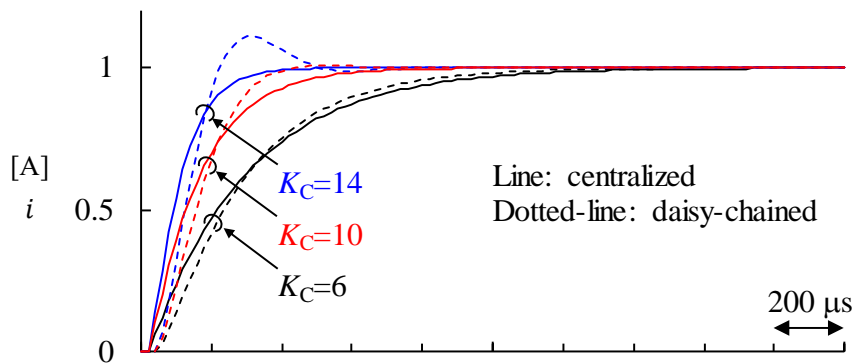


図 4-25 集中制御とデージーチェーン型分散制御の電流ステップ応答比較

4.5.2. 臨界減衰ゲイン

分散制御の遅延の電流制御の過渡特性への影響について詳しく考察する。デジチェーン型分散制御を適用した場合の電流制御系の閉ループパルス伝達関数は式(4-20)に示すとおり $N_{Sm} + 3$ 次の高次系になる。本解析条件では $N_{Sm} = 3$ なので 6 次である。一般に高次系では代表根の応答が支配的であるため、代表根のみを特性根として持つ 2 次系に近似して過渡応答を考える事が出来る[129]。

いくつかのゲインにおける集中制御と分散制御の閉ループパルス伝達関数の根を数値解析で求め、 z 平面にプロットしたものを図 4-26 に示す。 z 平面での代表根は単位円に近い根であり、ここでは(1, 0)に近い根が代表根である。

図 4-26 (a)は遅延のない集中制御の場合の根である。式(4-24)より伝達関数は 3 次なので、重根にならない場合の根の数は 3 である。電流制御ゲイン $K_C = 14.8$ にて代表根が重根となっている。このゲインの時、応答は臨界減衰になる。ゲインがこれ以上高いと、例えば $K_C = 18$ の時のように根が複素数となり、応答には振動成分が含まれる。

図 4-26 (b)はデジチェーン型分散制御を適用した場合の根を示している。伝達関数は 6 次なので、重根でない場合の根の数は 6 である。 $K_C = 8.52$ にて代表根が重根となっていることが分かる。重根となるゲインは集中制御と比べて低く、本条件では臨界減衰となるゲインが集中制御の $8.52/14.8 = 57.6\%$ までしか上げられない事が分かる。

この解析結果からも、デジチェーン型分散制御を適用した場合、従来通りのゲイン設計では電流応答が振動的になってしまう可能性がある事が分かる。分散制御の理論モデルを用いて数値解析すれば、回路シミュレーションよりも容易に理論的な応答を確認できるだけでなく、適切にゲインを設計して振動的な応答を避けることができる。

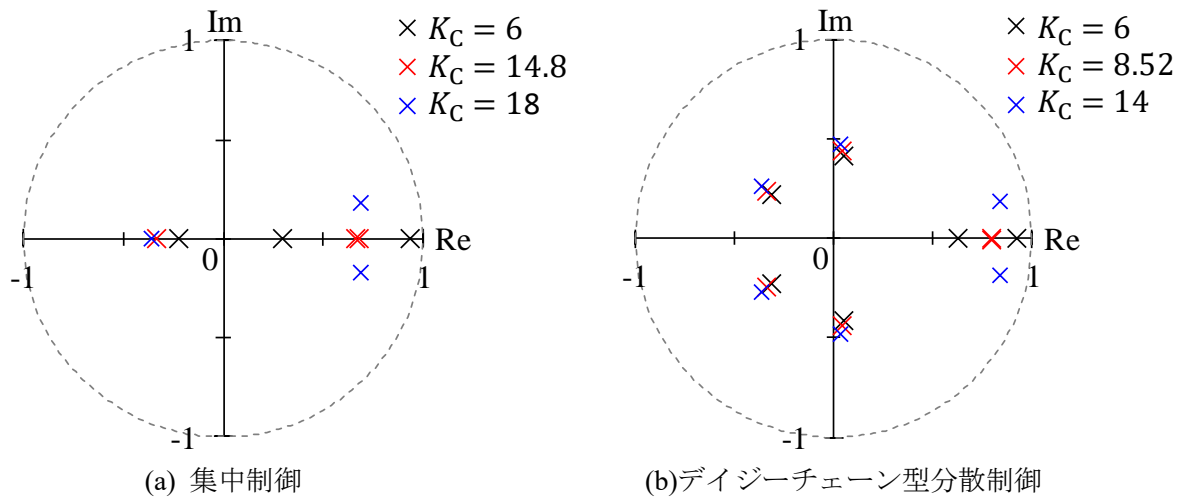


図 4-26 閉ループパルス伝達関数の根プロット (z 平面)

4.5.3. 制御安定性

次に制御の安定性を解析する。デージーチェーン型分散制御の臨界減衰ゲインである $K_C = 8.52$ において、集中制御と分散制御の開ループパルス伝達関数のボード線図を数値解析で求め図 4-27 に示した。

ゲインが常に右肩下がりで位相が -90 deg から始まっているのは、変換器とインダクタを離散系でモデリングしているためである。集中制御と比べ、デージーチェーン型分散制御は通信遅延のため高周波域でゲインが低下し、位相遅れは大きくなっている。特に位相の遅れが大きい。しかしデージーチェーン型分散制御でもゲイン余裕は 15.8 dB 、位相余裕は 74.3 deg あるので、本条件においては制御の安定性は確保されている。

このように、デージーチェーン型分散制御では応答は低下するが、安定性が著しく損なわれてはいない。電流制御モデルを用いて応答と安定性を解析しておけば実用可能であると考えられる。しかしここまでの検討では 4 段カスケードの小規模な構成を想定している。そこで次の項では実際の HVDC 変換器を想定したパラメータでケーススタディを行う。

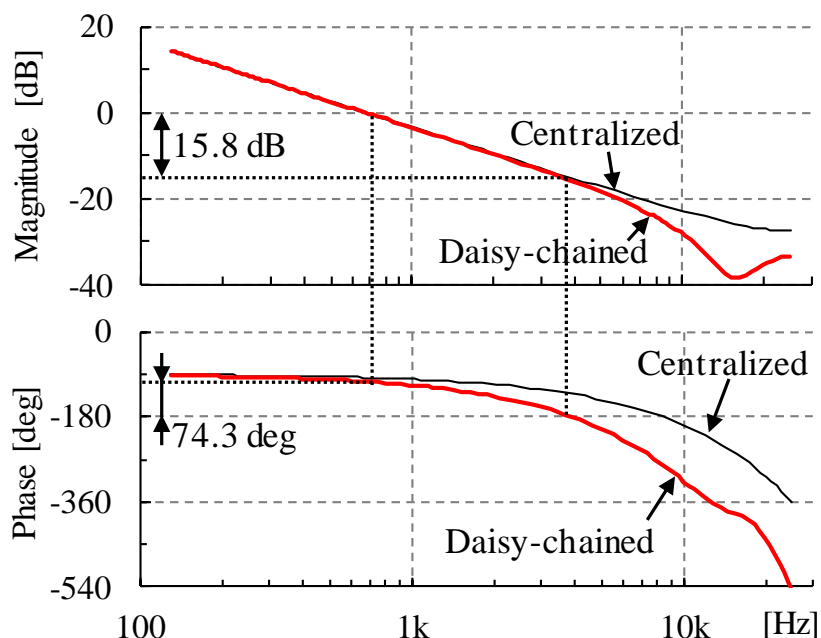


図 4-27 集中制御とデージーチェーン型分散制御のボード線図

4.6. 実機を想定したケーススタディ

ここまでは少ない段数で比較的長い遅延を仮定して検討を行っていたが、ここでは実規模の多数のセルを持つカスケード・マルチレベル HVDC 変換器と現実的な遅延を想定したデিজィチェーン型分散制御のケーススタディを実施する。

4.6.1. 検討条件

変換器は HVDC 向けに用いられる Double-Star Chopper Cells (DSCC) [21] のカスケード・マルチレベル変換器を想定し、表 4-3 のように定格を設定した。1 アームのセルのカスケード数 m は実規模相当 [24][25] で 100 段としている。ハイパワーの半導体スイッチング素子を使う HVDC 等の大容量変換器では、1 セルあたりのキャリア周波数 f_{car} は 200 Hz 以下である [52]。ここでは $f_{car} = 175$ Hz とし、その結果等価スイッチング周波数 f_{sw}^{eq} は式 (4-5) より 35 kHz となる。それに合わせて制御周期 T_{ctrl} とサンプリング周期 T_S は式 (4-6) より 28.5 μ s に設定した。

制御には位相シフト PWM とデিজィチェーン型分散制御を適用する。通信プロトコルには高速ネットワークシステムである“EtherCAT”と“PROFINET IRT”を想定し、それぞれ表 4-3 の条件 A (Case A) と B (Case B) のように通信遅延を設定する。条件 A が“EtherCAT”、条件 B が“PROFINET IRT”の想定である。通信遅延 T_{com} は先行研究 [63] より条件 A では 1 μ s、条件 B では 3.5 μ s と仮定し、送信時間 T_{tx} と受信時間 T_{rx} はそれぞれその半分とした。オフセット時間 T_{ofs} は条件 AB 共に 0 μ s で共通である。

表 4-3 ケーススタディの各種定格

Rated power	P	200 MW
DC line voltage	V_{dc}	200 kV
System voltage	v_S	66 kV
System frequency	f_S	50 Hz
Number of cascaded cells	m	100
Cell dc voltage	V_c	2 kV
Inductance	L	6.9 mH (10%*)
Carrier frequency	f_{car}	175 Hz
Equivalent switching frequency	f_{sw}^{eq}	35 kHz
Current control gain	K_C	6
Control period	T_{ctrl}	28.5 μ s
Sampling period	T_S	28.5 μ s
Offset time	T_{ofs}	0 μ s
Case A (“EtherCAT”)		
Communication delay	T_{com}	1 μ s
Transfer time	T_{tx}	0.5 μ s
Receiving time	T_{rx}	0.5 μ s
Case B (“PROFINET IRT”)		
Communication delay	T_{com}	3.5 μ s
Transfer time	T_{tx}	1.75 μ s
Receiving time	T_{rx}	1.75 μ s

* on a three-phase, 66 kV, 200 MW, 50 Hz base

4.6.2. 通信遅延

式(4-9)より各セルの出力遅延 T_{cn} を求めた結果を図 4-28 に示す。1セルあたりの通信遅延が小さくても、カスケード数が多いと遅延が積み重なり段階的に大きくなっている事が分かる。また、通信遅延の大きい条件 B の方が条件 A よりも出力遅延は大きい。この図における出力遅延のステップ数（出力遅延のレベル数）が各セルの遅延サンプル数 N_{sn} に相当する。最後のセルの遅延サンプル数 N_{sm} は条件 A では 4、条件 B では 13 なので、式(4-20)より閉ループパルス伝達関数の次数はそれぞれ 7 次と 16 次であることが分かる。

4.6.3. 制御過渡特性の解析

A) 臨界減衰ゲイン

条件 A, B での閉ループパルス伝達関数を求め、代表根が重根（臨界減衰）となる電流制御ゲインを数値解析で求めた。臨界減衰時の根の z 平面へのプロット図を図 4-29 に示す。ここでも比較として通信遅延の無い集中制御の場合も示している。3つの制御の根はそれぞれの制御における臨界減衰時の根であり、臨界減衰ゲイン K_C はそれぞれ、集中制御: 10.4、条件 A: 5.29、条件 B: 2.65 である。通信遅延が大きいほど臨界減衰ゲインは低くなっていることが分かる。

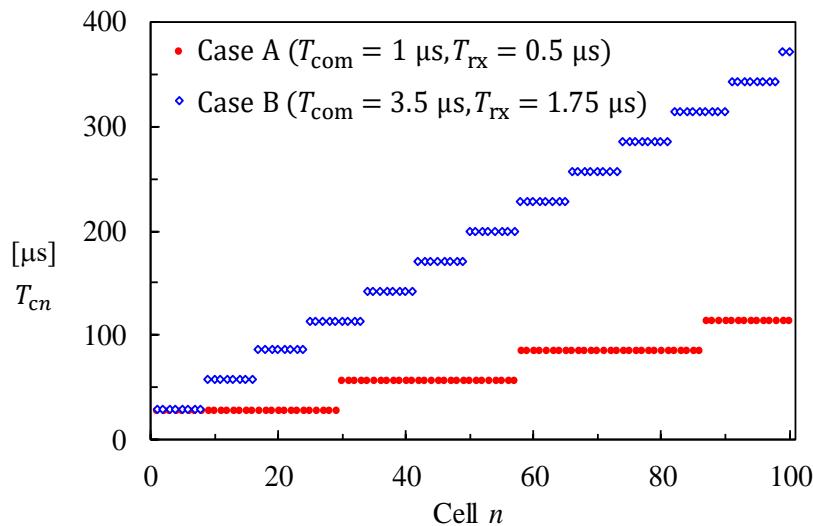


図 4-28 ケーススタディにおける各セルの出力遅延

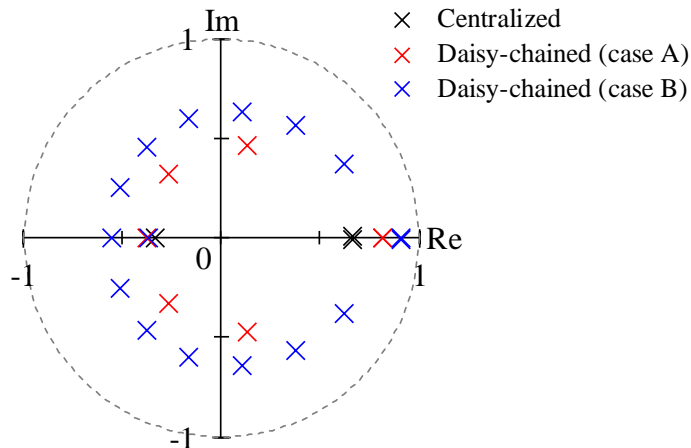


図 4-29 ケーススタディにおける閉ループ伝達関数の根の z 平面へのプロット（臨界減衰）

B) ステップ応答

理論モデルの伝達関数より、集中制御とデージーチェーン型分散制御（条件 A, B）それぞれの臨界減衰ゲインにおける電流ステップ応答を数値解析で求めた結果を図 4-30 に示す。

集中制御に対し、デージーチェーン型分散制御は臨界減衰ゲインが低く、特に条件 B の時の方が低い。通信遅延の大きいデージーチェーン型分散制御ほど電流の即応性の限界は低くなることを見てとれる。例えば、電流応答時定数 $200 \mu\text{s}$ が必要な場合、集中制御とあれば実現可能、条件 A でもかろうじて達成可能だが、条件 B では不可能または振動を許容しなければならない。このケーススタディの条件でも、デージーチェーン型分散制御を導入する場合、従来の集中制御と同じゲイン設計では応答が振動してしまう可能性がある。

例として、集中制御で臨界減衰となるゲイン $K_C = 10.4$ におけるデージーチェーン型分散制御のステップ応答を図 4-31 に示す。集中制御では当然振動はないが、2つのデージーチェーン型分散制御では振動が生じている。特に通信遅延の大きい条件 B では大きな振動が起きている。条件 B だけでなく、通信が高速な“EthetCAT”を想定した条件 A でもオーバーシュートが生じており、従来通りのゲイン設計では不十分であることが確認できる。

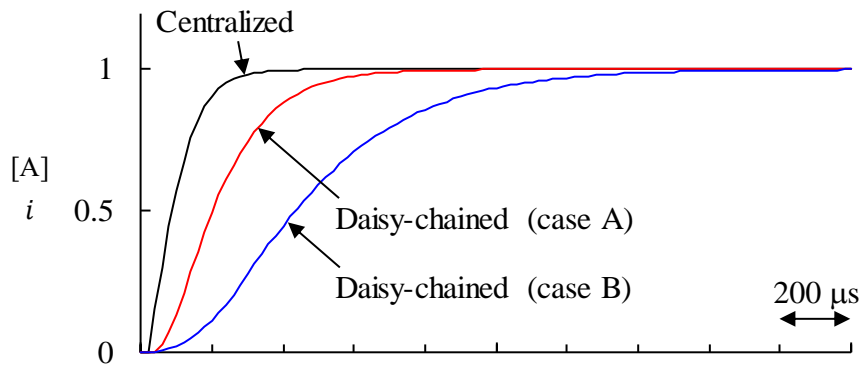


図 4-30 それぞれの制御における臨界減衰ゲインでの電流ステップ応答比較

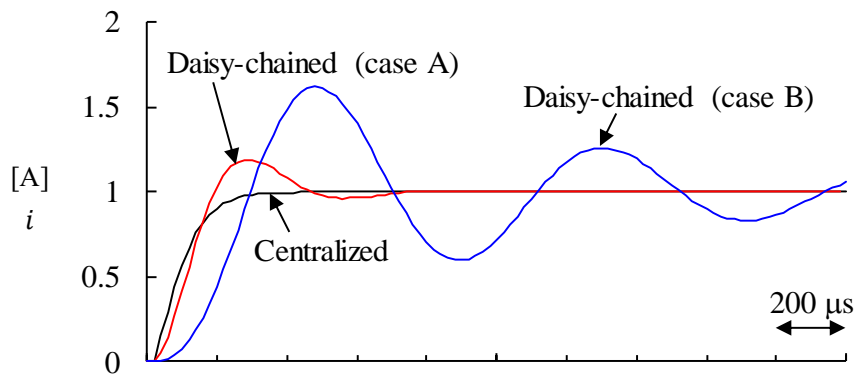


図 4-31 集中制御で臨界減衰となるゲイン $K_C = 10.4$ における電流ステップ応答比較

C) 制御安定性

最後に、デジチェーン型分散制御の条件 A, B それぞれの臨界減衰における電流制御の開ループパルス伝達関数のボード線図を図 4-32 に示す。どちらも臨界減衰なので、ゲイン余裕は約 16 dB、位相余裕は約 75 deg でほぼ共通している。傾向として、同じ周波数では条件 A の方がボード線図のゲインは大きく、位相遅れは小さい。条件 B のパルス伝達関数は 16 次の高次系であり、ボード線図のゲインと位相にも多くの山と谷が現れている。

以上のケーススタディより、実際のカスケード・マルチレベル HVDC 変換器にデジチェーン型分散制御を適用する場合にも、適切な電流制御モデルとそれに応じたゲイン設計が必要な事が確認できた。高速な電流応答を実現するには高速な通信プロトコルが必要だが、高速プロトコルを適用したとしてもセルの段数が多ければ遅延が積み重なって過渡特性は悪化し得る。

本章で導いた電流制御モデルを用いればデジチェーン型分散制御を用いた電流制御系の解析とゲイン設計を行う事が出来る。また、必要な応答速度に対してどこまで通信遅延を許容できるか検討することもできる。通信遅延が許容できる範囲になるようデジチェーンのループを分割して複数のデジチェーンループを用意するという手もあるため、どこで分けるかの判断もできるようになる。

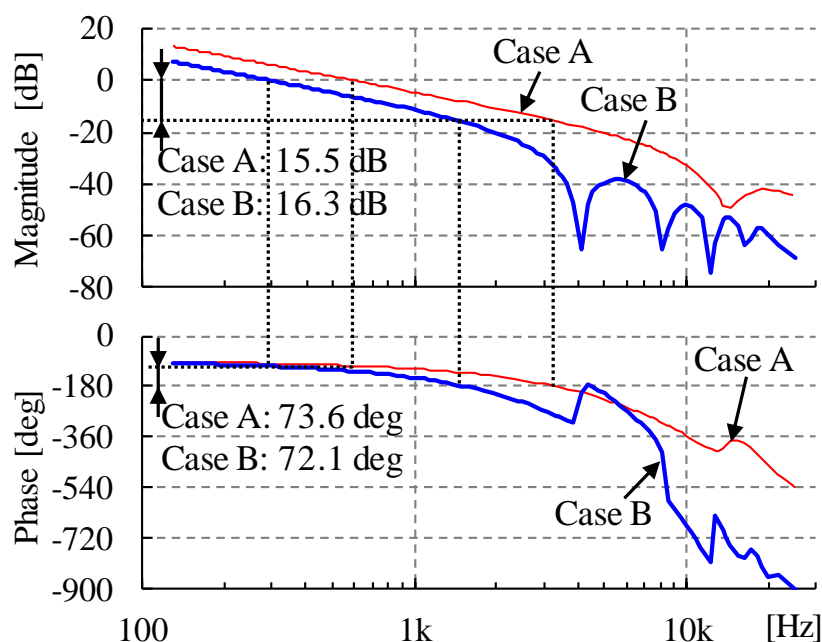


図 4-32 ケーススタディにおけるボード線図

4.7. 本章のまとめ

本章では、デিজィチェーン型分散制御を適用した位相シフト PWM 駆動のカスケード・マルチレベル変換器において、通信遅延と電圧指令値サンプリング遅延を考慮した電流制御を理論的に検討した。遅延の発生要素とタイムチャートから、一般化した各セルの遅延量を立式し、離散系における電流制御のパルス伝達関数を導出した。導いた電流制御モデルの妥当性を数値解析と回路シミュレーションで検証すると共に、通信遅延の過渡応答への影響を考察した。これにより、デিজィチェーン型分散制御の制御性への応答と、実際に適用する際の制御系の設計方法を明らかにした。電流制御モデルが求まったことで、分散制御を実適用する際に理論モデルで制御応答設計ができるようになった。

最後にケーススタディとして、実際のカスケード・マルチレベル HVDC と通信プロトコルを想定した条件でデিজィチェーン型分散制御を適用した場合の電流制御性を解析した。その結果、実機を想定した条件においても、デিজィチェーン型分散制御の遅延が制御性に影響を与えることが分かった。そして妥当な電流制御解析とゲイン設計をするには、通信遅延を考慮した電流制御モデルが有効である事を示した。本章で導いた電流制御モデルは上記の電流制御解析・ゲイン設計に寄与する。また、本モデルにより通信遅延の許容量を判断できるため、デিজィチェーン接続される通信路構成の設計にも指針を与える。

以下に本章の内容と今後の展望をまとめる。

- デিজィチェーン型分散制御を適用した位相シフト PWM 駆動のカスケード・マルチレベル変換器において、通信遅延と電圧指令値サンプリング遅延を考慮した電流制御の理論モデルを導出した。また、理論モデルの数値解析結果と回路シミュレーション結果を比較することで、理論モデルが妥当であることを示した。
- 導いた電流制御モデルを用いて、通信遅延の制御性への影響を考察した。通信遅延と各セルの遅延は電圧指令値サンプリングの影響で単純な比例関係にはならず、離散的で不連続な変化を示した。
- 分散制御における制御設計は従来の集中制御とは異なることを示した。従来の集中制御と同じ電流制御設計を分散制御に適用すると、電流応答が振動的になり得る。導出した電流制御モデルを用いることで、分散制御適用時に理論的な制御設計が可能になった。
- 100 段カスケードの実定格 HVDC を想定した実機スケールの回路・制御と通信プロトコルの条件でデিজィチェーン型分散制御を適用した場合の電流制御性を解析した。通信プロトコルには“EtherCAT”と“PROFINET IRT”を想定した。その結果、実機スケールにおいても通信遅延が制御性に影響を与え得ることを明らかにした。
- 分散制御の理論的な電流制御設計が可能となったことで、カスケード・マルチレベル変換器への分散制御の適用が進み、光ファイバが削減されるなど制御システムの構成部品が簡略化されることが期待される。
- カスケード・マルチレベル変換器においてデিজィチェーン型分散制御が発展することで、より柔軟で冗長性のある制御システムが構築できるようになり、変換器の拡張性、信頼性が向上することが期待される。

第5章 結論

本論文では、単位変換器を多直列接続したカスケード・マルチレベル変換器の主な技術課題として損失、適用する半導体スイッチング素子、制御システム構成があることを示し、これら3つをそれぞれ改善する技術の検討・開発を行った。その内容と結果を以下にまとめる。

- 第2章ではカスケード・マルチレベル変換器の損失低減に取り組んだ。従来のPWM制御に対し1パルス制御を適用してスイッチング損失を低減することで、変換器損失低減を試みた。これまでの1パルス制御では変調率が低い際に段間バランス制御は有効に作用しなかったが、1パルス制御のアルゴリズムを改善することで、変調率が変動しても常にコンデンサ電圧がバランスするようになり、1パルス制御が実用的なものとなった。これにより、1パルス制御によりスイッチング損失を低減し、低損失なカスケード・マルチレベル変換器が実用化できる。低損失化により電力損失は低減されシステムの経済性が向上するため、カスケード・マルチレベル方式の自励変換器の導入拡大が期待できる。
- 第3章ではSiCスイッチング素子のカスケード・マルチレベル変換器への適用の可能性について検討した。カスケード数の少ない6.6kV配電システムクラスの系統連系変換器にカスケード・マルチレベルを適用することで、トランスレス化と小型・低損失化が実現できる。カスケード・マルチレベル変換器を既存のSi-IGBTのみで構成する場合、現状の低圧SiC-JFETのみで構成する場合、それらを組み合わせたハイブリッド方式の場合で損失を比較検討し、ハイブリッド方式に優位性がある見通しを得た。実際にSi-IGBTとSiC-JFETと複数の変調方法を組み合わせたハイブリッド方式の6.6kV連系トランスレス・カスケード・マルチレベルSTATCOMを製作し、動作と損失を実証した。実定格試作機の損失・体積測定結果を基に前記3つの回路構成を比較し、ハイブリッド方式が損失・体積の両面で合理的な構成であるという結果を示した。これにより、カスケード・マルチレベル変換器へのSiCスイッチング素子の実適用展開が進むことが期待される。
- 第4章では、カスケード・マルチレベル変換器の制御システム構成の簡略化に取り組んだ。デジタイゼーション型分散制御を適用することで制御信号線数の低減が期待されるが、制御器間の通信遅延を考慮した電流制御モデルが不明であるため制御の理論設計ができなかった。そこで、通信遅延と電圧指令値サンプリングに起因する各セルの遅延を明らかにし、遅延を考慮した理論的な電流制御モデルを導いた。これにより、デジタイゼーション型分散制御の制御応答の特性と、実際に適用する際の制御系の設計方法を明らかにした。電流制御モデルを導出したことにより、実際に分散制御を適用する際に理論モデルで制御応答設計ができるようになった。本成果により、カスケード・マルチレベル変換器への分散制御の適用が進み、光ファイバや光電変換部品が削減されるなど、制御システム構成の簡略化が実現できることが期待される。

本論文で得られた研究結果により、カスケード・マルチレベル変換器の低損失化、小型化、構成の簡素化などが実現できる。これらの成果はカスケード・マルチレベル変換器の高性能化と実機適用拡大に寄与するものであり、すなわち高性能な自励式電力変換器の適用・導入拡大に貢献する。社会にとっては、消費エネルギーの低減、電力・配電システムの安定化、などの利益がもたらされることが期待される。例えば、他励HVDC変換器の自励変換器への置き換えが進めば、無効電力補償による系統安定化や、直流側からの送電によるブラックスタートなどが実現され、より安定した電力送電が可能となる。また、電力システム向けに自励式無効電力補償装置(STATCOM)の導入が拡大すれば、高速な補償運転や系統電圧低下時の運転が可能となり、電力システムの安定化が促進される。小型の配電用STATCOMが実現し需要家近傍へ設置されれば、配電網の電圧は安定化される他、需要家の電力負荷が低い際に太陽光発電などの

分散電源の発電を制限することも回避できる。

本論文の技術開発成果がカスケード・マルチレベル変換器の今後の技術開発の方向性に与える影響と見通しについて下記に示す。

- 1 パルス制御の適用が実用的になったことで、現状の回路構成におけるカスケード・マルチレベル変換器に残された損失の改善要素は導通損失が支配的となる。出力電圧に対して必要な素子耐圧は決まっているので、導通損失を効果的に改善するには、素子そのものの構造や材料を変えることになる。現状の Si バイポーラ素子のままであれば、IGBT や IEGT のオン電圧の低減が導通損失の低減に有効である。MOSFET のようなユニポーラ素子であれば、並列接続してオン抵抗を低減する方法もある。材料を変える場合には、現状において最も有力な候補は SiC であろう。高耐圧（カスケード数の多い）カスケード・マルチレベル変換器への SiC スwitching 素子の適用にあたり、まずは素子の更なる高耐圧化が求められる。次に、SiC-IGBT の登場も望まれる。SiC スwitching 素子は MOSFET の開発が進んでいるが、大容量変換器では IGBT の方が導通損失は低い。これは、MOSFET はユニポーラ素子なので電流導通時の導通損失は電流の 2 乗に比例するが、IGBT はバイポーラ素子なのでオン電圧が一定値で導通損失は電流に比例するためである。
- 制御システム面については、デイズチェーン型分散制御はセル数の多い大容量カスケード・マルチレベル変換器に導入されていくと考えられる。分散制御の遅延の影響により必要な電流制御応答が実現出来ない場合は、1 つのデイズチェーンリングに含むセルの数を減らし、リングの数を増やすことになる。本論文で導出したデイズチェーン分散制御の電流制御モデルを用いることで、1 つのデイズチェーンリングに入れられるセルの上限が計算できるため、構成すべきネットワーク構成の設計にも役立つ。また今後、光ファイバではなく無線通信を使った制御信号伝送を行う場合、通信遅延が更に長くなることが想定されるため、やはり遅延を考慮した電流制御モデルがシステムの実現性検討に必要となる。分散制御の発展の方向性としては、主制御器を持たず各セル制御器が自律的に周辺セルと協調して動作する自律分散制御が究極の形であると考えられる。実現にあたり課題は多いものの、全セルが主制御器の冗長系のように動作できれば、故障に非常に強いカスケード・マルチレベル変換器が実現出来る。そのようなシステムになった場合でも、セル制御器間の通信は存在するので、本論文で導出した電流制御モデルと考え方を活用し得る。

開発した技術を用いたカスケード・マルチレベル変換器の実製品適用を進めていくにあたり、検討事項や課題として下記が考えられる。

- カスケード・マルチレベル変換器に 1 パルス制御を適用する場合、コンデンサ電圧リップルが大きくなるためリップル補償制御を適用したとしてもコンデンサの静電容量の増加は避けられない。コンデンサの静電容量増加に伴い蓄積エネルギーも大きくなるため、素子が短絡故障した際に放出されるエネルギーも大きくなる。そのエネルギーが素子の耐量を超過し得るのかどうか、実設計に即して検討し対策を考える必要がある。
- 配電用 STATCOM に対して系統事故時の FRT などの動作要件は現状明確に定められていないが、今後規定されていくと考えられる。現状の配電用系統連系インバータの FRT 要件に基づき仮定した条件における動作検証は本研究でも行った (3.5.4 節) が、異なる条件が規定された場合にはそれに対応した動作可否の検討・検証が求められる。FRT 実現においてポイントとなるのは事故時の過電流抑制であり、それには系統電圧の低下量、連系リアクトル、制御遅れが関係する[76]。制御遅れは系統電圧検出系のハードウェア遅延と、使用する制御装置の処理性能に依存する。この制御遅延と、想定する系統事故の電圧低下量から、連系リアクトルを設計する必要がある。その際、必要なインダクタンス値は高調波抑制に必要な値とは異なる点に注意しなければならない。カスケード・マルチレベル方式を適用すると高調波が低減できるため、必要な連系リアクトルのインダクタ

ンス値は小さいが、系統事故時の過電流抑制から算出したインダクタンス値はそれよりも大きい可能性が高い。したがって、連系リアクトルはカスケード段数とスイッチング周波数だけでは決められず、事故要件への対応も考慮し設計する必要がある。

- デイジーチェーン型分散制御の適用においては、制御器間を接続する光ファイバが断線した場合の動作も検討する必要がある。大規模な電力向け変換器であれば、制御系は二重の冗長系で構成する事が多いため、冗長系を利用して制御を継続する方法がまず考えられる。また、“EtherCAT”であれば、デイジーチェーンのループが切れた際には主制御器のフィードバック入力側の通信ポートからも指令値を伝送出力するよう自動的に切り替わる機能があり、これを利用する方法もある。その際にはセル制御器の接続構成が変わるため、通信遅延の影響ひいては電流制御応答も変わることが想定される。実製品への適用にあたっては、このような制御冗長の検討と設計も求められる。

更に、研究の中で、カスケード・マルチレベル変換器に使用する半導体スイッチング素子に今後求められる性能に関する知見を得ることもなった。

- 大容量のカスケード・マルチレベル変換器においては、1パルス制御の適用が現実的になったことで、変換器損失に占めるスイッチング損失の割合が低下する。すると、スイッチング損失が高くとも導通損失の低い半導体スイッチング素子が有利となり得る。例えば、縦型 SJ 構造の素子はスイッチング損失は高くなるがオン抵抗は低くできる。このように導通損失で有利な高耐圧半導体スイッチング素子が登場すれば、1パルス制御を適用したカスケード・マルチレベル変換器は更なる低損失化が期待出来る。
- カスケード数の少ない 6.6 kV 配電系統クラスの領域では、SiC 素子の高耐圧化が進めば将来的には All-SiC 構成が有利になる見込みである。3.3 kV 耐圧の SiC スwitching 素子が実用化されれば、各相 3 段のスター結線カスケードで 6.6 kV にトランスレス連系が可能となるので、セルの数は十分少ないので、損失だけでなく体積面でも最も有利になる。しかし、新しい素子である SiC のコストを考慮すると、ハイブリッド方式が対費用効果も含めて合理的な期間は決して短くないと考えられる。また、SiC-SJ-MOSFET のようにオン抵抗が小さい SiC 素子が実用化されれば、配電系統向けカスケード・マルチレベル変換器の損失は更に低減できる可能性がある。
- 6.6 kV、数百 kVA のハイブリッド・カスケード・マルチレベル変換器は、高耐圧で少電流の Si-IGBT が素子の定格利用率の点で適している。現状、高圧素子は電流容量も高いので、該当する素子は市場にないが、今後このような素子が開発されれば、ハイブリッド・カスケード・マルチレベル変換器はより合理的に構成可能となる。

上述のような半導体素子が今後登場することで、カスケード・マルチレベル変換器の更なる高性能化が期待出来る。更なる高性能化はカスケード・マルチレベル変換器の導入拡大の促進につながると考えられる。

* 本論文に掲載の商品の名称は、それぞれ各社が商標として使用している場合があります。

参考文献

- [1] 林 敏之：「直流送電・SVCによる電力系統の安定化」，電気学会論文誌 B, Vol. 112, No. 1, pp. 6–9 (1992)
- [2] *STATIC SYNCHRONOUS COMPENSATOR (STATCOM)*, CIGRE Technical Brochure 144 (2000)
- [3] H. K. Tyll and F. Schettler, “Power system problems solved by FACTS devices”, in *Proc. IEEE Power and Energy Society Power Systems Conference and Exposition (PSCE)* (2009)
- [4] H. K. Tyll and F. Schettler, “Historical overview on dynamic reactive power compensation solutions from the begin of AC power transmission towards present applications”, in *Proc. IEEE Power and Energy Society Power Systems Conference and Exposition (PSCE)* (2009)
- [5] 武田秀雄・吉野輝雄・桑原隆：「自励式変換器による電力系統用パワーエレクトロニクスの適用拡大」，東芝レビュー, Vol. 55, No. 8, pp.16–19 (2000)
- [6] H. Kon, M. Tobita, H. Suzuki, J. Kanno, N. Nishizawa, T. Murao, and S. Irokawa, “Development of a multiple series-connected IGBT converter for large-capacity STATCOM”, in *Proc. International Power Electronics Conference (IPEC)*, pp. 2024–2028 (2010)
- [7] J. Rodriguez, S. Bernet, B. Wu, J. O. Pontt, and S. Kouro, “Multilevel voltage-source-converter topologies for industrial medium-voltage drives”, *IEEE Transactions on Industrial Electronics*, Vol. 54, No. 6, pp. 2930–2945 (2007)
- [8] L. G. Franquelo, J. Rodriguez, J. I. Leon, S. Kouro, R. Portillo, and M. A. M. Prats, “The age of multilevel converters arrives”, *IEEE Industrial Electronics Magazine*, Vol. 2, No. 2 pp. 28–39 (2008)
- [9] J. Rodriguez, L. G. Franquelo, S. Kouro, J. I. Leon, R. C. Portillo, M. A. M. Prats, and M. A. Perez, “Multilevel converters: An enabling technology for high-power applications”, in *Proc. IEEE*, Vol. 97, No. 11, pp. 1786–1817 (2009)
- [10] M. A. Perez, S. Bernet, J. Rodriguez, S. Kouro, and R. Lizana, “Circuit topologies, modeling, control schemes, and applications of modular multilevel converters”, *IEEE Transactions on Power Electronics*, Vol. 30, No. 1, pp. 4–17 (2015)
- [11] S. Debnath, J. Qin, B. Bahrani, M. Saedifard, and P. Barbosa, “Operation, control, and applications of the modular multilevel converter: A review”, *IEEE Transactions on Power Electronics*, Vol. 30, No. 1, pp. 37–53 (2015)
- [12] F. Z. Peng, J. S. Lai, J. W. McKeever, and J. VanCoevering, “A multilevel voltage-source inverter with separate DC sources for static VAR generation”, *IEEE Transactions on Industry Applications*, Vol. 32, No. 5, pp. 1130–1138 (1996)
- [13] F. Z. Peng and J. S. Lai, “Dynamic performance and control of a static VAR generator using cascade multilevel inverters”, *IEEE Transactions on Industry Applications*, Vol. 33, No. 3, pp. 748–755 (1997)
- [14] A. Lesnicar and R. Marquardt, “An innovative modular multilevel converter topology suitable for a wide power range”, in *Proc. PowerTech*, Vol. 3 (2003)
- [15] A. Lesnicar and R. Marquardt, “A new modular voltage source inverter topology”, in *Proc. European Conference on Power Electronics and Applications (EPE)* (2003)
- [16] M. Glinka and R. Marquardt, “A new single-phase ac/ac-multilevel converter for traction vehicles operating on ac line voltage”, in *Proc. European Conference on Power Electronics and Applications (EPE)* (2003)
- [17] M. Glinka and R. Marquardt, “Prototype of multiphase modular-multilevel-converter with 2 MW power rating and 17-level-output-voltage”, in *Proc. Power Electronics Specialists Conference (PESC)*, pp. 2572–2576

(2004)

- [18] M. Glinka and R. Marquardt, “A new ac/ac multilevel converter family”, *IEEE Transactions on Industrial Electronics*, Vol. 52, No. 3, pp. 662–669 (2005)
- [19] 萩原誠・赤木泰文：「モジュラー・マルチレベル変換器 (MMC) の PWM 制御法と動作検証」, 電気学会論文誌 D, Vol. 128, No. 7, pp. 957–965 (2008)
- [20] M. Hagiwara and H. Akagi, “Control and experiment of pulse width-modulated modular multilevel converters”, *IEEE Transactions on Power Electronics*, Vol. 24, No. 7, pp. 1737–1746 (2009)
- [21] 萩原誠・前田亮・赤木泰文：「二重スター・チョップセル方式のモジュラー・マルチレベル・カスケード変換器 (MMCC-DSCC) の理論解析と制御」, 電気学会論文誌 D, Vol. 131, No. 1, pp. 84–92 (2011)
- [22] 藤田英明・萩原誠・赤木泰文：「MMCC-DSCC 方式モジュラーマルチレベルコンバータのパワーフロー解析と直流コンデンサ電圧の制御」, 電気学会論文誌 D, Vol. 132, No. 6, p. 659–665 (2012)
- [23] 新村直人・赤木泰文：「三相モジュラー・マルチレベル・カスケード変換器(MMCC-DSCC)の非干渉制御」, 電気学会論文誌 D, Vol. 132, No. 11, pp. 1055–1064 (2012)
- [24] H. -J. Knaak, “Modular Multilevel Converters and HVDC/FACTS: A success story”, in *Proc. European Conference on Power Electronics and Applications (EPE)* (2011)
- [25] B. Gemmill, J. Dorn, D. Retzmann, and D. Soerangr, “Prospects of multilevel VSC technologies for power transmission”, in *Proc. IEEE Power and Energy Society Transmission and Distribution Conference & Exposition (T&D)* (2008)
- [26] B. Jacobson, P. Karlsson, G. Asplund, L. Harnefors, and T. Jonsson, “VSC-HVDC transmission with cascaded two-level converters”, in *Proc. CIGRE Symposium*, B4-110 (2010)
- [27] 新井卓郎・中沢洋介・爪長正宏：「HVDC 用 高電圧・大容量マルチレベル変換器」, 東芝レビュー, Vol. 69, No. 4, pp. 16–19 (2014)
- [28] S. Tamada, Y. Nakazawa, and S. Irokawa, “A proposal of modular multilevel converter applying three winding transformer”, *IEEE Journal of Industry Applications*, Vol. 4, No. 5, pp. 611–618 (2015)
- [29] M. Pereira, D. Retzmann, J. Lottes, M. Wiesinger, and G. Wong, “SVC PLUS: An MMC STATCOM for network and grid access applications”, in *Proc. PowerTech* (2011)
- [30] 萩原誠・前田亮・赤木泰文：「モジュラー・マルチレベル・カスケード変換器 (MMCC-SDBC) の STATCOM への応用—有効電力・逆相無効電力制御—」, 電気学会論文誌 D, Vol. 131, No. 12, pp. 1433–1441 (2011)
- [31] 井上重徳・マハルジャンラクスマン・朝倉淳・赤木泰文：「カスケード PWM 変換器と二次電池を使用した 6.6 kV トランスレス電力貯蔵システム—200V, 10kW, 3.6 kWh ミニモデルによる実験検証—」, 電気学会論文誌 D, Vol. 129, No. 1, pp. 67–76 (2009)
- [32] Z. Du, L. M. Tolbert, B. Ozpineci, and J. N. Chiasson, “Fundamental frequency switching strategies of a seven-level hybrid cascaded H-bridge multilevel inverter”, *IEEE Transactions on Power Electronics*, Vol. 24, No. 1, pp. 25–33 (2009)
- [33] R. Sternberger and D. Jovcic, “Analytical modeling of a square-wave-controlled cascaded multilevel STATCOM”, *IEEE Transaction on Power Delivery*, Vol. 24, No. 4, pp. 2261–2269 (2009)
- [34] K. Ilves, A. Antonopoulos, S. Norrga, and Hans-Peter Nee, “A new modulation method for the modular multilevel converter allowing fundamental switching frequency”, *IEEE Transactions on Power Electronics*, Vol. 27, No. 8, pp. 3482–3494 (2012)
- [35] 長谷川隆太・中沢洋介・玉田俊介・鈴木大地・色川彰一：「デルタ結線カスケード STATCOM への 1 パルス運転の適用」, 電気学会産業応用部門大会, pp. I233–I236 (2013)
- [36] K. Sano and M. Takasaki, “A transformerless D-STATCOM based on a multivoltage cascade converter requiring no DC sources”, *IEEE Transactions on Power Electronics*, Vol. 27, No. 6, pp. 2783–2795 (2012)

- [37] I. Jahn, C. D. Townsend, and H. Z. DeParra, “Model-predictive modulation strategy for a hybrid Si-SiC cascaded H-bridge multi-level converter”, in *Proc. European Conference on Power Electronics and Applications (EPE)* (2016)
- [38] S. Huang, R. Teodorescu, and L. Mathe, “Analysis of communication based distributed control of MMC for HVDC”, in *Proc. European Conference on Power Electronics and Applications (EPE)* (2013)
- [39] 吉田知明・藤川拓也・犬伏恵滋・三浦友史・伊瀬敏史：「階層化された制御系をもつモジュラーマトリックスコンバータの非同期・遅延動作の影響評価」, 電気学会全国大会, No. 4-112, pp. 187-188 (2015)
- [40] 吉田知明・三浦卓磨・藤川拓也・三浦友史・伊瀬敏史：「階層的な制御構成を持つモジュラー・マルチレベルマトリックスコンバータのセル故障時の動作」, 電気学会半導体電力変換モータドライブ合同研究会, SPC-16-28, pp. 55-60 (2016)
- [41] B. Fan, Y. Li, K. Wang, Z. Zheng, and L. Xu, “Hierarchical system design and control of a MMC-based power electronic transformer”, *IEEE Transactions on Industrial Informatics*, Vol. 13, No. 1, pp. 238-247 (2016)
- [42] L. Mathe, P. D. Burlacu, and R. Teodorescu, “Control of a modular multilevel converter with reduced internal data exchange,” *IEEE Transactions on Industrial Informatics*, Vol. 13, No. 1, pp. 248-257 (2017)
- [43] H. Geng, S. Li, C. Zhang, G. Yang, L. Dong, and B. Nahid-Mobarakkeh, “Hybrid communication topology and protocol for distributed-controlled cascaded H-bridge multilevel STATCOM”, *IEEE Transactions on Industry Applications*, Vol. 53, No. 1, pp. 576-584 (2017)
- [44] S. Yang, Y. Tang, and P. Wang, “Distributed control for a modular multilevel converter”, *IEEE Transactions on Power Electronics*, Vol. 33, No. 7, pp. 5578-5591 (2018)
- [45] M. Saeedifard and R. Iravani, “Dynamic performance of a modular multilevel back-to-back HVDC system”, *IEEE Transactions on Power Delivery*, Vol. 25, No. 4, pp. 2903-2912 (2010)
- [46] U. N. Gnanarathna, A. M. Gole, and R. P. Jayasinghe, “Efficient modeling of modular multilevel HVDC converters (MMC) on electromagnetic transient simulation programs”, *IEEE Transactions on Power Delivery*, Vol. 26, No. 1, pp. 316-324 (2011)
- [47] 菊間俊明：「フルブリッジ MMC を用いた直流送電システムのための交流過電圧発生時の運転継続制御」, 電気学会電力・エネルギー部門大会, No. 120 (2015)
- [48] 佐野憲一郎・菊間俊明・宜保直樹・中島達人・菅野純弥：「自励変換器による他励変換器の高調波不安定現象の抑制手法」, 電気学会電力・エネルギー部門大会, No. 260, pp. 6-1-7-6-1-8 (2016)
- [49] 菊間俊明・佐野憲一郎：「モジュラーマルチレベル変換器を含む系統の単独系統移行解析」, 電気学会電力・エネルギー部門大会, No. 152, pp. 3-3-21-3-3-22 (2017)
- [50] *IEEE Recommended Practices and Requirements for Harmonic Control in Electrical Power Systems*, IEEE Std-519-1992 (1992)
- [51] 経済産業省：「高圧又は特別高圧で受電する需要家の高調波抑制対策ガイドライン」 (2014)
- [52] 関口慧・新田将大・萩原誠・赤木泰文：「位相シフト PWM を適用したモジュラー・マルチレベル・カスケード変換器 (MMCC-DSCC) の三角波キャリア周波数の検討」, 電気学会論文誌 D, Vol. 134, No. 10, pp. 890-903 (2014)
- [53] 萩原誠・赤木泰文：「モジュラー・マルチレベル変換器(MMC)の分類と比較」, 電気学会産業応用部門大会, pp. I243-I246 (2008)
- [54] H. Akagi, “Classification, terminology, and application of the modular multilevel cascade converter (MMCC)”, *IEEE Transactions on Power Electronics*, Vol. 26, No. 11, pp. 3119-3130 (2011)
- [55] 山口正一・小野省司・羽田野渉：「エネルギー利用率の向上に寄与する半導体デバイスの歩みと今後の動向」, 東芝レビュー, Vol. 72, No. 5, pp. 2-7 (2017)
- [56] D. Pefitsis, G. Tolstoy, A. Antonopoulos, J. Rabkowski, J.-K. Lim, M. Bakowski, L. Ångquist, and H.-P. Nee,

- “High-power modular multilevel converters with SiC JFETs”, in *Proc. IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 2148–2155 (2010)
- [57] Y. Ishii and T. Jimichi, “Verification of SiC based modular multilevel cascade converter (MMCC) for HVDC transmission systems”, in *Proc. International Power Electronics Conference (IPEC)*, pp. 1834–1839 (2018)
- [58] R. Marquardt, “Modular multilevel converters: state of the art and future progress”, *IEEE Power Electronics Magazine*, Vol. 5, No. 4, pp. 24–31 (2018)
- [59] 佐藤文彦・唯野幸雄・高杉和郎・久保博文：「新制御自励式 SVC の適用による系統安定化技術の開発」, 電気学会電力・エネルギー部門大会, No. 123, pp. 405–406 (2000)
- [60] 吉井剣・井上重徳・赤木泰文：「6.6 kV トランスレス・カスケード PWM STATCOM—三相 200V 10 kVA ミニモデルによる動作検証—」, 電気学会論文誌 D, Vol. 127, No. 8, pp. 781–788 (2007)
- [61] H. Akagi, S. Inoue, and T. Yoshii, “Control and performance of a transformerless cascade PWM STATCOM with star configuration”, *IEEE Transactions on Industry Applications*, Vol. 43, No. 4, pp. 1041–1049 (2007)
- [62] 菊間俊明・石川忠夫・高崎昌洋：「逆相補償を可能とする Y 結線モジュラーマルチレベル変換器のコンデンサ電圧制御法」, 電気学会産業応用部門大会, No. 1-104, pp. 485–490 (2011)
- [63] G. Prytz, “A performance analysis of EtherCAT and PROFINET IRT”, in *Proc. IEEE International Conference on Emerging Technologies and Factory Automation (ETFA)*, No. 1396, pp. 408–415 (2008)
- [64] 児山裕史・新井卓郎・長谷川隆太・鈴木大地：「デルタ結線モジュラー・マルチレベル STATCOM の 1 パルス制御」, 電気学会論文誌 D, Vol. 137, No. 3, pp. 246–255 (2017)
- [65] D. Siemaszko, “Fast sorting method for balancing capacitor voltages in modular multilevel converters”, *IEEE Transactions on Power Electronics*, Vol. 30, No. 1, pp. 463–470 (2015)
- [66] 児山裕史・長谷川隆太・玉田俊介・新井卓郎・中沢洋介・鈴木大地：「三巻線変圧器を適用したデルタ結線カスケード STATCOM」, 電気学会電力技術/電力系統技術/半導体電力変換合同研究会, PE-15-056, PSE-15-078, SPC-15-109 (2015)
- [67] M. Hagiwara, R. Maeda, and H. Akagi, “Negative-sequence reactive-power control by a PWM STATCOM based on a modular multilevel cascade converter (MMCC-SDBC)”, *IEEE Transactions on Industry Applications*, Vol. 48, No. 2, pp. 720–729 (2012)
- [68] F. Z. Peng and J. Wang, “A universal STATCOM with delta-connected cascade multilevel inverter”, in *Proc. Power Electronics Specialists Conference (PESC)*, Vol. 5, pp. 3529–3533 (2004)
- [69] R. E. Betz, T. Summers, and T. Furney, “Symmetry compensation using a H-bridge multilevel STATCOM with zero sequence injection”, in *IEEE Industry Applications Society Annual Meeting*, Vol. 4, pp. 1724–1731 (2006)
- [70] S. Du, J. Liu, J. Lin, and Y. He, “Control strategy study of STATCOM based on cascaded PWM H-bridge converter with delta configuration”, in *Power Electronics and Motion Control Conference (IPEMC)*, Vol. 1, pp. 345–350 (2012)
- [71] V. Blasko and V. Kaura, “A new mathematical model and control of a three-phase AC–DC voltage source converter”, *IEEE Transactions on Power Electronics*, Vol. 12, No. 1, pp. 116–123 (1997)
- [72] Y. Koyama, T. Arai, R. Hasegawa, and D. Suzuki, “One-pulse control for modular multilevel converter based STATCOM,” in *Proc. European Conference on Power Electronics and Applications (EPE)*, (2016)
- [73] 児山裕史・新井卓郎・長谷川隆太・鈴木大地：「カスケード STATCOM の 1 パルス制御におけるコンデンサ電圧リップル補償制御」, 電気学会全国大会, No. 4-060, pp. 99–100 (2016)
- [74] 児山裕史・新井卓郎・長谷川隆太・鈴木大地：「デルタ結線カスケード STATCOM の 1 パルス制御実証」, 電気学会全国大会, No. 4-054, pp. 87–88 (2014)
- [75] H. Fujita, S. Tominaga, and H. Akagi, “Analysis and design of a DC voltage-controlled static VAr compensator using quad-series voltage-source inverters”, *IEEE Transactions on Industry Applications*, Vol. 32, No. 4, pp. 970–977 (1996)

参考文献

- [76] 児山裕史・新井卓郎・長谷川隆太・鈴木大地：「1パルス制御カスケード STATCOM の系統事故追従性検証」，電気学会全国大会，No. 4-122，pp. 206–207 (2015)
- [77] T. Masuda, Y. Saito, T. Kumazawa, T. Hatayama, and S. Harada, “0.63 m Ω cm² / 1170 V 4H-SiC super junction v-groove trench MOSFET”, in *Proc. IEEE International Electron Devices Meeting (IEDM)*, No. 8.1 (2018)
- [78] S. Harada, Y. Kobayashi, S. Kyogoku, T. Morimoto, T. Tanaka, M. Takei, and H. Okumura, “First demonstration of dynamic characteristics for SiC superjunction MOSFET realized using multi-epitaxial growth method”, in *Proc. IEEE International Electron Devices Meeting (IEDM)*, No. 8.2 (2018)
- [79] Y. Koyama, Y. Nakazawa, H. Mochikawa, A. Kuzumaki, K. Sano, and N. Okada, “A transformerless 6.6-kV STATCOM based on hybrid cascade multilevel converter using SiC devices”, *IEEE Transactions on Power Electronics*, Vol. 33, No. 9, pp. 7411–7423 (2018)
- [80] A. Cetin and M. Ermis, “VSC-based D-STATCOM with selective harmonic elimination”, *IEEE Transactions on Industry Applications*, Vol. 45, No. 3, pp. 1000–1015 (2009)
- [81] A. Woyte, V. V. Thong, R. Belmans, and J. Nijs, “Voltage fluctuations on distribution level introduced by photovoltaic systems”, *IEEE Transactions on Energy Conversion*, Vol. 21, No. 1, pp. 202–209 (2006)
- [82] C. Hochgraf, R. Lasseter, D. Divan, and T.A. Lipo, “Comparison of multilevel inverters for static VAR compensation”, in *Proc. IEEE Industry Applications Society Annual Meeting*, Vol. 2, pp. 921–928 (1994)
- [83] K. Fujii, U. Schwarzer, R.W. De Doncker, “Comparison of hard-switched multi-level inverter topologies for STATCOM by loss-implemented simulation and cost estimation”, in *Proc. Power Electronics Specialists Conference (PESC)*, pp. 340–346 (2005)
- [84] G. P. Adam, O. Anaya-Lara, G. Burt, and J. McDonald, “Transformerless STATCOM based on a five-level modular multilevel converter”, in *Proc. European Conference on Power Electronics and Applications (EPE)* (2009)
- [85] J. H. Vivas, G. Bergna, and M. Boyra, “Comparison of multilevel converter-based STATCOMs”, in *Proc. European Conference on Power Electronics and Applications (EPE)* (2011)
- [86] A. Rufer, M. Veenstra, and K. Gopakumar, “Asymmetric multilevel converter for high resolution voltage phasor generation”, in *Proc. European Conference on Power Electronics and Applications (EPE)* (1999)
- [87] J. W. Bates, “Low frequency sine wave generator circuit”, U.S. Patent 3 579 081, Patented May 18, 1971, Filed Nov. 12, 1968
- [88] J. W. Bates, “Sequence amplitude modulated inverters”, in *Proc. Power Electronics Specialists Conference (PESC)*, pp. 222–229 (1973)
- [89] O. M. Mueller and J. N. Park, “Quasi-linear IGBT inverter topologies”, in *Proc. IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 253–259 (1994)
- [90] M. D. Manjrekar and T. A. Lipo, “A hybrid multilevel inverter topology for drive applications”, in *Proc. IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 523–529 (1998)
- [91] M. D. Manjrekar, P. K. Steimer, and T. A. Lipo, “Hybrid multilevel power conversion system: A competitive solution for high-power applications”, *IEEE Transactions on Industry Applications*, Vol. 36, No. 3, pp. 834–831 (2000)
- [92] C. Rech and J. R. Pinheiro, “Impact of hybrid multilevel modulation strategies on input and output harmonic performances”, *IEEE Transactions on Power Electronics*, Vol. 22, No. 3, pp. 967–977 (2007)
- [93] M. Treu, R. Rupp, P. Blaschitz, K. Rüschemschmidt, Th. Sekinger, P. Friedrichs, R. Elpelt, and D. Peters, “Strategic considerations for unipolar SiC switch options: JFET vs. MOSFET”, in *Proc. IEEE Industry Applications Society Annual Meeting*, pp. 324–330 (2007)
- [94] C. DiMarino, R. Burgos, and D. Boroyevich, “High-temperature silicon carbide: Characterization of state-of-the-art silicon carbide power transistors”, *IEEE Industrial Electronics Magazine*, Vol. 9, No. 3, pp. 19–30

(2015)

- [95] D. C. Sheridan, A. Ritenour, V. Bondarenko, P. Burks, and J. B. Casady, “Record 2.8mΩ-cm² 1.9kV enhancement-mode SiC VJFETs”, in *Proc. International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, pp. 335–338 (2009)
- [96] M. S. Mazzola and R. Kelley, “Application of a normally OFF silicon carbide power JFET in a Photovoltaic Inverter”, in *Proc. IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 649–652 (2009)
- [97] 葛巻淳彦・餅川宏・中沢洋介・武田秀雄・村尾武・高崎昌洋・石川忠夫・菊間俊明「ノーマリオフ型 SiC-JFET を適用した PWM インバータの性能実証」, 電気学会産業応用部門大会, No. 1-59, pp. I381–I382 (2010)
- [98] S. Clemente and B. Pelly, “An algorithm for the selection of the optimum power device for the electrical vehicle propulsion”, in *Proc. IEEE Workshop Power Electronics in Transportation*, pp. 129–136 (1992)
- [99] F. Blaabjerg, U. Jaeger, and S. Munk-Nielsen, “Power losses in PWM-VSI inverter using NPT or PT IGBT devices”, *IEEE Transactions on Power Electronics*, Vol. 10, No. 3, pp. 358–367 (1995)
- [100] U. Drofenik and J. W. Kolar, “A general scheme for calculating switching- and conduction-losses of power semiconductors in numerical circuit simulations of power electronic systems”, in *Proc. International Power Electronics Conference (IPEC)*, pp. 1604–1610 (2005)
- [101] 東芝産業機器システム：「東芝トップラナー油入変圧器」, Available: https://www.toshiba-tips.co.jp/download/catalog/trs/toprunner2014_oil_S.pdf. Accessed Nov. 18, 2018
- [102] L. Maharjan, S. Inoue, and H. Akagi, “A transformerless energy storage system based on a cascade multilevel PWM converter with star configuration”, *IEEE Transactions on Industry Applications*, Vol. 44, No. 5, pp. 1621–1630 (2008)
- [103] L. Maharjan, S. Inoue, H. Akagi, and J. Asakura, “State-of-charge (SOC)-balancing control of a battery energy storage system based on a cascade PWM converter”, *IEEE Transactions on Power Electronics*, Vol. 24, No. 6, pp. 1628–1636 (2009)
- [104] 児山裕史・中沢洋介・餅川宏・葛巻淳彦・田村裕治・渡邊裕治・高崎昌洋・岡田有功・佐野憲一朗：「SiC 適用 6.6kV トランスレス STATCOM の動作検証」, 電気学会全国大会, No. 4-044, p. 77 (2013)
- [105] 児山裕史・中沢洋介・餅川宏・葛巻淳彦・高崎昌洋・岡田有功・佐野憲一朗：「SiC 適用 6.6kV トランスレス STATCOM の制御法とフィールド実証」, 電気学会産業応用部門大会, No. 1-93, pp. 381–384 (2013)
- [106] Y. Koyama, Y. Nakazawa, H. Mochikawa, A. Kuzumaki, N. Okada, and K. Sano, “System fault test of SiC device applied 6.6kV transformerless D-STATCOM”, in *Proc. European Conference on Power Electronics and Applications (EPE)* (2015)
- [107] Y. Koyama and T. Isobe, “Current control of modular multilevel converters with phase-shifted PWM using a daisy-chained distributed control”, *IEEE Transactions on Electrical and Electronic Engineering*, Vol. 14, No. 7 (2019) (in press)
- [108] S. Y. Lee, M. H. Woo, J. K. Kim, and S. P. Ryu, “A novel method to improve output voltage quality of grid-connected cascaded H-bridge multilevel converter with phase-shifted PWM and serial bus communication”, in *Proc. IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 4513–4518 (2012)
- [109] M. A. Parker, L. Ran, and S. J. Finney, “Distributed control of a fault-tolerant modular multilevel inverter for direct-drive wind turbine grid interfacing”, *IEEE Transactions on Industrial Electronics*, Vol. 60, No. 2, pp. 509–522 (2013)
- [110] P. D. Burlacu, L. Mathe, and R. Teodorescu, “Synchronization of the distributed PWM carrier waves for modular multilevel converters”, in *Proc. International Conference on Optimization of Electrical and Electronic Equipment (OPTIM)*, pp. 553–559 (2014)

- [111] C. L. Toh and L. E. Norum, “Implementation of high speed control network with fail-safe control and communication cable redundancy in modular multilevel converter”, in *Proc. European Conference on Power Electronics and Applications (EPE)* (2013)
- [112] C. L. Toh and L. E. Norum, “Implementation of redundancy control by degrading voltage level in modular multilevel converter”, in *Proc. IEEE Conference on Energy Conversion (CENCON)*, pp. 298–303 (2014)
- [113] C. L. Toh and L. E. Norum, “Synchronization mechanisms for internal monitoring and control in power electronics converter”, *Journal of Electrical Engineering*, Vol. 14, No. 3 (2014)
- [114] C. L. Toh and L. E. Norum, “FPGA implementation of slave communication controller for modular multilevel converter”, in *Proc. IEEE Conference on Energy Conversion (CENCON)*, pp. 486–491 (2015)
- [115] A. The, C. Bruening, and S. Dieckerhoff, “CAN-based distributed control of a MMC optimized for low number of submodules”, in *Proc. IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 1590–1594 (2015)
- [116] 山本健司・高橋久：「HEV, EV用インバータシステムのシリアル通信化ゲートドライブの一手法」, 電気学会産業応用部門大会, pp. I441–I446 (2010)
- [117] 児山裕史・磯部高範：「モジュラー・マルチレベル STATCOM の分散制御 —通信遅延の段間ばらつきの影響の理論的検討—」, 電気学会全国大会, No. 4-159, pp. 276–277 (2017)
- [118] E. Bassi, F. Benzi, L. Luseti, and G. S. Buja, “Communication protocols for electrical drives”, in *Proc. Annual Conference on IEEE Industrial Electronics (IECON)*, Vol. 1, pp. 706–711 (1995)
- [119] I. Celanovic, I. Milosavljevic, D. Boroyevich, R. Cooley, and J. Guo, “A new distributed digital controller for the next generation of power electronics building blocks”, in *Proc. IEEE Applied Power Electronics Conference and Exposition (APEC)*, Vol. 2, pp. 889–894 (2000)
- [120] I. Celanovic, N. Celanovic, I. Milosavljevic, D. Boroyevich, and R. Cooley, “A new control architecture for future distributed power electronics systems”, in *Proc. Power Electronics Specialists Conference (PESC)*, Vol. 1, pp. 113–118 (2000)
- [121] B. P. McGrath, D. G. Holmes, and W. Y. Kong, “A decentralized controller architecture for a cascaded H-bridge multilevel converter,” *IEEE Transactions on Industrial Electronics*, Vol. 61, No. 3, pp. 1169–1178 (2014)
- [122] P. H. Wu, Y. C. Su, and P. T. Cheng, “A distributed control technique for the multilevel cascaded converter”, in *Proc. IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 693–700 (2017)
- [123] 柴野勇士・太田ジョン豊・新村直人・赤木 泰文：「モジュラー・マルチレベル・カスケード変換器 (MMCC-SSBC) を用いた位相シフト PWM STATCOM —電流制御系の検討—」, 電気学会論文誌 D, Vol. 133, No. 9, pp. 928–935 (2013)
- [124] CAN in Automation (CiA), Available: <https://www.can-cia.org>, Accessed Jan. 8, 2019
- [125] NPO 法人 日本プロフィバス協会：「”PROFIBUS/PROFINET”とは」, Available: http://www.profibus.jp/what_is/profinet2.htm. Accessed Jan. 8, 2019
- [126] “EtherCAT” Technology Group, Available: <https://www.ethercat.org/jp.htm>, Accessed Jan. 8, 2019
- [127] P. Jintakosonwit・藤田英明・赤木泰文：「配電系統用アクティブフィルタの全デジタル制御システムとその留意点」, 電気学会論文誌 D, Vol. 121, No. 3, pp. 316–324 (2001)
- [128] 藤田英明・山下博史・赤木泰文：「デジタル電流制御方式とその特性」, パワーエレクトロニクス学会誌, Vol. 29, No. 1, pp. 93–100 (2004)
- [129] 高井宏幸・安居院猛：「代表根指定法によるサンプル値制御系の設計法」, 計測と制御, Vol. 1, No. 9, pp. 679–685 (1962)

研究業績

本論文に関する論文・発表・その他業績

学術論文誌（査読有り）

- (1) 兎山裕史・新井卓郎・長谷川隆太・鈴木大地：「デルタ結線モジュラー・マルチレベル STATCOM の 1 パルス制御」, 電気学会論文誌 D, Vol. 137, No. 3, pp. 246–255 (2017)
- (2) Yushi Koyama, Yosuke Nakazawa, Hiroshi Mochikawa, Atsuhiko Kuzumaki, Kenichiro Sano, and Naotaka Okada, “A transformerless 6.6-kV STATCOM based on hybrid cascade multilevel converter using SiC devices”, *IEEE Transactions on Power Electronics*, Vol. 33, No. 9, pp. 7411–7423 (2018)
- (3) Yushi Koyama and Takanori Isobe, “Current control of modular multilevel converters with phase-shifted PWM using a daisy-chained distributed control”, *IEEJ Transactions on Electrical and Electronic Engineering*, Vol. 14, No. 7 (2019) (in press)

口頭発表（国内会議・査読無し）

- (1) 兎山裕史・中沢洋介・餅川宏・葛巻淳彦・田村裕治・渡邊裕治・高崎昌洋・岡田有功・佐野憲一朗：「SiC 適用 6.6kV トランスレス STATCOM の動作検証」, 電気学会全国大会, No. 4-044, p. 77 (2013)
- (2) 兎山裕史・中沢洋介・餅川宏・葛巻淳彦・高崎昌洋・岡田有功・佐野憲一朗：「SiC 適用 6.6kV トランスレス STATCOM の制御法とフィールド実証」, 電気学会産業応用部門大会, No. 1-93, pp. I381–I384 (2013)
- (3) 兎山裕史・新井卓郎・長谷川隆太・鈴木大地：「デルタ結線カスケード STATCOM の 1 パルス制御実証」, 電気学会全国大会, No. 4-054, pp. 87–88 (2014)
- (4) 兎山裕史・長谷川隆太・玉田俊介・新井卓郎・中沢洋介・鈴木大地：「三巻線変圧器を適用したデルタ結線カスケード STATCOM」, 電気学会電力技術/電力系統技術/半導体電力変換合同研究会, SPC-15-109, pp. 157–161 (2015)
- (5) 兎山裕史・新井卓郎・長谷川隆太・鈴木大地：「1 パルス制御カスケード STATCOM の系統事故追従性検証」, 電気学会全国大会, No. 4-122, pp. 206–207 (2015)
- (6) 兎山裕史・新井卓郎・長谷川隆太・鈴木大地：「カスケード STATCOM の 1 パルス制御におけるコンデンサ電圧リップル補償制御」, 電気学会全国大会, No. 4-060, pp. 99–100 (2016)
- (7) 兎山裕史・磯部高範：「モジュラー・マルチレベル STATCOM の分散制御—通信遅延の段間ばらつきの影響の理論的検討—」, 電気学会全国大会, No. 4-159, pp. 276–277 (2017)

口頭発表（国際会議・査読有り）

- (1) Yushi Koyama, Yosuke Nakazawa, Hiroshi Mochikawa, Atsuhiko Kuzumaki, Naotaka Okada, and Kenichiro Sano, “System fault test of SiC device applied 6.6kV transformerless D-STATCOM”, in *Proc. European Conference on Power Electronics and Applications (EPE'15 ECCE-Europe)*, Geneva, Switzerland, pp. 1–10 (2015)
- (2) Yushi Koyama, Takuro Arai, Ryuta Hasegawa, and Daichi Suzuki, “One-pulse control for modular multilevel converter based STATCOM”, in *Proc. European Conference on Power Electronics and Applications (EPE'16 ECCE-Europe)*, Karlsruhe, Germany, pp. 1–10 (2016)

受賞

- (1) 2014 年 電気学会全国大会 優秀論文発表賞
尾山裕史・新井卓郎・長谷川隆太・鈴木大地：「デルタ結線カスケード STATCOM の 1 パルス制御実証」，電気学会全国大会, No. 4-054, pp. 87-88 (2014)
- (2) 2015 年 電気学会 電力・エネルギー部門 電力技術委員会 奨励賞
尾山裕史・長谷川隆太・玉田俊介・新井卓郎・中沢洋介・鈴木大地：「三巻線変圧器を適用したデルタ結線カスケード STATCOM」，電気学会電力技術/電力系統技術/半導体電力変換合同研究会, SPC-15-109, pp. 157-161 (2015)

特許

登録特許: 6 件

公開特許: 5 件

謝辞

本研究の遂行ならびに本論文の執筆にあたり、指導教員として終始懇切な御指導と御鞭撻を賜りました筑波大学 数理物質系 磯部 高範 准教授に甚大なる感謝の意を表します。また、研究室での活動や審査において数々の御指導・御支援を頂きました筑波大学 数理物質系 只野 博 教授、岩室 憲幸 教授に深謝の意を表します。審査にあたり多大な御指導を頂きました筑波大学 数理物質系 山口 浩 教授、東京工業大学 萩原 誠 准教授に厚く御礼申し上げます。

筑波大学 数理物質系 嶋田 隆一 特命教授（東京工業大学 名誉教授）には、修士学生として先生の研究室に在籍していた時から、研究者としての熱意・心構え・発想のあり方を教えて頂きました。心より御礼申し上げます。

博士学生として共に研究・学会活動・論文執筆に励み、研究室では多くの御支援を頂いた筑波大学 数理物質科学研究科 博士後期課程 飯嶋 竜司 氏に心より感謝いたします。

東芝インフラシステムズ 中沢 洋介 技師長、森川 竜一 前部長、大部 利春 部長、首藤 正志 グループ長には、組織長として本研究と博士課程就学に対する多大な御支援を頂きました。大学の博士課程へ就学する決断ができたのも、ひとえに理解と協力のある職場があっただけでこそでした。東芝インフラシステムズ 中沢 洋介 技師長、餅川 宏 技監、水谷 麻美 主幹には本研究において多くの御指導・御助言を頂きました。東芝インフラシステムズ 長谷川 隆太 氏、玉田 俊介 氏、松本 脩平 氏、真木 康次 氏、新井 卓郎 氏、関口 慧 氏、金子 恭大 氏とは日頃から活発に技術的な議論・相談を重ね、本研究においても多大な御助言を頂きました。皆様のおかげで成長することができたと感じています。心より御礼申し上げます。

最後に、いつも生活を支え応援してくれた家族に心から感謝の意を表します。