

氏 名	安 俊傑
学 位 の 種 類	博 士 (工 学)
学 位 記 番 号	博 甲 第 8480 号
学 位 授 与 年 月 日	平 成 30 年 3 月 23 日
学 位 授 与 の 要 件	学 位 規 則 第 4 条 第 1 項 該 当
審 査 研 究 科	数 理 物 質 科 学 研 究 科
学 位 論 文 題 目	Study on Robustness Issues and Related Mechanisms for Silicon Carbide Power MOSFETs (シリコンカーバイドパワーMOSFETs の破壊耐量ならびにそのメカニズムに関する研究)

主 査	筑波大学教授	博士(工学)	岩室 憲幸
副 査	筑波大学教授	工学博士	只野 博
副 査	筑波大学准教授	博士(工学)	蓮沼 隆
副 査	筑波大学准教授	博士(工学)	矢野 裕司
副 査	産総研	博士(工学)	原田 信介

論 文 の 要 旨

審査対象論文は、次世代パワーデバイスとして期待されている SiC-MOSFET の破壊耐量に注目し、その破壊メカニズムの解明ならびにその向上策を、実測と解析式ならびにデバイスシミュレーション技術を駆使して明らかにしている。特に、世界で初めて SiC p チャンネル MOSFET を設計・試作し、その破壊耐量特性の詳細を評価・解析した。その結果、実用に耐え得る破壊耐量を有することと n チャンネル MOSFET との破壊メカニズムの違いを明確に示している。

シリコンカーバイド(SiC)は、そのエネルギーバンドギャップが大きいこと、さらには熱伝導性が高いという特長により高耐圧で低オン抵抗、さらには高温動作が可能であることからシリコンに替わる新たなパワーデバイス用半導体材料として大きな注目を浴びている。特に SiC-MOSFET は高速スイッチング特性も実現可能なことから、パワーエレクトロニクス(パワエレ)装置の性能を一層向上させるための切り札として現在世界で盛んに研究されている。SiC-MOSFET は現在主流のシリコン IGBT に対し、その低オン抵抗特性と高速スイッチング特性が優れていることから、特性向上に向けて多くの先行研究がなされている。しかしながら、重要な性能指標である素子破壊耐量の研究については、従来断片的な報告にとどまっていた。素子破壊耐量は、半導体デバイス動作時の信頼性に大いにかかわる重要特性であることは言うまでもない。本論文では、SiC-MOSFET が実際のパワエレ装置に搭載された場合を想定し、最も厳しい動作条件である以下の二つ、1)スイッチング動作時の高電圧印加条件下でアバランシェ増倍が発生した場合(UIS 破壊耐量)と2)モーター負荷が短絡した場合(負荷短絡耐量)について、実測とデバイスシミュレーション、さらには熱解析式を用いて、広く俯瞰的に解析を行っている。

イントロダクションならびに第1章にて SiC の材料物性や SiC パワーデバイスの特徴を述べ、SiC-MOSFET の静的ならびに動的動作について解説している。また SiC-MOSFET の UIS 破壊耐量ならびに負荷短絡耐量解析の先行研究について具体的な例を挙げて解説し、現在までに明らかになった点や未解明な点をまとめ、本論文の位置づけを明確にしている。第2章では素子破壊解析に用いたデバイスシミュレーション内の半導体物理モデルについて説明し、特に SiC バルク移動度、SiC/酸化膜(SiO₂)界面の移動度、さらにはアバランシェイオン化率について、今回の解析に適用したモデルの詳細を解説している。そしてこのモデルの妥当性検証のため、SiC-MOSFET の電圧・電流特性(V_g-I_d)のシミュレーション結果と実測結果の比較を示し、両者良い一致を示していることからその妥当性を確認している。

第3章では、SiC n チャネル MOSFET の UIS 耐量ならびに負荷短絡耐量について市販 1200V クラス SiC-MOSFET を用い詳細な解析がなされている。まず UIS 耐量について、デバイスシミュレーションの結果から、素子内部温度が 1551K に達し熱暴走により寄生 npn トランジスタが動作することで大電流が流れ破壊する可能性が大きい、と述べている。しかしながら、この解析結果から求められたアバランシェ発生エネルギーと実測のその比較、さらには実測結果から得られたドレイン電圧波形の変化と熱方程式の解から、実際のデバイスでは上記寄生 npn トランジスタ動作が生じる前に表面電極のアルミが高温に達し、アルミの融点である 934K を超え、素子が破壊することを検証している。実際の破壊素子の観察結果からも素子表面のアルミ電極が溶融していることがはっきりと示されており、このことからアルミ電極の溶融が破壊原因であると結論付けた。デバイスシミュレーションはあくまで半導体内部の解析が可能であり電極金属の溶融までは解析できないことが、シミュレーションと実測結果からの導かれた破壊メカニズムの違いであると解説している。負荷短絡耐量については、前述の UIS 耐量の場合と異なり、MOSFET のゲートオン状態で高電圧が印加されるモードであるため素子破壊原因も異なるとしている。負荷短絡モードでの破壊原因として次の三つがあると説明している。まず1) 高温条件下にて SiO₂ に印加される高電界によるゲート酸化膜劣化、2) 表面の MOS チャネル部の温度が約 1750K もの高温になることによるゲートしきい値低下ならびにそれに伴うノーマリオン動作、そして3) 素子内部の温度が 1500K 以上の高温になることによる熱暴走とそれに伴う寄生 npn トランジスタ動作、である。これら三つの破壊原因は素子に印加される電圧の値に依存し、たとえば比較的低い印加電圧の場合(論文では 400V)はゲート酸化膜劣化による破壊が、そして電圧が高くなるに従いノーマリオン動作(論文では 600V)、そして熱暴走による npn トランジスタ動作による破壊(論文では 800V)へと変化していく、と検証している。そしてこれら結果を受け、負荷短絡耐量向上の手法として、ゲート酸化膜の厚膜化ならびにゲートオフ時のゲート印加電圧を増加させることが効果的であることを実測結果で検証している。

第4章では SiC p チャネル MOSFET の負荷短絡耐量について詳細に解析している。まず、n チャネル MOSFET と p チャネル MOSFET を組み合わせることで初めて実現可能な相補型インバータ回路について、そのメリットを解説し p チャネル MOSFET 開発の重要性を説明している。相補型インバータ回路はインバータの上アームと下アームが原理的に同時にオンすることが無いため、従来のインバータ回路に必要なデッドタイムの設定が不要となる。そのためより高周波動作が可能となり、特に SiC-MOSFET を搭載するインバータではそのメリットが大きいと解説している。シリコンでは p チャネル IGBT が 20 年以上前に開発が試みられたが負荷短絡耐量が極めて小さいためその開発が中止となった経緯が説明されている。そのため本研究では、材料をシリコンから SiC に変え、かつ構造を MOSFET とすることで相補

型インバータ回路を実現するべく世界で初めて SiC p チャネル MOSFET を筑波大学で独自に試作した。耐圧 730V で大きさ 3mm 角の素子を試作し、その素子を使って負荷短絡耐量を評価・解析した。その結果、SiC n チャネル MOSFET に対し破壊耐量で約 15% 高いという結果が得られた。これについて第3章と同様デバイスシミュレーション等を使って詳細に解析した結果、以下のことが明確になったとしている。SiC p チャネル MOSFET は1)ゲート酸化膜と SiC 価電子帯のエネルギーバンドオフセットが 3.05 eV と高いこと(n チャネル MOSFET 伝導帯の場合は 2.70 eV)であることによりゲート酸化膜劣化が生じにくい、2)正孔のアバランシェイオン化率が電子に比べ約 100 倍高いにもかかわらず、高電界領域と高電流導通領域がずれているためアバランシェキャリアの発生が少ない。しかしながら今回試作した SiC p チャネル MOSFET の素子のオン抵抗はコンタクトメタルプロセスが原因で n チャネル MOSFET に対し 100 倍以上高い。このことから電流導通能力がかなり小さいため今回得られた結果からは p チャネル MOSFET の方が明らかに n チャネル MOSFET よりも破壊耐量が大きいとは断言できないとしており、今後はコンタクトメタルプロセス技術を改良することで、p チャネル MOSFET のオン抵抗を n チャネル MOSFET 程度まで改善し比較検討していきたいと結論付けている。

審 査 の 要 旨

〔批評〕

SiC MOSFET の重要な性能指標のひとつである素子破壊耐量の向上は、その実用化に極めて重要である。本論文は、パワーエレクトロニクス装置で実際生じるスイッチングならびに負荷短絡という動作モードに着目し、その際の SiC-MOSFET の破壊現象に関し、電界強度ならびにそれに伴うアバランシェ増倍、発熱と温度上昇、さらには寄生トランジスタ動作という、考えられる素子動作全体を俯瞰して議論し、そのそれぞれについて詳細な解析を実施している。特に入力電圧を変化させて、その破壊メカニズムを理論と実測から明確化し、かつその向上策についても提案し実測にて検証していることは学術的な貢献だけでなく実際のパワーエレクトロニクス装置に SiC-MOSFET を搭載した際の実用化研究の意味でも大きな貢献が認められる。さらに、将来のパワエレ回路の有力な候補である相補型インバータ回路に着目し、その実現に向けて実際に耐圧 730V の SiC p チャネル MOSFET を試作、評価することで、その破壊耐量を解析・検証している。その結果は、シリコン p チャネル IGBT では全くの問題にならないほど小さかった破壊耐量が SiC p チャネル MOSFET では実用化を検討できるほど大きなレベルであることを世界で初めて示したものである。これら検証結果は将来の SiC MOSFET 実用化と普及に向けて新しくかつ有効な知見と指針を示した点において学術的な貢献が認められる。

〔最終試験結果〕

平成 30 年 2 月 14 日、数理物質科学研究科学位論文審査委員会において審査委員の全員出席のもと、著者に論文について説明を求め、関連事項につき質疑応答を行った。その結果、審査委員全員によって、合格と判定された。

〔結論〕

上記の論文審査ならびに最終試験の結果に基づき、著者は博士(工学)の学位を受けるに十分な資格を有するものと認める。