

Si 上へテロエピ薄膜ダイヤモンドデバイス研究

川島 宏幸

2017年 3月

筑波大学大学院博士課程

数理物質科学研究科博士論文

博士（工学）

Si 上へテロエピ薄膜ダイヤモンドデバイス研究

川島 宏幸

電子・物理工学専攻

目次

第1章 序論	1
1.1 はじめに	1
1.2 半導体としてのダイヤモンド	1
1.3 ダイヤモンドデバイス研究の展開	2
1.4 市場におけるダイヤモンドデバイスの問題点	4
1.5 ダイヤモンド基板の製造法	5
1.5.1 高温高压法	5
1.5.2 ホモエピタキシャル成長法	5
1.5.3 自立化ヘテロエピタキシャル成長法	6
1.5.4 ヘテロエピタキシャル薄膜法	7
1.6 各基板のメリット・デメリット	8
1.7 本研究の目的	8
参考文献	9
第2章 デバイス作製装置・技術	11
2.1 はじめに	11
2.2 マイクロ波プラズマ化学気相成長 (CVD) 装置	11
2.3 電極形成プロセス	12
2.4 電子ビーム蒸着装置	13
2.5 高速昇降温炉(RTA)	13
2.6 UV オゾンクリーナー	14
2.7 まとめ	14
参考文献	15
第3章 Si 上ヘテロエピ薄膜ダイヤモンド基板	16
3.1 基板の構造	16
3.2 基板の反り	17
3.3 結晶性評価 (X 線回折)	18
3.4 エッチピット法による評価	20
3.5 エッチピット密度の膜厚依存性	23
3.6 断面 TEM 観察	26
3.7 まとめ	30
参考文献	31
第4章 ヘテロエピ薄膜法	32
4.1 はじめに	32

4.2	ヘテロ薄膜法による疑似縦型ショットキーバリアダイオードの構造	33
4.3	ヘテロエピ薄膜法におけるデバイスプロセス	35
4.3.1	基板のカット・研磨	36
4.3.2	基板洗浄工程について	39
4.3.2.1	単結晶ダイヤモンド基板における洗浄工程	39
4.3.2.2	Si上ヘテロエピ薄膜ダイヤモンド基板における洗浄工程	41
4.3.3	ボロンドープダイヤモンド層 (p ⁺ /p) の CVD 成膜	43
4.3.4	電極形成プロセス	47
4.4	まとめ	47
	参考文献	48
第5章	ヘテロエピ薄膜法によるショットキーバリアダイオードの電気特性	49
5.1	はじめに	49
5.2	ショットキーバリアダイオードの電気特性	49
5.2.1	順方向特性	50
5.2.2	逆方向特性	52
5.3	ヘテロエピ薄膜ダイヤモンド基板の面内分布	54
5.4	未研磨基板との比較	56
5.5	自立化ヘテロダイヤモンド基板との比較	58
	参考文献	60
第6章	今後の展望	61
6.1	はじめに	61
6.2	大面積電極の適用	61
6.3	縦型薄膜デバイスの作製	62
第7章	結論	63
	謝辞	64

第1章 序論

1.1 はじめに

20世紀において、シリコン (Si) を代表とする半導体デバイスが急激な発展を遂げ、我々の生活環境を大きく変えた。今まで膨大な電力、スペースを必要としていた数々の電子機器について、半導体デバイス研究の進歩が原動力となり、省エネルギー化・微細化・多機能化が飛躍的に進んだ。特にスマートフォンなどの情報端末機器においては、多機能かつ長時間の蓄電性能を維持しながらも手のひらサイズにまで至り、価格の面でも優れており、世界的な市場にも大きく普及するまでに至っている。

半導体デバイス研究、特にパワーデバイス分野では、半導体材料はバンドギャップの大きい材料へと変化していった。バンドギャップの大きな材質ほど、耐圧、熱耐性に優れるため、デバイスの動作可能となる環境の拡大、冷却機構の排除など、パワーデバイスとして活用の幅、省エネルギー化へと大きな効果が期待されている。ただし、半導体デバイスの普及にあたり、基板品質や製造コストの問題は非常に重大である。既に研究の進んでいる炭化ケイ素 (SiC) や窒化ガリウム (GaN) が一般市場になかなか普及するに至らないのは、デバイス単価の高さと歩留まりの問題が大きく関与している。この問題を解決するにあたり、大口径な基板の作製しやすいシリコン等の他材料を下地とし、その上に SiC や GaN を成膜する、ヘテロエピタキシャル成長法が挙げられ、今日でも研究が続いている。

究極のワイドバンドギャップ半導体と称されるダイヤモンドでは、現在、SiC や GaN と同じような問題に直面している。ダイヤモンドの場合、更にサイズや製造コストの問題が厳しく、実用化への大きなボトルネックとなっている。

本論文ではダイヤモンドのもつサイズの制限、製造コストのボトルネック解消に向けて、ヘテロダイヤモンド基板の新しい活用法を提案するとともに、その手法により作製されたデバイスの電気特性から、ヘテロダイヤモンド基板の有用性について調べた。

1.2 半導体としてのダイヤモンド

ワイドバンドギャップ半導体として、SiC、GaN が研究されているが、さらに上回る材質としてダイヤモンドが挙げられる。ダイヤモンドは炭素原子のみより構成される材質であり、結晶自体が他の材質よりも密なものである。それゆえ、耐久性、熱伝導性、結晶性に優れており、表 1.1 に示される通り、Si、SiC、GaN と比較してもはるかに優れた物性値を持っている^[1-3]。また、ダイヤモンドには高濃度ドーピングによる低抵抗化、高い電気陰性度、長いスピン緩和時間、誘電率が他材料の半分といった、他の半導体材料にはない特有な性質がある。ダイヤモンド半導体研究としては、これらの高い物性と特有な性質を引き出すようなダイヤモンドデバイスを実現することが、現状の課題となる。

表 1.1 各材料の物性値の比較

	バンドギャップ (eV)	絶縁耐圧 (MV/cm)	熱伝導率 (W/cm ² ·K)	電力性能指数 (V ² /cm ² ·sec)	結晶性	資源節約	ドーピング準位 (meV, n-, p-)
Si	1.12	0.3	1.5	1	◎	◎	45(P), 45(B)
SiC	3.26	4	5	670	多型	◎	70(N), 200(Al)
GaN	3.39	2	1.5	140	○	×	25(Si), 150(Mg)
ダイヤモンド	5.47	> 10	> 20	24000	◎	◎	570(P), 360(B)

1.3 ダイヤモンドデバイス研究の展開

ダイヤモンド半導体として優れた物性・特有な性質を実際にデバイスとして引き出すため、ダイヤモンドデバイス研究が進められてきた。半導体デバイスとして応用するためには、p 型、n 型の不純物ダイヤモンド層の成膜が重要であるが、当初はn型ダイヤモンド層の作製が難しいとされてきた。しかし、1997 年に小泉らがリンを材料ガスに用いることによって、(111)面ダイヤモンド基板上へのマイクロ波プラズマ CVD 成長法による n 型ダイヤモンドを実現した^[4]。更に、2005 年には加藤らによって、(001)面上への n 型ダイヤモンドのマイクロ波プラズマ CVD 成膜に成功した^[5]。p 型であるボロンドープダイヤモンドと同様に、面方位の制限なく n 型ダイヤモンドの成膜が可能となり、ダイヤモンドデバイス研究が加速した。

ダイヤモンドデバイス研究が進み、特有な性質を応用したデバイスが実現されるようになってきた^[6-9]。図 1.1 が研究されてきたダイヤモンドデバイスの一例である。図 1.1(a)はホッピング伝導による不純物ダイヤモンド層の低抵抗化を利用した pin ダイオードである。ダイヤモンドはドーパントのエネルギレベルの深さゆえ電子や正孔が励起せず、室温では高抵抗となることがデバイス化においてネックであった。だが、不純物を 10²⁰ cm⁻³ 程度の高濃度にドーピングすることにより、バンド伝導からホッピング伝導へと移行するため、低抵抗化が実現できる。ホッピング伝導特性を活かし、現在では pin ダイオード以外にも様々なダイヤモンドデバイスが研究されている。

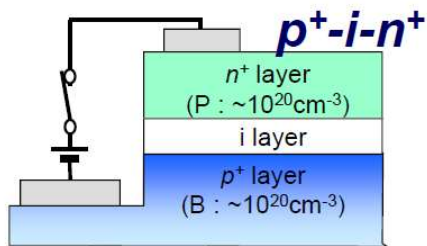
図 1.1(b)は水素終端ダイヤモンドを利用した電子放出 pin ダイオードである。この pin ダイオードは真空中で順方向に電流を流すことにより、このダイオードの表面から電子が放出される。これは p 型ダイヤモンド表面を水素終端化することによって、負の電子親和力を持つ特色を利用している。真空下での電子放出を利用することにより、図 1.1(b)の pin ダイオードは 10kV もの超高耐圧を持つ真空スイッチとしての動作が実現している。

図 1.1(c)は、NV 中心を利用した単一光子放出デバイスである。NV 中心はダイヤモンド中の窒素不純物と炭素空孔との複合体により形成される点欠陥である。この NV 中心に電流を注入することによって、単一光子を放出させることができる。NV 中心の応用法として単一光子による、暗号性の高い情報通信への応用が期待できる。また、その他にも室温量子コンピューターや磁気センサー、温度センサーにも応用でき、実用化に向け現在研究が盛んに行われている分野でもある。

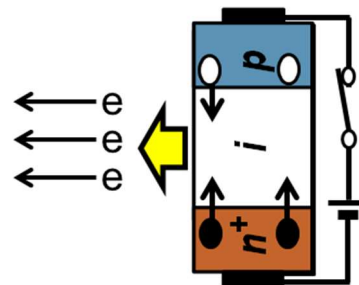
図 1.1(d)は励起子発光による深紫外 LED である。ダイヤモンドの比誘電率は 5.7 と他の半導体に比

非常に小さい。そのため、励起子の源となる電子・正孔の束縛エネルギーが非常に大きくなり、結果、室温でも励起子がダイヤモンド中に安定して存在する。図 1.1(d)は pin ダイオードに順方向電流を実際に流した際の励起子発光の様子を示している。発光波長は 235nm の深紫外線のため殺菌灯として利用できる。本デバイスを使用し、大腸菌の殺菌が実験にて実証できている。

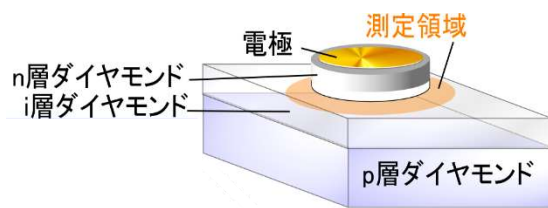
これらのデバイスのような非常に高性能かつ独特なデバイスを実用化に至らしめるためには、デバイス性能はもちろん、製造コストなどにも目を向けていくべきである。



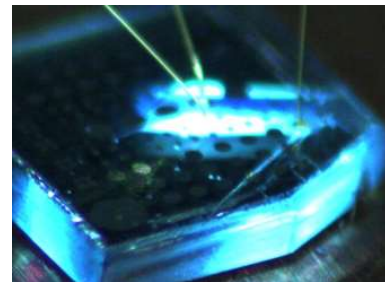
(a) ホッピング伝導を利用した p⁺i-n⁺ダイオード^[10]



(b) 電子放出 pin ダイオード^[11]



(c) 電流注入による室温単一光子デバイス^[12]



(d) 励起子発光を利用した深紫外 LED^[13]

図 1.1 特有な性質を利用したダイヤモンドデバイス群

1.4 市場におけるダイヤモンドデバイスの問題点

高性能かつ独特なデバイス性能を持つダイヤモンドデバイスであるが、実用化を考えた場合、SiC や GaN のケース以上に、基板サイズの制限と価格が大きな問題となる。ダイヤモンドの場合、それらはさらに深刻な問題であり、現状一般的に普及している基板のサイズは、**2mm~3mm** 角程度であり、基板によるばらつきも多く、歩留まりにも不安がある。

表 1.2 にシリコン、SiC、ダイヤモンド基板の大まかなサイズと単位面積当たりの価格の比較について示す。現状のダイヤモンド基板とシリコン基板では、最大サイズで1万倍程度の違いがある。これにより、基板1枚に対し生産できるデバイスの数にも大きな差ができる。更には、基板自体のコストもダイヤモンド基板はシリコン基板と比べ、単位面積あたりで1万倍高いため、最終的なデバイス単価はダイヤモンドの場合、非常に高くなるという問題がある。将来的にインフラのみならず、自動車など一般家庭レベルへの普及を考えた場合、この基板サイズ・コストの問題は何としてでも解決すべき問題となる。

表 1.2 各基板のサイズ・製造コストの比較

ダイヤモンド基板	SiC基板	シリコン基板
		
2mm角: 1万円	Φ75mm: 5万円 <small>(※ デバイス価格の7割がウエハの価格)</small>	Φ200mm: 1万円
サイズ比較		
1	1000	10000
単位面積当たりの価格		
10000	50	1

現在、ダイヤモンド基板においてもサイズ・コストの問題を解決すべく、基板の研究が進んでいる。次節では、現在用いられているダイヤモンド基板の作製法について述べる。

1.5 ダイヤモンド基板の製造法

1.5.1 高温高压法

ダイヤモンド結晶を人工的に作製する方法として、高温高压（HPHT: high pressure and high temperature）法と呼ばれる方法が挙げられる。HPHT法はその名の通り、炭素を高温・高压環境下でダイヤモンドを作製する手法である。高温高压法装置は非常に大きな装置であり、ダイヤモンド結晶の生成にはおよそ 50000 気圧、1500°C といった非常に高温・高压な環境が必要となる^[14,15]。この装置で作製した結晶から、結晶方位・サイズを選び、切り出したものが、ダイヤモンドデバイス研究で主に使用されている HPHT 基板となる。

問題点は、大口径な HPHT 基板が作製できないことである。現状、一般的に流通している HPHT 基板は 2~3mm 程度、最大のもので 10mm 程度であり、ダイヤモンド結晶を更に大きくしていくためには、それに応じて装置を拡大していく必要があり、現実的ではないとされている。

1.5.2 ホモエピタキシャル成長法

HPHT 法のみでは基板サイズの拡大に限界がある。基板サイズを大きくしていく手法として、化学気相成長（CVD: chemical vapor deposition）などの別の成膜法を用い、基板サイズを大きくしていく手法が研究されている。図 1.2 がその概要であり、HPHT 基板などの単結晶ダイヤモンド基板を種基板とし、その上にダイヤモンドを成長させていく、ホモエピタキシャル成長法と呼ばれる手法である。ホモエピタキシャル成長によって拡大させた基板をスライスすることで、種基板と比べて大面積なダイヤモンド基板を獲得できる^[16]。また、ホモエピタキシャル成長法を応用した大面積ダイヤモンド基板の別の作製法の一つに、モザイク基板が挙げられる^[17]。モザイク基板は HPHT 基板を横に並べた上に CVD によりダイヤモンド膜を成膜させ、1 枚の大きなダイヤモンド基板を切り出す成膜技術などである。現状、40×60 mm² のサイズのモザイク基板が報告されており、更なる大面積の基板が期待される。

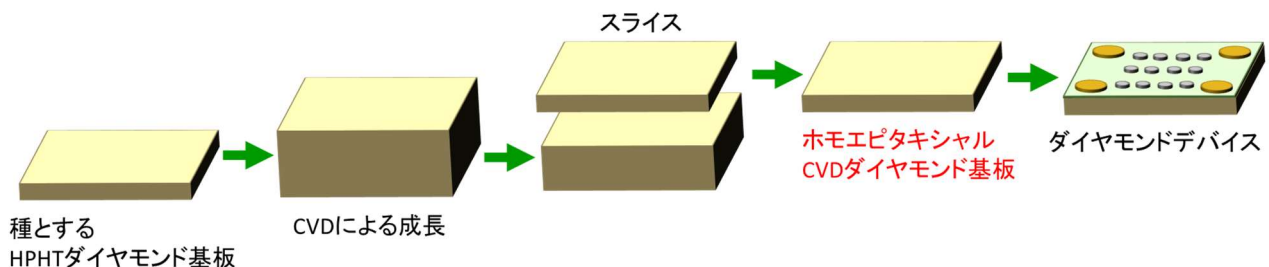


図 1.2 ホモエピタキシャル基板

1.5.3 自立化ヘテロエピタキシャル成長法

HPHT 法、ホモエピタキシャル成長法では、基板サイズや製造コスト上の問題がある。これらの問題を解決しうるダイヤモンド基板の製法として、ヘテロエピタキシャル成長法が挙げられる。ヘテロエピタキシャル成長法は、大面積な基板の比較的作製しやすいシリコン基板や酸化マグネシウム基板などの上にダイヤモンド膜を成膜する方法である^[18-20]。格子不整合や熱膨張係数差の関係上、ダイヤモンドと直接接触する層にイリジウムが用いられることが多い。また、成長初期のダイヤモンドの核生成においては、バイアス促進核生成 (BEN: Bias Enhanced Nucleation) 法が用いられる。その後、プラズマ CVD 法などでダイヤモンドの成膜を行う。十分な膜厚のダイヤモンドが成膜できたら、レーザーカット等によるスライスにより、ダイヤモンドを切り出す。このヘテロエピタキシャル成長した部分を切り出す工程を自立化と呼ぶ。その後、研磨を経てダイヤモンド基板として活用される。図 1.3 にその作製過程を示す。なお、後述のヘテロエピ薄膜ダイヤモンド基板との対比のため、本論文ではこの基板を自立化ヘテロエピタキシャルダイヤモンド基板 (自立化ヘテロエピダイヤモンド基板) と呼ぶことにする。同時に、自立化ヘテロエピダイヤモンド基板の作製からデバイス応用に至るまでを、自立化ヘテロエピタキシャル成長法 (自立化ヘテロエピ法) と呼ぶことにする。ヘテロエピタキシャルダイヤモンド基板全体では、自立化ヘテロエピ法が一般的な応用法である。

自立化ヘテロエピダイヤモンド基板において、ヘテロエピダイヤモンド膜を単独で基板として扱うためには、ミリメートル程度の膜厚が必要である。ただし、ダイヤモンド成膜時にダイヤモンドと下地基板との間の格子不整合差や熱膨張係数差により応力が発生し、そのままではまず割れてしまう。割れずに自立化ヘテロエピダイヤモンド基板を切り出せるような膜厚を獲得するためには、下地基板との間の応力を逃がすための工夫が必要であり、その構造の研究は現在も続いている。

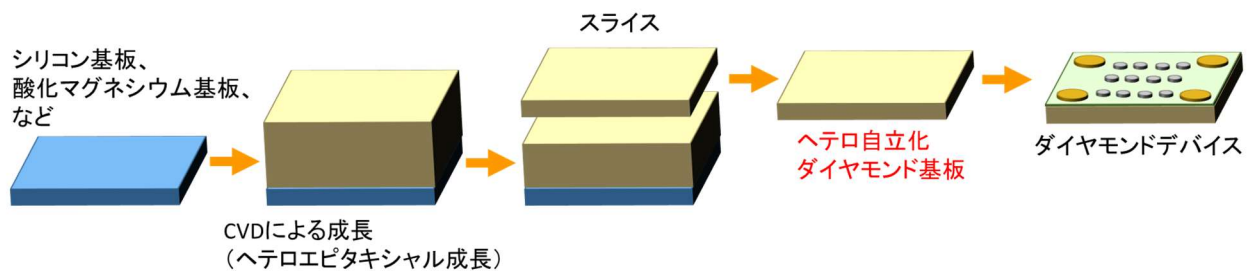


図 1.3 自立化ヘテロエピダイヤモンド基板

自立化ヘテロエピダイヤモンド基板上のデバイス化においては何件か報告されており^[21,22]、我々のグループでも過去に pin ダイオードについて試作を行った経験がある^[23]。しかし、作製したデバイスによってヘテロダイヤモンド基板自体が有効であるかを評価するには、基板品質やデバイスプロセス自体がまだ十分に最適化できていないため、まだまだ不十分である。

また、基板そのものの価格についても、前述の通り、ミリメートル程度のダイヤモンド膜厚が必要となるため、成膜時間が長くなってしまったり、ダイヤモンドと下地基板の間に発生してしまう応力を逃

がす構造を作製する必要があるため、現時点では最終的な基板単価が HPHT 基板に比べ非常に高くなる。そのため、元々ヘテロエピダイヤモンド基板に求められていた、低コスト化という要請にはまだ応えられていない。

1.5.4 ヘテロエピタキシャル薄膜法

ヘテロダイヤモンド基板では、大口径な下地基板上にダイヤモンド膜を成膜できるため、将来的な基板サイズの拡大が期待できる。しかし、クラックフリーな基板を獲得しようとする、応力を逃がす構造が必要となるため、コスト面でまだまだ問題がある。

本研究では、この問題の解決を考え、ヘテロエピダイヤモンド基板の活用法の一つとして、ヘテロエピタキシャル薄膜法（ヘテロエピ薄膜法）を提案した。ヘテロエピ薄膜法は、自立化ヘテロエピダイヤモンド基板とは異なり、下地基板を取り除かずに、そのままデバイス応用に用いる手法である。この手法ならば、ダイヤモンド膜は自立化させる必要がなく薄膜で良いため、応力の問題が少ないことが期待され、基板作製にかかる工程が少なく、大面積基板の作製が比較的容易である。また、デバイス完成までの工程も少なく済むため、最終的なデバイスコスト削減の可能性はある。

ヘテロエピ薄膜法については、第 4 章で詳細を述べる。

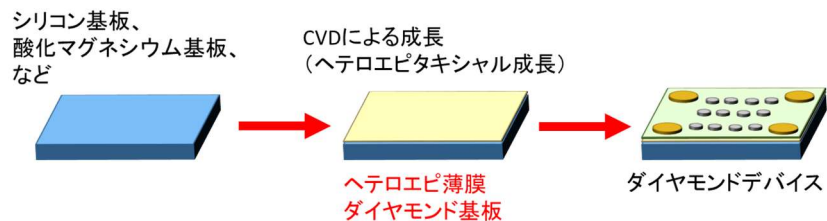


図 1.4 ヘテロエピ薄膜法

1.6 各基板のメリット・デメリット

これまでに挙げた製法別のダイヤモンド基板のメリット・デメリットについて表 1.3 にまとめる。結晶性に関しては、研究の進んでいる HPHT 基板やホモエピタキシャル基板のほうがまだ優れるが、基板サイズや製造コストの点では、大面積化が容易なシリコンなどの下地基板を用いている点で、ヘテロエピタキシャル基板のほうが将来性はある。ただし、デバイス評価に関しては、HPHT 基板、ホモエピタキシャル基板に関しては研究が進んでいるが、ヘテロエピタキシャル基板に関しては、良質なヘテロエピタキシャル基板が得られなかったことや、ヘテロエピタキシャル基板に適合したプロセスが見出されていなかった事が原因でまだ十分な評価が行われていない。

表 1.3 各基板のメリット・デメリット

	HPHT基板	ホモエピタキシャル基板	ヘテロエピタキシャル基板	
			自立化ヘテロ	ヘテロエピ薄膜
結晶性	○	○	△	△
サイズ	×	△	○	◎
コスト	×	△	○	◎
デバイス特性	◎	◎	?	?
基板の製造元	<ul style="list-style-type: none"> ・住友電気工業 ・Element six ・TISNCM 	<ul style="list-style-type: none"> ・産総研(関西) & EDP ・Element six 	<ul style="list-style-type: none"> ・青山学院大学 & 並木宝石 ・Augsburg univ. 	<ul style="list-style-type: none"> ・信越化学工業 & 産総研

1.7 本研究の目的

ダイヤモンドデバイス研究の抱えるボトルネックとして、基板サイズとコストの問題がある。その解決法の一つとして、自立化ヘテロエピタキシャル成長法が挙げられるが、良質なデバイスを作製するプロセスが見出されていないことが原因で、デバイス研究まで進んでいない。そこで、より容易にヘテロダイヤモンド基板を用いたデバイス応用法として、ヘテロエピタキシャル薄膜法（ヘテロエピ薄膜法）を考案した。本論文ではヘテロエピ薄膜法の特色と実施したデバイスプロセス、そして作製したデバイスの電気特性の評価を通じ、ヘテロエピ薄膜法の有用性について述べる。

参考文献

- [1] 荒井和雄, 吉田貞史: SiC 素子の基礎と応用, オーム社 (2003).
- [2] S. Yamanaka, D. Takeuchi, H. Watanabe, H. Okushi, and K. Kajimura,: *Diamond and Relat. Materials* **9**, p.956 (2000).
- [3] H. Umezawa, K. Ikeda, N. Tatsumi, K. Ramanujam, and S. Shikata,: *Diamond and Relat. Materials* **18**, p.1196 (2009).
- [4] S. Koizumi, M. Kamo, Y. Sato, H. Ozaki, and T. Inuzuka,: *Appl. Phys. Lett.* **71**, p.1065 (1997).
- [5] H. Kato, S. Yamasaki, and H. Okushi,: *Appl. Phys. Lett.* **86**, p.222111 (2005).
- [6] 山崎聡: NEW DIAMOND, No. 107, p.3 (2012).
- [7] 大串秀世, 山崎聡: NEW DIAMOND, No. 115, p.2 (2014).
- [8] 小泉聡, 柰野由明: NEW DIAMOND, No. 120, p.3 (2016).
- [9] S. Yamasaki, E. Gheeraert and Y. Koide: *MRS Bull.*, 39, p.499 (2014).
- [10] K. Oyama, S.-G. Ri, H. Kato, M. Ogura, T. Makino, D. Takeuchi, N. Tokuda, H. Okushi, and S. Yamasaki,: *Appl. Phys. Lett.* **94**, p.152109 (2009).
- [11] D. Takeuchi, S. Koizumi, T. Makino, H. Kato, M. Ogura, H. Ohashi, H. Okushi, and S. Yamasaki,: *Phys. Status Solidi A* **210**, No. 10, p.1961 (2013).
- [12] N. Mizuochi, T. Makino, H. Kato, D. Takeuchi, M. Ogura, H. Okushi, M. Nothaft, P. Neumann, A. Gali, F. Jelezko, J. Wrachtrup and S. Yamasaki,: *Nature Photonics*, **6**, p.299 (2012).
- [13] T. Makino, K. Yoshino, N. Sakai, K. Uchida, S. Koizumi, H. Kato, D. Takeuchi, M. Ogura, K. Oyama, T. Matsumoto, H. Okushi and S. Yamasaki,: *Appl. Phys. Lett.*, **99**, p.061110 (2011).
- [14] 物質・材料研究機構 先端材料プロセスユニット 超高压グループ,
<http://www.nims.go.jp/high-pressure/>
- [15] 住友電気工業株式会社・NEDO 実用化ドキュメント
<http://www.nedo.go.jp/hyoukabu/articles/201305sei/index.html>
- [16] Y. Mokuno, A. Chayahara, H. Yamada and N. Tsubouchi,: *Diamond & Related Materials* **18**, p.1258 (2009).
- [17] H. Yamada, A. Chayahara, Y. Mokuno, H. Umezawa, S. Shikata and N. Fujimori,: *Appl. Phys. Express* **3**, p.051301 (2010).
- [18] S. Washiyama, S. Mita, K. Suzuki and A. Sawabe,: *Appl. Phys. Express* **4**, p.095502 (2011).
- [19] M. Mayr, C. Stehl, M. Fischer, S. Gsell and M. Schreck,: *Phys. Status Solidi A* **211**, p.2257 (2014).
- [20] N. Vaissiere, S. Saada, M. Bouttemy, A. Etcheberry, P. Bergonzo and J.C. Arnault,: *Diam. Relat. Mater.* **36**, p.16 (2013).
- [21] Y. Yokota, N. Kawakami, S. Maeda, Y. Ando, T. Tachibana, K. Kobashi, and A. Sawabe,: *New diamond Front. Carbon Technol.* **17**, p.211 (2007).
- [22] A. F. Sartori, M. Fischer, S. Gsell and M. Schreck,: *Hasselt Diamond Workshop 2015 (SBDD XX)*, 2015, p.122.

- [23] D. Takeuchi, T. Makino, H. Kato, M. Ogura, N. Tokuda, T. Matsumoto, D. Kuwabara, H. Okushi, and S. Yamasaki; Phys. Status Solidi A 211, **10**, p.2251 (2014).

第2章 作製装置

2.1 はじめに

半導体デバイスを作製するにあたり、様々な工程・装置を経て完成へと至る。これはダイヤモンドデバイスでも同様であるが、ダイヤモンドはその強固さ、結晶成長のしにくさから他材料と異なる点が多い。本章ではデバイスプロセスに対応する装置について、それらの用途と特徴について述べる。

2.2 マイクロ波プラズマ化学気相成長（CVD）装置

化学気相成長（CVD: chemical vapor deposition）法はチャンバー内に材料となるガスを流し、サンプル近傍にて熱やプラズマ等により化学反応を活性化させ、成膜を行う蒸着法の一つである^[1]。高速成長ならびに大面積での成膜に優れるだけでなく、p型・n型半導体成膜に必須な不純物制御も可能なため、基板や半導体デバイス作製にあたり広く用いられている。ダイヤモンドの場合も例外ではなく、高品質なダイヤモンド基板の作製や、不純物添加によりp型・n型ダイヤモンド成膜にCVD装置が用いられている。本研究では、図2.1のようなマイクロ波プラズマCVD装置を用いた。

以下に成膜手順を簡単に述べる。まずダイヤモンドコーティングされたMoホルダー上にサンプルを乗せ、石英製のチャンバー内にセットする。大気中の成分（N₂など）の混入を避けるため、真空引きを十分に行った後、マスフローコントローラーにより材料ガスを指定の比率でチャンバー内に導入する。ダイヤモンドの材料ガスとしては、水素、メタンを用い、更にドーパントガスとしてp型にはトリメチルボロン（TMB）もしくはジボラン（B₂H₆）^[2]、n型にはホスフィン（PH₃）^[3]を用いている。

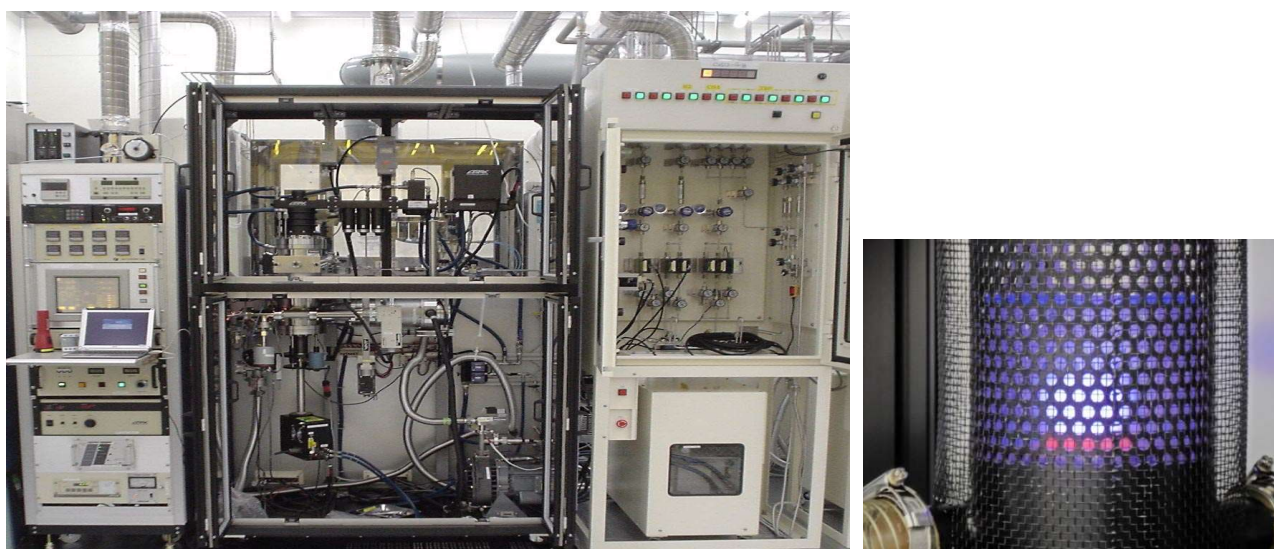


図2.1 マイクロ波プラズマCVD装置

2.3 電極形成プロセス

デバイスを作製するにあたり、微細な電極パターンの形成が重要となる。手法としては、まず電子線や水銀ランプにより硬化・溶解するフォトリソグ利用し、電極パターンを形成できるフォトリソグラフィという手法が挙げられる。レジストの厚みや露光量調整等により、サブミクロンオーダーの非常に微細で複雑なパターンの形成や、形成箇所 of 正確な位置合わせが可能である。形成したパターンは現像を行うことによって、余分な金属を取り除くためのマスクとなる。パターン形成後、金属蒸着を行った後、アセトン浸漬および超音波洗浄により、レジストパターンごと余分な金属を除くことによって、狙った電極パターンが形成される（リフトオフプロセス）。難点としては、プロセスがやや難しいことや、成膜できる金属の膜厚がレジストの厚みに制限されることであり、金属が厚すぎるとリフトオフプロセスで不要な部分の金属が剥がれなく恐れがある。本研究で用いた Si 上へテロエピ薄膜ダイヤモンド基板はリフトオフ時に行う超音波洗浄にやや弱く、また、白金などのダイヤモンドとの密着性の悪い金属材料においては、リフトオフが上手くいかないこともあり、フォトリソグラフィ法とはまだ少し相性が悪い。

もう一つの方法として、図 2.2 のような金属マスクを用いる方法（メタルスルー法）がある。数十 μm くらいまでの簡単な形状の電極パターンならば十分に形成することができ、リフトオフプロセスを要さない。そのため、金属を厚く成膜することができる、密着性の悪い白金等でも安定して形成できる、プロセスが容易といった利点がある。これらの理由から、本研究ではメタルスルー法を用いている。

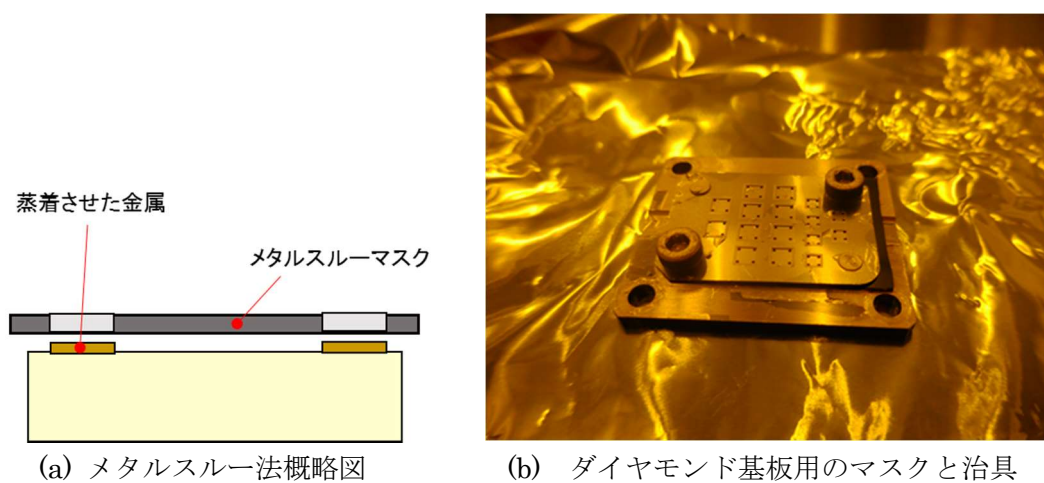


図 2.2 メタルスルーマスクと治具

2.4 電子ビーム蒸着装置

デバイス作製にあたり、電極用の金属の形成に用いたのが、図 2.3 のような電子ビーム蒸着装置である。電子ビーム蒸着装置は高真空のチャンバー内にて、金属や化合物などの成膜材料に電子ビームを照射することで成膜材料を蒸発させ、成膜対象となる基板表面に付着させる装置である。成膜中は水晶振動子により、現在の膜厚をモニターできる。また、成膜材料は 8 種類セットすることができる。プログラム制御により、指定の成膜材料・膜厚での成膜が行え、複数の成膜材料での条件を連続してプログラムすることで、多層膜も作製できる。成膜対象の金属材料としてダイヤモンドの場合、オーミック電極として、主に Ti/Pt/Au の多層膜を、ショットキー電極には Pt や Mo など様々な金属が用いられる。本研究において、電子ビーム蒸着装置は産業技術総合研究所・ナノプロセッシング施設所有の装置を用いた。



図 2.3 電子ビーム蒸着装置

2.5 高速昇降温炉(RTA)

RTA 装置は特に、オーミック電極の形成、表面のグラファイト化に用いられる。オーミック電極形成は、ダイヤモンド表面とオーミック電極であるチタンの界面を熱反応により混晶化させ、TiC にする手法である³⁾。TiC にすることで、金属～ダイヤモンド間の抵抗を下げることができ、オーミック電極として活用することが出来る。このオーミック電極フォーミングにはサンプルを 420°C に 30 分間過熱して行われる。なお過熱中、炉内に不活性なアルゴンを流すことも出来る。過熱中、表面の酸素終端処理が抜けやすい(001)ダイヤモンド基板で用いられる。ただし、金属材料によっては過熱によって酸素終端が一部解けるため、ショットキーバリアダイオードのような表面の酸素終端によって高いバリアを得るような構造においては、ショットキー電極形成前に UV オゾンクリーナーなどで酸素終端化を行うと良い。



図 2.4 RTA 装置

2.6 UV オゾンクリーナー

良好なショットキー特性を得るためには、ダイヤモンド膜表面の絶縁性を高める必要がある。そのためには、ダイヤモンド膜の最表面を酸化させるのが良い。主にダイヤモンド基板で用いられる手法としては、熱混酸が挙げられる。硝酸と硫酸を混合した溶液中で過熱することで、ダイヤモンド基板表面の酸素終端処理が行える。ただし、熱混酸処理は電極や絶縁膜形成といった、一連のデバイスプロセスの前に行う必要がある。そのため、前述のオーミック電極フォーミングのような過熱を行う工程などでは、酸素終端が一部離れる可能性があり、最終的なショットキーバリア高さの低下の原因につながる。

そこで、UV オゾンクリーナーという装置を用いる。この装置は酸素雰囲気中の炉内に紫外線を照射することで、サンプル表面の有機物と反応し、二酸化炭素として除去できる装置であるが、同過程でダイヤモンド膜表面の酸化がなされる。オーミック電極フォーミング後に、本工程を入れることでショットキーバリアダイオードの特性が向上したという報告もあり^[4]、本研究でもこの方式を採用している。

2.7 まとめ

以上、ダイヤモンドデバイス作製に用いられる装置をプロセスとともに紹介した。ただし、本研究で用いる基板は従来のダイヤモンドのみからなる基板ではなく、ダイヤモンド以外の材料の層を含むため、導入や実施の際にはそのことを考慮する必要がある。第3章では、本論文のターゲットである、Si 上へテロエピ薄膜ダイヤモンド基板について述べる。

[参考文献]

- [1] H. Watanabe, D. Takeuchi, S. Yamanaka, T. Sekiguchi, H. Okushi and K. Kajimura, : Diamond Relat.Mater., **8**, p.1272 (1999).
- [2] S. Yamanaka, D. Takeuchi, H. Watanabe, H. Okushi and K. Kajimura, :Phys. Status Solidi A, 174, p.59 (1999).
- [3] H. Kato, H. Watanabe, S. Yamasaki and H. Okushi, : Diamond and Relat. Materials, **15** , p.548 (2006).
- [4] J. Nakanishi, A. Otsuki, T. Oku, O. Ishiwata, and M. Murakami, : J. Appl.Phys. 76, 2293 (1994).
- [5] T. Teraji, Y. Garino, Y. Koide, and T. Ito. : J. Appl. Phys. **105**, p.126109 (2009).

第3章 Si上へテロエピ薄膜ダイヤモンド基板

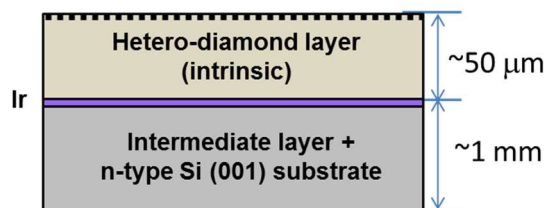
3.1 基板の構造

本研究において使用した Si 上へテロエピ薄膜ダイヤモンド基板は、図 3.1(a)に示すような構造の基板である。その構造は、厚さ 1mm の(001)の n 型シリコン基板の上に中間層を成膜した後、イリジウムを成膜する。次に、バイアス促進核生成 (BEN) と呼ばれる方法でイリジウム上にダイヤモンド粒子を生成する。それらの上にダイヤモンド膜をマイクロ波プラズマ CVD によるヘテロエピタキシャル成長を行ったものが今回の基板となる。

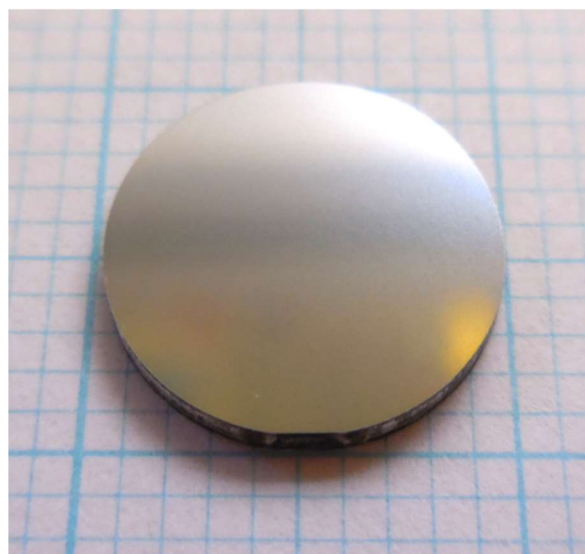
図 3.1 に示されるように、基板サイズは直径約 10mm、厚さは約 1mm である。厚さに関してはほぼ全てがシリコン基板によるものである。なお、ダイヤモンド薄膜成膜後に生じている、外周部の多結晶部は図 3.1 の時点でレーザーカットにより既に取り除いている。

本研究で使用した基板においては、シリコン基板にオフ角を設けておらず、(001)面に対しほぼ 0° である。成膜されたダイヤモンド膜自体は数十 μm 程度の厚さである。ダイヤモンド膜の厚膜化に伴い、格子不整合や熱膨張による応力が増加し、クラックが発生するおそれがある。だが、100 μm 以下の膜厚のダイヤモンド膜ならば、本基板の構成であれば表面まで至るクラックは抑えられている。

次節より、基板の持つ反り、結晶性、欠陥密度の評価法とその評価結果を述べる。



(a) 基板の構造図

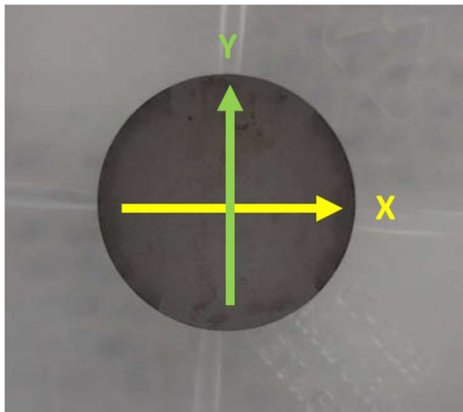


(b) 元基板の写真 (方眼紙の目盛りは 1mm)

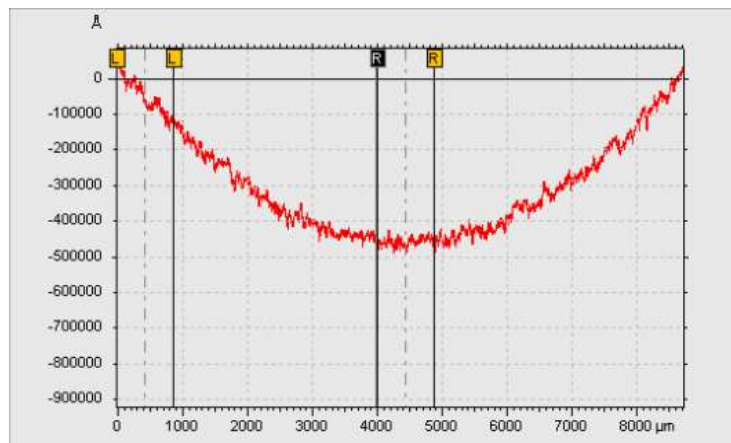
図 3.1 Si 上へテロエピ薄膜ダイヤモンド基板

3.2 基板の反り

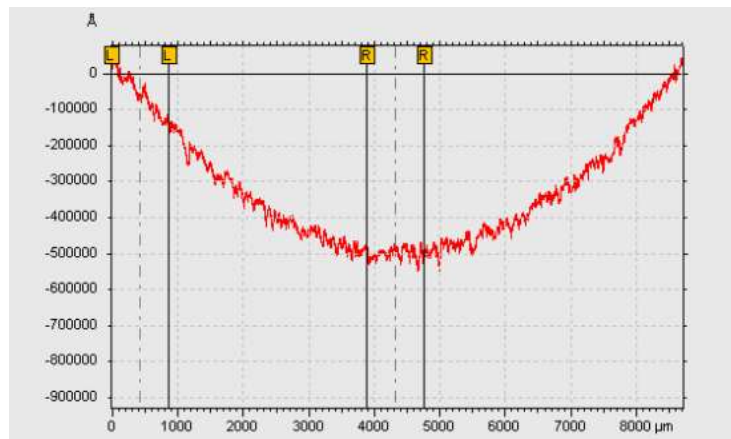
本研究における Si 上へテロエピ薄膜ダイヤモンド基板は、自立化ヘテロダイヤモンド基板と異なり下地基板との間に応力を緩和させる構造を適用させていない。そのため、基板内に応力が残っており、基板に反りが生じている。図 3.2 に基板の持つ反りについて、触針段差計で測定を行った一例を示す。図 3.2 はクラックの発生していない、ダイヤモンド膜厚が約 $50\mu\text{m}$ の基板の反りを調べたものである。触針段差計測定において、1 インチ用の基板ケースに表面であるダイヤモンド膜側を下側に乗せ、裏面のシリコン基板側を測定した。裏面について、図 3.2 (a) のように 90° 異なる X 方向、Y 方向について段差測定を行った。図 3.2 (b) が X 方向、図 3.2 (c) が Y 方向の測定結果である。これは、ダイヤモンド膜表面に余計な傷・汚れが付着するのを避けること、曲率を持つ基板ケースに乗せることで、触針段差計による計測時に発生する基板のずれを抑えることが目的である。この基板では矢高が $50\mu\text{m}$ 程度、曲率にしての反りが、ダイヤモンド膜表面側を凸として発生していた。この反りは基板研磨や大面積での活用において大きな妨げとなる。本論文ではこの状態でデバイス化を行ったが、本基板での研究を進展させていくためには、反りを抑えることが今後の課題となる。



(a) スキャン方向
(Si 側 (基板裏面))



(b) X 方向



(c) Y 方向

図 3.2 触針段差計による基板反り測定

3.3 結晶性評価 (X線回折)

Si 上へテロエピ薄膜ダイヤモンド基板について、結晶品質を調べるため、X線回折 (XRD) 測定を行った。まず、図 3.3 に本基板の極点図を示す。図に示す通り、ダイヤモンド特有の 4 回対称性が明瞭に表れており、ピークも一か所に集中していることから面内配向は揃っているものと考えられる。

次に(004)面に対するロックンクカーブ半値幅を求めた。直径 10mm の Si 上へテロエピ薄膜ダイヤモンド基板について、図 3.4 (a) に示されるような x,y 方向について、中心とそれぞれ±2mm、±4mm の箇所で測定を行った。各測定箇所において分布が存在しており、初期成膜時にライン状のヒロックが存在している部分付近では、半値幅が広がっている。ライン状のヒロックの存在していない、最も良好な箇所で半値幅約 0.16° が得られている。なお、図 3.4(b)、(c)での ω のずれは、前節 3.2 で述べた基板の持つ反りに起因するものと考えられる。

この半値幅について、自立化へテロダイヤモンド基板および一般的な HPHT 基板との比較をまとめたものが次の表 3.1 である。へテロエピダイヤモンド基板は別の下地基板のものとも比較しても、同程度の半値幅の値であった。しかし、HPHT 基板と比べると、結晶内部の転位や応力の存在のため、まだまだ結晶面の歪みが多く、改良をしていく必要がある。

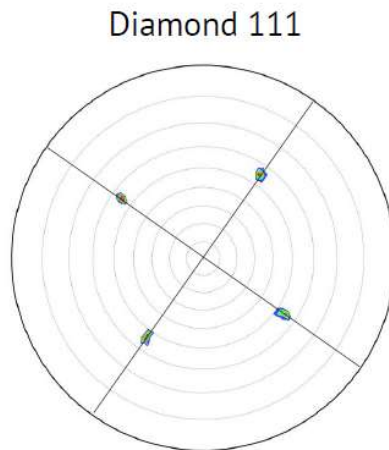
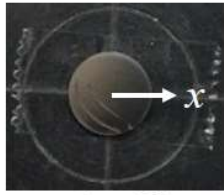


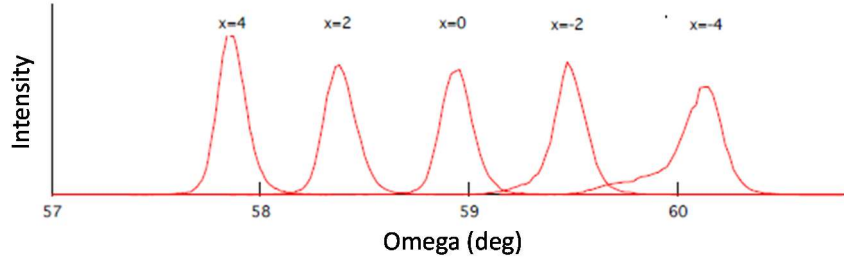
図 3.3 Si 上へテロエピ薄膜ダイヤモンド基板の極点図

表 3.1 (004)X線半値幅の比較

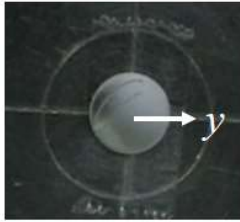
基板の種類	作製元	(004)X線半値幅
ダイヤモンド/Ir/中間層/Si(001) 基板	信越・産総研	~0.16°
ダイヤモンド/Ir/MgO(001) 基板 ^[1]	並木宝石・青学	~0.10°
ダイヤモンド/Ir/YSZ/Si(001) 基板 ^[2]	アウクスブルグ大	~0.18°
HPHT Ib (001) 基板 ^[3]	住友電機	~0.001°



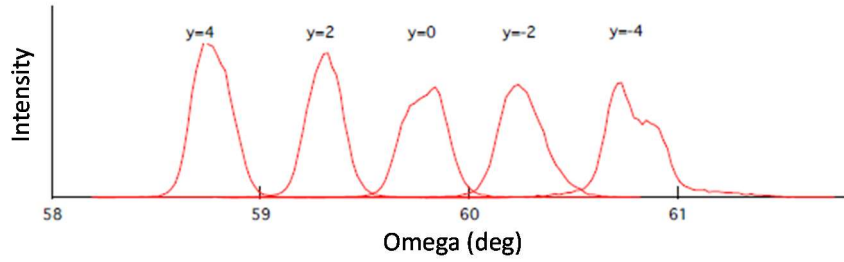
$\phi = 0^\circ$



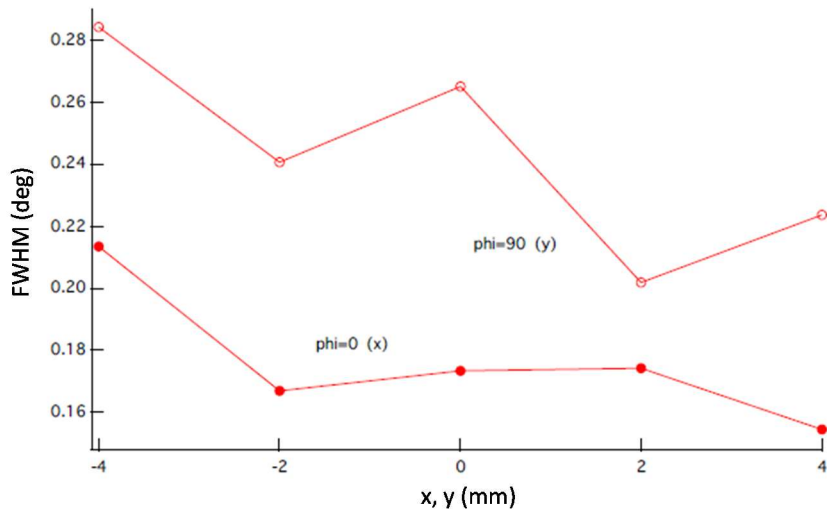
(b) x 方向



$\phi = 90^\circ$



(c) y 方向



(d) 基板上的半値幅の分布

図 3.4 Si 上へテロエピ薄膜ダイヤモンド基板の XRD(004)半値幅の分布

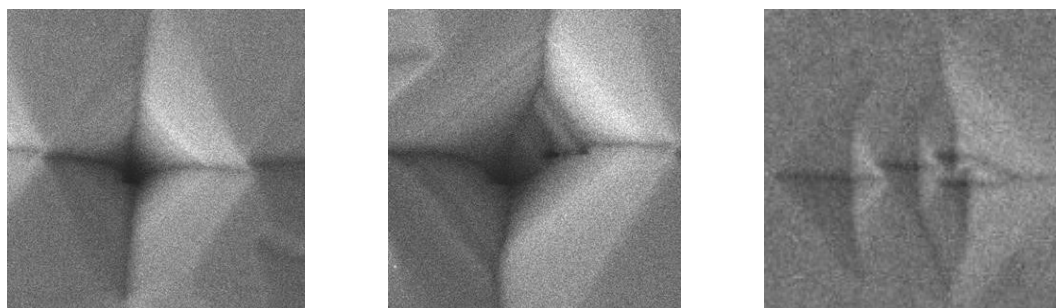
ただし、XRD ではダイヤモンド膜の膜厚に対しエックス線の侵入長が大きく、最表面側のみならずシリジウム層の情報をも拾っているものと考えられる。ダイヤモンド薄膜上にデバイスを作製することを考えた場合、最表面の情報が重要である。そのため、最表面の情報のみを引き出せる評価法を行うことが重要である。次節ではその評価法として、ダイヤモンド膜表面の転位について調べられる、エッチピット法について述べる。

3.4 エッチピット法による評価

X線回折により、ダイヤモンドバルク内の結晶格子の歪み、結晶粒子サイズの観点による単結晶性の評価は行えた。しかし、第4章で後述するように、本研究は薄膜上にデバイスを作製することを目的としている。X線のような侵入長の大きい評価法では、表面側の情報のみならず、イリジウム～ダイヤモンド界面側の非常に転位密度の多い領域も評価対象となる。そのため、評価法としてはできるだけ最表面に絞った評価法が必要である。そこで、最表面に至る転位密度を調べる方法として、エッチピット法を用いた。

エッチピット法は基板表面付近に存在している転位に対し、転位箇所に対して選択的にエッチングを行い、生じたエッチピットを光学顕微鏡もしくはSEMを用いて、個数計測する手法である。SiCでは水酸化カリウム(KOH)水溶液によるウェットエッチングにより行われている¹⁴⁾。ダイヤモンドではマイクロ波プラズマCVD装置にて、水素+酸素プラズマもしくは水素プラズマに曝して、転位箇所に対して選択的にエッチングを行う¹⁵⁾。本研究では、水素プラズマによりエッチピットを生成した。そのプラズマ条件は、マイクロ波出力 2200 W、チャンバー圧力 110 Torr、H₂流量 500 sccm、プラズマ照射時間 1 時間であった。この条件は過去にHPHT基板にてエッチピット法を行った事例を元に設定した。このプラズマ条件を同じサンプルに対し、1回目、2回目でエッチピット密度の比較を行ったが、有意義な差は現れなかった。また、エッチピット自体の形状も四角錐状であったことから、本条件を基準となる条件とみなした。四角錐状であるということは、転位近傍でダイヤモンドの結晶構造に反映したエッチングが成されていると考えられる。

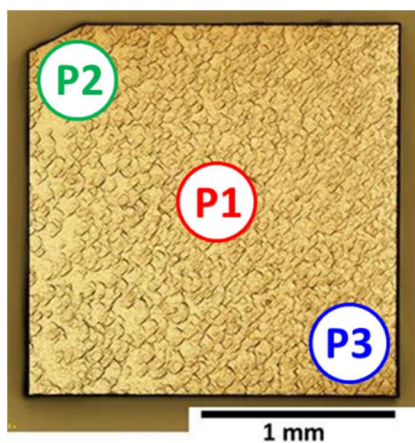
ここで、個数計測のルールを述べる。SEM画像上ではエッチピットとして十字線が見えており、この十字線が十分に認識できるものを1つと数えて計測を行った。図3.5に具体例を示す。通常のエッチピット単体では図3.5(a)のような四角錐の形状をしている。これに対し、複数のピットが重なったものが図3.5(b)、(c)である。図3.5(c)では四角錐の辺を示す十字線が4つ明確に見えていることから、4つと数えている。一方、図3.5(b)でも重なったような形状となっているが、十字線が明確ではないため、1個とする。次節から述べるエッチピット密度は全て上記のルールに従って個数計測したものをを用いている。



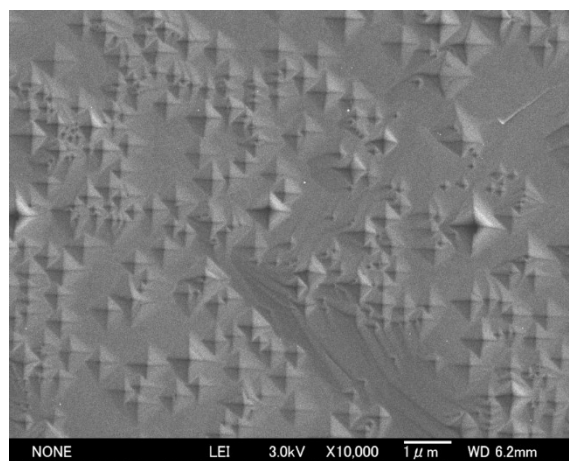
(a) 通常 (1 個) (b) 重なったピット (1 個) (c) 重なったピット (4 個)

図 3.5 観察されたエッチピットの例 (個数カウントの例)

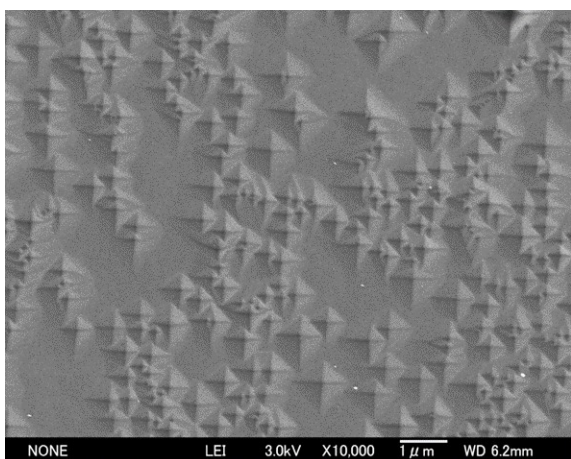
図 3.6 が今回の水素プラズマ条件で作製された、Si 上へテロエピ薄膜ダイヤモンド基板上的エッチピット密度である。エッチピット観察の際、基板はレーザーカットにより 2mm 角に切り出しており、ダイヤモンド膜表面は未研磨の状態で行っている。研磨を行うと、研磨傷に起因するエッチピットも生成されるためである。図 3.6 のダイヤモンド薄膜の膜厚は 50 μm 程度である。個数計測の際、図 3.6(a)に示されるように P1~P3 の三か所の状態を調べた。水素プラズマにより生成したエッチピットは、重なっているものが一部あるものの、どれも四角錐状であった。エッチピット密度は三か所の平均で約 $3 \times 10^8 \text{ cm}^{-2}$ であった。また、エッチピットの大きさは大小様々であり、大きいもので 1 μm 程度であった。大きさに差が生じる理由として、エッチピットどうしが重なったことや、一様なエッチングが進んだことに起因すると予想される。



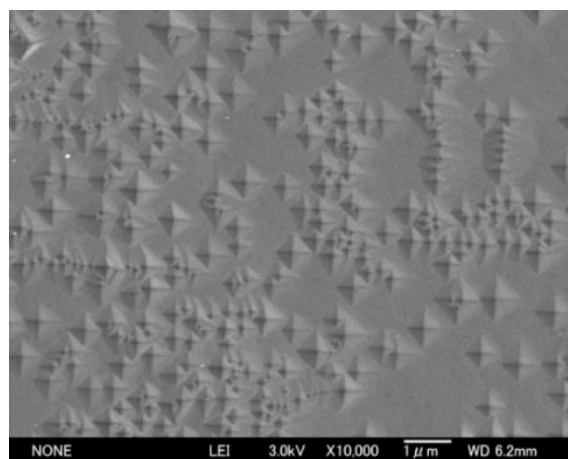
(a) 測定箇所



(b) P1/エッチピット密度 : $2.8 \times 10^8 \text{ cm}^{-2}$



(c) P2/エッチピット密度 : $2.5 \times 10^8 \text{ cm}^{-2}$



(d) P3/エッチピット密度 : $3.1 \times 10^8 \text{ cm}^{-2}$

図 3.6 エッチピット法により明確になった Si 上へテロエピ薄膜ダイヤモンド基板表面の転位

また、表 3.2 は前節の XRD 半値幅同様、ダイヤモンド膜最表面のエッチピット密度を計測し、比較したものである。製法の異なる各ヘテロダイヤモンド基板について、膜厚約 50 μm の時のエッチピット密度を表している。薄膜における各ヘテロダイヤモンド基板のエッチピット密度は概ね $10^8\sim 10^9\text{ cm}^{-2}$ の範囲で収まる。ばらつき等も考慮すると、ほぼ同程度であると言える。一方、一般的な HPHT 基板のエッチピット密度は 10^5 cm^{-2} である。XRD の結果に続いて、エッチピット密度の観点からもヘテロ薄膜ダイヤモンド基板はまだ改良していく余地がある。

表 3.2 エッチピット密度の比較 (各ヘテロ基板は膜厚~50 μm のもの)

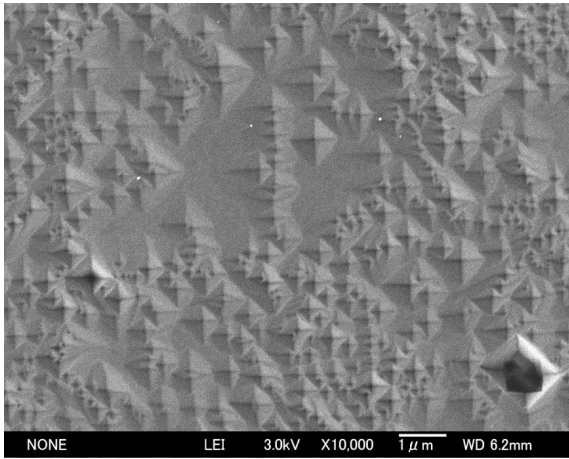
基板の種類	作製元	エッチピット密度
ダイヤモンド/Ir/中間層/Si(001) 基板	信越・産総研	$\sim 3 \times 10^8\text{ cm}^{-2}$
ダイヤモンド/Ir/MgO(001) 基板 ^[6]	並木宝石・青学	$\sim 2 \times 10^8\text{ cm}^{-2}$
ダイヤモンド/Ir/YSZ/Si(001) 基板 ^[7]	アウクスブルグ大	$\sim 10 \times 10^8\text{ cm}^{-2}$
HPHT Ib (001) 基板 ^[8]	住友電機	$\sim 0.002 \times 10^8\text{ cm}^{-2}$

3.5 エッチピット密度の膜厚依存性

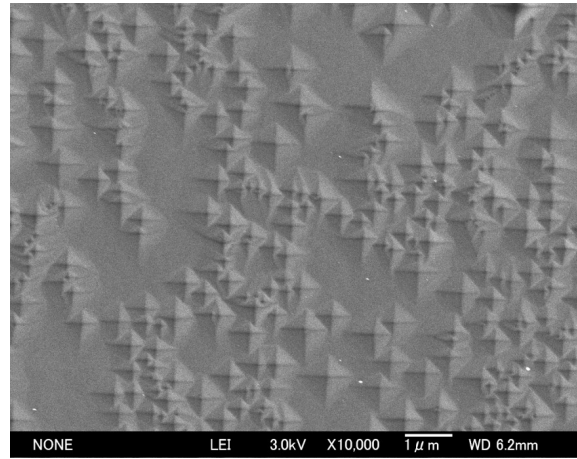
ヘテロエピダイヤモンド基板において貫通転位は基板の膜厚の増加に応じて減少することが報告されている¹⁴⁾。膜厚の増加に伴い、転位同士が接近し、各転位の持つバーガスベクトルによっては消滅、融合が生じるためである。本節では、前節のエッチピット法を用い、Si 上ヘテロエピ薄膜ダイヤモンド基板におけるダイヤモンド膜の膜厚とエッチピット密度の関係を求めた。本基板も他の研究でのヘテロダイヤモンド基板と同様な膜厚依存性を持つことを確認すると同時に、膜厚増加による結晶品質向上の可能性があるかを調べるためである。また、従来のヘテロエピダイヤモンド基板に対し、初期製膜段階からエッチピット密度に明確な差があるかを調べることも目的としている。

エッチピット密度の膜厚依存性を調べるために、ダイヤモンド膜厚の異なる Si 上ヘテロエピ薄膜ダイヤモンド基板を用意した。各基板のダイヤモンド膜の膜厚はそれぞれおよそ 30 μm 、50 μm 、70 μm 、100 μm である。前節同様、いずれもレーザーカットにより 2 mm 角に切り出しており、ダイヤモンド膜表面は未研磨の状態を実施した。4 章で述べる基板洗浄により、レーザーカット等により生じた汚れを除去した後、前節で述べたプラズマ CVD 装置による水素プラズマ条件にて、各基板表面のエッチピットを析出させた。

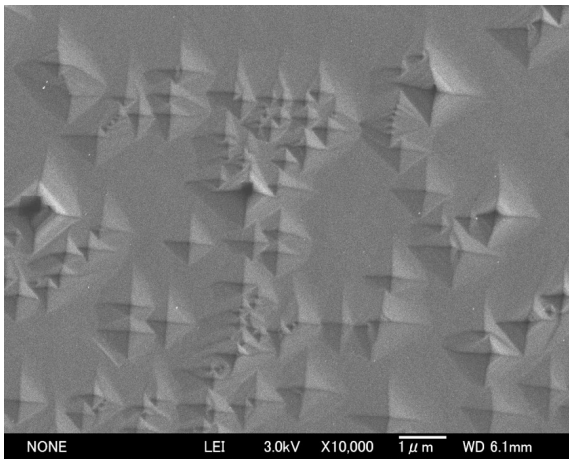
図 3.7 に各基板上のエッチピットを観察した SEM 像を示す。各基板の SEM 観察は、前節の図 3.6(a) と同様に三か所を観察しており、図 3.7(a)~(d)の SEM 像は各基板の内の一か所を示したものである。その結果、他の研究でのヘテロダイヤモンド基板と同様に、膜厚の増加に伴いエッチピット密度の減少が確認できた。また、エッチピットの大きさも膜厚の増加に伴い、1 μm 程度の大きいものがほとんどを占めるようになった。これは膜厚増加に伴い、転位同士の融合が進んだためと考えられる。



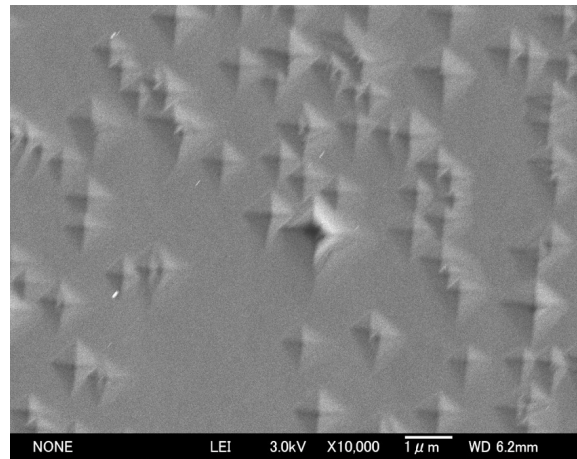
(a) 膜厚約 30 μm /
 エッチピット密度 : $4.0 \times 10^8 \text{ cm}^{-2}$



(b) 膜厚約 50 μm /
 エッチピット密度 : $2.5 \times 10^8 \text{ cm}^{-2}$



(c) 膜厚約 70 μm /
 エッチピット密度 : $1.1 \times 10^8 \text{ cm}^{-2}$



(d) 膜厚約 100 μm /
 エッチピット密度 : $7.9 \times 10^7 \text{ cm}^{-2}$

図 3.7 各ダイヤモンド膜厚でのエッチピット (各基板、三か所測定した内の一か所を記載)

図 3.7 の結果をグラフにまとめたものが、次の図 3.8 である。赤点が Si 上へテロエピ薄膜ダイヤモンド基板の結果であり、図 3.6(a)のように同一基板上で三か所のエッチピット密度を観察した。比較として、アウクスブルグ大から報告されている、Ir/YSZ/Si(001) 基板上に作製されたヘテロダイヤモンド膜の膜厚とエッチピット密度の関係を点線で示す^[6]。アウクスブルグ大の結果と同様に、本基板もエッチピット密度とダイヤモンド膜厚は反比例の傾向にある。一方絶対値としても、アウクスブルグ大のヘテロダイヤモンド基板と比較して、エッチピット密度は3分の1程度に抑えられている。低減の原因についてはまだ分かっていないが、今回の結果により、中間層材料や作製プロセス、ダイヤモンド成膜条件によって、エッチピットで顕わになる転位の密度はさらに抑えられるものと考えられる。

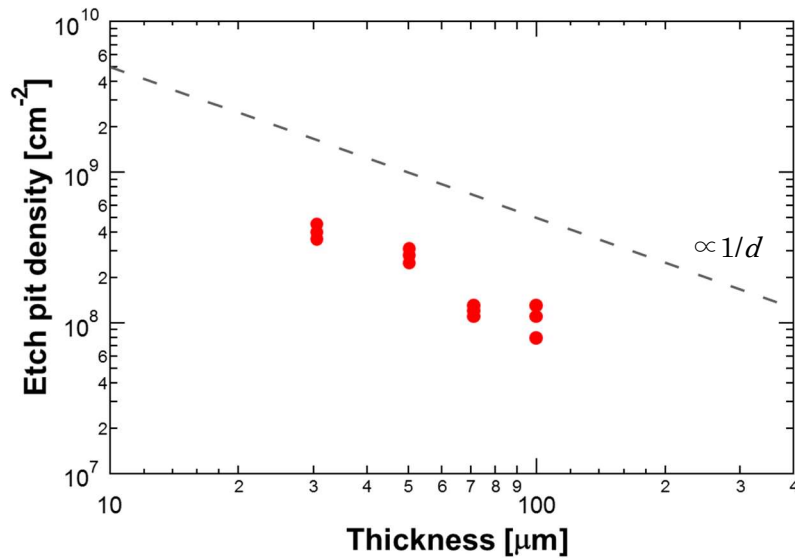


図 3.8 エッチピット密度の膜厚依存性 (赤点が本基板、点線はアウクスブルグ大^[7])

3.6 断面 TEM 観察

ヘテロエピダイヤモンド膜の膜厚の増加に伴い、欠陥が減少していく様子を直に確認するために、Si 上ヘテロエピ薄膜ダイヤモンド基板の断面について透過電子顕微鏡 (TEM) 観察を行った。

TEM 観察にあたり、ダイヤモンド膜最表面からイリジウム界面にかけて、(110)面に沿って3か所のサンプル片を切り出した。切り出しには集束イオンビーム(FIB: Focused Ion Beam)法を用いた。3か所のサンプル片は同一箇所から切り出すことが出来なかったため、少しずつ離れた場所から切り出した。また、TEM 装置には日立ハイテクノロジーズ製 H-9000NAR を用い、観察時に 300 kV の加速電圧を印加した。今回、断面 TEM 観察および FIB 法によるサンプル切り出しは、一般財団法人 材料科学技術振興財団 (MST) に依頼し実施した。

図 3.9~図 3.11 に各サンプル片の断面 TEM 像を示す。順にダイヤモンド膜最表面、中間、イリジウム層側全体の写真である。いずれの TEM 像も明視野像であり、転位箇所が黒く見える。ただし、明度・コントラストの設定は各 TEM 像で異なる。また、観察倍率はどれも 10,000 倍である。

図 3.9~図 3.11 に見られるように、ダイヤモンド~イリジウム界面から延びる貫通転位は、ダイヤモンド膜最表面に向かうにつれて次第に少なくなることが、断面 TEM 観察から確認できる。特に、イリジウム界面近傍である図 3.11 では如実に表れており、転位の黒い線の集団が膜厚の増加とともに一か所に集まり、次第に薄くなっていく様子が示されている。このように、断面 TEM 観察からもエッチピット法と同様な結果が確認できた。

これらの結果より、結晶品質改善のための解決策として、ダイヤモンド膜を更に厚くすることが挙げられる。厚膜化を行うことにより、エッチピットの低減ならびに結晶品質の向上が期待できるであろう。一方、厚膜化には内部応力が增大するデメリットがあり、単純に膜厚を厚くしていくと基板が割れてしまう。割れを防ぐためには内部応力を緩和させる特殊な構造が必要となる。しかし、応力緩和の為の構造の導入に複雑かつ長期に渡るプロセスが必要であり、製造コストが増大する他、この構造自体が新たな欠陥の原因となりうる可能性がある。また、HPHT 基板と同程度の小さいエッチピット密度 ($\sim 10^5 \text{ cm}^{-2}$) に抑えるには、図 3.8 のエッチピット密度の膜厚依存性を外挿すると、10mm 以上の膜厚が必要となる。

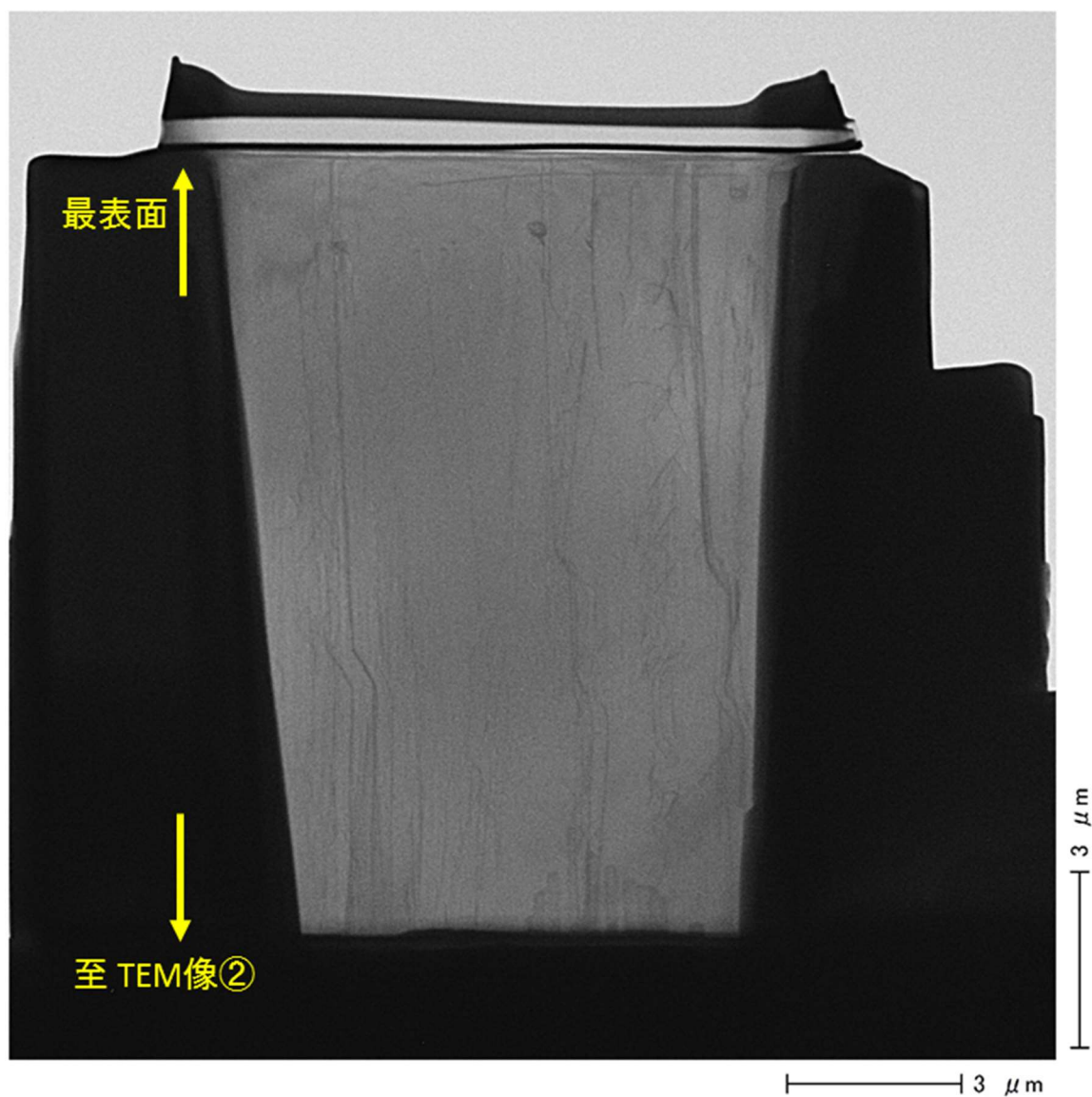


图 3.9 断面 TEM 像①：最表面側

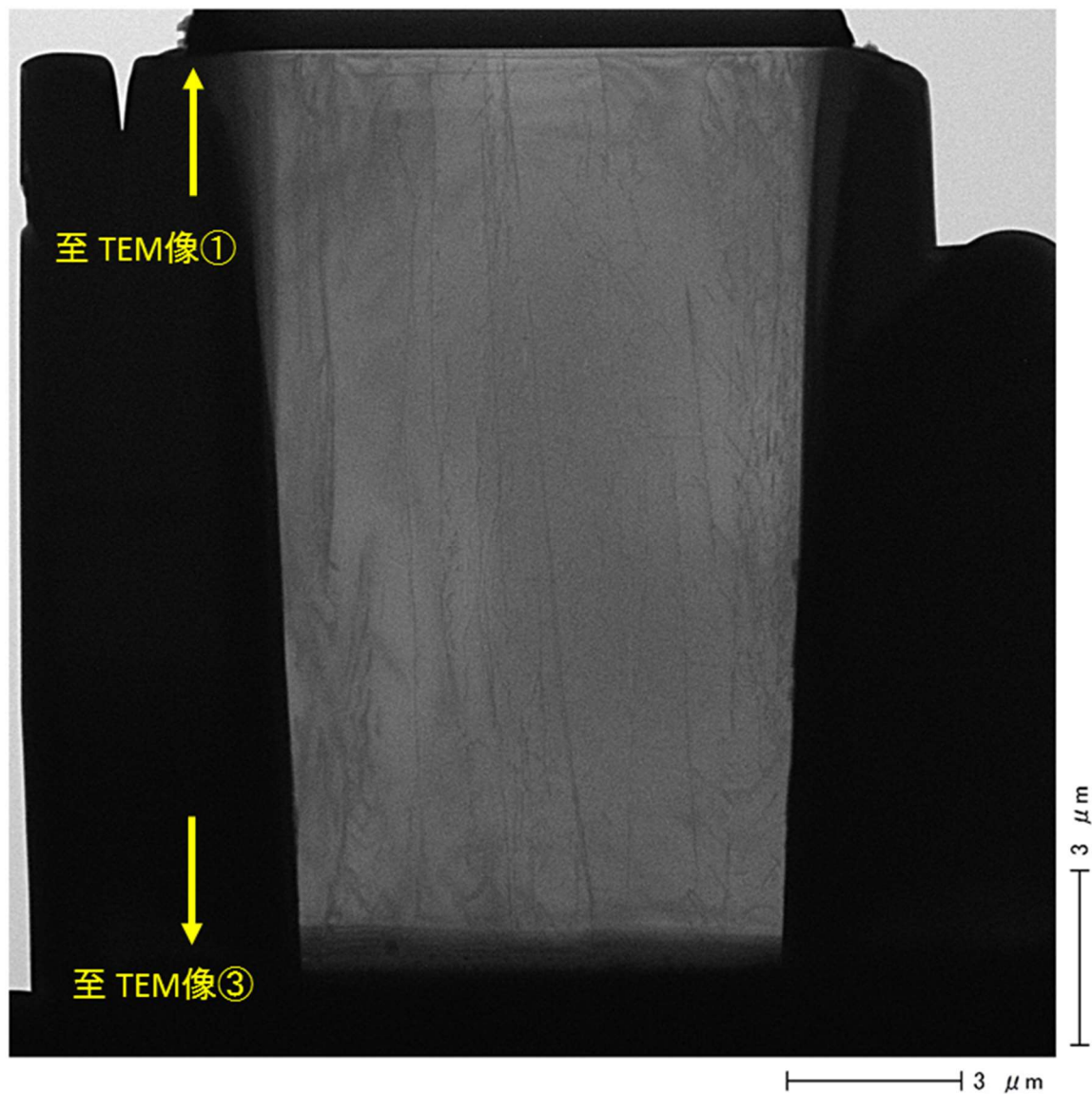


図 3.10 断面 TEM 像②：中間

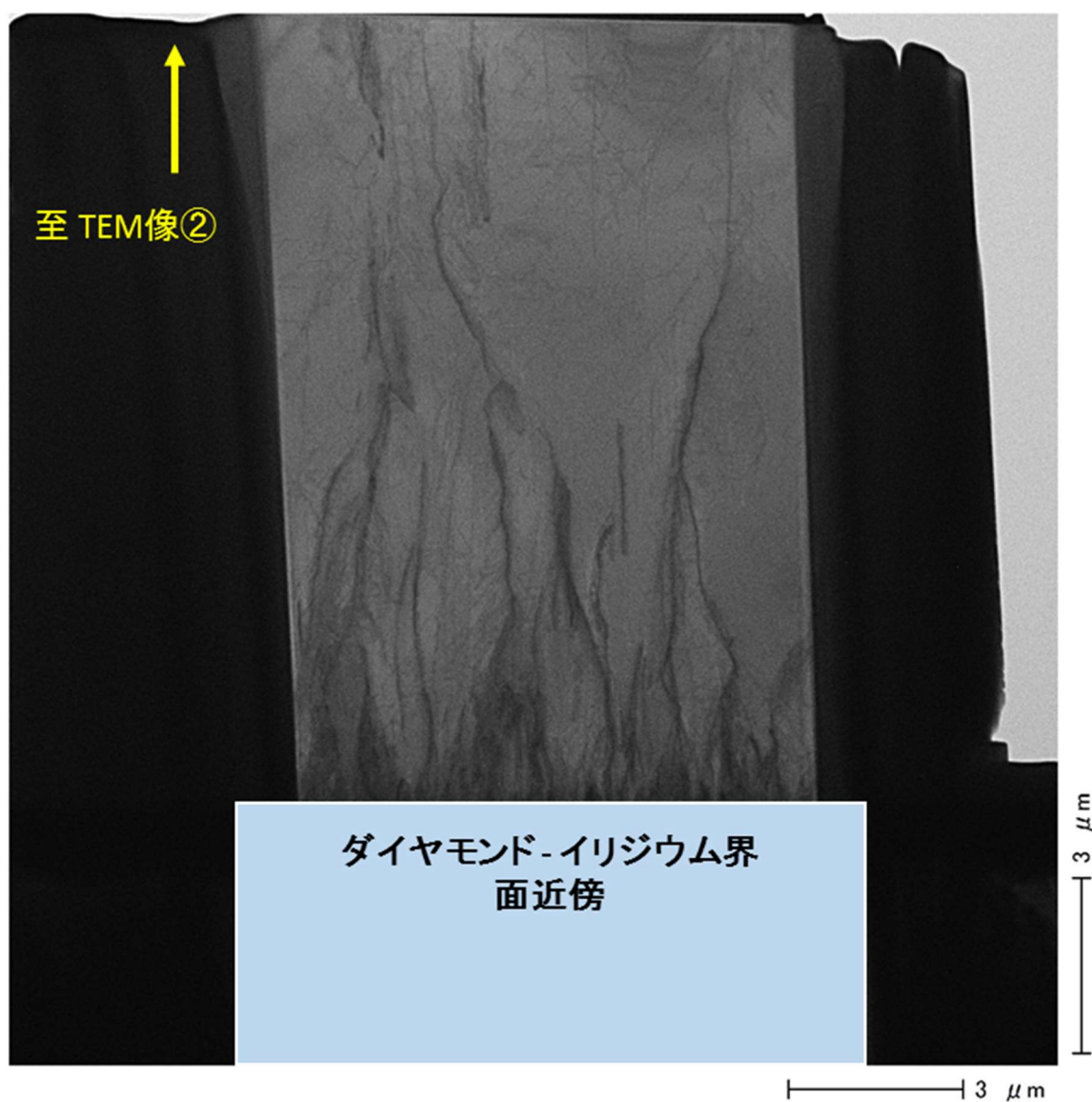


図 3.11 断面 TEM 像③：イリジウム層側

3.7 まとめ

本論文の焦点の一つである、Si 上へテロエピ薄膜ダイヤモンド基板は、厚さ 1mm の(001)面 n 型 Si 基板にイリジウムなどの中間層を介し、BEN 法によるダイヤモンド核生成を経て、マイクロ波プラズマ CVD により厚さ数十 μm のヘテロダイヤモンド膜を成膜したものである。大面積基板の入手しやすい Si 基板を下地としているため、研究が進めばダイヤモンド基板の大口径化ならびにダイヤモンドデバイスの低コスト化が期待できる。結晶品質としては XRD 半値幅、エッチピット法でのエッチピット密度の評価から HPHT 基板には及ばないが、膜厚依存性を考えてもまだ改良の余地があるといえる。ただ、結晶品質の向上を進めるとしても、現段階でどのくらいのデバイス特性が得られるかを評価することは非常に有効である。或る段階での情報を得ることで、実用化に当たりどのくらいの結晶品質の向上が必要かを見積もることが出来、例えば、結晶品質と電気特性の関係から改良の指針を得ることが出来る。用途によって求められるデバイス特性とそのデバイス作製に必要な基板品質の対応付けを行うことによって、ダイヤモンドデバイスの低コスト化、更には実用化に繋がるものと考えられる。

第4章では、Si 上へテロエピ薄膜ダイヤモンド基板をデバイスに応用するための手法（ヘテロエピ薄膜法）について述べる。

参考文献

- [1] T. Yoshikawa, H. Kodama, S. Kono, K. Suzuki and A. Sawabe,; Thin Solid Films **594**, p.120 (2015).
- [2] M. Fischer, A.K. Freund, S. Gsell, M. Schreck, P. Courtois, C. Stehl, G. Borchert, A. Ofner, M. Skoulatos and K.H. Andersen,; Diamond Relat. Mater. **37**, p.41 (2013).
- [3] H. Sumiya, N. Toda, Y. Nishibayashi and S. Satoh,; J. Cryst. Growth **178**, p.485 (1997).
- [4] D. Nakamura, I. Gunjishima, S. Yamaguchi, T. Ito, A. Okamoto, H. Kondo, S. Onda and K. Takatori,; Nature **430**, p.1009 (2004).
- [5] A. Tallaire, J. Achard, F. Silva, R. S. Sussmann, A. Gicquel and E. Rzepka,; phys. stat. sol. (a) **201**, 11, p.2419 (2004).
- [6] K Ichikawa, H Kodama, K Suzuki and A Sawabe,; Thin Solid Films **600**, p.142 (2016).
- [7] C. Stehl, M. Fischer, S. Gsell, E. Berdermann, M. S. Rahman, M. Traeger, O. Klein, M. Schreck,; Appl. Phys. Lett. **103**, p.151905 (2013).
- [8] M. Naamoun, A. Tallaire, F. Silva, J. Achard, P. Doppelt and A. Gicquel,; Phys. Status Solidi A **209**, p.9 (2012).
- [9] M. Schreck, M. Mayr, O. Klein, M. Fischer, S. Gsell, A. F. Sartori, and B.-C. Gallheber, Phys. Stat. Sol. (a) **213**, 8 (2016)

第4章 ヘテロエピ薄膜法

4.1 はじめに

一般的に、ヘテロダイヤモンド基板といえば、自立化を行ったヘテロダイヤモンド膜単独のみでの活用が想像される。この自立化ヘテロダイヤモンド基板作製にあたり、スライスが可能な膜厚（1mm程度）、更には厚膜化によって増大する応力に耐えられる中間構造が必要となる。この中間構造には、横方向成長により下地基板と接触しない部分を作ること、基板への応力を減らす方法が挙げられる。しかし、この手法では中間構造を作る工程が増えてしまい、基板自体のコストを増加させてしまう。

そこで第1章でも述べた通り、本研究において筆者が提案したのが、図4.1に示すヘテロエピ薄膜法である。ヘテロエピ薄膜法はSi上ヘテロエピ薄膜ダイヤモンド基板上にデバイスを作製するにあたり、Siなどの下地基板を残したまま、一連のデバイスプロセスを行う方法である。この方法が確立できれば、厚さ数十 μm 程度のヘテロダイヤモンド薄膜でもデバイスによる基板評価が実施できる。また序論でも述べたように、下地基板に安価なSiを用いていることや、基板作製からデバイス完成までに至る工数を少なくすることができるため、最終的なデバイスコストの削減にも繋がる。

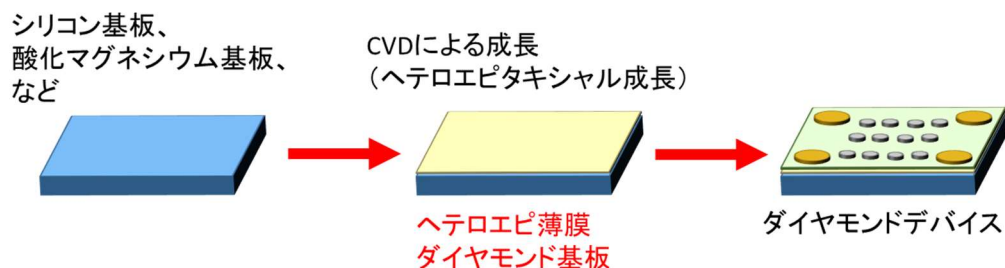


図 4.1 ヘテロエピ薄膜法

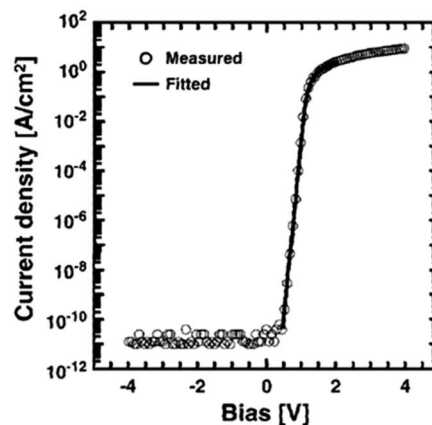
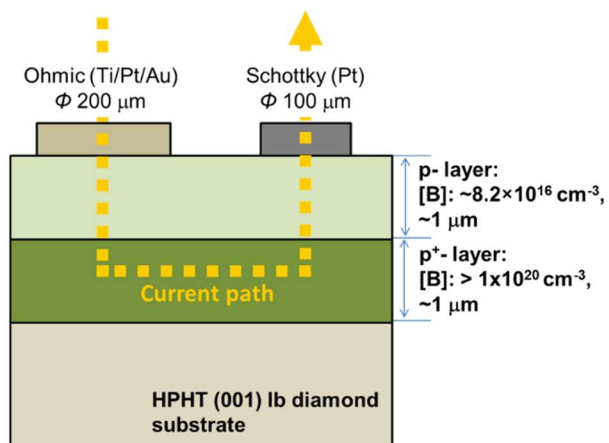
本章では、このヘテロ薄膜法によるショットキーバリアダイオードの作製法、通常ダイヤモンド基板として使用されているHPHT基板上のデバイスプロセスと異なる点、ならびに作製過程における問題点や改良点について述べる。

4.2 ヘテロエピ薄膜法による疑似縦型ショットキーバリアダイオードの構造

Si 上ヘテロエピ薄膜ダイヤモンド基板上にデバイスを作製するにあたり、図 4.2 に示すような構造のショットキーバリアダイオードを考えた。この疑似縦型ショットキーバリアダイオードに関しては、HPHT 基板上で良好な特性が得られることが報告されている^[4]。この疑似縦型ショットキーバリアダイオードにおける電流パスは図 4.2 の点線のように、オーミック電極から低濃度ボロンドープ層 (p 層) を通過し、高濃度のボロンドープ層 (p+層) を横に伝って、ショットキー電極下でもう一度 p 層を通過、ショットキー電極へと至ると考えられる。

この疑似縦型ショットキーバリアダイオード構造について、Si 上ヘテロエピ薄膜ダイヤモンド基板上で作成したものが図 4.3 の構造である。本研究では、この Si 上ヘテロ薄膜ダイヤモンド基板上の疑似縦型ショットキーバリアダイオードを作製し、デバイス特性を調べることが目的の一つである。また、HPHT 基板上のものとの比較も重要となる。

本構造を選択したもう一つの目的として、複雑なプロセスを必要としないことが挙げられる。本構造はマイクロ波プラズマ CVD 法により、p+/p 層の成膜を行った後、電極を形成さえできれば作製可能なデバイスである。電極形成もメタルスルーマスクを用いて作製可能であり、フォトリソによる電極形成、更にはエッチングによるメサ形成も必要としない。また、デバイスプロセスが容易な分、各工程後に必要となる洗浄回数も抑えられるため、洗浄による基板へのダメージも抑えられる。



(a) 疑似縦型ショットキーバリアダイオードの構造

(b) 良好なショットキー特性

図 4.2 HPHT 基板上的疑似縦型ショットキーバリアダイオード

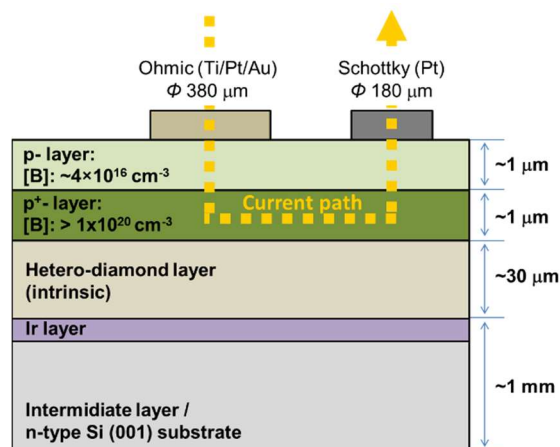


図 4.3 Si 上へテロエピ薄膜基板上的疑似縦型ショットキーバリアダイオード

4.3 ヘテロエピ薄膜法におけるデバイスプロセス

前節 4.2 での疑似縦型ショットキーバリアダイオードを作製するにあたり、様々なプロセスが必要となる。表 4.3 に大まかなデバイスプロセスフローを示す。基本的な流れは従来の HPHT 基板での作製法に準じている。しかし、従来の HPHT 基板で行われているデバイスプロセスをそのまま適用してしまうと、Si 上へエロエピ薄膜ダイヤモンド基板では破損してしまうことがあった。そのため、Si 上へエロエピ薄膜ダイヤモンド基板向けに変更しているプロセスがいくつかある。

本節では、HPHT 基板と Si 上へエロエピ薄膜ダイヤモンド基板でのデバイスプロセスの違い、各プロセスでのサンプルの状態や発生した事象、現状生じている問題点などについて述べる。

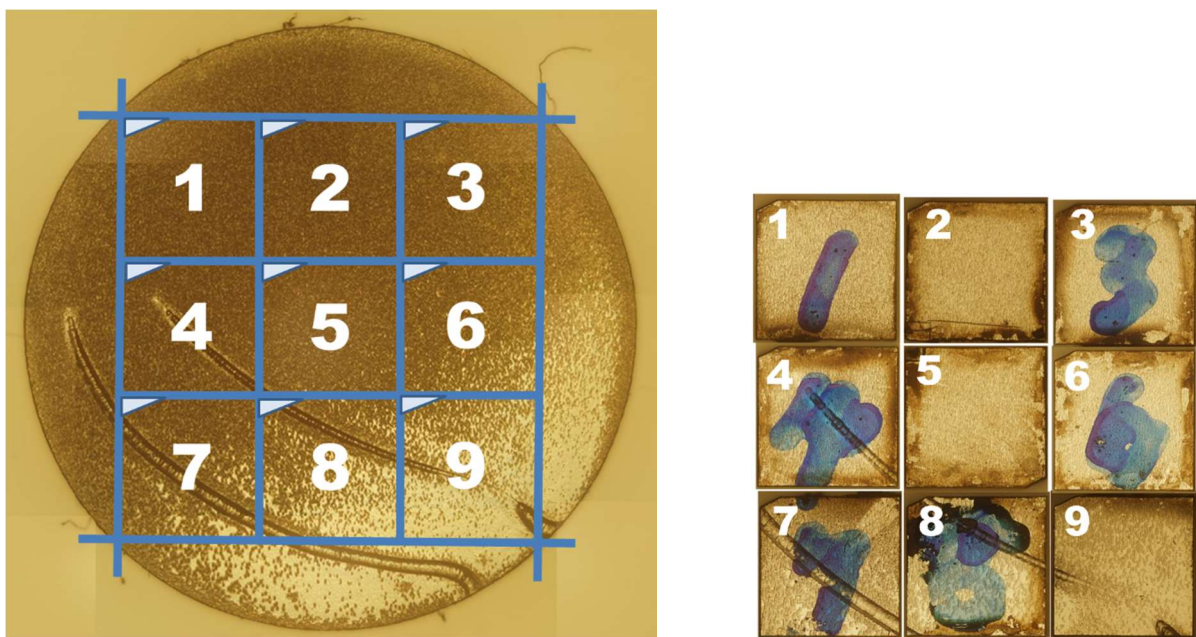
表 4.3 疑似縦型ショットキーバリアダイオードのデバイスプロセスフロー

ステップ	プロセス内容
1	基板のカット・研磨
2	基板洗浄（低温熱混酸→SPM→ワイプ洗浄）
3	p+型ダイヤモンド膜の CVD 成長
4	基板洗浄（低温熱混酸→SPM→SC1）
5	p 型ダイヤモンド膜の CVD 成長
6	基板洗浄（低温熱混酸→SPM→SC1）
7	オーミック電極形成
8	熱処理によるオーミック電極フォーミング
9	ダイヤモンド膜最表面の酸素終端化
10	ショットキー電極形成

4.3.1 基板のカット・研磨

第3章で紹介した通り、今回使用した Si 上へテロエピ薄膜ダイヤモンド基板は直径約 10mm の基板である。大面積での応用を考えた場合、このまま使用するのが理想である。ただ今回、デバイス評価における目的の一つとして、HPHT 基板との比較を念頭に置いている。そのため、HPHT 基板の状態に出来るだけ近づけるためにも、基板のカット・研磨を行った。HPHT 基板のサイズに合わせるため、レーザーカットにより数ミリ角に基板を切り出した。レーザーカットは株式会社シンテックに依頼し実施した。また、数ミリ角状に切り出すこと自体に利点がある。一つは HPHT 基板と同じ手法でデバイスプロセスを行えることである。もう一つは、基板は反りを持つため、切り出すことで数十 μm 程度のダイヤモンド薄膜でも基板全面の研磨が行えることである。

図 4.4 は 2 mm 角状に切り出した基板の一例である。直径 10 mm の元基板に対し、図 4.4(a)のようにカット箇所を設け、この場合、2 mm 角基板を 9 枚切り出した。レーザーカットの際、HPHT 基板の場合と同様に、基板の左上に切り欠けを入れ、基板の方向が明確になるようにしている。また、2 mm 角時のように基板箇所の特定制がしにくい場合には、図 4.4(b)のようにマーカーで記すことにより基板箇所の特定制を行っている。



(a) 直径 10mm の元基板に対するカット箇所

(b) 2mm 角基板の切り出し後

図 4.4 2mm 角基板の切り出しの一例

Si 上へテロエピ薄膜ダイヤモンド基板は、膜厚 $50\mu\text{m}$ の場合、元々、図 4.5(a)のような凹凸を持っている。この凹凸を除去し平坦な表面モホロジーを獲得するため、ヘテロダイヤモンド膜表面の研磨を行った。研磨についても、株式会社シンテックに依頼し実施した。研磨は HPHT 基板と同じ手法で実施した。前節で数ミリ角状に切り出した基板について、1枚ずつ研磨を行った。後述するように、この凹凸がデバイス化を行った際に悪影響を与える (5.4 節参照)。また通常、表面研磨を行っている HPHT 基板の状態に近づけるのも目的である。

研磨により、図 4.5(b)のように基板表面にあった凹凸は除去できた。また、原子間力顕微鏡 (AFM) にて表面モホロジーを観察した一例が図 4.6 である。研磨後の表面ラフネスは、二乗平均平方根 (RMS) 値で 0.3nm 程度が $10\mu\text{m}$ 角領域にて得られている。このように研磨の実施によって、HPHT 基板と同等な平坦性を持つ表面が得られた。

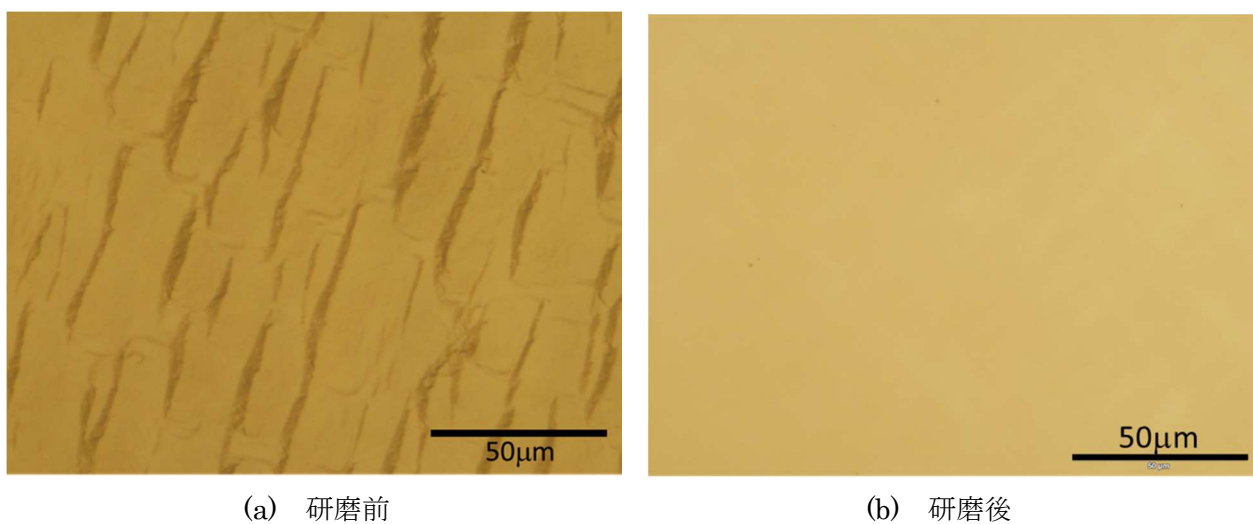


図 4.5 研磨前後の基板表面の光学顕微鏡像

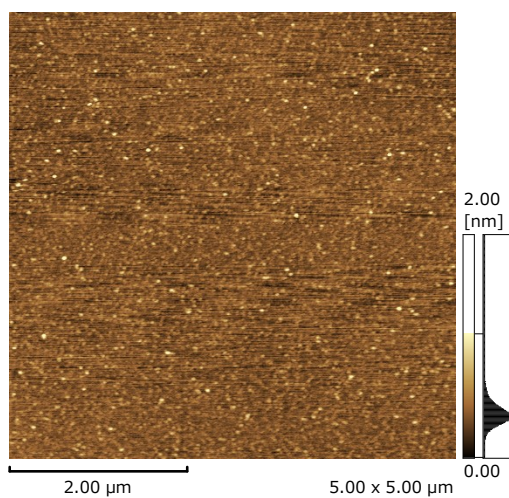


図 4.6 研磨後の基板表面の AFM 像

なお、HPHT 基板では基板側面の研磨を行っている場合がある。レーザーカットにより切り出した基板の側面はそのままでは凹凸を持つため、次節で述べる洗浄工程ではカット・研磨等により基板に付着したごみを十分に除去できないことが生じていた。これらのごみや凹凸そのものが CVD 成膜時に悪影響を及ぼす可能性がある。

このことを受け、Si 上へテロエピ薄膜ダイヤモンド基板でも側面研磨を試みた。しかし、側面研磨に耐えられず、基板が割れるという事態が発生した。そのため、本論文で使用した Si 上へテロエピ薄膜ダイヤモンド基板は、側面研磨を行わないことにした。ただし、側面から発生するごみの問題は重要であるため、今後の課題として、側面研磨または代替となる対策の導入は考慮すべきであると考えている。

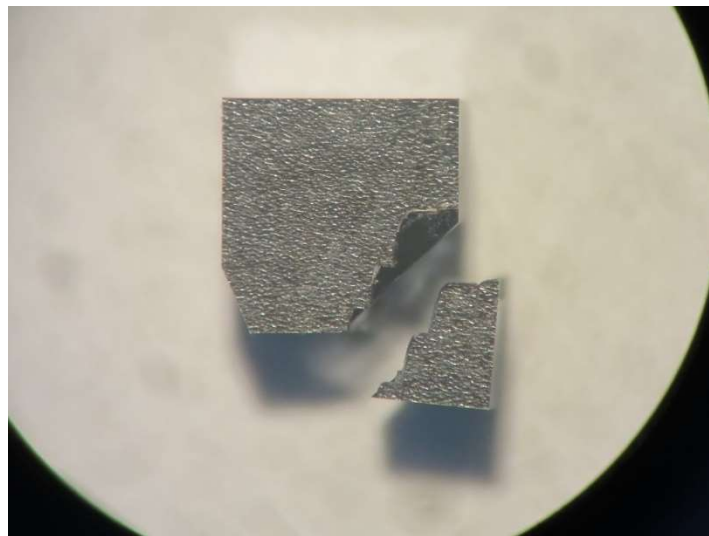


図 4.7 側面研磨中に発生した基板の破損

4.3.2 基板洗浄工程について

4.3.2.1 単結晶ダイヤモンド基板における洗浄工程

基板のカットや研磨、CVD 成膜や電極形成といったデバイスプロセス中、ダイヤモンド基板にごみや不要な金属、グラファイト等が付着することがしばしば発生する。ダイヤモンドの科学的に非常に安定な性質を活かし、ダイヤモンド基板では何重もの酸・有機洗浄工程を通じ、ダイヤモンド基板上のごみ等の除去を行っている。

以下に、単結晶ダイヤモンド基板で通常行われている酸・有機洗浄工程について述べる。

◆ 酸洗浄

(a) 熱混酸洗浄

硝酸と硫酸を 1 : 3 の割合で混合した溶液を加熱したものを熱混酸と呼ぶ。溶液の温度が 200°C 以下でグラファイトを除去する効果を持つ。更に、200°C 以上の溶液中に 30 分以上浸漬させることで、ダイヤモンド最表面を酸素終端化させる効果を持つ。前者は CVD 成膜後やデバイスの作り直しなどの際に、後者はショットキー電極形成時前などのために実施される。

(b) 硫酸過水洗浄 (SPM 洗浄)

超純水と過酸化水素水、硫酸を 1 : 1 : 3 で混合した溶液を過熱させたものであり、一般的に SPM 溶液と呼ぶ。主な目的は、サンプルに付着した有機物の分解除去を行うためである。SPM 溶液が有機物と反応することで、二酸化炭素として除去される。洗浄中、160~180°C に 10 分間加熱し、有機物との反応を促進させている。ただし洗浄中、サンプルがビーカー内を動き回ってしまい、これによりビーカーが削れ、汚れとして付着する可能性がある。そのため、洗浄工程ではフッ酸洗浄を入れる場合がある。

(c) 王水洗浄

エッチング等に金属マスクを用いた場合や、デバイスの作り直しの際に不要となる電極等を除去するために用いられる。硝酸と塩酸を 1 : 3 で混合した王水を用いる。反応を促進させるためには 50°C 以上に加熱することが好ましく、この場合を熱王水洗浄と呼んでいる。ただ、ダイヤモンドデバイスにおいて電極材料によく用いられている白金は常温下では溶けにくい。そのため、70°C 以上の過熱を行うことで白金の溶解を促進させている。洗浄工程では、王水にサンプルを常温下で 10 分間浸漬させた後、30 分間 50~65°C に過熱、更にその後、5 分間 80°C に加熱させることで、白金を含む金属の除去を行っている。ただし、熱王水洗浄だけでは完全に除去できないため、前述の塩酸加水洗浄、SPM 洗浄と組み合わせで行っている。

(d) 塩酸過水洗浄 (sc2 洗浄)

塩酸と過酸化水素水を 3 : 1 で混合した溶液中にサンプルを 30 分間浸漬する。王水同様に金属を除去する効果がある。王水洗浄と併せることで、金属汚染をより除去できるようになる。

(e) フッ硝酸洗浄、フッ酸洗浄

プロセス中、エッチング時に用いられるマスクや絶縁膜として SiO_2 をサンプル上に成膜する場合がある。この SiO_2 を除去する際に、フッ硝酸・フッ酸洗浄が用いられる。フッ酸洗浄には 50%の溶液を用いている。サンプル上から完全に SiO_2 を除去したい場合は、レートの高いフッ硝酸を用いる。この場合、硝酸とフッ酸を 1 : 1 で混合した溶液中に 10 分間室温下で浸漬している。所定の部分のみを除去したい場合は、濃度の薄いバッファードフッ酸でエッチング量を触針段差計等で見ながら実施する。

◆ 有機洗浄

(f) 超音波洗浄

主にアセトンなどの有機溶剤中にサンプルを浸漬し、それらの入ったビーカーを超音波洗浄機に入れる。超音波による振動によりアセトン等が浸透し、対称となる金属や汚れが剥離される。また表面に付着しただけならば、超音波による振動により除去できる可能性がある。主に電極形成時のリフトオフプロセスや、SEM 観察時などにより付着したレジストやカーボンテープなどの汚れを除去するために行われる。

(g) ワイプ洗浄

基板カット・研磨後、ダイヤモンド基板表面に基板の欠片や油などと思われる汚れが付着している場合がある。これらの汚れは、SPM 洗浄や熱混酸洗浄、アセトン浸漬超音波洗浄では十分に汚れが取れない場合がある。そのため、アセトン浸漬させたサンプルに対し、綿棒によって汚れを物理的にこすり取ることで、これらの汚れを除去している。

HPHT 基板などの単結晶ダイヤモンド基板では、各プロセスや用途に応じて、上記の酸・有機洗浄を組み合わせを行っている。しかし、ヘテロエピ薄膜法においては、Si などの下地基板を残したまま洗浄を行う必要があり、その際に生じる不具合に対応して、次節の変更を行った。

4.3.2.2 Si 上へテロエピ薄膜ダイヤモンド基板における洗浄工程

各洗浄工程を導入するために、切り出した基板の端の部分や状態の悪い箇所を利用して、洗浄のテストを行った。表 4.4 が洗浄テストを行った際の結果である。洗浄テストにおいて、超音波洗浄、SPM 洗浄、熱混酸洗浄でダイヤモンド膜が割れてしまう、下地基板から剥離するなどの問題が生じた。洗浄により溶液がダイヤモンドと下地基板の接合部に浸透・反応することによって、下地基板との密着性が悪くなり、剥離やクラックが発生したと思われる。

この結果を受け、Si 上へテロエピ薄膜ダイヤモンド基板における洗浄工程は次のように改めた。以下、変更を加えたもののみ述べる。

(a) 熱混酸洗浄

過度な過熱により、薬液がダイヤモンド～シリジウム界面に入り込み、ダイヤモンド膜との結合を弱めたと考えられる。反応を抑えるために、あまり過熱をせず比較的低温（200℃以下）での洗浄に留めた。低温での熱混酸洗浄ではグラファイト除去は行えるが、ダイヤモンド膜表面の酸素終端化は行えない。そのため、酸素終端化には UV オゾンクリーナーを用いている。特に UV オゾンクリーナーならば、オーミック電極フォーミング後に酸素終端化が行えるため、熱処理により酸素との結合が離れず、より高いショットキー障壁高さが期待できる。

(b) 硫酸過水洗浄（SPM 洗浄）

ダイヤモンド膜自体にはクラック等は確認できなかったため、通常は実施することにした。ただし、下地基板にクラック等のダメージがある場合や、ドライエッチングによるメサ形成等を行っている場合は剥離・破損の可能性があるので、十分注意するか、可能な限り実施を避けるようにする。

(e) フッ硝酸洗浄、フッ酸洗浄

下地基板の Si を有しているため、反応の速いフッ硝酸洗浄は避ける。必要な場合、フッ酸もしくはパフアードフッ酸で確認しつつ行う。

(f) 超音波洗浄

超音波洗浄は基板が割れる可能性が高いため、可能な限り行わないようにした。今回の目的である、疑似縦型ショットキーバリアダイオードならばフォトリソグラフィを用いずにメタルスルー法でも十分なため、リフトオフプロセスが不要となり、超音波洗浄工程が抑えられる。どうしても必要な場合は、主力が弱い超音波洗浄を短時間ずつ、様子を見ながら行うようにした。

表 4.4 Si 上へテロエピ薄膜ダイヤモンド基板への各洗浄工程の適用

洗浄工程	適用性	備考
(a) (a') 熱混酸洗浄	×	<ul style="list-style-type: none"> ● 洗浄後、ダイヤモンド膜が剥がれた。 → 低温熱混酸に切り替え、 ● 酸素終端処理は UV オゾンクリーナーで代用する。
(b) (b') SPM 洗浄	△	<ul style="list-style-type: none"> ● ダイヤモンド面に新たなクラック等は観察されない。 ● 中間層、Si などの下層はクラックが入る場合がある。 ● 外周部・側面部の汚れは取れない。 → 元々状態の悪い基板の場合、注意が必要。
(c) 塩酸過水洗浄	○	<ul style="list-style-type: none"> ● ダイヤモンド膜の剥離等は特に生じなかった。
(d) 熱王水洗浄	○	<ul style="list-style-type: none"> ● ダイヤモンド膜の剥離等は特に生じなかった。
(e) (e') フッ酸洗浄	○	<ul style="list-style-type: none"> ● エッチングレートの高い高濃度のフッ酸やフッ硝酸は使わない。 ● ダイヤモンド膜の剥離等は特に生じなかった。
(f) (f') 超音波洗浄	×	<ul style="list-style-type: none"> ● 1min 程度でも割れてしまった基板もある。 ● 浮力が大きく、洗浄中ビーカー内を動き回りやすい → 必要な場合、短時間のみで使用
(g) 綿棒ワイプ	○	<ul style="list-style-type: none"> ● ダイヤモンド膜の剥離等は特に生じなかった。

基板洗浄時に生じた剥離や破損は、カットを行っていない直径約 10mm の元基板の状態では起こりにくい傾向にある。従って要因の一つとして、基板を切り出したことによって、ダイヤモンド膜と下地基板との接合が弱くなったことが考えられる。切り出す基板のサイズを大きくすることで、各洗浄への耐性が向上し、破損の確率が下がる可能性がある。

また本論文では、あくまでも HPHT 基板等でのデバイスプロセスに準拠する形で洗浄工程を設定した。安定してデバイスを作製するために、より適切な洗浄工程の追求はまだまだ必要である。

4.3.3 ボロンドープダイヤモンド層 (p+/p) の CVD 成膜

ショットキーバリアダイオード作製には、p 型半導体であるボロンドープダイヤモンド膜の成膜が必要である。我々のグループではマイクロ波プラズマ CVD 装置を用いて、p 型ダイヤモンド層の成膜を行い、様々なダイヤモンドデバイスを作製してきた^[25]。今回、Si 上へテロエピ薄膜ダイヤモンド基板においても、HPHT 基板と同様にボロンドープダイヤモンド膜の CVD 成長を試みた。

表 4.5 に今回使用した成膜条件を示す。成膜条件として、HPHT 基板上のボロンドープダイヤモンド成膜条件と同じものを使用した。材料ガスとして、水素、メタン (CH₄)、トリメチルボロン (TMB)、酸素を用いた。なお、ボロンのドーパントガスが TMB である。成膜前には酸・有機洗浄により、カット・研磨工程で付着した汚れを可能な限り取り除いた。

1 層目は p+層となる、高濃度ボロンドープダイヤモンド膜である。単結晶ダイヤモンド基板上へのホモエピタキシャル成長より、ボロン濃度 10²⁰ cm⁻³ 台、膜厚 1 μm を想定した成膜条件である。2 層目は p 層となる、ボロンドープダイヤモンド膜であり、こちらはボロン濃度 10¹⁷ cm⁻³、膜厚 1 μm を想定した成膜条件である。

p+層、p 層ともに同じ CVD 装置で成膜を行っているが、成膜は連続して行っていない。各層成膜後に、チャンバーやホルダーのクリーニング・コーティングを施すことで、安定した表面、成長、ドーピング制御されたダイヤモンド膜を成膜するためである。ただし、同じ CVD で実施しているため、チャンバー内に付着したボロンによって、TMB を流さずともボロンがドーピングされてしまう (メモリ効果)。2 層目の p 層成膜時に TMB を流していないのは、このメモリ効果を考慮してのためであり、酸素を添加することによって、ボロンドープ濃度を 10¹⁷ cm⁻³ に抑えている。また、成膜中のサンプル温度は、下地基板において最も低い融点であるシリコンの融点 (1414°C) を十分下回っていた。

表 4.5 各ボロンドープダイヤモンド層の CVD 成膜条件

	1 層目 : p+型ダイヤモンド層	2 層目 : p 型ダイヤモンド層
チャンバー圧力	50 Torr	50 Torr
マイクロ波出力	1200 W	1200 W
サンプル温度	940 - 1000 °C	1050 - 1070 °C
合計ガス流量	400 sccm	400 sccm
H ₂ 流量	394 sccm	397 sccm
CH ₄ 流量	2.3 sccm	2.4 sccm
TMB 流量	3.87 sccm	- (ボロンはメモリ効果で混入)
O ₂ 流量	-	1 sccm
CH ₄ / H ₂ 流量比	0.6 %	...
ガス中の B / C の比	16 000 ppm	...
成長時間	6 hours	4 hours

成膜前（基板研磨後）、p+層、p層成膜後の光学顕微鏡像を図 4.8、図 4.9 に示す。成膜後、ダイヤモンド膜表面にはクラックや大規模な異常成長粒子などは確認されず、非常に良好な表面であった。なお、図 4.8 の基板中心部付近に見られる黒点は、成膜中に付着したごみに起因するものと考えられる。

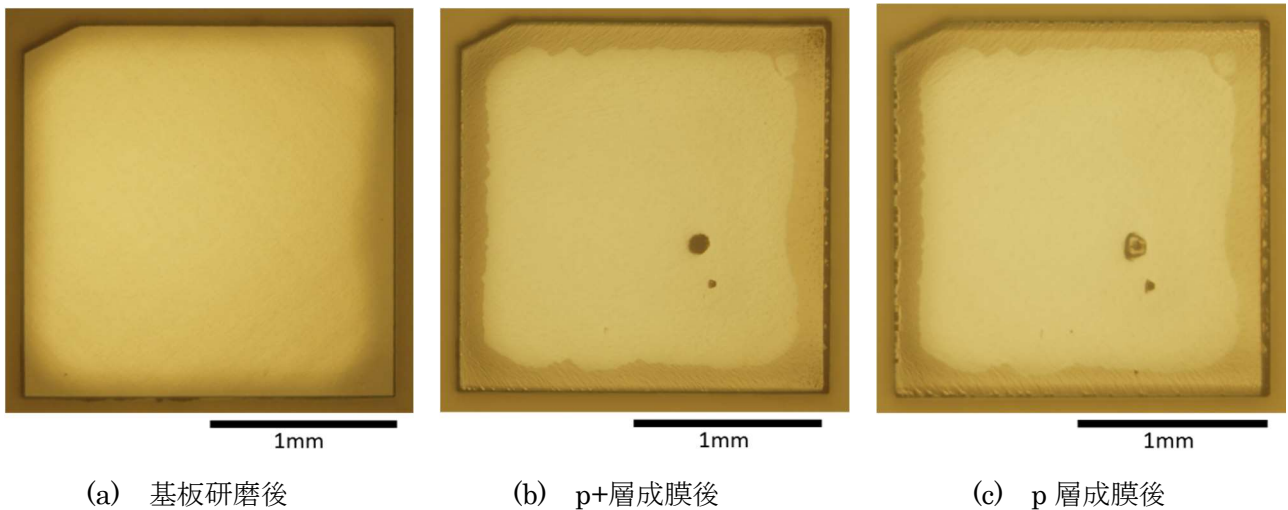


図 4.8 各層成膜後のサンプル全体の光学顕微鏡像

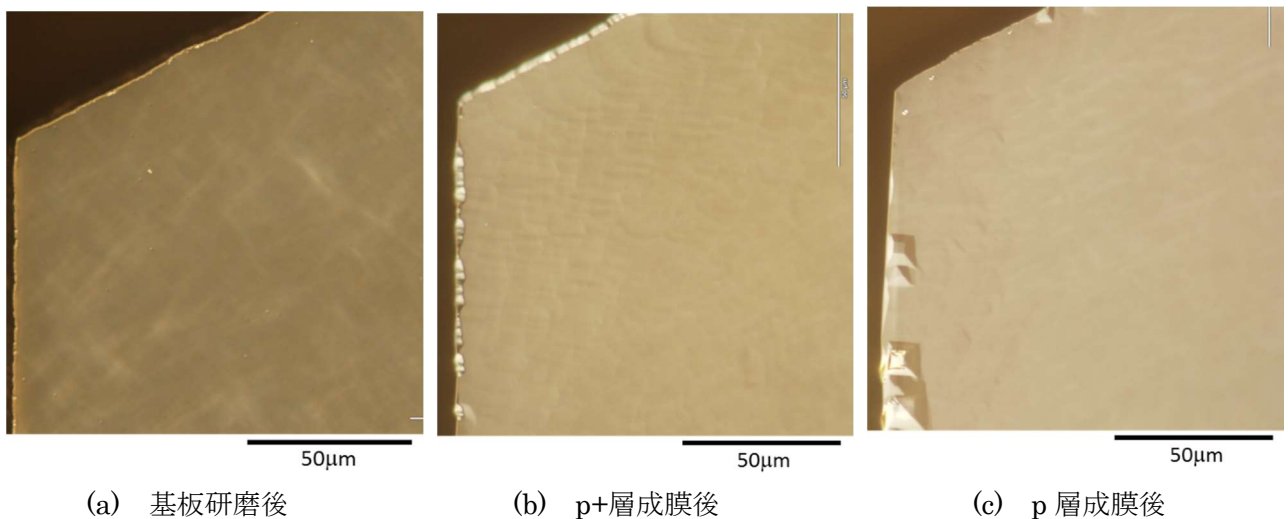


図 4.9 各層成膜後のサンプルの切り欠け付近のノマリスキー光学顕微鏡像

また、図 4.8(b)(c)において、成膜後の基板外周部と中心部で色が異なるが、これはレーザーカットにより基板側面部に露出した中間層が、CVD 成膜中またはレーザーカット時に融解したことにより、外周部でダイヤモンドと下地基板で剥離した部分があるためである。この剥離は、側面の観察や割れた基板の状態から確認した。

また、図 4.10 に示すように、成膜後に基板周辺で付着しているものがあつた。これは CVD 成膜中にシリコンやイリジウムなど下地基板の何らかの成分が溶け出て付着したものと考えられる。



(a) 成膜前



(b) 成膜後

図 4.10 成膜前後での基板周囲のホルダーの状態

この溶け出た成分に関して、下地基板の成分のボロンドープダイヤモンド膜中への混入が疑われた。しかし、成膜後のサンプルに関して、二次イオン質量分析法 (SIMS) により成分分析を行った結果、各層の界面でこそシリコンが検出されているものの、 $p+$ 層および p 層中では下地基板の成分は検出下限以下に抑えられていた。今回の成膜条件では、下地基板成分の混入が抑えられたと予想される。また、膜厚やボロンドープ濃度に関しても、概ね理想どおりの結果が得られていた。

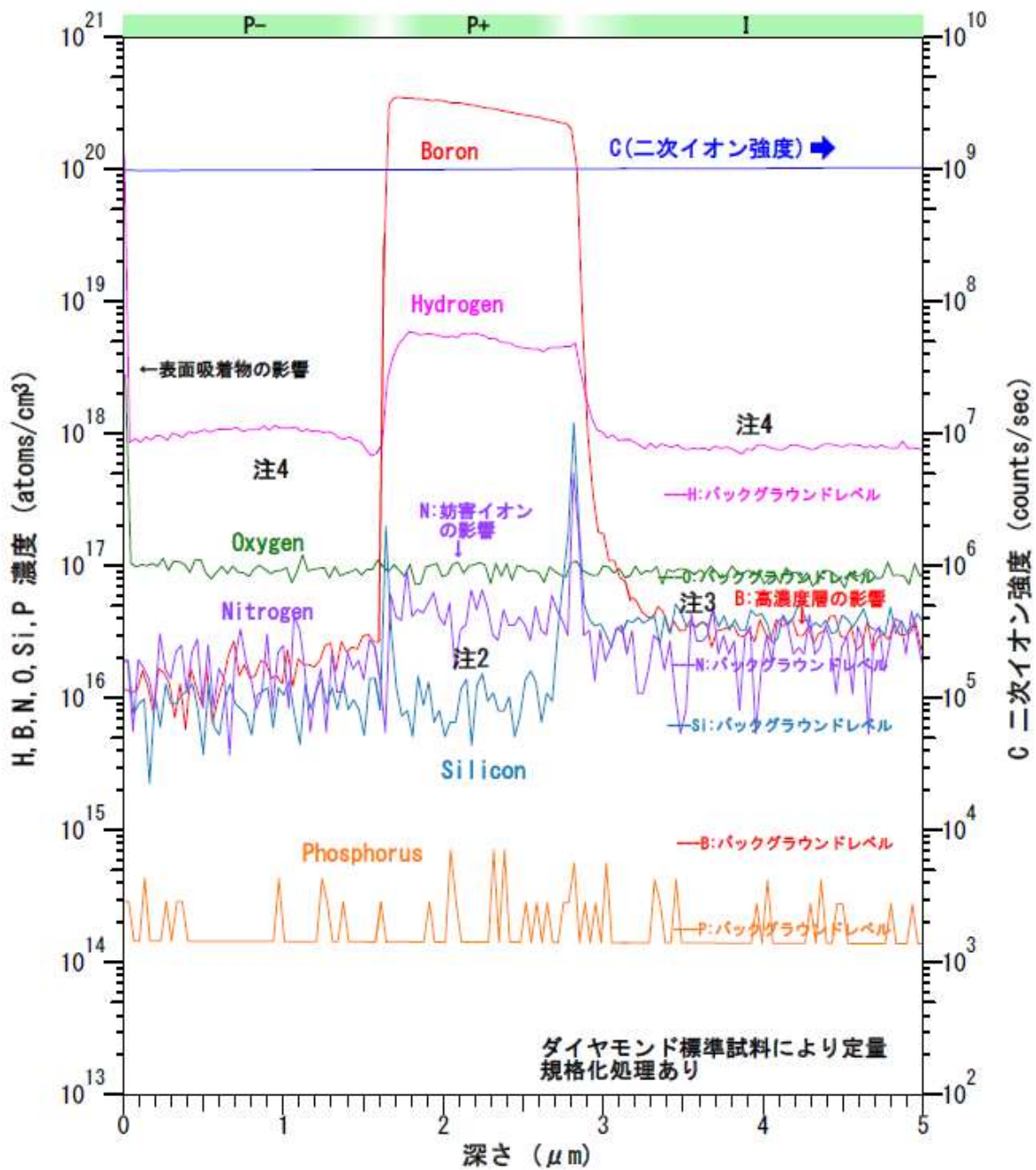


図 4.11 p+/p 層成膜後のサンプルの SIMS 結果。図中では下地基板成分はシリコンのみだが、他の元素の成分分析も行っており、膜中に混入していないことが分かっている。

4.3.4 電極形成プロセス

電極形成については、概ね HPHT 基板等と同等なプロセスを用いることが出来ている。電極形成プロセスの詳細は 2.3 節で述べている。電極形成プロセスはメタルスルーマスクを用いたオーミック電極ならびにショットキー電極の蒸着や、RTA によるオーミック電極フォーミング、UV オゾンクリーナーによるダイヤモンド最表面の酸素終端化の工程にあたる。HPHT 基板等と寸法を合わせるために Si 上ヘテロエピ薄膜ダイヤモンド基板を切り出したため、各装置へのセットならびに電極形成プロセスは問題なく行うことが出来た。

4.4 まとめ

Si 上ヘテロエピ薄膜ダイヤモンド基板を用いてデバイスを作製する方法として、自立化を行わず下地基板を残したままデバイス化を行う、ヘテロエピ薄膜法を提案した。実行にあたり、作製上困難になりうる要素を推測・テストし、作製が容易かつ HPHT 基板上のデバイスとの比較が可能な構造を模索した。その結果、疑似縦型ショットキーバリアダイオードを採用し、HPHT 基板等に準拠しつつ Si 上ヘテロエピ薄膜ダイヤモンド基板向けにデバイスプロセスを調整した。成膜、電極形成共に、大きな問題なくプロセスが実行でき、Si 上ヘテロエピ薄膜ダイヤモンド基板でも十分デバイスプロセスが可能であることを確認できた。

次章では、本章で作製した疑似縦型ショットキーバリアダイオードの電気特性について述べる。

参考文献

- [1] H. Umezawa, T. Saito, N. Tokuda, M. Ogura, Sung-Gi Ri, H. Yoshikawa and S. Shikata: Appl. Phys. Lett. **90**, p.073506 (2007).
- [2] Y.G. Chen, M. Ogura, H. Okushi,: Appl. Phys. Lett. **82**, p.4367 (2003).
- [3] T. Makino, S. Tanimoto, Y. Hayashi, H. Kato, N. Tokuda, M. Ogura, D. Takeuchi, K. Oyama, H. Ohashi, H. Okushi, and S. Yamasaki,: Appl. Phys. Lett. **94**, p.262101 (2009).
- [4] D. Takeuchi, S. Koizumi, T. Makino, H. Kato, M. Ogura, H. Ohashi, H. Okushi, and S. Yamasaki,: Phys. Status Solidi A 210, **10**, p.1961 (2013).
- [5] H. Kato, T. Makino, M. Ogura, D. Takeuchi, and S. Yamasaki,: Jpn. J. Appl. Phys. **51**, p.090118 (2012).

第5章

ヘテロエピ薄膜法によるショットキーバリアダイオードの電気特性

5.1 はじめに

ヘテロ基板を用いた活用法として、筆者はダイヤモンドの膜厚が数十 μm 程度で、下地であるSi基板を残したままデバイスにするヘテロエピ薄膜法を第4章で提案した。本章ではヘテロエピ薄膜法による、Si上ヘテロエピ薄膜ダイヤモンド基板上的ダイヤモンドデバイス作製プロセスを用いて、実際に作製したショットキーバリアダイオードの電気特性について述べる。作製したデバイスのショットキー特性・逆方向リーク・耐圧が、従来のHPHT基板を用いたショットキーバリアダイオードと比べどの程度かを調べるのが議論の焦点となる。

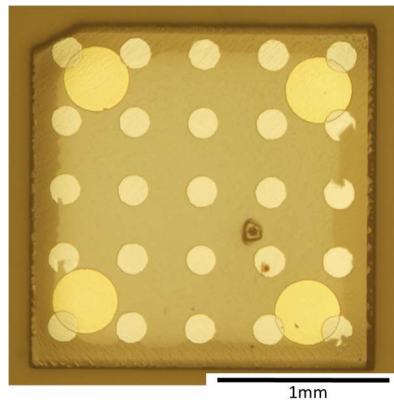
5.2 ショットキーバリアダイオードの電気特性

第4章で述べたヘテロエピ薄膜法により、Si上ヘテロ薄膜ダイヤモンド基板上に疑似縦型ショットキーバリアダイオードを作製した。実際のサンプルの写真が図5.1(a,b)であり、デバイス構造を図5.1(c)に示す。

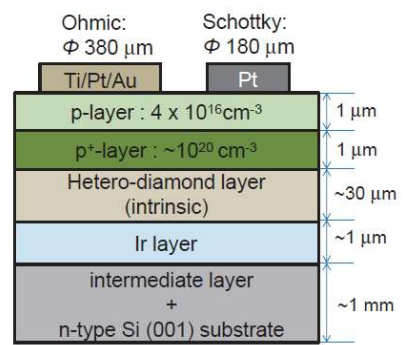
図5.1の疑似縦型ショットキーバリアダイオードは、2mm角に切り出したSi上ヘテロエピ薄膜ダイヤモンド基板を用いた。3章では基板自体の評価を行うため未研磨のまま使用したが、デバイス作製においては、基板に表面研磨を施した。表面研磨は株式会社シンテックにより行われた。未研磨のままでも同様な疑似縦型ショットキーバリアダイオードを作製した場合については5.4節で述べる。プラズマCVD法により成膜を行った2層のボロンドープダイヤモンド膜について、p層の実効アクセプタ濃度 ($N_A \cdot N_D$: N_A はアクセプタ濃度、 N_D はドナー濃度のことを示す) はSBDの容量・電圧(CV)測定より、 $4 \times 10^{16} \text{ cm}^{-3}$ と見積もられる。また、成膜条件よりp層、p+層の膜厚はどちらも1 μm と見積もられる^[1]。オーミック電極は直径約380 μm で、金属材料にTi/Pt/Auが用いられており、サンプルの4隅に作製した。



(a) サンプル全体



(b) サンプル表面



(c) サンプル構造図

図 5.1 ヘテロエピ薄膜法によるショットキーバリアダイオード

5.2.1 順方向特性

図 5.2 に Si 上ヘテロエピ薄膜ダイヤモンド基板上に作製したダイヤモンド SBD の室温での I-V 特性を示す。印可電圧は-2V から 4V の範囲である。このグラフより、±4V の範囲内で 12 乗の良好な整流比が得られていることが分かった。この時、-10V まで逆方向リーク電流は測定下限以下に抑えられている。

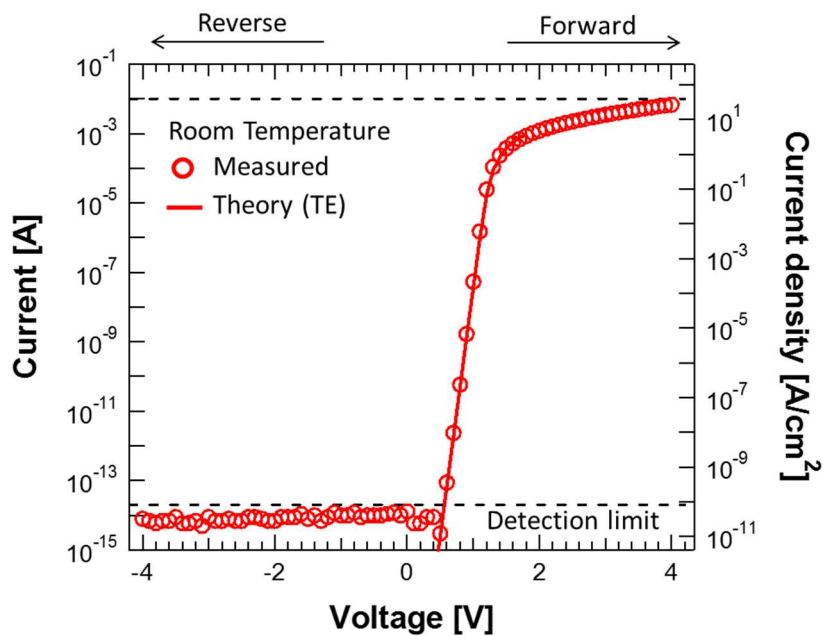


図 5.2 ショットキーバリアダイオードの電気特性

ショットバリアダイオードの電気特性について、順方向電流密度 J は式 (5.1) の熱電子放出モデルで説明される。

$$J = J_s \left\{ \exp \left\{ \frac{q(V - R_s J)}{nk_B T} \right\} - 1 \right\}, \quad (5.1)$$

このとき、 J_s は飽和電流密度を示し、式 (5.2) で示される。

$$J_s = A^* T^2 \exp \left(- \frac{qV_b}{k_B T} \right), \quad (5.2)$$

式 (5.1)、(5.2) について、 R_s は直列抵抗、 n は理想因子、 k_B はボルツマン定数、 T は測定温度、 A^* はリチャードソン定数、 qV_b はショットキー障壁高さを示している。図 3 の実線は式 (1)、(2) によるフィッティング曲線であり、実験値と合致していることがわかる。このとき、フィッティングパラメーターとして、 $n = 1.2$ 、 $J_s = 7.2 \times 10^{-19} \text{ A/cm}^2$ 、 $qV_b = 1.49 \text{ eV}$ が得られている^[2]。これらの値は HPHT 基板上のものと非常に近い。また、順方向電圧印可時のオン抵抗は 300Ω 程度と見積もられる。このオン抵抗は p+層でのオーミック・ショットキー電極間での抵抗（シート抵抗）や、SBD として機能している p 層の抵抗の理論値に近いものが得られていた。

図 5.3 では 2 mm 角基板における、17 箇所のショットキー電極から得られた I-V 特性について示す。各電極は異なる色の実線で区分している。図 4 に示す通り、14 電極で良好な整流比を持つ I-V 特性が得られていた。0 V 近傍よりリークが発生している電極部は、サンプルの最外周に存在している電極や、光学顕微鏡で明瞭に欠陥がみられる電極である。また、直径 10 mm のヘテロエピ薄膜ダイヤモンド基板を 2 mm 角状に切り出した際に作製された、別の 2 mm 角基板上に同様な SBD を作製したところ、同様に良好なショットキー特性が得られた。このことは、Si 上ヘテロエピ薄膜ダイヤモンド基板において、SBD による電気特性評価を通じ、直径 10 mm の基板の面内分布が良好であることを示している。

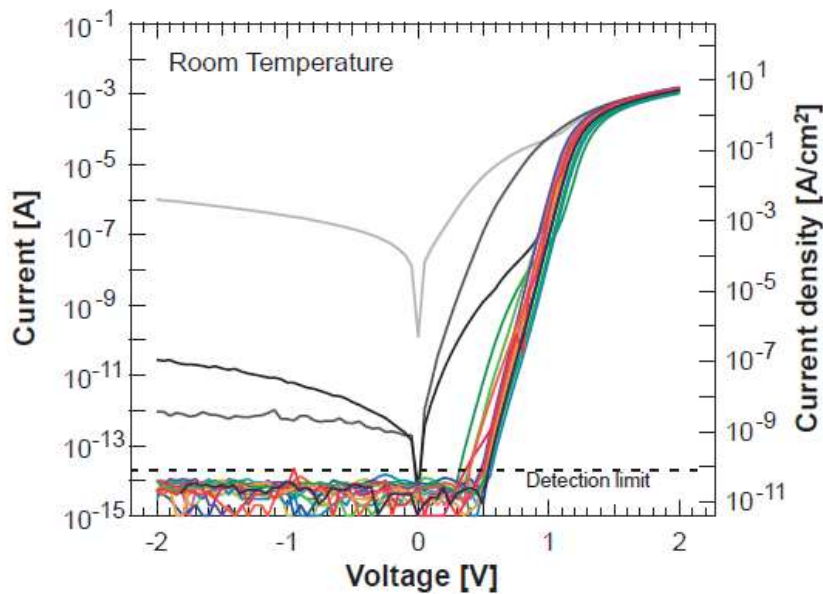


図 5.3 全 17 箇所のショットキー電極での順方向 I-V 特性

5.2.2 逆方向特性

図 5.4 は逆方向 I-V 特性について示した。逆方向リーク電流は逆バイアスを約-20V 印加するまで発生していない。ところが、-52 V 印加時には急激にリークが増加した。この急激なリーク増加を確認後、再度逆方向 I-V 特性を調べたところ、リーク電流の増加が見られた。これは過度な逆バイアス印可により、ダイヤモンド結晶内部や電極界面に変化が生じたものと考えられる。その他の電極についても測定したが、同程度かそれ以下の電圧であった。

一般的に、絶縁破壊電界強度は電極サイズに大きく関係する^[3]。本研究での直径 180 μm のショットキー電極を考えると、絶縁破壊電界強度は 1 MV/cm となり、これはシリコンの材料限界の 3 倍以上の数値である。このことは、本基板が 10^8cm^{-2} 程度のエッチピット密度を有しているのにも関わらず、耐圧には致命的な影響を与えていないことを示唆している。エッチピット密度と SBD におけるキラ欠陥の関係は、SBD の電気特性の改善に重要な要素であり、詳細に調べる必要がある^[4,5]。

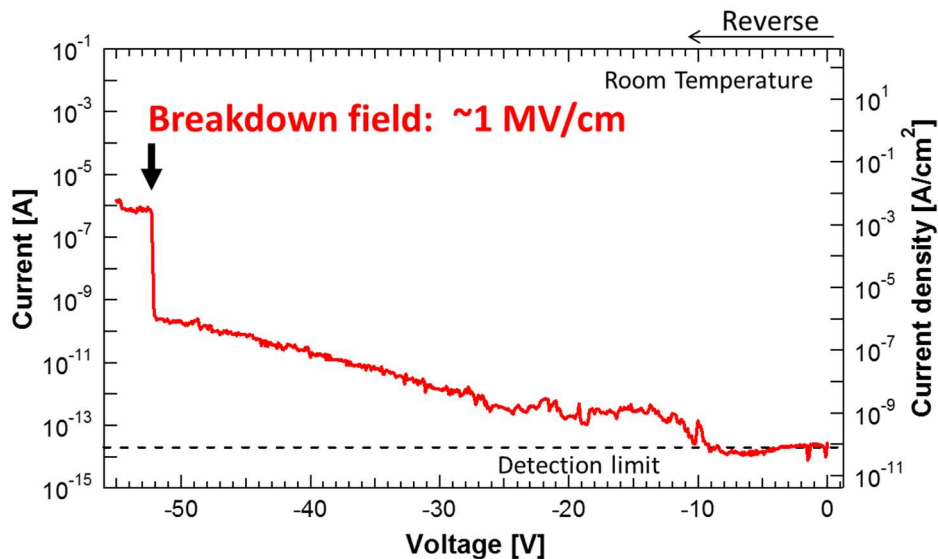


図 5.4 逆方向 I-V 特性

空乏層幅 W は次式で導出され、今回のショットキーバリアダイオードの場合、 $0.8 \mu\text{m}$ と見積もられる。

$$W = \sqrt{\frac{2\varepsilon_s}{qN_A} \left(V_b - V - \frac{k_B T}{q} \right)}, \quad (5.3)$$

ここで、 ε_s はダイヤモンドの誘電率を示す。式 (3) より、このダイオードはパンチスルーしていないことが示される。このとき、ダイヤモンドと白金における最大電界 E は次式で見積もられる。

$$E = \frac{2 \left(V_{bi} - V - \frac{k_B T}{q} \right)}{W}, \quad (5.4)$$

式 (4) を用いることで、最高で絶縁破壊電界強度 1 MV/cm が見積もられる。HPHT 基板上に作製されたショットキーバリアダイオードでは、絶縁破壊電界強度は 3 MV/cm 程度のものが報告されている^[21]。Si 上へテロ薄膜ダイヤモンド基板上に作製されたショットキーバリアダイオードの絶縁破壊電界強度は、HPHT 基板上のものとは比べて低い値ではあるが、シリコンの材料限界 (約 0.3 MV/cm) を超えていた。電界集中を緩和させる等の構造に工夫をせずとも、高い絶縁破壊電界強度が得られたことから、Si 上へテロ薄膜ダイヤモンド基板には、将来的にも高いポテンシャルが伺える。

5.3 ヘテロエピ薄膜ダイヤモンド基板の面内分布

再現性および基板の面内分布の良好さを明確にするために、前節 5.2 とは別の Si 上ヘテロエピ薄膜ダイヤモンド基板を用いた。更に、今度は 4mm 角状に切り出し、同じ手順でショットキーバリアダイオードを作製することで、より大面積での均一性について調べた。図 5.5 に作製したデバイスの写真を示す。デバイス構造自体は前節 5.2 の疑似縦型ショットキーバリアダイオードと同じである。ただし、こちらは基板面積が広いので、ショットキー電極は最外周を除いても 52 箇所得られている。

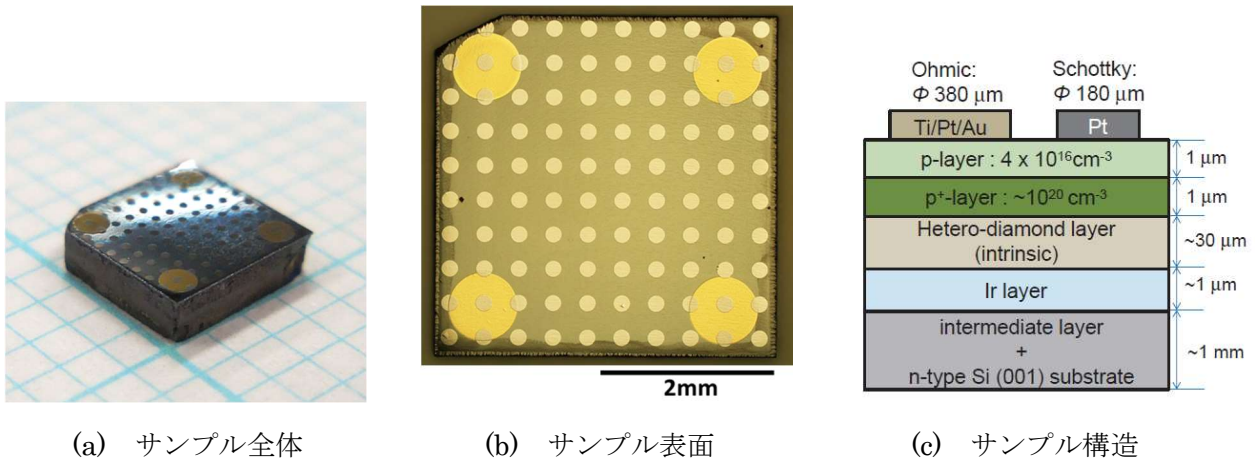
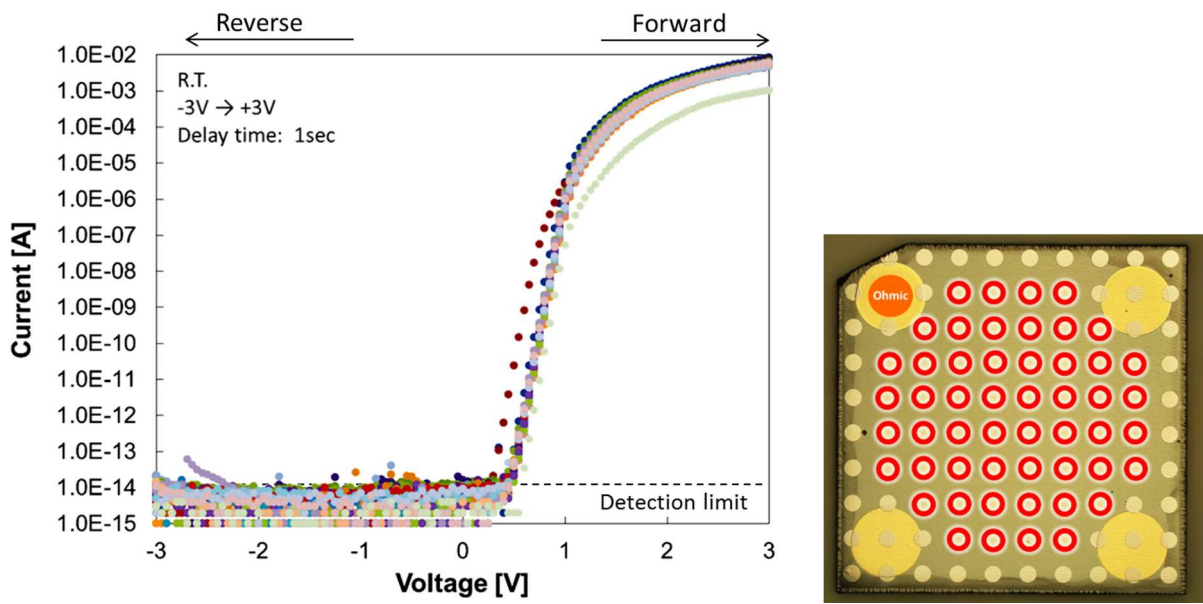


図 5.5 4 mm 角の Si 上ヘテロエピ薄膜ダイヤモンド基板上に作製したショットキーバリアダイオード

図 5.6 に最外周を除いた 52 箇所のショットキー電極での I-V 特性を示す。いずれの電極においても、0V 近傍からのリークは発生しておらず、ほぼすべての電極で 12 乗の整流比が得られていた。

また、ショットキーバリアダイオードのパラメータである、理想因子 (n) とショットキー障壁高さ (Φ_b) について、52 箇所の I-V 特性からそれぞれ得られる。これらの値について、カラーマップとヒストグラムを示したものが、図 5.7 と図 5.8 である。理想因子について、平均値は 1.14、標準偏差は 0.059 であり、ショットキー障壁高さにおいては平均値が 1.43 eV、標準偏差は 0.033 eV であった。理想因子、ショットキー障壁高さの点でも基板内における分散は少ないと言える。また、カラーマップから見て取れる通り、理想因子とショットキー障壁高さの変動について、似たような分布をとることがわかる。

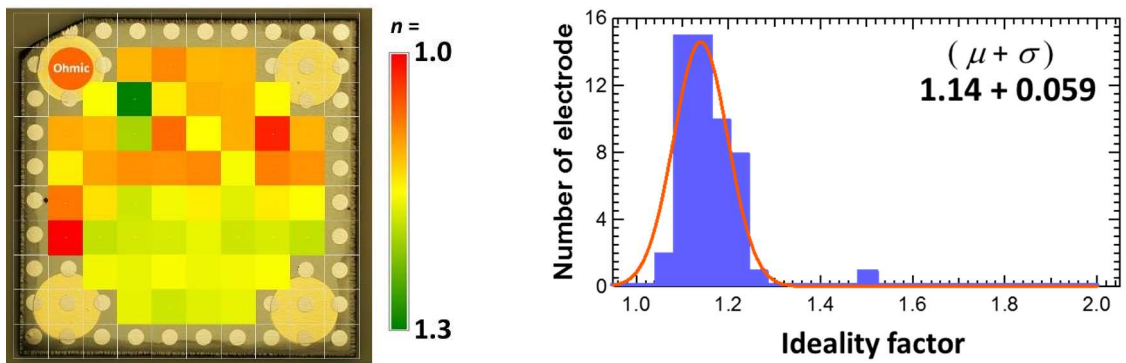
また、理想因子とショットキー障壁高さの関係を示したのが図 5.9 である。両者は良い線形関係を持っていることから、理想因子とショットキー障壁高さの分散はダイヤモンド膜由来のものではなく、ダイヤモンド-白金界面に不均一さの原因があるものと考えられる。なお、 $n=1$ の特に得られる、ダイヤモンド-白金間の理想的なショットキー障壁高さである真性ショットキー障壁高さ (Φ_b^0) は 1.50 eV であった。



(a) I-V 特性

(b) 測定を行った電極

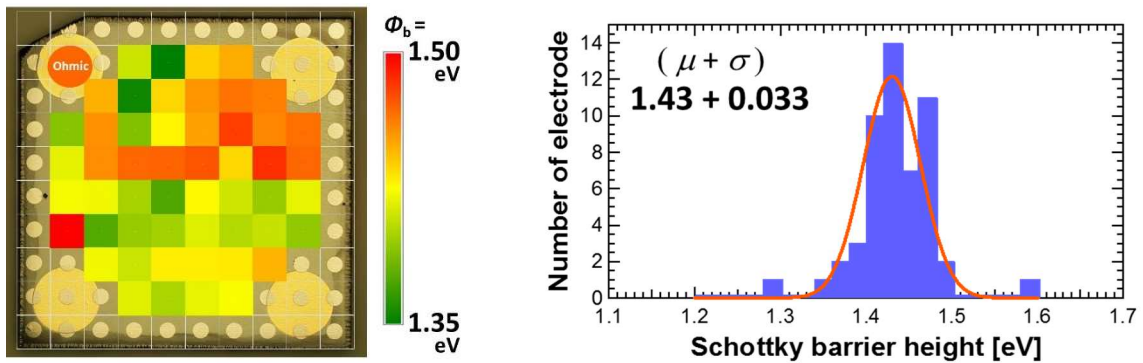
図 5.6 52 箇所のショットキー電極での順方向 I-V 特性



(a) カラーマップ

(b) ヒストグラム

図 5.7 理想因子の面内分布



(a) カラーマップ

(b) ヒストグラム

図 5.8 ショットキー障壁高さの面内分布

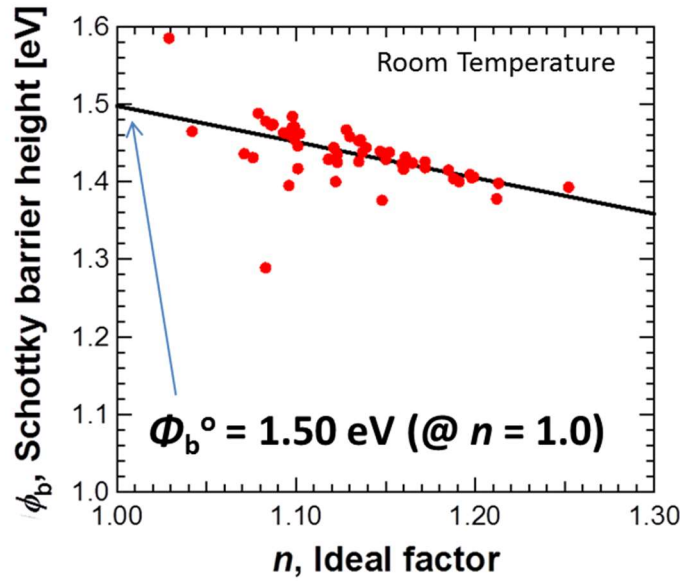


図 5.9 理想因子とショットキー障壁高さの関係

5.4 未研磨基板との比較

第4章で良好なデバイス特性を得るためには、研磨が必要であると述べた。本節ではそれを証明するために、未研磨基板上に作製したショットキーバリアダイオードの電気特性について触れる。5.2 節、5.3 節の疑似縦型ショットキーバリアダイオードと同じ構造、同じプロセスを用いデバイスを作製した。デバイス作製にあたり、直径 10mm の元基板を 2 mm 角状に切り出しているが、研磨は行っていない。なお、この元基板は 5.2 節で用いたものと同じものであり、別の箇所を切り出したものである。

図 5.10 に完成後のデバイスの写真を示す。あくまでもテスト向けに作製したため、ライン状のヒロックが存在するような少し状態の悪い箇所を用いている。

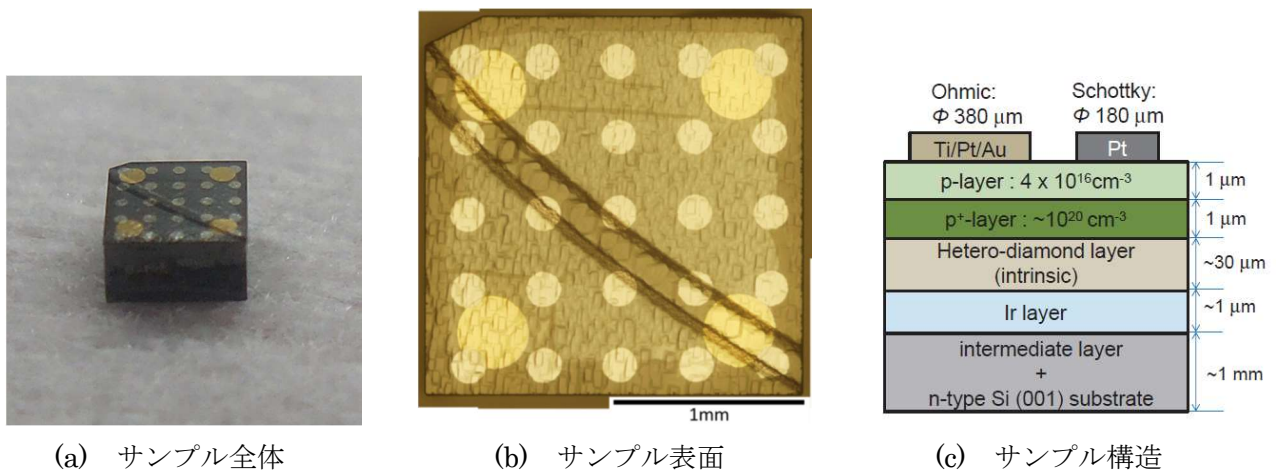
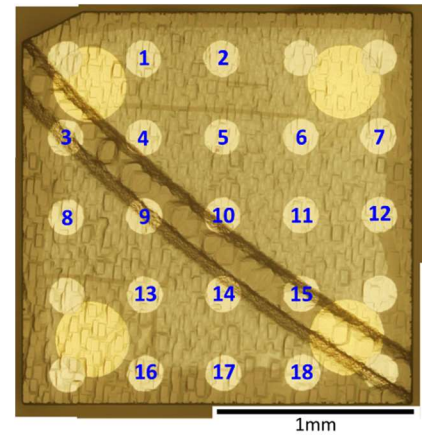
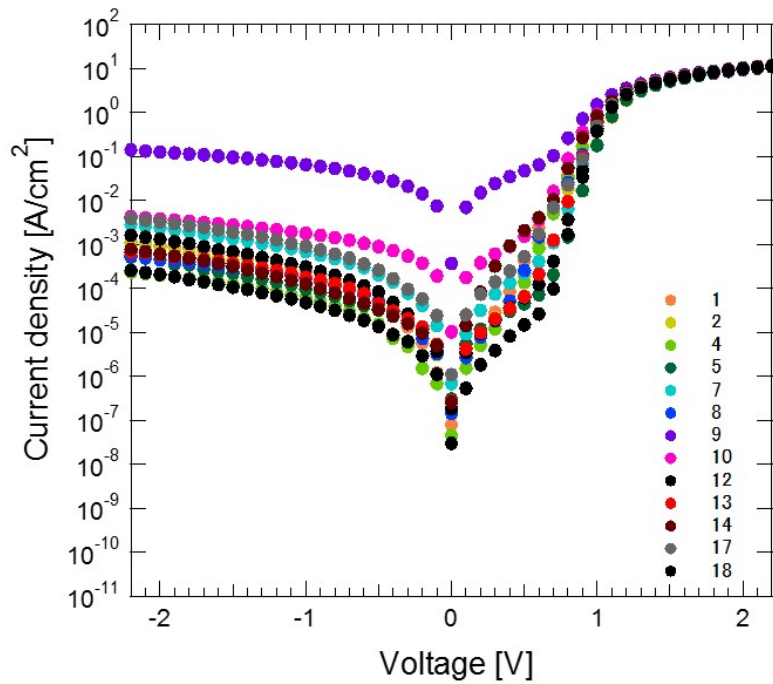


図 5.10 未研磨基板上のショットキーバリアダイオード

図 5.11 に未研磨基板上的ショットキーバリアダイオードの電気特性を示す。5.2 節の研磨済み基板上的のものと比較しても、明確に逆リーク電流が発生している。最大で 5 乗の整流比を持ち、ライン状のヒロックに乗った電極は最も整流比が悪く、2 乗程度であった。推測ではあるが、元々凹凸を持つ基板では、p 型ダイヤモンド層成膜の際、場所・方向によっては p+層までの十分な距離が得られず、パンチスルーしてしまっていることが考えられる。特により凹凸の激しいライン状のヒロックに乗ったショットキー電極で、より多くのリークが発生していることから予想できる。以上の点からも、良好なデバイスを得るためには表面研磨を施したほうが好ましいと言える。



(a) I-V 特性 (各色は(b)の番号箇所に対応)

(b) 各ショットキー電極箇所

図 5.11 未研磨基板上的ショットキーバリアダイオードの I-V 特性

5.5 自立化ヘテロダイヤモンド基板との比較

Si 上ヘテロエピ薄膜ダイヤモンド基板、HPHT 基板にて良好なショットキーバリアダイオードが作製できた。本節では、製法の異なるヘテロダイヤモンド基板でも同様なデバイスが作製できるかどうかを調べた。対象とした基板は、Ir/MgO 基板を下地基板として作製されたヘテロダイヤモンド基板である。この基板は AGD マテリアル株式会社（青山学院大）より購入したものである。この基板は自立化がされており、厚さ約 300 μm のダイヤモンドのみで構成された基板である。元々、8 mm 角だった基板をレーザーカットにより 4 分割することで、4 mm 角基板として使用した。基板表面は研磨されているものの、クラックなど状態の悪い部分も存在しており、この面内分布という点では Si 上ヘテロエピ薄膜ダイヤモンド基板のほうが優れる。また、この基板のエッチピット密度は約 $2 \times 10^8 \text{ cm}^{-2}$ であり、Si 上ヘテロエピ薄膜ダイヤモンド基板と同程度である。なお、自立化ヘテロダイヤモンド基板についての研究は続いており、今回使用した基板に比べ現在では、基板品質が向上しているものと思われる

図 5.12 に作製した自立化ヘテロダイヤモンド基板上のショットキーバリアダイオードを示す。本基板はダイヤモンドのみで構成されている基板のため、通常のデバイスプロセスでも問題ないが、Si 上ヘテロエピ薄膜ダイヤモンド基板との比較を念頭に置いているため、デバイスプロセスも Si 上ヘテロエピ薄膜ダイヤモンド基板と同じ手法で行った。

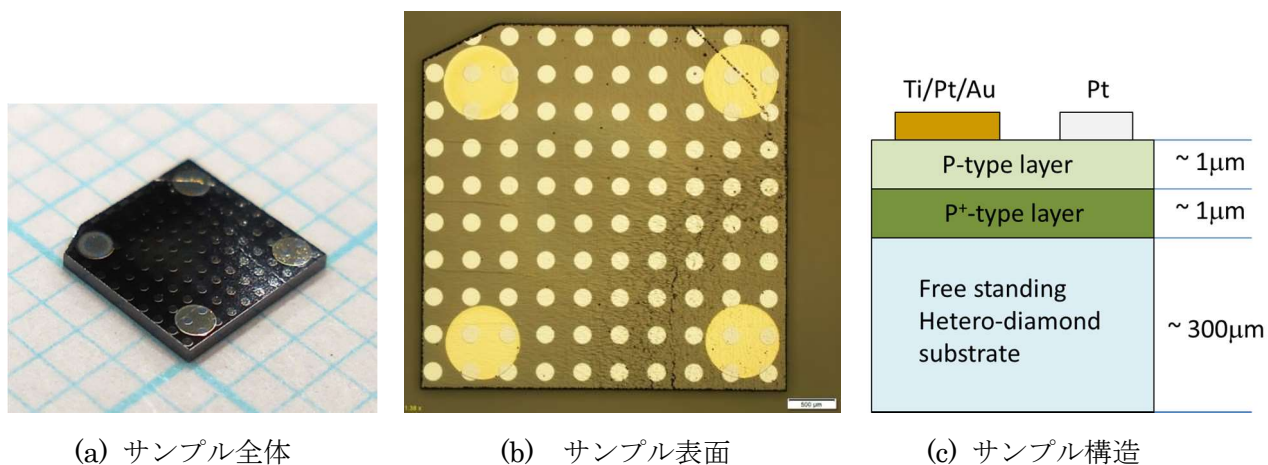
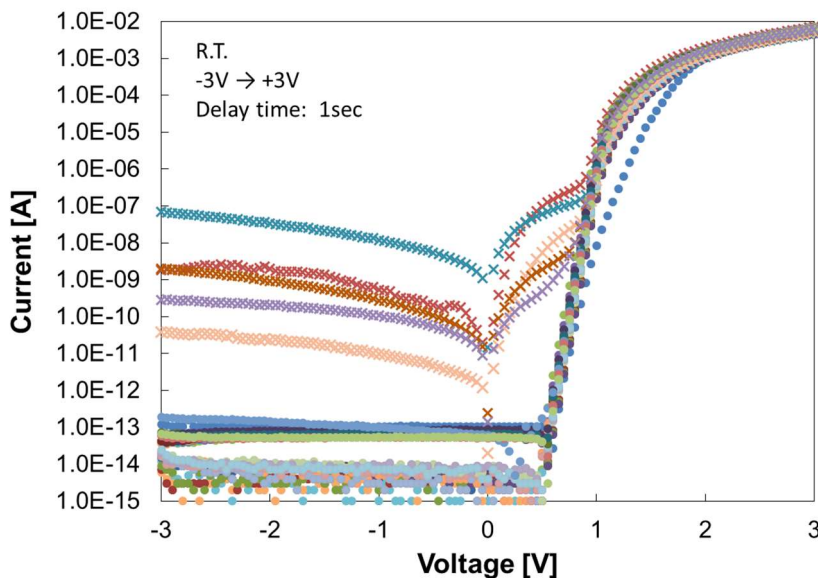


図 5.12 自立化ヘテロダイヤモンド基板上のショットキーバリアダイオード

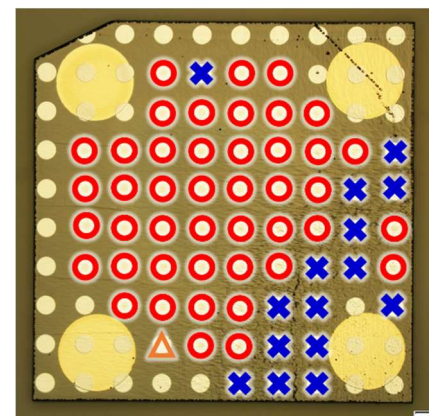
図 5.13 に作製した自立化ヘテロダイヤモンド基板上のショットキーバリアダイオードの I-V 特性を示す。図 5.13(a)の各ショットキー電極での I-V 特性に対し、整流比による分布を示したのが図 5.13(b)である。整流比 10 乗以上でリークが見られないものを○、整流比 10 乗以上だがリークの発生しているものを△、整流比 10 乗未満なものを×と表記した。

元々基板が持っていたクラックや凹凸、p+p 層成膜後の異常成長粒子等を含まないような、良好な領域においては、整流比 12 乗の良好なショットキー特性が獲得できていた。このことから、ヘテロダイヤモンド基板において 10^8cm^{-2} のエッチピット密度は、製法によらず致命的なキラー欠陥として作用しないことが示される。

一方、クラックが発生しているなど状態の悪い箇所においては、0V 近傍からリークが発生していた。前節の未研磨基板での結果と同様、良好なデバイス特性を得るためには、凹凸のない平坦性の良い膜であることが必要と言える。



(a) I-V 特性



(b) 測定箇所と整流比の判定

図 5.13 自立化ヘテロダイヤモンド基板上のショットキーバリアダイオードの I-V 特性

[参考文献]

- [1] K. Oyama, S.-G. Ri, H. Kato, M. Ogura, T. Makino, D. Takeuchi, N. Tokuda, H. Okushi, and S. Yamasaki, : Appl. Phys. Lett. **94**, p.152109 (2009).
- [2] H. Umezawa, T. Saito, N. Tokuda, M. Ogura, S. G. Ri, H. Yoshikawa, and S. Shikata, Appl. Phys. Lett. **90**, p.073506 (2007).
- [3] H. Umezawa, K. Ikeda, N. Tatsumi, K. Ramanujam, and S. Shikata, : Diamond Relat. Mater. **18**, p.1196 (2009).
- [4] M. Schreck, J. Asmussen, S. Shikata, J.-C. Arnault, and N. Fujimori, : MRS Bull. **39**, p.504 (2014).
- [5] R. S. Balmer, J. R. Brandon, S. L. Clewes, H. K. Dhillon, J. M. Dodson, I. Friel, P. N. Inglis, T. D. Madgwick, M. L. Markham, T. P. Mollart, N. Perkins, G. A. Scarsbrook, D. J. Twitchen, A. J. Whitehead, J. J. Wilman, and S. M. Woollard, J. Phys.: Condens. Matter **21**, p.364221 (2009).
- [6] H. Umezawa, M. Nagase, Y. Kato, and S. Shikata, : Diamond Relat. Mater. **24**, p.201 (2012).

第6章 今後の展望

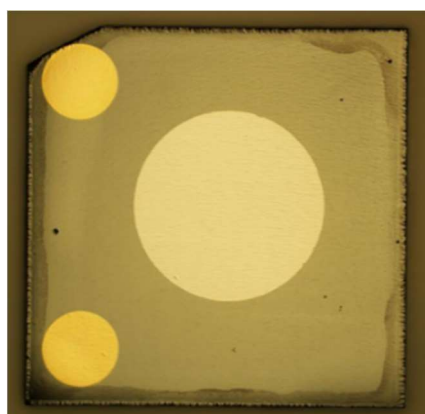
6.1 はじめに

ヘテロエピ薄膜法の今後の取り組みとしては、デバイス性能を HPHT 基板上の性能に近づけ、ヘテロエピダイヤモンド基板が HPHT 基板と同等、もしくは SiC・GaN 以上の性能が引き出せることを示していくことが重要である。それが実現すれば、低コスト・高パフォーマンスなダイヤモンドデバイスの作成法として、ヘテロエピ薄膜法が挙がるだろう。

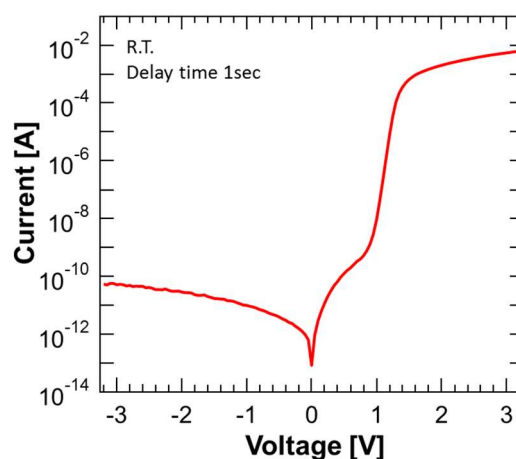
本章では Si 上ヘテロエピ薄膜ダイヤモンド基板の更なる応用を目指すため、進行している研究の一部および現在抱えている問題点について述べる。Si 上ヘテロエピ薄膜ダイヤモンド基板の持つ、大面積での良好な面内分布や、下地基板である Si 基板の加工しやすさに着目したデバイスについて紹介する。これらは、Si 上ヘテロエピ薄膜ダイヤモンド基板の特徴も活かしたデバイス構造である。高品質なダイヤモンド基板上でのデバイス特性と比較・目指すだけでなく、特有な使い方を提示することで、Si 上ヘテロエピ薄膜ダイヤモンド基板の価値を高めるためである。

6.2 大面積電極の適用

4mm 角の Si 上ヘテロエピ薄膜ダイヤモンド基板上に、図 6.1(a)のようなショットキー電極直径 2mm の疑似縦型ショットキーバリアダイオードを作製したところ、図 6.1(b)に示すような、 10^8 程度の整流比が得られた。ただし、オン抵抗は 270Ω であり、第4章のショットキー電極直径 $200\mu\text{m}$ (224Ω) と大差がなかった。これは、電流パスがオーミック～ショットキー電極の最短距離間で集中してしまったためと考えられる。



(a) サンプル写真



(b) 順方向 I-V 特性

図 6.1 大面積電極ショットキーバリアダイオード (円形)

6.3 縦型薄膜デバイスの作製

デバイス構造において、理想的な構造は縦型構造である。疑似縦型構造の場合、電流パスがオーミック～ショットキー電極の最短距離間で集中してしまい、そのぶん高抵抗となる。一方、縦型構造ならば、電極全面に対しより均一な電流パスとなり、低抵抗動作が期待できる。縦型構造としては、元々ホウ素が高濃度にドーピングされているダイヤモンド基板を使用したデバイスが報告されている。だが、より低抵抗なデバイスを求めるとなると、基板の持つ数百 μm の厚みが障害となる。理想としてはダイヤモンド基板を薄くなるまでエッチングをする必要があるが、ドライエッチングではエッチングレート、マスクの耐久性などの問題から作製は非常に困難である。しかし、Si上へテロ薄膜ダイヤモンド基板ならばシリコンのエッチングが比較的容易であり、図6.3のような縦型薄膜デバイス構造の実現が期待できる。

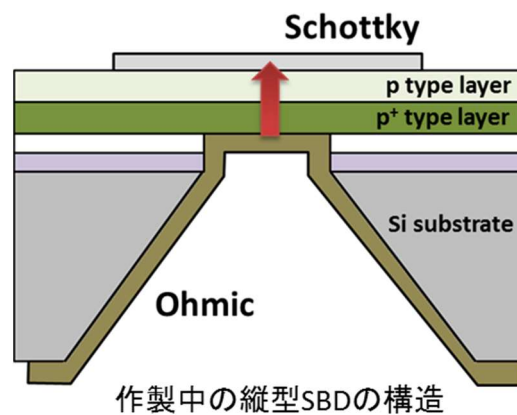


図 6.3 縦型薄膜ショットキーバリアダイオードの構造案

第7章 結論

本研究ではダイヤモンド基板の抱える、高コスト・基板サイズの制限といったボトルネック解消を視野に入れ、ダイヤモンド基板の新しい活用法としてヘテロエピ薄膜法を提案・実行した。Si 上ヘテロエピ薄膜ダイヤモンド基板上に疑似縦型ショットキーバリアダイオードを作製し、ヘテロダイヤモンド基板におけるデバイス応用の新たな可能性を示した。作製したショットキーバリアダイオードも、単純な構造であるのにも関わらず、優れたショットキー特性、シリコンを超える耐圧、および良好な面内分布が得られ、Si 上ヘテロエピ薄膜ダイヤモンド基板ならびにヘテロエピ薄膜法についての有用性が示せたと思う。

この結果について、一つ着目すべきところは、エッチピット法にて判明した Si 上ヘテロエピ薄膜ダイヤモンド基板の持つ 10^8cm^{-2} ものエッチピット密度が、デバイス特性において 0V 近傍からリークを生み出すような、致命的なキラ欠陥として作用していないことである。過去に京都大の木元らが SiC 基板上の欠陥とデバイス特性について調べた研究では、今回の疑似縦型のようなユニポーラデバイスでは、欠陥はデバイス特性に大きく影響を与えないという報告があり、ダイヤモンドでも似たような事例となっているのではと予想される。欠陥とデバイス特性の関係性については、ダイヤモンドデバイス研究の発展において非常に重要なことであり、今後も継続して調べていくべきである。

また、ヘテロエピ薄膜法自体の今後の取り組みとしては、デバイス性能、特に耐圧を HPHT 基板上での最高値に近づけ、ヘテロダイヤモンド基板が HPHT 基板と同等の性能を引き出せることを示していくことが重要である。それが実現すれば、低コスト・高パフォーマンスなダイヤモンドデバイスとして、ヘテロエピ薄膜法が広く浸透してくものと思われる。また、高品質な単結晶ダイヤモンド基板に近づけるだけでなく、本基板ならではの使い方も追及していくことが重要である。例として、第6章の大面積電極や縦型薄膜デバイスがあり、これらの実現が待たれる。

以上より、Si 上ヘテロエピ薄膜ダイヤモンド基板ならびにヘテロエピ薄膜法は、ダイヤモンド半導体の実用化へのボトルネック解消にあたり、非常に重要な要素となりうると考えられる。最後に、序章の表 1.3 について、ヘテロエピタキシャル基板のデバイス特性の項目を○で埋め、本論文のまとめとする。

表 7.1 各ダイヤモンド基板におけるメリット・デメリット

	HPHT基板	ホモエピタキシャル基板	ヘテロエピタキシャル基板	
			自立化ヘテロ	ヘテロエピ薄膜
サイズ	×	△	○	◎
コスト	×	△	○	◎
デバイス特性	◎	◎	○	○
基板の製造元	住友電気工業 Element six Russian	産総研(関西) & EDP Element six	青山学院大学& 並木宝石 Augsburg univ.	信越化学工業 &産総研

謝辞

本研究を進めるにあたり、数多くの方々のご支援・ご協力をいただきました。

指導教官でありました山崎聡 教授には、研究の進め方や論文作製のアドバイスや、体調が悪いとき等など心配していただきましたこと、何から何までお世話になりました。心より感謝いたします。また、散々ご迷惑・ご心配をおかけ致しましたこと、改めてお詫び申し上げます。

また本論文の要であった、Si 上へテロエピ薄膜ダイヤモンド基板についてご提供、ならびに共同研究を許可していただきました、信越化学工業社の野口仁 氏に心より感謝いたします。この基板と出会えたこと自体、私自身、幸運を感じています。

所属していた産総研のダイヤモンドデバイスチームの職員の方々である、大串秀世 博士、牧野俊晴 博士、竹内大輔 博士、加藤宙光 博士、小倉政彦 博士、加藤有香子 博士 には日常やミーティング等を通して、研究に必要な要素を学ぶとともに、様々な参考になるご指摘をいただきました。心より感謝いたします。

また、同じ学生として過ごした、松本翼 助教授、工藤唯義 博士、白田和也 氏、小澤直人 氏、本部達也 氏、さらには海外からの研究員として同じチームに所属した、Aboulaye 博士、Aurelien 博士、そして同期であった桑原大輔 博士のおかげで、楽しく、やりがいのある研究生生活を過ごすことが出来たと思います。年齢が離れているのにも関わらず、普通に接してくれましたこと、何よりも感謝しています。

テクニカルスタッフとして、CVD 成膜やデバイス作製をご支援いただきました、梅野陽太 氏、佐久間裕美 氏、千田めぐみ 氏、田澤亜美 氏、増田沙弥香 氏、杉山和義 氏には、時間が取れない時にプロセス作業を行っていただき、誠にありがとうございます。また、研究チーム秘書の三上舞子 氏には様々な手続き等でご協力いただき、心より感謝いたします。

他のチームや研究機関、大学の皆さまにも大変お世話になりました。産総研・ダイヤモンド材料チームの梅沢仁 博士には、ダイヤモンド研究に入るきっかけをいただきました。その時の経験は研究を進めていく上で大変参考にさせていただきました。心より感謝いたします。金沢大学の徳田規夫 准教授には研究に関するご意見をいただいただけではなく、本論文のテーマへと移るきっかけとなる一言をいただきました。心より感謝いたします。物質・材料研究機構の小泉聡 博士、寺地徳之 博士、東京工業大学の波多野睦子 教授、東芝社の鈴木真理子 博士など、数多くの方々に研究に関するアドバイスをいただきました。皆様、誠にありがとうございます。

そして、現在まで支援していただきました、家族に深い感謝と謝罪の念を送りたいと思います。

その他にも、この場では書ききれないほどの、多くの方々が今回の研究生生活に関わってきたと思います。一度は博士課程を離れ、社会人を経験した後、もう一度博士を志すことを決めた身としては、なかなか思い通りにならず、苦しい思いをしたことが度々ありました。しかし、皆様からの温かいご支援、ご助言があったからこそ、ここまで進むことができたのだと感じております。本論文はこれまでの全ての経験が結び付いたものです。これまでにお世話になったすべての方々に改めて感謝いたします。

皆様、本当にありがとうございました。