

筑波大学大学院博士課程

数理物質科学研究科博士論文

博士（工学）

SiC MOSFET 内蔵ダイオード利用のための
駆動回路技術に関する研究

丹羽 章雅

電子・物理工学専攻

目次

第 1 章	序論	3
1.1	研究の背景	3
1.2	研究の目的	4
1.3	本論文の構成	5
第 2 章	SiC MOSFET 内蔵ダイオードの PCU への影響	6
2.1	はじめに	6
2.2	パワーコントロールユニット (PCU)	6
2.3	SiC MOSFET の構造および基本特性	9
2.4	内蔵ダイオードの順方向特性	11
2.5	内蔵ダイオードの逆回復特性	11
2.6	内蔵ダイオードの順方向電圧劣化	13
2.7	内蔵ダイオード損失の PCU への影響	14
2.8	内蔵ダイオードの先行研究とまとめ	16
第 3 章	SiC MOSFET 内蔵ダイオードの逆回復特性	18
3.1	はじめに	18
3.2	逆回復電荷の低減原理	18
3.3	SiC MOSFET 内蔵ダイオードへの応用課題	19
3.3.1	ダイオード導通時間の短縮	20
3.3.2	SiC MOSFET の誤点弧抑制	22
3.4	SiC MOSFET 内蔵ダイオード逆回復電荷低減の検証実験	24
3.4.1	実験方法	24
3.4.2	実験結果	26
3.5	まとめ	32
第 4 章	SiC MOSFET 内蔵ダイオードの順方向電圧劣化	33
4.1	はじめに	33
4.2	順方向電圧劣化のメカニズム	33
4.3	パルス通電による順方向電圧劣化抑制の検証実験	35
4.3.1	通電試験と検証方法	35
4.3.2	フォトルミネッセンス (PL) 法	37
4.3.3	パルス通電試験結果	38
4.4	まとめ	44
第 5 章	デッドタイム制御機能内蔵ゲートドライバ	45
5.1	はじめに	45
5.2	デッドタイム短縮に関する先行研究と問題点	45
5.3	SiC MOSFET の電流センス機能を用いたデッドタイム制御回路	45
5.3.1	パワー半導体デバイスに備わる電流センス機能	46
5.3.2	提案回路の構成及び動作	47
5.3.3	提案回路の特長	51
5.4	提案回路の安定動作に関する設計と考察	52
5.4.1	ノイズ電流による不安定動作メカニズム	52
5.4.2	電流センス FET の過渡特性解析	52

5.4.3	確認実験と考察	54
5.5	デッドタイム制御機能内蔵ゲートドライバ IC の開発	56
5.5.1	試作したゲートドライバ IC	56
5.5.2	評価環境	57
5.5.3	動作検証および効率評価の結果	58
5.6	まとめ	62
第 6 章	更なるデッドタイム短縮に向けた制御回路の構築	63
6.1	はじめに	63
6.2	動的デッドタイム制御技術と PCU の昇圧コンバータへの応用課題	63
6.3	提案するデッドタイム制御回路	65
6.4	シミュレーションによる安定性と制御性の考察	67
6.5	まとめ	70
第 7 章	結論	71
参考文献	73
研究業績	76
謝辞	77

第1章 序論

1.1 研究の背景

近年、温暖化や燃料枯渇といった地球規模の問題を背景に、ハイブリッド自動車 (HEV : Hybrid Electric Vehicles) や電気自動車 (EV : Electric Vehicles) など環境対応車の普及が進んでいる。また、我が国の科学技術基本計画においてもエネルギーの安定確保と低炭素社会の実現に向け、グリーンイノベーションの推進が喫緊の課題として掲げられ、最終エネルギー消費量が高い運輸部門においては、環境対応車の普及への期待がますます高まっている。

自動車関連メーカでは、環境対応車の更なる普及に向けて、より小型で高効率な電動システムの開発が進められている。中でも HEV 用パワーコントロールユニット (PCU : Power Control Unit) は高い動力性能とエンジンコンパートメントへの搭載性が要求されることから、高パワー密度化が重要課題となっている。これまで、PCU はさまざまなキーコンポーネントの技術改良によって高パワー密度化を実現してきた^{[1],[2]}。そして、更なる高パワー密度化を実現するためのパワー半導体デバイスとして、シリコンカーバイド (SiC : Silicon Carbide) デバイスに大きな期待が寄せられている^[3]。

PCU のパワー半導体デバイスには、シリコン (Si : Silicon) デバイスである IGBT (Insulated Gate Bipolar Transistor) が現在使用されている。IGBT は入力段の MOSFET (Metal Oxide Semiconductor Field Effect Transistor) と、出力段のバイポーラトランジスタが一体となったデバイスである。IGBT は正孔と電子で動作するバイポーラデバイスであるため、数百 V を超える高耐圧領域で MOSFET より大幅な低オン抵抗化を実現でき、1980 年代に開発されて以来数多くの分野に用いられてきた。オン抵抗が Si 物性限界に達したと言われる近年でも、薄板化やトレンチゲートの適用、さらには狭メサ化^[4]などの工夫により特性を改善しつつある。一方で、Si の物性限界を打破する材料として SiC が注目され、研究開発が進められている。特にショットキーバリアダイオード (SBD : Schottky Barrier Diode) と MOSFET は実用化に向けた開発が加速しており、自動車分野でも SiC MOSFET と SiC SBD を搭載した HEV の走行試験が進んでいる他、量産の燃料電池車 (FCV : Fuel Cell Vehicle) への採用が発表されるなど、SiC デバイスの実用化は目前に迫っている^{[5],[6]}。

SiC は、Si : 50 %、C : 50 % の化学量論的組成を有する IV-IV 族化合物半導体であり、Si と同様に共有結合結晶である。SiC を半導体材料としてみた場合、その強い原子間結合力は広い禁制帯幅と高い絶縁破壊電界強度をもたらす。SiC の主な物性値^[7]を代表的な半導体と比較して Table 1.1 に示す。数多くの SiC ポリタイプの中で、現在最もデバイス応用に適していると考えられている 4H-SiC の性能値を SiC の代表値として表している。

まず、SiC は絶縁破壊電界強度が Si の約 10 倍であるため、同耐圧のデバイスを作製するには空乏層幅 (ドリフト領域) は Si の 1/10 で良い。しかもこの領域のドーピング濃度を高くすることが可能となるため、SiC ではドリフト抵抗を 2 桁~3 桁小さくすることができる。結果、半導体デバイスに 1kV 以上の耐圧が必要となる PCU には、これまでバイポーラデバイスである Si IGBT が必要だったが、SiC の場合には MOSFET のようなユニポーラデバイスを適用することが可能となる。また、SiC は飽和ドリフト速度が Si の 2 倍であるためスイッチング速度を高めることもでき、高周波動作時の損失抑制効果も期待できる。そして、SiC は熱的に安定した材料であり熱伝導率も Si の 3 倍あるため、高温動作に向く。

Si デバイスでは、動作する最高接合温度が 150~200°C に制限されるが、SiC の場合は理論的には 800°C 以上の温度でもデバイス動作は可能である^[7]。

Table 1.1 SiC (4H-SiC), Si, GaAs, GaN, ダイヤモンドの主な物性値と性能指標^[7]

	SiC (4H-SiC)	Si	GaAs	GaN	ダイヤモンド
禁制帯幅 (eV)	3.26	1.12	1.42	3.42	5.47
電子移動度 (cm ² /Vs)	1000	1350	8500	1500	2000
絶縁破壊電界強度 (MV/cm)	2.8	0.3	0.4	3	8
飽和ドリフト速度 (cm/s)	2.2×10 ⁷	1.0×10 ⁷	1.0×10 ⁷	2.4×10 ⁷	2.5×10 ⁷
熱伝導率 (W/cmK)	4.9	1.5	0.46	1.3	20
Johnson の性能指標	420	1	1.8	580	4400
Baliga の性能指標	470	1	15	850	13000

以上に述べたように、SiC デバイスはその優れた材料物性から Si デバイスではなし得ないさまざまな可能性を有しており、HEV 用 PCU に対しては、Si IGBT に変わるデバイスとして SiC MOSFET が期待されている。SiC MOSFET は Si IGBT と比較して次のような特長を有する^[8]。

- ① ユニポーラデバイスであるためスイッチング時のテール電流は発生せず、Si IGBT に対してスイッチング損失が低減する。
- ② ユニポーラデバイスであるためビルトイン電圧がなく、Si IGBT に対して導通損失が低減する。
- ③ 内蔵ダイオードを有するため、外付け環流ダイオード (FWD : Free Wheeling Diode) が削減できる。このような特長を持つ SiC MOSFET を用い、パワーモジュールの小型化をはじめ、高周波化による受動部品の小型化、冷却器の簡素化など PCU の高パワー密度化に繋がるさまざまな技術検討が進められている。

1.2 研究の目的

SiC MOSFET は Si IGBT に比べ多くの優位点を持つものの、内蔵ダイオードを環流ダイオードとして利用するには大きな問題がある。SiC は禁制帯幅が広いいため pn 接合のビルトイン電圧が約 2.5 V と高くなり、内蔵ダイオードの順方向電圧は現状使用されている Si ファストリカバリダイオード (FRD : Fast Recovery Diode) より高くなって損失増加の要因となる。これに対し、内蔵ダイオードを同期整流させることで損失を抑え、順方向電圧が低い SiC SBD を並列接続する方法より高パワー密度化できるといった報告がある^{[9]-[11]}。一方で、高温・高 di/dt の条件下では、内蔵ダイオードの逆回復損失は大きくなるため、SiC SBD の並列接続が望ましいとの報告もある^{[11], [12]}。さらに、SiC MOSFET 内蔵ダイオードには通電による順方向電圧が劣化するという信頼性の問題もある^{[13], [14]}。これらの SiC MOSFET 内蔵ダイオードの問題に対して、デバイス構造や製造プロセスでの対策^{[15]-[20]}が進んでいるものの十分とはいええず、SiC MOSFET の駆動方法やその条件など総合的な対策を講じることが求められる。以上のことから、本研究では SiC MOSFET の内蔵ダイオード利用に着目し、内蔵ダイオードの導通損失と逆回復損失の低減、そして順方向電圧劣化の抑制に繋がる SiC MOSFET の駆動技術を確立することを研究目的とした。

1.3 本論文の構成

本論文の構成図を Fig. 1.1 に示す。1 章では序論として本研究の背景と目的について述べる。2 章では、HEV システムの中核機能である PCU の構成と、SiC MOSFET 内蔵ダイオードの電気特性および PCU における動き方について説明し、SiC MOSFET 内蔵ダイオードに関連する先行研究の課題について整理する。本論文では、内蔵ダイオードの問題解決策としてダイオード導通時間の短縮に着眼している。3 章では、ダイオード導通時間の短縮によって内蔵ダイオードの逆回復損失に与える影響について述べる。逆回復損失低減には、ダイオード導通時間を短縮する際に特有の誤点弧が問題となり、SiC MOSFET とゲートドライバ間のゲート配線の寄生インダクタンス低減が有効となることを示す。4 章では、逆回復損失と同様、ダイオード導通時間の短縮によって順方向電圧劣化に与える影響について述べる。ダイオード導通時間を短縮して動作させた場合には、順方向電圧劣化の要因である欠陥の拡張が抑制されている様子についても述べる。5 章では、SiC MOSFET に内蔵される電流センス FET がデッドタイム制御に有用であることを示し、応用形態の一つとして開発したデッドタイム制御回路内蔵ゲートドライバについて述べる。また開発したドライバによる損失低減効果についても述べ、内蔵ダイオード利用時の損失が SiC SBD を並列接続した場合と同等まで低減できたことを示す。そして、6 章では、更なるデッドタイム短縮を実現するための制御方式について述べる。ダイオード導通時間を逆回復損失の低減に有効な 60 ns 程度まで短縮できることを制御理論の側面から示す。最後に 7 章にて本研究の成果を総括し、本論文のまとめとする。

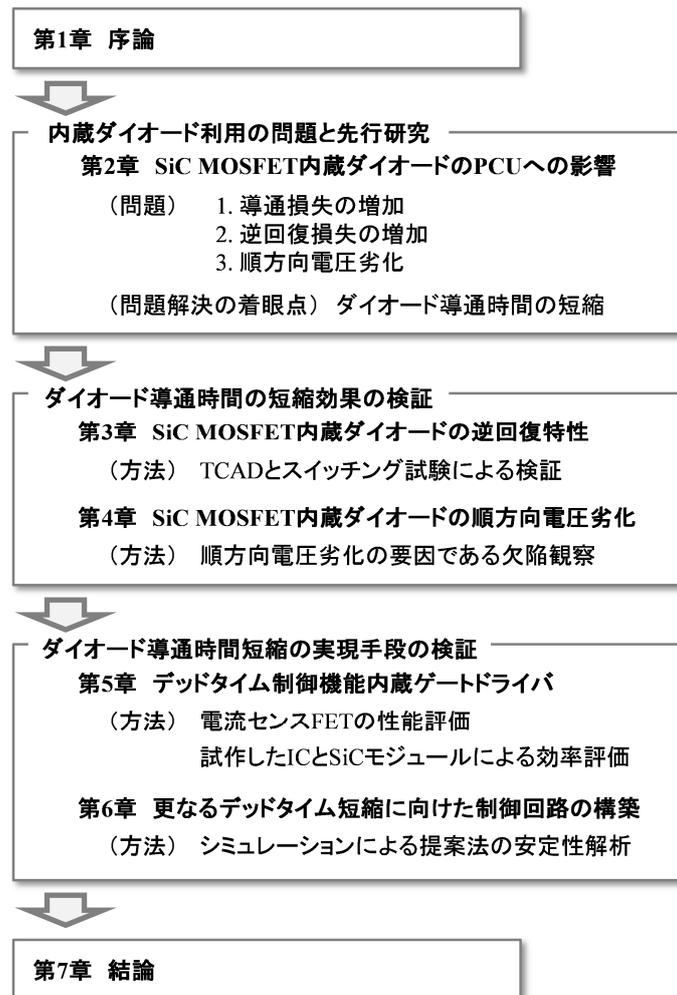


Fig. 1.1 本論文の構成図

第2章 SiC MOSFET 内蔵ダイオードの PCU への影響

2.1 はじめに

パワーコントロールユニット (PCU : Power Control Unit) とは、ハイブリッド (HEV : Hybrid Electric Vehicle) システムにおける中枢機能であり、さまざまな機器で構成された電気機器部品である。この章では、まず PCU の構成について説明し、PCU において SiC MOSFET 内蔵ダイオードがどのように動作するかについて説明する。次に、SiC MOSFET 内蔵ダイオードの順方向特性、逆回復特性、また順方向電圧劣化現象について示し、PCU への影響について説明する。そして、SiC MOSFET 内蔵ダイオードに関連する先行研究を紹介し、SiC MOSFET 内蔵ダイオードを環流ダイオードとして利用する際の課題について整理する。

2.2 パワーコントロールユニット (PCU)

Fig. 2.1 に HEV システムの構成を示す。HEV は、通常のカソリン車にはない機器が多数搭載されている。車両走行用のモータジェネレータやバッテリー、モータ駆動のための電力を制御する PCU の他、HEV システムを安全に保護するためのシステムメインリレー、バッテリー管理のための電流センサや電池監視ユニット、エンジン駆動タイプのコンプレッサに替わる電動コンプレッサなどが挙げられる。トヨタハイブリッドシステムに代表される HEV システムは、エンジンとモータの動力を動力分割機構を介して制御することでエンジンを効率の良い運転域で動作させる。停車時はエンジンを停止させて無駄な燃料消費を抑え、モータ走行によって始動させる。そして加速を始めると、ジェネレータによってエンジンを始動させて駆動力を上げる。また、減速時にはモータをジェネレータとして働かせ、回生電力をバッテリーに充電させる。このように、HEV システムでは、エンジンとモータの2つの動力源を走行状態に応じてうまく動作させることで高燃費な走行を実現している。

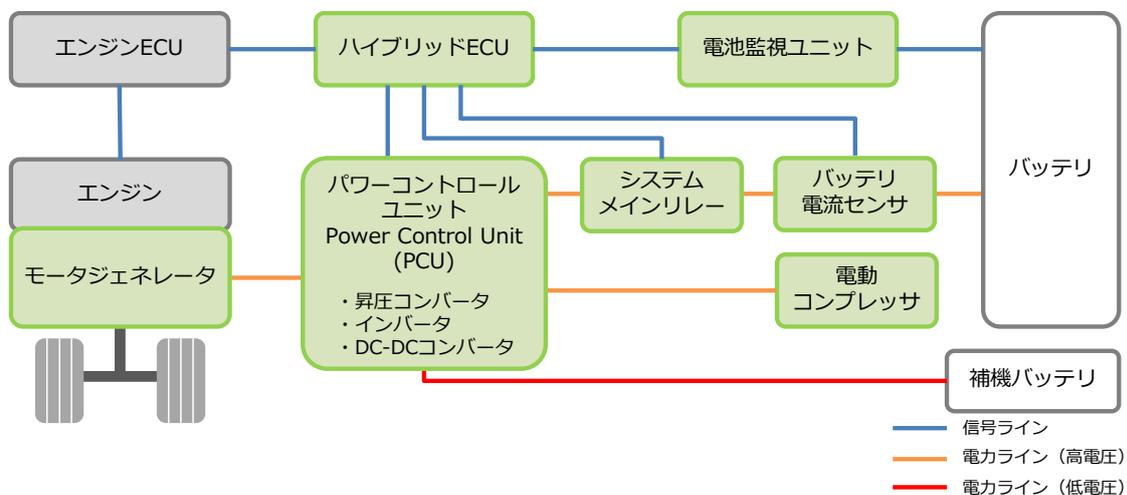
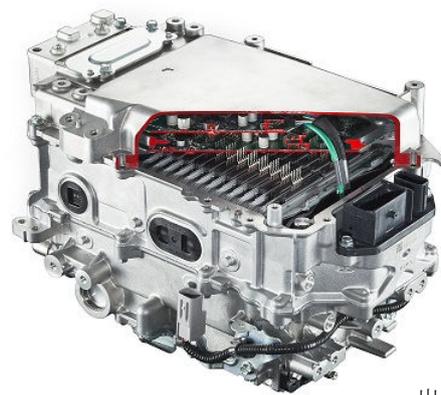


Fig. 2.1 HEV システムの構成

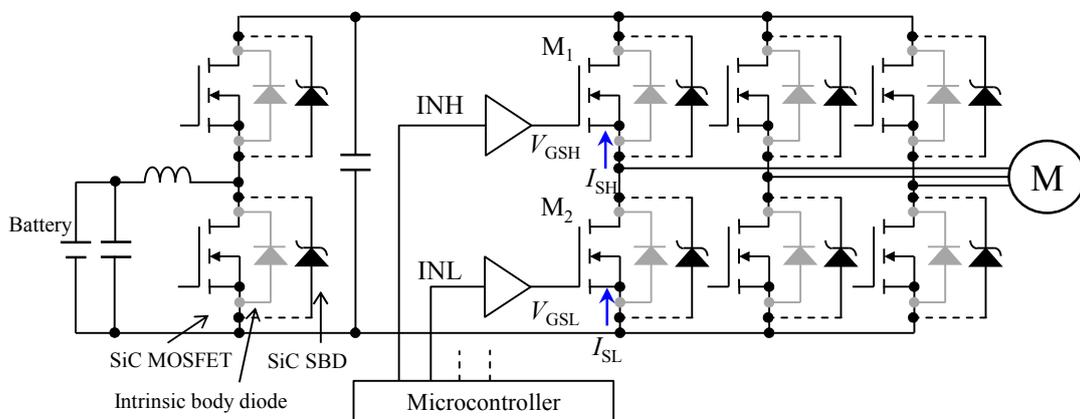
Fig. 2.2 に PCU の外観写真と回路構成を示す。PCU は、モータへの印加電圧を高めるための昇圧コンバータと、直流-交流変換を行うインバータと、補機バッテリー充電用の DC-DC コンバータで構成されている。PCU は高い動力性能とエンジンコンパートメントへの搭載性が要求されることから高パワー密度化が重要課題となっている^[2]。初期の HEV システムでは、PCU の体積は 30 L ほどあったが、これまでにさまざまな技術改良が進み、現在では 10 L を下回るまで小型化が進んでいる。

半導体デバイスに 1 kV 超の耐圧が必要となる昇圧コンバータとインバータには現在 Si IGBT が使用されているが、Si IGBT に替わる次のデバイスとして SiC MOSFET が期待されている。PCU は大きな電力を制御することから半導体デバイスの損失も大きく車両全体の電力損失の 20 % ほどを占めている。そのため、SiC MOSFET への 1 つ目の期待として走行燃費の向上があり、2015 年に行われた SiC MOSFET 搭載 PCU を載せた試験走行では、その効果が既に検証されている^[5]。そして、2 つ目の期待としては昇圧コンバータ用リアクトルと平滑コンデンサの小型化がある。リアクトルとコンデンサの体積は PCU で 20 % ほどの体積を占めており、その小型化には半導体デバイスを高周波で駆動する必要があるため、Si IGBT より高周波駆動に向く SiC MOSFET が注目されている。また PCU はエンジン冷却系とは別の専用水冷システムによって半導体デバイスを冷却している。これに対し、SiC MOSFET は高温でも動作する特徴を持つため、エンジン冷却系との共用化など冷却構造の簡素化にも期待が寄せられている。



出典： 株式会社デンソー

(a) 外観写真



(b) 回路構成 (SiC MOSFET と SiC SBD を採用した場合)

Fig. 2.2 パワーコントロールユニット (PCU)

SiC MOSFET およびその内蔵ダイオードの基本特性について述べる前に、SiC MOSFET の内蔵ダイオードが PCU でどのように動作するかについて説明する。昇圧コンバータやインバータでは、通常は上アームと下アームを相補的に動作させるが、上下の MOSFET が同時にオンすることを防ぐため、MOSFET のゲートをとともオフ状態とするためのデッドタイムを設けて動作させる。Fig. 2.3 に示すように、上下アームのゲートがともにオフ状態であっても、モータや昇圧用リアクトルには電流が流れ続けているため、このデッドタイム中に上下いずれかのダイオードに電流が流れることになる。ダイオードが導通している場合には導通損失が発生し、その大きさはダイオードに流れる電流とその際に発生する順方向電圧降下によって決まる。そして、SiC MOSFET 内蔵ダイオードのような PiN ダイオードの場合には、逆アームがターンオンしてダイオードが逆回復する際に蓄積キャリアが排出されるため、大きな逆回復電流が流れる。このときに自アームに発生する損失が逆回復損失であり、逆回復電流は逆アームにも流れるため、逆アーム MOSFET のスイッチング損失にも影響を与えることとなる。

以降では、SiC MOSFET およびその内蔵ダイオードの特性について述べ、内蔵ダイオードの特性が PCU の損失にどの程度影響するかを分析する。

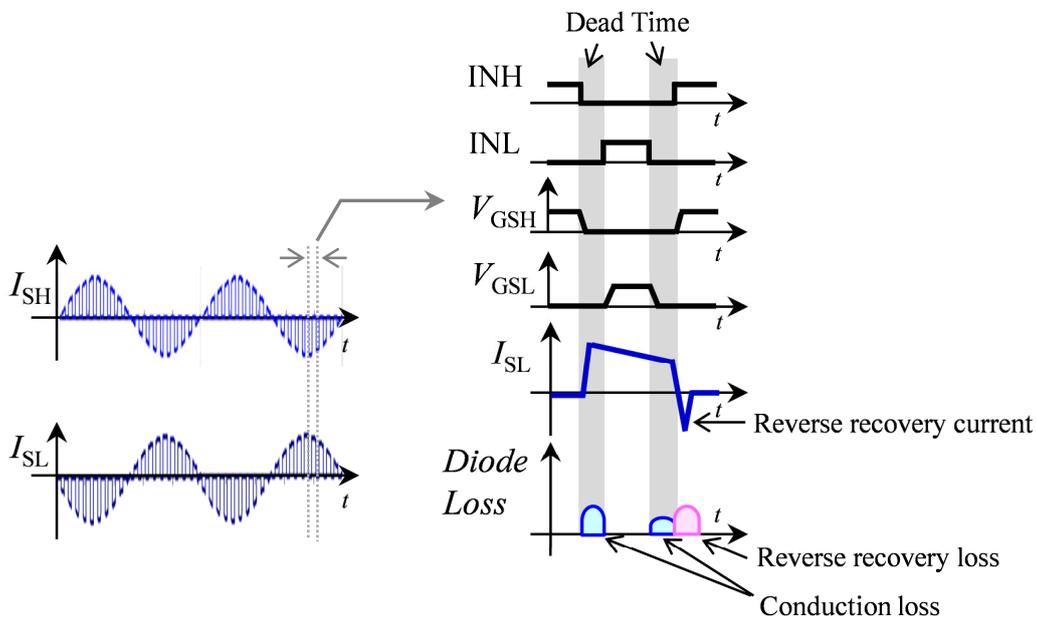


Fig. 2.3 デッドタイムとインバータ動作中のダイオード損失の関係

2.3 SiC MOSFET の構造および基本特性

Fig. 2.4 にトレンチ構造型の SiC MOSFET の模式図を示す。SiC MOSFET は Si MOSFET と製法に違いこそあれ基本的なデバイス構造は同じである。トレンチ構造の場合、半導体表面に対して垂直方向にチャンネル形成が可能となるため、プレーナ構造に比べて高チャンネル密度化が可能となる。さらに、プレーナ構造では p ボディ間にある JFET 抵抗が構造上存在しないため、トレンチ構造はオン抵抗の低減に有利なデバイス構造である。また、SiC MOSFET は Si MOSFET 同様に寄生のダイオードが形成される。これがソースドレイン間の内蔵ダイオードであり、低電圧の分野では、Si MOSFET の内蔵ダイオードが積極的に活用されている。

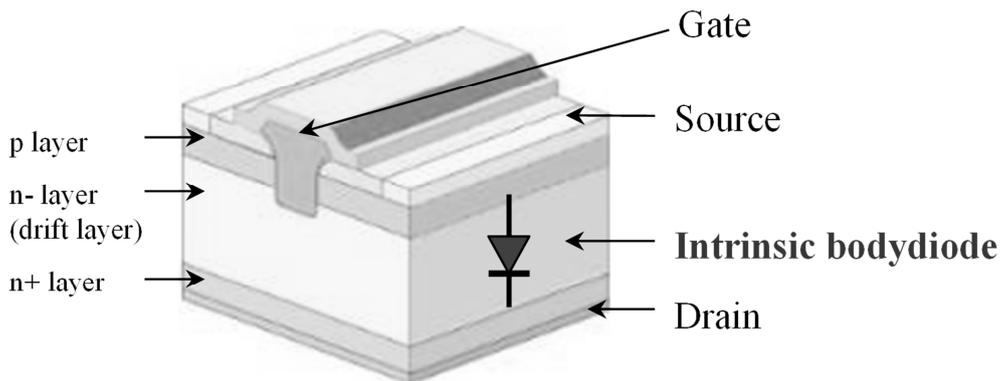


Fig. 2.4 SiC MOSFET の構造を示す模式図

Fig. 2.5 に SiC MOSFET の順方向電流・電圧特性を示す。計測に用いたサンプルは HEV システム適用を想定した 1.2 kV 耐圧のトレンチ構造型 SiC MOSFET で、チップサイズは 6.0 mm×5.5 mm、アクティブサイズは 0.18 cm² である。ゲート電圧 $V_{GS} = 20V$ 、室温環境下でのオン抵抗 R_{ON} は 20 m Ω であり、規格化オン抵抗は 3.5 m Ω cm² となった。これは同耐圧の Si デバイスの物性限界と比べると 2 桁小さな数値である。

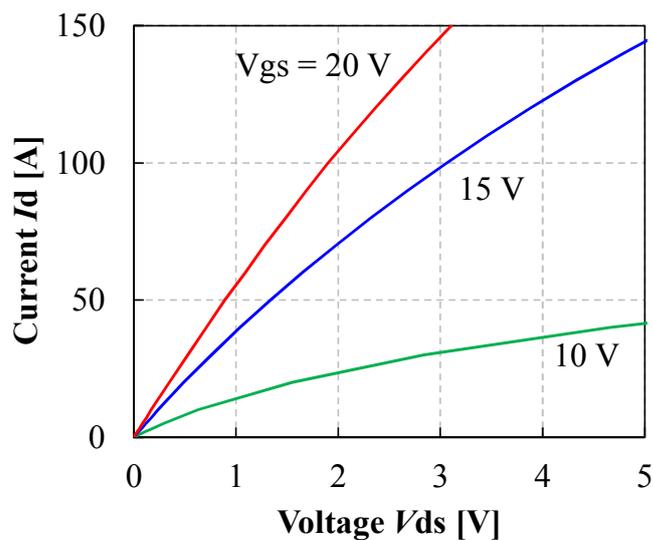
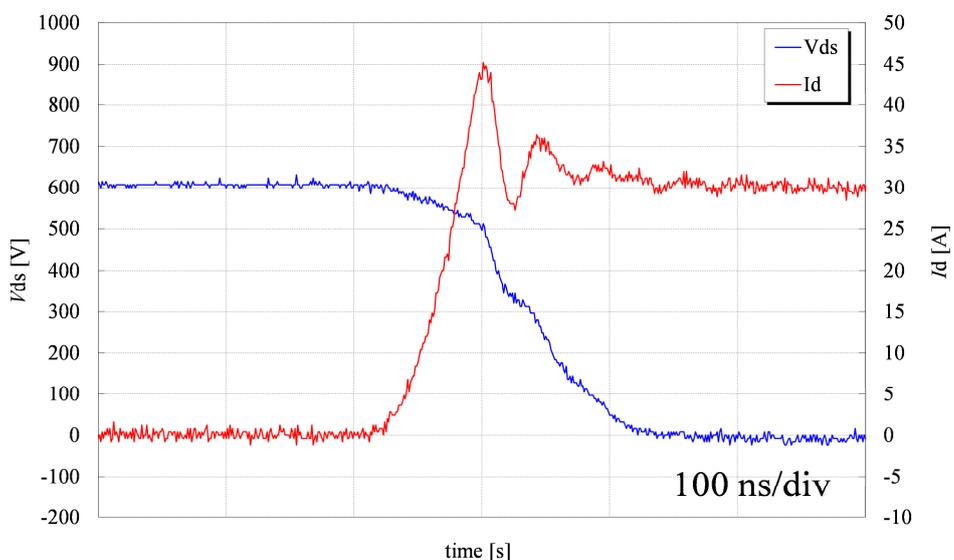
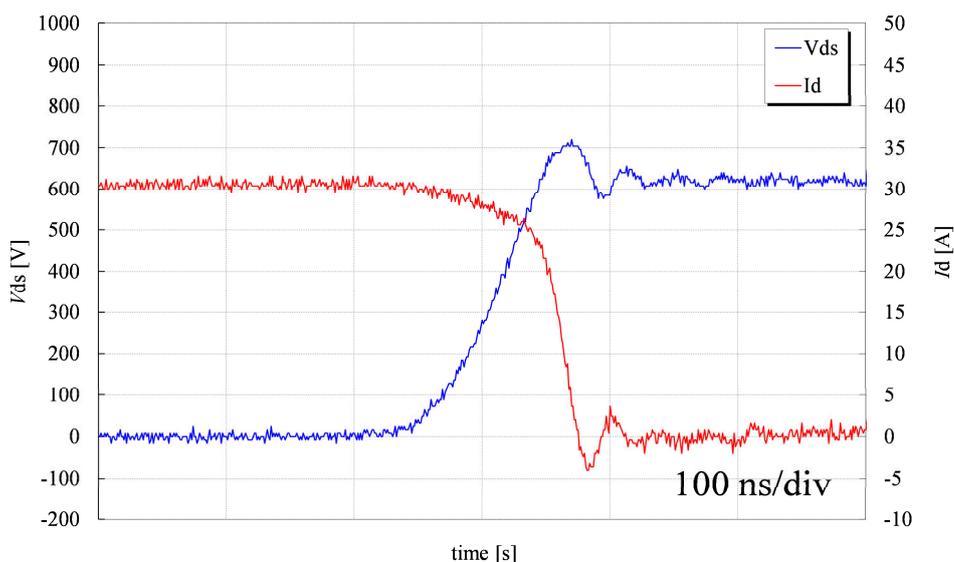


Fig. 2.5 SiC MOSFET の順方向電流・電圧特性

Fig. 2.6 に SiC MOSFET の典型的な誘導負荷スイッチング波形を示す。電源電圧 600 V、電流 30 A の場合のターンオン波形とターンオフ波形であり、それぞれドレイン電流 (I_d : 赤)、ドレイン-ソース間電圧 (V_{ds} : 青) を示している。なお、測定アームとは別の環流用のアームにも同じ SiC MOSFET を使用した。ターンオン特性では、電流の立ち上がり時間 (I_d が 10% 流れ始めてから 90% に到達するまで) は 50 ns、電圧の立下り時間 (V_{ds} が 90% に低下し始めてから 10% に到達するまで) は 140 ns となり、高速なスイッチングが実現できている。ターンオフ特性においても、電流の立下り時間は 70 ns、電圧の立ち上がり時間は 80 ns と速い。また、Si IGBT などのバイポーラデバイスに見られるターンオフ時のテール電流もないことから、スイッチング損失の大幅な低減が期待できる。



(a) ターンオン波形



(b) ターンオフ波形

Fig. 2.6 SiC MOSFET の典型的なスイッチング波形

2.4 内蔵ダイオードの順方向特性

Fig. 2.7 に、SiC MOSFET 内蔵ダイオードおよび SiC SBD の順方向電流・電圧特性を示す。SiC MOSFET 内蔵ダイオードの測定にあたっては、室温 (25 °C) から 125 °C まで 25 °C ステップで測定した。SiC は禁制帯幅が広いことにより pn 接合のビルトイン電圧が約 2.5 V と高い。そのため、SiC MOSFET 内蔵ダイオードの順方向電圧は SiC SBD に比べて全般的に高くなり、内蔵ダイオードを環流ダイオードとして利用する際は、その導通損失は損失増加の要因となる。

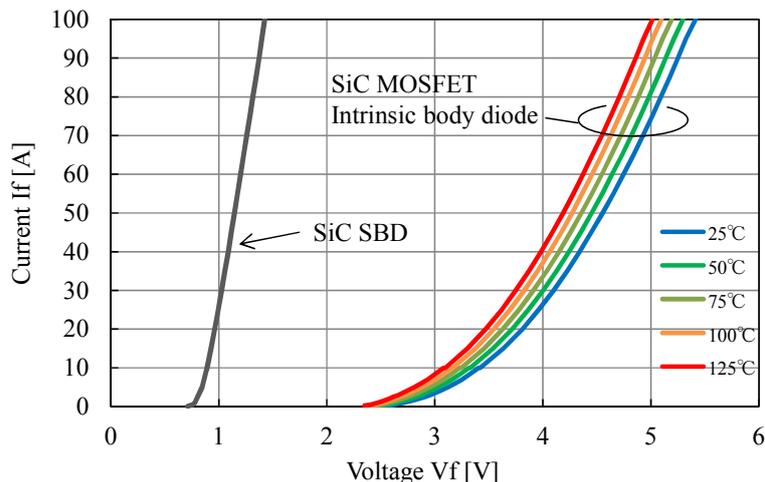


Fig. 2.7 SiC MOSFET 内蔵ダイオードの順方向特性

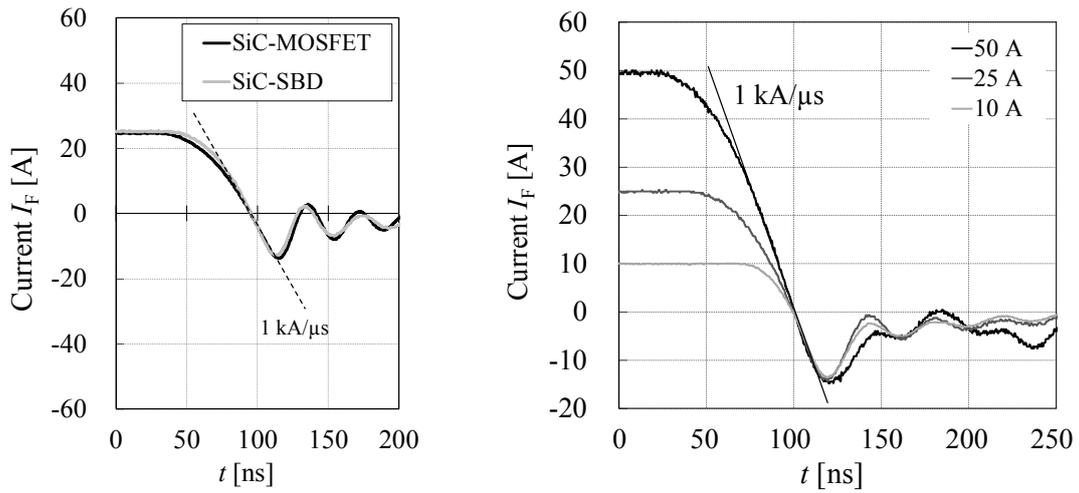
2.5 内蔵ダイオードの逆回復特性

SiC MOSFET 内蔵ダイオードの逆回復特性を Fig. 2.8, Fig. 2.9, Fig. 2.10 に示す。Fig. 2.8 に示す逆回復特性は、電源電圧 600 V、 $di/dt = 1 \text{ kA}/\mu\text{s}$ の条件で室温にて測定した。SiC デバイスはライフタイムが Si に比べて短く SiC MOSFET 内蔵ダイオードの逆回復電荷は少ないことが一般に知られている。 $di/dt = 1 \text{ kA}/\mu\text{s}$ の条件では逆回復時のピーク電流は 14 A となり、Fig. 2.8 (a) に示すように、チップサイズがほぼ同じ SiC SBD (6 mm × 6 mm) と大きな差は生じていない。また Fig. 2.8 (b) に示すように、 $di/dt = 1 \text{ kA}/\mu\text{s}$ の条件では電流条件を変えても逆回復ピーク電流にほぼ変化はない。

一方で、Fig. 2.9 に示すように、 $di/dt = 3 \text{ kA}/\mu\text{s}$ の条件では、逆回復時のピーク電流は 42 A となり、SiC SBD よりも大きくなっている。Fig. 2.10 は、 $di/dt = 1 \text{ kA}/\mu\text{s}$, $3 \text{ kA}/\mu\text{s}$ 両条件で測定した逆回復電流波形から逆回復電荷 Q_r を算出し、その温度依存性を示したグラフである。 $di/dt = 1 \text{ kA}/\mu\text{s}$ の条件では 100 °C 以上の高温でも変化がなく SiC SBD と同等であるのに対して、 $di/dt = 3 \text{ kA}/\mu\text{s}$ の条件では温度が上がるにつれて Q_r も増加し、175 °C では SiC SBD の 3 倍にまで達した。

高速にスイッチングさせた場合に Q_r が増加する理由としては 2 つの要因が考えられる。1 つは誤点弧による短絡電流の増加である。これは、逆回復の過程でゲート電圧が持ち上がり一時的に上下アームが短絡状態となることに起因する。もう 1 つは逆回復時に排出される少数キャリア量の増加である。Fig. 2.9 から分かるように、 $3 \text{ kA}/\mu\text{s}$ の条件では $1 \text{ kA}/\mu\text{s}$ の条件に比べてスイッチング時間が短い。このため、MOSFET 内部に蓄積された少数キャリアは再結合による消滅が進まない状態で外部に排出される。このことは、逆回復電荷の温度依存カーブが $3 \text{ kA}/\mu\text{s}$ の場合の方が大きいことから見てとれる。

今回の SiC MOSFET 内蔵ダイオードの逆回復特性評価では、高速にスイッチングする条件では PiN ダイオードの特性が顕著に表れており、SiC SBD に比べ逆回復損失が増加する懸念があることが分かった。



(a) SiC SBD との比較 (b) 電流依存性
 Fig. 2.8 SiC MOSFET 内蔵ダイオードの逆回復特性 ($di/dt = 1 \text{ kA}/\mu\text{s}$)

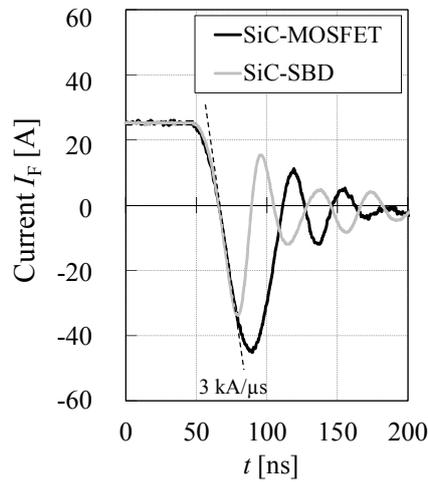


Fig. 2.9 SiC MOSFET 内蔵ダイオードの逆回復特性 ($di/dt = 3 \text{ kA}/\mu\text{s}$)

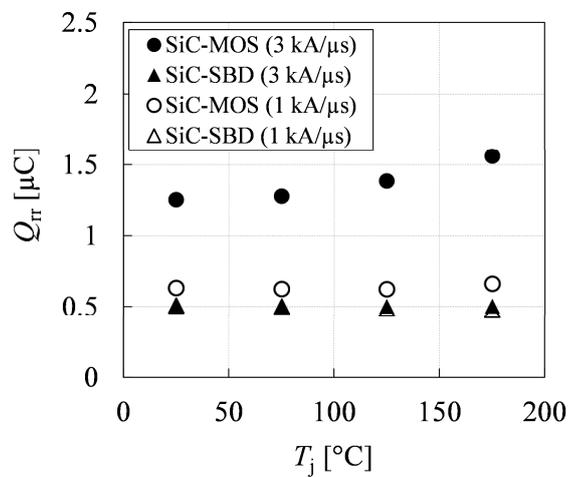


Fig. 2.10 SiC MOSFET 内蔵ダイオードの逆回復電荷 Q_{rr} の温度依存性

2.6 内蔵ダイオードの順方向電圧劣化

SiC MOSFET 内蔵ダイオードは、順方向通電によって順方向電圧が増加することが知られている^{[13]-[14]}。通電によって内蔵ダイオードの順方向電圧が増加する様子を Fig. 2.11 に示す。室温環境下で、電流 15 A の条件（電流密度 200 A/cm^2 ）にて通電し、数秒おきに SiC MOSFET 内蔵ダイオードの順方向特性を測定した。通電時間が長くなるにつれて、順方向電圧が徐々に高くなっていることがわかる。この現象は順方向電圧劣化現象とよばれており、SiC MOSFET 内部にある積層欠陥が拡張することによって発生する。一旦拡張した積層欠陥は 350°C 以上の高温で元に戻るとの報告はあるものの、通電によって積層欠陥は再び拡張するため、順方向電圧劣化は無くならない。従って、高い信頼性が要求される自動車用途では解決すべき重要課題である。

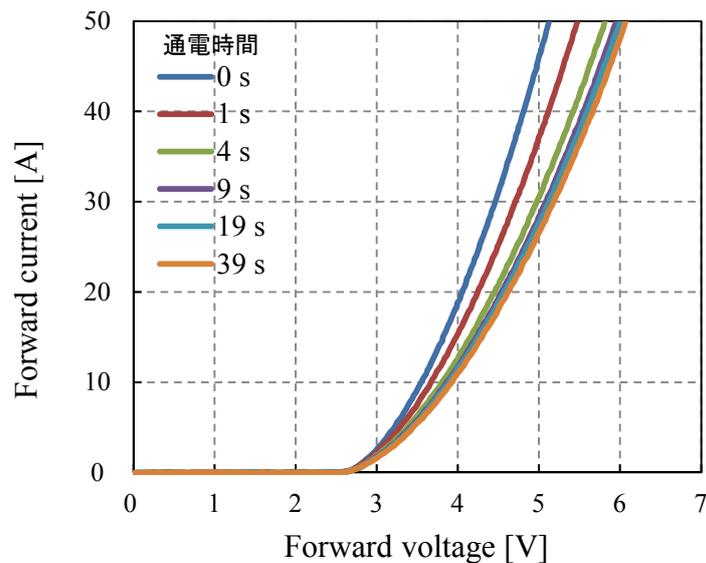


Fig. 2.11 SiC MOSFET 内蔵ダイオードの通電に伴う順方向電圧劣化現象（通電条件： $I_F = 15 \text{ A}$, $T_a = 25^\circ\text{C}$ ）

2.7 内蔵ダイオード損失の PCU への影響

SiC MOSFET 内蔵ダイオードを環流ダイオードとして使用した場合の PCU への影響を把握するため、SiC MOSFET の損失を求める。内蔵ダイオードの導通損失と逆回復損失の影響が最も顕著に表れる昇圧コンバータ部を対象として、実測した SiC MOSFET の電流・電圧特性およびスイッチング特性をもとに半導体デバイスに発生する各損失を計算により求める。本論文内で、半導体デバイスの各損失を示す記号表記は Table 2.1 に示すとおりである。

Table 2.1 半導体デバイスの損失記号の定義

分類	記号
導通損失	P_{sat}
ターンオン損失	P_{on}
ターンオフ損失	P_{off}
ダイオードの導通損失	P_{F}
ダイオードの逆回復損失	P_{rr}

記号末尾 L: 下アーム, H: 上アーム

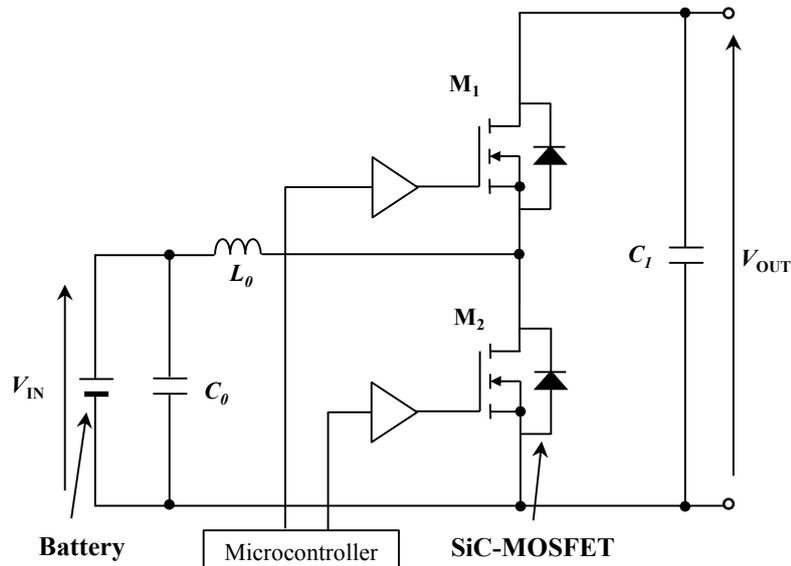


Fig. 2.12 PCU の昇圧コンバータ部の構成

Fig. 2.12 に示すように、PCU の昇圧コンバータはブレーキ回生時の電流をバッテリーまで戻すために上下アームとも SiC MOSFET で構成される。上アーム M_1 が同期整流として動作し、下アーム M_2 がスイッチとして動作する場合、SiC MOSFET のトータル損失 P_{TOTAL} 、 M_1 損失 P_{H} 、 M_2 損失 P_{L} はそれぞれ式 (2.1), (2.2), (2.3) で表される。

$$P_{\text{TOTAL}} = P_{\text{H}} + P_{\text{L}} \quad (2.1)$$

$$P_{\text{H}} = P_{\text{F}} + P_{\text{sat}} + P_{\text{rr}} \quad (2.2)$$

$$P_{\text{L}} = P_{\text{sat}} + P_{\text{on}} + P_{\text{off}} \quad (2.3)$$

そして、各損失は式(2.4)~(2.8)に示すように、1 キャリア周期で発生する損失×キャリア周期で求め

ることができる。式中において、 Δt_{FETON} は MOSFET のオン時間、 Δt_{on} はターンオン時間、 Δt_{off} はターンオフ時間、 Δt_{DON} はダイオードのオン時間、 Δt_{rr} は逆回復時間を示す。

$$P_{\text{sat}} = \int^{\Delta t_{\text{FETON}}} (V_{\text{ds}} \times I_{\text{d}}) dt \times f_c \quad (2.4)$$

$$P_{\text{on}} = \int^{\Delta t_{\text{on}}} (V_{\text{ds}} \times I_{\text{d}}) dt \times f_c \quad (2.5)$$

$$P_{\text{off}} = \int^{\Delta t_{\text{off}}} (V_{\text{ds}} \times I_{\text{d}}) dt \times f_c \quad (2.6)$$

$$P_{\text{F}} = \int^{\Delta t_{\text{DON}}} (V_{\text{ds}} \times I_{\text{d}}) dt \times f_c \quad (2.7)$$

$$P_{\text{rr}} = \int^{\Delta t_{\text{rr}}} (V_{\text{ds}} \times I_{\text{d}}) dt \times f_c \quad (2.8)$$

入力となるバッテリー電圧を 300 V、出力電圧を 600 V、入力電流条件に合わせて 10 A 間隔で損失を計算する。試算に用いた SiC MOSFET の主な特性および昇圧コンバータの条件を Table 2.2 に示す。キャリア周波数は高周波化による昇圧用リアクトル L_0 と平滑コンデンサ C_1 の小型化を図るため、現行の PCU よりも高い 100 kHz とし、入力電流リップルは現行と同等となるよう 25 μH とした。またダイオード導通時間に影響するデッドタイムは、Si IGBT から SiC MOSFET にかわることによるスイッチング時間のばらつき改善を考慮して、現行の約 1/3 となる 1.5 μs として試算した。

損失の内訳を Fig. 2.13 に示す。軽負荷である入力電流 10 A~30 A の範囲においては、内蔵ダイオードの損失が占める割合は高負荷に比べて少ないものの、熱成立条件となる入力電流 90 A の条件では、内蔵ダイオードの損失は 160 W となり損失全体の 33% を占める結果となった。以上のことから、内蔵ダイオードがオンする期間はわずかであるにも関わらず、その全損失への影響は無視できず、昇圧コンバータの効率やパワーモジュールの熱成立に影響すると考える。また、ターンオフ損失 P_{off} は入力電流によらず全損失の 40%~70% と最も大きく、全損失の低減には P_{off} 低減が必要である。今回の試算では、 P_{off} 抑制を狙ってゲート抵抗が小さい条件 ($R_{\text{G}} = 2 \Omega$) で見積もったため、スイッチング速度が上がったことによって逆回復損失 P_{rr} が大きくなり、導通損失 P_{sat} とほぼ同じ比率を占める結果となった。

Table 2.2 昇圧コンバータの SiC MOSFET 損失の計算条件

	Parameter	Symbol	Value
SiC MOSFET	On-state resistance	R_{DS}	6.6 m Ω
	Gate threshold voltage	$V_{\text{GS(th)}}$	4.6 V
	Diode forward voltage	V_{F}	2.8 V
Gate Driver	Output voltage (ON)	$V_{\text{GS(ON)}}$	20 V
	Output voltage (OFF)	$V_{\text{GS(OFF)}}$	-5 V
	Gate resistor	R_{G}	2 Ω
Boost Converter	Input voltage	V_{IN}	300 V
	Output voltage	V_{OUT}	600 V
	Boost inductor	L_0	25 μH
	Input capacitor	C_0	200 μF
	Output capacitor	C_1	1 mF

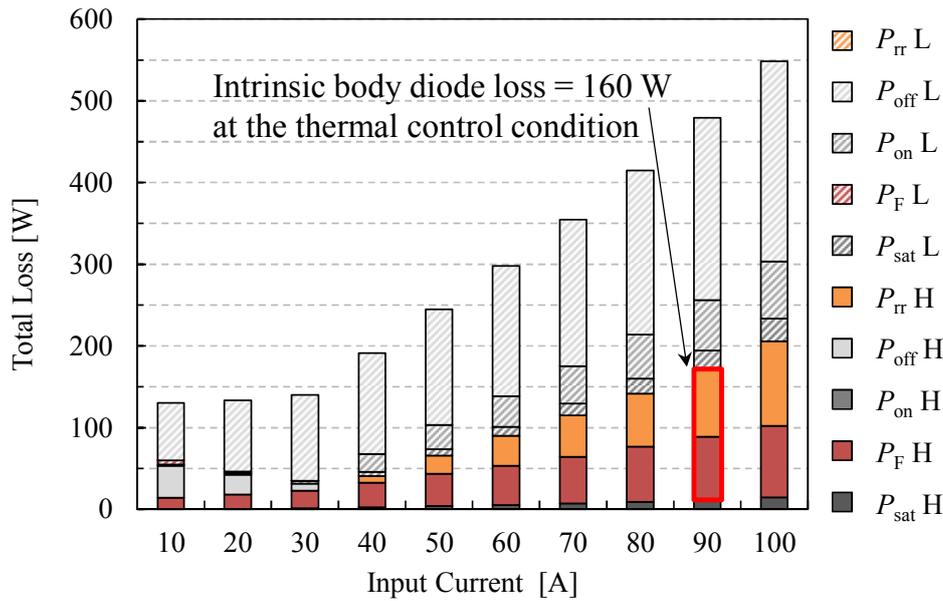


Fig. 2.13 PCU の昇圧コンバータ部における SiC MOSFET の損失内訳

2.8 内蔵ダイオードの先行研究とまとめ

本章では、PCU の構成とその動作、また SiC MOSFET とその内蔵ダイオードの基本特性および問題点について述べた。ここでは、内蔵ダイオードに関連する先行研究について説明し、本研究の狙いを述べてまとめとする。

SiC MOSFET 内蔵ダイオードを環流ダイオードとして活用するには、ダイオードの導通損失の低減、逆回復損失の低減、さらには順方向通電劣化を解決する必要がある、これまでもさまざまな先行研究が報告されている。代表的な先行研究を以下に示す。

① Diode-integrated MOSFET 構造^[15]

MOSFET のゲート直下に高濃度の n 型チャネル層を形成し、0.8V の電圧印加で電流が流れるよう設計することで、ダイオード導通時の順方向電圧の増加を軽減する。

② ライフタイム制御^[16]

少数キャリアのライフタイムを短くするため、ドリフト領域表面側にボロン拡散層を局所的に設け、逆回復電荷を低減する。

③ C 面・低オフ角エピタキシャル成長^{[17],[18]}

エピタキシャル成長させる際、C 面基板の活用や低オフ角化することで基底面転位のドリフト領域内への伝搬確率を低減する。現在は 4 度オフが主流になりつつあるが、更にオフ角を小さくする取り組みも進んでいる。

④ 再結合促進層^[19]

ライフタイムの短い再結合促進層をドリフト領域の基板側に設け、基底面転位が多く存在するエピ/サブ界面の正孔密度の上昇を抑制することで、積層欠陥の拡張を防止する。

⑤ SBD 内蔵 MOSFET^[20]

MOSFET のセルとセルとの間に SBD 接合部と低抵抗化した JFET 領域を形成し、高電流密度時においても pn 接合部がオンしないようにすることで、積層欠陥の拡張を防止する。

損失低減に対しては、①Diode-integrated MOSFET (DioMOS) 構造に代表される低抵抗なダイオードを MOSFET 内部に作り込む方法^[15]や②ライフタイム制御^[16]などの手法が提案されている。これらの手法は、導通損失もしくは逆回復損失のどちらか一方しか効果がない上、SiC MOSFET そのものを改良するための作製プロセスの複雑化によるコスト増加が懸念される。一方、欠陥拡張抑制に対しては、③低オフ角度成長^[17]や(000 $\bar{1}$) C 面成長^[18]などエピタキシャル成長に使用する基板を工夫する手法の他、近年では、④再結合促進層をエピ/基板界面に導入することで欠陥の拡張を抑制する手法^[19]や⑥SBD を一体化させる^[20]などデバイス構造による対策の提案も出てきた。しかし、③、④の手法はあくまで欠陥拡張の確率を減らすものであって完全になくすことは難しい上、デバイス製造コストの増加も問題となる。⑤については、内蔵ダイオードをオンさせないよう高抵抗化するため、導通損失が増加するといったデメリットが出てくる。

このように、デバイスおよびその製造プロセスでの対策だけでは十分とはいえ、SiC MOSFET の駆動や実装などの周辺技術、さらには動作条件の絞り込みやスクリーニング技術なども含めた総合的な対策が求められる。Si デバイスでは、ダイオード導通時間の短縮によって、導通損失や逆回復損失の低減に効果があることが実証されている^[21]。また、エピ/基板界面付近の少数キャリア濃度が下がれば欠陥の拡張を抑制できるとの予測もあるため^[19]、ダイオード導通時間短縮による欠陥拡張抑制にも期待がある。以上のことから、本研究では SiC MOSFET 内蔵ダイオードのネガティブな特性を抑制する手段として、駆動回路によるダイオード導通時間の短縮に着目する。次章では、まず SiC デバイスでは未解明なダイオード導通時間短縮による逆回復損失低減効果について明らかにする。

第3章 SiC MOSFET 内蔵ダイオードの逆回復特性

3.1 はじめに

PiN 構造を有する MOSFET 内蔵ダイオードは、逆回復の過程でデバイス内部に蓄積した電荷が排出されて損失を発生する。逆回復時に排出される電荷（逆回復電荷）はダイオード導通時間を短縮することで低減できることが一般的に知られており、MOS Controlled Diode^{[22],[23]}やデッドタイム制御^[21]がその代表である。いずれの手法も、高耐圧 PiN ダイオードや MOSFET 内蔵ダイオードなど Si デバイス向けの応用事例は多いが、SiC MOSFET 内蔵ダイオードにおける効果は明らかになっていない。本章では、SiC MOSFET 内蔵ダイオードの逆回復電荷低減に関し、ダイオード導通時間の短縮効果を明らかにする。デバイスの動作原理を踏まえた解析と検証実験を基に、逆回復電荷の低減効果とその条件、さらには SiC MOSFET の駆動方法に関する応用ポイントについて述べる。

3.2 逆回復電荷の低減原理

ダイオード導通時間の短縮による逆回復電荷の低減原理について、Fig. 3.1 および Fig. 3.2 を用いてハーフブリッジ回路を例に説明する。ここで、ダイオード導通時間 t_{Di} は、整流側 M_2 のゲート電圧 V_{GS1} が閾値を下回ってからダイオード順方向電流 $I_{SL} = 0$ となるまでと定義する。

Fig. 3.1 において、期間 I は同期整流の状態であり、MOSFET 内部に注入されるキャリアは、Fig. 3.2 (a) に示すようにほぼ電子が占めている。やがて、MOSFET のゲートがオフすることで内蔵ダイオードの順回復が始まり（期間 II）、Fig. 3.2 (b) に示すように、ソース電極から正孔の注入が始まる。そして、逆アームの MOSFET がターンオンすることで内蔵ダイオードの逆回復が始まり（期間 III, IV）、Fig. 3.2 (c) に示すように、MOSFET 内部に蓄積された正孔と電子は排出され逆回復電荷として現れる。

ここで、 t_{Di} が十分長い場合にはドリフト領域の正孔・電子の濃度は高くなるため、逆回復電荷は増加するが、デッドタイムを短縮して動作させるなど t_{Di} が短い場合には正孔・電子の濃度は十分高くないため、逆回復電荷も減少する。

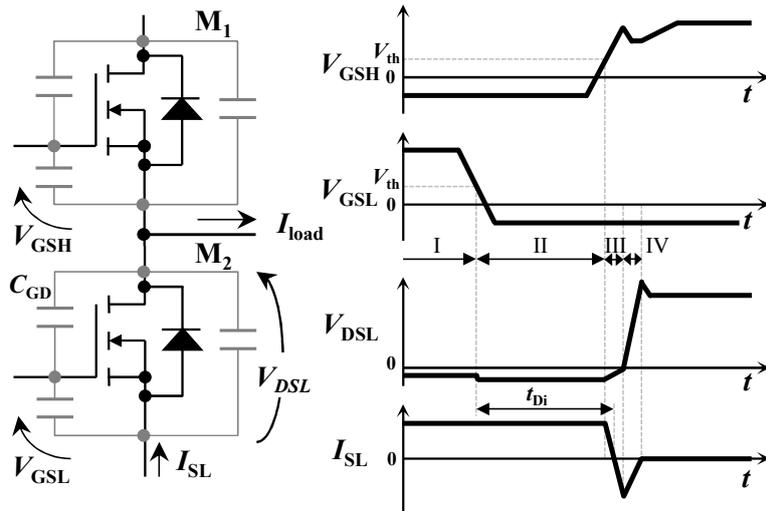


Fig. 3.1 MOSFET 内蔵ダイオードの逆回復プロセスを示すタイミングチャート.

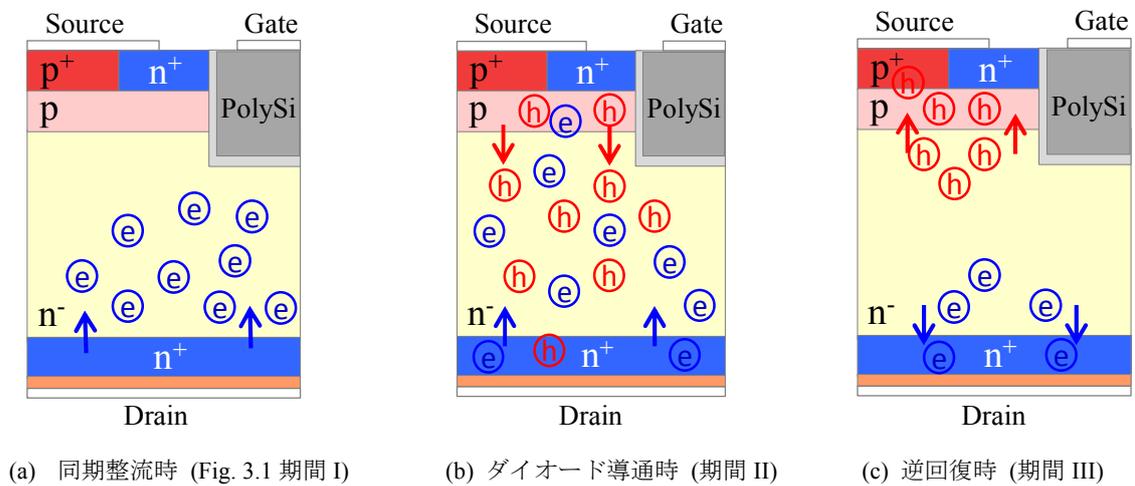


Fig. 3.2 MOSFET 内部のキャリア状態

3.3 SiC MOSFET 内蔵ダイオードへの応用課題

SiC MOSFET 内蔵ダイオードは PiN 構造のダイオードであるため、ダイオード導通時間を短縮することで原理的には逆回復電荷が減少するはずである。しかし、SiC デバイスは同耐圧の Si デバイスと比べるとドリフト領域の厚さが 1/10 程度となるため、キャリアの飽和時間は短くなり^[24]、Si デバイスに比べてダイオード導通時間を大幅に短縮する必要がある。また、ダイオード導通時間を極端に短縮すると、ゲート電圧の安定制御が難しいことから誤点弧が発生しやすくなるため、確実な誤点弧抑制も必要となる。ここでは、SiC MOSFET の逆回復電荷を低減するために必要なダイオード導通時間と、その際の誤点弧発生メカニズムについて原理的に解析する。

3.3.1 ダイオード導通時間の短縮

逆回復電荷の低減効果があるダイオード導通時間を把握するには、ダイオードがオンしてからのキャリアが飽和するまでの時間を計算する必要がある。SiC MOSFET の内蔵ダイオードが順回復する過程のキャリアの振る舞いを Synopsys 社製 TCAD Sentaurus を用いてシミュレーションした。作成した 1.2 kV 耐圧 SiC MOSFET モデルの概要とパラメータを Fig. 3.3 と Table 3.1 に示す。SiC MOSFET のデバイスモデルを Fig. 3.4 に示すインダクタンス負荷モデルに組み込み、ダイオード導通が始まる時刻を起点として、デバイス内部のキャリア濃度が飽和状態に達するまでの時間 (キャリア蓄積飽和時間) を計算した。

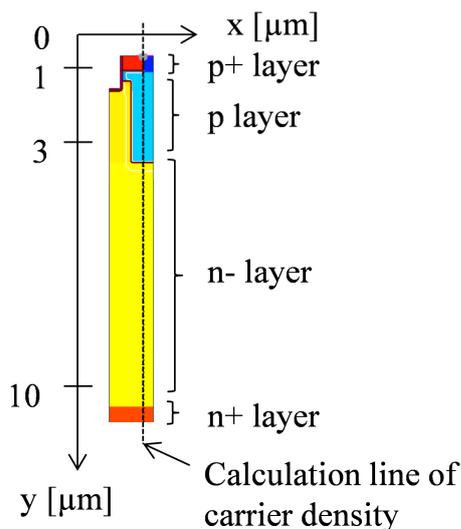
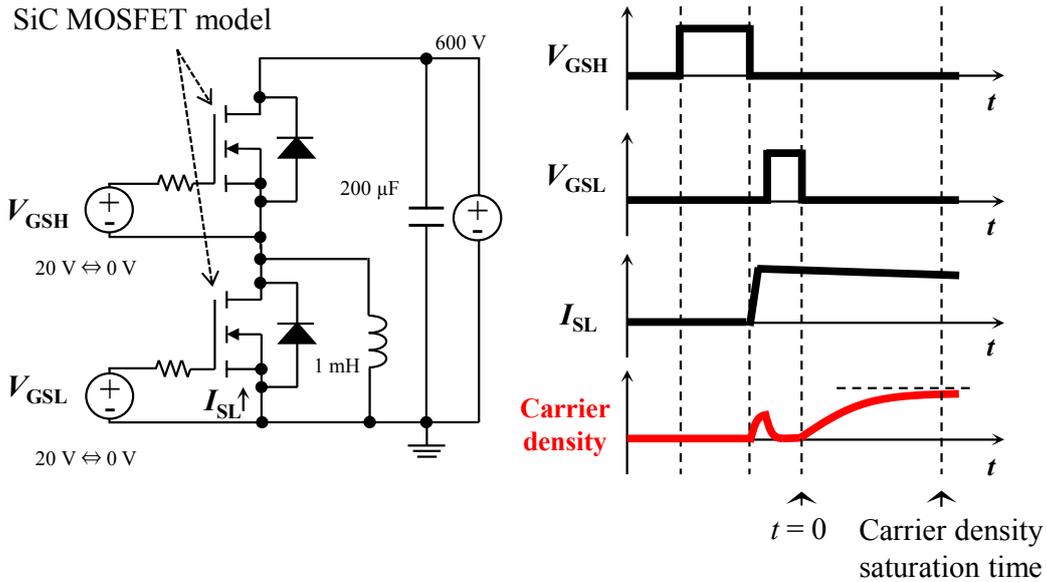


Fig. 3.3 SiC MOSFET シミュレーションモデル

Table 3.1 SiC MOSFET モデルパラメータ

Parameter	Value
Active area	0.18 cm ²
p+ layer depth	0.7 μm
p layer depth	2.3 μm
n- layer depth	7.0 ~ 9.2 μm
p+ layer concentration	1.0 × 10 ²⁰ cm ⁻³
p layer concentration	5.0 × 10 ¹⁷ cm ⁻³
n- layer concentration	1.0 × 10 ¹⁶ cm ⁻³
n+ layer concentration	1.0 × 10 ¹⁹ cm ⁻³
Carrier lifetime τ_p	1.2 × 10 ⁻⁷ s



(a) インダクタンス負荷モデル (b) タイミングチャート

Fig. 3.4 キャリア飽和時間のシミュレーション概要

シミュレーション条件は、電流 I_{SL} は昇圧コンバータの中電流域となる 50 A、接合温度 T_j は 25 °C とキャリア濃度が十分に高くなる 175 °C の 2 条件で行った。 $I_{SL} = 50$ A の場合のシミュレーション結果を Fig. 3.5 と Fig. 3.6 に示す。 $T_j = 25$ °C と 175 °C のそれぞれにおいて、 $t = 0$ 以降の正孔濃度 (hole density) と電子濃度 (electron density) を示している。 $T_j = 25$ °C では、正孔・電子とも 200 ns ほどで飽和状態に達した。一方 $T_j = 175$ °C でも、キャリア濃度が高くなる分 $T_j = 25$ °C よりも長くなったものの 300 ns ほどで飽和状態に達した。これは、数 μ s から 10 μ s かかる同耐圧の Si ダイオード^[25] と比べると 1 桁以上短い。この結果から、1.2 kV SiC MOSFET において、逆回復電荷の低減効果を得るには、ダイオード導通時間が 200 ns 以下となるよう MOSFET を駆動制御する必要があることが分かった。

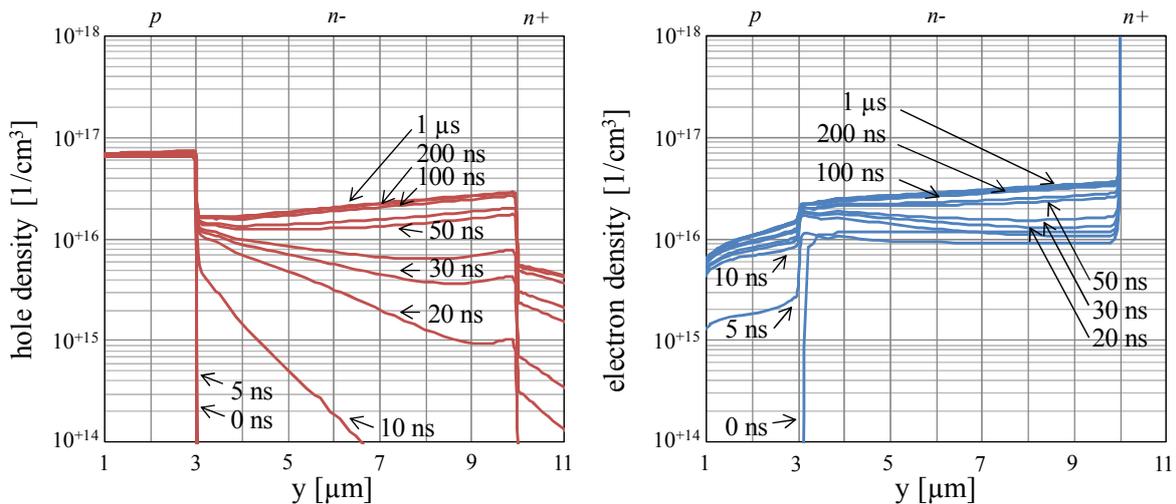


Fig. 3.5 SiC MOSFET 内蔵ダイオードの順回復過程におけるキャリア濃度のシミュレーション結果 ($I_{SL} = 50$ A, $T_j = 25$ °C)

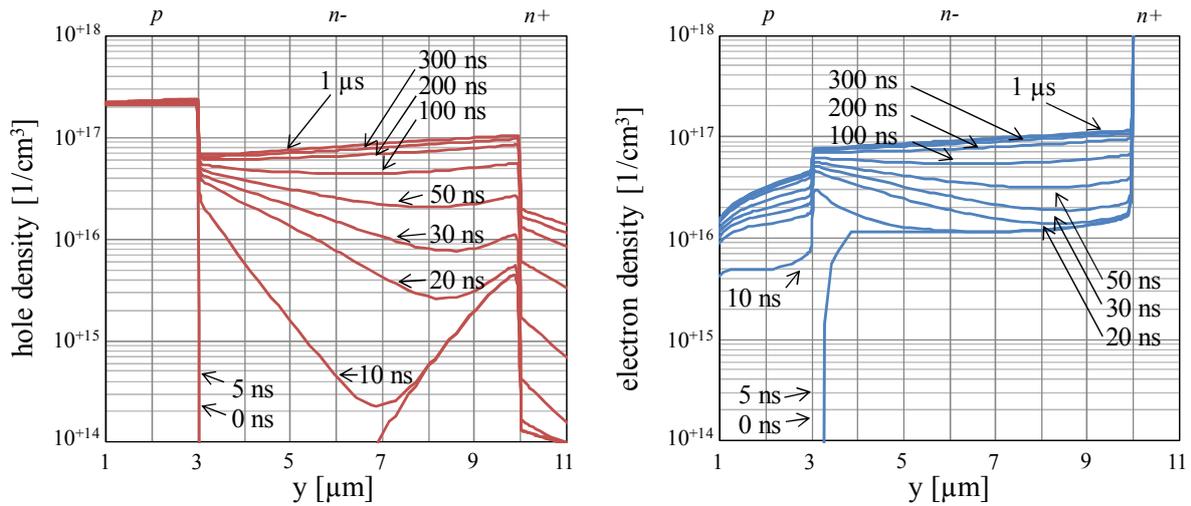


Fig. 3.6 SiC MOSFET 内蔵ダイオードの順回復過程におけるキャリア濃度のシミュレーション結果
($I_{SL} = 50 \text{ A}$, $T_j = 175 \text{ }^\circ\text{C}$)

3.3.2 SiC MOSFET の誤点弧抑制

Fig. 3.1 に示すようなハーフブリッジ回路において逆アームの MOSFET がターンオンする際、自アームの MOSFET のゲート電圧が高くなることがある。そして、ゲート閾値電圧を上回るまで高くなると誤点弧が発生する。誤点弧が発生すると、上下アームが同時オン状態となって短絡電流が混入するため、逆回復時の損失は増えてしまう。ここでは、ダイオード導通時間を短縮して SiC MOSFET を駆動させる際の誤点弧発生メカニズムについて説明する。

Fig. 3.7 は、ダイオード導通時間 t_{Di} を $1 \mu\text{s}$ 以上確保した場合の誤点弧発生メカニズムを示すタイミングチャートである。Fig. 3.7 において、下アーム M_2 が内蔵ダイオードが導通状態となる MOSFET であり、 M_2 がオフの期間（期間 II, III, IV）、ゲート電圧 V_{GSL} が高くなるどころが 2 か所ある。1 つは、ゲートオフ直後に発生し (Fig. 3.7 A 点)、もう一つは、 V_{DSL} が電源電圧まで上昇する期間 IV に発生する (Fig. 3.7 B 点)。A 点でのゲート電圧上昇は、Fig. 3.8 (a) に示すように、SiC MOSFET の寄生容量 C_{GS} とゲートドライバとの配線によって生じる寄生インダクタンス L_G との間の共振が原因で発生する。これに対して B 点でのゲート電圧上昇は、Fig. 3.8 (b) に示すように、SiC MOSFET の寄生容量 C_{GD} を介した電流がゲート抵抗 R_G や寄生インダクタンス L_G に流れることが原因となって発生する。

Fig. 3.9 に t_{Di} を 100 ns 程度まで短縮した場合の動作波形を示す。通常、A 点で V_{GSL} が上昇しても、逆アームのゲート電圧 V_{GSH} はオフ状態であるため誤点弧は起きないが、 t_{Di} を短縮して動作させる場合には、A 点と B 点のタイミングが重なるため (Fig. 3.9 C 点)、 V_{GSL} がより高くなることで誤点弧が発生しやすくなる。従って、ゲートオフ時には負電圧をバイアスする、あるいはゲート寄生インダクタンス L_G を低減するなど、十分な誤点弧対策が必要となる。

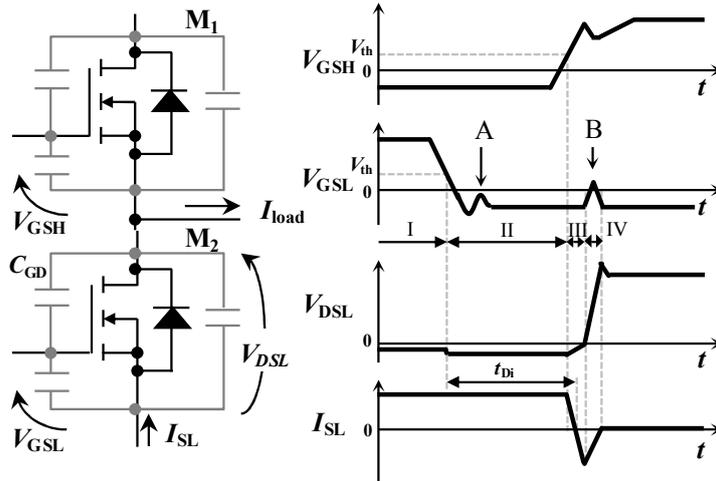


Fig. 3.7 ダイオード導通時間を $1\ \mu\text{s}$ 以上確保した場合の電圧・電流波形

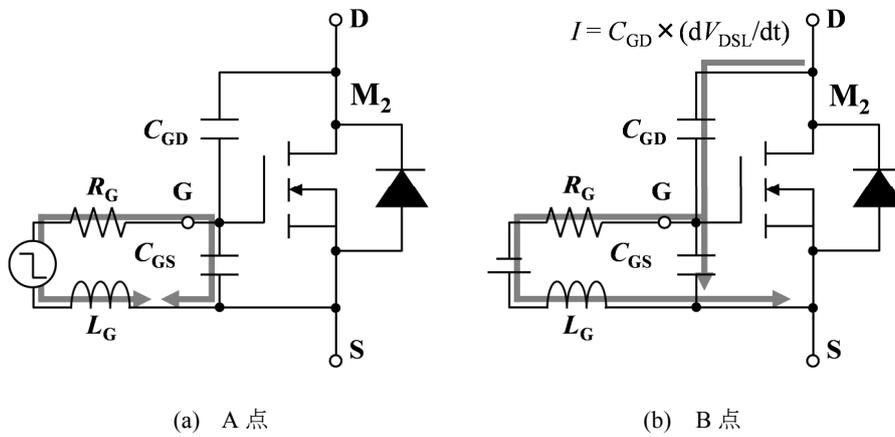


Fig. 3.8 Fig. 3.7 の A 点と B 点におけるゲート電圧上昇要因 (a) A 点: SiC MOSFET の寄生容量 C_{GS} とゲートドライバとの配線によって生じる寄生インダクタンス L_G との間の共振 (b) B 点: SiC MOSFET の寄生容量 C_{GD} を介した電流がゲート抵抗 R_G や寄生インダクタンス L_G に流れる

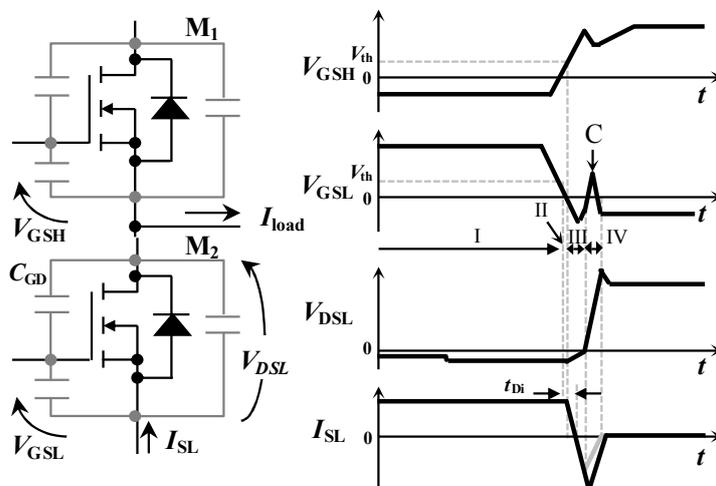


Fig. 3.9 ダイオード導通時間を $100\ \text{ns}$ 程度に短縮した場合の電圧・電流波形

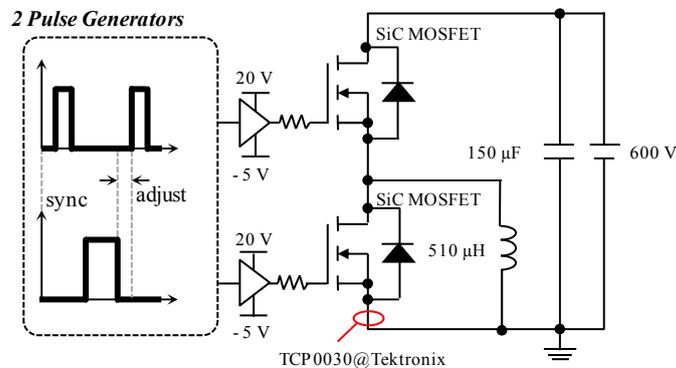
3.4 SiC MOSFET 内蔵ダイオード逆回復電荷低減の検証実験

3.4.1 実験方法

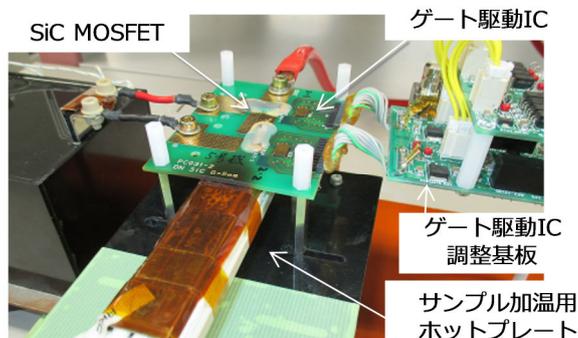
SiC MOSFET 内蔵ダイオードの導通時間を短縮することによる逆回復電荷の低減効果を実験により検証する。実験には2章の評価に用いた SiC MOSFET と同ロットのサンプルを TO-247 パッケージに実装して使用する。使用したサンプルの特性一覧は Table 3.2 のとおりである。Fig. 3.10 に示すインダクタンス負荷のダブルパルス環境を用いて、逆回復時の電流波形と電圧波形を測定し、測定した電流波形から逆回復電荷を算出する。ダイオード導通時間 t_{Di} の調整には、2台のパルス発生器を同期させてパルス幅を調整することで行い、接合温度 T_j を上昇させる方法としてはホットプレートにより冷却面側から加熱する方法とした。また、ゲート駆動回路にはオフバイアスを調整できる専用 IC を使用し、整流側 M_2 のオフ電圧が 0 V の場合と -5 V の場合の逆回復電荷を測定することで誤点弧対策の効果についても比較する。実験の詳細条件は Table 3.3 に示す。

Table 3.2 実験に使用した SiC MOSFET

Specification	Symbol	Value	Condition
Die size	-	6.0 mm x 5.5 mm	-
Breakdown voltage	V_{BR}	1200 V	-
On-state resistance	R_{DS}	20 m Ω	T_j 25 °C, V_{GS} 20V, I_D 20A
Gate threshold voltage	$V_{GS(th)}$	4.6 V	T_j 25 °C, V_{DS} 10V, I_D 10mA
Diode forward voltage	V_F	2.8 V	T_j 25 °C, V_{GS} 0V, I_F 10A
Input capacitance	C_{iss}	4150 pF	T_j 25 °C, V_{GS} 0V, V_{DS} 800V, f = 1MHz
Output capacitance	C_{oss}	310 pF	
Reverse trans capacitance	C_{rss}	45 pF	



(a) インダクタンス負荷のダブルパルス評価回路



(b) 実験環境の外観

Fig. 3.10 SiC MOSFET 内蔵ダイオードの逆回復電荷測定環境

さらに、ゲートソースの配線インダクタンス L_G を極力小さくした主回路基板を用いて、ダイオード導通時間を短縮した際の誤点弧対策の効果についても検証する。Fig. 3.11 に回路基板の外観と概要を示す。ゲートソースの配線をガラスエポキシ基板 FR4 上の銅プレートでパターン設計し、SiC MOSFET のゲート電極とドライバ IC の出力電極が銅プレートとはんだ接続するようにチップを直接実装することで L_G の低減を図った。TO-247 では L_G が約 30 nH であるのに対して 2.2 nH と小さく設計している。

Fig. 3.12 に、TO-247 パッケージを使用した場合と、低 L_G 回路基板を使用した場合のゲート電圧波形を示す。低 L_G 回路基板では、TO-247 で発生しているゲートオフ後 20 ns から 150 ns にかけての共振動作が抑制されている。本実験では、TO-247 パッケージによるダイオード導通時間短縮の効果検証とともに、 L_G 低減の効果についても合わせて検証を行った。

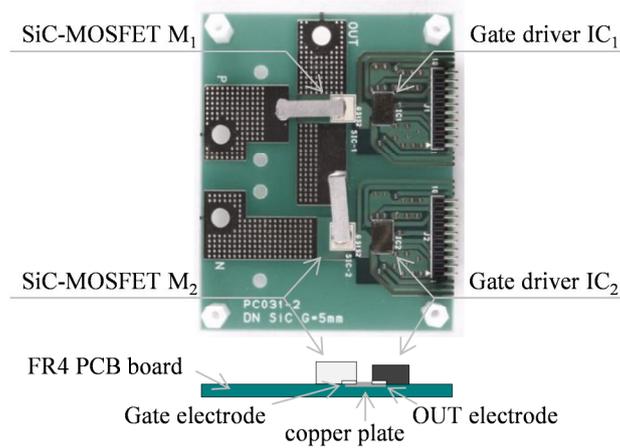


Fig. 3.11 SiC MOSFET とゲートドライバ IC をフリップチップ実装した低寄生インダクタンス回路基板

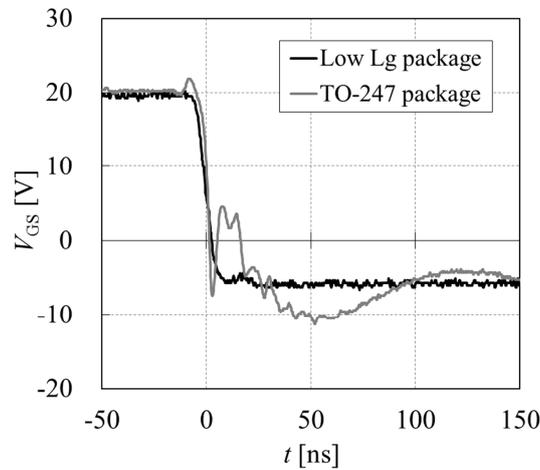


Fig. 3.12 TO-247 パッケージと低寄生インダクタンス回路基板のゲート波形比較

Table 3.3 実験条件

Specification	Symbol	Value
Drain source voltage	V_{DSL}	600 V
Source current	I_{SL}	5 A, 25 A, 100 A
Source current slew rate	di/dt	3 kA/ μ s
Gate source voltage	$V_{GS ON}$	20 V
Diode conduction time	t_{Di}	20 ns ~ 1000 ns
Junction temperature	T_j	25 °C, 175 °C

3.4.2 実験結果

TO-247 パッケージを用い、 M_2 のオフゲート電圧を 0 V として実施した実験結果を Fig. 3.13 および Fig. 3.14 に示す。 $t_{Di} = 60\text{ ns}$ まで短縮した場合、 $t_{Di} = 1000\text{ ns}$ の場合に比べて逆回復ピーク電流 I_{RRM} は小さく、SiC SBD を並列接続した場合と同程度になることが確認できた。また逆回復電荷 Q_{rr} は、電流 $I_{SL} = 5\text{ A}$ 、 25 A の両条件とも、 $t_{Di} = 1000\text{ ns}$ を基準として $t_{Di} = 100\text{ ns}$ 付近で一旦増加（現象 i）した後、そこから $t_{Di} = 60\text{ ns}$ まで急激に減少し、 $t_{Di} = 50\text{ ns}$ 以下の条件では再び増加する（現象 ii）傾向を示した。 Q_{rr} の増加現象については後述する。

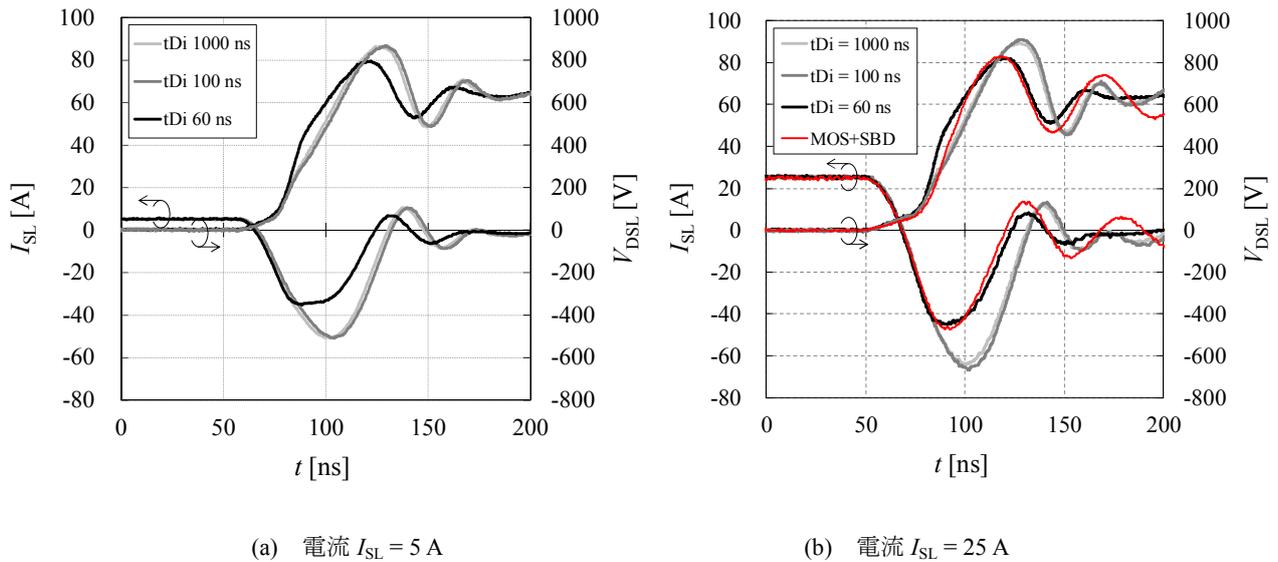


Fig. 3.13 SiC MOSFET の内蔵ダイオードの逆回復特性（TO-247 パッケージ実装, $V_{GSL} = 0\text{ V}$, $T_j = 175\text{ }^\circ\text{C}$ ）

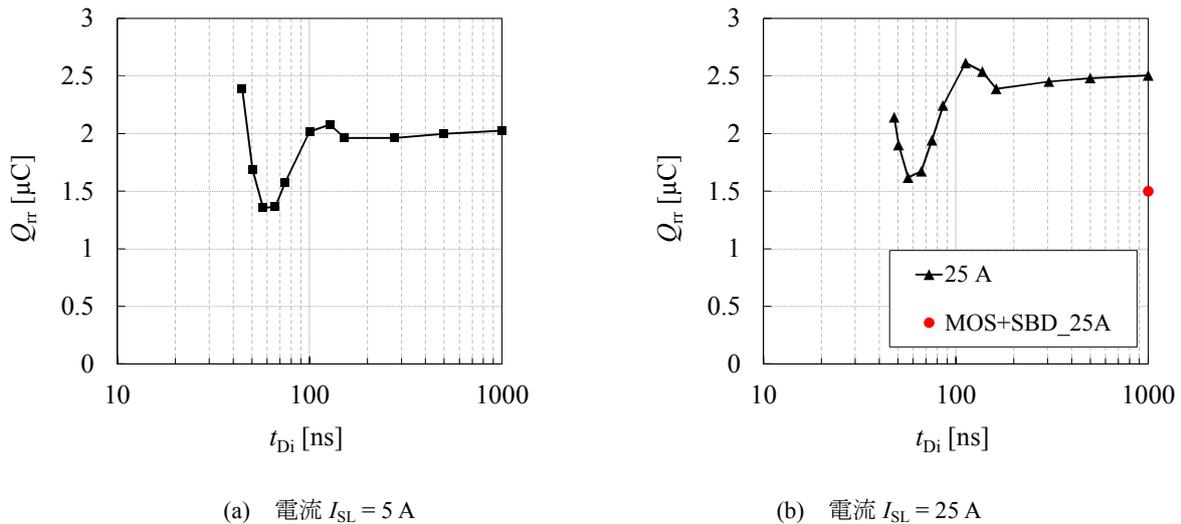


Fig. 3.14 逆回復電荷 Q_{rr} のダイオード導通時間 t_{Di} 依存性（TO-247 パッケージ実装, $V_{GSL} = 0\text{ V}$, $T_j = 175\text{ }^\circ\text{C}$ ）

次に、同じく TO-247 パッケージ実装品を用いて M_2 のオフゲート電圧を -5 V として実施した実験結果を Fig. 3.15 および Fig. 3.16 に示す。 M_2 のオフゲート電圧を 0 V とした場合と同様、 $t_{\text{Di}} = 60\text{ ns}$ に短縮した場合の I_{RRM} は $t_{\text{Di}} = 1000\text{ ns}$ の場合に比べて小さく、SiC SBD を並列接続した場合よりも小さくなっている。また逆回復電荷 Q_{rr} の t_{Di} 依存性についてもオフゲート電圧 0 V の場合と同様の傾向を示す一方で、Fig. 3.14 と Fig. 3.16 の比較から分かるように、オフゲート電圧 -5 V の場合の方が t_{Di} の条件に関わらず全般的に小さくなることが確認できた。これは 3.2.2 で述べたように、 V_{DSL} 変動による誤点弧が原因であり (Fig. 3.8 (b)), オフゲート電圧が 0 V の場合はより多くの短絡電流が混入したためである。

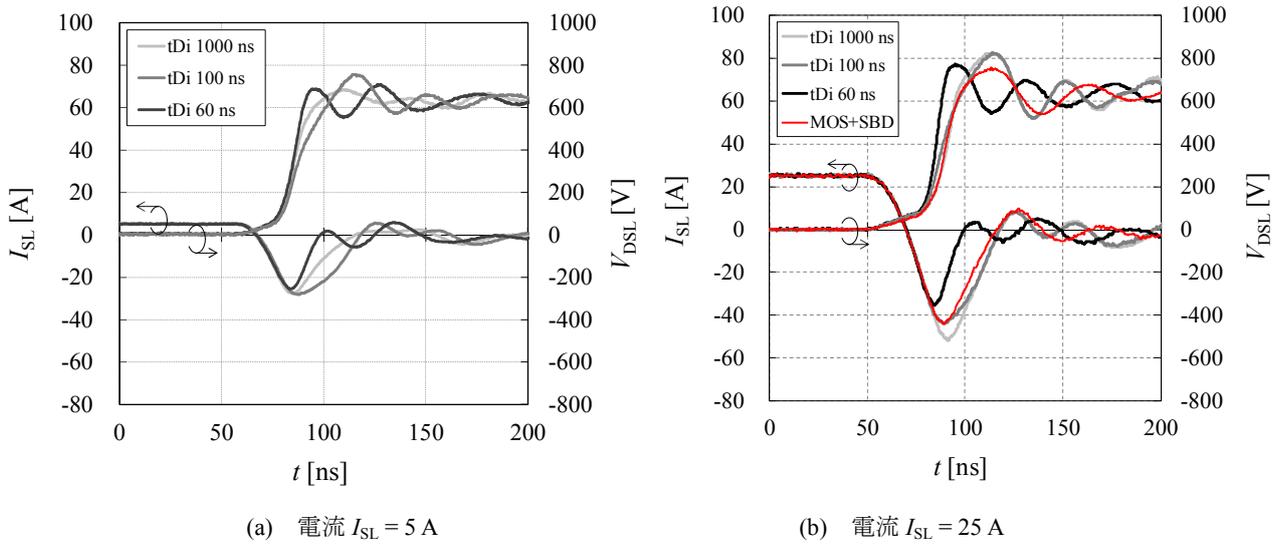


Fig. 3.15 SiC MOSFET の内蔵ダイオードの逆回復特性 (TO-247 パッケージ実装, $V_{\text{GSL}} = -5\text{ V}$, $T_j = 175\text{ }^\circ\text{C}$)

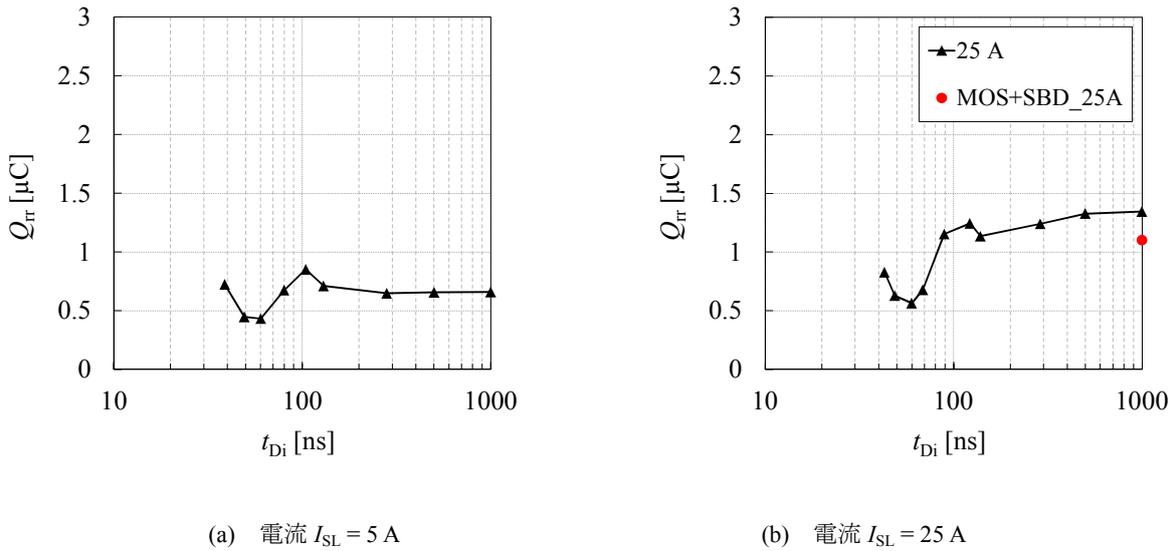


Fig. 3.16 逆回復電荷 Q_{rr} のダイオード導通時間 t_{Di} 依存性 (TO-247 パッケージ実装, $V_{\text{GSL}} = -5\text{ V}$, $T_j = 175\text{ }^\circ\text{C}$)

オフゲート電圧が-5 V の場合、逆回復電荷の極小値は $0.5 \mu\text{C}$ ($t_{\text{Di}} = 60 \text{ ns}$) となり、正孔が十分に注入されている $t_{\text{Di}} = 1000 \text{ ns}$ のときの $1.35 \mu\text{C}$ と比べ 40 %程度まで抑制できることが確認できたが、局所的に Q_{rr} が増加する現象も確認している。この点について以下に考察する。

$t_{\text{Di}} = 50 \text{ ns}$ 以下で Q_{rr} が増加する現象 (現象 ii) は、デッドタイムが十分でないために上下アームのゲートオン期間が重なり、短絡電流が混入したことが原因である。Fig. 3.14 および Fig. 3.16 では、 $t_{\text{Di}} = 50 \text{ ns}$ を下回った 10 ns ほどの期間で急激に Q_{rr} が増加しており、逆回復電荷低減の目的で SiC MOSFET のデッドタイムを短くして駆動する際は、極めて高精度なデッドタイム管理が必要となることを示している。

次に、 $t_{\text{Di}} = 100 \text{ ns}$ 付近で Q_{rr} が増加する現象 (現象 i) は、3.2.2 で述べたように、ゲートオフ後の電圧共振が逆回復期間と重なったために、ゲート電圧が大きく上昇し誤点弧が発生したことが原因である。Fig. 3.12 に示したように、TO-247 パッケージの場合にはゲートソース配線の寄生インダクタンス L_G の影響で、ゲートオフ 後 100 ns から 150 ns の期間でゲート電圧が再上昇している。この電圧上昇期間が整流側 M_2 の電圧 V_{DSL} が上昇する期間 (Fig. 3.7 期間 IV) と重なることでゲート電圧がより大きく上昇し、誤点弧が発生したと考える。

3.2.1 で示したデバイスシミュレーション結果と 3.3.2 で示した実験結果から、 Q_{rr} 低減に効果がある条件は、 $t_{\text{Di}} = 40 \text{ ns} \sim 200 \text{ ns}$ と狭い。従って、SiC MOSFET 内蔵ダイオードの Q_{rr} 低減効果を有効活用するためには、現象 i の原因であるゲート電圧共振の抑制が重要な課題となる。この現象 i について検証するために、低 L_G 回路基板を用いて TO-247 パッケージでの実験と同様の実験を行った。 M_2 オフ時のゲート電圧は TO-247 と同様 -5V だが、回路基板構造上の加熱制約があるため、 $T_j = 25 \text{ }^\circ\text{C}$ で計測した。測定結果を Fig. 3.17 および Fig. 3.18 に示す。

同じ条件で行った TO-247 パッケージの実験結果では、 Q_{rr} は $t_{\text{Di}} = 100 \text{ ns}$ 付近で増加したのに対して、低 L_G 回路基板では、 Q_{rr} は $t_{\text{Di}} = 100 \text{ ns}$ 付近で増加することなく $t_{\text{Di}} = 60 \text{ ns}$ まで下がり続けた。また、 $t_{\text{Di}} = 200 \text{ ns}$ 前後より Q_{rr} が低減し始めており、この点についてもデバイスシミュレーションの結果とほぼ合致する。この結果から、現象 i の原因はゲートオフ後の電圧共振と結論づける。以上のことから、 Q_{rr} 低減効果が $t_{\text{Di}} = 40 \text{ ns} \sim 200 \text{ ns}$ 程度までと狭い SiC-MOSFET において、その効果を有効活用するには、ゲートオフ直後の共振動作によるゲート電圧上昇を抑制する必要がある。従って、ゲート負バイアスによる誤点弧対策だけでなく、ゲート配線の寄生インダクタンス低減も効果的であると言える。

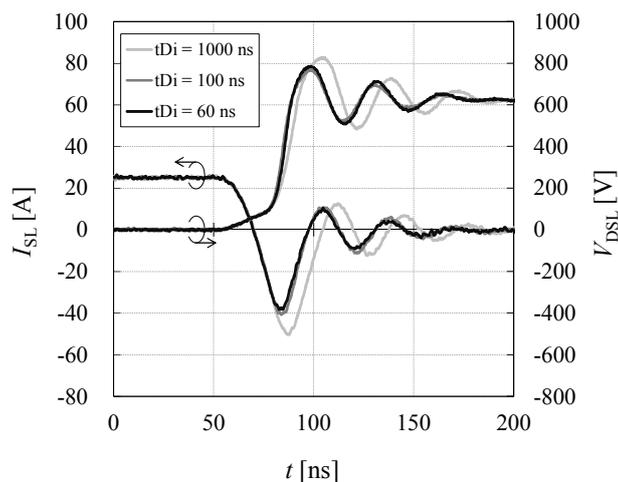


Fig. 3.17 SiC MOSFET の内蔵ダイオードの逆回復特性 (低 L_G 回路基板実装, $V_{\text{GSL}} = -5 \text{ V}$, $T_j = 25 \text{ }^\circ\text{C}$)

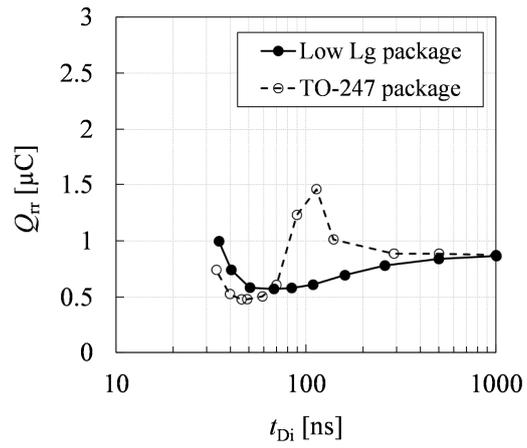


Fig. 3.18 逆回復電荷 Q_{rr} のダイオード導通時間 t_{Di} 依存性
 (TO-247 パッケージ実装と低 L_G 回路基板実装の比較, $V_{GS} = -5 \text{ V}$, $T_J = 25 \text{ }^\circ\text{C}$)

最後に、 Q_{rr} 低減効果の電流依存性についてまとめ、SiC MOSFET をダイオード導通時間を短縮して駆動した場合の損失効果について述べる。Fig. 3.19 は、同ロットの SiC MOSFET サンプルに対して電流 $I_{SL}=5\text{ A}$, 25 A , 100 A の3条件で測定した Q_{rr} をまとめたものである。SiC MOSFET のパッケージには TO-247 を用いた。

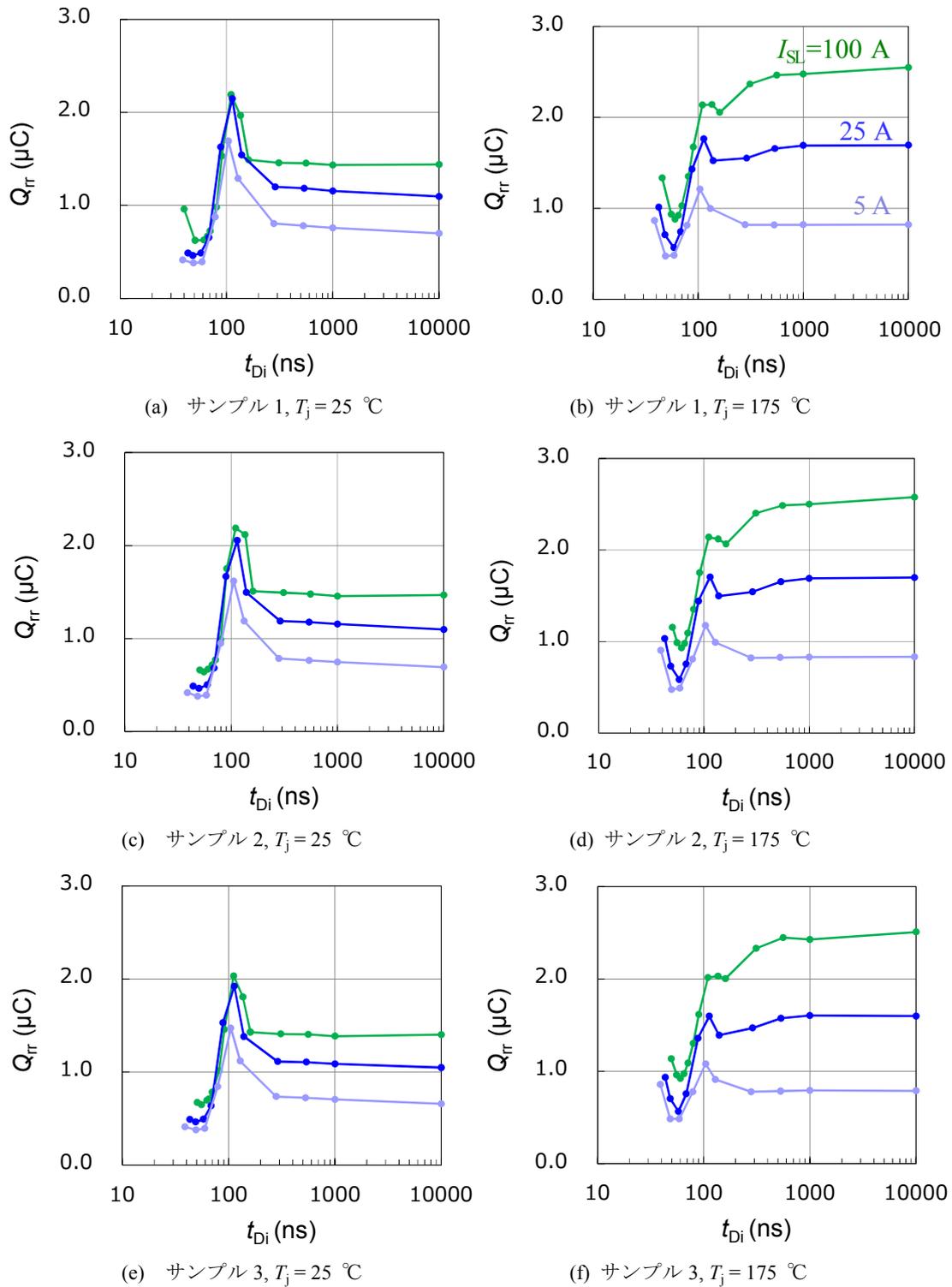


Fig. 3.19 SiC MOSFET の内蔵ダイオードの逆回復特性 (TO-247 パッケージ実装, $V_{GSL} = -5\text{ V}$)

ゲート配線インダクタンスが大きな TO-247 パッケージであるため、 $t_{Di} = 100$ ns 付近での Q_{rr} 増加がみられるものの、どのサンプル、温度条件、電流条件においても $t_{Di} = 60$ ns の条件で Q_{rr} が極小値となっていることが分かる。これは、 Q_{rr} の極小値を決定する要因が、内蔵ダイオードの動作条件ではなく、上下アームのゲートオン期間が重なり始める時間であることを示している。数値ばらつきの精査は今後必要であるものの、SiC MOSFET 内蔵ダイオードの導通時間 t_{Di} のみで Q_{rr} を管理できることは、制御応用の観点からも実装形態の簡素化に繋がる知見であると考えられる。具体的な実現形態については、6 章にて述べる。

以上の結果をもとに、ダイオード導通時間の短縮による損失低減効果について試算した。試算条件は Table 3.4 に示すとおりで 2.6 における損失試算と同様であり、ダイオード導通時間は 100 ns とした。試算結果を Fig. 3.20 に示す。ダイオード導通時間の短縮効果は大電流領域で大きく、昇圧コンバータの入力電流が 100 A の際には約 100 W の損失が低減する試算結果となった。

Table 3.4 昇圧コンバータの SiC MOSFET 損失の計算条件

Parameter		Symbol	Value
SiC MOSFET	On-state resistance	R_{DS}	6.6 m Ω
	Gate threshold voltage	$V_{GS(th)}$	4.6 V
	Diode forward voltage	V_F	2.8 V
Gate Driver	Output voltage (ON)	$V_{GS(ON)}$	20 V
	Output voltage (OFF)	$V_{GS(OFF)}$	-5 V
	Gate resistor	R_G	2 Ω
Boost Converter	Input voltage	V_{IN}	300 V
	Output voltage	V_{OUT}	600 V
	Boost inductor	L_0	25 μ H
	Input capacitor	C_0	200 μ F
	Output capacitor	C_1	1 mF

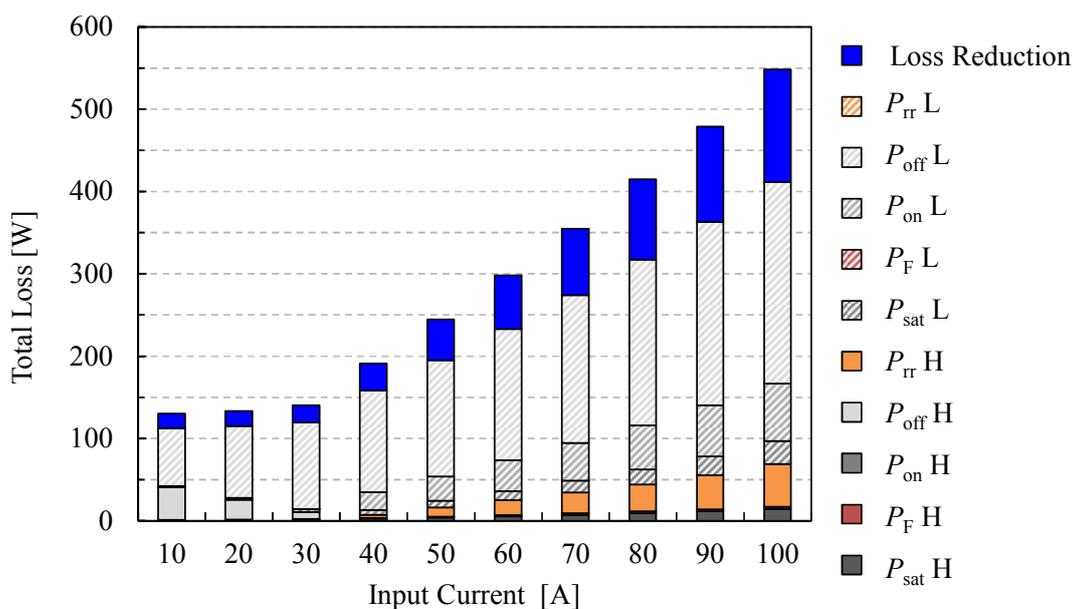


Fig. 3.20 PCU の昇圧コンバータ部における半導体損失

3.5 まとめ

本章では、ダイオード導通時間短縮による逆回復電荷低減効果がこれまで未解明だった SiC MOSFET でも発現することを明らかにした。また、SiC MOSFET 内蔵ダイオードの逆回復低減効果を得るには、ダイオード導通時間を 200 ns 以下まで短縮する必要がある、その際に発生する誤点弧の抑制に対し、駆動回路のゲート配線の寄生インダクタンスの低減が有効であることを明らかにした。

第4章 SiC MOSFET 内蔵ダイオードの順方向電圧劣化

4.1 はじめに

SiC バイポーラデバイスには通電を続けることで順方向電圧が増加する現象があり^{[13],[14]}, SiC MOSFET でも内蔵ダイオードが通電することで同様の現象が発生することが報告されている^[20]。順方向電圧の劣化現象は、ショックレー型積層欠陥と呼ばれる面欠陥が原因である^[13]。PiN ダイオードのように少数キャリアが注入されるバイポーラ通電では、SiC デバイス内部でキャリア再結合が起きるが、このキャリア再結合の過程で発生するエネルギーによってショックレー型積層欠陥は拡張すると言われている。このショックレー型積層欠陥は面に垂直方向には電気抵抗となるため、SiC MOSFET の場合には、内蔵ダイオードの順方向電圧の増加となって現れる。

順方向電圧劣化の対策として、エピタキシャル成長の工夫をはじめとして数多くの手法が提案されているものの^{[15]-[20]}, 欠陥を完全になくすことは非常に難しいことも事実である。順方向電圧劣化を抑制することは、SiC MOSFET 内蔵ダイオードを環流ダイオードとして活用するためには重要な課題であり、デバイスおよびその製造プロセスの対策に加え、SiC MOSFET の駆動回路や実装方法など使いこなしの側面を含む総合的な対策が必要であることを述べた。本章では、SiC MOSFET 内蔵ダイオードの順方向電圧劣化の抑制手段として、駆動回路によるダイオード導通時間の短縮に着目し、ダイオード導通時間が与える順方向電圧劣化への影響について述べる。

4.2 順方向電圧劣化のメカニズム

ショックレー型の積層欠陥が拡張して、順方向電圧が増加するメカニズムを Fig. 4.1 を用いて説明する。4H-SiC 基板の{0001}基底面上に存在する基底面転位は、エピタキシャル成長の過程でその一部がドリフト領域にも伝搬する (Fig. 4.1 中の黒太線部)。基底面転位とは<11-20>方向にバーガースベクトルを持つ完全転位であり、SiC の場合比較的小さなエネルギーで部分転位に分解する性質を持つ。この部分転位に囲まれた領域をショックレー型積層欠陥と呼ぶ。

ここで、SiC PiN ダイオードなどのバイポーラデバイスは、順方向に電流が流れるとドリフト領域内で電子と正孔の再結合が発生する。ドリフト領域内の基底面転位は、この電子と正孔の再結合エネルギーによって、Si コアと C コアを持つ 2 つの部分転位に分解され、活性化された Si コア部分転位は 4H-SiC の積層構造を崩しながら移動する。その結果、Si コア部分転位と C コア部分転位に囲まれた領域は、全般にわたって Si-C の積層構造が崩れており、面状の積層欠陥となる (Fig. 4.1 中の青色部分)。

順方向電圧劣化後の 4H-SiC PiN ダイオードの断面透過型電子顕微鏡像^[26]を Fig. 4.2 に示す。Fig. 4.2 内の記号 A, B, C は Si-C 四面体の原子の占有位置を示しており、A', B', C' は積層方向をそれぞれ折り返した状態であることを表している。Fig. 4.2 内の矢印がすべり面を表しており、4H-SiC 完全結晶の断面構造 (ABA'C'ABA'C'...) が矢印の場所から崩れていることが示されている。

拡張したショックレー型積層欠陥は、面に垂直方向には量子井戸的に振るまうため、電子と正孔の再結合が促進される。従って、ショックレー型の積層欠陥がドリフト領域の広い範囲に広がると、十分な

伝導度変調効果が得られずに高抵抗化し、順方向電圧は高くなる。

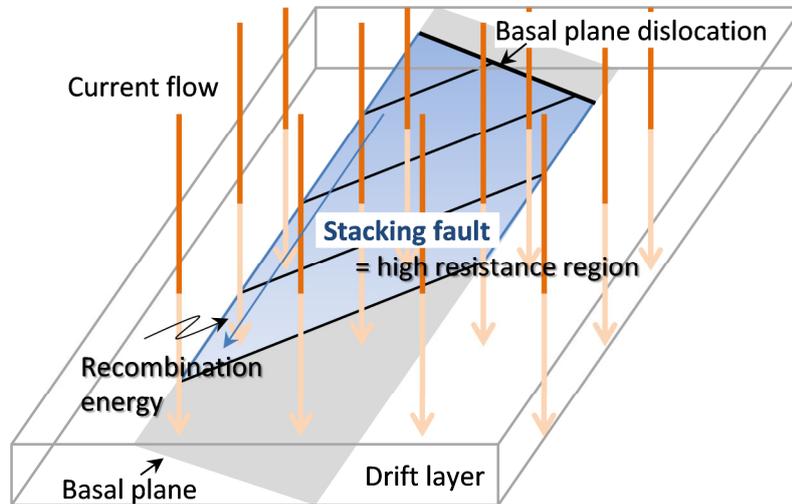


Fig. 4.1 SiC デバイス内でショックレー型積層欠陥が拡張する様子を示す模式図

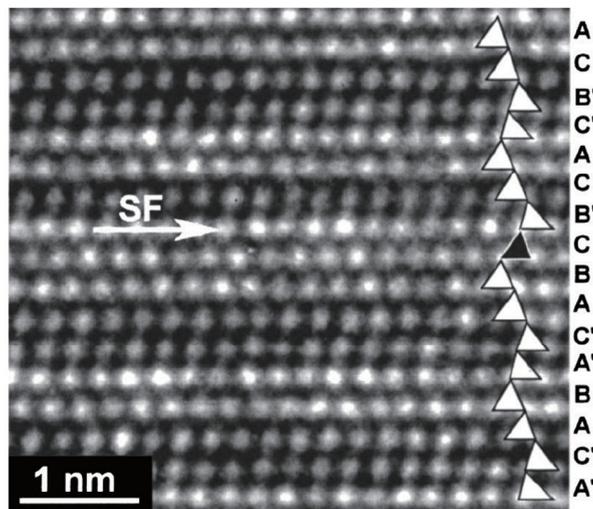


Fig. 4.2 順方向電圧劣化後の 4H-SiC pin ダイオードの透過型電子顕微鏡像^[26]

4.3 パルス通電による順方向電圧劣化抑制の検証実験

4.3.1 通電試験と検証方法

PCUにおいてSiC MOSFETを動作させた場合、MOSFET内部の少数キャリア濃度変化を表した模式図をFig. 4.3に示す。PCUにおいては、昇圧コンバータとインバータともSiC MOSFETをデッドタイム付きのPWM信号で相補駆動させるため、内蔵ダイオードが導通し少数キャリアが注入されるのはデッドタイム期間だけである。そして、3章で述べたようにダイオード導通時間を200 ns以下の極めて短い時間で動作させることで、Fig. 4.3に示すように少数キャリアの注入時間を更に短くでき、また少数キャリア濃度も低い状態で動作することになる。

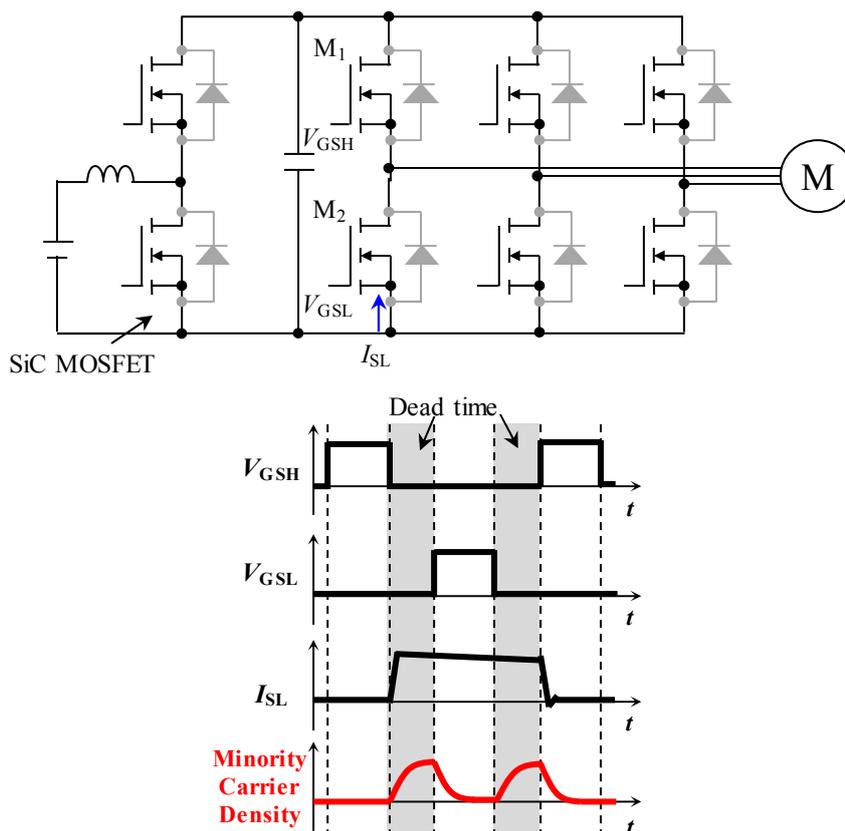


Fig. 4.3 PCUにおけるSiC MOSFET内部の少数キャリア濃度の変化を示す模式図

このように、内蔵ダイオードの導通時間を短縮させてSiC MOSFETを駆動した場合の、順方向電圧劣化現象への影響を分析するため、SiC MOSFETの内蔵ダイオードに短いパルスを一時間印加する通電試験（以下、パルス通電試験という）を行った。パルス通電試験のフローと試験方法をFig. 4.4およびFig. 4.5に示す。Fig. 4.4に示すように、SiC MOSFETのサンプルに対して、あらかじめ決めた観測時刻までパルス通電を行い、サンプルのダイオード特性を計測する。これを試験時間に到達するまで繰り返し、試験終了後にサンプルの電極を剥離して、内部の欠陥の状況をフォトルミネッセンスイメージング装置にて撮像する。

パルス通電試験は恒温恒湿槽内で実施する。Fig. 4.5 (b)に示すように、通電試験基板にはDEI社製のパルスドライブ基板PCO-7120を使用した。同基板はパルス幅を任意に調整することが可能で、最小パルス幅を15 nsまで短くすることが可能である。同基板にTO-247に実装したSiC MOSFETのサンプルを接続し、Fig. 4.5 (c)に示すように短いパルスを連続的に印加する。異なるパルス幅で通電するサンプル間で、通電中のサンプル温度に差が生じないようにデューティを一定にして通電させた。

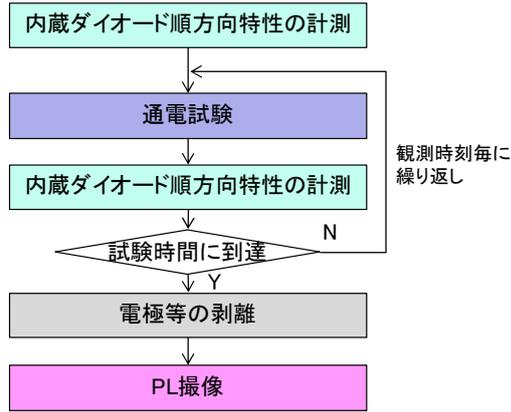
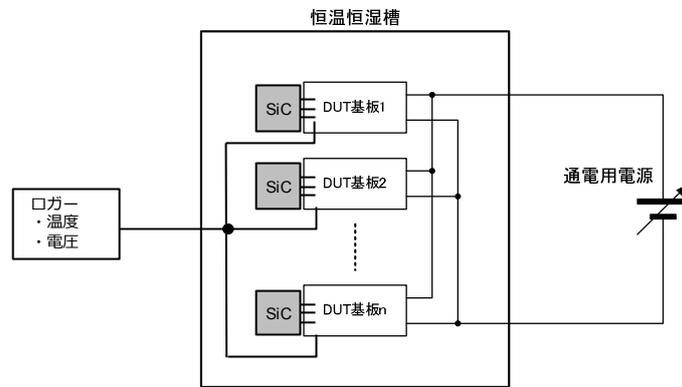
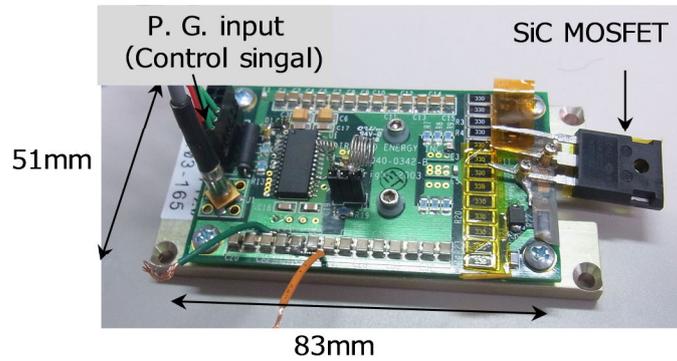


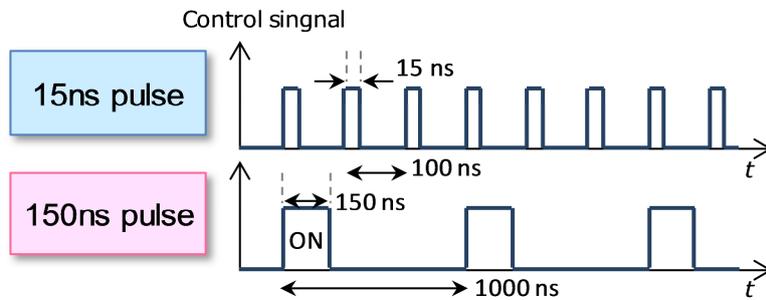
Fig. 4.4 SiC MOSFET 内蔵ダイオードのパルス通電試験のフロー



(a) 通電試験環境の構成



(b) パルス通電試験基板 (DEI 製 PCO-7120)



(c) パルス通電パターン

Fig. 4.5 パルス通電試験方法

4.3.2 フォトルミネッセンス (PL) 法

通電試験後のサンプルの欠陥観察には、フォトルミネッセンス (PL : Photo Luminescence) 法を用いた。PL とは、光照射によって発生する電子と正孔がさまざまな状態を経由して再結合する過程において、結晶から光を放出する現象をいう。半導体中の代表的な発光再結合過程と非発光再結合過程を表した模式図を Fig. 4.6 に示す。PL 法とは、レーザなどの光源を半導体に照射することによって放出される PL スペクトルを検出する方法のことであり、PL を分光し解析することによって、結晶内のエネルギー準位の情報を得たり、欠陥や転位の分布を得ることができると報告されている^[27]。

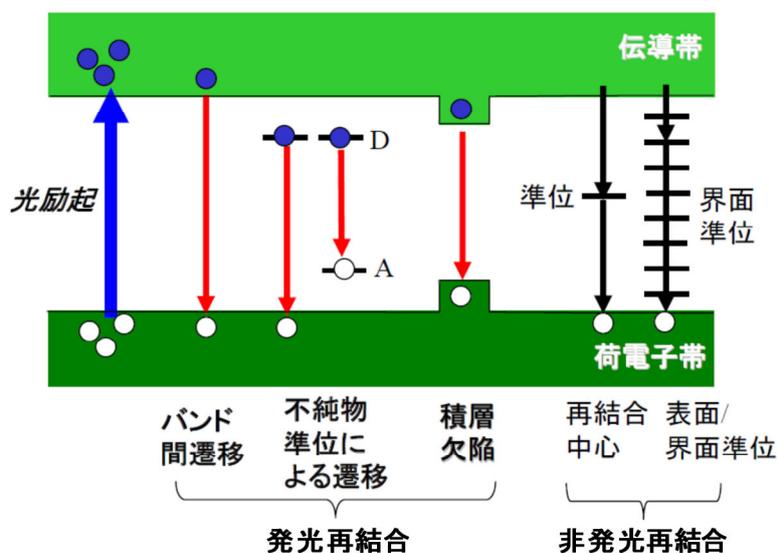


Fig. 4.6 半導体中の代表的な発光および非発光再結合

今回、積層欠陥の撮像に用いた PL イメージング装置の概要を Fig. 4.7 に示す。313 nm のレーザー光を励起光として、XY ステージに設置したサンプルに照射する。サンプルから放出される PL を顕微鏡対物レンズを通して CCD カメラで撮像する。波長選択フィルタには、4H-SiC の積層欠陥観察用には 420 nm のバンドパスフィルタを用い、基底面転位の観察用には 750 nm のロングパスフィルタを用いた。

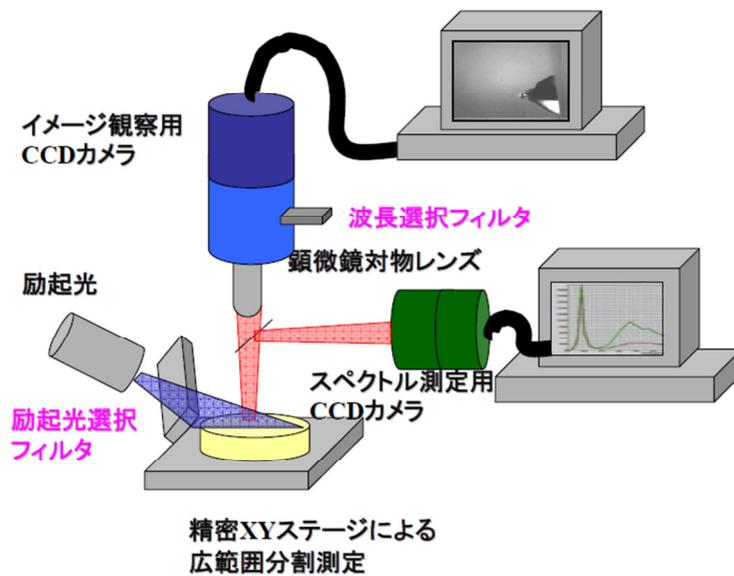


Fig. 4.7 PL イメージング装置

4.3.3 パルス通電試験結果

チップサイズが $4\text{ mm} \times 4\text{ mm}$ の 1.2 kV SiC MOSFET チップを用い、パルス通電試験および連続通電試験を行った。試験は3水準で実施し、A水準は連続通電を2サンプル、B水準は 25 ns のパルス通電を2サンプル、C水準は 15 ns のパルス通電を3サンプル仕掛けた。詳細な試験条件を Table 4.1 に示す。

Table 4.1 パルス通電試験条件

水準	通電パターン	パルス幅	パルス周期	通電電流	観測時刻	試験時間
A	連続	-	-	5 A	0, 1, 4, 9, 19, 49 s	49 s *
B	パルス	25 ns	165 ns	5 A	0, 1, 2, 5, 10, 30, 60 s, ...	10800 s
C	パルス	15 ns	100 ns	5 A	0, 1, 2, 5, 10, 30, 60 s, ...	10800 s

* 1 サンプルは変動量が飽和することを確認するため 1800 s 通電した

通電試験の結果を Fig. 4.8 に示す。横軸は SiC MOSFET 内蔵ダイオードが導通した積算時間であり、観測時刻までのパルス幅を積算して求めた。縦軸の順方向電圧変動率は、SiC MOSFET 内蔵ダイオードに 30 A の電流を印加した際の順方向電圧を通電試験前との比率で表している。連続通電の A 水準は、順方向電圧の上昇が 60 s 程度で止まっているのに対して、A→B→C とパルス幅が短くなるにつれて順方向電圧の上昇が止まる時間が長くなっていることが分かる。ダイオード導通する積算時間をそろえた比較であり、パルス信号のジッタ（実測で 5% 以下）等と比べると明らかに大きな差である。この結果から、パルス幅を短くすることによって単位時間あたりの再結合エネルギーが低くなり、積層欠陥の拡張に影響していると推察できる。

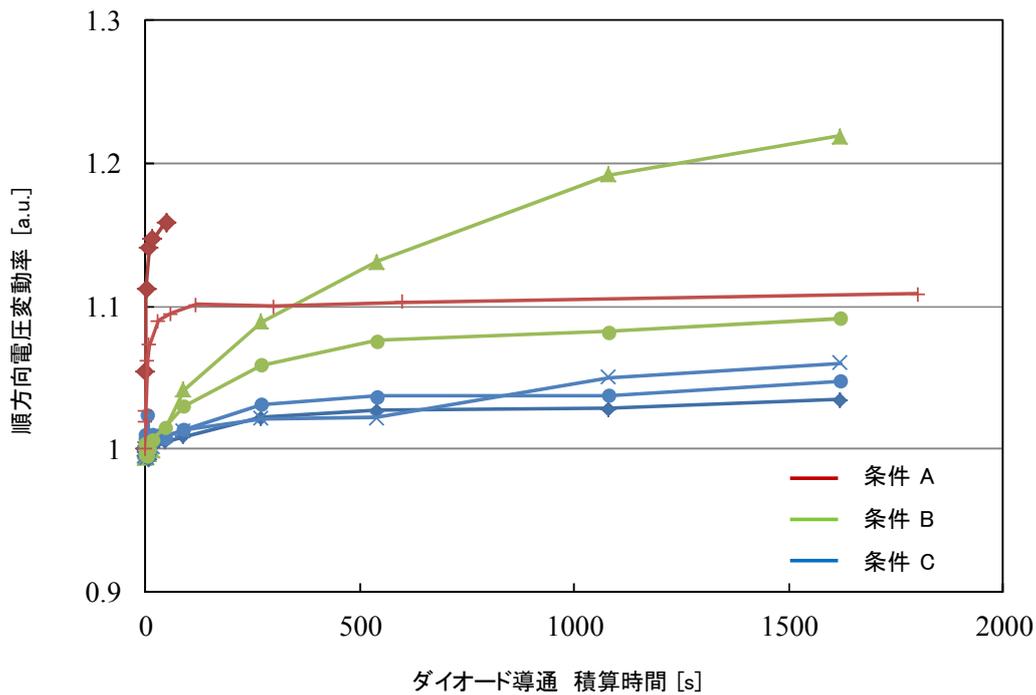


Fig. 4.8 ダイオード導通積算時間と順方向電圧変動率の関係

Fig. 4.9 と Fig. 4.10 に PL イメージを示す。Fig. 4.9 は、比較するために撮像した無通電サンプルの PL イメージである。420 nm バンドパスフィルタを使用して撮像したイメージで、三角状と帯状に伸びた白色領域がショックレー型積層欠陥であり、通電によって積層欠陥が拡張している。ショックレー型積層欠陥は、電子と正孔が再結合するドリフト領域でのみ拡張するため、 $\langle 11\text{-}20 \rangle$ の長さはドリフト領域の厚さとオフ角で決まる。今回の 1.2 kV 耐圧のサンプルでは $\langle 11\text{-}20 \rangle$ 方向の長さは約 $120 \mu\text{m}$ であり、連続通電の A 水準と 25 ns 通電の B 水準では $120 \mu\text{m}$ まで伸びていることが確認できる。一方、15 ns 通電の C 水準では $120 \mu\text{m}$ まで伸びることはなくおよそ $40 \mu\text{m}$ であった。これは、C 水準の順方向電圧の上昇速度が遅い原因として、積層欠陥が拡張しきっていないことがあることを示しており、極端な短パルス化によってドリフト領域内に発生する再結合エネルギーが低くなったことがその根本原因であると考えられる。

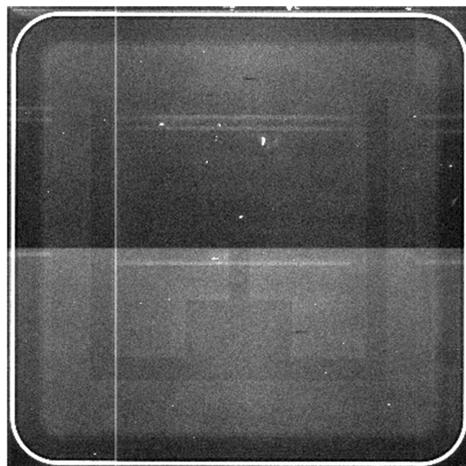
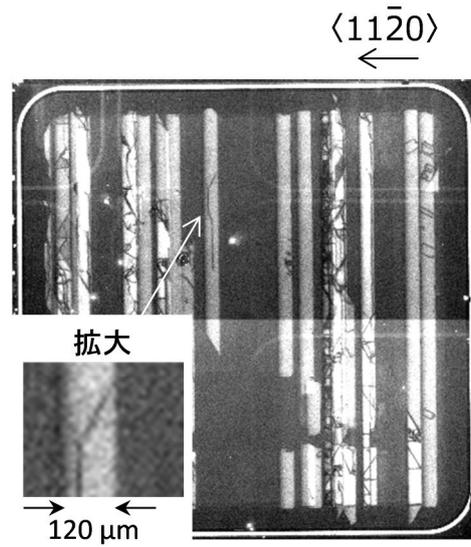
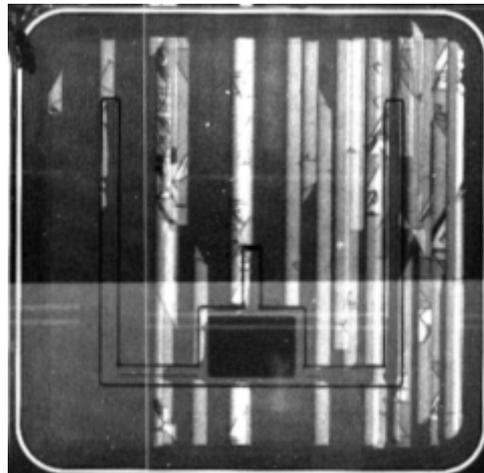


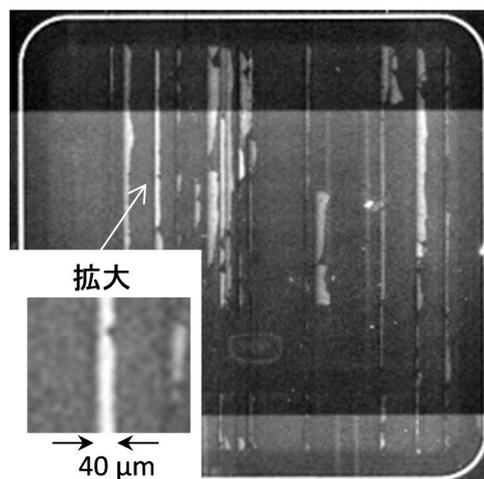
Fig. 4.9 無通電サンプルの PL イメージ



(a) 連続通電サンプル (A 水準)



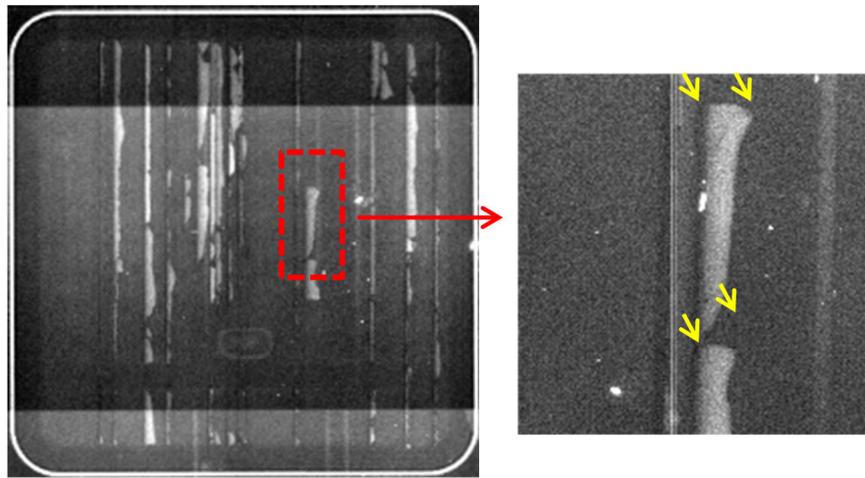
(b) 25 ns 通電サンプル (B 水準)



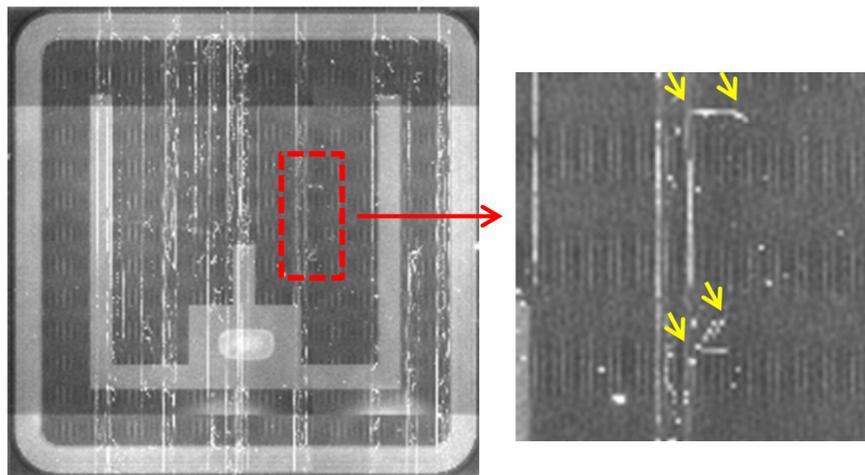
(c) 15 ns 通電サンプル (C 水準)

Fig. 4.10 通電試験後の PL イメージ (420 nm BPF 使用：白色部分はショックレー型積層欠陥)

15 ns 通電サンプル(C水準)の積層欠陥の拡張状況を詳細に分析する。C水準の同一サンプルに対し、420 nm バンドパスフィルタを使用した PL イメージと 750 nm ロングパスフィルタを使用した PL イメージを Fig. 4.11 に示す。黄色い矢印は同じ座標を指しており、積層欠陥の端部と部分転位の位置は一致する。このことから、積層欠陥は Fig. 4.12 に示すような形状と考えられる。



(a) 420 nm BPF 使用 (白色部分はショックレー型積層欠陥)



(b) 750 nm LPF 使用 (白色部分は部分転位)

Fig. 4.11 15 ns 通電サンプル (C水準) の PL イメージ

$\langle 11\text{-}20 \rangle$ と基底面の関係は Fig. 4.12 に示すとおりであり、積層欠陥は基板側では拡張せずにドリフト領域の表面側で拡張している。SiC MOSFET の内蔵ダイオードがオンする過程において、少数キャリアである正孔濃度分布が変化する様子を Fig. 4.13 に示す。内蔵ダイオードがオンしてから 15 ns の時点では、ドリフト領域の表面側と基板側では正孔濃度が 2 桁違うことが分かる。つまり、ドリフト領域の表面側と基板側では再結合エネルギーにも大きな差があり、このことが積層欠陥の拡張を抑制した原因と考えられる。

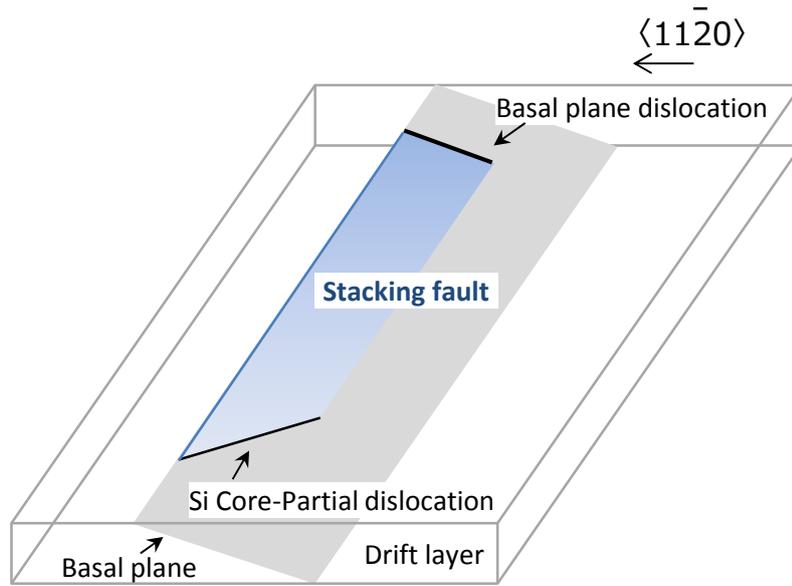


Fig. 4.12 15 ns 通電サンプルのショックレー型積層欠陥の拡張状況を示した模式図

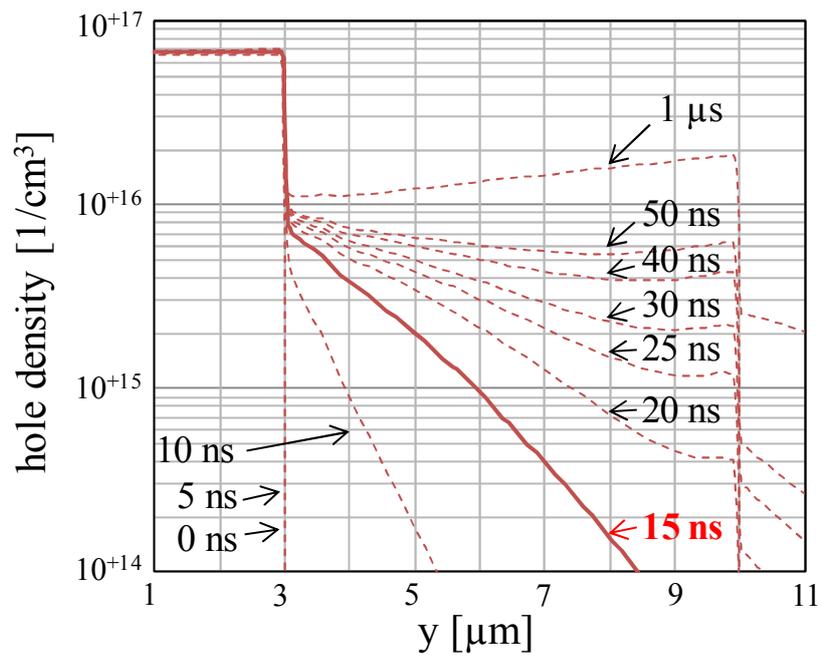


Fig. 4.13 パルス通電中のSiC MOSFET 内部の正孔濃度 (数値はパルス信号がオンしてからの経過時間)

Fig. 4.14 は、パルス通電試験の追試結果を示している。追試したのは1サンプルで、はじめはC水準と同様に15 ns のパルスを印加し、その後 B 水準と同様 25 ns のパルスを印加した。15 ns 通電中は順方向電圧変動率の上昇が止まっているが、25 ns 通電に切替えたところ再上昇していることが分かる。、Fig. 4.15 に、通電試験終了後（Fig. 4.14 内の(1)の時点）に撮像した追試サンプルの PL イメージを示す。積層欠陥の<11-20>方向への拡張幅は B 水準の PL イメージと同じく 120 μm まで拡張している。以上の結果から、15 ns 通電サンプルの順方向電圧の上昇速度が著しく遅くなったのは、短パルス化によって電子と正孔の再結合状態がドリフト領域の表面側と基板側で不均一となり、再結合エネルギーの低い基板側には積層欠陥が拡張しなかったためであると結論づける。

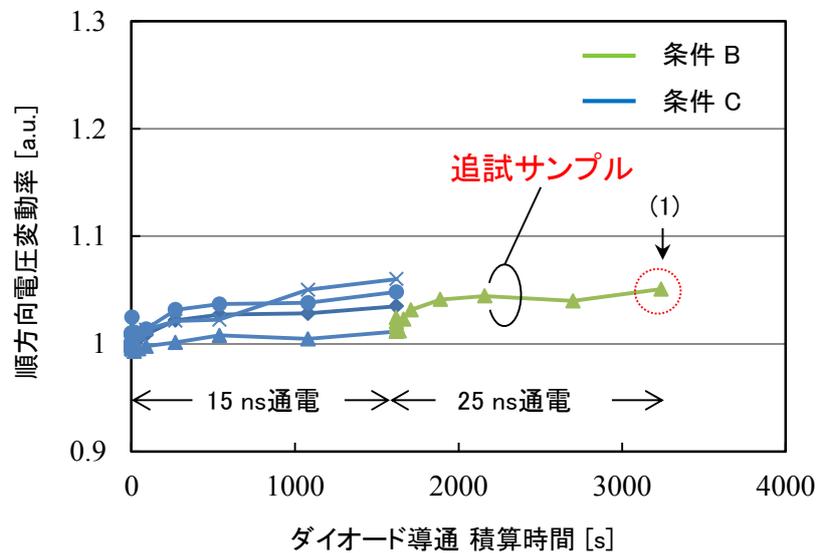


Fig. 4.14 ダイオード導通積算時間と順方向電圧変動率の関係

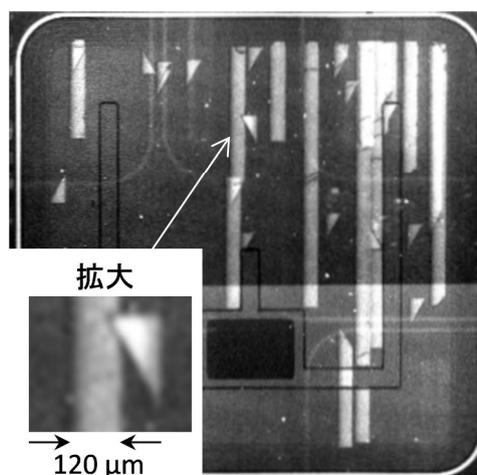


Fig. 4.15 追試サンプルの PL イメージ (420 nm BPF 使用：白色部分はショックレー型積層欠陥)

4.4 まとめ

デッドタイムを短縮するなど SiC MOSFET 内蔵ダイオードの導通時間を極端に短くして動作させる場合、正孔と電子の再結合量が減少するため、積層欠陥が拡張する時間を大幅に延長できる可能性がある。このことを検証するために、SiC MOSFET の内蔵ダイオードに連続パルスを印加して、その特性変化と積層欠陥の広がりを観察した。

パルス幅を短くするにつれて順方向電圧の変動速度は大幅に鈍化し、15 ns のパルス幅で通電した場合には順方向電圧の変動率についても抑制された。15 ns パルス通電サンプルの積層欠陥を PL イメージング法を用いて分析した結果、積層欠陥はドリフト領域の表面側でのみ拡張していることが確認できた。これは、パルス幅を極端に短くしたことによって、ドリフト領域内の基板側で発生する再結合エネルギーが表面側に比べて極めて低くなったことが原因である。

第5章 デッドタイム制御機能内蔵ゲートドライバ

5.1 はじめに

2章から4章において、SiC MOSFET 内蔵ダイオードを環流ダイオードとして利用する際の課題として、導通損失や逆回復損失の低減さらには順方向電圧劣化の抑制があり、ダイオード導通時間を短縮して動作させることが有効であることを示した。本章では、その具体的な解決策として、HEV システム用 SiC MOSFET に備わる過電流検出用 FET を利用したデッドタイム制御手法と、試作したゲートドライバの効果について述べる。

5.2 デッドタイム短縮に関する先行研究と問題点

MOSFET 内蔵ダイオードの導通時間を短縮する方法として、デッドタイム制御が一般的に知られている^{[28]-[44]}。先行研究の多くは低耐圧のコンバータを対象にしており、動的デッドタイム制御もしくはデッドタイム予測制御と呼ばれている。これらの手法では、ドレインソース間電圧をモニタしてダイオード導通時間を検出し、検出量に応じてデッドタイムを短縮する^{[28]-[35]}。従って、これらの手法を PCU に応用するには検出回路に高耐圧素子が必要となるため、回路を HVIC (High Voltage Integrated Circuit) プロセスで製造するもしくは外付けのアイソレータを追加するなど、コストアップや回路の大規模化を招く。

一方で、高電圧システムを対象にした手法もいくつか提案されている^{[36]-[39]}。中でも、ダイオード導通時間の検出に SiC JFET の寄生容量を用いる手法は、ダイオード導通時間を 15 ns まで短縮できたと報告されている^[39]。しかしながら、これらの手法は出力電圧が一定のハーフブリッジコンバータに限定しており、複数レグで構成されモータへの印加電圧が一定でない PCU では、ダイオード導通時間を正確に検出することが難しいため応用が困難である。その他にも、負荷電流に応じてデッドタイムを調整する手法^{[40], [41]}や3相インバータを対象とした手法^{[42], [43]}、センサレス手法^[44]なども提案されているが、低電流域の検出精度が低い、1アームあたりのアイソレータが増加する、デッドタイムの計算負荷が高いなどいずれの手法にも問題がある。

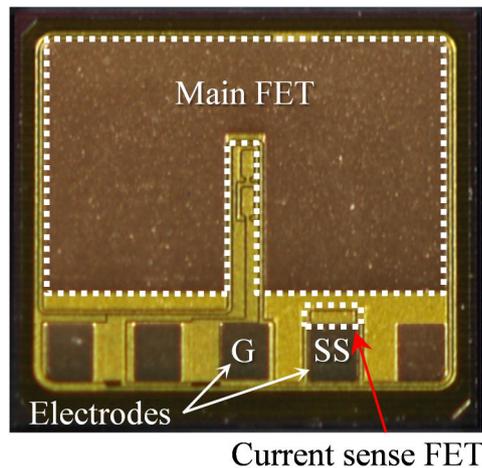
5.3 SiC MOSFET の電流センス機能を用いたデッドタイム制御回路

前節で述べたデッドタイム短縮に関する先行研究の問題点を鑑み、PCU に応用可能なデッドタイム制御手法を提案する。提案手法は、SiC MOSFET に備わる電流センス FET を、対象アームのドレインソース間電圧を検出するために活用し、高速なデッドタイム制御を実現する。本論文では、電流センス FET を2つの制御手法に応用し、5章および6章で提案回路の効果について検証する。最初のステップとして、SiC MOSFET 内蔵ダイオードを環流ダイオードとして活用する前提のもと、ダイオード損失の低減対象を導通損失に限定し、SiC SBD を使用した場合と損失が同等となることを目標として開発を進めた。本章の以降では、電流センス FET および提案するデッドタイム制御回路について説明する。

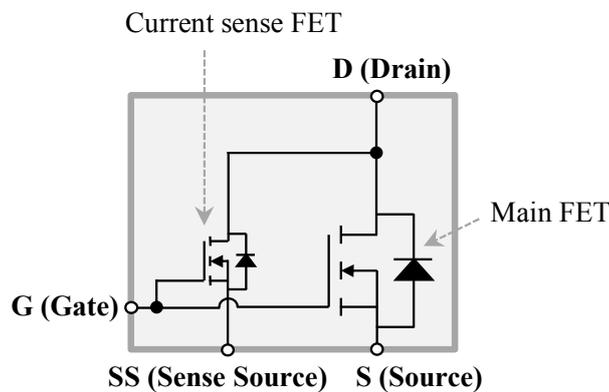
5.3.1 パワー半導体デバイスに備わる電流センス機能

SiC MOSFET をはじめパワー半導体デバイスに内蔵された電流センス FET は、電流を分流するための小さな FET であり、電流センス FET のソース電極はメイン FET の電極と分離されている。FET のサイズ比は用途によってさまざまではあるが、数百分の一から数万分の一程度が一般的である。Fig. 5.1 に電流センス機能を内蔵した SiC MOSFET のチップ写真を示す。チップ中央の白破線部がメイン FET で、赤矢印で示した部分が電流センス FET である。

電流センス FET は主として短絡保護に用いられ、産業用・自動車用の IPM (Intelligent Power Module) などで既に応用されている^[45]他、電流センス機能内蔵の SiC MOSFET も開発が進んでいる^[46]。電流センス FET を用いた典型的な短絡保護回路を Fig. 5.2 に示す。パワー半導体デバイスをブリッジ接続して使用する場合、上下いずれかのアームが短絡故障すると、正常なデバイスがオンした際に大電流が流れる。大電流が流れることによって耐量を超えるエネルギーがかかると半導体デバイスが破壊に至るため、これを保護する必要がある。一般には、電流センス FET のソース端子 SS にシャント抵抗 R_{OC} を接続し、シャント抵抗間の電圧が参照電圧 V_{REF} を超えたことを検出する構成が多く用いられる。



(a) チップ写真 (赤矢印が電流センス FET)



(b) 等価回路

Fig. 5.1 電流センス機能内蔵 SiC MOSFET のチップ写真 (赤矢印が電流センス FET)

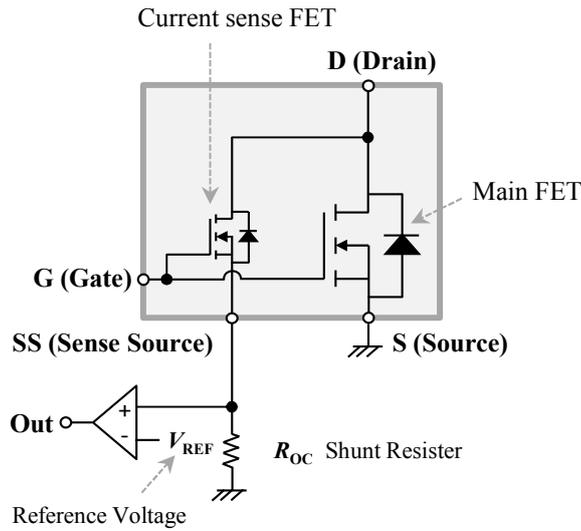


Fig. 5.2 電流センス機能を用いたゲートドライバの短絡保護動作

5.3.2 提案回路の構成及び動作

提案するデッドタイム制御回路を内蔵したゲートドライバを Fig. 5.3 に示す。提案回路は、電流センス FET 内蔵の SiC MOSFET とゲートドライバ IC で構成しており、デッドタイム制御回路は上下アームのゲートドライバ IC に集積化する。提案回路では、SiC MOSFET に備わる電流センス FET を活用して、自アームの内蔵ダイオードへの転流を検出する。電流センス FET のソース電極 SS は、本来の機能である過電流検出用コンパレータとデッドタイム制御用コンパレータの共通入力端子 CMPH と接続されており、ドライバの動作状態に応じスイッチ SWH により切り替えることで 2 つの機能が実現できる構成となっている。主電流がデッドタイム中に内蔵ダイオードに転流すると、端子 CMPH の電位変動を検出してゲートオン信号を出力するよう構成されており、制御入力 INH' がオン状態でなくともゲート信号にハイレベルを印加することができる。

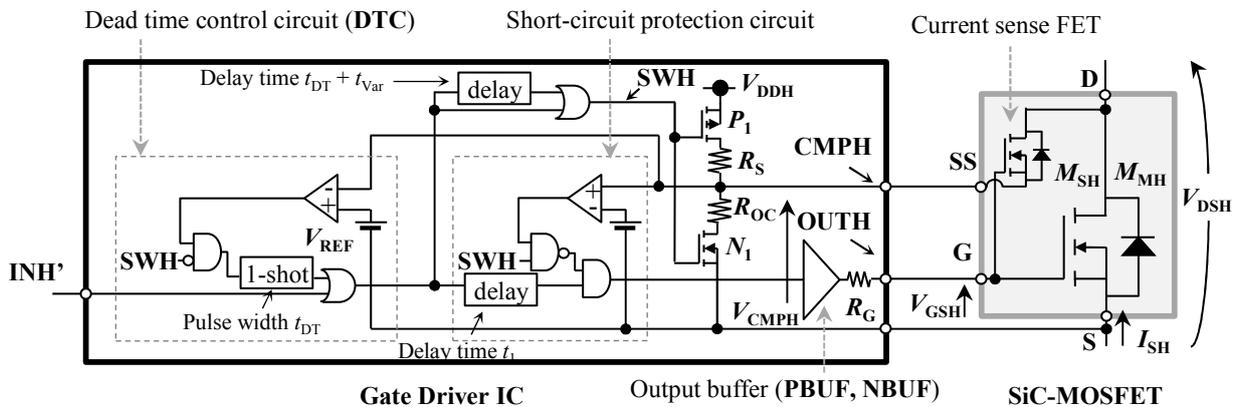


Fig. 5.3 提案するデッドタイム制御機能内蔵ゲートドライバの構成概要（記号は上アームの例）

Fig. 5.4 に典型的な動作波形を示す。下アームの MOSFET がターンオフすることで、上アームの MOSFET の電圧 V_{DSH} は減少を始める。そして、MOSFET M_{MH} の内蔵ダイオードがオンすると、D 端子の電位が S 端子の電位より低くなり、電源電圧 V_{DDH} と D 端子の電位差がビルトイン電圧を超えるために電流センス FET M_{SH} の内蔵ダイオードもオン状態となる。このとき、電源 V_{DDH} から M_{SH} に向けて電流が流れるため、端子電位 V_{CMPH} は閾値電圧 V_{REF} 以下まで下がりデッドタイム制御回路 DTC のコンパレータはハイレベルを出力する。これによって INH' の状態にかかわらず出力 OUTH はハイレベルとなり、結果としてデッドタイムを短縮できる。

ここで、 V_{REF} は内蔵ダイオード転流を検出するための閾値電圧である。電流調整抵抗 R_S は $1\text{ k}\Omega$ 程度の高抵抗であるため、電流センス FET M_{SH} の内蔵ダイオードがオン状態の際には、MOSFET に流れる電流量に関わらず V_{CMPH} は負電圧となる。つまり、 V_{REF} は $0\text{ V} \sim V_{DDH}$ と広い設計マージンを持ち、耐ノイズ設計に対して有利な方法といえる。

また、ダイオード転流を検出した後は、本来の短絡保護機能をオンさせる必要がある。そのため、スイッチ信号 SWH をハイレベルにし、ダイオード転流検出モードから短絡検出モードに切り替える。ゲート出力に遅延 t_1 を設けるのはモード切替を安全に完了させるためである。

そして INH' がローレベルになると、内蔵ダイオードは再びオン状態となる。この期間に SWH がローレベルになると、ダイオード転流を検出して再びゲートがオンとなり、下アームのターンオンタイミングで上下短絡が発生してしまう。この動作を防ぐため、SWH のオフ切替えにはデッドタイム以上の遅延を設けた。以上の動作をキャリア周期毎に繰り返すことで、SiC MOSFET 内蔵ダイオードの動作時間を動作条件によらず安全に短縮することが可能となる。

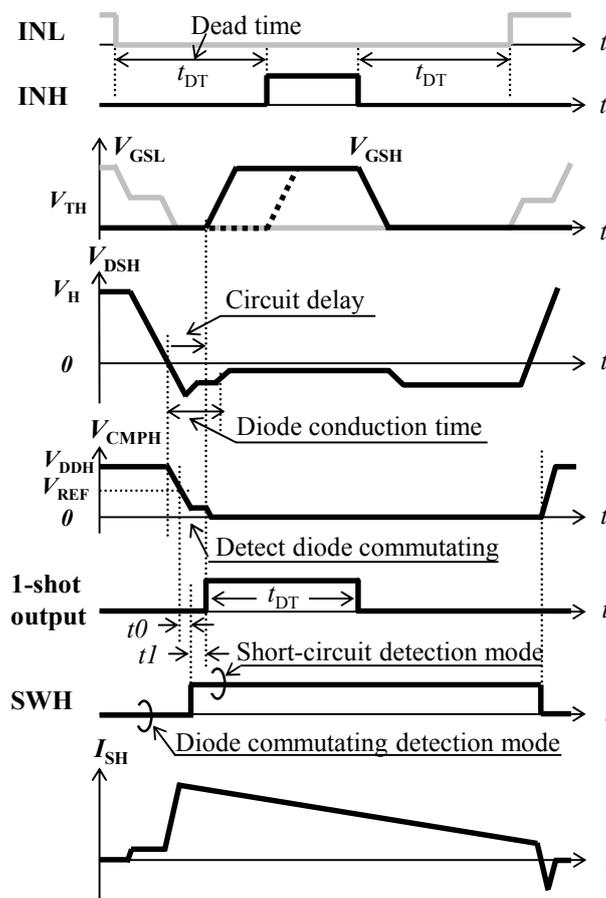


Fig. 5.4 デッドタイム制御の典型的な動作を示すタイミングチャート

Fig. 5.4 に示した以外にも、PCU ではさまざまな動作状態が存在する。ここでは、PCU における特徴的な 3 状態を例に、提案回路の動作を示しその安全性を確認する。

1 つ目の例として、上アーム MOSFET がオンの間に電流が反転する状態での動作を Fig. 5.5 に示す。上アーム MOSFET がオンの間にソース電流が反転すると、上アーム MOSFET がターンオフするタイミングで、下アーム MOSFET の内蔵ダイオードに転流する。このケースでは、上アームのドライバは Fig.5.4 に示した動作と同様に振るまう。また、下アームでも内蔵ダイオードへの転流を検出することになるため、デッドタイム短縮機能が働いてダイオード損失をより低減することができる。

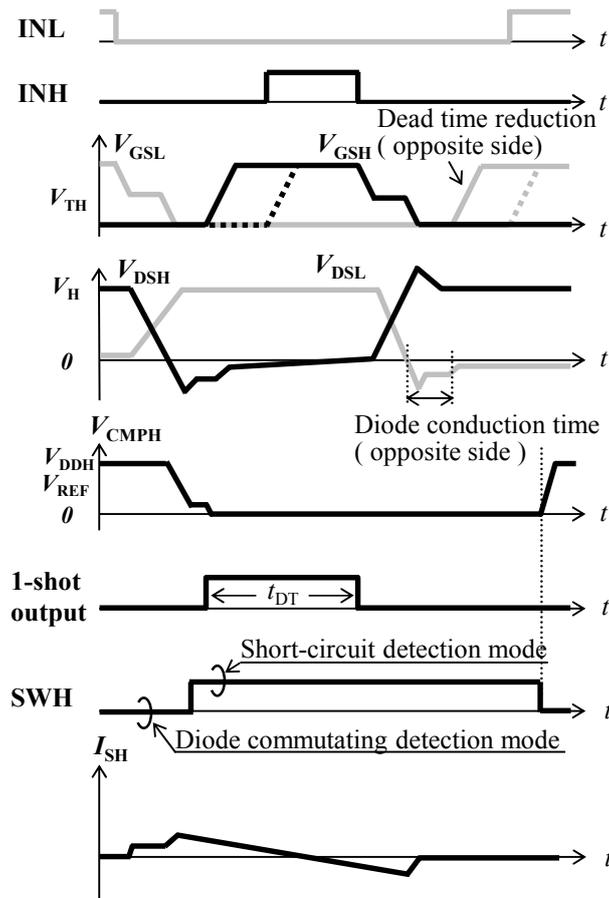


Fig. 5.5 キャリア周期内に負荷電流の向きが変わる場合の動作を示すタイミングチャート

2つ目の例として、インバータにおいて変調率が高い場合の動作について述べる。変調率が高い場合は、Fig. 5.6に示すように、上アームの入力信号 INH がハイレベルにならず下アームの入力信号 INL がハイレベルになることがある。Fig. 5.6 では、下アーム入力信号 INL のオフ期間はデッドタイム t_{DT} の2倍に設定している例を示している。提案するゲートドライバは、ダイオード転流検出後に出力するパルス幅を t_{DT} に設定しており、INL が再びハイレベルとなる前に上アームのゲート電圧 V_{GSH} を確実にオフ状態にすることができる。つまり、デッドタイム t_{DT} に応じた最小パルス幅をドライバに設定することで、インバータの高変調率動作でも安全にダイオード導通時間を短縮することが可能となる。

3つ目の例として、対象と逆のアームで短絡故障が発生した場合の動作を Fig. 5.7 に示す。PCU では半導体デバイスを短絡から保護することは必須の機能であり、その実現には電流センス FET を活用する。提案回路では、ダイオード転流直後に SWH をハイレベルとすることで短絡保護モードに切替わる。つまり、提案回路も従来のドライバ回路と同様の保護動作が可能であり、短絡電流によって上昇した V_{CMPH} を短絡保護回路のコンパレータが検出して即座にゲート V_{GSH} をオフさせる。以上、代表的な3つの動作で述べたように、PCU の様々な動作条件に対し提案回路は安全にダイオード導通時間を短縮することができる。

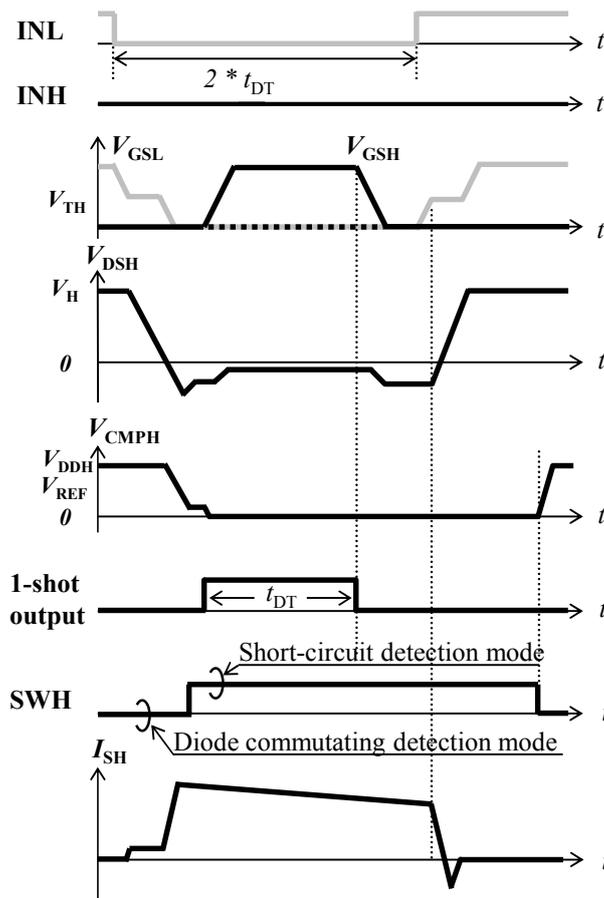


Fig. 5.6 高変調率でインバータ動作する場合の動作を示すタイミングチャート

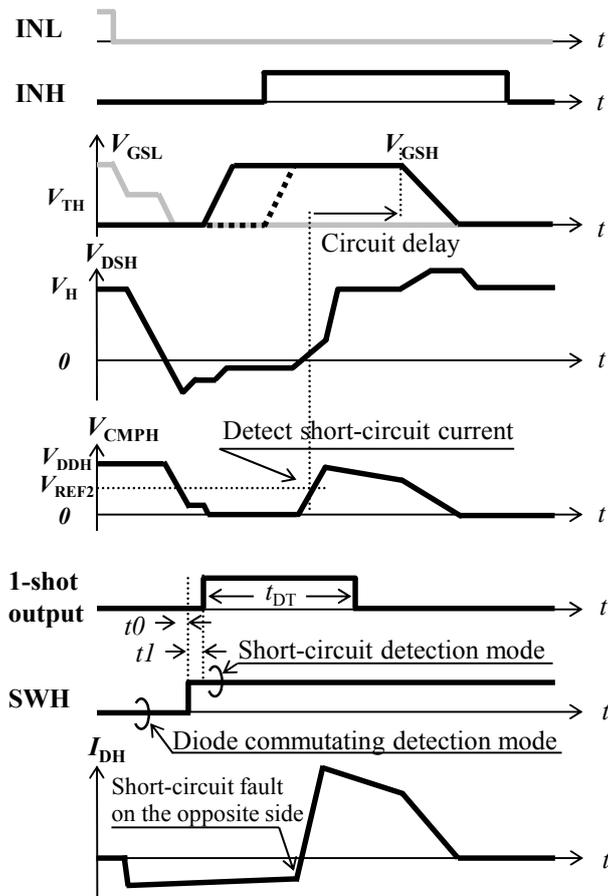


Fig. 5.7 逆アームで短絡故障が発生した場合の動作を示すタイミングチャート

5.3.3 提案回路の特長

提案するデッドタイム制御回路内蔵ゲートドライバの特長を以下にまとめる。

① 応答性が高い・ノイズ耐性が高い

寄生容量が小さな電流センス FET の活用によりノイズフィルタを簡素化できるため、高応答な制御が可能となりデッドタイムの大幅な短縮が可能となる（詳細は 5.4 節で述べる）。

また、MOSFET の寄生容量を検出素子として活用する案など従来のデッドタイム制御手法^{[36]-[39]}と比べ、さまざまな動作状態が存在する PCU に対しても制御回路の設計は容易で、出力電流の変動にもロバストで安全なスイッチングを実現することができる（検証結果を 5.5.3 節で述べる）。

② ゲートドライバ周辺の小型化・集積化が容易

電流センス FET は HEV 用 SiC MOSFET には従来備わる機能であり、ゲートドライバも外付け部品の追加が不要であるため、パワーモジュールに IC を内蔵するなど小型・集積化が可能である（パワーモジュールの設計例を 5.5.1 節で述べる）。

5.4 提案回路の安定動作に関する設計と考察

5.4.1 ノイズ電流による不安定動作メカニズム

提案するゲートドライバの回路構成では、スイッチングの際、電流センス FET の寄生容量 C_{DS} を介してドライバ側にノイズ電流が流れる。提案回路は、このノイズ電流によってゲート制御が不安定になることが懸念される。本節では、電流センス FET の不安定動作への影響について分析し、安定動作のための設計指針を明らかにする。

Fig. 5.8 に、電流センス FET の寄生容量を介したノイズ電流によって発生する誤動作の波形を正常動作と比較して示す。下アームの MOSFET がオンのとき、上アームのコンパレータ入力端子の電位 V_{CMPH} は電源電圧 V_{DDH} と同電位である。下アームがオフして V_{DSH} が低下すると、ノイズ電流がほとんど影響しない場合は、内蔵ダイオードの転流が始まる時刻 t_2 から V_{CMPH} は低下を始める。しかし、ノイズ電流が大きい場合は、 V_{DSH} が低下を始める時刻 t_1 から V_{CMPH} は低下を始める。 V_{CMPH} がコンパレータ閾値電圧を下回るとゲートオンする回路構成であるため、下アームがまだターンオフ過程にある期間に、上アームがノイズ電流によってゲートオンすると上下短絡が発生する。

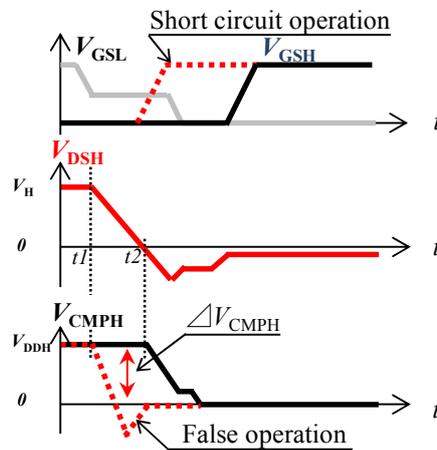


Fig. 5.8 電流センス FET の寄生容量を介した電流による誤動作

5.4.2 電流センス FET の過渡特性解析

ノイズ電流による不安定動作の発生を防止するため、電流センス FET 周辺の過渡特性を解析し、安定動作のための設計指針を導出する。

パワー半導体デバイスに備わる電流センス FET は、ソース端子とメイン FET のソース端子間に一定以上の電圧（以下、絶縁分離耐圧）がかかるとリーク電流が増大するため、一般に絶縁分離耐圧以下で使用される^[46]。そこで、ノイズ電流の伝搬経路を絞り込むため使用条件に制約を加え、センス FET のソース端子に接続する電源電圧 V_{DDH} は絶縁分離耐圧以下で使用する（本論文では +5 V）。

その制約のもとに単純化した電流センス FET 周辺の等価回路を Fig. 5.9 に示す。絶縁耐圧以下で使用する条件のもとでは、メイン FET と電流センス FET のソース間のリーク電流は十分小さくなるため、電気的には分離された等価回路で表現することができる。Fig. 5.9 において、電流センス FET M_{SH} の寄生容量を $C_{GSH,S}$ 、 $C_{DSH,S}$ 、 $C_{GDH,S}$ とし、コンパレータ入力端子 CMPH における全容量成分を C_{CMPH} と表記する。また、 R_G は SiC MOSFET のゲート端子に接続される抵抗で、 R_S は電流センス FET のソース端子に接続される電流調整抵抗である。

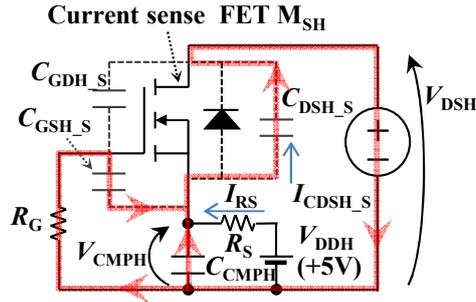


Fig. 5.9 電流センス FET 周辺の等価回路 (赤線は期間 $[t_1, t_2]$ 中の寄生容量 C_{DSH_S} を介した電流の経路

下アームの MOSFET がターンオフし、上アームの MOSFET の電圧 V_{DSH} が減少すると、電流センス FET M_{SH} の出力容量 C_{DSH_S} にも電流 I_{CDSH_S} が流れる。この電流は、内蔵ダイオードへの転流が完了するまで C_{CMPH} と C_{GSH_S} にも流れ続けるため、この期間における端子 C_{MPH} の電圧変動量 ΔV_{CMPH} は式(5.1) のように表すことができる。

$$\begin{aligned} \Delta V_{CMPH} &= \frac{1}{C_{CMPH} + C_{GSH_S}} \int_{t_1}^{t_2} (I_{CDSH_S} - I_{RS}) dt \\ &= \frac{C_{DSH_S}}{C_{CMPH} + C_{GSH_S}} \cdot \Delta V_{DSH} \end{aligned} \quad (5.1)$$

ここで電流センス FET の C_{DSH_S} は数 pF 程度であり極めて小さい。Fig. 5.10 に電流センス FET とメイン FET の $C_{DS} - V_{DS}$ 特性を示す。この場合、電流 I_{CDSH_S} は数十 mA と小さく、ゲート配線等の寄生インダクタンスの影響は十分に小さくなるため、寄生インダクタンスに関する項は省略している。 I_{RS} は電圧 V_{CMPH} が変動することにより生じる電流で、 I_{RS} による ΔV_{CMPH} はスイッチング時間 $[t_2 - t_1]$ に左右される。動作条件によらない設計指針とするため、 $I_{RS} = 0$ として簡略化した。式(5.1)から分かるように、不安定動作の原因である電圧変動 ΔV_{CMPH} は、電流センス FET M_{SH} の寄生容量 C_{DSH_S} と端子 C_{MPH} における容量 C_{CMPH} とのバランスで決まる。つまり、安定動作の実現には、① 電流センス FET の寄生容量を小さく設計する、あるいは、② コンパレータ入力容量を大きく設計することが必要であり、以上の点について実験的な確認を行った。

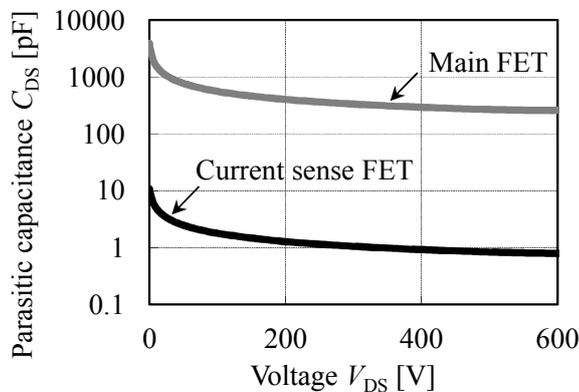


Fig. 5.10 メイン FET と電流センス FET の $C_{DS} - V_{DS}$ 特性

5.4.3 確認実験と考察

実験には、電流センス FET 内蔵 SiC MOSFET を用いた。コンパレータ入力端子 CMPH の容量値を外付けコンデンサで調整をし、SiC MOSFET をスイッチングさせた際の V_{CMPH} の変動を観測する方法で行った。5.4.2 節で述べた電流調整抵抗 R_S の影響で ΔV_{CMPH} が小さくなることを回避するため、電流センス FET の内蔵ダイオードがオンしないよう制御回路の基準電位を下げた。

実測波形を Fig. 5.11 に示す。ノイズ電流による電圧変動 ΔV_{CMPH} は、 V_{DSH} が 500 V から 0 V までの期間に発生する。前述したとおり、 V_{DSH} の低下に合わせて V_{CMPH} も線形に低下しており、 C_{CMPH} の値によって ΔV_{CMPH} も変化した。Fig. 5.12 に、 ΔV_{CMPH} と C_{CMPH} の関係を計算値との比較で示す。計算値は、式(5.1)をもとに電流センス FET の寄生容量 C_{DSH_S} の V_{DS} 依存性を考慮して算出している。Fig. 5.12 から分かるように、20 kV/ μs と高速にスイッチングさせた場合でも ΔV_{CMPH} は 3 V 程度となり、5.3.2 節で示したコンパレータ閾値電圧の設計マージン内に十分抑えられることが確認できた。また、実測値は計算値とほぼ一致する結果となり、導出した式(5.1) が妥当であることも明らかとなった。

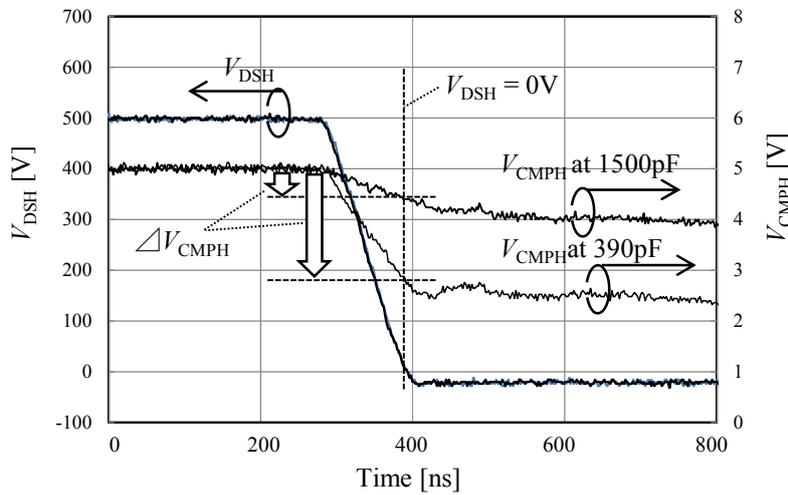


Fig. 5.11 測定した V_{DSH} と V_{CMPH} 波形 ($dV_{\text{DSH}}/dt = 5 \text{ kV}/\mu\text{s}$)

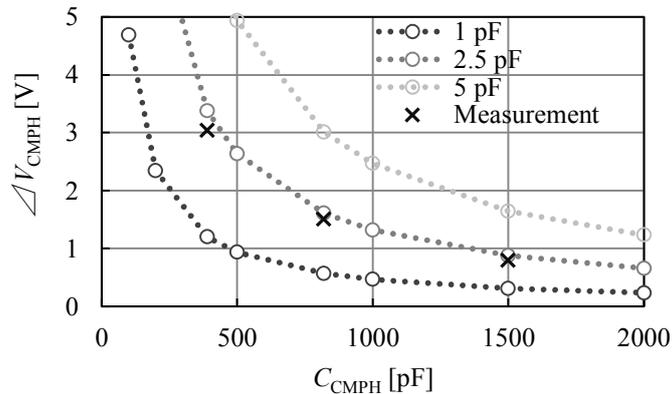


Fig. 5.12 ΔV_{CMPH} の C_{CMPH} 依存性 ($dV_{\text{DSH}}/dt = 20 \text{ kV}/\mu\text{s}$)

Fig. 5.12 に示した ΔV_{CMPH} の C_{CMPH} 依存性の結果をもとにして、提案するゲートドライバのダイオード導通時間を算出する。提案回路において、コンパレータの応答時間はダイオード導通時間の短縮に大きな影響を与える。 CMPH 端子の容量 C_{CMPH} を大きくすることはデッドタイム制御を安定動作させるには効果的だが、コンパレータの応答時間は遅くなる。そこで、コンパレータ閾値電圧の設計マージンを最大限活用し、応答時間が短くなるよう設計する。寄生容量 C_{DSH_S} が 2.5 pF の電流センス FET を用いる場合、Fig. 5.12 からノイズによる電圧変動 ΔV_{CMPH} の上限は 3.5 V 程度が妥当であり、 C_{CMPH} は 400 pF 以上の容量が必要となる。このとき、Fig. 5.13 に示したコンパレータの応答時間 T_{CMPH} と容量 C_{CMPH} の関係から、コンパレータは 22 ns で応答することが可能である。応答時間を短く設計できる要因が、電流センス FET の寄生容量 C_{DSH_S} にあることは、式(5.1)からも明らかである。また、より小さな容量の電流センス FET を設計できれば、応答時間をさらに短縮することも可能である。Fig. 5.14 にダイオード導通時間のシミュレーション結果を示す。コンパレータの応答時間含めたダイオード導通時間 ($V_{\text{DSH}} = 0 \text{ V}$ となる時刻から、 V_{GSH} が閾値を超える時刻まで) は 80 ns となった。

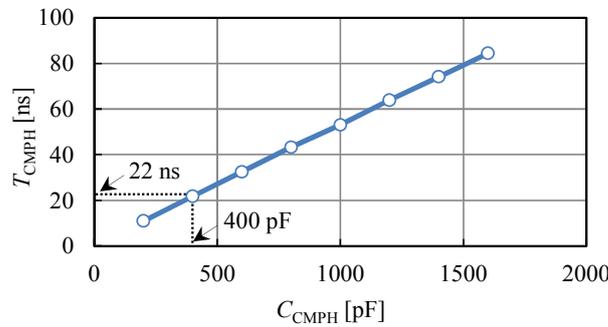


Fig. 5.13 コンパレータの応答時間 T_{CMPH} と C_{CMPH} の関係

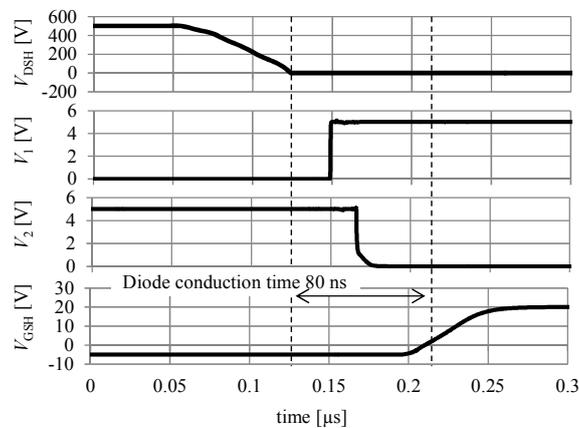
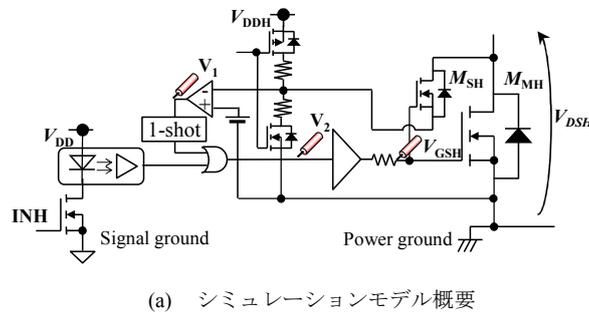


Fig. 5.14 ダイオード導通時間のシミュレーション結果

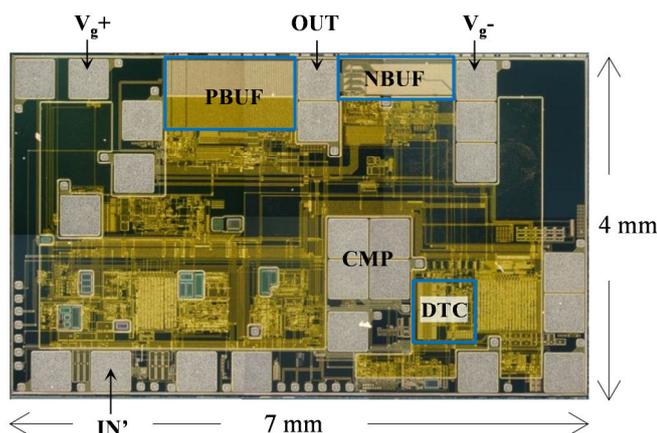
5.5 デッドタイム制御機能内蔵ゲートドライバ IC の開発

5.5.1 試作したゲートドライバ IC

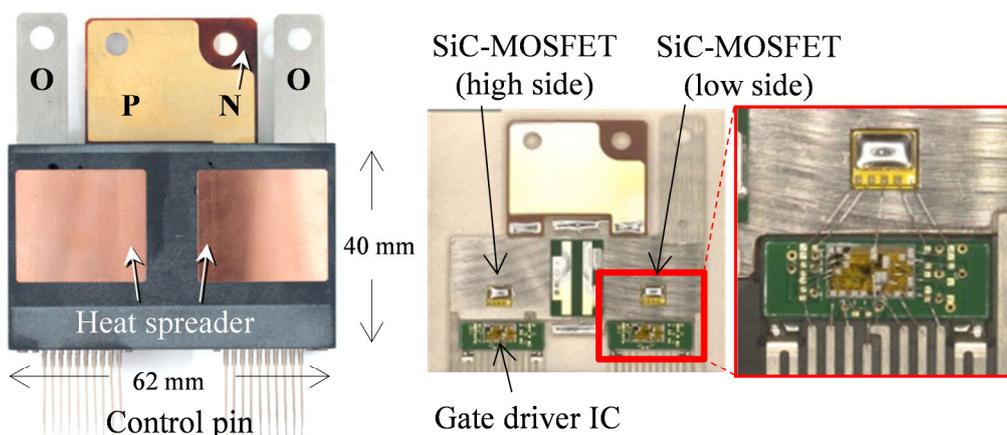
提案回路を搭載したゲートドライバ IC とその IC を内蔵した SiC MOSFET パワーモジュールを試作した。Fig. 5.15 に試作品の外観図を示す。

ゲートドライバ IC は $0.35\ \mu\text{m}$ BiCDMOS LVIC (Low Voltage Integrated Circuit) プロセスにて作製した。オン抵抗が $5\text{m}\Omega$ 程度のチップサイズが大きな SiC MOSFET も駆動できるよう、出力バッファ (PBUF, NBUF) の最大ソース・シンク電流は $10\ \text{A}$ で設計している。さらに、PCU 搭載を想定して、SiC MOSFET 誤点弧防止用の負電源回路、短絡保護回路、加熱保護回路、低電圧誤動作防止回路などの保護機能に加え、回路定数を外部調整できるようにシリアル通信回路も内蔵している。また、SiC MOSFET とゲートドライバ IC の間をワイヤボンディングしやすくするため、線径の太いワイヤに対応できるように電極パッドも大きくしてある。チップサイズは $28\ \text{mm}^2$ ($7\ \text{mm}\times 4\ \text{mm}$) であり、それに対してデッドタイム制御回路は $0.8\ \text{mm}^2$ となり十分小さく設計できている。

パワーモジュールは $1.2\ \text{kV}$ SiC MOSFET ($R_{\text{ON}} = 20\ \text{m}\Omega$) とゲートドライバ IC の 2 セットのみに構成されたハーフブリッジモジュールであり、外付け環流ダイオードは実装していない。モールド部分のサイズは $62\ \text{mm}\times 40\ \text{mm}\times 10\ \text{mm}$ となり、コンパクトに実装することができた。



(a) ゲートドライバ IC のチップ写真

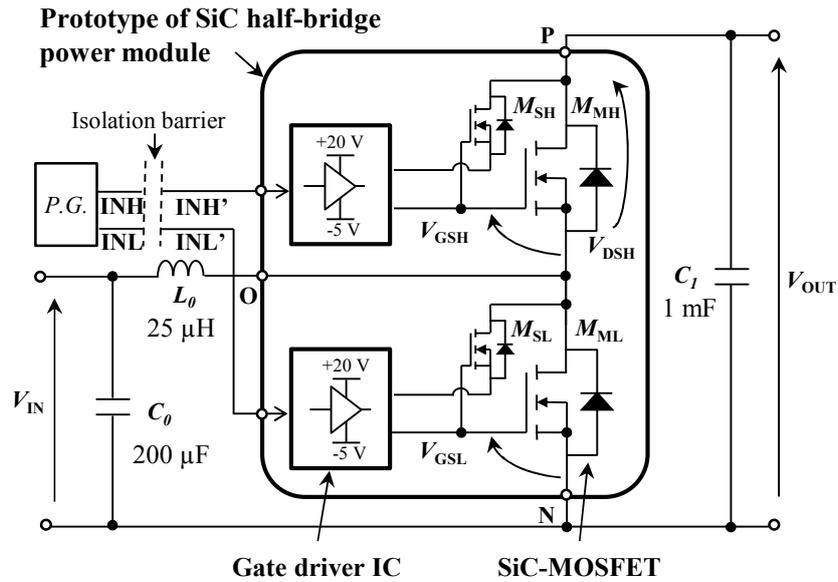


(b) ゲートドライバ IC を内蔵した SiC MOSFET ハーフブリッジモジュール

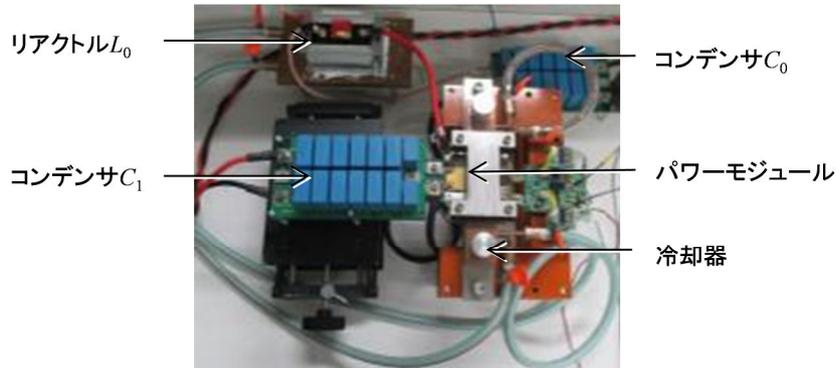
Fig. 5.15 試作したゲートドライバ IC と SiC MOSFET モジュール

5.5.2 評価環境

試作したパワーモジュールを用いて Fig. 5.16 に示す PCU の昇圧コンバータを想定した評価環境を構築し、デッドタイム制御機能内蔵ゲートドライバの動作検証を行った。パルスジェネレータの出力信号をアイソレータを介してパワーモジュールに入力し、SiC MOSFET を駆動させる。パワーモジュールは専用の冷却器に挟み込んで、水温 20°C で流量を一定に保って評価を行う。入力電圧 $V_{IN} = 250\text{ V}$ 、出力電圧 $V_{OUT} = 500\text{ V}$ になるようデューティを調整し、キャリア周波数 $F_C = 100\text{ kHz}$ で動作させた。詳細条件は Table 5.1 に示すとおりである。



(a) 試作モジュールを組み込んだ昇圧コンバータの構成



(b) 評価環境外観

Fig. 5.16 評価環境

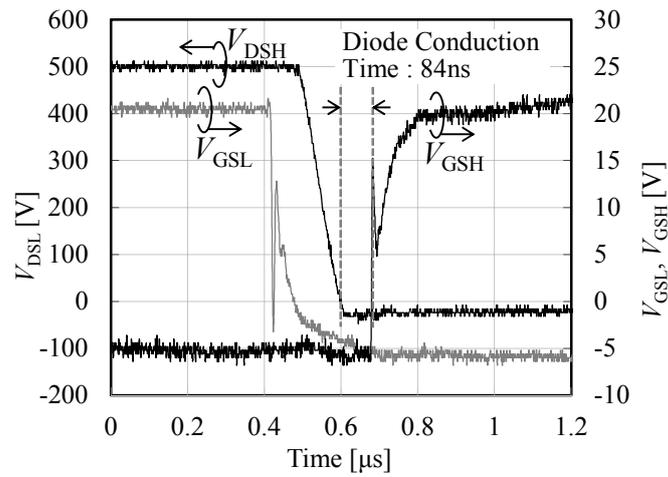
Table 5.1 昇圧コンバータの動作条件

Item	Symbol	Value
Input voltage	V_{IN}	250 V
Output voltage	V_{OUT}	500 V
Output current	I_{OUT}	30 A maximum
Boost Inductance	L_0	25 μ H
Carrier frequency	F_C	100 kHz
Dead time	t_{DT}	1.5 μ s

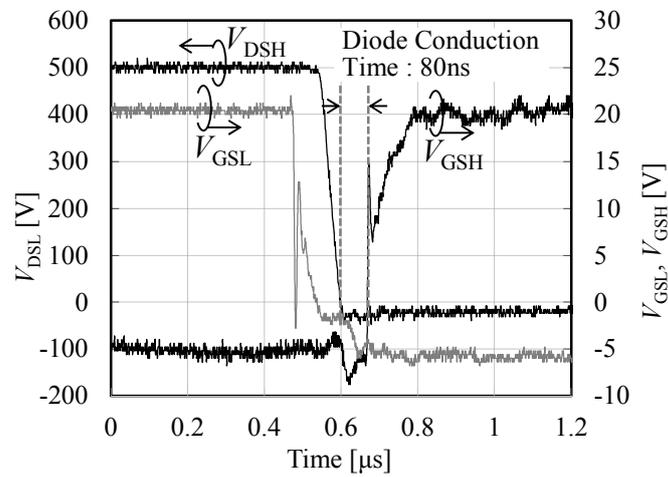
5.5.3 動作検証および効率評価の結果

提案回路の安定動作を検証するため、動作条件を変えた場合のダイオード導通時間を計測した。

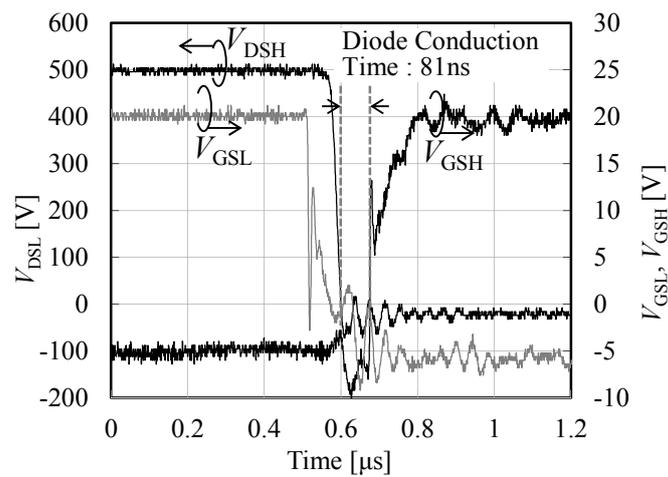
Fig. 5.17 に出力電流 I_{OUT} を 10 A, 20 A, 30 A と変化させた場合の動作波形 V_{DSH} , V_{GSH} , V_{GSL} を示す。出力電流が 10 A から 20 A, 30 A と大きくなるのに応じて V_{GSL} のオフ時間は短くなっているものの、ダイオード導通時間は 80 ns ~ 84 ns と短く安定した制御ができています。また、 $I_{OUT}=30$ A の条件では、20 kV/ μ s のスイッチング速度にも関わらずゲートの誤動作は発生しておらず、寄生容量が小さな電流センス活用の効果も確認することができました。Fig. 5.18 ではゲート電圧を 20 V, 18 V, 16 V と変化させた場合の動作波形 V_{DSH} , V_{GSH} , V_{GSL} を示す。出力電流を変化させた場合と同様、おおよそ 80 ns と安定動作することが確認できました。



(a) $I_{OUT} = 10 \text{ A}$

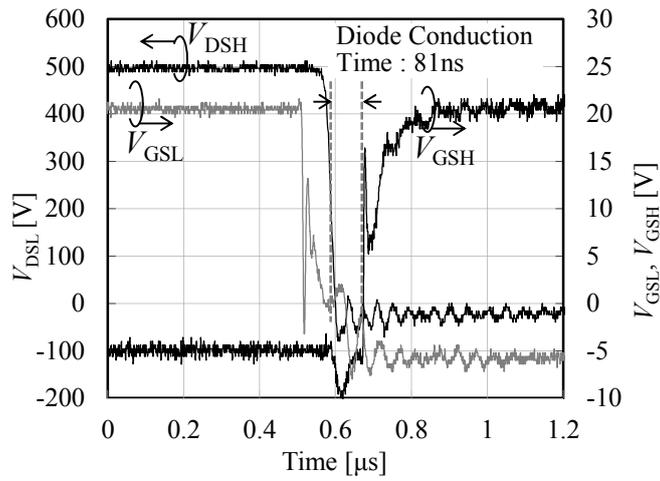


(b) $I_{OUT} = 20 \text{ A}$

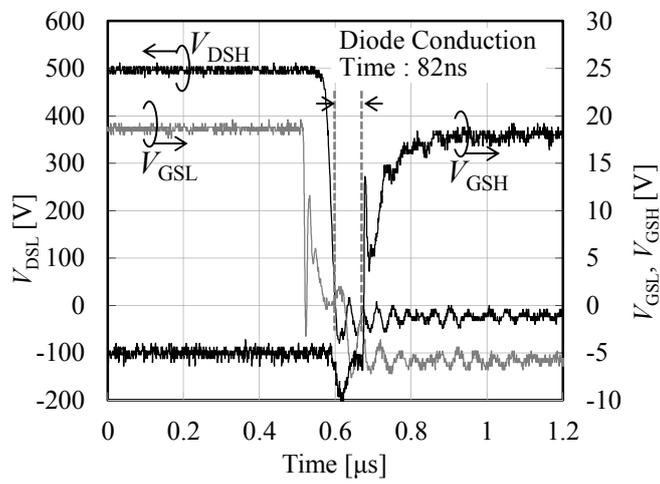


(c) $I_{OUT} = 30 \text{ A}$

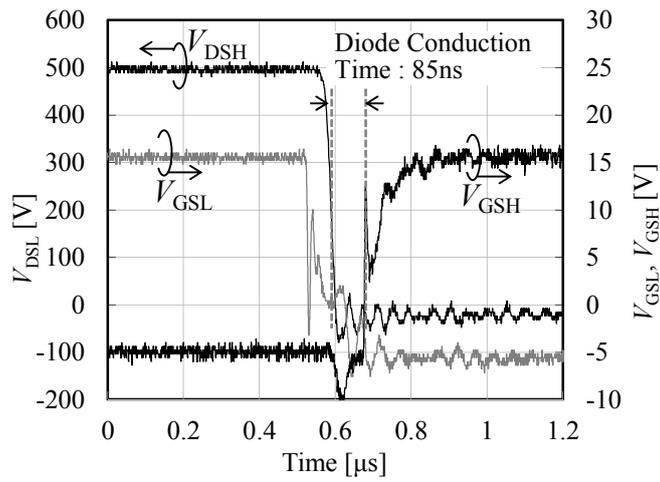
Fig. 5.17 デッドタイム制御ありの場合の計測波形とダイオード導通時間 (a) $I_{OUT} 10 \text{ A}$; (b) $I_{OUT} 20 \text{ A}$; (c) $I_{OUT} 30 \text{ A}$



(a) $V_{GSH} = 20 \text{ V}$



(b) $V_{GSH} = 18 \text{ V}$



(c) $V_{GSH} = 16 \text{ V}$

Fig. 5.18 デッドタイム制御ありの場合の計測波形とダイオード導通時間 (a) $V_{GSH} 20 \text{ V}$; (b) $V_{GSH} 18 \text{ V}$; (c) $V_{GSH} 16 \text{ V}$

次に、昇圧コンバータの損失と効率の評価結果について述べる。効率評価は、パワーモジュールの外部設定でデッドタイム制御を有効にした場合（DTC on）と無効にした場合（DTC off）それぞれについて行い、参考として、別モジュールにて SiC SBD を並列接続した形態についても行った。SiC MOSFET のゲート抵抗を $10\ \Omega$ とし、電流 $25\ \text{A}$ のときのスイッチング速度 di/dt が $1\ \text{kA}/\mu\text{s}$ となる条件で評価した。これは、2.6 節で述べたように逆回復損失がほとんど発生せず SiC SBD とほぼ同等となる条件である。入力電力と出力電力をパワーメータを用いて測定し、その効率を求めた。結果を Fig. 5.19 に示す。

全ての測定範囲において効率がアップしており、最大で 1% の効率向上を確認できた。さらに、デッドタイム制御を有効にした場合（ダイオード導通時間 $t_{\text{DCT}} = 80\ \text{ns}$ ）、SiC SBD を並列接続した場合に比べ、中負荷域（出力電流 $10\ \text{A} \sim 20\ \text{A}$ ）で同等、軽負荷域（出力電流 $10\ \text{A}$ 以下）では同等以上の効率を得た。

次に、効率評価の結果をもとに半導体損失を算出し、デッドタイム制御の効果をより詳しく検証する。Fig. 5.20 は、効率評価における最大電流条件 ($I_{\text{OUT}} = 20.5\ \text{A}$) での半導体損失の試算値と実測値を比較したものである。半導体損失の実測値は、測定した入力電力 P_{I} - 出力電力 P_{O} として求め、試算値は使用した SiC MOSFET の電流・電圧特性と、コンバータ動作中のスイッチング波形をもとに求めた。なお、Fig. 5.20 内の P_{L} は昇圧用リアクトルの損失である。

デッドタイム制御を無効にした場合は、試算値 $312\ \text{W}$ に対して実測値 $315\ \text{W}$ 、デッドタイム制御を有効にした場合は、試算値 $285\ \text{W}$ に対して実測値 $286\ \text{W}$ となり、実測値はほぼ試算値に一致した。デッドタイム制御を無効にした場合の内蔵ダイオード損失の打ち分けでは、 t_{DCTI} における導通損失 P_{FH} が $40\ \text{W}$ で最も大きくなっている。これは、PCU の昇圧コンバータは電流リップルが大きいのだが、試算値と実測値の比較から、デッドタイム制御によって P_{FH} の損失が削減できたことが確認できる。今回試作した制御回路では、デッドタイムの短縮対象を t_{DCTI} に絞ったが、PCU の昇圧コンバータのようなアプリケーションでは十分効果があることが確認できた。

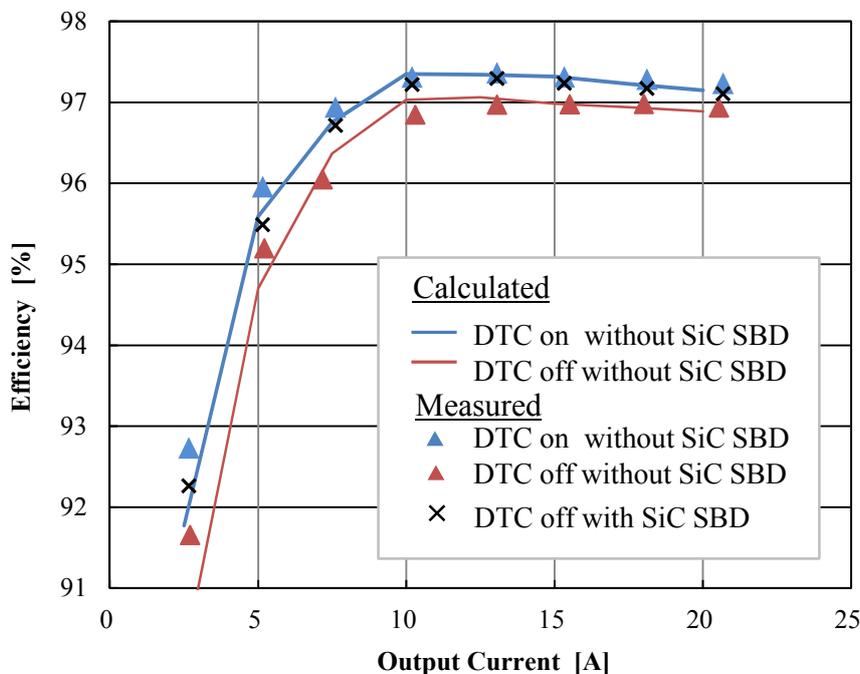


Fig. 5.19 昇圧コンバータの電力変換効率比較

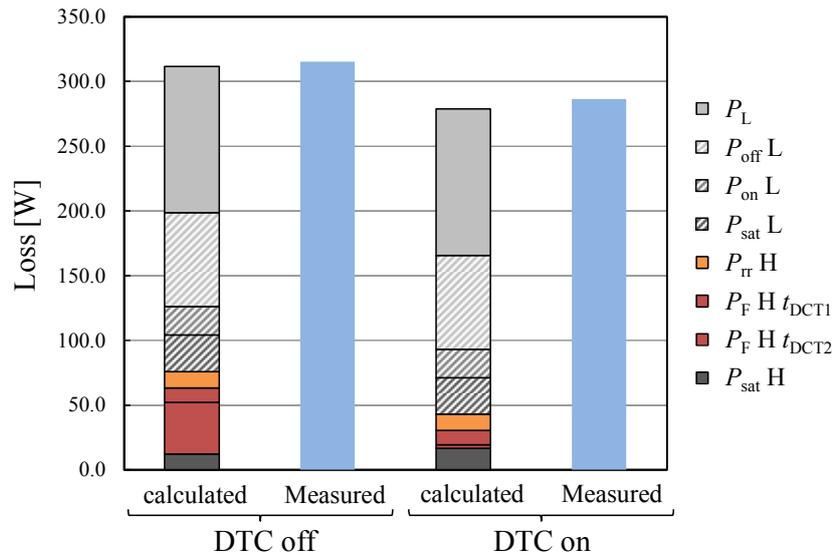


Fig. 5.20 昇圧コンバータ 500 V 20 A 動作時の損失比較

5.6 まとめ

本章では, SiC MOSFET に内蔵される電流センス FET を用いた新しいデッドタイム制御回路を提案し, その回路を内蔵したゲートドライバについて述べた。

電流センス FET の過渡特性を回路理論的に解析した結果, 電流センス FET は寄生容量が極めて小さいため, デッドタイム制御のノイズ耐性向上に有効であることを明らかにした。また, 電流センス FET を活用する提案回路はスイッチングノイズにロバストであり, さまざまな動作状態が存在する PCU に対しても安全に制御できることを示した。

次に, 提案するデッドタイム制御回路を内蔵したゲートドライバ IC を試作し, SiC MOSFET 内蔵ダイオードの導通時間を 100 ns 以下で制御できることを実験的に示した。また, 順方向電圧が高い SiC MOSFET 内蔵ダイオードを環流ダイオードとして使用した際, 提案回路を適用することにより最大で 1% の効率改善効果があることも実証した。これは, SiC MOSFET 内蔵ダイオードを環流ダイオードとして使用した場合でも, SiC SBD を使用した場合と同等の損失まで低減できたことを示している。

さらに, ドライバ IC を内蔵した SiC MOSFET パワーモジュールを試作し, 外付け部品が不要な提案回路はパワーモジュールへの集積化・インテリジェント化にも寄与することを示した。

第6章 更なるデッドタイム短縮に向けた制御回路の構築

6.1 はじめに

5章では、HEV システム用 SiC MOSFET に備わる電流センス FET を活用したデッドタイム制御回路について述べた。電流センス FET がスイッチングノイズに対してロバスト性が高いことを明らかにし、様々な動作状態が存在する PCU においても、提案回路は安定してダイオード導通時間を短縮できることを示した。提案回路は、PCU の昇圧コンバータ部だけでなくインバータ部にも応用できるものの、ダイオード導通時間の短縮対象を t_{DCT1} (Fig. 6.1 に示す) に限定したものである。昇圧リアクトルや平滑コンデンサを小型化するために昇圧コンバータを高周波化し、SiC MOSFET のスイッチング損失を更に低減するには内蔵ダイオードの逆回復損失も低減する必要がある。本章では、用途を昇圧コンバータに限定し、電流センス FET を用いたデッドタイム制御回路のもう一つの応用形態について述べる。本章で述べるデッドタイム制御方式は、電流センス FET を動的デッドタイム制御方式に応用したものであり、ダイオード導通時間 t_{DCT2} を短縮対象とする。

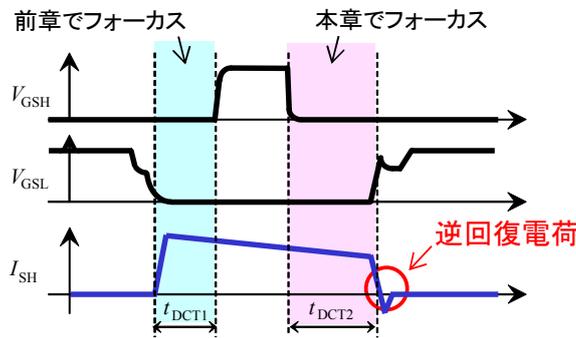


Fig. 6.1 ダイオード導通時間の短縮対象を示すタイミングチャート

6.2 動的デッドタイム制御技術と PCU の昇圧コンバータへの応用課題

動的デッドタイム制御方式はデッドタイム予測制御方式とも呼ばれ、低電圧アプリケーションを中心に研究が盛んである^{[28]-[35]}。動的デッドタイム制御方式は、ダイオード導通時間の計測にパワー半導体デバイスの電圧 V_{DS} をモニタすることが必要となる。そのため、PCU などの高電圧アプリケーション向けには、検出回路が大規模化し回路遅延が大きくなる問題があった。近年では、高電圧向けの電圧検出手法にいくつかの改善提案がなされ、SiC や GaN デバイスを用いた電力変換システムへの応用報告も出てきた^{[36],[37],[39]}。

このような高電圧アプリケーション向けの電圧検出手法の研究事例について Fig. 6.2 を用いて説明する。この事例では、 ΔV_{DS} の検出にパワー半導体デバイスの帰還容量を活用している。スイッチングの際、パワー半導体デバイスの帰還容量に流れる電流を検出することで、ダイオード導通時間を短縮する。

SiC JFET を用いた DC-DC コンバータに応用し、ダイオード導通時間を 15 ns まで低減できたことが報告されている。この方法は検出回路に追加部品が不要である。またデッドタイム制御回路もゲートドライバ IC 内に集積化できる。したがって、 V_{DS} 検出にアイソレータを用いる方法^[36]に比べて制御回路への信号伝達が速く、またドライバ周辺をコンパクトに実装することが可能である。しかしながら、PCU の昇圧コンバータに応用するには問題がある。PCU の昇圧コンバータでは、走行状態に応じてモータへの印加電圧が変化する。つまり、スイッチングの際に帰還容量を介して流れる電流量とその期間が一定でないため、電流検出の閾値設計が難しくなる。また、PCU は複数の半導体デバイスが並列に接続されているため、例えばインバータの半導体デバイスがスイッチングした際にも、昇圧コンバータの半導体デバイスの電圧 V_{DS} は変動し、帰還容量に予測不可能な電流が流れる。つまり、誤動作防止のための設計マージンも必要となる。

このように、PCU の昇圧コンバータに動的デッドタイム制御を応用するには、さまざまな PCU の動作状態でも誤検出を防止できる V_{DS} 検出手段が必要である。以上のことをふまえて、PCU の昇圧コンバータに対し、 V_{DS} 検出手段に電流センス FET を活用した動的デッドタイム制御を提案する。次節では、提案回路の構成および典型的な動作について説明する。

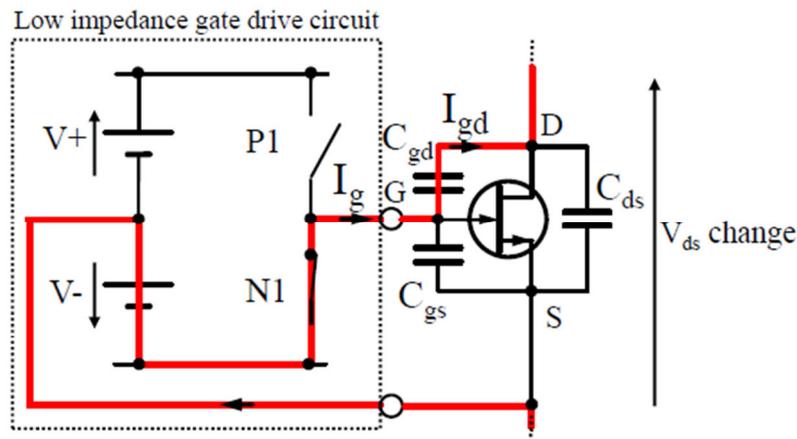
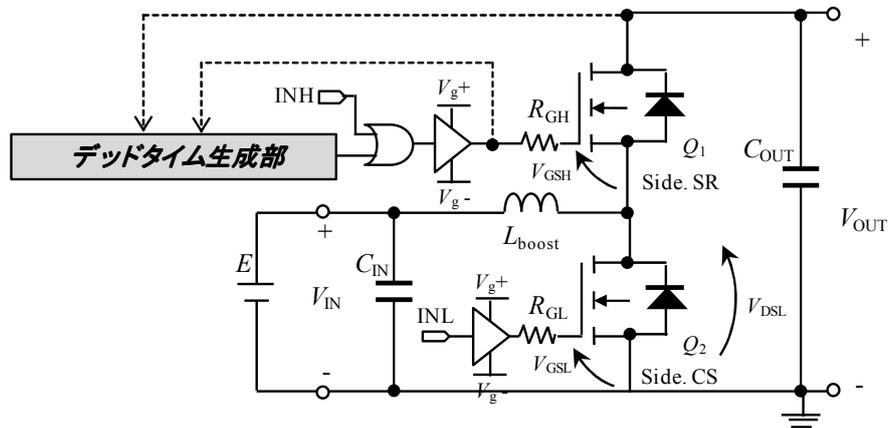


Fig. 6.2 パワー半導体デバイスの帰還容量を V_{DS} 検出素子として活用した事例^[39]

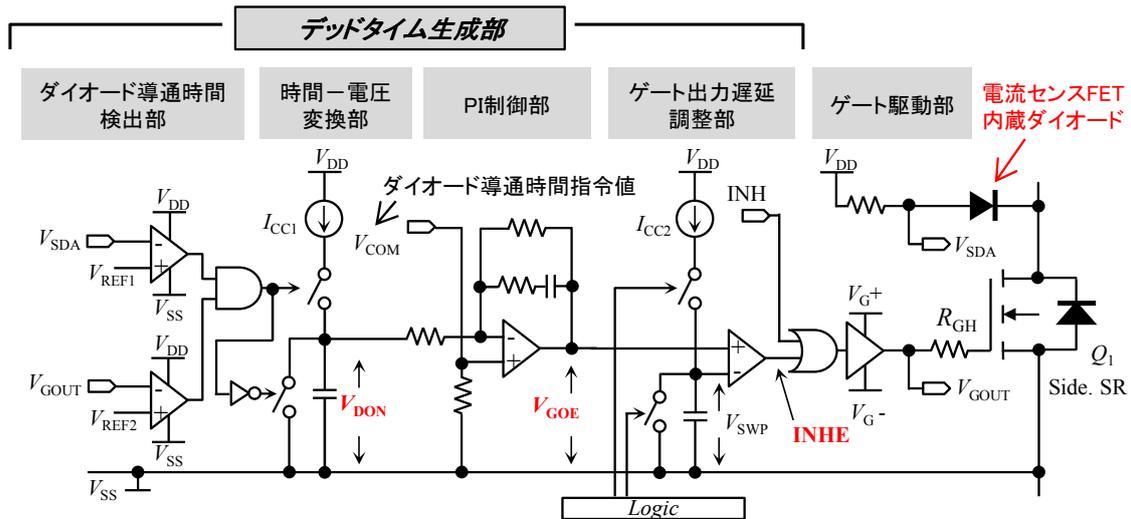
6.3 提案するデッドタイム制御回路

Fig. 6.3 に提案回路の構成概要を示す。Fig. 6.3 (a)は昇圧コンバータに応用した場合の全体構成で、Fig. 6.3 (b)はゲートドライバ1アーム分の詳細構成である。Fig. 6.3 (a)に示すように、固定のデッドタイムが付与された入力信号 INH, INL によって上下アームの SiC MOSFET が相補動作する昇圧コンバータの基本構成に対し、自アームのゲートソース電圧 V_{GS} とドレインソース電圧 V_{DS} をモニタしてデッドタイムを調整する機能 (Fig. 6.3 内のデッドタイム生成部) をゲートドライバ回路に追加する。

Fig. 6.3(b)に示すように、デッドタイム生成部は主に4つのサブブロックで構成される。 V_{GS} の立ち下り時刻と V_{DS} の立ち上がり時刻を検出する①ダイオード導通時間検出部、それら時刻からダイオード導通時間に相当するアナログ信号を得るための②時間-電圧変換部、ダイオード導通時間指令値に対してゲート出力遅延量を制御する③PI制御部、入力信号 INH のオフ後にゲート出力遅延量 V_{GOE} に相当するパルスを出力する④ゲート出力遅延調整部がそれらサブブロックである。なお、 V_{DS} 立ち上がり検出に電流センス FET を活用する。以上の回路構成をとることで、ダイオード導通時間 t_{DCT2} を短縮することが可能となり、5章に述べた回路と組み合わせることによって、 t_{DCT1} , t_{DCT2} 両方の短縮が実現できる。



(a) 昇圧コンバータ用絶縁ゲートドライバに組み込んだ形態



(b) デッドタイム制御回路の詳細構成

Fig. 6.3 電流センス FET を用いた動的デッドタイム制御法の回路構成

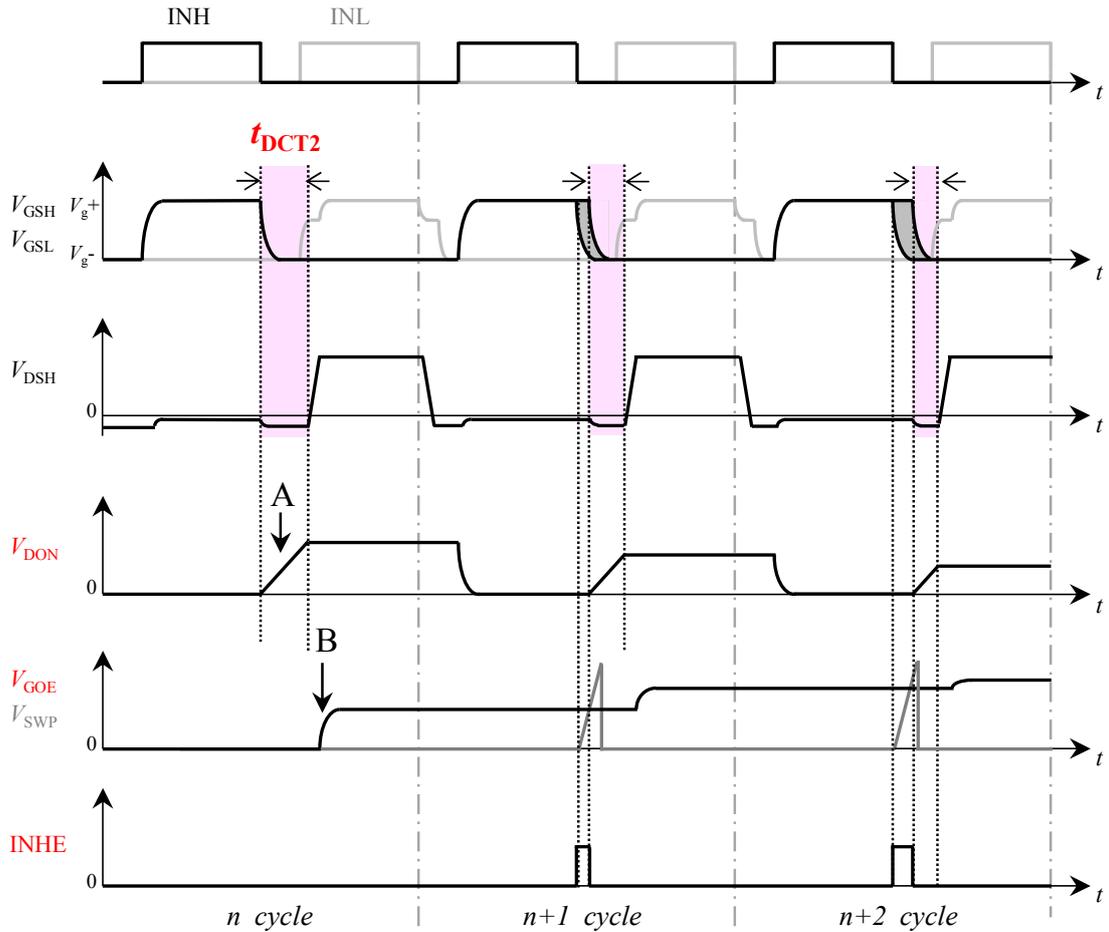


Fig. 6.4 典型的な動作を示すタイミングチャート

提案回路は前のキャリア周期におけるダイオード導通時間 t_{DCT2} を計測し、計測値をもとにしてゲート出力遅延量をゲートドライバ IC 内でフィードバック制御することで t_{DCT2} を短縮する。Fig. 6.4 に提案回路の典型的な動作タイミングを示す。

n サイクル目において、INH が立ち下がって V_{GSH} がオフすると、上アームのデッドタイム生成部では V_{GOUT} の立下りをコンパレータが検出して、 V_{DON} が上昇を始める (Fig. 6.4 内の A 点)。ここで、 V_{DON} はダイオード導通時間に相当するアナログ信号である。そして、下アームの MOSFET がオンすることによって上アームの V_{DSH} が上昇を始めると、電流センス FET の内蔵ダイオードもオフするため、 V_{SDA} の立ち上がり検出されて V_{DON} の上昇は停止する。

次に、ダイオード導通時間指令値に V_{DON} が近づくよう、ゲート出力遅延量 V_{GOE} が調整される (Fig. 6.4 内の B 点)。そして、 $n+1$ サイクル目において、再び INH が立ち下がるのをトリガに、電圧-時間変換するための三角波 V_{SWP} を発生、ゲート出力遅延量 V_{GOE} に相当するパルス INHE が出力されて、ダイオード導通時間は短縮される。以上の動作を繰り返していくことで、ダイオード導通時間 t_{DCT2} はダイオード導通時間指令値に徐々に近づいていく。

6.4 シミュレーションによる安定性と制御性の考察

動的デッドタイム制御方式は、前キャリア周期でのダイオード導通時間をもとに、デッドタイムの調整を繰り返すため、制御可能なダイオード導通時間が回路遅延に制約されない利点がある。しかし、検出されるダイオード導通時間には、回路ばらつきやスイッチング時間のばらつきなど誤差が常に重畳するために、重畳した誤差はダイオード導通時間の定常偏差やオーバシュートとなって現れる。そこで、本節では、動的デッドタイム制御方式が離散システムで表現できる点に着目し、本方式で実現可能なダイオード導通時間をデジタル制御の側面から検証する。

提案回路は、操作量 $u(k)$ をゲート出力遅延時間 $INEH(k)$ 、制御量 $y(k)$ をダイオード導通時間 $t_{Di}(k)$ とする離散システムで表現することができる。また、 $u(k) + y(k) = \text{const.}$ (一定) の関係があることから、外乱のない理想状態においては、制御対象 $G = \text{const.} - u(k)$ と表現することができる。そして、誤差要素を含めたブロック線図は Fig. 6.5 のように示すことができる。

ここで、 $\text{ref}(k)$ はダイオード導通時間制御目標、 K_p は PI 制御部の比例ゲイン、 T_i は積分時定数、 K_{T2V} は時間/電圧変換ゲイン、 K_{V2T} は電圧/時間変換ゲインであり、 K_{T2V} と K_{V2T} は式(6.1)、(6.2)のように表現することができる。

$$K_{T2V} = \frac{1}{\int_0^{INEH} \frac{I_{CC2}}{C_2} d\tau} \quad (6.1)$$

$$K_{V2T} = \int_0^{t_{Di}} \frac{I_{CC1}}{C_1} dt \quad (6.2)$$

また、 $d_1(k)$ は検出回路の温度変動など検出信号に重畳する検出雑音、 $d_2(k)$ は回路の電源電圧変動など操作量に重畳する計算誤差、 $d_e(k)$ は SiC MOSFET の温度変動や負荷変動など制御量に直接重畳する環境外乱を示している。

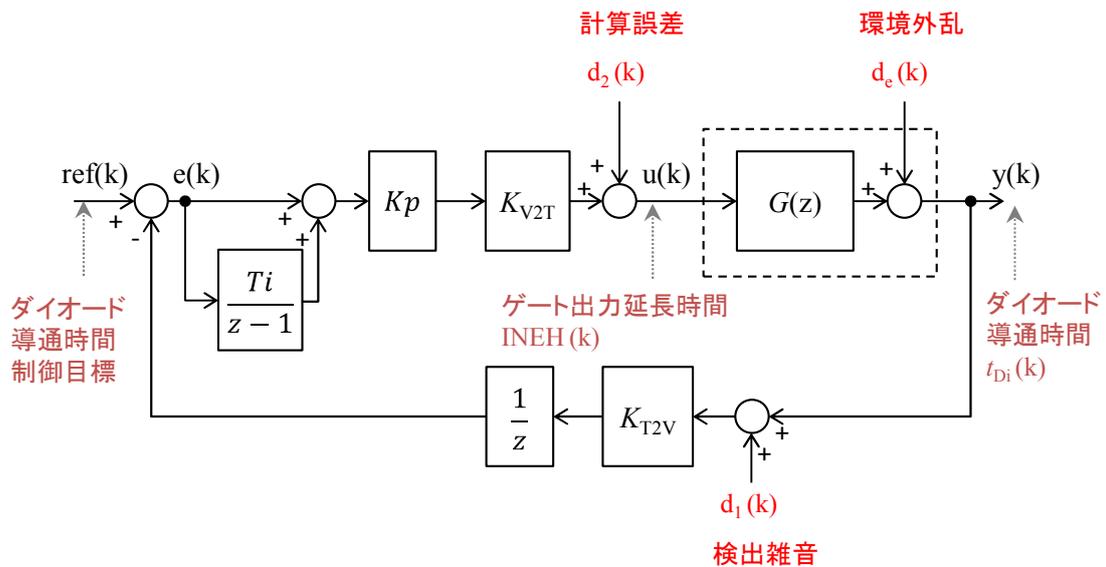


Fig. 6.5 動的デッドタイム制御回路のブロック線図

このブロック線図をもとに、制御量を Z 変換すると式(6.3)のように表現することができる。Y(z), R(z), D₁(z), D₂(z), D_e(z)は、それぞれ制御量、ダイオード導通時間制御目標、検出雑音、計算誤差、環境外乱の Z 表現である。

$$Y(z) = \frac{z(K_p z + (T_i - 1)K_p)}{z^2 - (K_p + 1)z + (T_i - 1)K_p} R(z) + \frac{K_p z + (T_i - 1)K_p}{z^2 - (K_p + 1)z + (T_i - 1)K_p} D_2(z) - \frac{z(K_p z + (T_i - 1)K_p)}{z^2 - (K_p + 1)z + (T_i - 1)K_p} D_1(z) + \frac{1}{z^2 - (K_p + 1)z + (T_i - 1)K_p} D_e(z) \quad (6.3)$$

したがって、制御安定条件は式(6.4)で示すことができる。

$$\left| \frac{1}{2} \left\{ K_p + 1 \pm \sqrt{(K_p + 1)^2 - 4(T_i - 1)K_p} \right\} \right| < 1 \quad (6.4)$$

式(6.4)をもとにゲインの安定条件を求めた。結果を Fig. 6.6 に示す。Fig. 6.6 は、XY 軸を K_p, T_i としており、Z 軸が 1 以下の領域が安定領域である。K_p < 2, T_i > 0 の条件で安定条件を満たしており、提案回路は実用上のゲイン設計範囲において安定な制御系であると判断できる。

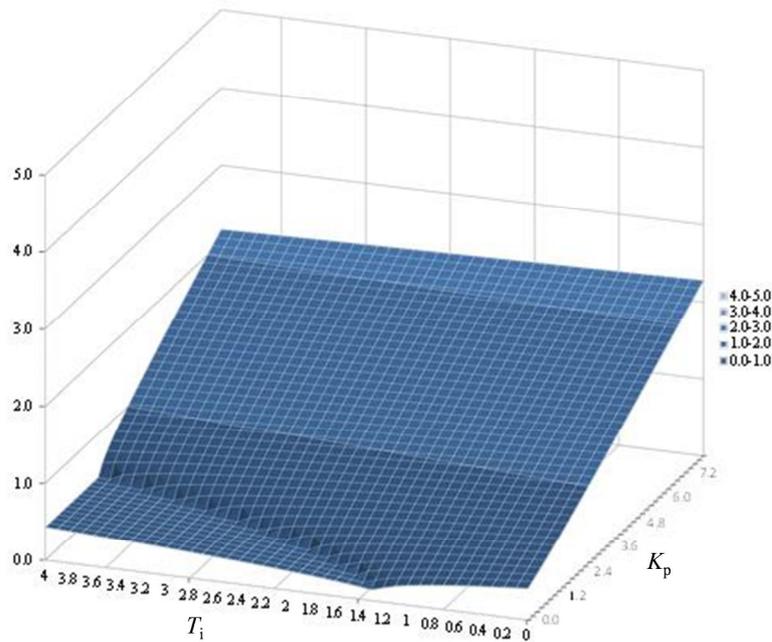


Fig. 6.6 制御ゲインの安定条件

次に、提案回路の制御性について評価する。Fig. 6.5 からも分かるように、計算誤差や検出雑音のうち時定数が大きいものは相殺され制御量 $y(k)$ への影響が少なくなるものの、環境外乱は制御量 $y(k)$ に直接影響を与える。そして、環境外乱のうち、モータジェネレータのスリップ現象に起因する負荷変動が起きると、SiC MOSFET のスイッチング時間は時々刻々と変化していく。そのため、このスリップ現象がダイオード導通時間に最も影響すると考え、負荷変動時のオーバーシュート量と定常偏差を主な評価項目とし、検証を行った。また、ゲートドライバの電源起動時や瞬時の電圧低下等により、動的デッドタイム制御の制御目標がステップ入力的に入ることも想定し、ステップ入力時のオーバーシュート量についても評価を行った。

Fig. 6.7 にシミュレーションの一例を示す。横軸はシミュレーション時間で、キャリア毎に計測したダイオード導通時間 t_{Di} と昇圧コンバータの出力電流をプロットした。 $V_{IN} = 250 \text{ V}$, $V_{OUT} = 500 \text{ V}$, キャリア周波数 $F_C = 100 \text{ kHz}$, 固定デッドタイム $t_{DT} = 1.5 \mu\text{s}$ として動作させ、負荷変動時のスルーレートはモータジェネレータのスリップ現象を想定して 140 A/ms とした場合のシミュレーション結果である。なお、ダイオード導通時間目標は 60 ns , 制御ゲインは $K_p = 0.5$, $T_i = 0.5$ としている。この条件では、負荷電流が安定しているところではダイオード導通時間の定常偏差はほとんどなく、目標の 60 ns でほぼ制御できている。これは 3 章で示したように、SiC MOSFET 内蔵ダイオードの逆回復損失を SiC SBD を使用した場合より小さくできる条件で動作している。一方で、負荷変動中のオーバーシュート量は約 60 ns でダイオード導通時間がほぼ 0 ns となる状態が発生しており、上下短絡に対して余裕度があまりないことが見てとれる。

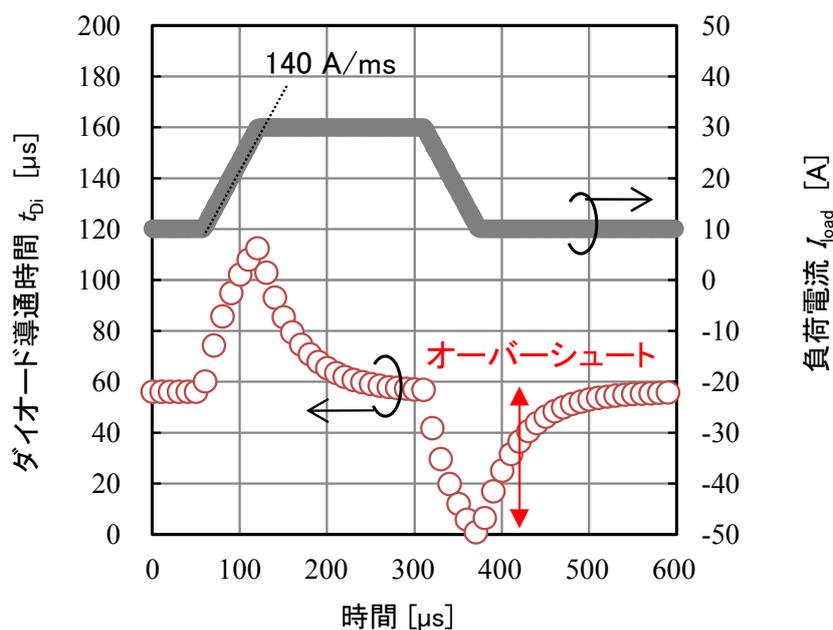


Fig. 6.7 シミュレーション結果

これに対して、定常偏差とオーバーシュートをともに抑制できる最適ゲインをシミュレーションにより求めた。結果を Fig. 6.8 に示す。 $T_i = 0.2$ であり、横軸は比例ゲイン K_p を示している。電流スルーレートに対する余裕度も考慮するため、100 A/ms, 140 A/ms, 200 A/ms の3条件で制御性の評価を行った。比例ゲインが $0.7 < K_p < 1.5$ の条件では、ステップ入力時も含め、オーバーシュートと定常偏差はともに 60 ns 以下となった。この結果は、提案回路はダイオード導通時間 60 ns 以下での安定した制御が可能であることを示している。

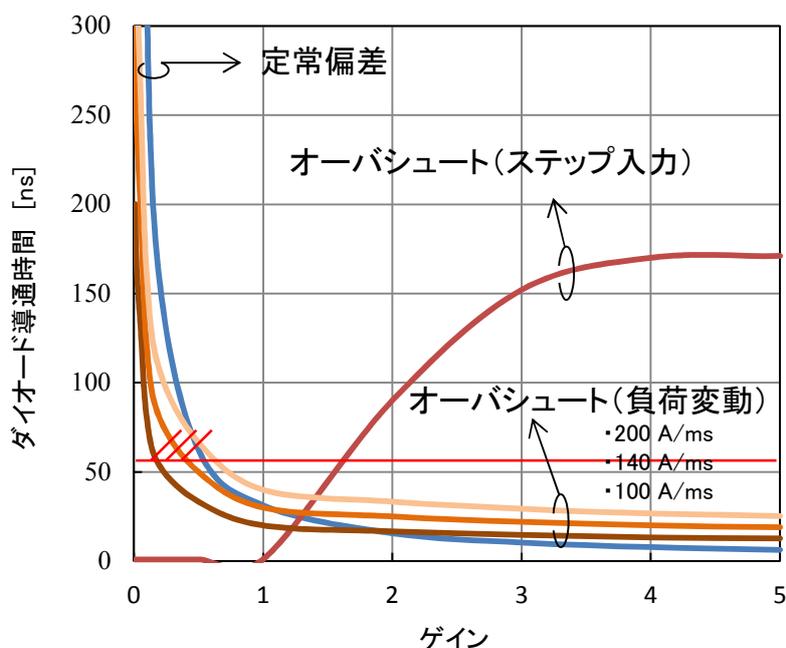


Fig. 6.8 ゲイン調整による定常偏差とオーバーシュート量の関係

6.5 まとめ

本章では、電流センス FET を活用したデッドタイム制御のもう一つの形態として動的デッドタイム制御方式を提案し、ダイオード導通時間短縮の実現性を制御理論の側面から検証した。提案回路を分散制御システムとして伝達関数化し、制御の安定性と制御性（オーバーシュートおよび定常偏差）を評価した。その結果、提案回路は昇圧コンバータをダイオード導通時間 60 ns 以下で安定制御することが可能であることを明らかにした。これは、SiC MOSFET 内蔵ダイオードの逆回復損失を SiC SBD を使用した場合より小さくできる条件で動作させることが可能であることを示唆している。

第7章 結論

本研究では、SiC MOSFET 内蔵ダイオード活用のための技術確立を目的とし、内蔵ダイオードの導通損失・逆回復損失の分析、順方向電圧劣化メカニズムの分析、そして損失低減と順方向電圧劣化抑制に繋がる SiC MOSFET 駆動技術の設計指針の導出とその検証を行った。SiC MOSFET 内蔵ダイオードの課題に対して、デバイスおよびその製造プロセスでの対策だけで十分とは言い難い。本研究では、駆動や実装など使いこなしの側面を含めた対策が重要と考え、駆動回路によるダイオード導通時間の短縮に着目して、その効果と実現手段の検証を行った。

2章では、SiC MOSFET の電気的な特性について分析し、内蔵ダイオードの損失が PCU に与える影響を定量化した。

3章では、ダイオード導通時間短縮によって SiC MOSFET 内蔵ダイオードの逆回復損失低減効果を検証した。順回復過程における少数キャリア濃度の変化について、デバイスシミュレーションによる分析とスイッチング試験による検証を行った結果、ダイオード導通時間を 200 ns 以下まで短縮することで、逆回復損失の低減効果が SiC MOSFET 内蔵ダイオードでも発現することを明らかにした。また、ダイオード導通時間を短縮する場合特有の誤点弧に対し、駆動回路のゲート配線の寄生インダクタンスの低減が有効であることを明らかにし、低インダクタンス化により SiC SBD を SiC MOSFET に並列接続した場合よりも逆回復損失を低減できることを示した。

この成果は SiC MOSFET のチップサイズ削減に寄与する知見である。一方デバイスの電流密度は高まるため、短絡耐量ははじめとする信頼性データを積み上げていくことが必要となる。また、本研究における逆回復損失低減の効果検証には、SiC MOSFET をガラスエポキシ基板にフリップ実装した簡易モジュールを用いた。ゲート配線インダクタンスを低減できる SiC MOSFET パワーモジュールの検討についても今後進める必要がある。

4章では、SiC MOSFET 内蔵ダイオードの順方向電圧劣化現象に対し、ダイオード導通時間短縮による抑制効果の可能性について検証した。ダイオード導通時間を短縮した際の欠陥の状態を PL イメージング法を用いて観察し、正孔濃度が低い状態を維持できる 15 ns までダイオード導通時間を短縮することで、順方向電圧劣化の原因である積層欠陥の拡張を抑制できることを示した。

今回の検証結果は、駆動回路技術単独では欠陥の拡張を完全に抑制することは難しいことを示している。しかしながら、本研究で得た知見は、再結合促進層などデバイス技術^[19]と組み合わせや、スクリーニング技術としての応用など、順方向電圧劣化対策のコスト抑制に寄与するものと考えられる。今回確認できた効果が、ストレス条件が都度変化する車両走行条件下でも発現するか、今後検証していく必要がある。

5章では、HEV 用 SiC MOSFET に備わる電流センス FET に着目し、回路理論的な解析と実験での検証によって、デッドタイム制御応用への有効性を明らかにした。さらにはデッドタイム制御機能を内蔵

した SiC MOSFET ゲートドライバを試作・検証したことで、PCU に応用可能なデッドタイム制御回路の設計指針が明確となり、損失面では SiC SBD を並列接続した場合と同等程度に抑えられることが明らかとなった。

6 章では、PCU の中でも高周波化によって逆回復損失の増加が懸念される昇圧コンバータに焦点をあて、ダイオード導通時間の更なる短縮についての可能性を検証した。電流センス FET を動的デッドタイム制御方式に応用した提案回路を制御理論の側面から検証し、SiC SBD と同等の逆回復損失となる目安であるダイオード導通時間 60 ns で安定制御できることを明らかにした。

電流センス FET とデッドタイム制御回路に関しては、実用上の課題検証を進めていく必要がある。電流センス FET の最適設計を試みるとともに、通電ストレスがメイン FET とは異なってくるため電流センス FET 自体の信頼性についても検証を進める。また、提案した動的デッドタイム制御方式については、その機能を内蔵したゲートドライバを試作し、逆回復損失の低減効果を検証していきたい。

以上、本研究の成果は、SiC MOSFET 内蔵ダイオードの活用に有用な指針であり、SiC MOSFET 搭載 HEV の実用化加速に貢献するものとする。本研究の成果が、自動車分野のみならず関連分野への SiC デバイス普及に対しても役立てられることを期待し、本論文の結びとする。

参考文献

- [1] 小林徹也：「デンソーにおける HV/EV 向け製品開発」, デンソーテクニカルレビュー Vol. 16, pp.16-22 (2011)
- [2] 岡本幸司・瀬高庸介・石山弘・稲垣充晴・真光邦明：「ハイブリッド用パワーコントロールユニットの開発」, デンソーテクニカルレビュー Vol.16, pp.23-29 (2011)
- [3] K. Hamada, M. Nagao, M. Ajioka and F. Kawai : “SiC–Emerging Power Device Technology for Next-Generation Electrically Powered Environmentally Friendly Vehicles”, IEEE Trans. ED, Vol. 62, No. 2, pp.278-285 (2015)
- [4] M. Sumitomo, J. Asai, H. Sakane, K. Arakawa, Y. Higuchi and M. Matsui: “Low loss IGBT with Partially Narrow Mesa Structure (PNM-IGBT)”, in Proc. IEEE ISPSD 2012, pp.17-20 (2012)
- [5] トヨタ自動車プレスリリース 2015. 1.29 <http://newsroom.toyota.co.jp/en/detail/5725437>
- [6] 本田技研工業プレスリリース 2016. 3.10 <http://www.honda.co.jp/news/2016/4160310.html>
- [7] 松波弘之・大谷昇・木本桓暢・中村孝：「半導体 SiC 技術と応用 第2版」, pp.14 (2011)
- [8] 松波弘之・大谷昇・木本桓暢・中村孝：「半導体 SiC 技術と応用 第2版」, pp.444 (2011)
- [9] T. Funaki, M. Matsushita, M. Sasagawa, T. Kimoto and T. Hikihara : “A Study on SiC Devices in Synchronous Rectification of DC-DC Converter”, in Proc. IEEE APEC, pp.339-344 (2007)
- [10] H. Liu, H. Wu, Y. Lu, Y. Xing and K. Sun : “A high efficiency inverter based on SiC MOSFET without externally antiparalleled diodes”, in Proc. IEEE APEC 2014, pp.163-167 (2014)
- [11] R. Horff, A. März, M. Lechler and M. M. Barkran : “Optimised switching of a SiC MOSFET in a VSI using the body diode and additional Schottky barrier diode”, in Proc. IEEE EPE’15, pp.1-11 (2015)
- [12] Z. Wang, J. Ouyang, J. Zhang, X. Wu and K. Sheng : “Analysis on reverse recovery characteristic of SiC MOSFET intrinsic diode”, in Proc. IEEE ECCE2014, pp.2832-2837 (2014)
- [13] H. Lendenmann, F. Dahlquist, N. Johansson, R. Soderholm, P. Nilsson, J. Bergman, and P. Skytt: “Long term operation of 4.5 kV pin and 2.5 kV JBS diodes”, Materials Science Forum Vols. 353-356, pp.727-730 (2001)
- [14] K. Nakayama, Y. Sugawara, R. Ishii, H. Tsuchida, T. Miyanagi, I. Kamata and T. Nakamura, “Forward Voltage Degradation of 4H-SiC pin Diodes and High Voltage 4H-SiC pin Diodes on the (000-1) C-Face with Reduced Forward Degradation”, IEEJ Trans. IA, Vol.128, No.8, pp.1013-1019 (2008) (in Japanese)
- [15] M. Uchida, N. Horikawa, K. Tanaka, K. Takahashi, T. Kiyosawa, M. Hayashi, M. Niwayama, O. Kusumoto, K. Adachi, C. Kudou, and M. Kitabatake : “Novel SiC Power MOSFET with Integrated Unipolar Internal Inverse MOS-Channel Diode”, in Proc. IEEE IEDM, pp.26.6.1-26.6.4 (2011)
- [16] A. V. Bolotnikov, P. G. Muzykov, A. E. Grekov, and T. S. Sudarshan : “Improvement of 4H-SiC Power p-i-n Diode Switching Performance Through Local Lifetime Control Using Boron Diffusion”, IEEE Trans. Electron Devices, Vol. 54, No. 6, pp. 1540-1544 (2007)
- [17] H. Tsuchida, T. Miyanagi, I. Kamata, T. Nakamura, K. Izumi, K. Nakayama, R. Ishii, K. Asano and Y. Sugawara : “Investigation of Basal Plane Dislocations in the 4H-SiC Epilayers Grown on {0001} Substrates”, Mater. Sci. Forum 483-485 (2005)
- [18] K. Nakayama, Y. Sugawara, H. Tsuchida, T. Miyanagi, I. Kamata, T. Nakamura, K. Asano and D. Takayama: “4H-SiC pin diodes on the (000-1) C-face with reduced forward degradation”, in Proc. 16th Int. Symp. Power Semiconductor Devices & ICs pp. 357 (2004)
- [19] 俵武志・宮澤哲哉・呂民雅・宮里真樹・藤本卓巳・竹中研介・松永慎一郎・宮島将昭・大月章弘・

- 米澤喜幸・加藤智久・奥村元・木本恒暢・土田秀一：「再結合促進層を用いた 4H-SiC PiN ダイオード順方向劣化の抑制」, 第 77 回 応用物理学会秋季学術講演会予稿集 15p-C302-15 (2016)
- [20] S. Hino, T. Hatta, K. Sadamatsu, Y. Nagahisa, S. Yamamoto, T. Iwamatsu, Y. Yamamoto, M. Imaizumi, S. Nakata and S. Yamakawa : “Demonstration of SiC-MOSFET Embedding Schottky Barrier Diode for Inactivation of Parasitic Body Diode”, in Proc. ECSCRM2016, pp.129-130 (2016)
- [21] D. Polenov, T. Reiter, R. Baburske, H. Pröbstle and J. Lutz : “The Influence of Turn-Off Dead Time on the Reverse-Recovery Behavior of Synchronous Rectifiers in Automotive DC/DC-Converters,” in Proc. IEEE EPE, pp. 1-8 (2009)
- [22] Z. Xu, B. Zhang, and A. Q. Huang : “An analysis and experimental approach to MOS controlled diodes behavior,” IEEE Trans. Power Electronics, vol. 15, No. 5, pp.916-922 (2000)
- [23] K. Sheng : “MOS-Controlled Diode (MCD) on Silicon-On-Insulator (SOI)”, in Proc. IEEE IECON, Vol. 3, pp. 2602-2606 (2003)
- [24] 松波弘之・大谷昇・木本恒暢・中村孝 : 「半導体 SiC 技術と応用 第 2 版」, pp.347 (2011)
- [25] R. Kolessar : “Physical study of the power diode turn-on process”, in Proc. IEEE IAS, pp.2934-2940 (2000)
- [26] J. Q. Liu, M. Skowronski, C. Hallin, R. Söderholm and H. Lendenmann : “Structure of recombination-induced stacking faults in high-voltage SiC p-n junctions,” Applied Physics Letters, Vol. 80, Issue 5, id. 749 (2002)
- [27] R. Hattori, R. Shimizu, I. Chiba, K. Hamano and T. Tatsuo : “PL Imaging Study of In-Grown Stacking Faults in 4H-SiC Epitaxial Layer,” Materials Science Forum Vols. 615-617, pp.129-132 (2009)
- [28] S. Zhen, B. Zhang, P. Luo, K. Yang, X. Zhu and Z. Li : “A High Efficiency Synchronous Buck Converter with Adaptive Dead Time Control for Dynamic Voltage Scaling Applications,” in Proc. IEEE/IFIP 19th International Conference on VLSI and System-on-Chip, pp.43-48 (2011)
- [29] M. Macellari, F. Celani and L. Schirone : "Dead time generator for synchronous boost converters with GaN transistors," in Proc. IEEE IEVC, pp.1-6 (2014)
- [30] S. Lee, S. Jung, C. Park and C. Rim : "Accurate Dead-Time Control for Synchronous Buck Converter With Fast Error Sensing Circuits," IEEE Trans. Cir. And Sys-I, vol. 60, no. 11, pp.3080-3089, Nov 2013
- [31] W. Yan, C. Pi, W. Li, and R. Liu : “Dynamic dead-time controller for synchronous buck DC-DC converters,” IEEE Electron. Letters, vol. 46, no. 2, pp. 164 -165, Jan. 2010
- [32] A. Zhao, A. Shorten, H. Nishio, and W. T. Ng : “An integrated DC-DC converter with digital one-step dead-time correction,” in Proc. IEEE Int. Symp. on Power Semicond. Devices IC's, pp. 57 -60 (2010)
- [33] L. Mei, D. Williams and W. Eberle : “A Synchronous Buck Converter Using a New Predictive Analog Dead-Time Control Circuit to Improve Efficiency,” Can. J. Electr. Comput. Eng., Vol. 36, No. 4, pp.181-187, FALL 2013
- [34] S. K. Manohar and P. T. Balsara : “94.6 %peak efficiency DCM buck converter with fast adaptive dead-time control,” in Proc. ESSCIRC, pp.153-156 (2013)
- [35] J. S. Yu, G. Jin, S. L. Cheng and . T. Ng : “Digital dead-time control for an integrated tri-mode buck-boost DC-DC converter,” in Proc. IEEE Energy Conv. Congr. Expo. Asia, pp.1768-1771 (2015)
- [36] Z. Zhang, F. Wang, D. J. Constinet, L. M. Tolbert, B. J. Blalock and H. Lu : “Dead-Time Optimization of SiC Devices for Voltage Source Converter,” in Proc. IEEE APEC, pp.1145-1152 (2015)
- [37] J. Xue, K. Ngo and H. Lee : "A 99%-Efficiency 1-MHz 1.6-kW Zero-Voltage-Switching Boost Converter Using Normally-Off GaN Power Transistors and Adaptive Dead-Time Controlled Gate Drivers," in Proc. IEEE EDSSC, pp.1-2 (2013)
- [38] J. Xue and H. Lee : “Enabling High-Frequency High-Efficiency Non-Isolated Boost Converters With

- Quasi-Square-Wave Zero-Voltage Switching and On-Chip Dynamic Dead-Time-Controlled Synchronous Gate Drive,” *IEEE Trans. Power Electronics*, vol. 30, no. 12, pp.6817-6828, Dec. 2015
- [39] R. Grezaud, F. Ayel, N. Rouger and J. Crebier : “A Gate Driver With Integrated Deadtime Controller,” *IEEE Trans. Power Electronics*, vol.31, no. 12, pp. 8409-8421, Dec. 2016
- [40] Y. U. Hong, B. K. Choi, Y. J. Woo, M. C. Lee, T. W. Kwak, H. P. Le, and G. H. Cho : “Optimum efficiency-tracking gate driver using adaptive dead time control for single chip DC-DC converter,” in *Proc. IEEE PESC*, pp. 1–5 (2006)
- [41] H. W. Huang, K.-H. Chen and S.-Y. Kuo : “Ditherig skip modulation, width and dead time controller in highly efficient dc-dc converters for system-on-chip applications,” *IEEE J. Solid-State Circuits*, Vol. 42, No. 11, pp.2451-2465, Nov. 2007
- [42] V. Yousefzadeh and D. Maksimovic : “Sensorless optimization of dead times in dc-dc converters with synchronous rectifiers,” *IEEE Trans. Power Electronics*, vol. 21, no. 4, pp. 994–1002, July 2006
- [43] L. Chen and F. Z. Peng : “Dead-Time Elimination for Voltage Source Inverters,” *IEEE Trans. Power Electronics*, Vol. 23, No. 2, pp.574-580, Mar. 2008
- [44] Y.-K. Lin and Y.-S. Lai : “Dead-time elimination method and current polarity detection circuit for three-phase PWM-controlled inverter,” in *Proc. IEEE Energy Conv. Congr. Expo.*, pp. 83 -90 (2009)
- [45] M. Otsuki, M. Watanabe and A. Nishiura, “Trends and Opportunities in Intelligent Power Module (IPM),” in *Proc. IEEE 27th ISPSD*, pp.317-320 (2015)
- [46] A. Furukawa, S. Kinouchi, H. Nakatake, Y. Ebiike, Y. Kagawa, N. Miura, Y. Nakao, M. Imaizumi, H. Sumitani and T. Oomori : “Low On-Resistance 1.2 kV 4H-SiC MOSFETs Integrated with Current Sensor,” in *Proc. IEEE 23rd ISPSD*, pp.288-291 (2011)

研究業績

査読付論文（主著）

- [1] 丹羽章雅, 今澤孝則, 木村友則, 笹谷卓也, 磯部高範, 只野博:「SiC-MOSFET の電流センス機能を用いたデッドタイム制御回路」 電気学会論文誌 D Vol. 136 No.2 pp. 145-151 (2016年2月発行)
- [2] 丹羽章雅, 小島領太, 木村友則, 笹谷卓也, 磯部高範, 只野博:「SiC-MOSFET の逆回復損失低減に関する実験的考察」 電気学会論文誌 C Vol. 137 No.2 (2017年2月発行予定)
- [3] Akimasa Niwa, Takanori Isobe, Hiroshi Tadano:“A Dead Time Controlled Gate Driver Using Current Sense FET Integrated in SiC MOSFET,” IEEE Transaction on Power Electronics (to be published)

国際会議（主著）

- [1] Akimasa Niwa, Takanori Imazawa, Tomonori Kimura, Takanari Sasaya, Takanori Isobe, Hiroshi Tadano:“Novel Dead Time Controlled Gate Driver Using the Current Sensor of SiC MOSFET,” IECON2015, 2015 November, Yokohama (Best Presentation Recognition in TS-135 受賞)

国内会議（主著）

- [1] 丹羽章雅, 今澤孝則, 入江将嗣, 山本昌弘, 川原秀樹, 木村友則, 笹谷卓也, 磯部高範, 只野博:「SiC-MOSFET の電流センス機能を用いたデッドタイム制御回路の提案」 半導体電力変換/家電・民生/自動車合同研究会 2014年11月 神戸
- [2] 丹羽章雅, 山本昌弘, 入江将嗣, 今澤孝則, 岩村剛宏, 笹谷卓也, 磯部高範, 只野博:「デッドタイム制御機能を内蔵した SiC-MOSFET ゲートドライバ」 平成 27 年電気学会産業応用部門大会 2015年8月 大分

国内会議（共著）

- [1] 今澤孝則, 丹羽章雅, 入江将嗣, 山本昌弘, 川原秀樹, 木村友則, 笹谷卓也, 磯部高範, 只野博:「SiC-MOSFET の電流センス機能を用いたデッドタイム制御回路」 平成 27 年電気学会全国大会 2015年3月 東京 (優秀論文発表賞 受賞)
- [2] 小島領太, 丹羽章雅, 山田隆弘, 笹谷卓也, 磯部高範, 只野博:「SiC-MOSFET ボディダイオードのデッドタイム短縮によるリカバリ損失低減効果」 平成 28 年電気学会全国大会 2016年3月 宮城

特許

- [1] 特開 2015-154524 「同期整流回路」
- [2] 特開 2016-092884 「半導体素子の駆動回路及び半導体の駆動システム」
- [3] 特開 2016-133414 「スイッチング素子の駆動装置」
- [4] 特開 2016-163451 「同期整流回路」

謝辞

本研究は、筑波大学大学院 数理物質科学研究科 電子・物理工学専攻及び株式会社デンソーにおいて実施したものである。本研究の推進および本論文の執筆にあたり、終始懇切なご指導を賜りました 筑波大学数理物質系 物理工学域 教授 只野博 博士 ならびに 准教授 磯部高範 博士に深く感謝いたします。

また、本論文をご査読いただいた、首都大学東京 都市教養学部 理工学系 電気電子工学コース 理工学研究科 電気電子工学専攻 准教授 和田圭二 博士、筑波大学数理物質系 物理工学域 教授 岩室憲幸 博士、筑波大学数理物質系 物理工学域 准教授 蓮沼隆 博士に感謝いたします。

さらに、本研究を行う上で、SiC デバイスの提供はじめ多大なご協力を頂きました、株式会社デンソー 基礎研究 3 部 SiC 特定開発室 山本敏雅氏、水野祥司氏 ならびに関係者各位に感謝いたします。

内蔵ダイオードの順方向電圧劣化の解明にあたり、たくさんのご助言とサポートを頂きました、株式会社デンソー 半導体プロセス開発部 宮嶋健氏、山本剛氏、パワーモジュール技術部 川原英樹氏、同 基礎研究 1 部 近藤宏行氏、上東秀幸氏、基礎研究 3 部 デバイス実装研究室 古川泰至氏に感謝いたします。

本研究におけるさまざまな実験にご協力頂きました、株式会社デンソー 基礎研究所 特殊実験室 神生陽介氏 ならびに関係者各位に感謝いたします。

そして、本研究をともに支えてくれた 株式会社デンソー 基礎研究 3 部 パワエレ応用研究室 諸氏に感謝いたします。

共同研究者としてともに悩み、切磋琢磨した 同 今澤孝則氏、小島領太氏に感謝いたします。

ゲートドライバ IC 開発に尽力いただきました、同 山本昌弘氏、現 株式会社デンソー エンジン機器技術部 入江将嗣氏に感謝いたします。

英語論文の校閲に積極的にご協力頂きました、株式会社デンソー 基礎研究 3 部 榎山あゆみ氏に感謝いたします。

最後に、これまで長い間暖かく見守ってきてくれた父と昨年他界した母、また、家庭を支えてきてくれた妻 早苗、私と妻に協力して支えてきてくれた長女 美月と長男 駿介に感謝します。

2017年2月 丹羽 章雅