

パワーデバイスの宇宙線破壊耐量に関する研究

庄司 智幸

2016年2月

筑波大学大学院博士課程

数理物質科学研究科博士論文

博士（工学）

パワーデバイスの宇宙線破壊耐量に関する研究

庄司 智幸

電子・物理工学専攻

目次

第 1 章 序論	2
1.1 研究背景.....	2
1.2 本論文の構成.....	2
第 2 章 パワーデバイスの宇宙線破壊耐量	4
2.1 白色中性子照射実験.....	4
2.1.1 自然界の中性子エネルギー分布と白色中性子照射実験による加速試験.....	4
2.1.2 故障率の印加電圧依存性.....	5
2.2 白色中性子照射実験によるパワーデバイスの SEB 破壊痕分析.....	6
2.2.1 Si パワーデバイスの中性子照射破壊痕分析.....	6
2.2.2 SiC パワーデバイスの中性子照射破壊痕分析.....	10
2.3 デバイスシミュレーションによる SEB 破壊メカニズム解析.....	18
2.3.1 Si パワーデバイスの SEB 破壊メカニズム.....	18
2.3.2 SiC パワーデバイスの SEB 破壊メカニズム.....	33
2.4 熱伝導方程式を用いた理論解析.....	41
2.4.1 SEB 微小破壊痕のサイズ見積り計算.....	41
2.5 まとめ.....	46
付録 2.2.1.....	47
付録 2.4.1.....	48
第 3 章 SiC パワーデバイスの短絡耐量理論解析	50
3.1 Si と SiC のパワーデバイスの発熱密度の違い.....	50
3.2 SiC パワーデバイスの短絡耐量に対する解析式の導出.....	53
3.3 実測による検証.....	54
3.4 まとめ.....	54
第 4 章 本論文の要約と結論	55
参考文献	57
関連業績	58
謝辞	60

第1章 序論

1.1 研究背景

自動車の電動化に伴い、自動車には多くのパワーデバイスが使用されている。この自動車用パワーデバイスに対する信頼性を確保する事は、安全かつ安心な乗り物を社会に提供する上で非常に重要である。一般に半導体の故障には、初期故障、偶発故障、摩耗故障があり、初期故障低減のためのスクリーニングテストや、摩耗故障に対する品質を確保するためにモジュール接合部等の信頼性設計が行われている。一方、偶発故障の要因の一つとして、地上に降り注ぐ宇宙線によって、半導体デバイスがある確率で永久破壊を引き起こす **Single- Event Burnout (SEB 破壊)**が知られているが、自動車用パワーデバイスの **SEB 破壊**に対する研究は少なく、そのメカニズムは十分に解明されていない。この宇宙線によるパワーデバイスの破壊メカニズムを解析し、デバイス設計指針を明らかにすることは、パワーデバイスの偶発故障に対する信頼性を確保するために必要不可欠である。

地上に到達する高エネルギー粒子は、地球に降り注ぐ宇宙線と大気を構成する原子の原子核との核破砕反応によって生成される。これらの地上に降り注ぐ高エネルギー粒子の約 97%が中性子であり、地表には約 $10 \text{ 個 cm}^{-2} \text{ h}^{-1}$ の中性子が降り注いでいる[1]。また、中性子は非常に透過性の高い放射線であるため遮蔽が困難であり、偶発故障を起こさないデバイス設計によって信頼性を確保する必要がある。従って、中性子による **SEB 破壊**のトリガメカニズムを解析し、**SEB 破壊耐量**向上指針を求めることは重要である。

本研究では、**SEB 破壊**のトリガメカニズムをシミュレーション解析によって明らかにし、**SEB 破壊**が起り始めるデバイス印加電圧 (**SEB 閾値電圧**) がデバイス構造パラメータであるドリフト領域の厚さによって制御出来ることを実験的に示した。これは、遮蔽な困難な中性子による **SEB 破壊**の偶発故障率が、デバイス設計によって制御可能であることを示した点で意義がある。さらに、**Si IGBT** や **Si ダイオード**では、デバイス表面には破壊の痕跡はないが、内部に直径約 $1 \mu\text{m}$ 以下の円形状の微小な **SEB 破壊痕**が存在することを分析によって初めて明らかにし、その実測した大きさは、熱伝導方程式による理論解析とデバイスシミュレーションから見積もった結果とがほぼ一致することを示した。さらに、**SEB 破壊**解析で構築した熱伝導方程式に基づく理論解析手法を **SiC-MOSFET** の短絡耐量に適用し、**SiC-MOSFET** の短絡耐量に対する理論式を導出した。導出した理論式によって、短絡耐量の環境温度依存性やドリフト領域の厚さ依存性の実測結果を良く説明できることを示し、構築した理論解析手法の有効性を示した。

1.2 本論文の構成

本論文は、第1章「序論」から第4章「本論文の要約と結論」までの全4章で構成されている。以下に研究の本体である第2章から第3章までの概要について述べる。

第2章では、地上に降り注ぐ自然界の中性子のエネルギー分布と加速器を用いた白色中性子線源のエネルギー分布について説明し、デバイス故障率の実験的な評価手法について説明する。デバイスに電圧を印加した状態で白色中性子を照射し、故障率の印加電圧依存性について調査し、故障率がある閾値電圧以上で急激に増加することを実験的に示す。また、**SEB 破壊**に対する閾値電圧がデバイスのドリフト領域の厚さに依存するため、**SEB 閾値電圧**がデバイス構造パラメータであるドリフト領域の厚さによって制御可能である。この **SEB 閾値電圧**の最適設計が宇宙線によるパワーデバイスの偶発故障率に対する信頼性を確保する上で重要であることを述べる。さらに、白色中性子

照射実験による Si 及び SiC パワーデバイスの SEB 破壊痕に関する分析結果を示し、デバイスシミュレーションによる SEB 破壊のトリガーマカニズム解析結果との比較について議論する。特に、Si IGBT や Si ダイオードでは、デバイス表面には破壊の痕跡はないが、内部に直径約 1 μm 以下の円形状の微小な SEB 破壊痕が存在することを分析によって初めて明らかにし、その実測した大きさは、熱伝導方程式による理論解析とデバイスシミュレーションから見積もった結果とほぼ一致することを示す。

第 3 章では、第 2 章で構築した熱伝導方程式に基づくパワーデバイスの熱破壊に対する理論解析手法を SiC-MOSFET の短絡耐量に適用し、導出した SiC-MOSFET の短絡耐量に対する理論式について述べる。さらに導出した SiC パワーデバイスの短絡耐量に関する理論式が、短絡耐量の環境温度依存性やドリフト領域の厚さ依存性の実測結果を良く説明できることを示し、構築した理論解析手法の有効性を示す。

第 4 章では、パワーデバイスの宇宙線破壊耐量及び SiC パワーデバイスの短絡耐量に関する研究で得られた結果をまとめる。

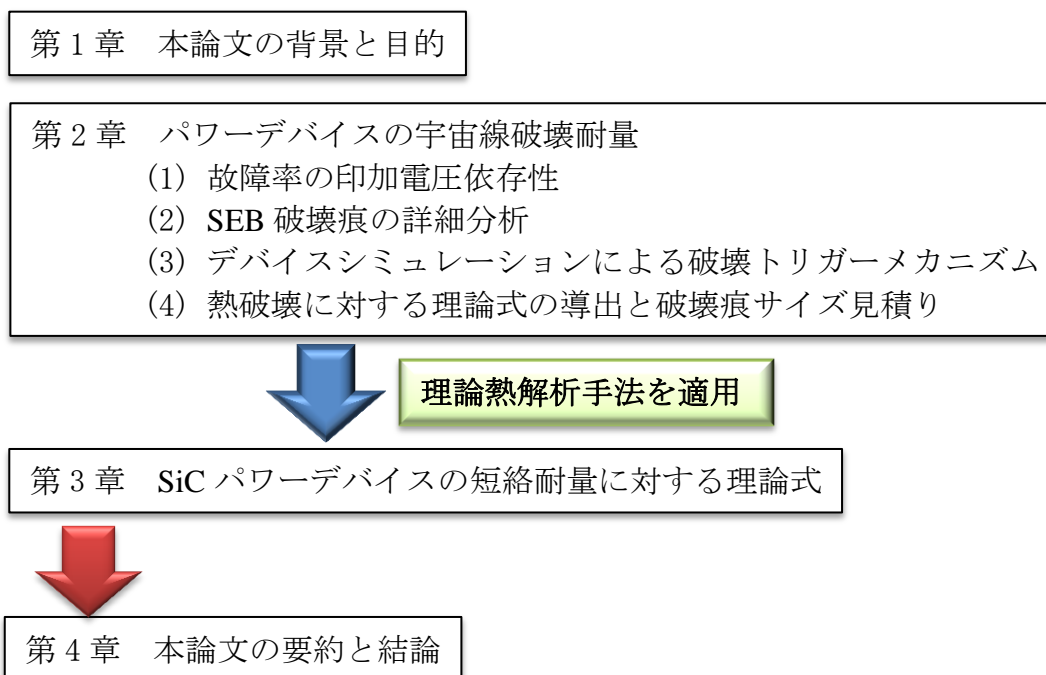


図 1.1 本論文の構成

第2章 パワーデバイスの宇宙線破壊耐量

2.1 白色中性子照射実験

2.1.1 自然界の中性子エネルギー分布と白色中性子照射実験による加速試験

地上に降り注いでいる白色中性子のエネルギー分布を、図 2.1 に示す[2]。大阪大学核物理研究センター白色中性子照射施設 (Research Center for Nuclear Physics : RCNP) と自然界の 1.5×10^8 倍の白色中性子エネルギー分布が良く一致していることが分かる。本研究では、短時間で多数の白色中性子を照射し、図 2.2 の試験回路図に示すように、電圧を印加したパワーデバイスに RCNP の白色中性子を照射し、SEB 故障率の印加電圧依存性を評価した。

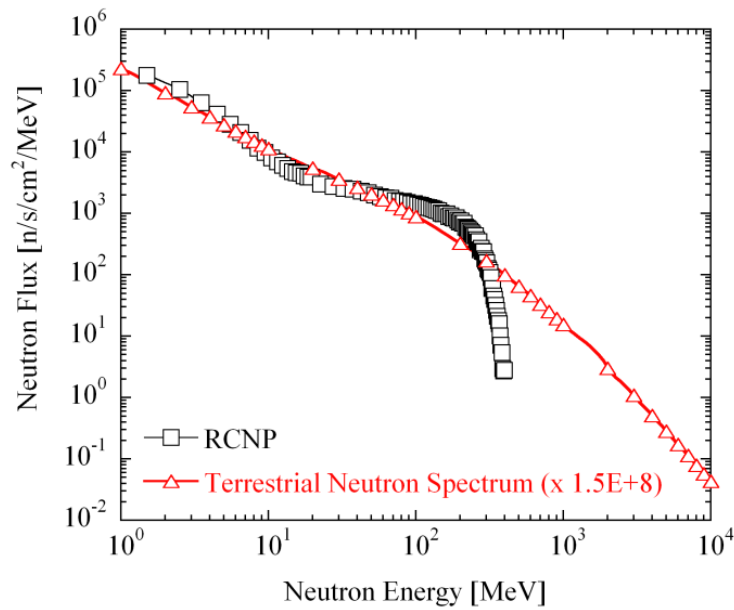


図 2.1 白色中性子エネルギー分布[2]

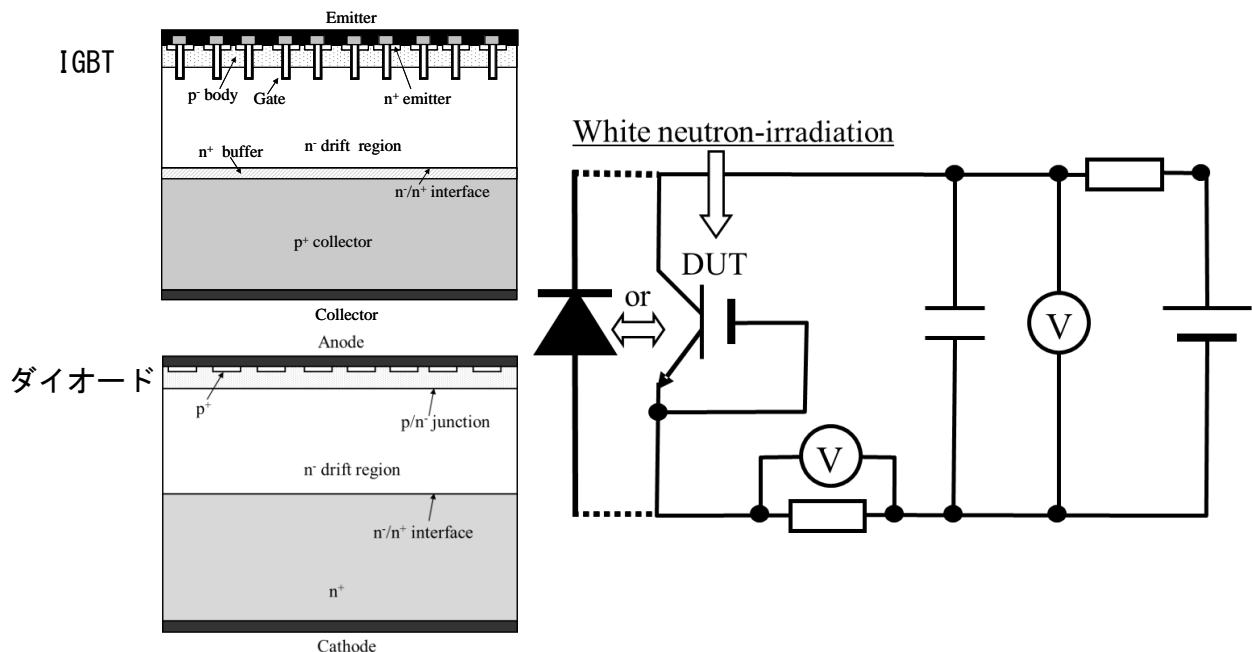


図 2.2 白色中性子照射デバイス断面構造と実験回路図 [3]

2.1.2 故障率の印加電圧依存性

図 2.3 に白色中性子照射による Si IGBT 及び Si ダイオードの SEB 故障率に対する印加電圧依存性を示す[3, 9]。ある閾値電圧(SEB 閾値電圧)以上で故障率が急激に増加している事が分かる。さらに、デバイスのドリフト領域が厚くなると SEB 閾値電圧が高くなっており、SEB 閾値電圧がドリフト領域の厚さの最適設計で制御可能であることを意味する。即ち、デバイス使用電圧よりも SEB 閾値電圧を高く設計すると、宇宙線による偶発故障に対する信頼性が確保できる。

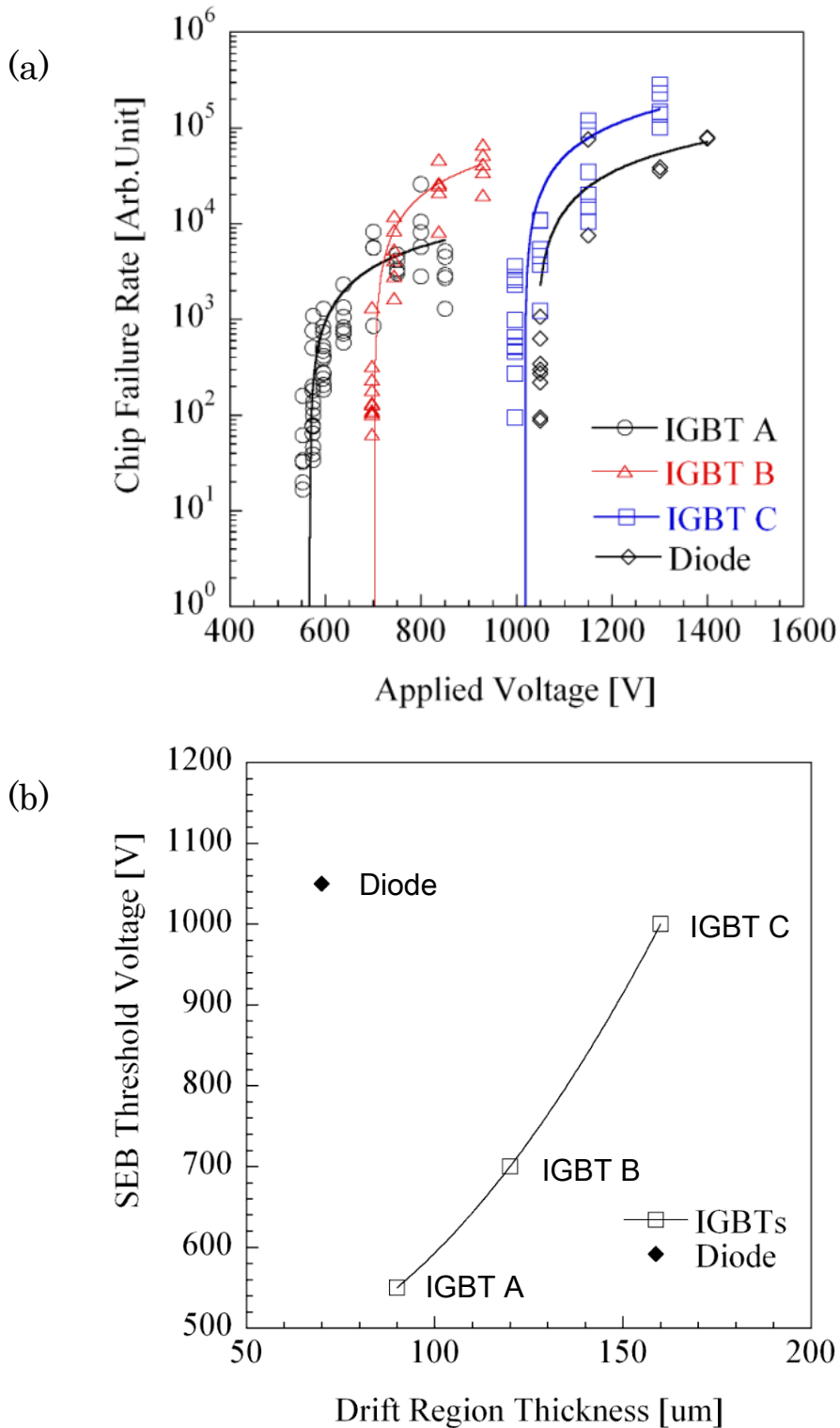


図 2.3 白色中性子照射による Si IGBT 及び Si ダイオードの (a) デバイス故障率の印加電圧依存性及び (b) SEB 閾値電圧のドリフト領域の厚さ依存性[3, 9]

2.2 白色中性子照射実験によるパワーデバイスの SEB 破壊痕分析

2.2.1 Si パワーデバイスの中性子照射破壊痕分析

裏面 OBIRCH (Optical Beam Induced Resistance Change) 解析により破壊箇所を特定し(付録 2.2.1)、Si ダイオードの微小 SEB 破壊痕を走査型電子顕微鏡(Scanning Electron Microscope: SEM)で観察した(図 2.4) [4]。(2.4-1)及びその拡大図(2.4-2)から分かるように、アルミ(Al)電極表面には破壊時の発熱による Al 溶融はない。これは、Al 電極表面まで熱が伝わる事が出来ないほど、非常に短時間の現象であることを示している。また、Al 剥離後の Si 表面 SEM 像において、デバイス本来の Si 表面より盛り上がり凝固した痕跡を観察した(図 2.4(2.4-3)及びその拡大図(2.4-5))。この SEB 破壊痕について、デバイス深さ方向の形状を分析するため、SEB 破壊箇所を集束イオンビーム (Focused Ion Beam: FIB) を用いて、デバイス表面から深さ $0.4\mu\text{m}$ の深さ (アノード側 P⁺拡散層内部) までスライス加工した(図 2.5)。円形状破壊痕が 2 箇所存在し、その間隔は約 $2\mu\text{m}$ である事が分かる。これに P⁺拡散層レイアウトパターンを重ねると、2つの円形状破壊痕の間隔は、アノード側 P⁺拡散層レイアウトパターン間隔に一致している。

図 2.5(2.5-2)の 2つの破壊痕を通る破線部断面構造で、過渡熱デバイスシミュレーションを行った。このデバイスシミュレーションは SYNOPSIS 社の Technology Computer-Aided Design (TCAD) SENTAURUS を用いて実施し、デバイス表面から垂直な経路でドリフト領域内部に重イオンが侵入した場合を想定した。シミュレーションによる SEB トリガメカニズム解析は、2.3 章で述べる。デバイス内部温度が Si 融点到達時のシミュレーション結果を図 2.6 に示す。P⁺拡散層のコーナー部にホール電流が集中するため、ホール電流集中箇所の温度が上昇しているのが分かる。従って、デバイス表面付近の 2つの破壊痕は、表面の P⁺拡散レイアウトパターンを反映し、表面付近で電流経路が分岐した痕跡である。

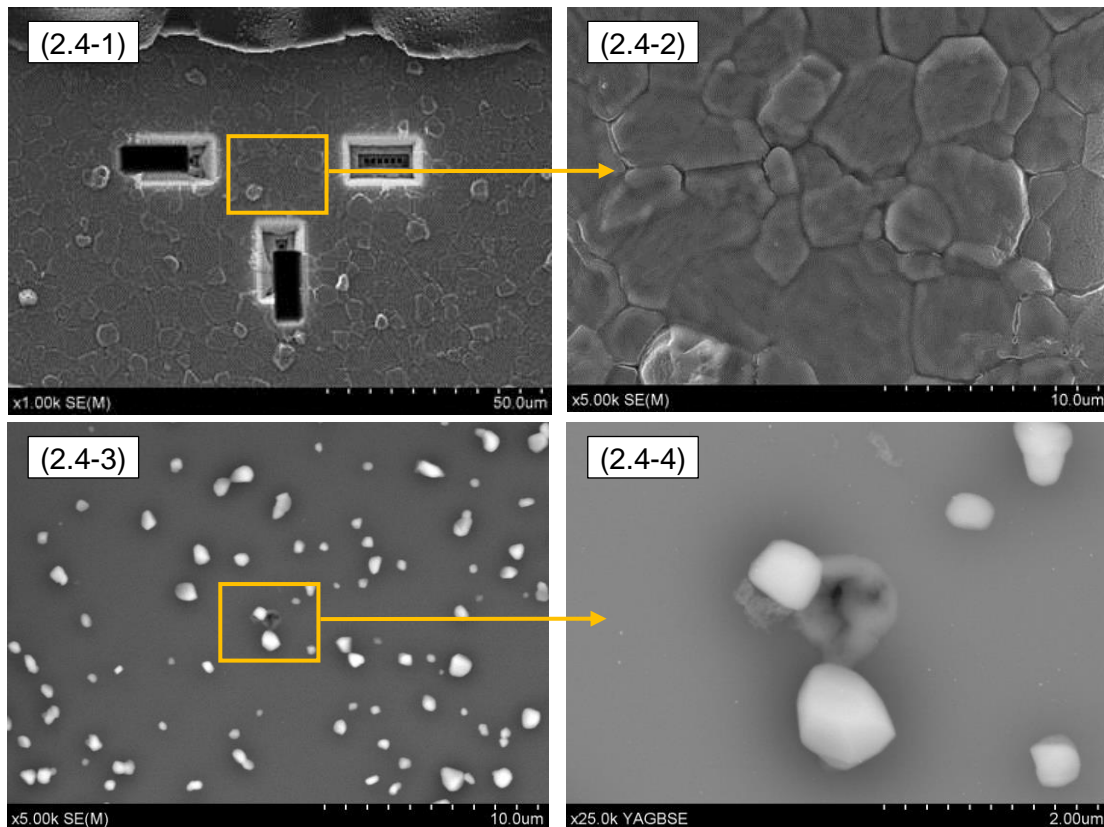


図 2.4 Si ダイオードの微小 SEB 破壊痕 SEM 像 : (2.4-1)裏面発光解析発光部 Al 電極表面及び(2.4-2)拡大図、並びに (2.4-3) 表面 Al 電極剥離後 Si 表面及び (2.4-4) 拡大図[4]

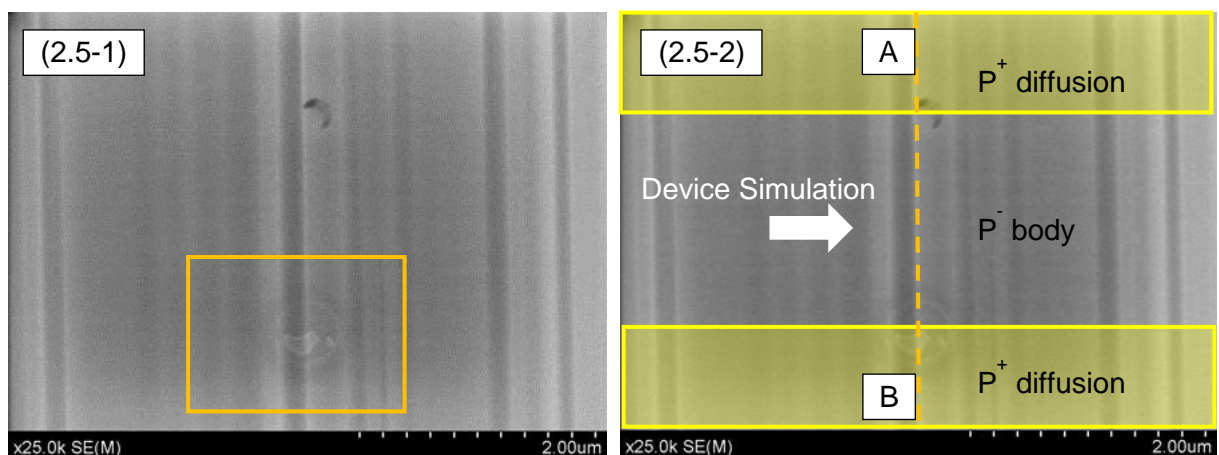


図 2.5 Si ダイオードの SEB 破壊部 SEM 像：(2.5-1)アノード側 Si 表面から 0.4 μm の深さ（アノード側 P⁺拡散層内部）における SEM 像、及び(2.5-2)P⁺拡散層レイアウトパターン[4]

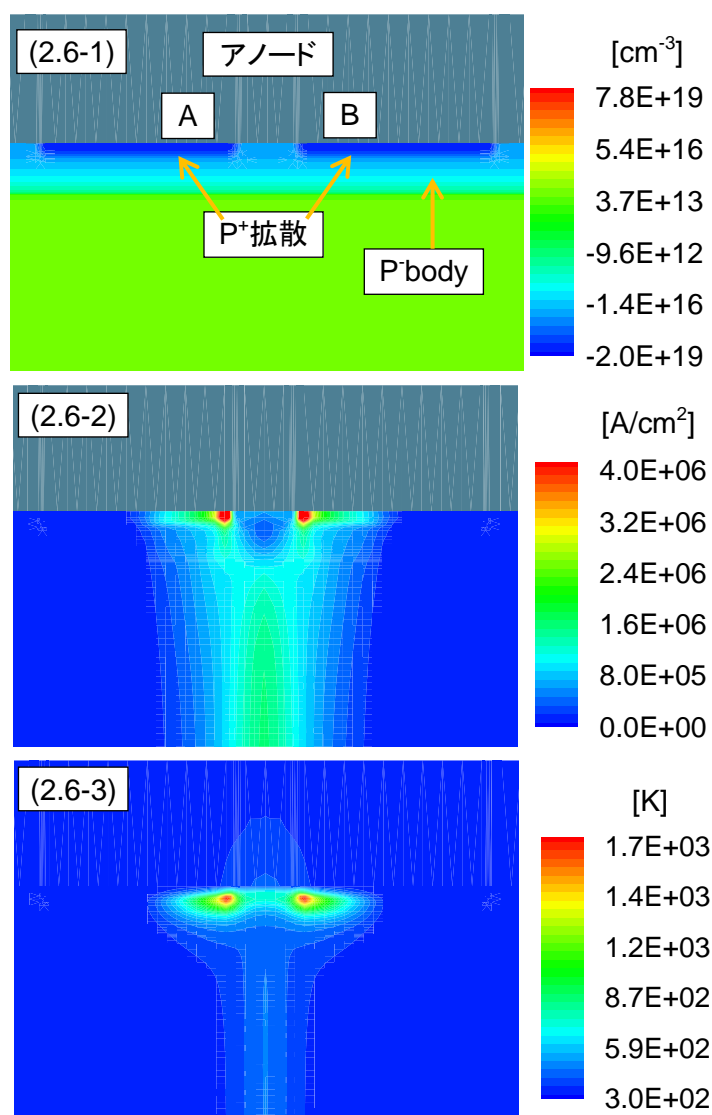


図 2.6 図 2.5(2.5-2)に示した 2つの破壊痕を結ぶ破線部において、Si が融点に到達時のデバイスシミュレーション結果：(2.6-1) ドーピングプロファイル(cm^{-3})、(2.6-2) ホール電流密度(A/cm^2)、(2.6-3)デバイス内部温度(K)[4]

図 2.6 のシミュレーションで示したデバイス内部温度が融点に到達する箇所を観察するため、図 2.5(2.5-1)の枠線部を深さ方向に FIB を用いてスライス加工し、破壊痕の形状を SEM 観察した (図 2.7)。Si 表面から 1.0 μm の深さに位置するアノード側 P⁺拡散層下部に、Si 熔融によって生じた円形状の空洞を確認した (図 2.7 (2.7-2))。これは 局所的に大きな電流が流れたため Si の融点に達し、その Si が熱膨張によってデバイス表面側に移動し急速に冷却されたため、デバイス内部に円形状の空洞が形成されたと考えられる。図 2.4(2.4-4)において、デバイス表面側の Si が隆起しているのは、デバイス内部の Si が移動して形成されたと考える。このような円形状の破壊痕は SEB 破壊以外では例がなく、非常に珍しい形状の破壊痕であり、局所的な電流に対して熱伝導が軸対象に発生したことを表している。

円形状破壊痕の高角散乱環状暗視野走査透過顕微鏡法 (High-Angle Annular Dark-Field Scanning Transmission Electron Microscopy: HAADF-STEM) による観察 (付録 2.2.1)、及びエネルギー分散型 X 線分光法 (Energy Dispersive X-ray Spectroscopy: EDX) を用いた元素分析 (付録 2.2.1) を行った (図 2.8)。円形状の領域内部とその外側の領域でコントラストが異なっており、円形状の領域内部では、一度 Si が熔融して凝固したことが分かる。さらに、EDX マッピング像より、円形所領域内部にデバイス表面電極である Al 原子が入り込んでいるのを確認した。これは、Si 熔融痕箇所に局所的に大きな電流が流れ、表面アノード電極を構成する Al 原子が Si 内部へ入り込んだ事を示している。

Si-IGBT の SEB 破壊痕においても同様に、Si 表面から深さ 1.2 μm (n^+ エミッタ拡散層下部) までスライスし、SEM 観察を行った (図 2.9) [5]。直径 1.79 μm の円形状の破壊痕が n^+ エミッタ拡散層下部に形成されている事が分かる。次章では、SEB トリガーマカニズムのデバイスシミュレーション解析結果を述べるが、 n^+ エミッタ拡散層下部に位置する SEB 破壊痕は、寄生 npn トランジスタ (n ドリフト/ n^+ エミッタ/ p body) 動作が起こった痕跡であると考えられる。

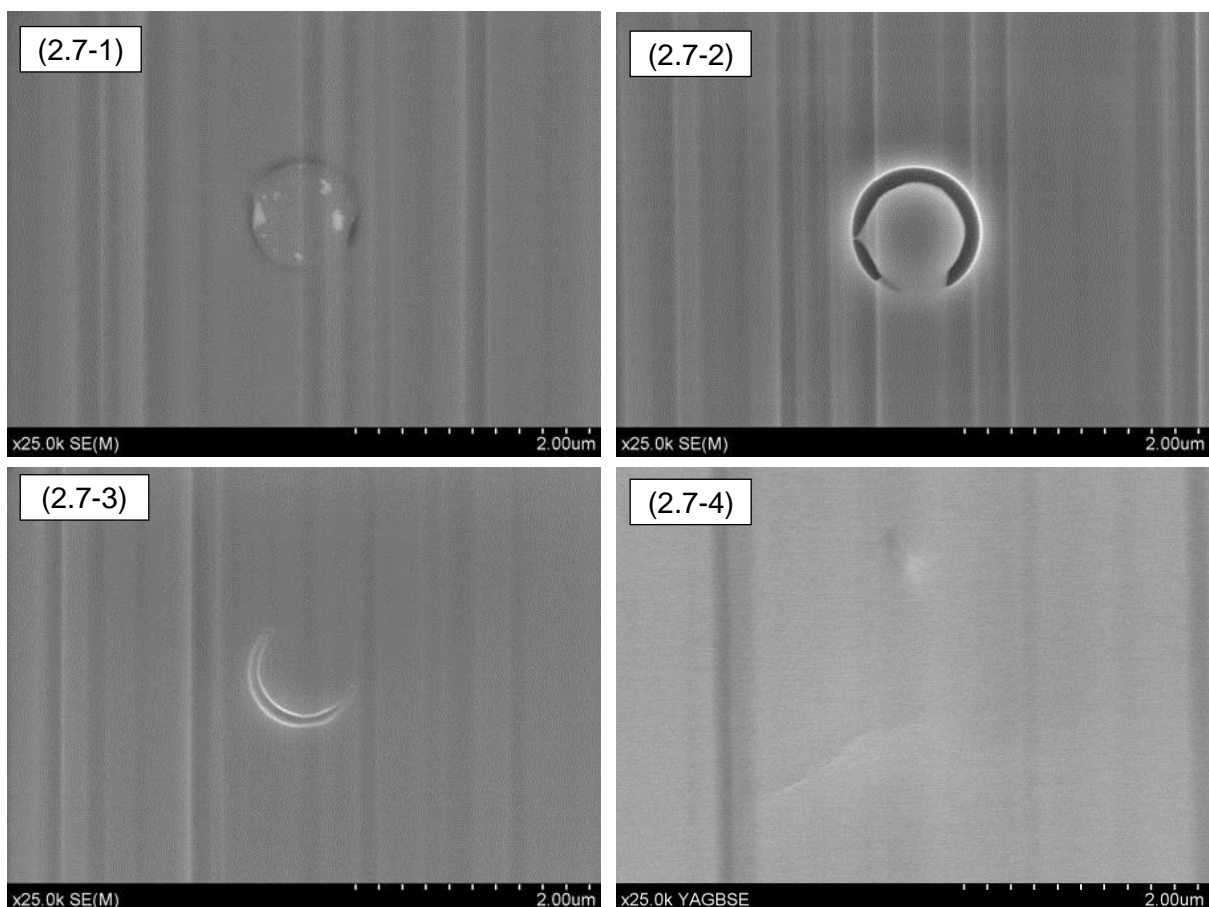


図 2.7 Si ダイオード SEB 破壊部における深さ方向解析：アノード側 Si 表面から (2.7-1) 0.8 μm 、(2.7-2) 1.0 μm 、(2.7-3) 1.2 μm 、(2.7-4) 1.4 μm の深さにおける SEM 像[4]

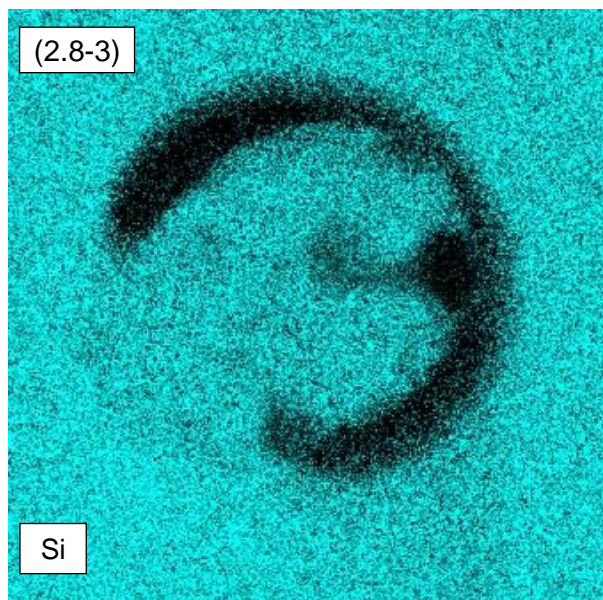
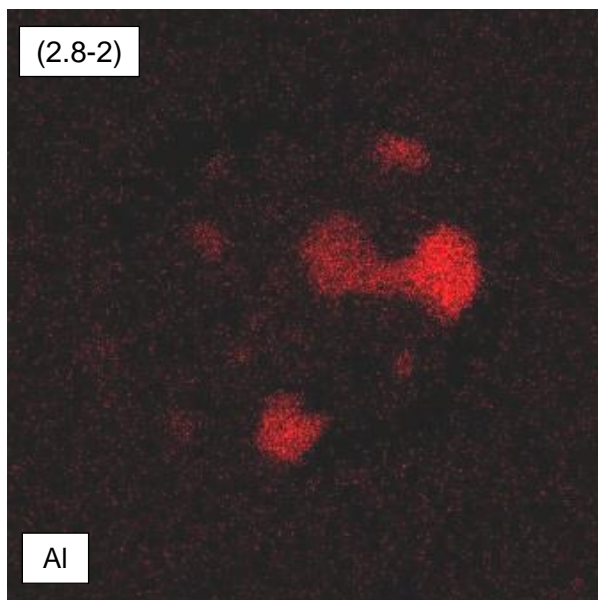
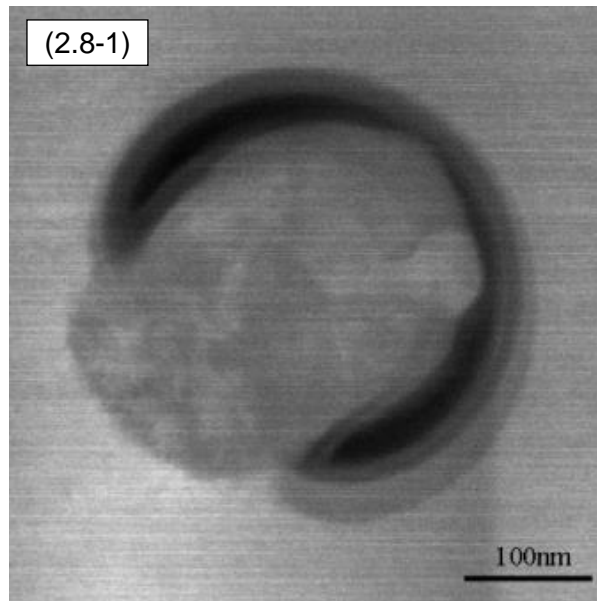


図 2.8 Si ダイオード表面より深さ $1\mu\text{m}$ に位置する直径 $0.34\mu\text{m}$ の SEB 破壊痕の(2.8-1) HAADF-STEM 像と(2.8-2) Al 元素 EDX マッピング像及び(2.8-3) Si 元素 EDX マッピング像[4]

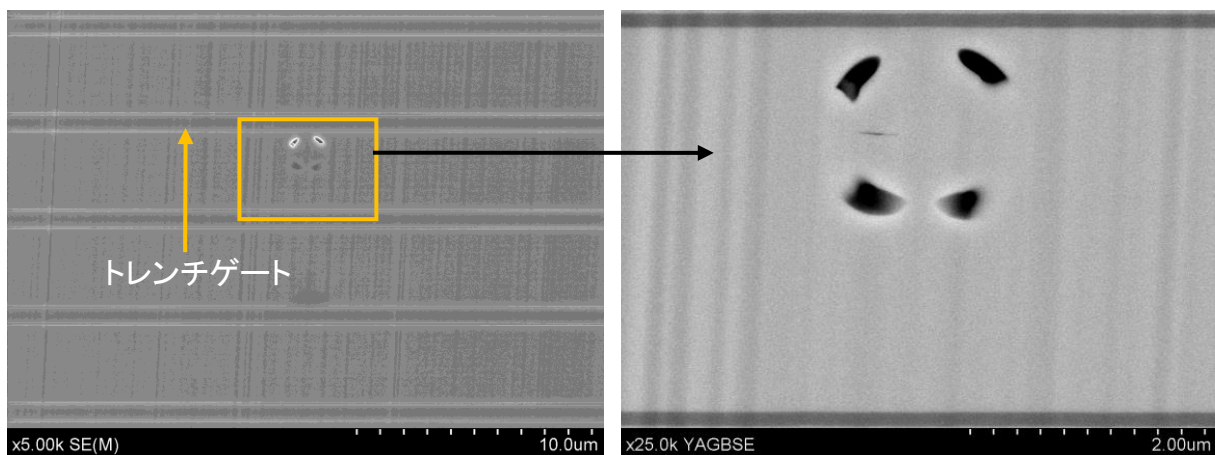


図 2.9 Si-IGBT の SEB 破壊痕 SEM 像 : Si 表面から深さ $1.2\mu\text{m}$ (n^+ エミッタ拡散層下部) における直径 $1.79\mu\text{m}$ の SEB 破壊痕[5]

2.2.2 SiC パワーデバイスの中性子照射破壊痕分析

ゲル封止パッケージした SiC パワーダイオードのカソード-アノード間に、SEB 閾値電圧付近の電圧 1000 V を印加した状態で白色中性子を照射した[6, 7]。図 2.10 にゲル除去後の SEB 破壊痕表面 SEM 像を示す。デバイス表面のアノード電極部にクラウン状の Al 溶融痕が形成されている。これは、急激な温度上昇により溶融した Al がデバイス上方に移動し、周囲への伝熱によって冷却され凝固した結果生じたと考えられる。図 2.11 に SiC パワーダイオードの SEB 破壊痕の断面 SEM 像を示す。ダイオード内部には、直径約 80 μm の範囲で、SiC の昇華によって生じた多数のクラックが観察された。SiC の昇華時に n^- ドリフト領域からデバイス表面方向へ応力が働き、表面 Al 電極が破壊痕中央部で上方へ反ったと考えられる。また、破壊痕中央部には、SiC と Al が溶融凝固して球状になったものが多数確認できる。その直径は約 0.8 μm ~1.8 μm であり、非常に短い時間で溶融凝固したと考えられる。ここで、球状物質の周囲に見える白色のコントラストは、FIB 断面加工時にガリウムが付着したものである。

Al エッチング後、ショットキー電極部のモリブデン表面を SEM 観察した (図 2.12)。デバイス表面方向は 4H-SiC の C 軸であり、SiC の六方晶の結晶構造を反映したクラックが形成されている。また、その中央部には炭素が析出している。さらに、デバイス表面から 3 μm ステップで深さ方向にスライスし、SEB 破壊痕の深さ方向の形状を観察した (図 2.13、図 2.14)。SEM 像から分かるように、デバイス表面に対して軸対象の破壊痕と SiC の六方晶の結晶構造を反映したクラックが形成されており、SiC の昇華時にドリフト領域からデバイス表面側に突き上げるような応力が働いたと考えられる。実体顕微鏡写真では、多数のクラック面間の光の干渉によって、クラック発生範囲が分かり、その範囲は半径約 80 μm である。一方、図 2.14 の n^- ドリフト領域下部では、クラック範囲が小さくなっている。 n^- ドリフト領域で局所的に発生したジュール熱によってデバイス内部が温度上昇する間、 n^- ドリフト領域下部は n^- ドリフト領域から圧縮応力を受けている。それに対し、デバイス表面側で応力が開放されるため、 n^- ドリフト領域内部では、急激なデバイス内部温度の上昇の間、デバイス表面に対して垂直方向の引張応力が生じる。一般的に、引張応力は圧縮応力と比べて、クラックが生じやすい。従って、 n^- ドリフト領域に形成されたクラック範囲は、 n^+ 拡散層に形成されたクラックの範囲よりも大きくなる。以上の結果より、局所的な大電流によって、 n^- ドリフト領域内部のデバイス内部温度が急激に上昇し、SiC が昇華温度に達したと考えられる。

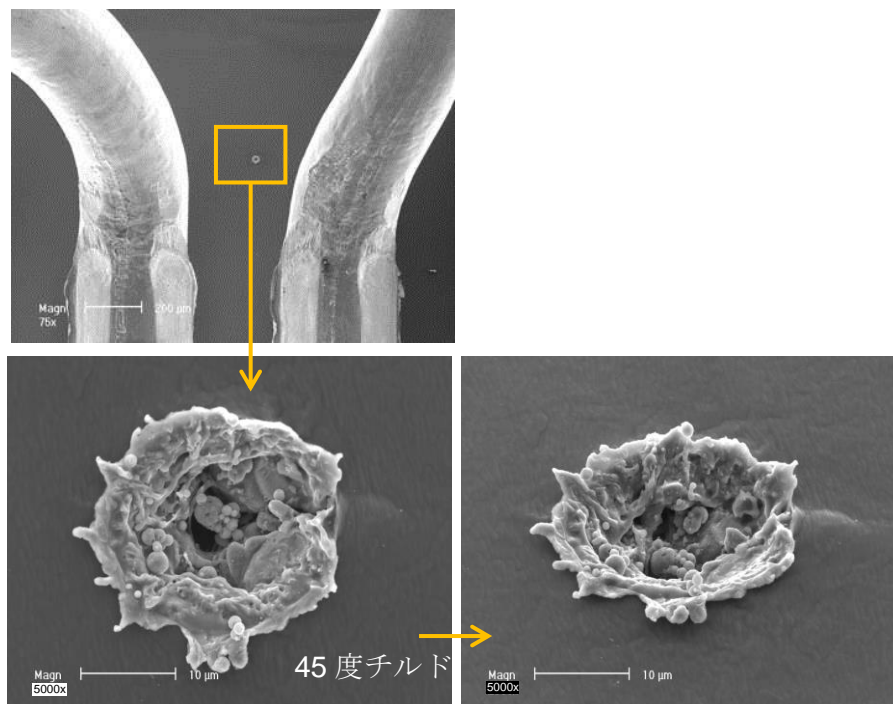


図 2.10 SiC パワーダイオードの SEB 破壊痕表面 SEM 像[6]

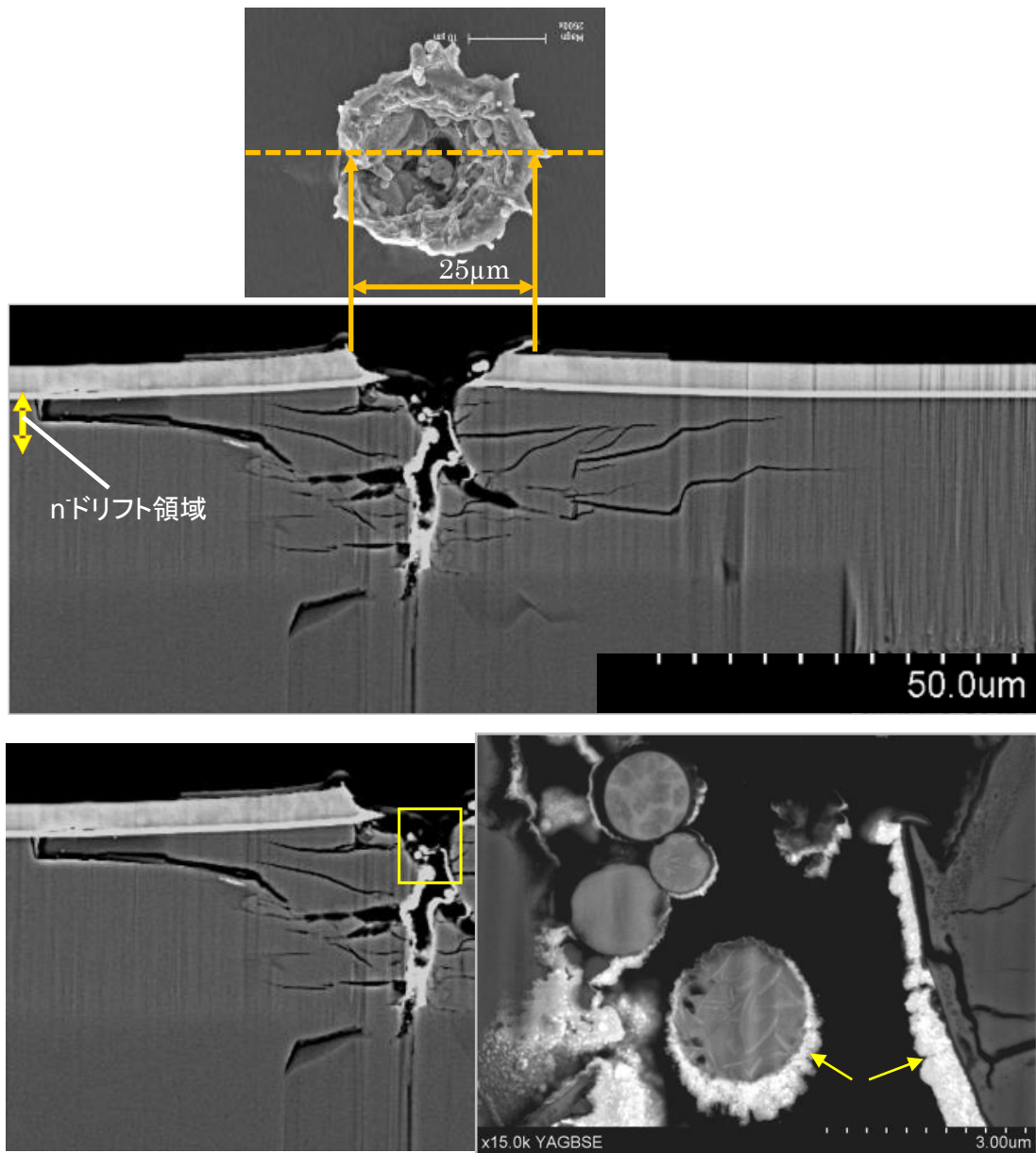


図 2.11 SiC パワーダイオードの SEB 破壊痕の断面 SEM 像[6]

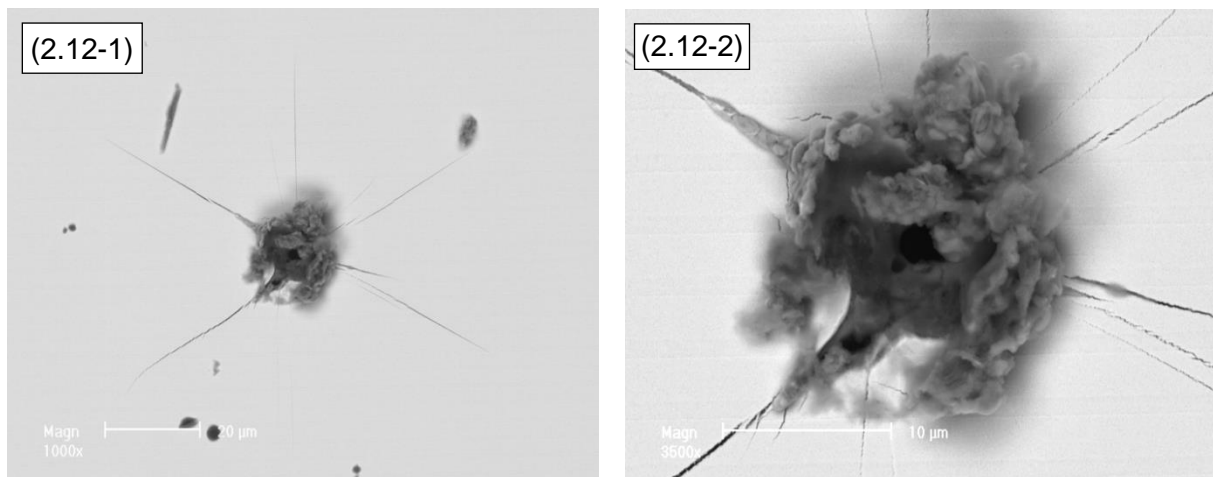


図 2.12 Al 電極除去後 SiC パワーダイオードの SEB 破壊痕 SEM 像[7] :
(2.12-1)全体像と(2.12-2)中央部拡大

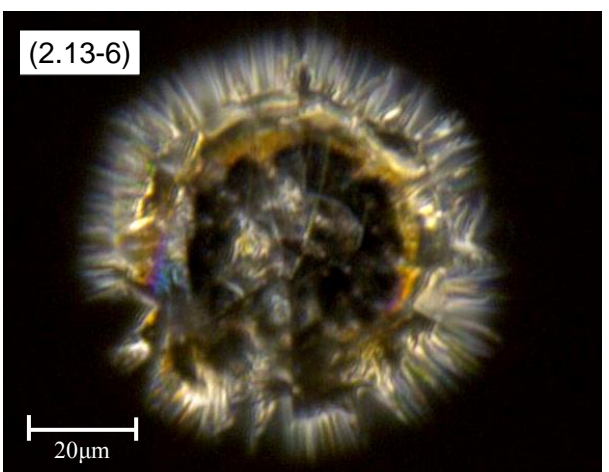
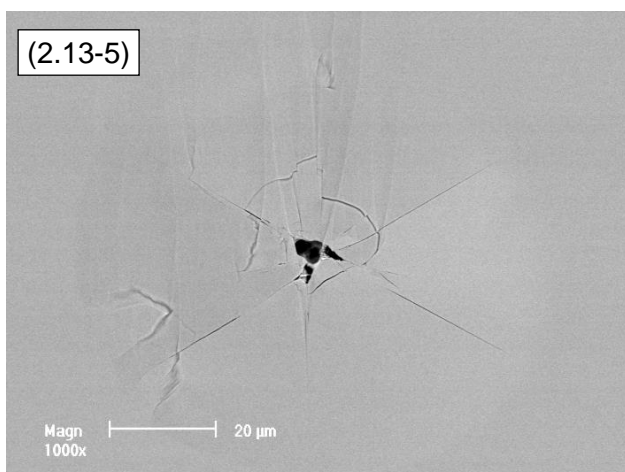
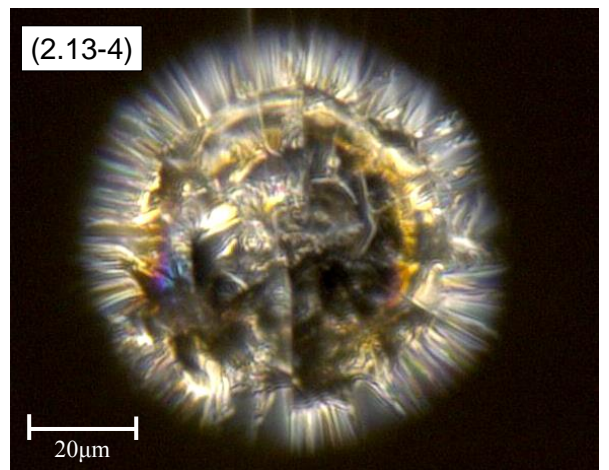
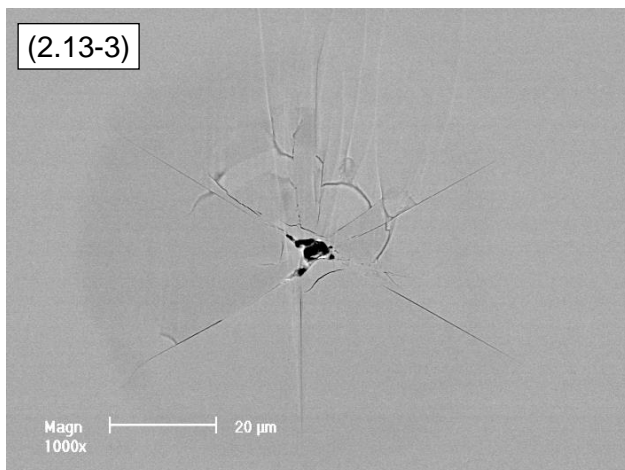
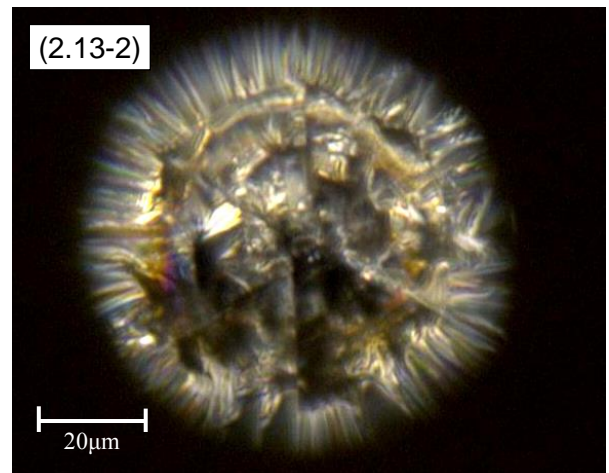
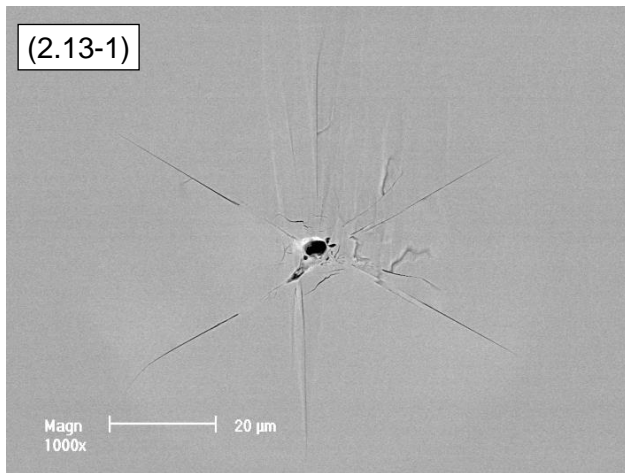


図 2.13 FIB を用いた深さ方向観察(n^+ ドリフト領域内部)[7] :

- (2.13-1) 表面から 3 μm スライス後の SEM 像及び(2.13-2) 実体顕微鏡像
- (2.13-3) 表面から 6 μm スライス後の SEM 像及び(2.13-4) 実体顕微鏡像
- (2.13-5) 表面から 9 μm スライス後の SEM 像及び(2.13-6) 実体顕微鏡像

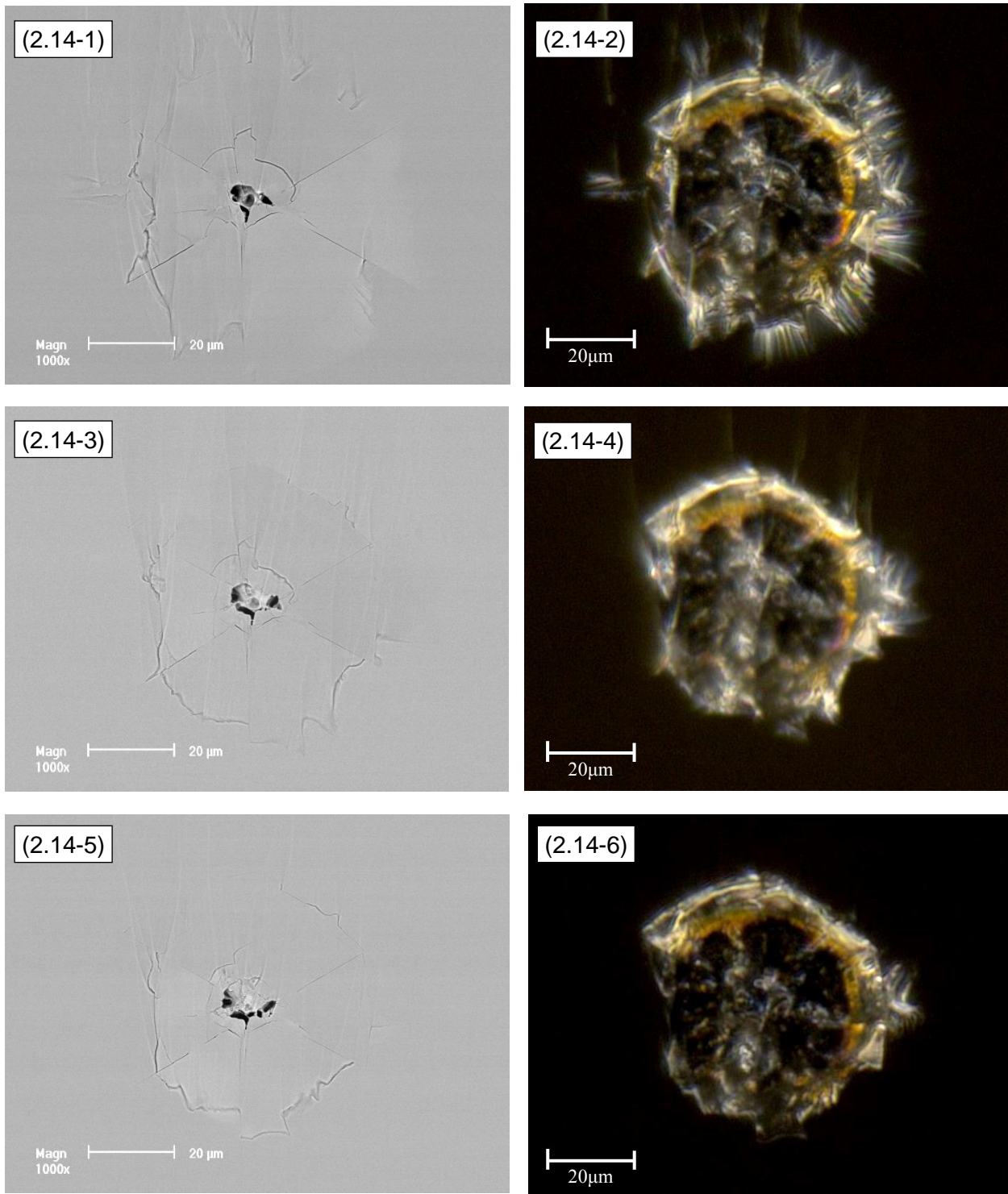


図 2.14 FIB を用いた深さ方向観察(n^- ドリフト領域下部)[7] :

- (2.14-1) 表面から 12 μm スライス後の SEM 像及び(2.14-2) 実体顕微鏡像
- (2.14-3) 表面から 15 μm スライス後の SEM 像及び(2.14-4) 実体顕微鏡像
- (2.14-5) 表面から 18 μm スライス後の SEM 像及び(2.14-6) 実体顕微鏡像

次に、モールド樹脂パッケージされた SiC MOSFET のドレイン-ソース間に、SEB 閾値電圧付近の電圧 1000 V を印加した状態で白色中性子を照射した[8]。図 2.15 にモールド樹脂開封後の SEB 破壊痕 SEM 像を示す。パッシベーションはポリイミドで形成されており、直径約 29 μm の範囲のポリイミドが貝殻状に押し上げられ、その中央部に直径約 2.6 μm の SEB 破壊による空洞がある。SEB 破壊時に SiC が昇華し、デバイス上方に向かって突上げる応力が働いたと考えられる。また、モールド樹脂で塞がれた状態で SEB 破壊したため、チップ状態で白色中性子照射実験をした際に SiC ダイオードで観察されたクラウン状の Al 電極の熔融痕は形成されなかった。

図 2.16 に破壊痕の断面 SEM 像を示す。SiC パワーダイオードの破壊痕にも見られたようなドリフト領域内部のクラックが最大 92 μm 程度の範囲で形成されている。すなわち、図 2.17 にその拡大写真を示すが、熔融部分がドリフト領域に集中しており、電界がかかるドリフト領域で発熱した事が分かる。

図 2.18 と図 2.19 に SEB 破壊痕をデバイス表面から 3 μm ステップで深さ 21 μm までスライスし、SEM 及び実体顕微鏡観察した。SEB 破壊痕はデバイス表面側から見て軸対称の形状をしており、SiC 結晶を反映した角度で破壊痕中央部から放射状にクラックが入っている。これは、SiC パワーダイオードと同様である。即ち、ジュール熱が発生するドリフト領域で SiC の昇華温度に達し、デバイス上下方向に働く応力によって多数のクラックが生じたと考えられる。

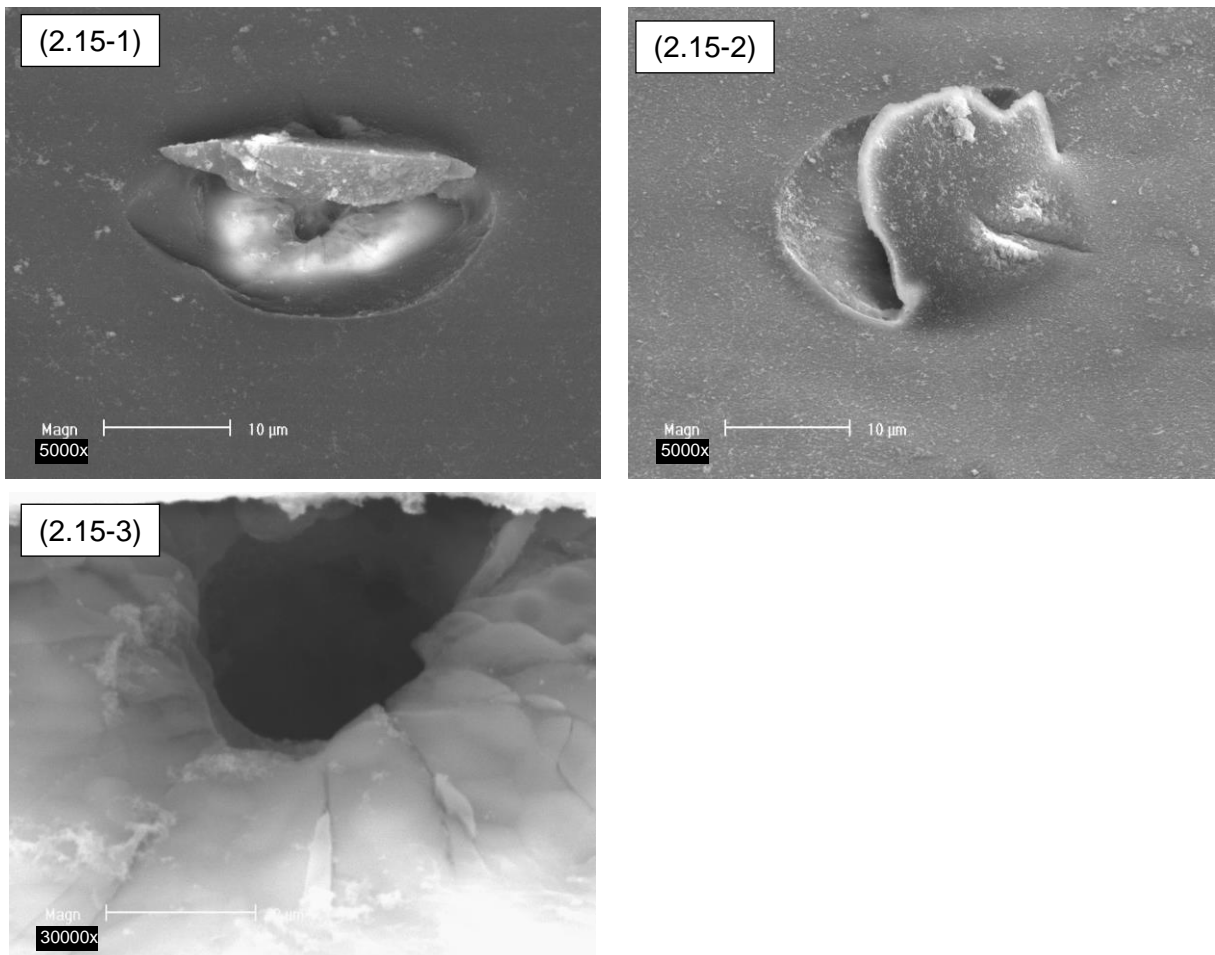


図 2.15 SiC MOSFET の SEB 破壊痕表面 SEM 像（モールド樹脂パッケージ開封後観察。表面はポリイミドパッシベーション。） [8] :

(2.15-1) デバイス表面に対し 45 度チルドして観察した直径約 29 μm の貝殻状破壊痕

(2.15-2) デバイスを 90 度回転しデバイス表面に対し 45 度チルドして観察

(2.15-3) (2.15-1)と同一方向より観察した中央部空洞が直径約 2.6 μm の SEB 破壊痕拡大写真

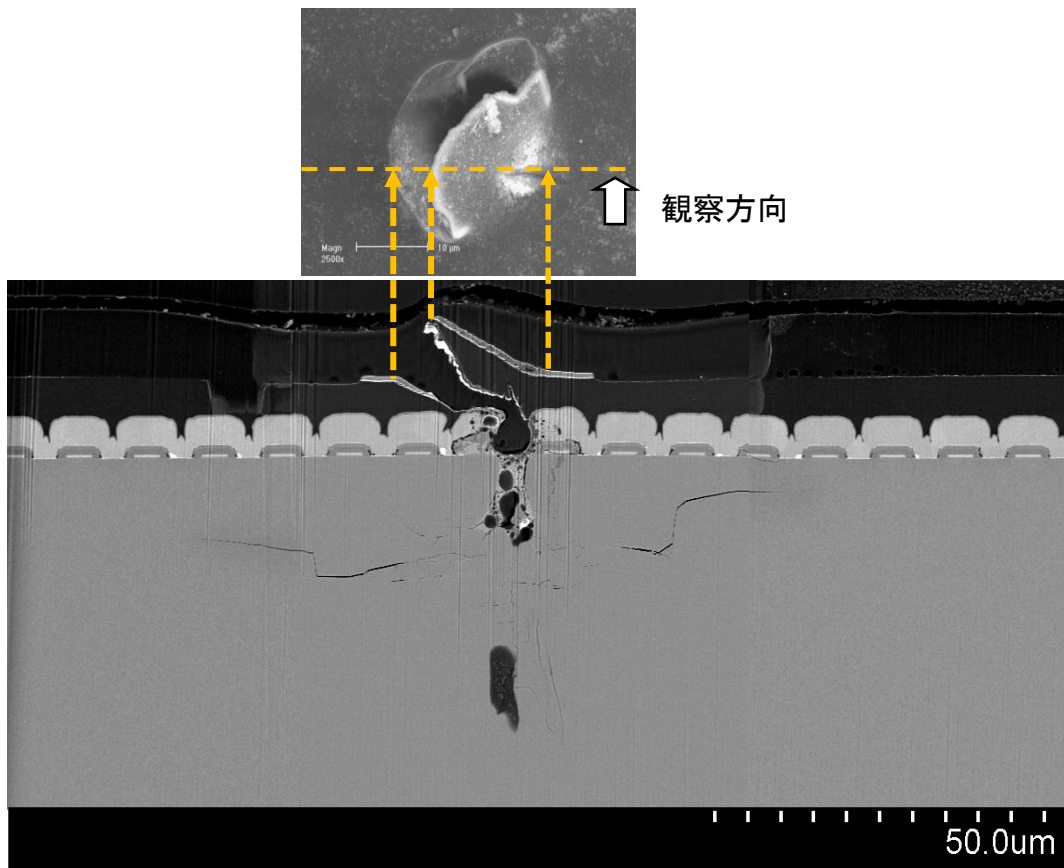


図 2.16 SiC MOSFET の SEB 破壊痕断面 SEM 像[8]

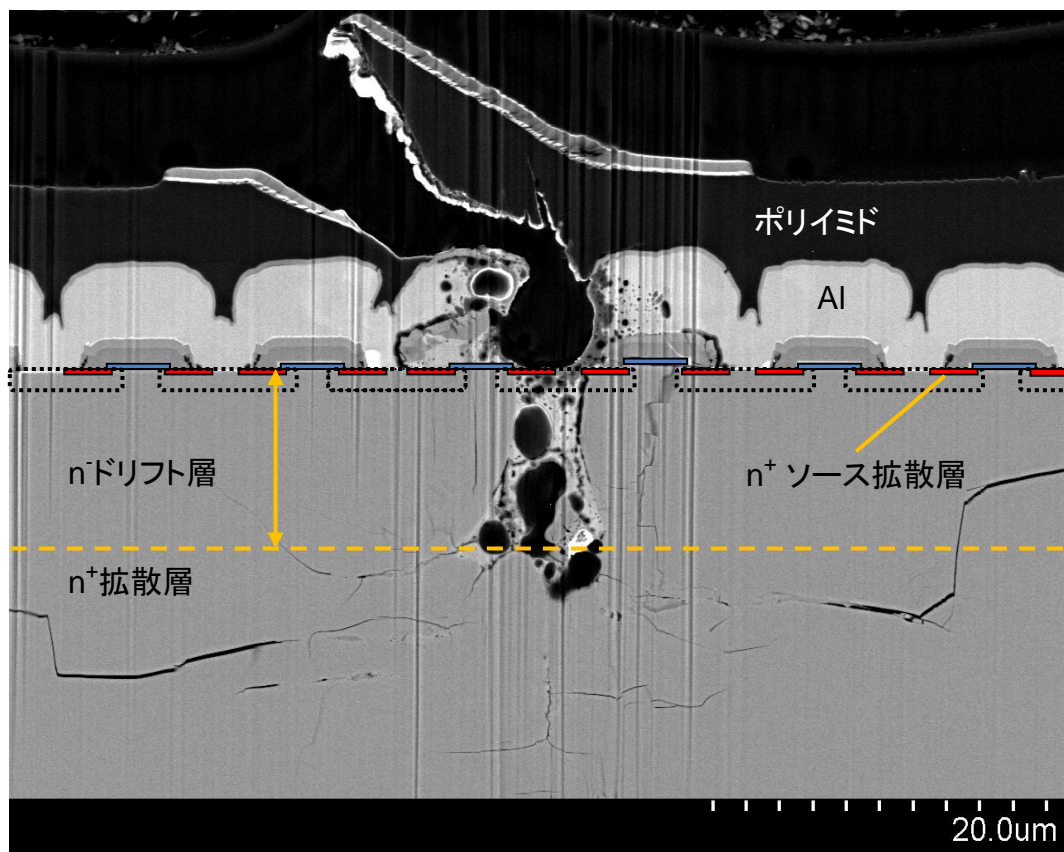


図 2.17 SiC MOSFET の SEB 破壊痕断面 SEM 像と不純物ドーピング領域[8]

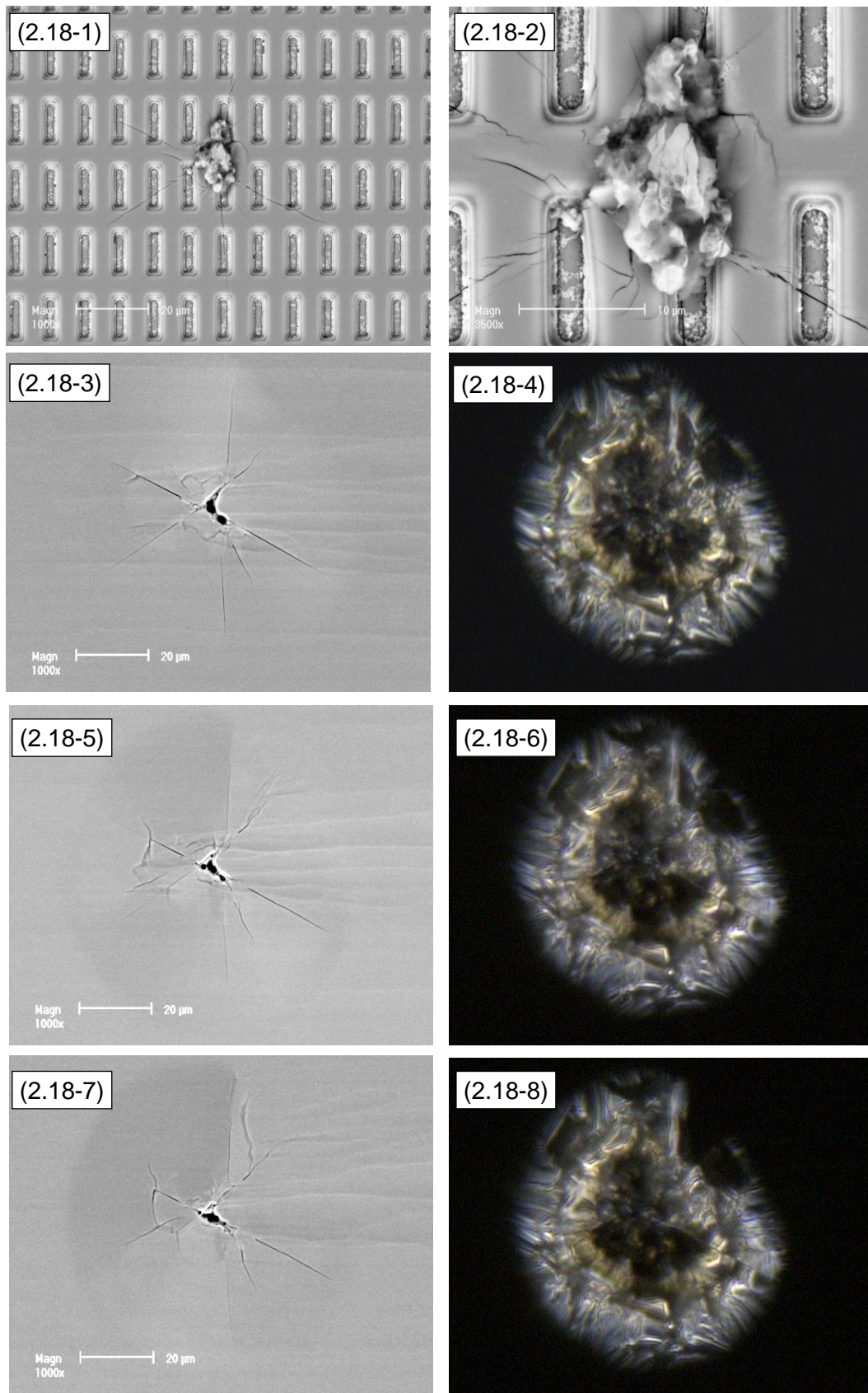


図 2.18 SiC MOSFET の SEB 破壊痕深さ方向観察(n^- ドリフト領域内部) [8] :

(2.18-1) Al 電極剥離後 SEM 像及び(2.18-2)中央部拡大

(2.18-3) 表面から 3 μm スライス後の SEM 像及び(2.18-4) 実態顕微鏡像

(2.18-5) 表面から 6 μm スライス後の SEM 像及び(2.18-6) 実態顕微鏡像

(2.18-7) 表面から 9 μm スライス後の SEM 像及び(2.18-8) 実態顕微鏡像

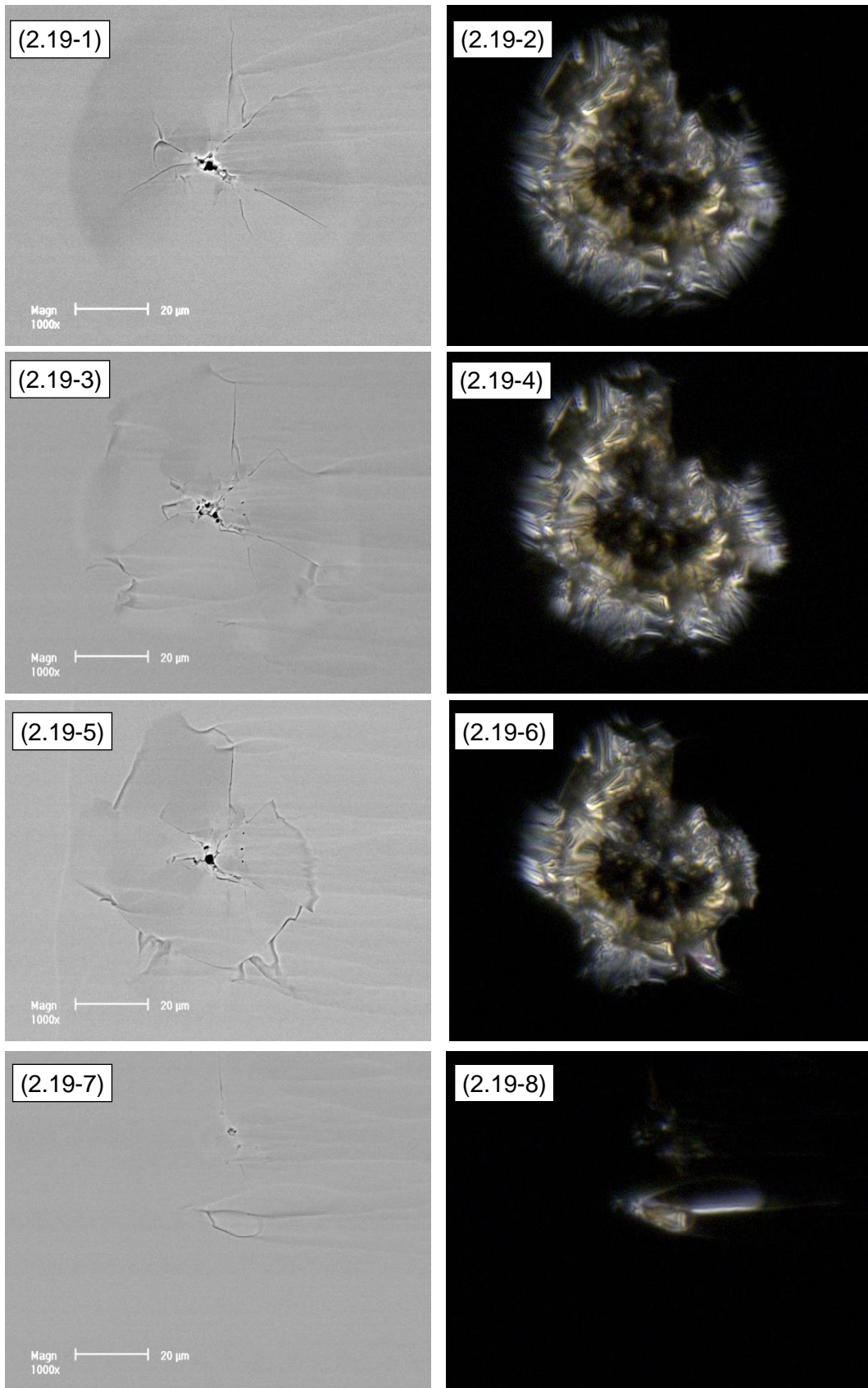


図 2.19 SiC MOSFET の SEB 破壊痕深さ方向観察(n^- ドリフト領域下部) [8] :
 (2.19-1) 表面から 12 μm スライス後の SEM 像及び(2.19-2) 実態顕微鏡像
 (2.19-3) 表面から 15 μm スライス後の SEM 像及び(2.19-4) 実態顕微鏡像
 (2.19-5) 表面から 18 μm スライス後の SEM 像及び(2.19-6) 実態顕微鏡像
 (2.19-7) 表面から 21 μm スライス後の SEM 像及び(2.19-8) 実態顕微鏡像

2.3 デバイスシミュレーションによる SEB 破壊メカニズム解析

2.3.1 Si パワーデバイスの SEB 破壊メカニズム

この章では Si パワーデバイスの SEB 破壊トリガメカニズムについて、デバイスシミュレーション解析結果を述べる。デバイスシミュレーターは SYNOPSYS 社の Technology Computer-Aided Design (TCAD) SENTAURUS を用いた。デバイスに入射した中性子が Si と核反応し、生成された重イオンの軌跡に沿って発生した電子正孔対を、電圧印加したデバイスのドリフト領域に記述した。また、電界がかかっている空乏層内部で電子-正孔対が発生する場合は、ドリフト電流が流れるため SEB 破壊し易い。重イオンの入射経路は様々な方向が考えられるが、ここでは一例として、デバイス表面から垂直な経路でドリフト領域内部に重イオンが侵入した場合を想定した。

まず、Si IGBT に対する SEB 破壊メカニズムのシミュレーション解析結果について述べる[9]。シミュレーションデバイス構造を図 2.20 に示す。ここで、IGBT の幅は $132\ \mu\text{m}$ とした。図 2.21 にコレクタ電流のデバイス印加電圧依存性のシミュレーション結果を示す。より高いデバイス印加電圧ほど、より大きな電流が流れている事が分かる。これは、より高い電圧ほど SEB 破壊しやすい事を示している。即ち、このシミュレーション結果は、コレクタ電圧が高いほど故障率が増加するという実験結果 (図 2.3) を支持する。

SEB 破壊のトリガー過程について、図 2.21 に示した 3 つの領域 (Phase 1、Phase 2、Phase 3) 分けて説明する。図 2.21 の時間 t_2 に示した最初の電流ピークは、反跳イオンに沿って初期に生成された電子正孔対が、空乏層領域の電界によって掃き出された電流である。この反跳イオンによる生成電荷が掃き出される過程が、Phase 1 である。

また、図 2.22 に反跳イオンに沿った電界分布を示すように、反跳イオンによって発生した電子-正孔対が掃き出される過程で、ピーク電界強度が n^- ドリフト/ p^- body から裏面側 n^-/n^+ 界面へ移動し、ハンモック型電界分布となる (図 2.21 時間 t_2)。この電界分布の変化は、局所的な大電流によって n^-/n^+ 界面近傍が電子過多となる事によって引き起される。その結果、ポテンシャル分布は漏斗状となり、図 2.20 に示す寄生 pnp トランジスタ (p^- body/ n^- drift/ p^+ collector) のベース中性領域に、 n^-/n^+ 界面におけるインパクトイオン化によって生成された電子が注入され、局所的に寄生 pnp トランジスタ動作する (図 2.23 - 2.25)。寄生 pnp トランジスタ動作によって、デバイス裏面側の IGBT のコレクタから n^- ドリフト領域にホールが注入される (図 2.24 - 2.26)。図 2.21 に示す Phase 2 は寄生 pnp トランジスタが動作する過程である。

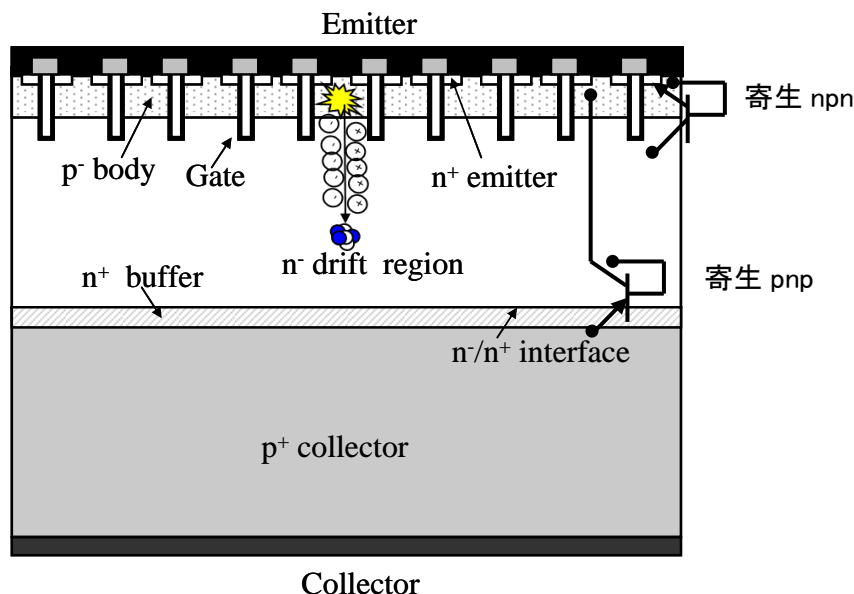


図 2.20 Si IGBT シミュレーションデバイス構造[9]

図 2.27 にインパクトイオン化モデル有無に対する SEB 電流のシミュレーション結果を示す。インパクトイオン化モデルを考慮しない場合、 n^-/n^+ 界面でのインパクトイオン化が起こらない。そのため、ベース中性領域に電子が注入されず、寄生 pnp トランジスタは動作しない。即ち、反跳イオンによって初期に生成されたキャリアだけでは、寄生 pnp は動作せず破壊する事はない。この寄生 pnp トランジスタが動作するには、 n^-/n^+ 界面におけるインパクトイオン化が重要である。

図 2.28 に示すように、図 2.21 の Phase 3 では、寄生 npn トランジスタ (n^- drift/ p body/ n^+ emitter) が動作し、デバイス表面側から電子が注入される過程である。時刻 t_5 で n^-/n^+ 界面にインパクトイオン化が発生していたが、寄生 npn 動作によってデバイス表面から電子が注入されると、 n^-/n^+ 界面でのインパクトイオン化が弱まるため、一時的に SEB 電流が減少する (図 2.21 Phase 3, 図 2.29, 2.30)。最終的に図 2.20 に示した寄生サイリスタ (p^+ collector/ n^- drift/ p body/ n^+ emitter) が動作し、SEB 電流が正帰還を引き起こし破壊に至る。

また、デバイス印加電圧が低い場合には、中性ベース幅が広がるため寄生 pnp トランジスタの電流増幅率が減少し、裏面から注入される正孔が少なくなるため破壊しにくくなる (図 2.21)。即ち、SEB 破壊がデバイス印加電圧依存性を持つ事が分かる。これは、SEB 故障率が印加電圧を下げると急激に減少し、ある閾値電圧以下では破壊しないという図 2.3 の実験事実と対応する。

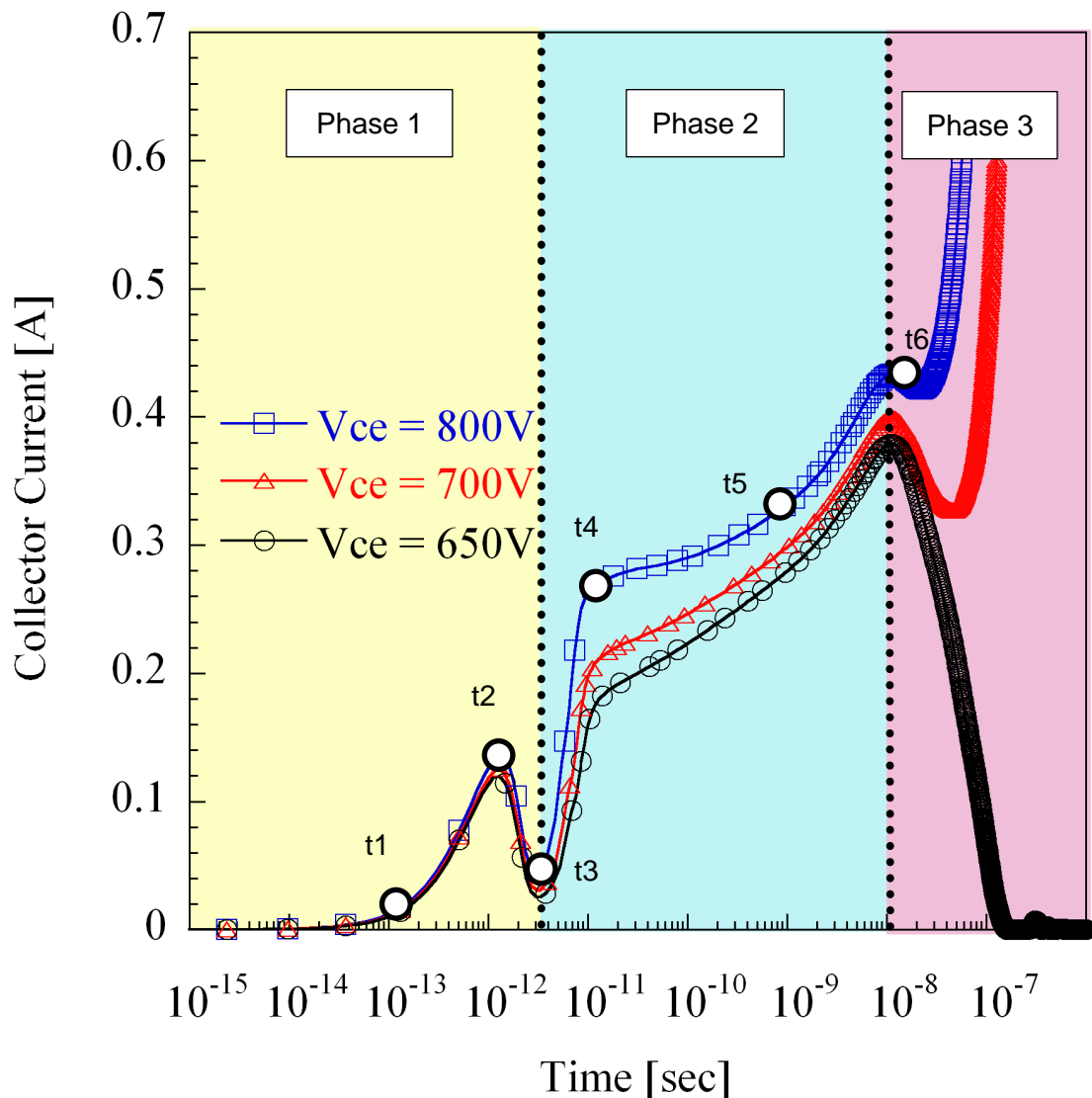


図 2.21 Si-IGBT の SEB 電流のデバイス印加電圧依存性シミュレーション波形[9]

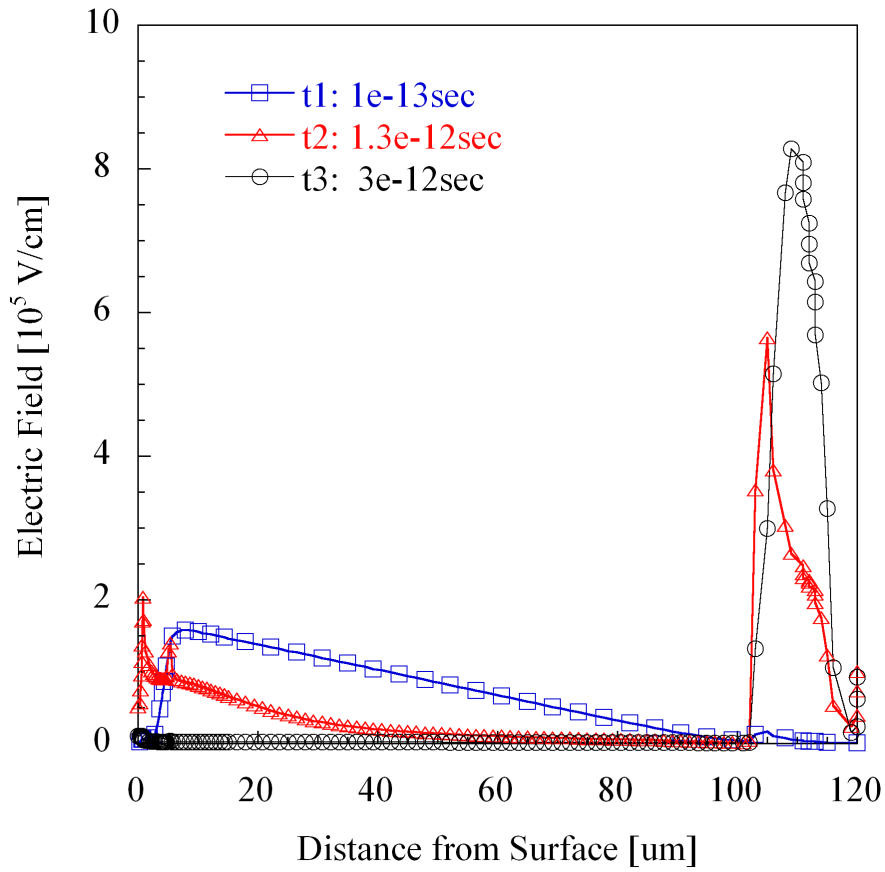


図 2.22 反跳イオンに沿った電界分布[9]

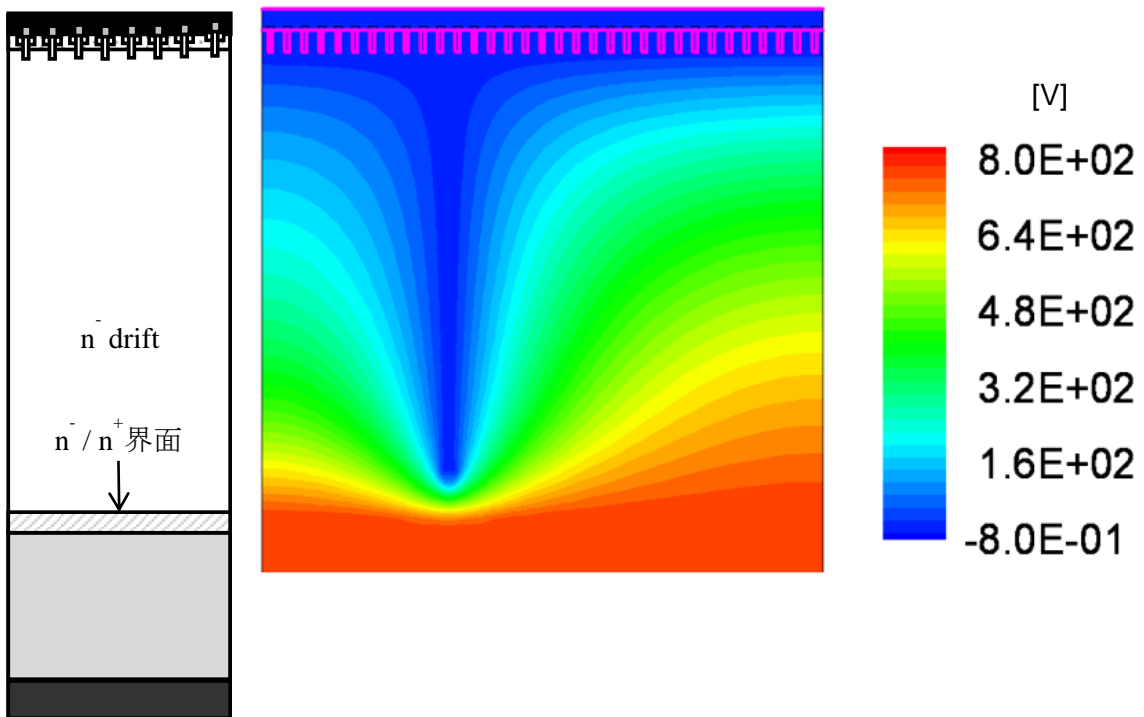


図 2.23 時刻 t_3 ($3 \times 10^{-12} \text{ s}$) における電位[V] [9]

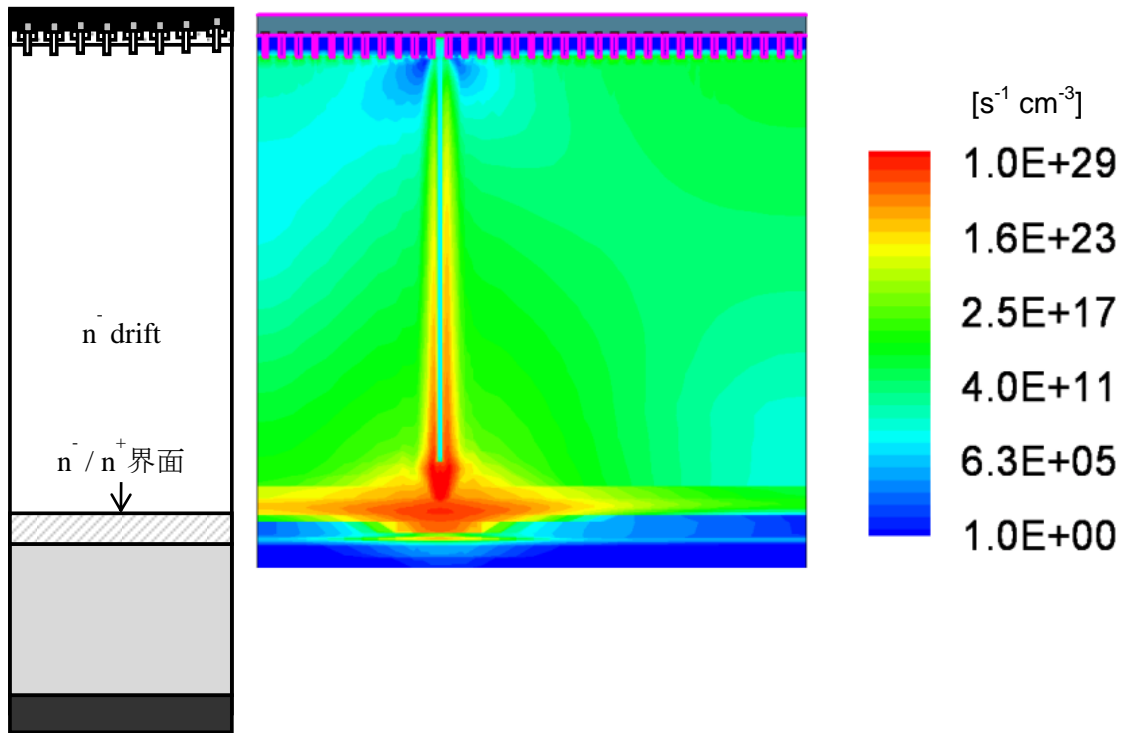


図 2.24 時刻 t_3 (3×10^{-12} s) におけるインパクトイオン化率[s⁻¹ cm⁻³] [9]

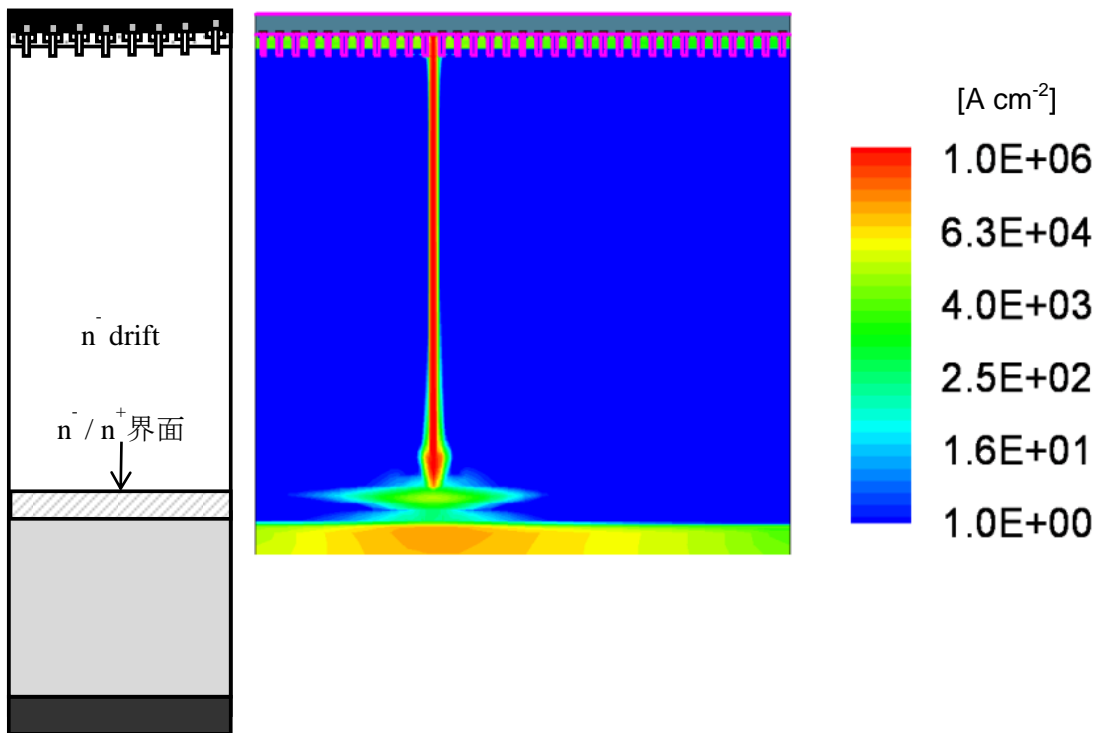


図 2.25 時刻 t_3 (3×10^{-12} s) におけるホール電流密度[A cm⁻²] [9]

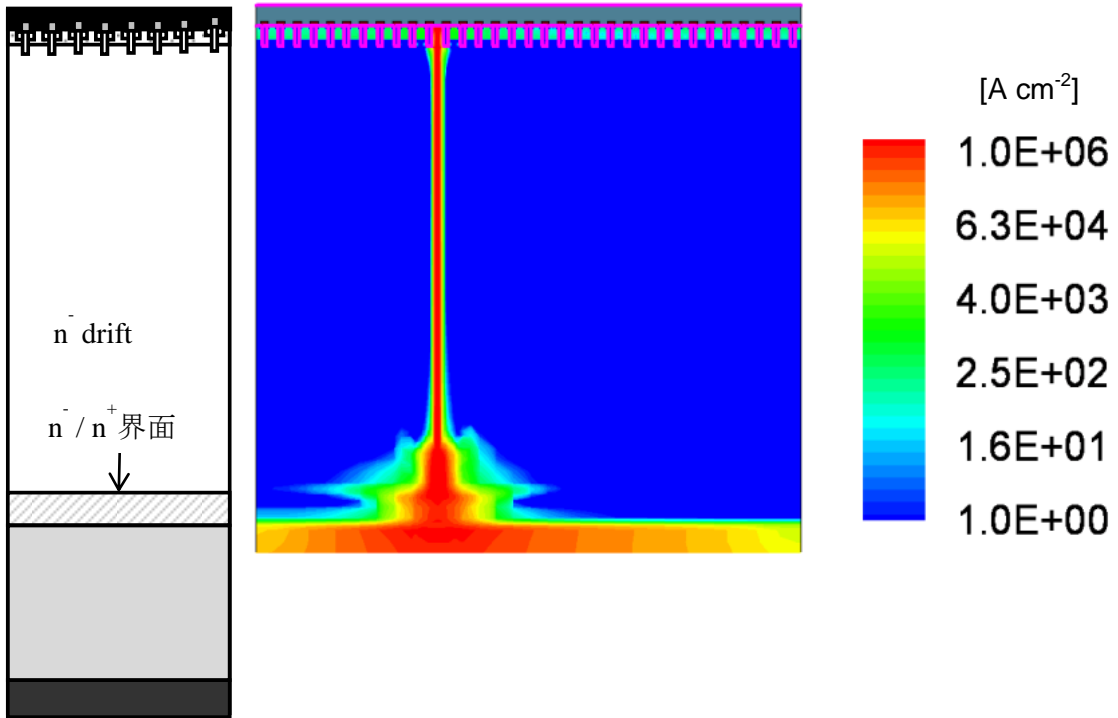


図 2.26 時刻 t_4 (1.2×10^{-11} s) におけるホール電流密度[A cm⁻²] [9]

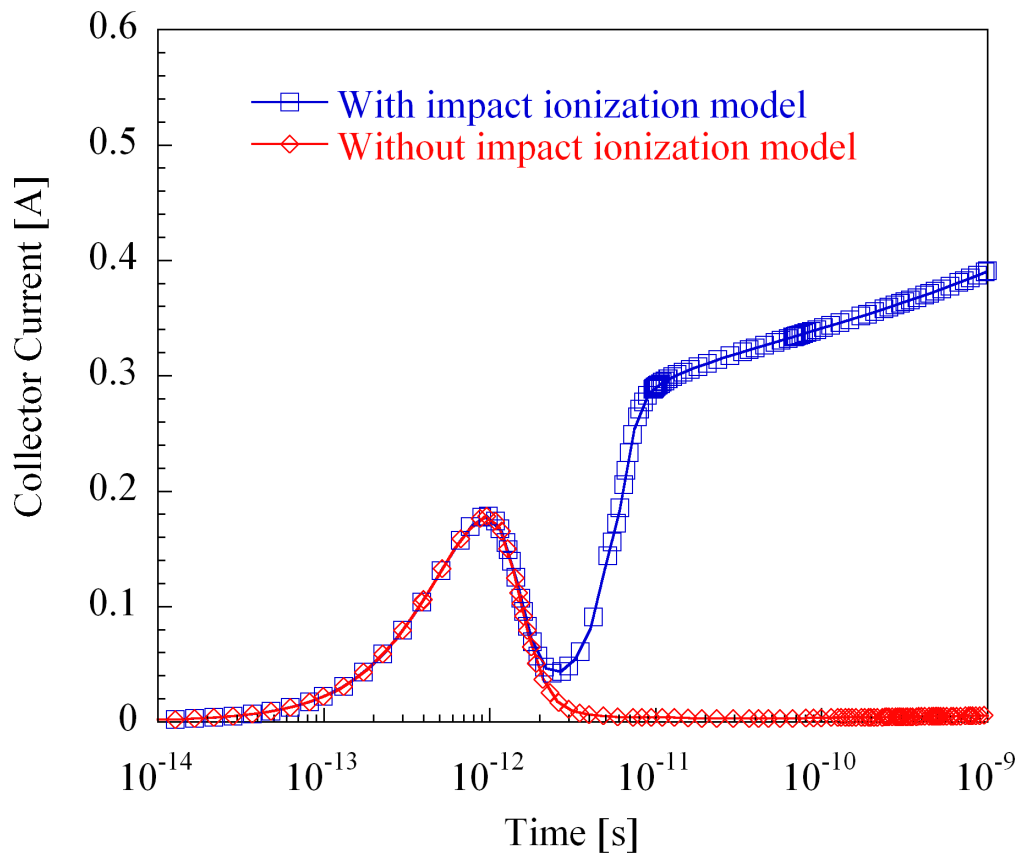


図 2.27 インパクトイオン化モデル有無による SEB 電流のシミュレーション結果[9]

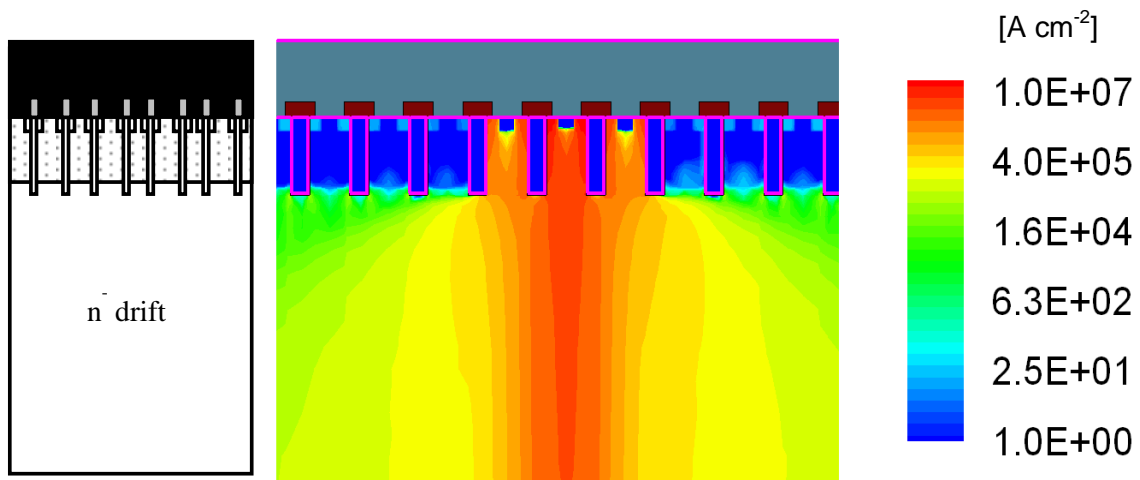


図 2.28 時刻 $t_6 (1.06 \times 10^{-8} \text{ s})$ における電子電流密度 $[\text{A cm}^{-2}]$ [9]

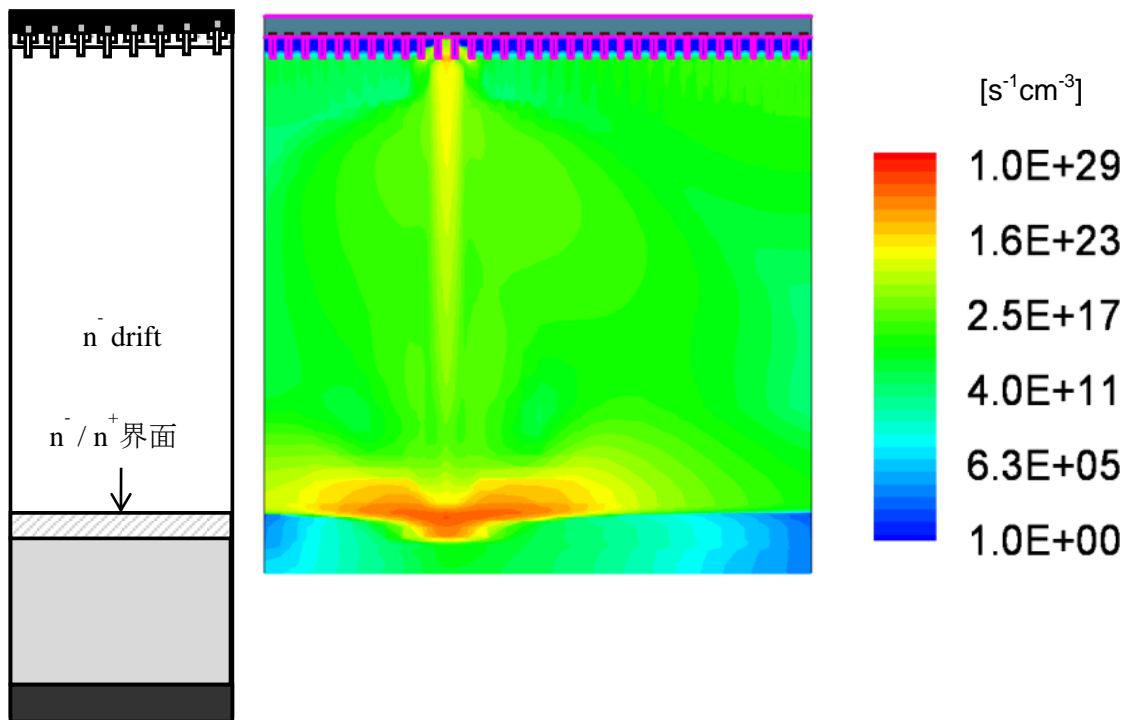


図 2.29 時刻 $t_5 (1 \times 10^{-9} \text{ s})$ におけるインパクトイオン化率 $[\text{s}^{-1} \text{cm}^{-3}]$ [9]

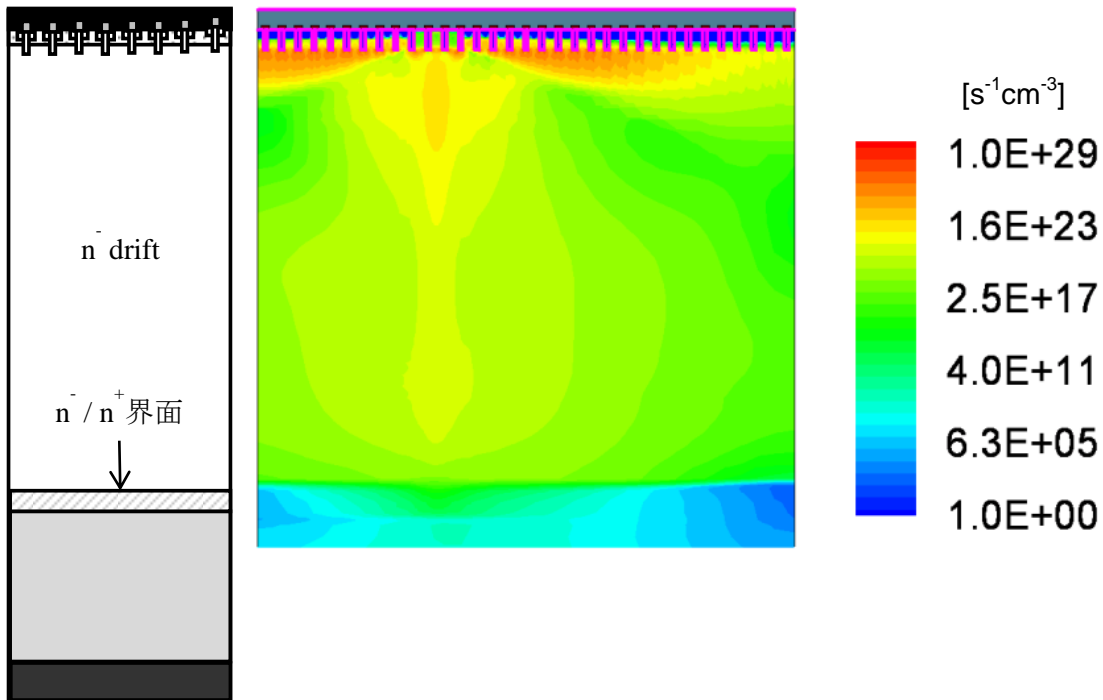


図 2.30 時刻 $t_6 (1.06 \times 10^{-8} \text{ s})$ におけるインパクトイオン化率 $[\text{s}^{-1}\text{cm}^{-3}]$ [9]

次に、Si ダイオードの SEB 破壊メカニズムに対するデバイスシミュレーション解析結果について述べる[3]。図 2.31 にシミュレーションデバイス構造を示す。IGBT とは異なり、ダイオードには寄生トランジスタが存在しない。そこで、ダイオードの二次降伏と破壊との関係を解析するため、大電流領域の静耐圧特性シミュレーションと各電流密度におけるデバイス深さ方向電界分布を解析した (図 2.32 - 2.34)。

図 2.32 から分かるように、ダイオードの静特性はその電流密度によって、アバランシェブレイクダウン、負性抵抗領域 (Negative differential resistance region: NDR 領域)、正抵抗領域 (Positive differential resistance region: PDR 領域) に分類される。それぞれの領域の代表的な点を、図 2.32 に 1、2、3 と示した。

図 2.32 に示した点におけるデバイス深さ方向の電界分布を図 2.33 と図 2.34 に示す。アバランシェブレイクダウン領域の点 1 における電界強度のピークは、 p/n^- ジャンクションにある。一方、NDR 領域の点 2 では、電界強度のピークが p/n^- ジャンクションと n^-/n^+ 界面の両側にあり、電界強度のデバイス深さ方向分布はハンモック型となる。この時、 p/n^- ジャンクションと n^-/n^+ 界面の両サイドでインパクトイオン化が起こる。PDR 領域の点 3 では、図 2.34 で示すように表面側アノードコンタクトの p^+ 拡散層に電界がパンチスルーし、抵抗体のように振舞う。ここで、図 2.33 の電界分布において、電流密度増加と共により深い位置に移動しているのは、裏面カソード側の n^+ 拡散濃度勾配 dn/dx が緩やかな場合、過剰キャリアの増加と共により深い位置に移動する。

これは、デバイス内部の空間電荷分布の変化によって生じ、電界強度のデバイス深さ方向の位置に対する微分は、次の一次元ポアソン方程式によって表される。

$$\frac{dE}{dx} = \frac{q}{\epsilon} N_{eff} = \frac{q}{\epsilon} (N_D + p - n) \quad (2.3.1)$$

ここで、 E は電界強度、 N_{eff} は有効電荷、 p はホール濃度、 n は電子濃度を示す。この式は、電子濃度 n の増加によって、 dE/dx が負になる事を意味する。即ち、反跳イオンによって発生した電子

正孔対の電子が電界によって加速されて、 n^- ドリフト領域内部における n^-/n^+ 界面付近の電子濃度が増加するため、 n^-/n^+ 界面の電界強度が増加する。従って、 n^-/n^+ 界面付近の電子濃度の増加をきっかけとして、NDR 領域から PDR 領域に移り、最終的に抵抗体のように振舞うため破壊に至ると考えられる。

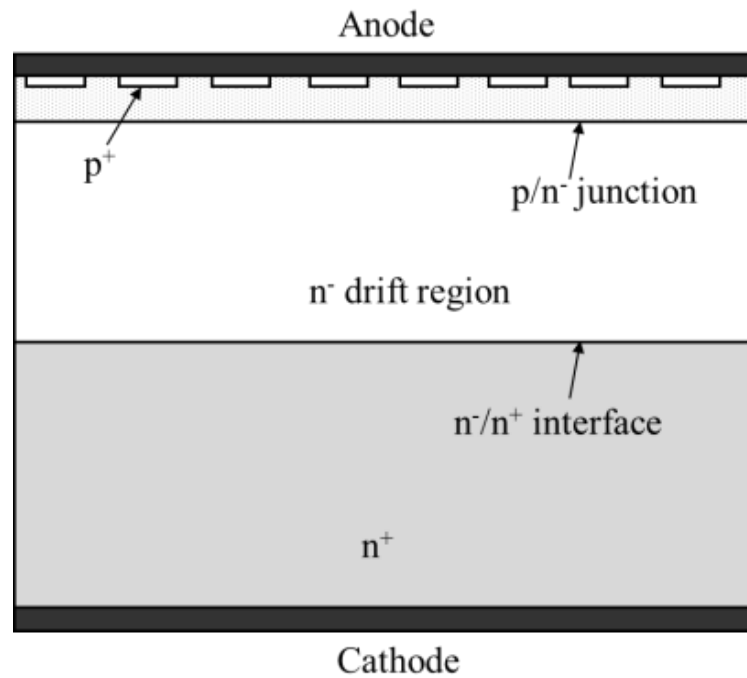


図 2.31 Si ダイオードデバイス構造 [3]

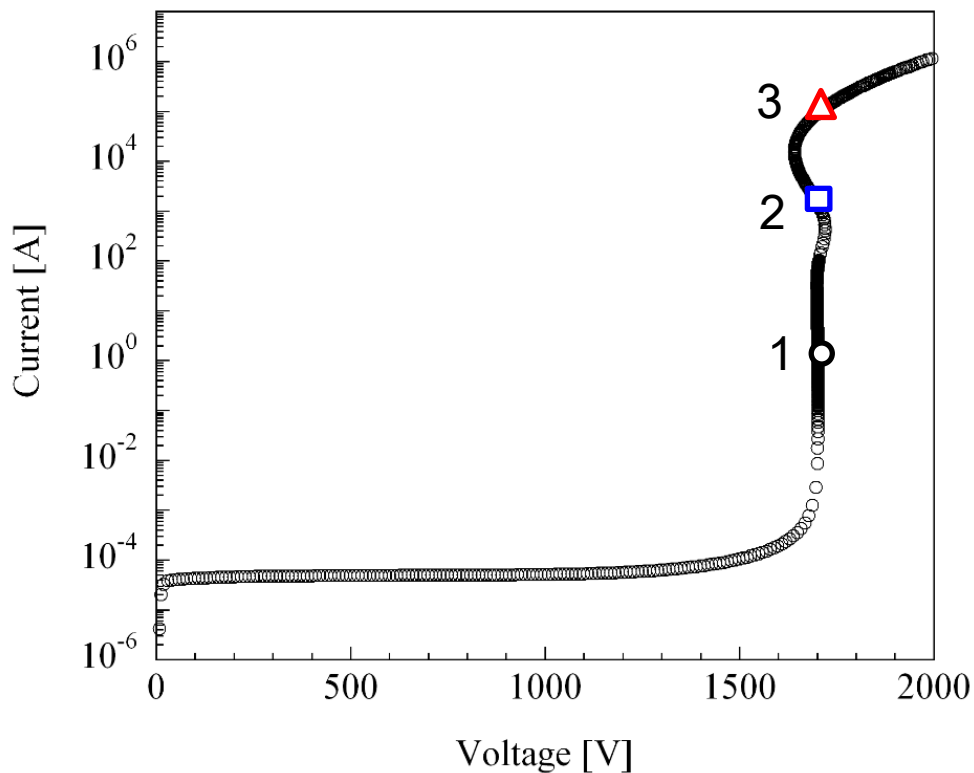


図 2.32 Si ダイオードの静特性シミュレーション結果[3]

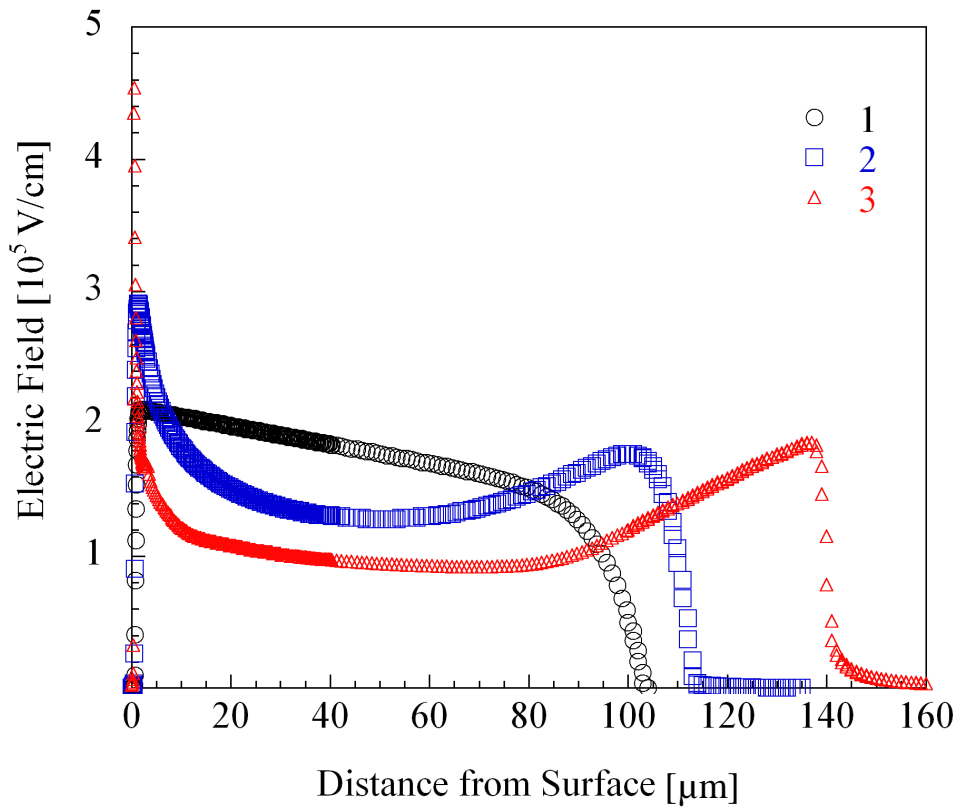


図 2.33 図 2.32 に示した点におけるデバイス深さ方向の電界分布[3]

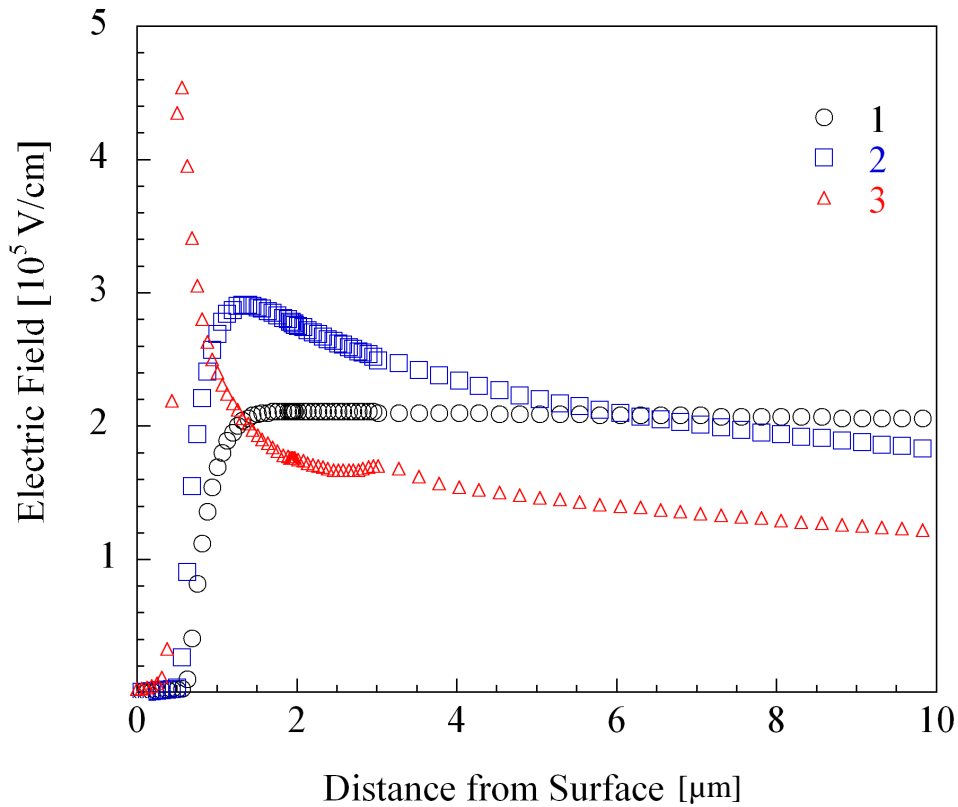


図 2.34 図 2.25 に示した点におけるデバイス深さ方向電界分布のデバイス表面側拡大[3]

Si ダイオードに対する SEB 破壊のトリガー解析のため、図 2.3 に示した Si ダイオードの過渡熱デバイスシミュレーション解析を行った。過渡熱デバイスシミュレーションでは、ポアソン方程式、電流密度及び電流連続の式に加えて熱伝導方程式を連成させる事によって、ジュール熱によるデバイス内部の温度上昇を計算した。また、中性子とデバイス構成原子である Si との核反応によって生じた重イオンが通過した軌跡に沿って電子-正孔対が発生するが、シミュレーションではこの電子-正孔対の分布をデバイス表面に対して垂直に記述した。空乏層内部で発生した電子-正孔対は大きなドリフト電流として流れるため、SEB 破壊に対して最も厳しい空乏層内部で重イオンが静止する場合を想定した。

カソード-アノード間に、SEB 閾値電圧である 1050V を印加した状態シミュレーションを行った。図 2.35 にインパクトイオン化モデルの有無による Si ダイオード SEB 電流のシミュレーション比較結果を示す。最初の電流ピークは、反跳イオンの軌跡に沿って初期に生成された電子正孔対が、空乏層領域の電界によって加速されて掃き出された電流である。また、インパクトイオン化モデルを考慮していない場合、電流は最終的に増加せず、デバイスは破壊しない。即ち、電流誘起アバランシェ (Current Induced Avalanche (CIA)) がパワーダイオードの SEB トリガーマカニズムに対するキーポイントである。

図 2.36 は、図 2.35 に示した時間における反跳イオンの軌跡に沿った電界分布を示している。時刻 t_1 における電界分布は p/n ジャンクションでピークを持つ。一方、時刻 t_2 及び t_3 では、p/n ジャンクションと n/n⁺ 界面の両方でピークを持つ。

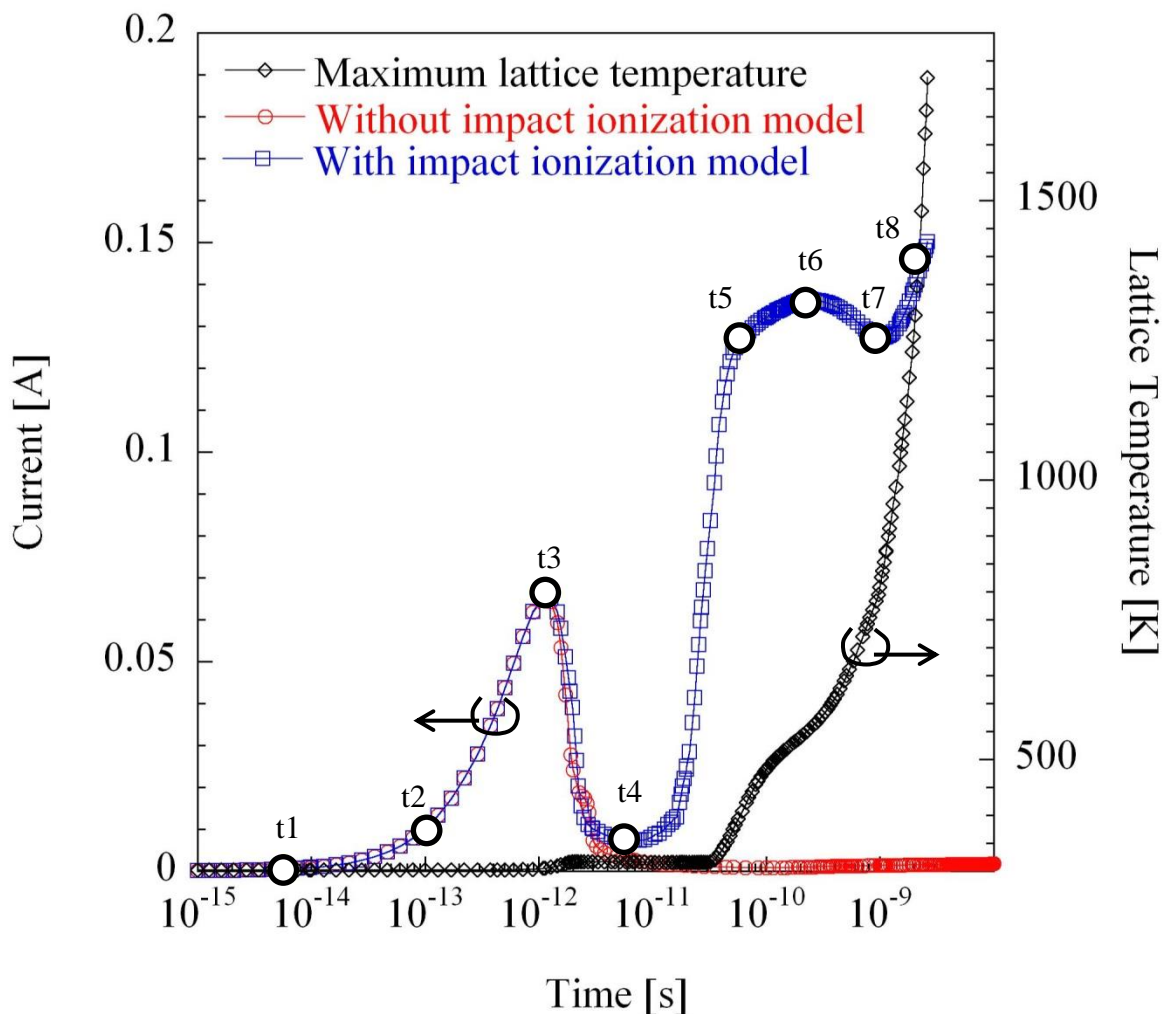


図 2.35 Si ダイオードのインパクトイオン化モデル有無による SEB 電流シミュレーション結果[3] これは、反跳イオンに沿って生成された電子正孔対が電界によって加速されて電子が移動し、 n/n^+ 界面付近の電子濃度が増加する事によって生じる。このハンモック型電界分布は図 2.32 の NDR 領域に対応している。また、図 2.36 から分かるように、時刻 t_3 では、アノード側電界のパンチスルーが起こっている。これは、図 2.32–2.34 に示した静特性における PDR 領域に対応しており、ダイオードが局所的に抵抗体として振舞っている事が分かる。

時刻 t_4 では、ピーク電界が n/n^+ 界面に移動し、ポテンシャル分布が漏斗状になる (図 2.37)。また、図 2.35 に示す時刻 t_4 から t_8 における電界とインパクトイオン化分布を図 2.38–2.42 に示すように、時刻 t_5 及び t_6 では、ピーク電界が n/n^+ 界面と n^+ 拡散内部の深い位置で発生する。時刻 t_7 では n/n^+ 界面の電界が弱まる為、一時的に SEB 電流も減少する。最終的に、アノード側 p^+ 拡散層付近でデバイス内部温度が最大になってデバイス破壊に至る (図 2.43)。このデバイス内部温度が最大になる位置は、ホール電流が分岐して p^+ 拡散層に流れ込む位置であり、図 2.5 の破壊痕 SEM 写真で示した 2 つの破壊痕の位置と一致する。以上のシミュレーション結果より、Si ダイオードの SEB 破壊は、反跳イオンによって生じた電子-正孔対による電流が CIA を引き起こし、局所的に二次降伏を引き起す熱破壊に到る現象であると考えられる。

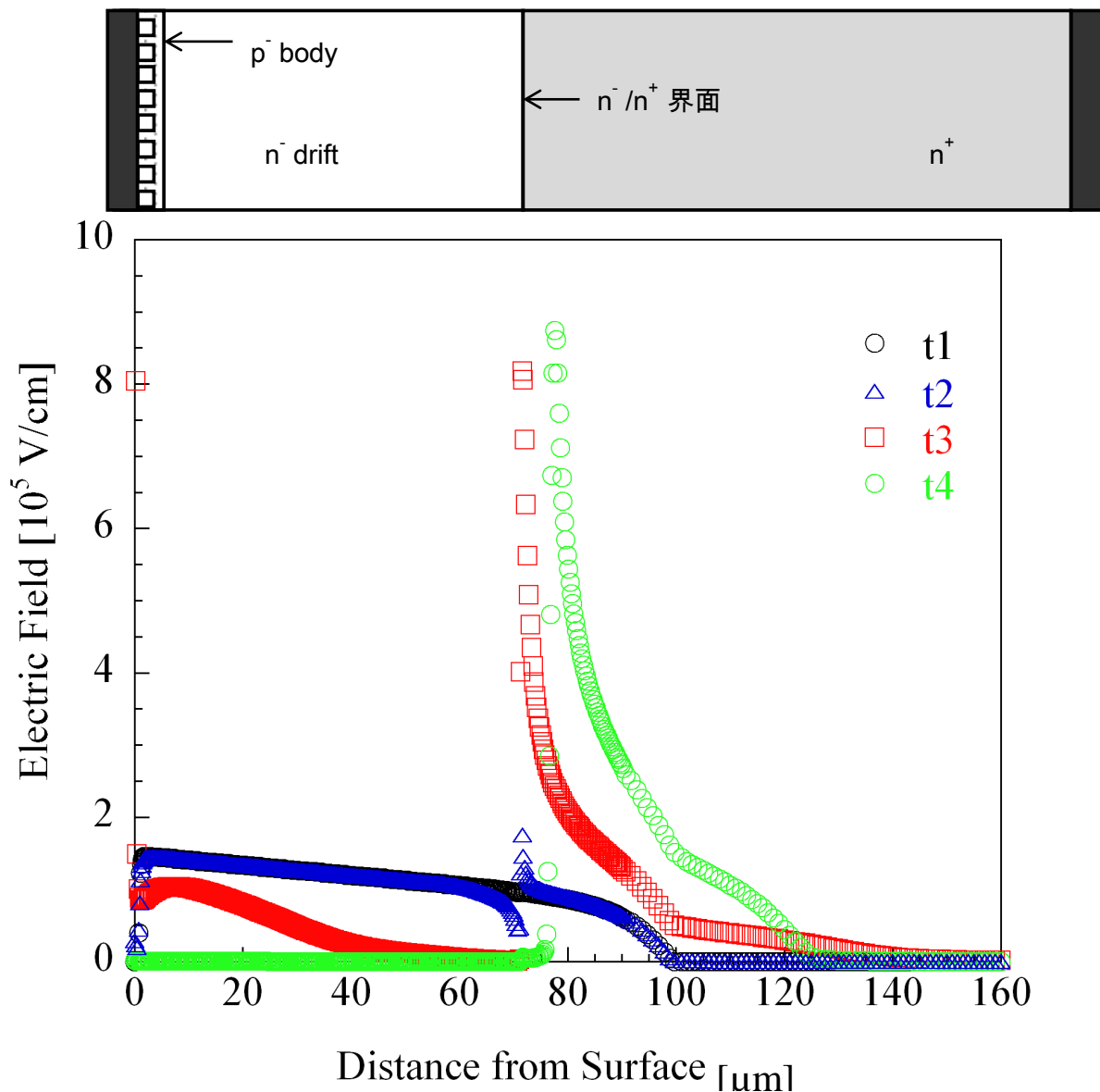


図 2.36 図 2.35 に示した時刻における反跳イオンに沿った電界分布[3]

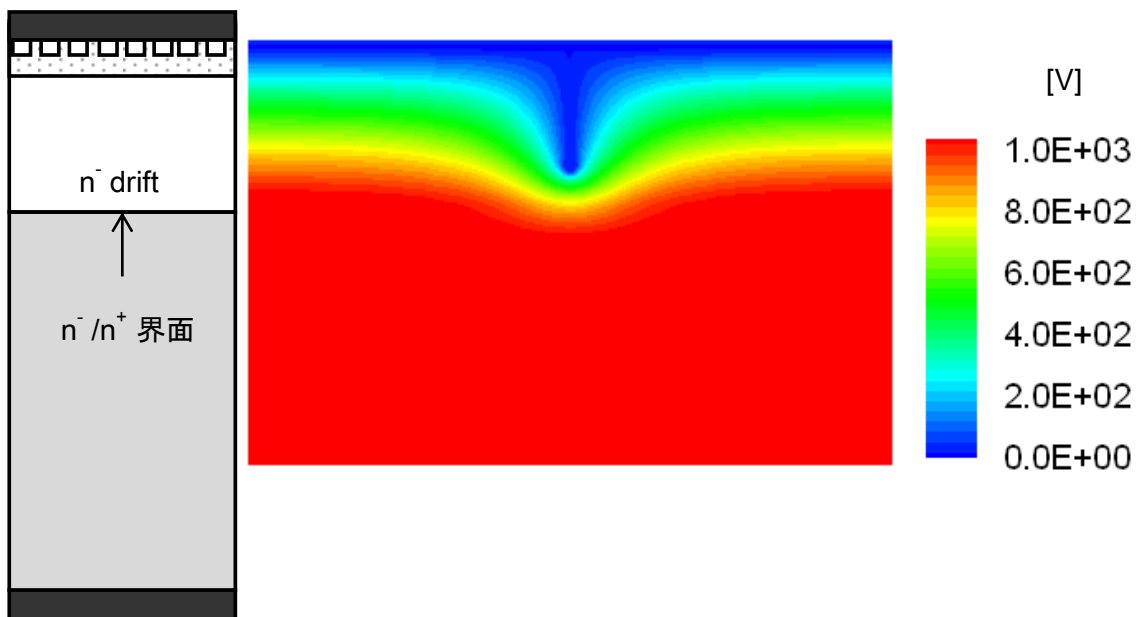


図 2.37 図 2.35 の時刻 t_4 における静電ポテンシャル[V] [3]

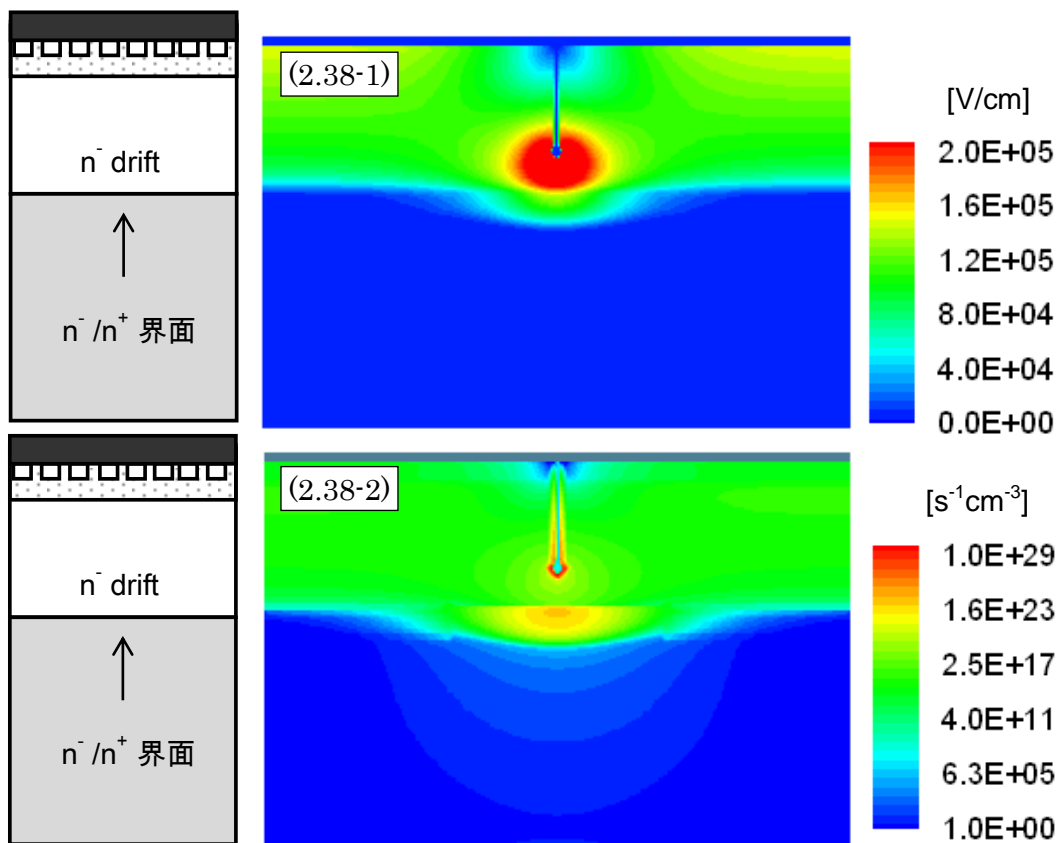


図 2.38 時刻 t_4 における(2.38-1)電界[V/cm]及び(2.38-2)インパクトイオン化率 $[s^{-1}cm^{-3}]$ [3]

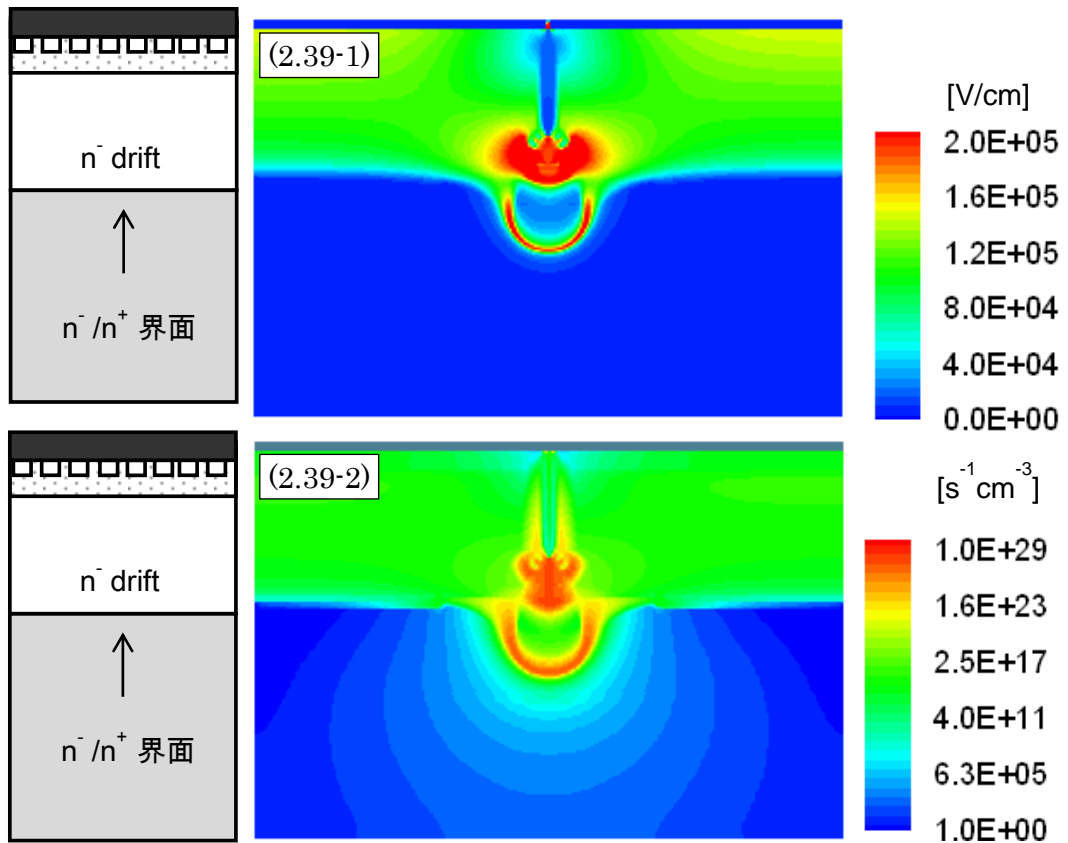


図 2.39 時刻 t_5 における(2.39-1)電界[V/cm]及び(2.39-2)インパクトイオン化率[$s^{-1}cm^{-3}$] [3]

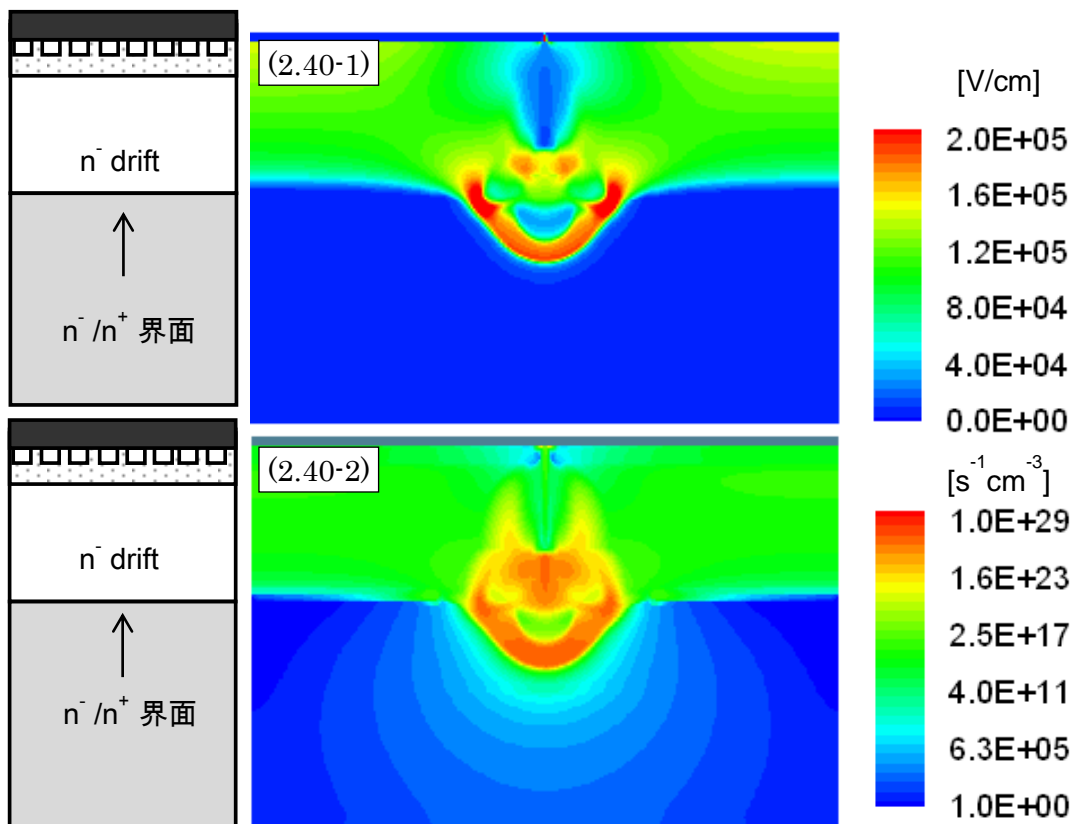


図 2.40 時刻 t_6 における(2.40-1)電界[V/cm]及び(2.40-2)インパクトイオン化率[$s^{-1}cm^{-3}$] [3]

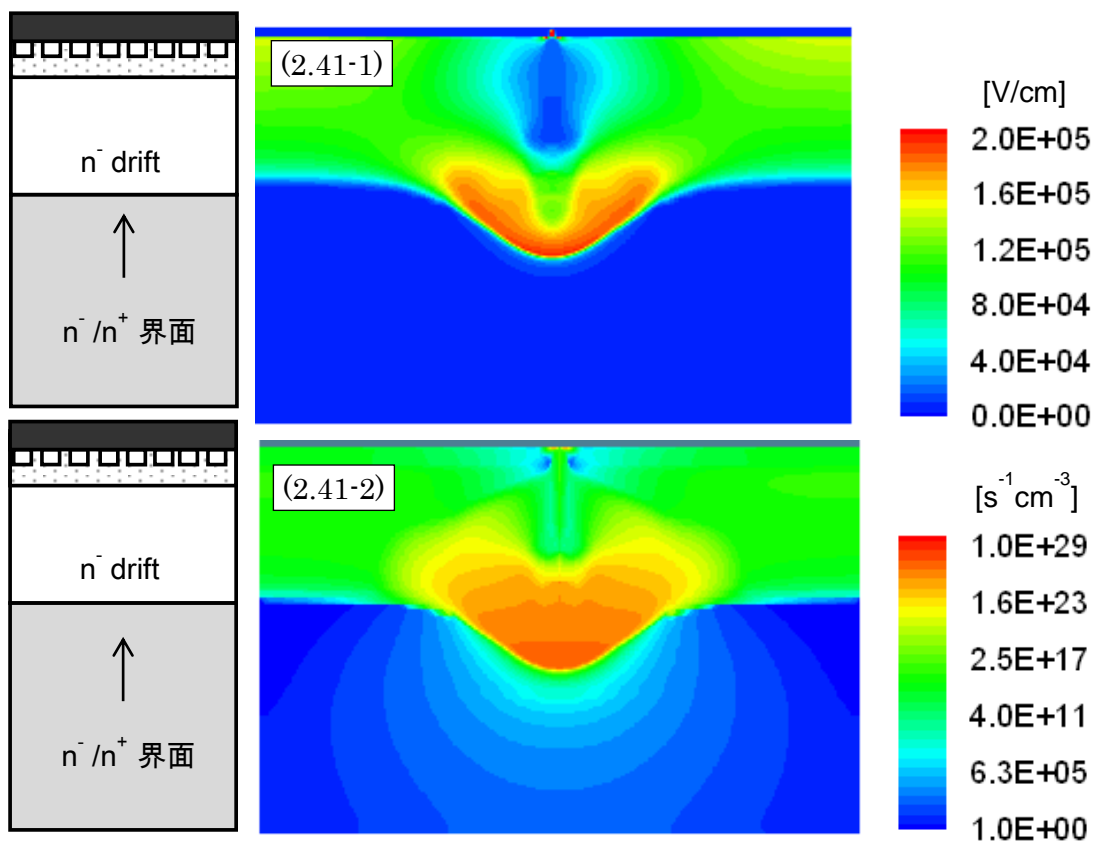


図 2.41 時刻 t_7 における(2.41-1)電界[V/cm]及び(2.41-2)インパクトイオン化率[$s^{-1}cm^{-3}$] [3]

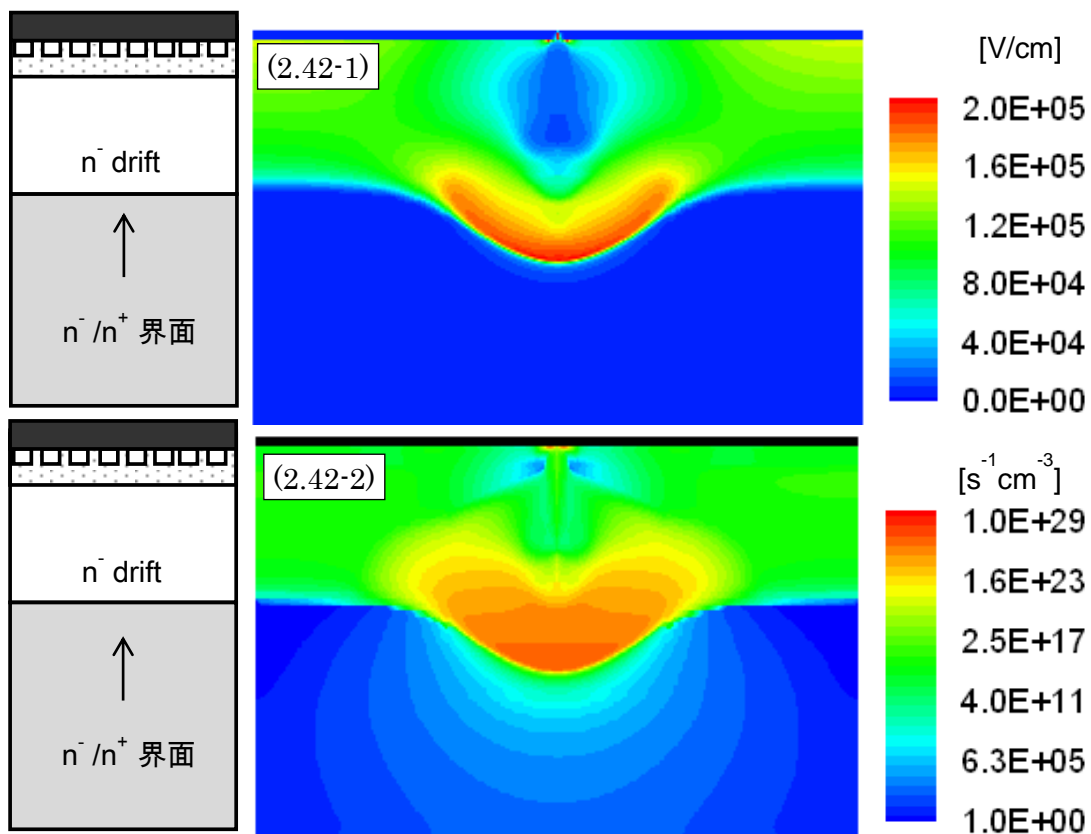


図 2.42 時刻 t_8 における(2.42-1)電界[V/cm]及び(2.42-2)インパクトイオン化率[$s^{-1}cm^{-3}$] [3]

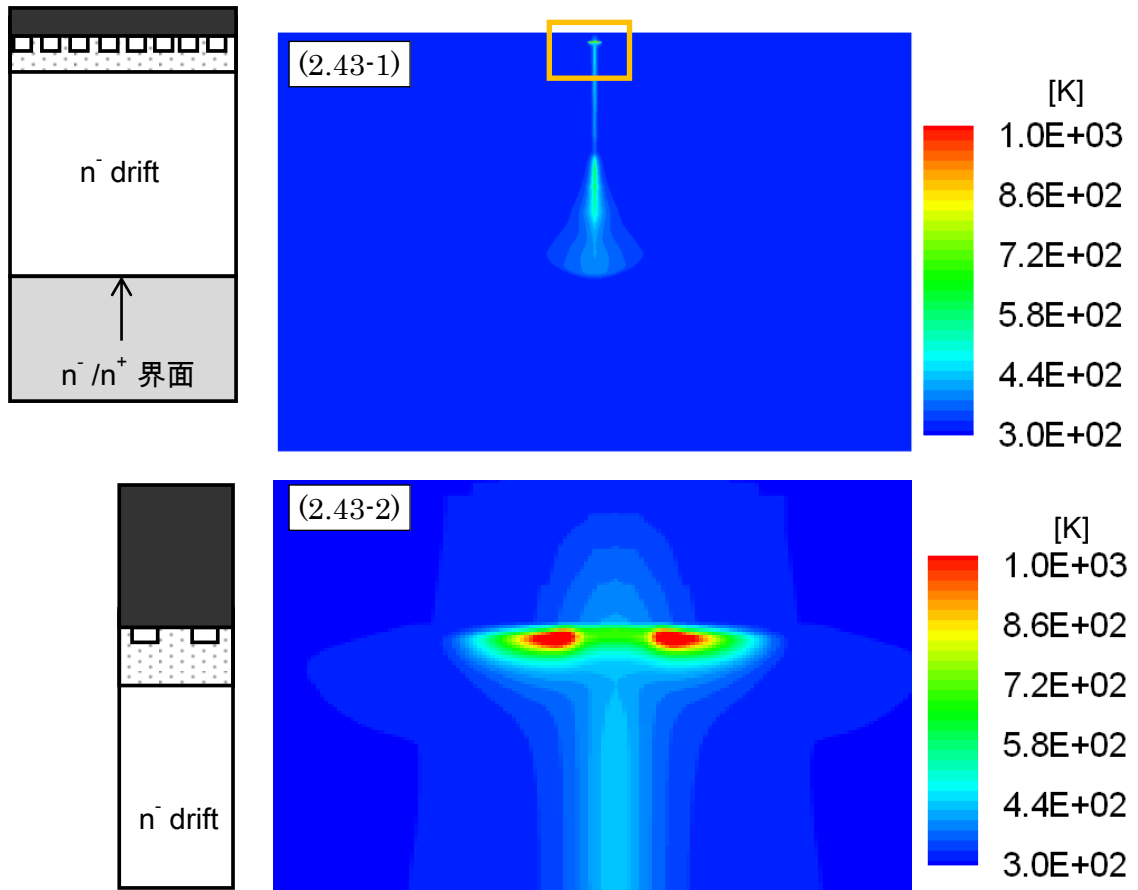


図 2.43 時刻 t_8 における(2.3-1)デバイス内部温度[K]及び(2.43-2)表面部拡大 [3]

2.3.2 SiC パワーデバイスの SEB 破壊メカニズム

この章では、SiC ダイオードと SiC MOSFET の SEB トリガー過程に対するシミュレーション解析結果について述べる[7, 8]。図 2.44 に SiC ダイオードのシミュレーションデバイス構造を示す。シミュレーションでは、デバイスに 1000V の電圧を印加した状態で、反跳イオン入射によって生成された電子正孔対の分布をそのイオン軌跡に沿って記述した。また、SiC デバイスでは電子正孔対の生成エネルギーが約 7.8 eV であり、Si の 3.6 eV に対して大きい[10]。SiC パワーダイオードの SEB シミュレーションでは、この電子-正孔対の生成エネルギーの Si との違いも考慮した。さらに、自己発熱効果を考慮するために、熱伝導方程式を同時に連成計算した。また、インパクトイオン化モデルは、Hatakeyama モデル[11]を用いた。

図 2.45 に SiC パワーダイオードの SEB シミュレーション結果を示す。最終的に、SiC 内部の最大デバイス内部温度が昇華温度に達している。一方、Al 表面温度は SEB の期間中、常温のままである。従って、SEB 破壊は、Al 電極の熱膨張による SiC の応力破壊ではなく、SiC 内部が昇華温度に達する事による破壊である。

図 2.46 に図 2.45 に示した時刻 t1 から t3 における反跳イオンの軌跡に沿った電界分布を示す。SiC パワーデバイスの場合と同様に、電界ピークが p⁺/n⁻ジャンクションから n⁻/n⁺界面に移動し、デバイス表面のアノード側 p⁺拡散層にパンチスルーする。即ち、初期に生成された電子正孔対による局所的な大電流によって電界分布が変化した結果、局所的に抵抗体のように振舞う。

さらに図 2.45 に示した時刻 t4 では、一時的に負の過渡電流が流れる。その後、電界がピーク値を持つデバイス表面側アノードコンタクト部と n⁻/n⁺界面の両側で、インパクトイオン化が起こり、SEB 電流が増加する（図 2.45、2.47 の時刻 t5）。インパクトイオン化電流が負の温度特性を持っている為、デバイス内部温度の上昇と共に、SEB 電流が減少する（図 2.45 の時刻 t4 から t5）。最終的に、SiC のデバイス内部温度が昇華温度に達し、熱破壊に至る。

図 2.48 に図 2.45 時刻 t6 におけるデバイス内部温度分布のシミュレーションと SEB 破壊痕断面 SEM 像の比較結果を示す。n⁻/n⁺ 界面付近と表面側アノードコンタクト部分に温度ピークがある。デバイス内部温度が高い箇所と破壊痕位置が対応している事が分かる。以上より、パワーデバイスの SEB 破壊は、n⁻/n⁺ 界面付近で発生したインパクトイオン化による電流をトリガーとして SEB 電流が流れる熱破壊現象である。

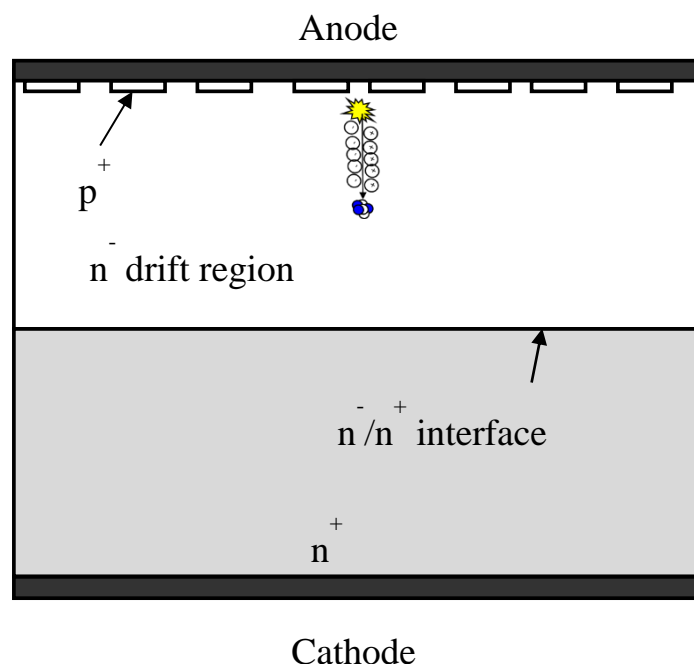


図 2.44 SiC ダイオードデバイス構造[7]

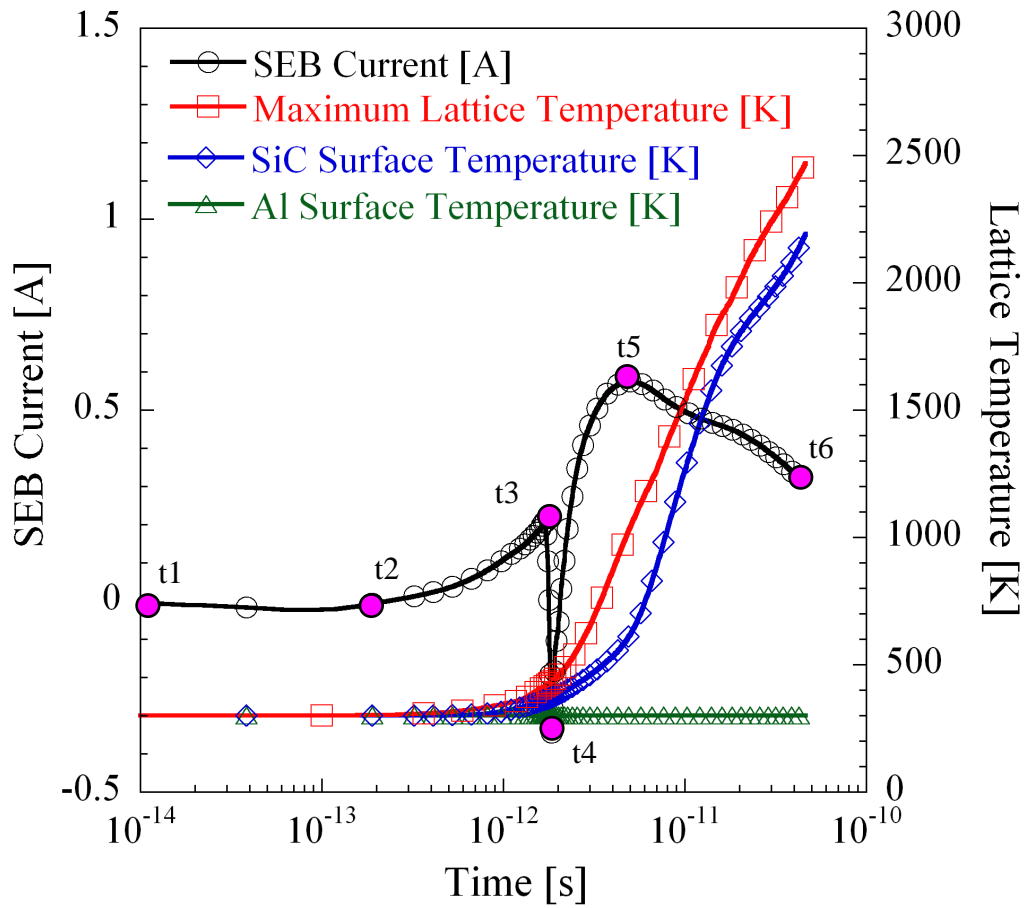


図 2.45 SiC ダイオードの SEB シミュレーション結果[7]

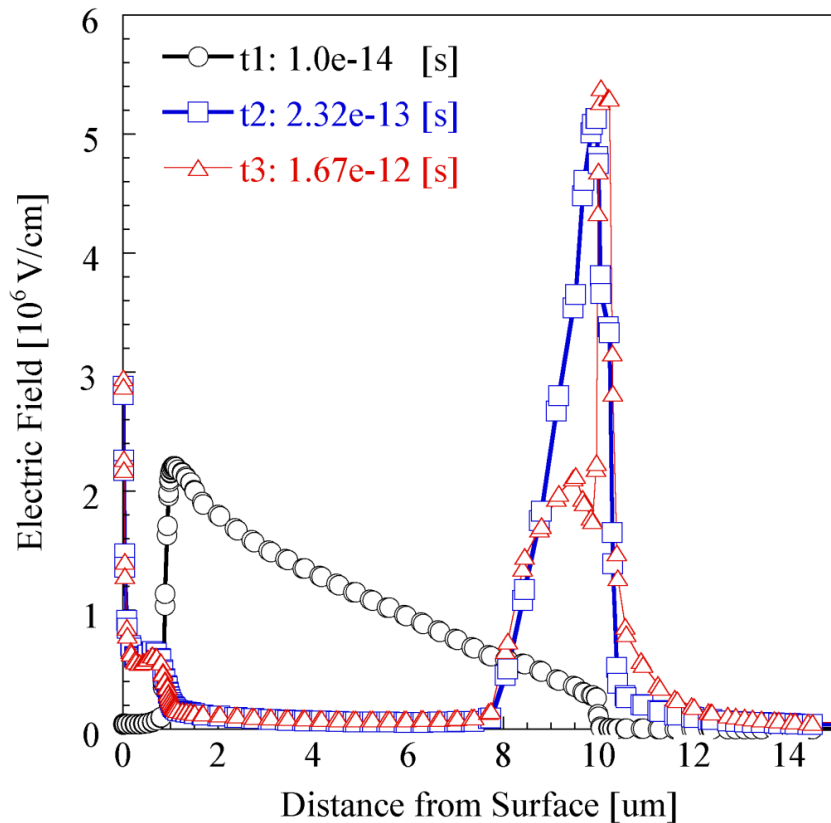


図 2.46 図 2.45 に示した時刻における反跳イオンに沿った電界分布[7]

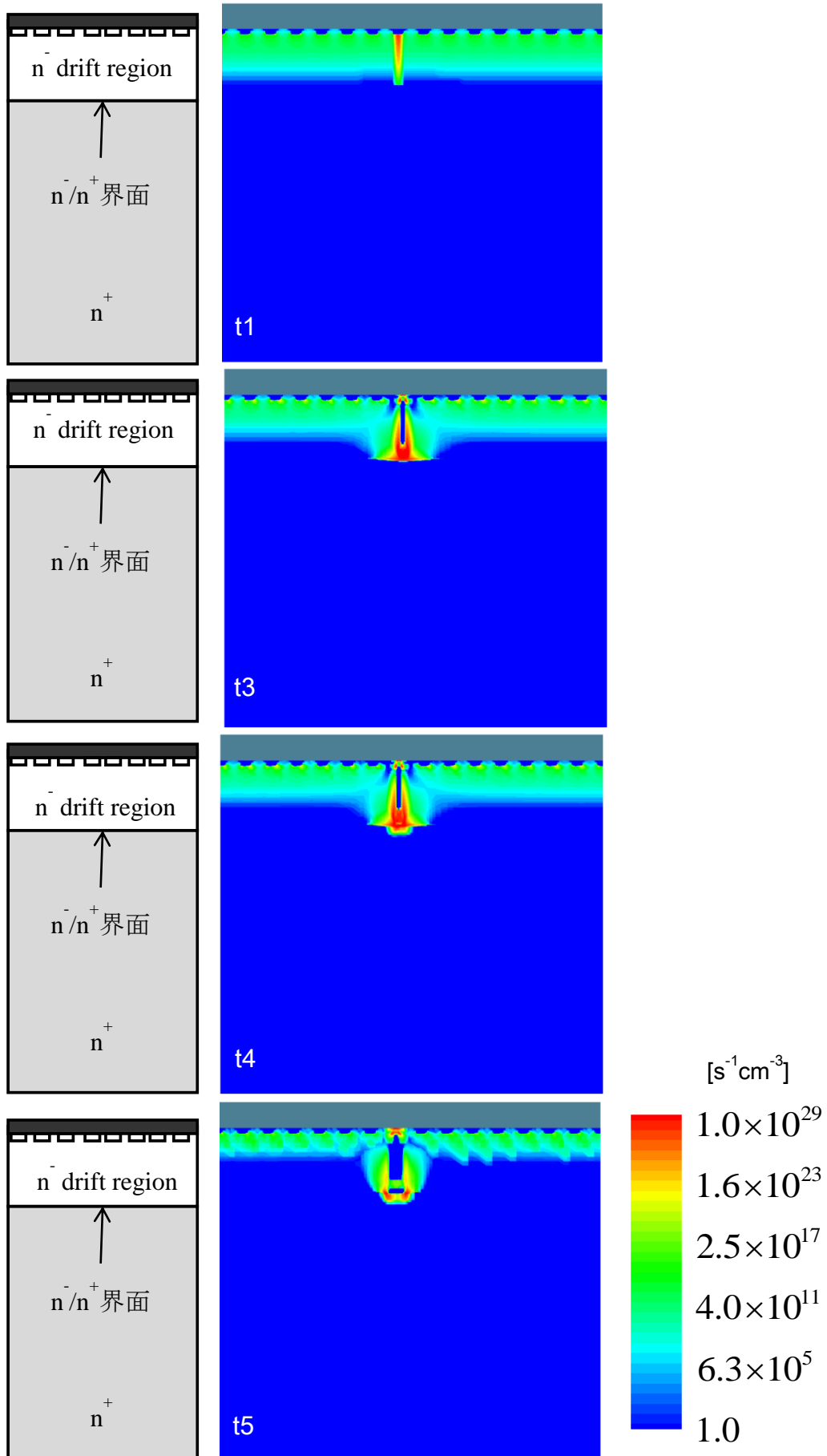


図 2.47 図 2.45 に示した時刻におけるインパクトイオン化率 $[s^{-1}cm^{-3}]$ [7]

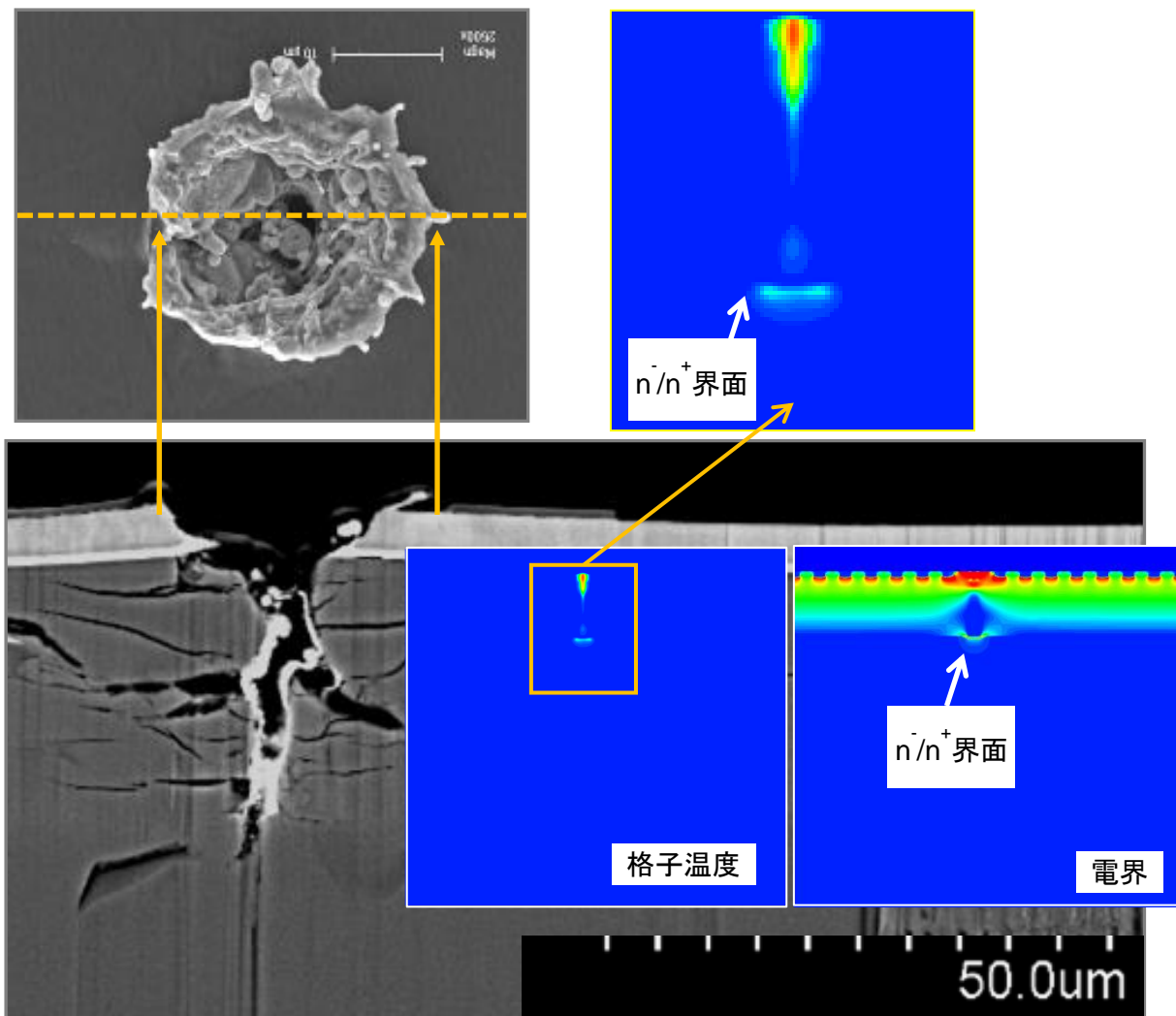


図 2.48 図 2.45 に示した時刻 5 における電界及びデバイス内部温度分布と SEB 破壊痕比較 [7]

次に、SiC MOSFET の SEB 破壊トリガー過程のシミュレーション解析結果について述べる[8]。シミュレーションでは、反跳イオンが n^+ ソース拡散層部分からデバイス表面に対して垂直に入射し、深さ $8\mu\text{m}$ の n -ドリフト領域内部で停止した場合を想定し、その軌跡にそって電子正孔対を記述した。この時、ドレイン-ソース間には 1000V の電圧を印加した状態で過渡熱解析を実施した。

図 2.49 に SEB 電流、最大デバイス内部温度、SiC 表面温度、Al 表面温度のシミュレーション結果を示す。最終的に、デバイス内部温度が SiC の昇華温度に達している。一方、Al 表面温度は室温のままである。これは、SiC パワーMOSFET の SEB が短時間の現象であり、SiC 内部の温度が Al 表面まで伝わらなかった事を示す。図 2.50 に図 2.49 に示した各時刻における反跳イオンに沿った電界分布を示す。時刻 t_1 では、 p^- ボディ - n^- ドリフトジャンクションのあるデバイス表面から $1.5\mu\text{m}$ の所で電界ピークを持つ。時刻 t_3 では、イオン停止位置の深さ $8\mu\text{m}$ の位置と裏面 n^-/n^+ 界面に電界ピークが移動している。これは、反跳イオンによって生成された電子正孔対が、デバイスに印加された電界によって加速され、裏面 n^-/n^+ 界面近傍の過剰電子濃度が増加するためである。また、表面側では、 n^+ ソース拡散層に電界がパンチスルーしている。

さらに、図 2.49 に示した時刻 t_4 では、生成された電子がデバイス裏面側に移動する事によって生じた負の変位電流が流れ始める。その後、インパクトイオン化によって生じた電流が流れ、デバイス内部温度が上昇する。図 1 に示した時刻 t_f では、最大デバイス内部温度が昇華温度に達して破

壊に到る。図 2.52 に時刻 t_f におけるデバイス内部温度分布シミュレーション結果と破壊痕断面分析結果を示す。電界強度を反映してデバイス表面と裏面 n/n^+ 界面近傍のデバイス内部温度が高くなっており、破壊痕はこのデバイス内部温度分布と対応している。以上のように、SiC ダイオードと MOSFET の SEB 破壊過程は非常に類似している。SiC パワー MOSFET の SEB トリガー過程を比較するため、SiC パワー MOSFET とその n^+ ソース拡散層を除去したダイオードで SEB 電流のシミュレーション結果を比較した (図 2.53、2.54)。 n^+ ソース拡散層を除去したダイオードも MOSFET と同様にインパクトイオン化によって生じた SEB 電流が流れ、最終的に、デバイス内部温度の最大値が SiC の昇華温度に達してデバイス破壊に到る。即ち、寄生 npn トランジスタ動作が無くとも、電界強度の裏面 n/n^+ 界面への移動とデバイス表面側 n^+ ソース拡散層へのパンチスルーによって、SEB 破壊が起こる。

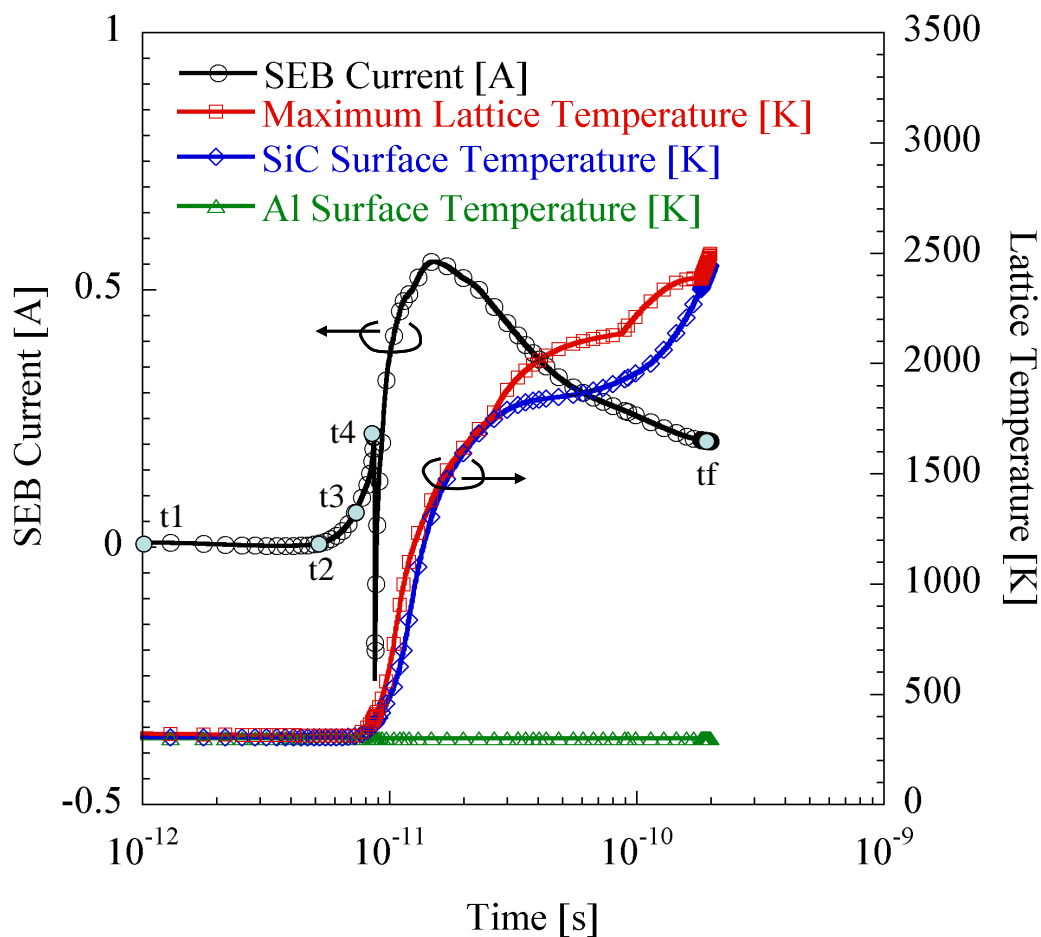


図 2.49 SiC MOSFET の SEB シミュレーション結果[8]

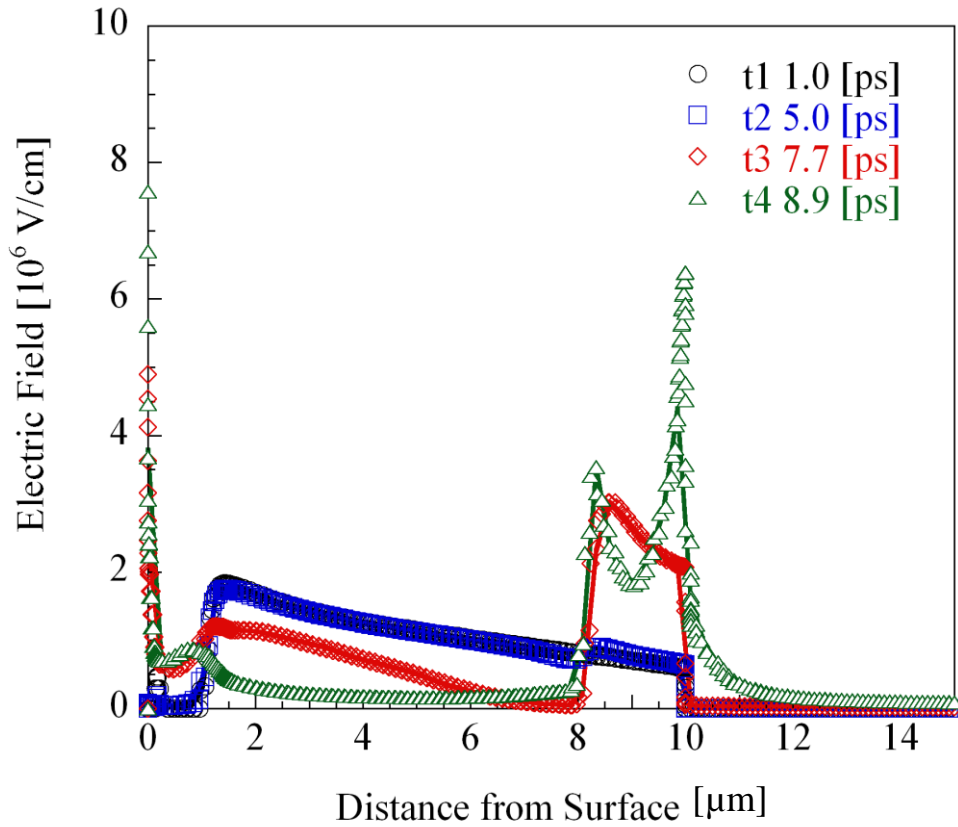


図 2.50 図 2.49 に示した時刻における反跳イオンに沿った電界分布[8]

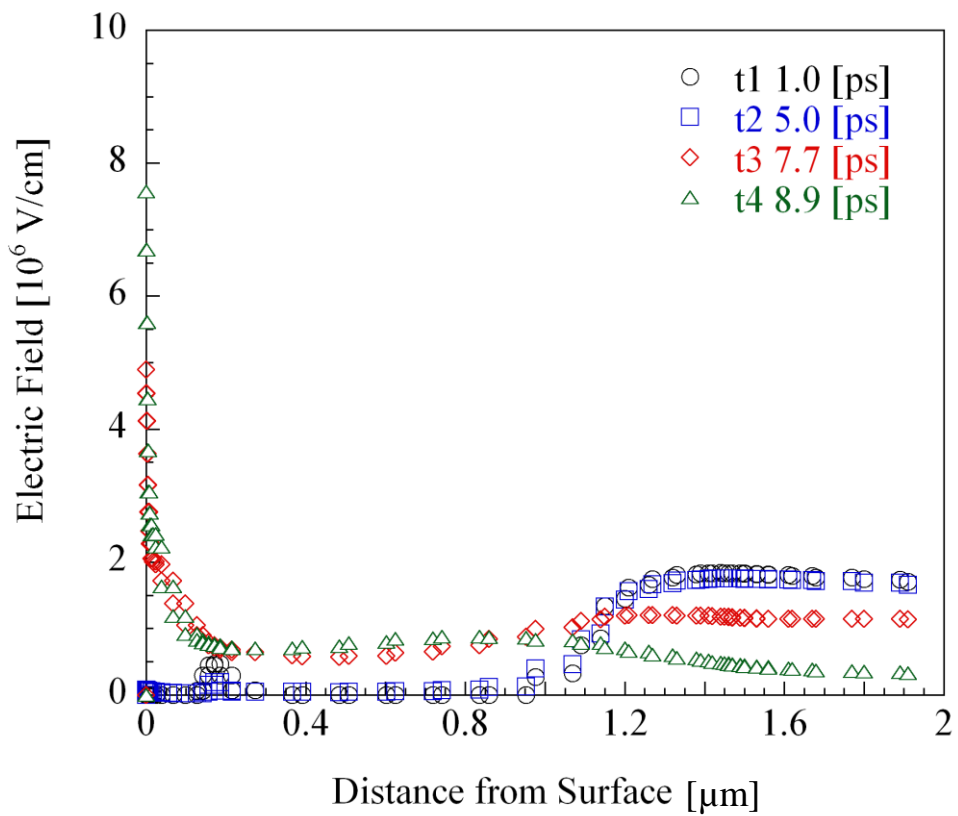


図 2.51 図 2.50 のデバイス表面付近の拡大[8]

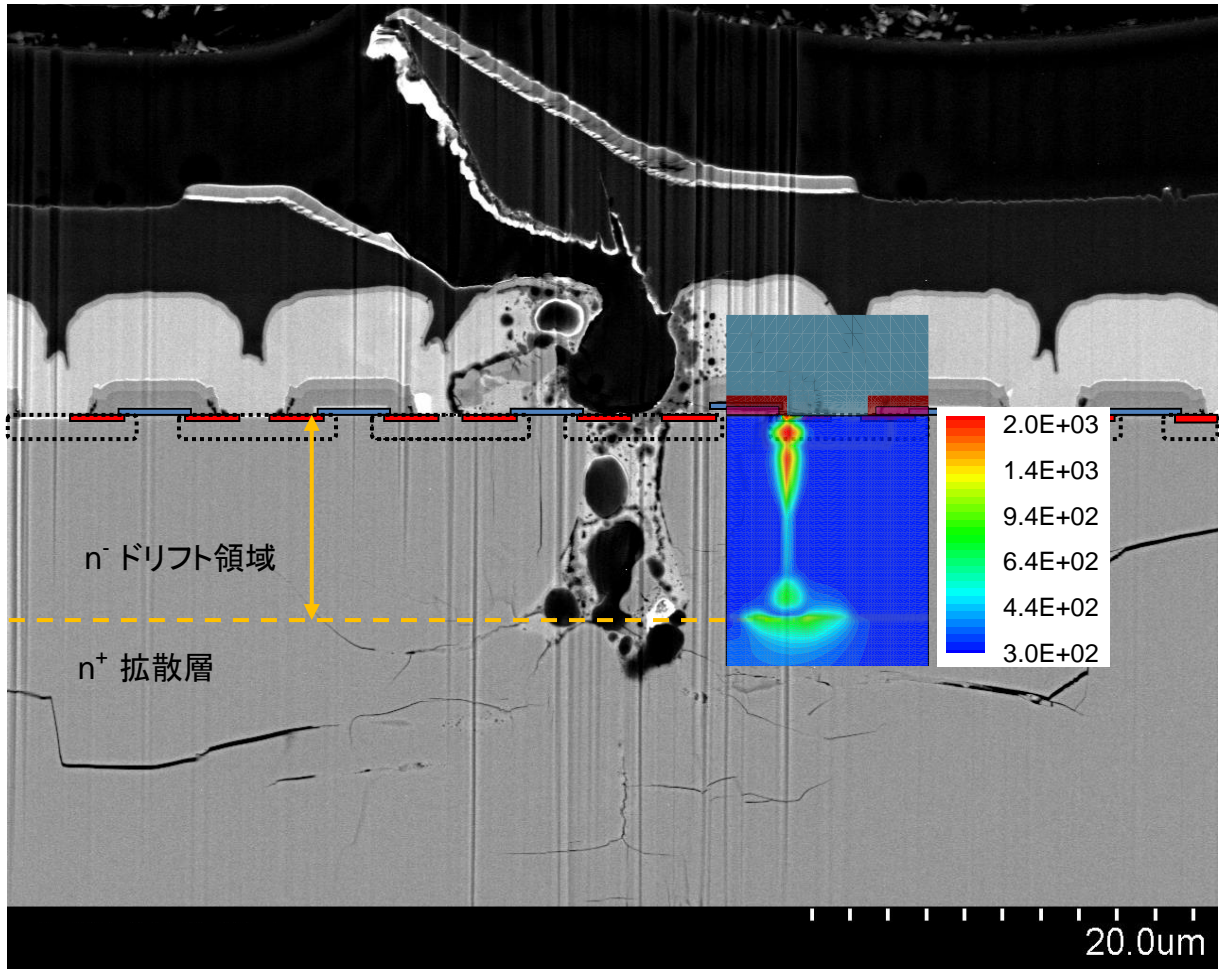


図 2.52 図 2.49 の時刻 t_f におけるデバイス内部温度分布と破壊痕断面 SEM 像[8]

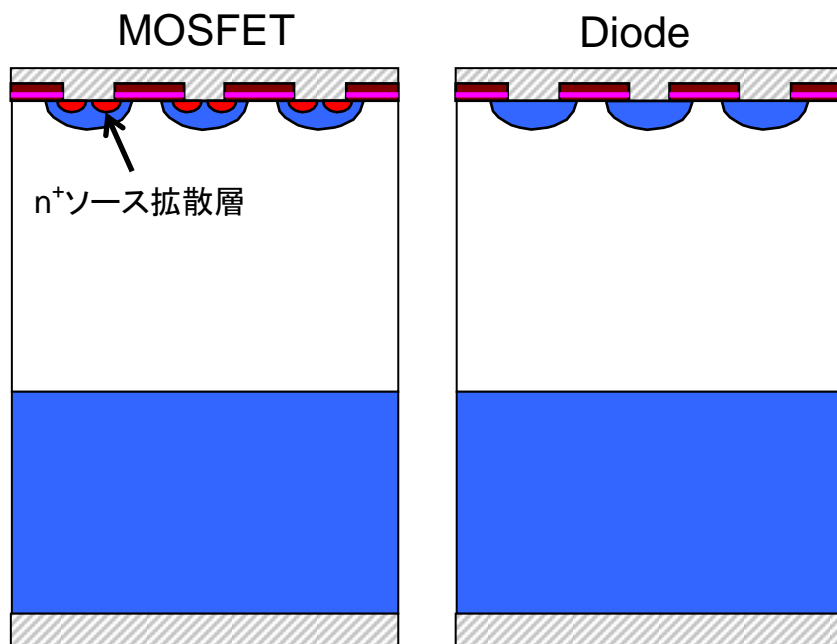


図 2.53 シミュレーションデバイス MOSFET 構造と MOSFET から n^+ ソース拡散層を取り除いたダイオード[8]

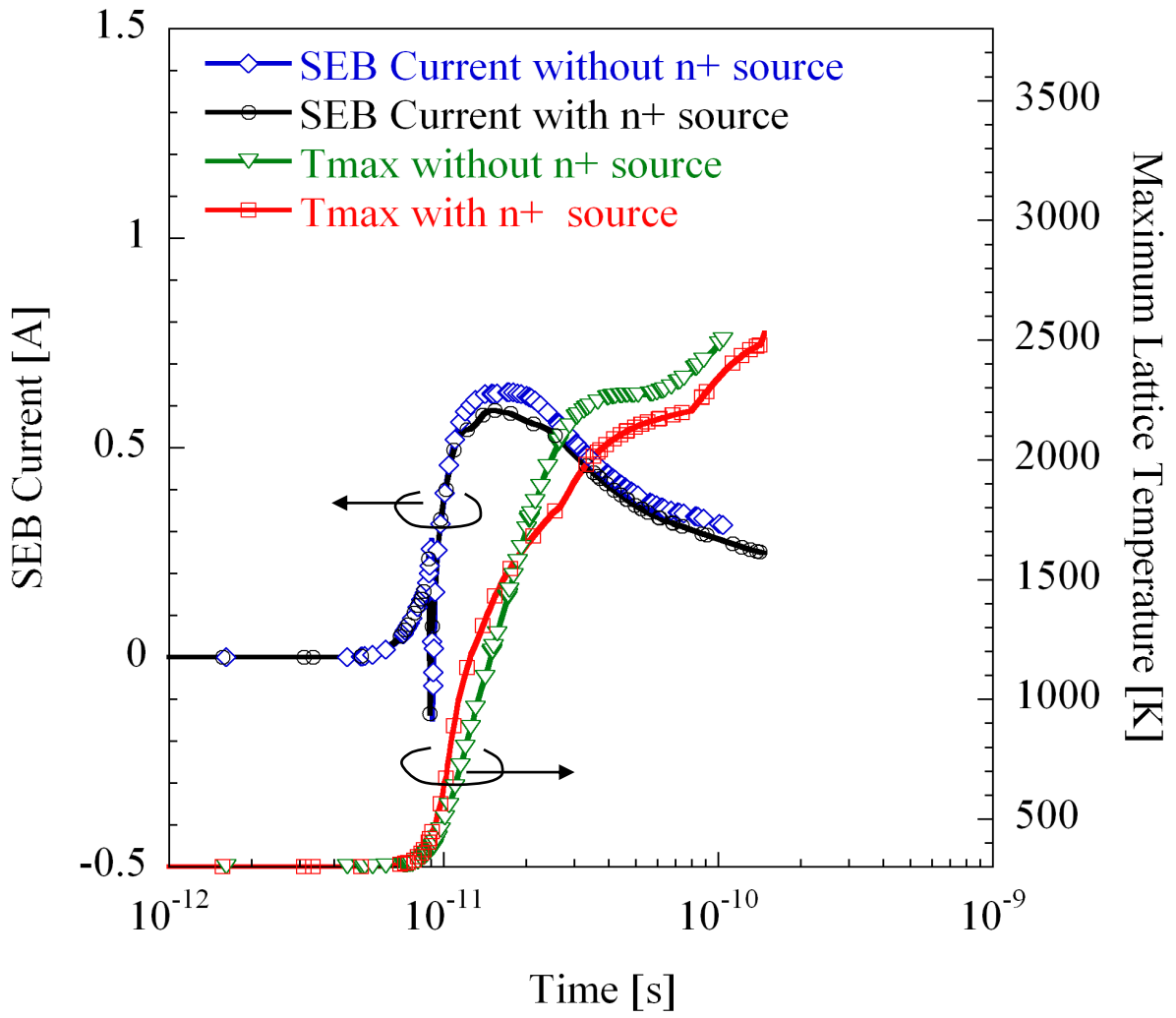


図 2.54 図 2.53 に示した SiC MOSFET とそのソース拡散層を削除したダイオードの SEB 電流シミュレーション結果[8]

2.4 熱伝導方程式を用いた理論解析

2.4.1 SEB 微小破壊痕のサイズ見積り計算

この章では、デバイスシミュレーションで計算した電流とデバイスに印加した電圧より発熱量を計算し、その発熱量から Si ダイオードと Si IGBT の微小破壊痕の大きさを熱伝導方程式に基づいて見積もった結果について説明する[4, 5]。まず、図 2.8 に示した Si ダイオードの直径 $0.34 \mu\text{m}$ の微小破壊痕サイズを、デバイスシミュレーション結果と熱伝導方程式を用いた理論式から見積もる。

図 2.35 に示すように、 $2.55 \times 10^{-9} \text{ s}$ の時間で SEB 電流が流れ、デバイス内部温度の最大値が融点に達し破壊する。Al の熱拡散率 $D_{\text{Al}}=0.9975 \text{ cm}^2/\text{s}$ を用いて $2.55 \times 10^{-9} \text{ s}$ の時間の熱拡散長を計算すると、

$$\sqrt{D_{\text{Al}}\tau} = \sqrt{0.9975[\text{cm}^2/\text{s}] \cdot 2.55 \times 10^{-9}[\text{s}]} = 0.5[\mu\text{m}] \quad (2.4.1)$$

となり、デバイスの Al 電極厚さ $5\mu\text{m}$ より十分に小さく、SEB 期間中に Al 表面まで熱は到達しない。また、図 2.43 のデバイスシミュレーション結果からも $2.55 \times 10^{-9} \text{ s}$ の時間に Al 表面まで熱が伝わっていないことが分かる。従って、SEB 破壊までの短い時間においては、熱的境界条件を無限遠あるいは断熱と近似できる。

次に、SEB 破壊部の温度上昇を、SEB 破壊部に加わったエネルギー、発熱領域の体積、及び Si の熱物性値を用いて表す。SEB 破壊部及びデバイス内部の領域における熱伝導方程式は次のように表される。

$$\frac{\partial T(\mathbf{r}, t)}{\partial t} - D_{\text{Si}}\nabla^2 T(\mathbf{r}, t) = \frac{q(t)}{\rho C_p}, \quad q(t) = \frac{P(t)}{\Delta} = \frac{I(t) \cdot V(t)}{\Delta} \quad (2.4.2)$$

ここで、 D_{Si} ($0.883 \text{ cm}^2/\text{s}$)は Si の熱拡散率、 $q(t)$ は単位体積あたりのジュール発熱で SEB 電流 $I(t)$ とデバイス印加電圧 $V(t)$ の積をジュール発熱体積 $\Delta (\text{cm}^3)$ で除した量で表される。また、 ρ (2.33 g/cm^3) は Si の質量密度、 C_p (0.69 J/gK)は Si の比熱であり、 $T(\mathbf{r}, t)$ はデバイス内部の座標 \mathbf{r} における時刻 t の温度を表す。

Green 関数を用いた熱伝導方程式の解法が知られている[12]。熱伝導方程式(2.4.2)の解は、Green 関数を用いて次のように表される。

$$T(\mathbf{r}, t) = T_A + \frac{1}{\rho C_p} \int_0^t q(\tau) d\tau \int_{\Delta} G(\mathbf{r}, t, \mathbf{r}', \tau) d\mathbf{r}' \quad (2.4.3)$$

ここで、 $G(\mathbf{r}, t, \mathbf{r}', \tau)$ は Green 関数であり、

$$\frac{\partial G}{\partial t} - D_{\text{Si}}\nabla^2 G = \delta(\mathbf{r} - \mathbf{r}')\delta(t - \tau) \quad (2.4.4)$$

で定義される。また、 $\delta(\mathbf{r} - \mathbf{r}')$ 及び $\delta(t - \tau)$ は、Dirac のデルタ関数である。式(2.4.4)の解は境界条件によって異なり、熱的境界条件が無限遠の時、

$$G(\mathbf{r}, t, \mathbf{r}', \tau) = \frac{1}{[4\pi D_{\text{Si}}(t - \tau)]^{3/2}} \exp\left\{ \frac{-(\mathbf{r} - \mathbf{r}')^2}{4\pi D_{\text{Si}}(t - \tau)} \right\} \quad (2.4.5)$$

と表される。

図 2.56 に SEB 破壊痕に対する座標系の定義を示すように、ジュール発熱領域の長さを xyz 方向にそれぞれ、 a 、 b 、 c と定義する。ジュール発熱領域の中心を原点にとり、その体積を $\Delta(-a/2 \leq x' \leq a/2, -b/2 \leq y' \leq b/2, -c/2 \leq z' \leq c/2)$ と表す。実際の破壊痕も円形状であることから、 x - y 平面では等方的な熱伝導であり、 $a \cong b$ と近似できる。 c はデバイス深さ方向のジュール発熱領域の長さであり、図 2.37 に示すポテンシャルの歪みを考慮すると、実験に用いた Si パワーダイオードの場合では $150 \mu\text{m}$ である。

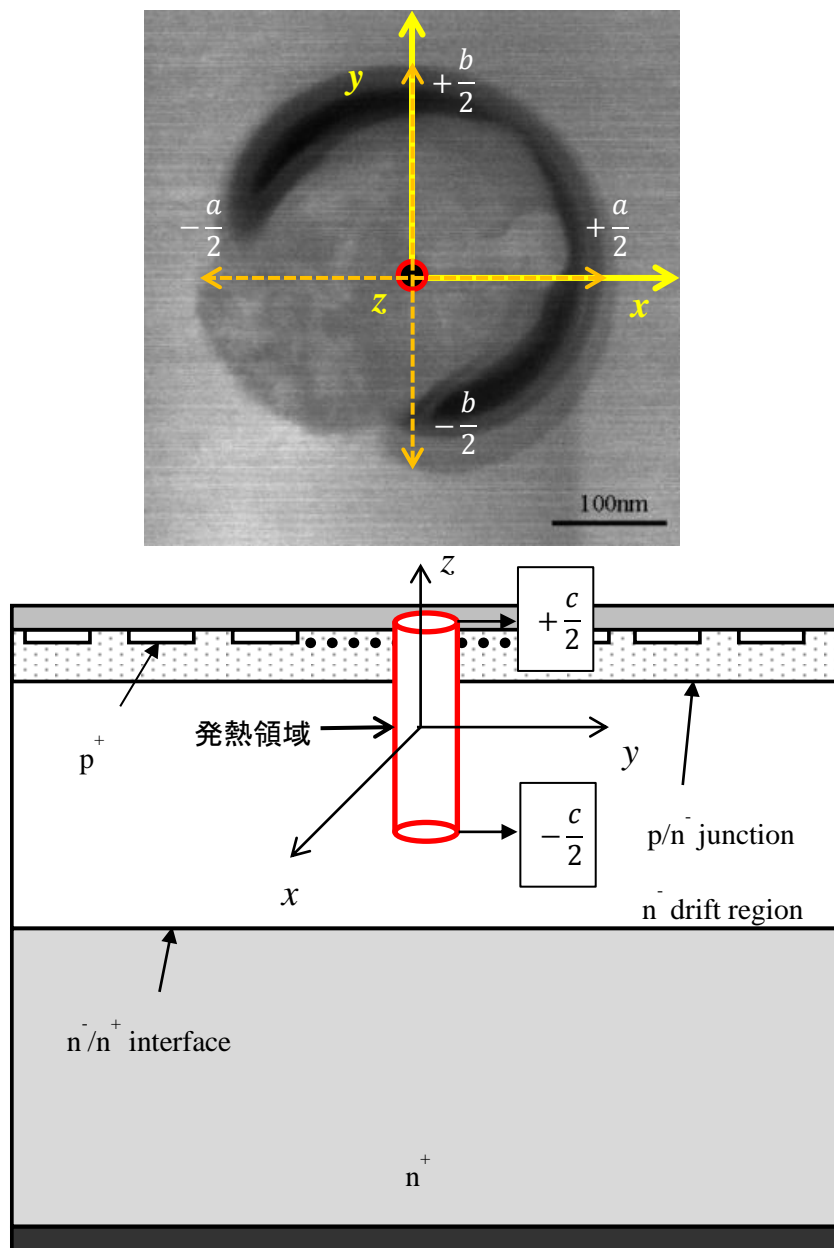


図 2.56 SEB 破壊痕に対する座標系の定義

式(2.4.5)を用いると、式(2.4.3)は以下のように表される。

$$T(\mathbf{r}, t) = T_A + \frac{1}{\rho C_p} \int_0^t q(\tau) d\tau \int_{-a/2}^{a/2} dx' \int_{-b/2}^{b/2} dy' \int_{-c/2}^{c/2} dz' \\ \times \frac{1}{[4\pi D_{Si}(t-\tau)]^{3/2}} \exp\left\{\frac{-(x-x')^2}{4\pi D_{Si}(t-\tau)}\right\} \exp\left\{\frac{-(y-y')^2}{4\pi D_{Si}(t-\tau)}\right\} \exp\left\{\frac{-(z-z')^2}{4\pi D_{Si}(t-\tau)}\right\} \quad (2.4.6)$$

ここで、 $T_A(\text{K})$ は環境温度である。また、誤差関数 $\text{erf}(x)$ は、冪級数展開すると以下のように近似される[14]。

$$\text{erf}(x) = \frac{2}{\sqrt{\pi}} \sum_{n=0}^{\infty} \frac{(-1)^n \cdot x^{2n+1}}{n!(2n+1)} \approx \begin{cases} \frac{2x}{\sqrt{\pi}} & \left(\text{if } x \leq \frac{\sqrt{\pi}}{2}\right) \\ 1 & \left(\text{if } x \geq \frac{\sqrt{\pi}}{2}\right) \end{cases} \quad (2.4.7)$$

ここで、式(2.4.7)において、冪級数の一次までとった近似関数を図 2.57 のグラフに示した。この近似式を用いて、式(2.4.6)を積分する。

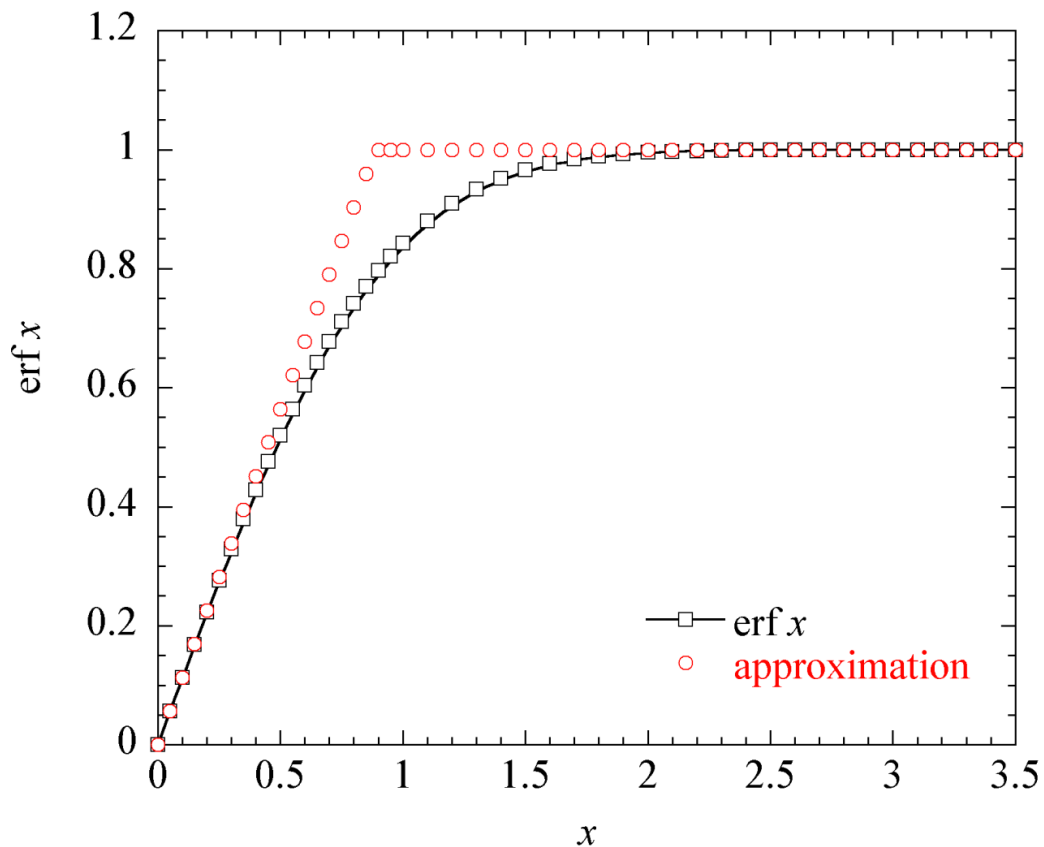


図 2.57 誤差関数と式(2.4.7)に示した近似関数

イオンが入射してから SEB 破壊までの時間を t_f とすると、 $t_a = t_b = \frac{a^2}{4\pi D_{Si}} \leq t_f \leq t_c = \frac{c^2}{4\pi D_{Si}}$ のとき、ジュール発熱部中央のデバイス内部温度は以下のように表される(付録 2.4.1)。

$$\begin{aligned}
T(\mathbf{0}, t_f) &\equiv T(t_f) \\
&= T_A + \frac{E}{\rho C_p \Delta} \int_0^{t_f} d\tau \left[\operatorname{erf}\left(\frac{a}{4\sqrt{D_{Si}\tau}}\right) \right] \cdot \left[\operatorname{erf}\left(\frac{b}{4\sqrt{D_{Si}\tau}}\right) \right] \cdot \left[\operatorname{erf}\left(\frac{c}{4\sqrt{D_{Si}\tau}}\right) \right] \\
&= T_A + \frac{E}{\rho C_p \Delta} \left\{ \int_0^{t_a} 1 d\tau + \int_{t_a}^{t_f} d\tau \left[\frac{2}{\sqrt{\pi}} \frac{a}{4\sqrt{D_{Si}\tau}} \right] \cdot \left[\frac{2}{\sqrt{\pi}} \frac{b}{4\sqrt{D_{Si}\tau}} \right] \right\} \\
&= T_A + \frac{E}{\rho C_p \Delta} \cdot \frac{t_a}{t_f} \left\{ 1 + \log\left(\frac{t_f}{t_a}\right) \right\}, \quad \text{if } t_a = t_b = \frac{a^2}{4\pi D_{Si}} \leq t_f \leq t_c \quad (2.4.8)
\end{aligned}$$

ただし、 E は SEB 破壊までにデバイスに加わったエネルギーで、次の式で定義される。

$$\begin{aligned}
E &\equiv \int_0^{t_f} I(\tau) \cdot V(\tau) d\tau \quad (2.4.9) \\
&\cong V_{\text{Applied}} \int_0^{t_f} I(\tau) d\tau \\
&= V_{\text{Applied}} Q_{\text{Total}} = V_{\text{Applied}} (Q_{\text{ION}} + Q_{\text{Avalanche}}) \\
&\cong V_{\text{Applied}} Q_{\text{Avalanche}}
\end{aligned}$$

ここで、 V_{Applied} はデバイス印加電圧を示す。また、 Q_{Total} は SEB で発生した全電荷量を示し、反跳イオンによって初期に発生した電荷量 Q_{ION} とアバランシェによって発生した電荷量 $Q_{\text{Avalanche}}$ の和として表される。 Q_{ION} は SEB 破壊のトリガーとして寄与し、 $Q_{\text{Avalanche}}$ の方が Q_{ION} よりも量が多い。従って、SEB 破壊までにデバイスに加わったエネルギー E は、デバイス印加電圧 V_{Applied} とアバランシェによって発生した電荷量 $Q_{\text{Avalanche}}$ の積で表される。

SEB 発生時におけるデバイスの温度上昇は、SEB 破壊までにデバイスに加わったエネルギー E 、即ちデバイス印加電圧 V_{Applied} とアバランシェによって発生した電荷量 $Q_{\text{Avalanche}}$ の積に比例し、発熱領域の体積 Δ に反比例し、以下のように表される。

$$\begin{aligned}
T(t_f) - T_A &= \frac{E}{\rho C_p \Delta} \cdot \frac{t_a}{t_f} \left\{ 1 + \log\left(\frac{t_f}{t_a}\right) \right\} \\
&\approx \frac{V_{\text{Applied}} Q_{\text{Avalanche}}}{\rho C_p \Delta} \cdot \frac{t_a}{t_f} \left\{ 1 + \log\left(\frac{t_f}{t_a}\right) \right\}, \quad \text{if } t_a = t_b = \frac{a^2}{4\pi D_{Si}} \leq t_f \leq t_c \quad (2.4.10)
\end{aligned}$$

式(2.4.10)は、ドリフト領域を厚くして発熱領域の体積 Δ を大きくするか、印加電圧を下げることによって、デバイスに加わるエネルギーである $V_{Applied}$ と $Q_{Avalanche}$ の積を減少させることが、SEB 破壊耐量を向上対策となる事を意味している。これは、図 2.3 及び 2.4 に示した、デバイス印加電圧を下げると SEB チップ故障率が減少する事やドリフト領域を厚くすると SEB 閾値電圧が増加する実験事実を定性的に説明する結果である。

次に、式(2.4.10)の妥当性検証のため、デバイスシミュレーションから得られる発熱量と導出した理論式(2.4.10)から SEB 破壊痕サイズを見積もった。図 2.35 より、Si ダイオードの SEB 破壊の際にデバイスに加わったエネルギー $E=3.57 \times 10^{-7}$ J、破壊時間 $t_f=2.55 \times 10^{-9}$ s、破壊時のデバイス内部温度を Si の融点 $T(t_f)=1683$ K、環境温度 $T_A=300$ K、発熱領域のデバイス深さ方向の長さを $c=150 \mu\text{m}$ とすると、式(2.4.8)より、破壊領域の直径は $0.406 \mu\text{m}$ と見積られる。これは、分析で得られた図 2.8 の SEB 破壊痕直径分析結果の $0.34 \mu\text{m}$ とほぼ一致する。

さらに、図 2.58 に示した Si IGBT の SEB デバイスシミュレーション結果と理論式(2.4.8)を用いて、図 2.9 の破壊痕サイズを見積もった[5]。図 2.58 のシミュレーション結果より、Si IGBT の SEB 破壊の際にデバイスに加わったエネルギー $E=3.03 \times 10^{-7}$ J、破壊時間 $t_f=1.77 \times 10^{-9}$ s が得られる。また、図 2.22 から分かるように、発熱領域のデバイス深さ方向の長さは $c=100 \mu\text{m}$ である。この時、理論式(2.4.8)より、破壊痕サイズは $1.09 \mu\text{m}$ と計算される。これは、図 2.9 の SEB 破壊痕直径分析結果の $1.79 \mu\text{m}$ と同程度である。

以上の結果より、パワーデバイスの SEB 破壊は、反跳イオンによって初期に生成された電子正孔対による電流がトリガーとなって、デバイス内部の電界分布が n/n^+ 界面に移動し、アバランシェによって生成された電荷による電流がデバイス内部電界によって掃き出される過程で発熱して破壊する現象であると考えられる。

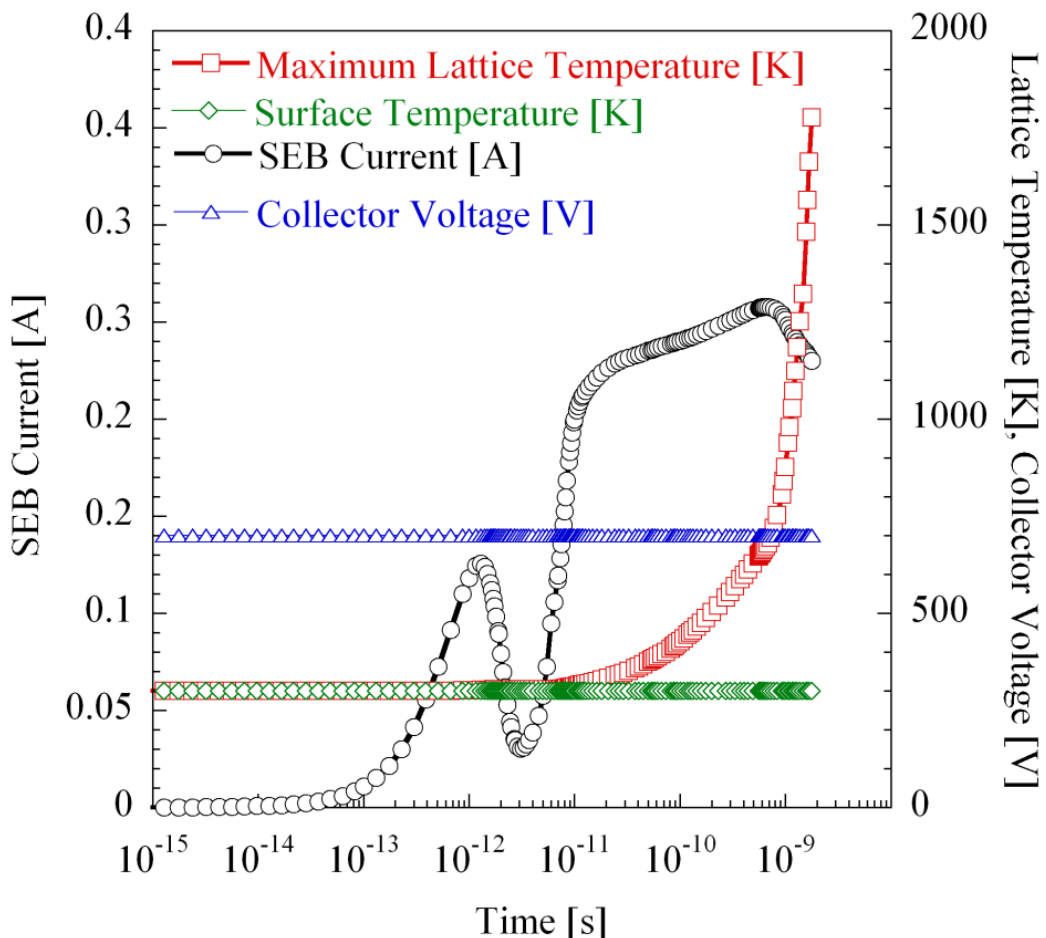


図 2.58 IGBT の SEB シミュレーション結果[5]

2.5 まとめ

本章では Si 及び SiC パワーデバイスの宇宙線中性子による破壊メカニズムを解析し、以下のことが明らかになった。

1. 白色中性子照射実験による故障率の印加電圧依存性

- ・印加電圧が SEB 閾値電圧を超えると、デバイス故障率が急激に増加する。
- ・ドリフト領域を厚くすると、SEB 閾値電圧は増加する。

従って、宇宙線中性子に対する偶発故障率は、デバイス設計によって制御可能である。

2. SEB 破壊痕の分析

- ・Si パワーデバイスでは、デバイス表面近傍に円形状の微小破壊痕がある事を初めて見出した。
- ・円形状破壊痕の内部で Si が溶融した痕跡があり、局所的に大きな電流が流れた事を明らかにした。
- ・SiC パワーデバイスでは、SiC の昇華による多数のクラックがデバイス内部に形成されており、デバイス表面から見て軸対象の形状をしている事が分かった。
- ・SiC の結晶方位を反映したクラック発生範囲の中央部には、SiC の昇華によって発生した空洞があり、デバイス内部電界がかかっているドリフト領域がジュール発熱領域である事を明らかにした。

3. デバイスシミュレーションによる SEB 破壊トリガメカニズム

過渡デバイスシミュレーション解析によって、以下の SEB 破壊のトリガメカニズムを明らかにした。

- ・反跳イオンによって電子正孔対が生成され、デバイス内部電界によって局所的な電流として流れる。反跳イオンによる電流をトリガーとして、デバイス内部電界がハンモック型へ変化し、裏面側 n/n^+ 界面にピーク電界が移動する。 n/n^+ 界面でのアバランシェによる電流とデバイス内部電界の積がジュール熱となって発熱し、最終的に Si の融点及び SiC の昇華温度に達して SEB 破壊に至る。
- ・インパクトイオン化モデルを考慮しないシミュレーションでは、SEB 電流が増加せず破壊しないことから、反跳イオンによって生成された電子正孔対による初期に流れる電流は、SEB 破壊のトリガーとして働き、 n/n^+ 界面でのアバランシェによる電流が SEB 破壊を決定する。

4. 熱伝導方程式を用いた理論解析

SEB 破壊時の温度上昇に対する理論式を熱伝導方程式から導出した。

- ・導出した理論式から、デバイスの温度上昇が、デバイス印加電圧とアバランシェによって発生した電荷量に比例し、発熱領域の体積に反比例する事が明らかになった。導出した理論式は、印加電圧の増加と共に故障率が増加する実験結果や、デバイスのドリフト領域が厚くなると SEB 閾値電圧が増加する実験結果を定性的に説明する。
- ・導出した理論式とデバイスシミュレーションによって得られた SEB 電流と印加電圧から、破壊痕サイズを計算した。理論及びシミュレーションから見積もった破壊痕サイズは、実測とほぼ一致する。

以上より、パワーデバイスの SEB 破壊は、 n/n^+ 界面でのアバランシェによって発生した電荷とデバイス印加電圧の積で表されるエネルギーによって、デバイス温度が局所的に上昇する熱破壊現象であると考えられる。

付録 2.2.1

2.21 Si パワーデバイスの中性子照射破壊痕分析 において用いた解析及び分析手法について補足する。

(1) 裏面 OBIRCH 解析

ここでは、光ビーム加熱抵抗変動 (Optical Beam Induced Resistance Change: OBIRCH)を用いて破壊箇所を特定した。デバイス裏面電極を除去し、デバイスの主電極間に電圧を印加した状態で、デバイス裏面側から赤外レーザー光を走査しながら照射する。ショート箇所にレーザーが照射された時に流れる電流変化を検知し、破壊箇所を特定した。

(2) 高角散乱環状暗視野走査透過顕微鏡法 (High-Angle Annular Dark-Field Scanning Transmission Electron Microscopy: HAADF-STEM)

電子線を走査させながら試料に当て、透過した電子の内、高角に散乱された電子を環状の検出器で検出する。原子量に比例したコントラストが得られるため、局所的に熔融した Al 電極が Si デバイス内部への侵入を観測するため、HAADF-STEM を用いた分析を行った。

(3) エネルギー分散型 X 線分光法 (Energy Dispersive X-ray Spectroscopy: EDX)

試料に照射した電子線によって発生した特性 X 線を分光し検出する手法で、特性 X 線が元素固有である事から、元素分析が可能である。Al 元素マッピングにより、熔融した Al が Si デバイス内部への侵入を観測した。

付録 2.4.1

式(2.4.5)を用いて、式(2.4.6)の積分の計算過程について補足する。

$$T(\mathbf{r}, t) = T_A + \frac{1}{\rho C_p} \int_0^t q(\tau) d\tau \int_{-a/2}^{a/2} dx' \int_{-b/2}^{b/2} dy' \int_{-c/2}^{c/2} dz' \\ \times \frac{1}{[4\pi D_{Si}(t-\tau)]^{3/2}} \exp\left\{\frac{-(x-x')^2}{4\pi D_{Si}(t-\tau)}\right\} \exp\left\{\frac{-(y-y')^2}{4\pi D_{Si}(t-\tau)}\right\} \exp\left\{\frac{-(z-z')^2}{4\pi D_{Si}(t-\tau)}\right\} \quad (2.4.6)$$

まず、下記の積分式 (付 1) について計算過程を示す。

$$\int_{-a/2}^{a/2} \frac{1}{[4\pi D_{Si}(t-\tau)]^{1/2}} \exp\left\{\frac{-(x-x')^2}{4\pi D_{Si}(t-\tau)}\right\} dx' \quad (付 1)$$

$\frac{x-x'}{\sqrt{4D_{Si}(t-\tau)}} = \eta$ とおくと、 $\frac{-dx'}{\sqrt{4D_{Si}(t-\tau)}} = d\eta$ となり、各変数の積分範囲は以下の様になる。

$$\begin{array}{ccc} x' & & \eta \\ -\frac{a}{2} \rightarrow \frac{a}{2} & \frac{x + \frac{a}{2}}{\sqrt{4D_{Si}(t-\tau)}} \rightarrow & \frac{x - \frac{a}{2}}{\sqrt{4D_{Si}(t-\tau)}} \end{array}$$

式(付 1)は次のように計算できる。

$$\begin{aligned} & \int_{-a/2}^{a/2} \frac{1}{[4\pi D_{Si}(t-\tau)]^{1/2}} \exp\left\{\frac{-(x-x')^2}{4\pi D_{Si}(t-\tau)}\right\} dx' \\ &= \frac{-\sqrt{4D_{Si}(t-\tau)}}{\sqrt{4\pi D_{Si}(t-\tau)}} \int_{\frac{x+\frac{a}{2}}{\sqrt{4D_{Si}(t-\tau)}}}^{\frac{x-\frac{a}{2}}{\sqrt{4D_{Si}(t-\tau)}}} e^{-\eta^2} d\eta \\ &= \frac{1}{\sqrt{\pi}} \int_{\frac{x+\frac{a}{2}}{\sqrt{4D_{Si}(t-\tau)}}}^{\frac{x-\frac{a}{2}}{\sqrt{4D_{Si}(t-\tau)}}} e^{-\eta^2} d\eta \\ &= \frac{1}{\sqrt{\pi}} \left[\int_0^{\frac{\frac{a}{2}+x}{\sqrt{4D_{Si}(t-\tau)}}} e^{-\eta^2} d\eta + \int_0^{\frac{\frac{a}{2}-x}{\sqrt{4D_{Si}(t-\tau)}}} e^{-\eta^2} d\eta \right] \\ &= \frac{1}{2} \left[\operatorname{erf}\left(\frac{\frac{a}{2}+x}{\sqrt{4D_{Si}(t-\tau)}}\right) + \operatorname{erf}\left(\frac{\frac{a}{2}-x}{\sqrt{4D_{Si}(t-\tau)}}\right) \right] \quad (付 2) \end{aligned}$$

次に、式(2.4.6)の一部である次式を、式(付 2)を用いて計算する。

$$\begin{aligned}
& \int_0^t d\tau \int_{-a/2}^{a/2} dx' \int_{-b/2}^{b/2} dy' \int_{-c/2}^{c/2} dz' \\
& \times \frac{1}{[4\pi D_{Si}(t-\tau)]^{3/2}} \exp\left\{\frac{-(x-x')^2}{4\pi D_{Si}(t-\tau)}\right\} \exp\left\{\frac{-(y-y')^2}{4\pi D_{Si}(t-\tau)}\right\} \exp\left\{\frac{-(z-z')^2}{4\pi D_{Si}(t-\tau)}\right\} \\
& = \int_0^t d\tau \frac{1}{2} \left[\operatorname{erf}\left(\frac{\frac{a}{2}+x}{\sqrt{4D_{Si}(t-\tau)}}\right) + \operatorname{erf}\left(\frac{\frac{a}{2}-x}{\sqrt{4D_{Si}(t-\tau)}}\right) \right] \\
& \times \frac{1}{2} \left[\operatorname{erf}\left(\frac{\frac{b}{2}+x}{\sqrt{4D_{Si}(t-\tau)}}\right) + \operatorname{erf}\left(\frac{\frac{b}{2}-x}{\sqrt{4D_{Si}(t-\tau)}}\right) \right] \\
& \times \frac{1}{2} \left[\operatorname{erf}\left(\frac{\frac{c}{2}+x}{\sqrt{4D_{Si}(t-\tau)}}\right) + \operatorname{erf}\left(\frac{\frac{c}{2}-x}{\sqrt{4D_{Si}(t-\tau)}}\right) \right] \tag{付 3}
\end{aligned}$$

$t - \tau = T$ とおくと、 $-d\tau = dT$ となり、各変数の積分範囲は以下の様になる。

$$\begin{array}{ccc}
\tau & & T \\
0 \rightarrow t & & t \rightarrow 0
\end{array}$$

式(付 3)は次のように計算できる。

$$\begin{aligned}
& \int_0^t dT \frac{1}{2} \left[\operatorname{erf}\left(\frac{\frac{a}{2}+x}{\sqrt{4D_{Si}T}}\right) + \operatorname{erf}\left(\frac{\frac{a}{2}-x}{\sqrt{4D_{Si}T}}\right) \right] \times \frac{1}{2} \left[\operatorname{erf}\left(\frac{\frac{b}{2}+x}{\sqrt{4D_{Si}T}}\right) + \operatorname{erf}\left(\frac{\frac{b}{2}-x}{\sqrt{4D_{Si}T}}\right) \right] \\
& \times \frac{1}{2} \left[\operatorname{erf}\left(\frac{\frac{c}{2}+x}{\sqrt{4D_{Si}T}}\right) + \operatorname{erf}\left(\frac{\frac{c}{2}-x}{\sqrt{4D_{Si}T}}\right) \right] \tag{付 4}
\end{aligned}$$

発熱領域単位体積あたりに、SEB 破壊時間 t_f までデバイスに加わったエネルギーは、

$$\int_0^{t_f} q(\tau) d\tau = \int_0^{t_f} \frac{I(\tau) \cdot V(\tau)}{\Delta} d\tau = \frac{E}{\Delta} \tag{付 5}$$

と表される。

式(付 4)で変数 T を τ に書き換え、SEB 破壊時間 t_f における温度は以下のように表される。

$$\begin{aligned}
T(\mathbf{r}, t_f) &= T_A + \frac{E}{\rho C_p \Delta} \int_0^{t_f} d\tau \frac{1}{2} \left[\operatorname{erf}\left(\frac{\frac{a}{2}+x}{\sqrt{4D_{Si}\tau}}\right) + \operatorname{erf}\left(\frac{\frac{a}{2}-x}{\sqrt{4D_{Si}\tau}}\right) \right] \\
& \times \frac{1}{2} \left[\operatorname{erf}\left(\frac{\frac{b}{2}+x}{\sqrt{4D_{Si}\tau}}\right) + \operatorname{erf}\left(\frac{\frac{b}{2}-x}{\sqrt{4D_{Si}\tau}}\right) \right] \times \frac{1}{2} \left[\operatorname{erf}\left(\frac{\frac{c}{2}+x}{\sqrt{4D_{Si}\tau}}\right) + \operatorname{erf}\left(\frac{\frac{c}{2}-x}{\sqrt{4D_{Si}\tau}}\right) \right] \tag{付 6}
\end{aligned}$$

また、SEB 破壊時間 t_f における発熱領域中央部の温度は、式(付 6)に $x=y=z=0$ を代入し以下のように表される。

$$T(\mathbf{0}, t_f) = T_A + \frac{E}{\rho C_p \Delta} \int_0^{t_f} d\tau \operatorname{erf}\left(\frac{a}{4\sqrt{D_{Si}\tau}}\right) \operatorname{erf}\left(\frac{b}{4\sqrt{D_{Si}\tau}}\right) \operatorname{erf}\left(\frac{c}{4\sqrt{D_{Si}\tau}}\right) \tag{付 7}$$

第3章 SiC パワーデバイスの短絡耐量理論解析

パワーデバイスには、万が一負荷短絡状態になっても、保護回路が動作して電流を遮断するまでの間、熱破壊に耐えうる能力が要求される。一般に短絡耐量とは、負荷短絡に耐えうる時間あるいはエネルギーのことを示す。本論文では、単位アクティブ面積あたりの短絡エネルギーを短絡耐量と定義し、短絡電流とデバイス印加電圧の積を短絡時間で積分し単位アクティブ面積あたりに換算して計算する。ここで、アクティブ面積とは、耐圧保持領域を除いたパワーデバイスの活性領域の面積である。本章では、パワーデバイスの SEB 破壊解析で構築した理論解析手法を適用し、SiC MOSFET の短絡耐量に対する理論式を導出する[14]。

3.1 Si と SiC のパワーデバイスの発熱密度の違い

図 3.1 に、Si 及び SiC の真性キャリア濃度の温度依存性を示す。Si では約 650 K の温度で真性キャリア濃度が指数関数的に増加するのに対し、SiC では 1500 K まで真性キャリア濃度は増加しない。一方、Al の融点は 933 K であり、SiC の真性キャリア濃度が増加しはじめる温度より低い。即ち、SiC パワーデバイスが熱暴走する前に、Al 電極が融点に達する。

図 3.2 に SiC MOSFET の短絡エネルギー密度の環境温度依存性に対する実測とデバイスシミュレーション結果を示す。短絡エネルギー密度が、環境温度に対して線形に低下している。次章では、短絡破壊がエネルギー密度で決まっている熱破壊現象であり、短絡耐量が環境温度に対して線形に低下する事について、熱伝導方程式を用いた理論式で説明する。また図 3.2 より、表面電極の温度が Al の融点に達した時間までデバイスに加わったエネルギー密度のシミュレーション結果は、実測と良く一致している事が分かる。一方、SiC MOSFET が熱暴走する時間までデバイスに加わったエネルギー密度は、実測値の約 4.7 倍となっており、SiC MOSFET の短絡破壊が半導体の熱暴走で決まっていない事を示している。過去の研究でも、SiC MOSFET の短絡耐量に関して、Al の融点を超えると短絡破壊が起こる事が報告されており[15, 16]、本研究でも同様の結果である。これは、短絡時の発熱によって表面電極の Al が熱膨張し、機械的な破壊が起こる事が原因と考えられる。従って、実装形態が変わった場合には、実測結果とシミュレーション結果から破壊を決定する温度を再度定義する必要がある。

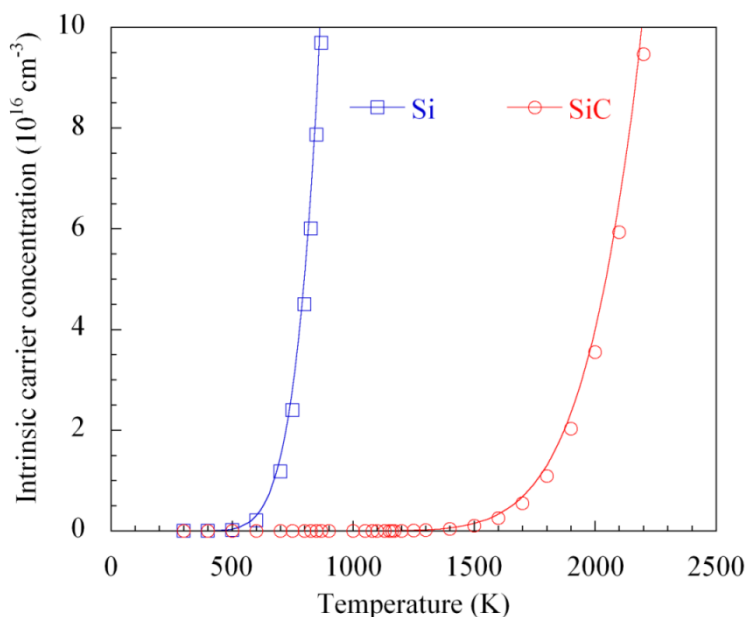


図 3.1 Si と SiC の真性キャリア濃度の温度依存性比較[14]

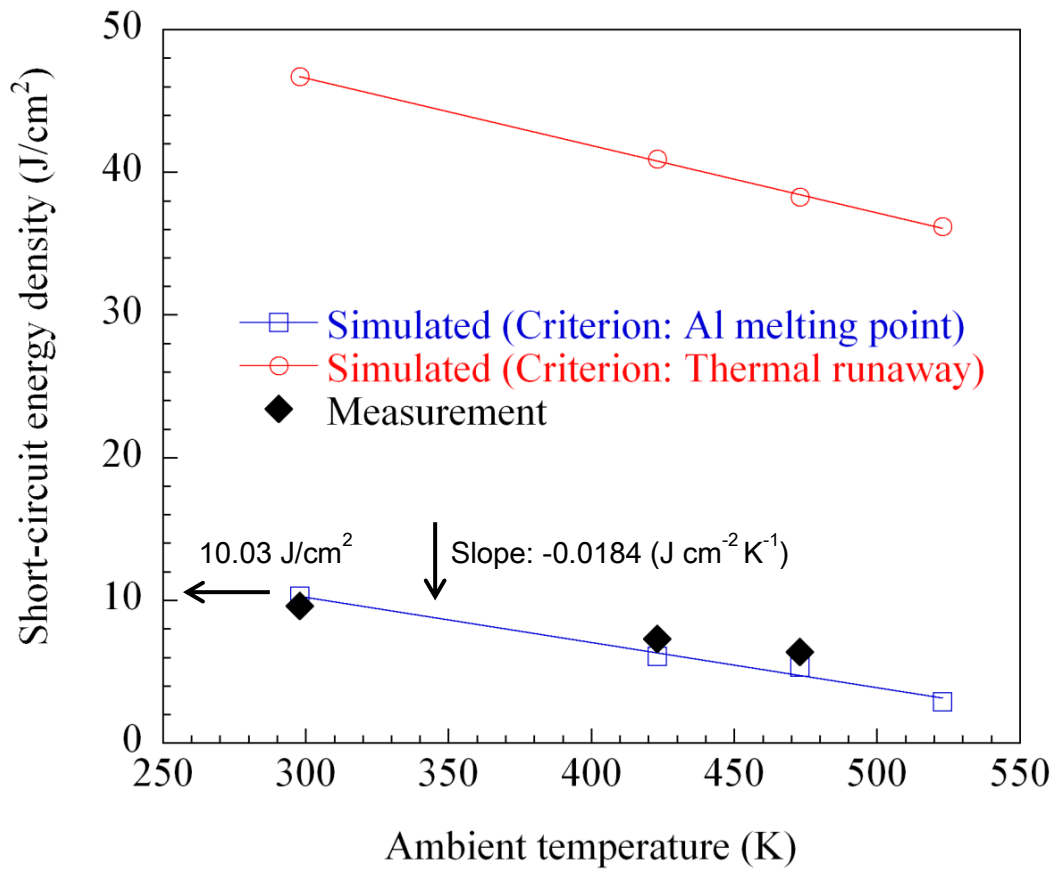


図 3.2 短絡エネルギー密度の環境温度依存性に対する実測とシミュレーション結果[14]

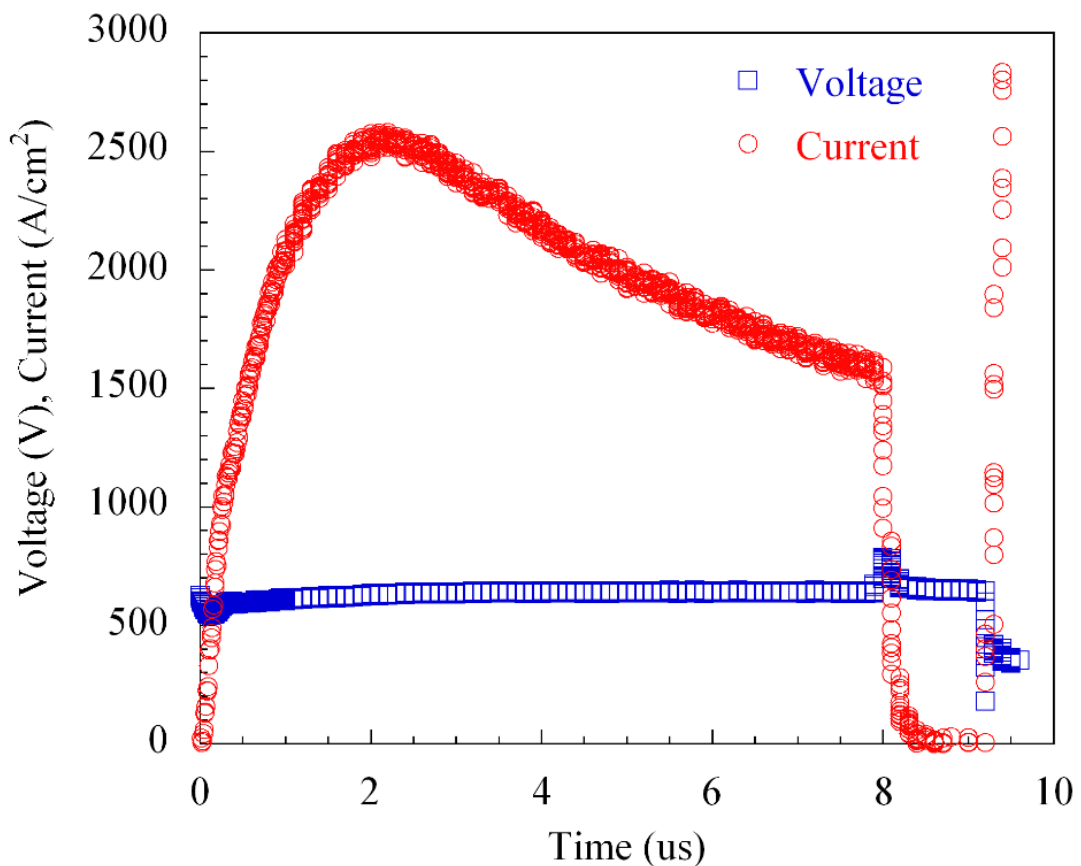


図 3.3 SiC MOSFET の短絡波形 (室温) [14]

SiC MOSFET の短絡波形を図 3.3 に示す。短絡時間は $8 \mu\text{s}$ 、短絡エネルギー密度（短絡耐量）は 10.03 J/cm^2 であり、同じ耐圧系の Si IGBT の短絡耐量と同程度である。図 3.4 に Si IGBT と SiC MOSFET のドリフト領域の厚さと短絡時間 $8 \mu\text{s}$ における熱拡散長比較を、表 3.1 に Si と SiC の熱物性値の比較を示す。SiC では熱伝導率が Si の 3 倍であるため、短絡時間の $8 \mu\text{s}$ における熱拡散長は、Si が $26.6 \mu\text{m}$ であるのに対し SiC では $42 \mu\text{m}$ である。

一方、SiC では絶縁破壊電界強度は Si の約 10 倍であるため、同じ耐圧系では、Si が $100 \mu\text{m}$ のドリフト領域の厚さの場合、SiC ではその 1/10 の $10 \mu\text{m}$ である。即ち、SiC MOSFET では、熱拡散長よりもドリフト領域の厚さの方が小さい。従って、SiC MOSFET の短絡エネルギーによる温度上昇は、ドリフト領域だけでなく、熱拡散した領域まで考慮する必要がある。次章では、熱伝導方程式を用いて熱拡散を考慮した SiC パワーデバイスの短絡破壊に対する理論式を導出する。

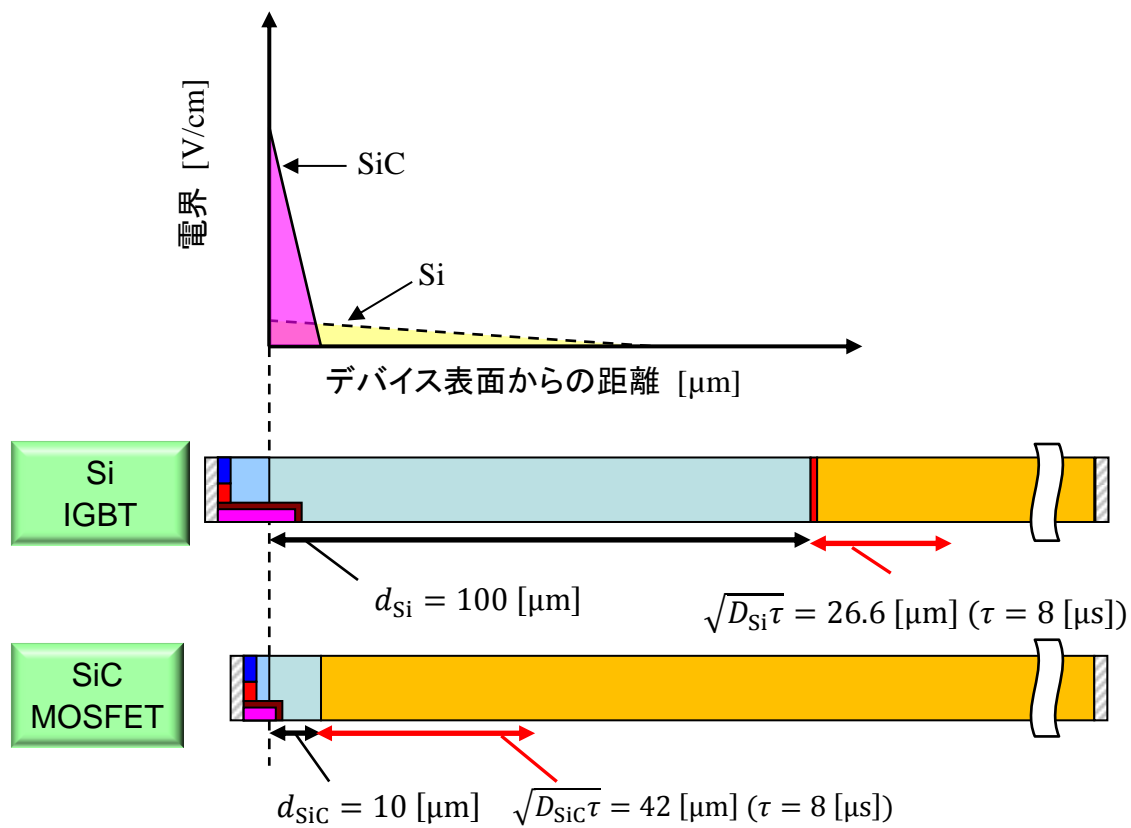


図 3.4 Si IGBT と SiC MOSFET のドリフト領域の厚さと短絡時間 $8 \mu\text{s}$ における熱拡散長比較

表 3.1 Si と SiC の熱物性比較

物性	単位	Si	SiC
密度 ρ	g/cm^3	2.33	3.21
熱容量 C_p	$\text{J}/(\text{g}\cdot\text{K})$	0.729	0.6736
熱伝導率 κ	$\text{W}\cdot\text{cm}^{-1}\cdot\text{K}^{-1}$	1.5	4.5
熱拡散率 D	cm^2/s	0.883	2.21
$8\mu\text{s}$ における熱拡散長 $\sqrt{D\tau}$	μm	26.6	42
ドリフト領域の厚さ(同じ耐圧系の一例)	μm	100	10

3.2 SiC パワーデバイスの短絡耐量に対する解析式の導出

短絡時間 t_{SC} [s]における発熱領域中央部のデバイス内部温度は式(付7)で与えられ、式(2.4.7)の近似を適用し、熱拡散係数を SiC の D_{SiC} [cm²/s]、単位アクティブ面積当たりの短絡エネルギーを E_{SC} [J/cm²]とすると式(3.2.1)のように表わされる。

$$\begin{aligned}
 T(t_{SC}) &= T_A + \frac{E_{SC}}{\rho C_p c} \int_0^{t_{SC}} d\tau \left[\operatorname{erf}\left(\frac{a}{4\sqrt{D_{SiC}\tau}}\right) \right] \cdot \left[\operatorname{erf}\left(\frac{b}{4\sqrt{D_{SiC}\tau}}\right) \right] \cdot \left[\operatorname{erf}\left(\frac{c}{4\sqrt{D_{SiC}\tau}}\right) \right] \quad (\text{付7}) \\
 &= T_A + \frac{E_{SC}}{\rho C_p c} \left\{ \int_0^{t_c} 1 d\tau + \int_{t_c}^{t_{SC}} \left[\frac{2}{\sqrt{\pi}} \frac{c}{4\sqrt{D_{SiC}\tau}} \right] \right\} \\
 &= T_A + \frac{E_{SC}}{\rho C_p c} \left\{ t_c + \frac{c}{\sqrt{\pi D_{SiC}}} (\sqrt{t_{SC}} - \sqrt{t_c}) \right\} \\
 &= T_A + \frac{E_{SC}}{\rho C_p c} \left\{ t_c + 2\sqrt{t_c}(\sqrt{t_{SC}} - \sqrt{t_c}) \right\}, \quad t_c \equiv \frac{c^2}{4\pi D_{SiC}} \quad (3.2.1)
 \end{aligned}$$

ここで、 $E_{SC}=E/ab$ 、 $\Delta=abc$ である。

無次元数 A を定義すると、SiC パワーデバイス短絡耐量理論式(3.2.2)が得られる。

$$\begin{aligned}
 E_{SC} &= \frac{1}{S_{\text{Active area}}} \int_0^{t_{SC}} I(\tau) V(\tau) d\tau \\
 &= A \rho C_p c (T_C - T_A) \quad (3.2.2)
 \end{aligned}$$

$$A \equiv \frac{1}{2} \cdot \sqrt{\frac{t_{SC}}{t_c}} \cdot \frac{1}{1 - \frac{1}{2} \sqrt{\frac{t_c}{t_{SC}}}}, \quad t_c \equiv \frac{c^2}{4\pi D_{SiC}}$$

ここで、 $S_{\text{Active Area}}$ [cm²] = a [cm] \times b [cm] はアクティブ面積、 T_C [K] は SiC パワーデバイスの短絡破壊を決定する温度、 c [cm] はドリフト領域の厚さである。

即ち、SiC パワーデバイスの短絡耐量 E_{SC} [J/cm²] は、発熱領域であるドリフト領域の熱容量と温度上昇の積に、短絡時間に依存する無次元の係数 A をかけることによって得られる。

さらに、SiC パワーデバイスの短絡耐量理論式(3.4.2)を環境温度 T_A で微分すると、短絡耐量の環境温度低下係数(3.4.3)が得られる。

$$\frac{\partial E_{SC}}{\partial T_A} = -A \rho C_p c \quad (3.2.3)$$

式(3.2.3)より、短絡時間及びデバイスのドリフト領域の厚さが決まれば、SiC パワーデバイスの短絡耐量の環境温度低下係数は、SiC の熱物性から理論的に計算できる。

3.3 実測による検証

この章では、SiC パワーデバイスの短絡耐量の理論式(3.2.2)及び短絡耐量の環境温度低下係数の理論式(3.2.3)について、その妥当性を検証する。

SiC の短絡破壊を決定する温度 T_c を Al の融点である 933 K とする。デバイスのドリフト領域の厚さ c が 10 μm 、短絡時間 t_{sc} が 8 μs の時、式(3.2.2)より短絡エネルギー密度は室温で 10.57 J/cm^2 と計算できる。これは、図 3.2 に示した SiC MOSFET の短絡耐量に対する実測値 10.03 J/cm^2 と良く一致する。また、式(3.2.3)より短絡エネルギー密度の環境温度低下係数は $-0.0166 \text{ J cm}^{-2} \text{ K}^{-1}$ と計算でき、図 3.2 の実測値 $-0.0184 \text{ J cm}^{-2} \text{ K}^{-1}$ と良く一致する。

図 3.5 に短絡エネルギー密度のドリフト領域の厚さ依存性に対する理論計算値と実測値の比較を示す。理論計算値と実測値は良く一致しており、本論文で構築した理論解析手法の有効性が実証できた。

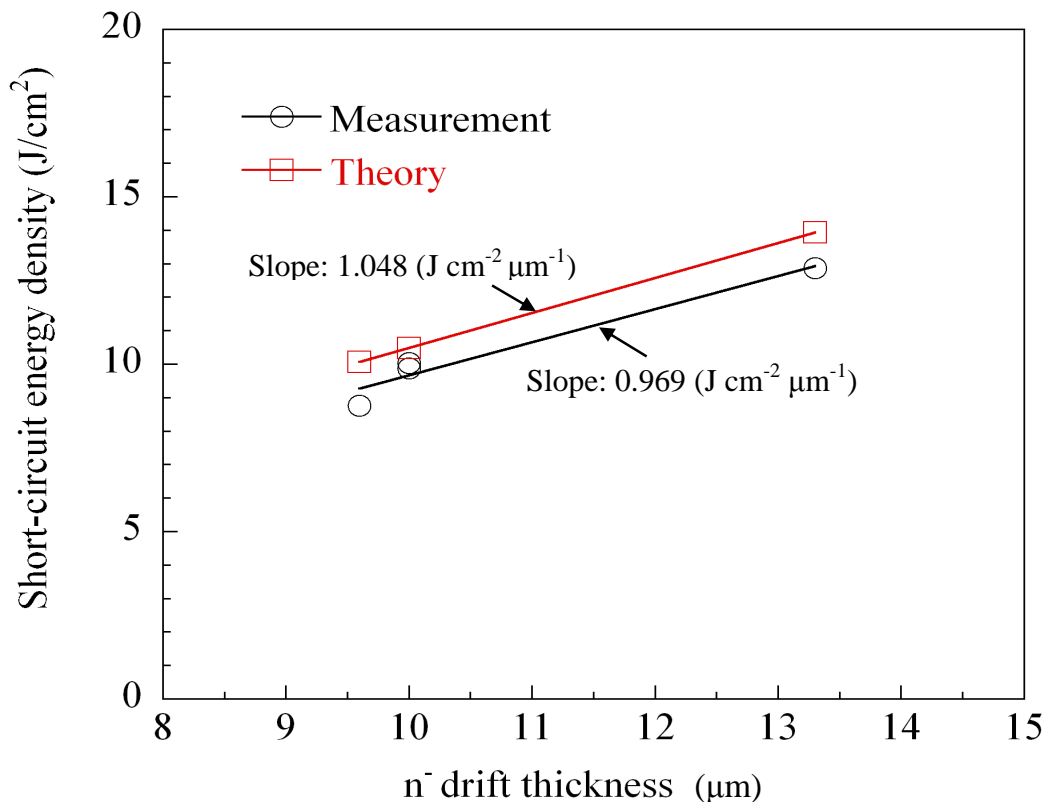


図 3.5 短絡エネルギー密度のドリフト領域の厚さ依存性に対する実測と理論計算結果[14]

3.4 まとめ

本章では、SiC パワーデバイスの短絡耐量及び短絡耐量の温度依存性に対する理論式を導出し、その有効性を実証し、以下を理論的に明らかにした。

1. SiC パワーデバイスの短絡耐量は、ドリフト領域の厚さに比例する。
2. SiC パワーデバイスの短絡耐量は、ドリフト領域の熱容量と温度上昇の積に本論文で定義した短絡時間に依存する無次元係数 A をかける事によって計算できる。
3. SiC パワーデバイスの短絡耐量の環境温度低下係数は、ドリフト領域の厚さと熱容量の積に無次元係数 A をかける事によって計算できる。

第4章 本論文の要約と結論

パワーデバイスの偶発故障率に対する信頼性を確保することを目的に、パワーデバイスの宇宙線破壊耐量に関する研究を行った。宇宙線中性子によるパワーデバイスの偶発故障率を低減するには、SEB 破壊に対する故障率が増加し始める SEB 閾値電圧以下でデバイスを使用することが重要である。本研究では、デバイス構造パラメータであるドリフト領域の厚さの最適設計で、SEB 閾値電圧が制御可能である事を明らかにした。また、微小な SEB 破壊痕の分析結果を踏まえ、デバイスシミュレーション解析によって SEB 破壊のトリガメカニズムを解明し、熱伝導方程式に基づいて導出した理論式と SEB 電流のシミュレーション結果より微小 SEB 破壊痕サイズが見積もれる事を示した。実験事実の理論的な裏付けにより、デバイス構造と破壊耐量向上指針の関係が明確になり、特に本研究対象である自動車用パワーデバイスの高信頼化に貢献したと考える。

さらに、SEB 理論熱解析で構築した理論解析手法を、SiC パワーデバイスの短絡破壊に適用し、SiC パワーデバイスの短絡耐量の理論式を導出した。短絡耐量の環境温度依存性やドリフト領域の厚さ依存性に対する実験事実を理論的に説明した。本研究で構築した理論解析手法と理論式の有効性が実証した。

以下に、2章から3章で得られた結果をまとめる。

第2章 パワーデバイスの宇宙線破壊耐量

2.1 白色中性子照射実験

パワーデバイスに電圧を印可した状態で白色中性子を照射し、チップ故障率の印可電圧依存性を実験的に求めた。故障が起こり始めるSEB閾値電圧がドリフト領域の厚さに依存し、ドリフト領域の厚さの最適設計で故障率を低減可能である事を示した。

2.2 白色中性子照射実験によるパワーデバイスの SEB 破壊痕分析

Si 及び SiC パワーデバイスの SEB 破壊痕を詳細に分析した。特に、Si ダイオードで観察した円形状の SEB 破壊痕は、電流集中箇所や破壊痕サイズは、デバイスシミュレーションや理論解析の裏付けにつながる重要な結果である。また、軸対称でドリフト領域に集中した破壊痕は、アバランシェで発生したキャリアによって、局所的に集中した電流が流れる熱破壊現象である事を裏付けるものであり、シミュレーションのデバイス内部温度の最大値箇所と破壊箇所が良く一致する事を示した。

2.3 デバイスシミュレーションによる SEB 破壊メカニズム解析

電圧を印可したデバイスに、反跳イオンによって生成される電子正孔対を内部に記述し、SEB 破壊に対するトリガメカニズムを解析した。インパクトイオン化を考慮しない場合には、初期に生成されたキャリアが電界によって掃き出されるだけで破壊に至らない。インパクトイオン化モデルを考慮した場合、初期に生成されたキャリアが掃き出される過程で、電界分布が裏面側 n/n^+ 界面に移動し、 n/n^+ 界面でインパクトイオン化が発生する。即ち、反跳イオンによって初期に生成されたイオンは SEB 破壊のトリガーとしてのみ働き、 n/n^+ 界面でのインパクトイオン化で生成されるキャリアによる SEB 電流によって、局所的にデバイス内部温度が上昇し、デバイス破壊に至る。また、シミュレーションで計算されるデバイス内部温度が最大箇所と SEB 破壊箇所が対応しており、SEB 破壊が、SEB 電流による局所的な熱破壊現象である事が分かった。

2.4 熱伝導方程式を用いた理論解析

熱伝導方程式に基づいた SEB 破壊の理論式を導出し、デバイスシミュレーションから得られる発熱量を用いて、SEB 破壊痕サイズを見積もった。計算で見積もった破壊痕サイズと分析で得られた破壊痕サイズに良い一致が見られた。導出した理論式から、デバイスの温度上昇はアバランシェで発生した電荷量及びデバイス印可電圧に比例し、発熱領域の体積に反比例する事が明らかになった。この理論式は、印可電圧の増加につれて故障率が增加する実験結果や、デバイスのドリフト領域が厚くなると SEB 閾値電圧が増加する実験結果を定性的に説明する。

以上の研究により、デバイスの使用電圧とデバイス構造パラメータであるドリフト領域の厚さの最適設計によって、パワーデバイスの宇宙線による偶発故障率が低減可能である事が明らかになった。

第3章 SiC パワーデバイスの短絡耐量解析

SEB 破壊に対する理論解析で構築した熱伝導方程式の近似解法を、SiC パワーデバイスの短絡耐量理論式の導出に適用した。SiC パワーデバイスの短絡耐量（短絡エネルギー密度）は、ドリフト領域の熱容量に短絡時間に依存する無次元の係数 A 及び温度上昇を乗じた式で表わされる。即ち、短絡電流とデバイス印可電圧の積を短絡期間で積分した短絡エネルギーが、熱伝導領域の温度上昇に変換されて熱破壊する現象である。導出した理論式より、SiC パワーデバイスの短絡耐量を向上するためには、発熱密度を下げるため、ドリフト領域を厚くする事が有効である。

導出した理論式から計算した短絡耐量及びその環境温度依存係数並びに短絡耐量のドリフト領域の厚さ依存性が、実測値と良く一致する事を実証した。

パワーデバイスの宇宙線破壊耐量及び SiC パワーデバイスの短絡耐量の理論的式の導出によって、偶発故障低減に対する設計指針や耐量向上のための指標が明確になった。これらの破壊耐量は、設計段階で信頼性を作り込む事が重要であり、本研究で得た知見は、パワーデバイスの信頼性向上に役立つものとする。

参考文献

- [1] J.F. Ziegler, "Terrestrial cosmic rays," IBM J. Research Development, Vol. 40, No.1, 1996, 19 - 39.
- [2] Hiroaki Asai, Kenji Sugimoto, Isamu Nashiyama, Yoshiya Iide, Kensuke Shiba, Mieko Matsuda, and Yoshio Miyazaki "Terrestrial Neutron-Induced Single-Event Burnout in SiC Power Diodes", IEEE Trans. Nucl. Sci., 2012 **59**, pp. 880 - 885.
- [3] Tomoyuki Shoji, Shuichi Nishida, and Kimimori Hamada, "Triggering Mechanism for Neutron Induced Single Event Burnout in Power Devices", Japanese Journal of Applied Physics, **52** (2013) 04CP06
- [4] Tomoyuki Shoji, Shuichi Nishida, Kimimori Hamada, and Hiroshi Tadano, "Observation and Analysis of Neutron-Induced Single-Event Burnout in Silicon Power Diodes", IEEE Transactions on Power Electronics, **30** (2015) p.2474
- [5] Tomoyuki Shoji, Shuichi Nishida, Kimimori Hamada and Hiroshi Tadano, "Cosmic Ray Neutron Induced Single-event Burnout in Power Devices", IET Power Electronics, 2015, Vol. 8, Issue 12, pp. 2315 –2321
- [6] (*Invited*) Tomoyuki Shoji, Shuichi Nishida, Kimimori Hamada and Hiroshi Tadano, "Cosmic Ray Induced Single-Event Burnout in Power Devices "12th INTERNATIONAL SEMINAR ON POWER SEMICONDUCTORS (ISPS) , 2014, pp 5-14
- [7] Tomoyuki Shoji, Shuichi Nishida, Kimimori Hamada, and Hiroshi Tadano, "Experimental and simulation studies of neutron- induced single-event burnout in SiC power diodes", Japanese Journal of Applied Physics, **53** (2014) 04EP03
- [8] Tomoyuki Shoji, Shuichi Nishida, Kimimori Hamada and Hiroshi Tadano, "Analysis of Neutron-induced Single-event burnout in SiC power MOSFETs", Microelectronics Reliability, **55** (2015) 1517-1521
- [9] Tomoyuki Shoji, Shuichi Nishida, Toyokazu Ohnishi, Touma Fujikawa, Noboru Nose, Kimimori Hamada, and Masayasu Ishiko, "Reliability Design for Neutron Induced Single-Event Burnout of IGBT", IEEE Transactions on Industry Applications, Vol.131 No.8 pp.992-999, 2011
- [10] S. Kuboyama, C. Kamezawa, N. Ikeda, T. Hirao, and H. Ohyama: IEEE Trans. Nucl. Sci. **53** (2006) 3343.
- [11] T. Hatakeyama, T. Watanabe, T. Shinohe, K. Kojima, K. aria, and N. Sano, "Impact ionization coefficients of 4H silicon carbide", Applied Physics Letters, **85**, (2004) pp. 1380 - 1382
- [12] Kevin D. Cole, James V. Beck, A. Haji-Sheikh, Bahman Litkouhi, "Heat Conduction Using Green's Functions, 2nd Edition" CRC Press, (2010)
- [13] 森口繁一, 宇田川銈久, 一松信, " 級数・フーリエ解析 (岩波 数学公式 II)" (1987)
- [14] Tomoyuki Shoji, Akitaka Soeno, Hiroaki Toguchi, Sachiko Aoi, Yukihiko Watanabe and Hiroshi Tadano, "Theoretical Analysis on Short-Circuit Capability of SiC Power Devices", Japanese Journal of Applied Physics, (2015) **54** 04DP03
- [15] X. Huang, G. Wang, Y. Li, A. Q. Huang, and B. Jayant Baliga, Applied Power Electronics Conf. Expo. 2013, p. 197.
- [16] D. Othman, S. Lefebvre, M. Berkani, Z. Khatir, A. Ibrahim, and A. Bouzourene, Microelectron. Reliab. **53** 1735 (2013).

関連業績

学協会受賞

- [1] 第 70 回電気学術振興賞（論文賞） “Reliability Design for Neutron Induced Single-Event Burnout of IGBT”, 2014
- [2] 第 71 回電気学術振興賞（進歩賞） 「宇宙線シングルイベント現象に対するパワーデバイスの高信頼化への貢献」, 2015

査読付論文(主著)

- [1] 庄司智幸, 石子雅康, 斎藤順, "短絡耐量の温度依存性に対する理論解析", 電気学会論文誌 C, **130**(6), pp. 939-943, 2010
- [2] Tomoyuki Shoji, Shuichi Nishida, Toyokazu Ohnishi, Touma Fujikawa, Noboru Nose, Kimimori Hamada, and Masayasu Ishiko, "Reliability Design for Neutron Induced Single-Event Burnout of IGBT", IEEJ Transactions on Industry Applications, Vol.131 No.8 pp.992-999, 2011 （第 70 回電気学術振興賞 論文賞 ,2014.5）
- [3] Tomoyuki Shoji, Shuichi Nishida, and Kimimori Hamada, "Triggering Mechanism for Neutron Induced Single Event Burnout in Power Devices", Japanese Journal of Applied Physics, **52** (2013) 04CP06
- [4] Tomoyuki Shoji, Shuichi Nishida, Kimimori Hamada, and Hiroshi Tadano, "Experimental and simulation studies of neutron- induced single-event burnout in SiC power diodes", Japanese Journal of Applied Physics, **53** (2014) 04EP03
- [5] Tomoyuki Shoji, Shuichi Nishida, Kimimori Hamada, and Hiroshi Tadano, "Observation and Analysis of Neutron-Induced Single-Event Burnout in Silicon Power Diodes", IEEE Transactions on Power Electronics, **30** (2015) p.2474
- [6] Tomoyuki Shoji, Akitaka Soeno, Hiroaki Toguchi, Sachiko Aoi, Yukihiko Watanabe and Hiroshi Tadano, "Theoretical Analysis on Short-Circuit Capability of SiC Power Devices", Japanese Journal of Applied Physics, (2015) **54** 04DP03
- [7] Tomoyuki Shoji, Shuichi Nishida, Kimimori Hamada and Hiroshi Tadano, "Analysis of Neutron-induced Single-event burnout in SiC power MOSFETs", Microelectronics Reliability **55** (2015) pp. 1517–1521
- [8] Tomoyuki Shoji, Shuichi Nishida, Kimimori Hamada and Hiroshi Tadano, "Cosmic Ray Neutron Induced Single-event Burnout in Power Devices", IET Power Electronics, 2015, Vol. 8, Issue 12, pp. 2315 –2321

査読付論文(共著)

- [1] 西田秀一, 庄司智幸, 大西豊和, 藤川東馬, 野瀬昇, 石子雅康, 濱田公守, "ハイブリッド車用パワー半導体の宇宙線破壊耐量“ 電気学会論文誌 C, 130(6), pp. 934-948, 2010
- [2] Masayasu Ishiko, Koji Hotta, Sachiko Kawaji, Takahide Sugiyama, Tomoyuki Shoji, Takeshi Fukami, and Kimimori Hamada, "Investigation of IGBT turn-on failure under high applied voltage operation", Microelectronics Reliability **44** (2004)1431-1436

国際学会(主著)

- [1] Tomoyuki Shoji, Masayasu Ishiko, Takeshi Fukami, Takashi Ueta and Kimimori Hamada, "Investigations on Current Filamentation of IGBTs under Unclamped Inductive Switching Conditions" The 17th International Symposium on Power Semiconductor Devices and ICs (ISPSD '05), 2005.

- [2] Tomoyuki Shoji, Shuichi Nishida, Toyokazu Ohnishi, Touma Fujikawa, Noboru Nose, Kimimori Hamada, and Masayasu Ishiko, “Neutron Induced Single-Event Burnout of IGBT “The 2010 International Power Electronics Conference -ECCE ASIA- (IPEC-Sapporo2010)
- [3] Tomoyuki Shoji, Shuichi Nishida, and Kimimori Hamada, “Triggering Mechanism for Neutron Induced Single Event Burnout in Power Diode “, International Conference on Solid State Devices and Materials (SSDM), Kyoto, 2012, pp1235-1236
- [4] Tomoyuki Shoji, Shuichi Nishida, Kimimori Hamada and Hiroshi Tadano, “Neutron Induced Single Event Burnout in SiC Power Diode “, International Conference on Solid State Devices and Materials (SSDM), Fukuoka, 2013, pp954-955
- [5] Tomoyuki Shoji, Akitaka Soeno, Hiroaki Toguchi, Sachiko Aoi, Yukihiko Watanabe and Hiroshi Tadano, “Short-Circuit Capability of SiC Power MOSFETs “, International Conference on Solid State Devices and Materials (SSDM), Tsukuba, 2014, pp374-375
- [6] (*Invited*) Tomoyuki Shoji, Shuichi Nishida, Kimimori Hamada and Hiroshi Tadano, “Cosmic Ray Induced Single-Event Burnout in Power Devices “12th INTERNATIONAL SEMINAR ON POWER SEMICONDUCTORS (ISPS) , 2014, pp5-14
- [7] Tomoyuki Shoji, Shuichi Nishida, Kimimori Hamada and Hiroshi Tadano, “Analysis of Neutron-induced Single-event burnout in SiC power MOSFETs”, European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF) 2015,

国際学会 (共著)

- [1] Shuichi Nishida, Tomoyuki Shoji, Toyokazu Ohnishi, Touma Fujikawa, Noboru Nose, Masayasu Ishiko, and Kimimori Hamada, “Cosmic Ray Ruggedness of IGBTs for Hybrid Vehicles” The 22nd International Symposium on Power Semiconductor Devices and ICs (ISPSD'10)
- [2] Shuichi Nishida, Tomoyuki Shoji, Toyokazu Ohnishi, Touma Fujikawa, Noboru Nose, Masayasu Ishiko, and Kimimori Hamada, “Improvement of Cosmic Ray Ruggedness of Hybrid Vehicles Power Semiconductor Devices” The 9th International Workshop on Radiation Effects on Semiconductor Devices for Space Applications (RASEDA) 2010.10
- [3] M. Miyake, A. Ohashi, M. Yokomichi, H. Masuoka, T. Kajiwara, N. Sadachika, U. Feldmann, H. J. Mattausch, M. Miura-Mattausch, T. Kojima, T. Shoji, and Y. Nishibe, “A Consistently Potential Distribution Oriented Compact IGBT Model” 39th IEEE Annual Power Electronics Specialists Conference (PESC08)
- [4] T. Fukami, H. Senda, T. Onishi, T. Kushida, T. Shoji, M. Ishiko, “Proposal of Screening Technique for Reverse Biased Safe Operating Area Failure by Unclamped Inductive Switching” IEEE 36th Annual Power Electroni. Specialists Conf. (PESC2005), Recife, Brazil
- [5] M. Ishiko, S. Kawaji, T. Sugiyama, T. Shoji, K. Hotta, T. Fukami, and K. Hamada, “Investigation of IGBT Turn-on Failure under High Applied Voltage Operation ”15th European Symp. on Reliab. of Electron Devices, Failure Phys. and Anal., Zurich, Switzerland

国内学会 (共著)

- [1] 西田秀一, 庄司智幸, 大西豊一, 藤川東馬, 野瀬昇, 石子雅康, 濱田公守, “ハイブリッド車用パワー半導体の宇宙線による破壊メカニズム解明”, 第 30 回 LSI テスティングシンポジウム (LSITS2010)
- [2] 西田秀一, 庄司智幸, 大西豊一, 藤川東馬, 野瀬昇, 石子雅康, 濱田公守, “ハイブリッド車用 IGBT の宇宙線耐量 “, 電子デバイス/半導体電力変換合同研究会 (2010)

謝辞

本研究は、筑波大学大学院 数理物質科学研究科 電子・物理工学専攻及び株式会社豊田中央研究所にて実施したものである。本研究および本博士論文に関して、終始懇切なご指導を賜りました筑波大学数理物質系 物理工学域 教授 只野博 博士に深く感謝いたします。

また、本論文をご査読頂いた、筑波大学数理物質系 物理工学域 教授 秋本克洋 博士、筑波大学数理物質系 物理工学域 教授 岩室憲幸 博士、国立研究開発法人 産業技術総合研究所 先進パワーエレクトロニクス研究センター SiC デバイスチーム チームリーダー 原田信介 博士に感謝いたします。

さらに、本研究を行う上で多大な協力を頂いたトヨタ自動車株式会社の西田秀一氏、ならびにトヨタ自動車株式会社関係各位に感謝いたします。

最後に、暖かく見守ってくれた家族に感謝いたします。

2016年 2月
庄司 智幸