

氏名	鈴木 将之		
学位の種類	博士 (工学)		
学位記番号	博 甲 第 7723 号		
学位授与年月日	平成 28 年 3 月 25 日		
学位授与の要件	学位規則第 4 条第 1 項該当		
審査研究科	システム情報工学研究科		
学位論文題目	FPGA を用いた SAT プリプロセッサの高速化		
主査	筑波大学 教授	工学博士	丸山 勉
副査	筑波大学 教授	工学博士	鬼沢 武久
副査	筑波大学 准教授	博士(工学)	延原 肇
副査	筑波大学 教授	博士(工学)	安永 守利
副査	筑波大学 准教授	博士(工学)	山口 佳樹

論文の要旨

本論文は非常に大規模な SAT 問題の実応用問題に対する、FPGA を用いた SAT プリプロセッサの高速化手法に関するものである。SAT 問題は論理式を真にする変数への真偽の割り当てを求める問題であり、SAT プリプロセッサは、問題規模を削減することを目的として、SAT ソルバに先立って実行されるアプリケーションである。SAT プリプロセッサに関する実装例はこれまでない。本論文では、2 種類の SAT プリプロセッサの実装と評価を通して、大規模な問題において、アルゴリズムの並列化の他、幾つかのメモリアクセス最適化手法を適用することにより、単一の FPGA においてどの程度の高速化が可能となるかを示している。

まず、現在広く使われている SAT プリプロセッサである SatElite の実装では、データ構造を工夫することにより、ほとんどの読み出しをバーストリードで連続的に読み出すことができるようにした。また、一旦読み出した節を格納するための専用キャッシュメモリを用意することで、メモリアクセス遅延の発生を減らした。これらの工夫により、3~50 倍の高速化率を達成することができることを確認した。また、ほとんどの問題においてメモリアクセス遅延を隠蔽できることを示した。次に、比較的最近開発されたプリプロセッサである Unhiding の実装においては、さらにランダムアクセス時のアクセス遅延による待ち時間を隠蔽するために、複数の処理を並列に実行し、それらから発生するメモリ参照をそのアクセス先のバンクによって振り分け、各バンクを順次参照することによって (バンクインターリーブ)、最大限のスループットを実現する方式を採用した。その結果、ほとんどのメモリ参照がランダムアクセスの場合でも最大 7 倍程度の高速化が可能であることを示した。

本研究は、このような大規模問題に対してどの程度の高速化が可能かを示した数少ない研究の一つである。

審査の要旨

【批評】

本論文では、非常に大規模な実応用問題である SAT プリプロセッサの FPGA による高速化を目指したものである。このような大規模な問題においては、一般に外部メモリへの参照がボトルネックとなるため、それ程の高速化は実現できないと考えられており、その実現例は非常に限られている。本論文では、2種類のプリプロセッサの実装と評価を行い、データ構造およびメモリ参照方式における工夫を行うことにより、十分な高速化を達成できることを大規模実応用問題において示した。一つ目のプリプロセッサ SatElite では、データ構造の工夫によりデレファレンスを除くほぼ全てのメモリ参照をバーストリードとし、また、専用のキャッシュメモリを用いることにより、十分な並列性を FPGA 上で実現することができることを示した。高速化率は、問題依存ではあるものの最大 50 倍と十分と言える。2つ目のプリプロセッサ Unhiding においては、バーストリードの活用が困難な問題であることから、マルチスレッド処理に基づくバンクインターリーブを活用するという選択をした。その高速化率は最大 7 倍程度であるが、メモリアクセスが完全なボトルネックとなる問題においても、この程度の高速化が達成できることを明確にした点は評価することができる。

このように、従来高速化が困難であると思われてきた大規模問題に対する FPGA 高速処理システムの実現を行い、実応用問題での評価を通して十分な高速化が可能であることを示した点が高く評価できる。以上より、本研究は、学位(博士)論文として十分な内容であると判断できる。

【最終試験の結果】

平成 28 年 2 月 9 日、システム情報工学研究科において、学位論文審査委員の全員出席のもと、著者に論文について説明を求め、関連事項につき質疑応答を行った。その結果、学位論文審査委員全員によって、合格と判定された。

【結論】

上記の学位論文審査ならびに最終試験の結果に基づき、著者は博士（工学）の学位を受けるに十分な資格を有するものと認める。