

解説



様々な角度から見たニューラルネットワークの将来像

9. ニューロ LSI の現状と将来†

渡部 隆夫†† 安永 守利††

1. はじめに

ニューロ LSI に関しては、様々なアプローチがあり¹⁾、現時点で将来の展開を予測することは困難である。本稿では著者らが開発したハードウェアを例にとり、ニューロ LSI の現状と将来に関する私見をまとめている。

ニューラルネットワークのモデルには、共通する二つの大きな特徴がある。第一の特徴は、演算の並列性であり、第二はニューロン数の二乗に比例して増加する結合係数の多さである。したがって、並列性を活かした高速演算と、大容量のメモリ機能の実現が LSI 化の重要なポイントとなる。

図-1 は、ニューロ LSI に要求される性能と応用分野を示したものである。図に示したように、応用分野によって必要な記憶容量と演算速度が大きく異なるため、それを実現するのに適した LSI の形態も変わってくる。領域によってはライブラリ化された回路を集積した ASIC (Application Specific IC) や、高速の CPU または DSP と DRAM など汎用 LSI の組合せで対応できる。しかし、特に演算速度と記憶容量の要求される領域では、消費電力、チップ間のデータ転送速度がネックとなり専用 LSI が必要となる。

2. 10 の 6 乗シナプスチップアーキテクチャ

これまで様々なニューロ LSI が提案されてきた¹⁾。ここでは、筆者の一人(渡部)らが提案したアーキテクチャの例^{2)~4)}を紹介する。

図-2 にチップ構成と試作した小規模実験チップを示した。このチップは、ニューロンの出力値を記憶するレジスタと、プロセッシングノード

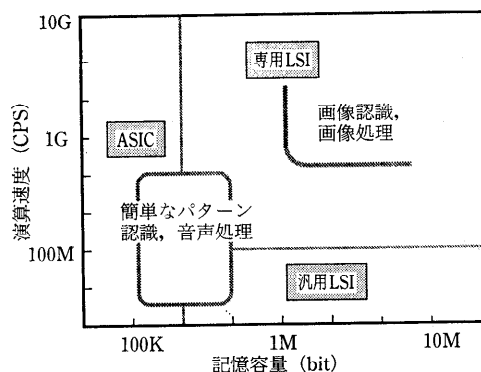
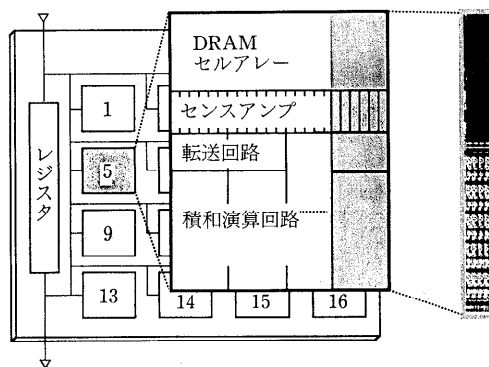


図-1 ニューロ LSI に要求される性能と応用分野



(a) チップ構成 (b) 小規模実験チップ

図-2 10⁶ シナプスチップアーキテクチャ

群より構成される。個々のプロセッシングノードは、結合重みを記憶する DRAM セルアレイと積和演算回路群から構成され、チップ全体では、8メガビットのメモリと並列に動作する積和演算回路を 256 個含む。詳細は省略するが、このチップは 1.5 V 電源電圧で動作し、0.5 μ m CMOS を用いるとフルスケールチップのチップサイズ、消費電力、演算速度はそれぞれ、15.4 mm \times 18.6 mm, 75 mW, 1.37 GCPS (Giga Connections Per Second) になると推定される。なお、記憶可能な

† Present Status and Future Perspective of Neuro-LSI's by Takao WATANABE and Moritoshi YASUNAGA (Central Research Laboratory, Hitachi, Ltd.).

†† 日立中央研究所

結合重みの数は 1,048,576 と 10 の 6 乗以上となり、完全結合のネットワークなら最大 1024 ニューロン、3 層のネットワークなら、各層 724 ニューロンのネットワークの演算が可能となる。このように、最先端のメモリ技術を活用した専用 LSI によれば、乾電池で動作する大規模なニューロチップも可能である。ちなみに、5V の電源電圧で動作する汎用の 4M ビット DRAM 2 個と一般的な DSP 1 個で同等のシステムを構成した場合には、消費電力が 1.5W と大きくなり、演算速度も 20 MCPS 程度にしか達しない。

3. 大規模化と自律的な欠陥救済能力

LSI の微細化がさらに進むと将来は 10 の 12 乗シナプス級のハードウェアを手のひらに乗せることも夢ではない。通常のノイマン型計算機では、システムの大規模化にともない複雑なフォールトトレラント化の技術が不可欠である。しかし、ニューラルネットワークは、冗長性と自己組織化能力による高いフォールトトレランスをもつ。このため、従来にない大規模な LSI システムも可能になると予想される。

ニューラルネットワークのフォールトトレランスについてはいくつかの報告がなされている^{8),9)}。ここでは、筆者の一人(安永)らが行った実験結果を紹介する⁷⁾。安永らはウェーハスケール集積回路 (WSI: Wafer Scale Integration) によるニューロ LSI を試作した^{8),9)}。WSI は半導体ウェーハをそのまま LSI として用いる方式であり、ギガゲート、ギガバイト級のハードウェアを先取りした技術である。しかし、集積回路面積とともにほぼ指数関数的に増加する欠陥発生率のため、欠陥のない WSI を得ることはほとんど不可能である。

試作した WSI 用ウェーハは直径 5 インチ (約 13cm) のシリコンウェーハで、144 個のニューロンが実装されている。各ニューロンは $0.8\mu\text{m}$ の CMOS デジタル回路で構成され、バックプロパゲーション用の学習回路をもつ。WSI 中のいくつかのニューロンは製造欠陥により欠陥ニューロンであった。この欠陥ニューロンをそのままにして、ネットワークを学習させた結果を図-3に示す。学習対象は、排他的論理和 (の入出力関係) とした。横軸は、バックプロパゲーションの学習回数、縦軸は出力ニューロンの誤差である。誤差

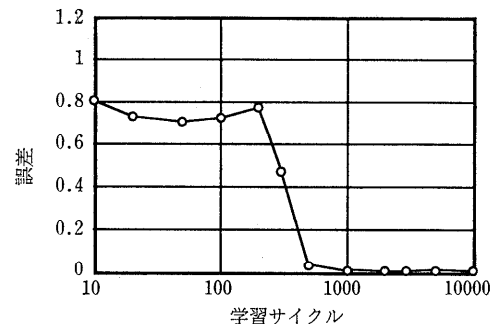


図-3 欠陥ニューロンを含んだニューラルネットワーク WSI の学習結果

が ~ 0 となれば学習終了である。学習開始時点で誤差は約 0.8 であるが、学習回数が 200 回を過ぎた時点から急速に学習が進行し、約 700 回で誤差が ~ 0 となった。これはニューラルネットワークが自律的に欠陥ニューロンを救済したことを示す。欠陥ニューロンがあっても学習が終了するメカニズムは次のとおりである。すなわち、欠陥ニューロンの出力を受けるニューロン (正常ニューロン) が、学習の進行とともに欠陥ニューロンの出力に接続されたシナプスの結合係数を ~ 0 に変化させる。重みを ~ 0 にすることによって欠陥ニューロンの影響は排除される。これは、欠陥ニューロンが自律的に排除されたことに等しい。

4. おわりに

上記のように最先端の LSI 技術とニューラルネットワークのもつ自律的な欠陥救済能力を活かすことにより、生体に近い大規模ネットワークを作ることにも夢ではない。しかし、そのような LSI が大量に生産され、様々な機器に搭載されるには、現在のニューラルネットワークのアルゴリズムの研究成果は十分とはいえない。また、LSI の研究においても従来の計算機システムとの親和性や汎用性、コスト面での配慮を行う必要がある。今後は、両者の間の密な連携がますます重要になる。単にニューラルネットワークモデルのアクセラレータの枠を越えた新しい LSI アーキテクチャと広い用途が産み出されることを期待したい。

参考文献

- 1) Sa'nchez-Sinencio, E. and Lau, C.: Artificial Neural Networks, IEEE Press (1992).
- 2) Watanabe, T., Kimura, K., Aoki, M., Sakata,

- T. and Itoh, K.: A Single 1.5-V Digital Chip for a 10^6 -Synapse Neural Network, Proc. of IJCNN 92 Baltimore, II, pp. 7-12 (1992).
- 3) Watanabe, T., Kimura, K., Aoki, M., Sakata, T. and Itoh, K.: 1.5-V Digital Chip Architecture for a 10^6 -Synapse Neural Network, IEEE Transon Neural Networks, Special Issue on Neural Network Hardware, Vol. 4, No. 3, pp. 387-393 (1993).
- 4) Watanabe, T., Aoki, M., Kimura, K., Sakata, T. and Itoh, K.: The Advantages of a DRAM-Based Digital Architecture for Low-Power, Large-Scale Neuro-Chips, IEICE Trans Electron. Vol. E76-C, No. 7, pp. 1206-1214 (1993).
- 5) Nijhuis, J., Hoffinger, B., Schaik, A. and Spaanenburg, L.: Limits to the Fault-Tolerance of Feedforward Neural Network with Learning, Proc. of IEEE Int. Symp. on Fault Tolerant Computing, pp. 228-235 (1990).
- 6) 丹, 南谷: フォールトトレランスを有する階層型ニューラルネットワークとその性質, 電子情報通信学会論文誌, Vol. J76-D-I, No. 7, pp. 380-389 (1993).
- 7) 安永, 浅井, 柴田, 山田: ニューラルネットワーク集積回路の自律的な欠陥救済能力, 電子情報通信学会論文誌, Vol. J75-D-I, No. 11, pp. 1099-1108 (1992).
- 8) Yasunaga, M., Masuda, N., Yagyu, M., Asai, M., Shibata, K., Ooyama, M., Yamada, M., Sakaguchi, T. and Hashimoto, M.: A Self-Learning Digital Neural Network Using Wafer-scale LSI, IEEE Journal of Solid-State Circuits, Vol. 28, No. 2, pp. 106-114 (1993).
- 9) Fujita, M., Kobayashi, Y., Shiozawa, K., Takahashi, T., Mizuno, F., Hayakawa, H., Kato, M., Mori, S., Kase, T., Yamada, M.: Development and Fabrication of Digital Neural Network WSI, IEICE Trans. Electron., Vol. E76-C, No. 7, pp. 1182-1190 (1993).

(平成6年3月8日受付)



渡部 隆夫

1981年慶応義塾大学工学部計測工学科卒業。1983年同大学院工学研究科修士課程修了。同年(株)日立製作所入社。以来、同社中央研究所において、BiCMOS DRAMの研究。DRAMを用いたニューロ LSIの研究に従事。1988年～1989年エール大学大学院電気工学科に留学。1989年同大学修士課程修了。現在、日立製作所中央研究所 ULSI 研究センター研究員。電子情報通信学会、IEEE 各会員。



安永 守利 (正会員)

1981年筑波大学基礎工学類物理工学卒業。1983年同大学院工学研究科修士課程修了。同年(株)日立製作所入社。同社中央研究所において、大型計算機用ハードウェアの研究。ウェーハスケール集積回路の研究、ニューラルネットワークのハードウェア化の研究に従事。1991年～1992年カーネギーメロン大学客員研究員。現在、日立製作所中央研究所超高速プロセッサ部研究員。工学博士。電子情報通信学会、IEEE 各会員。