

テラビット級情報処理・通信装置向け
光インターコネクタの研究

中條 徳男

システム情報工学研究科
筑波大学

2015年 3月

要旨

2K さらには 4K といった高精細なビデオデータの配信、スマートフォンやタブレットといったモバイルデバイスの普及、さらには Machine to Machine (M2M) 通信の普及により、ネットワークトラフィックは 20~30%/年で増加すると予想されている。このようなネットワークトラフィックの増加を支えるため、基幹系で用いられるサーバやルータなどの情報処理・通信装置の伝送密度は増加しており、これまでのトレンドから次世代のスイッチ LSI (3.2 Tb/s) が適用される 2016 年頃には 1.2 Gb/s/mm²、さらに 2 世代後のスイッチ LSI (12.8 Tb/s) が適用される 2022 年頃には 4.8 Gb/s/mm² になると予想される。筐体型の情報処理・通信装置に換算すると 2016 年頃に 10 Tb/s、2022 年頃に 40 Tb/s に達すると予想される。

これに対し従来用いられてきた電気伝送は接続信頼性やクロストークなどによる密度限界、導体や誘電体の損失による伝送速度限界により伝送密度に上限が存在し、装置や LSI の伝送容量がそれを超えようとしている。まず 2016 年頃の 1.2 Gb/s/mm² の伝送密度で基板間および筐体間の配線が電気伝送では伝送容量が不足し、2022 年頃の 4.8 Gb/s/mm² の伝送密度でスイッチ LSI からの信号取り出しが困難となる。

光インターコネクタは電気伝送の限界を超える解となるが、通信用として長距離の信号伝送に用いられてきた光部品をそのまま装置に適用することはできない。装置に適用には 4 つの課題、すなわち (1) 光モジュールの消費電力の低減、(2) 光モジュールの小型化、(3) 高密度光バックプレーン、コネクタの開発、(4) 低コスト化、を解決する必要がある。

本研究ではこれらの課題を解決すべく、IC からバックプレーンまでの開発を行った。

送受信回路では、消費電力の低減と低コスト化を狙い、CMOS プロセスを用いた光送受信回路の開発を行った。レーザダイオード (LD: Laser Diode) ドライバ回路のメインドライバに相互インダクタによる可変ピーキング回路を、プリドライバに CMOS インバータを用いたデュアルループ アクティブフィードバック回路を提案することにより、消費電力の低減と高速化、そして小回路面積化を実現した。

光モジュールでは、基板上に 2 次元配置可能なオンボード小型光モジュールの開発を行った。多段の低温同時焼成セラミックス (LTCC: Low Temperature Co-fired Ceramic) 基板を用い、基板のみで光素子や光コネクタの高さ調整を行うモジュール

構造や、ミラーレンズ一体型の光コネクタ、低クロストーク配線構造の提案によりモジュールの小型化、低コスト化を実現した。光送受信 IC や光素子を搭載したモジュールを試作し、25 Gb/s でエラーフリーとなることを確認し、装置適用への見通しを得ることができた。

光バックプレーンでは、リボン状にした光ファイバシートを用いた高密度光バックプレーン構造を提案し、低コスト化、高密度化を実現した。さらにシャッターによるゴミ付着抑制機構のついた高密度バックプレーンコネクタを提案し、光バックプレーンの高信頼化を実現した。

そしてこれらの技術を用い、通信装置の筐体を用いた 10 Tb/s 級の光インターコネクタ評価機を試作し、1.2 Gb/s/mm² の伝送密度を実証した。

さらに 2022 年頃の 12.8 Tb/s スイッチ LSI で課題となる LSI パッケージからの信号取り出しと消費電力の低減について要素検討を行った。光 SiP 構造を提案し、要求される伝送密度実現の見通しを得るとともに、電力効率が最も高くなる最適伝送速度 (bit rate) があることを明らかにし、インターポーザの高い配線密度を利用して並列度を上げて最適伝送速度に合わせることで伝送密度の向上と電力の低減を両立できる可能性を示した。

今後の課題としては、低価格化の要求が厳しい情報処理・通信装置に向けて光素子の低コスト化や光波形調整の容易化、光モジュールの装置基板への実装の容易化などの検討を行うこと、光 SiP のさらなる高密度化に向けて波長分割多重 (WDM: Wavelength Division Multiplexing) や多値伝送、マルチコアファイバなどの検討を行うこと、がある。

目次

第 1 章 序論	1
1.1 情報処理・通信装置の動向	1
1.1.1 対象とする情報処理・通信装置	1
1.1.2 ネットワークトラフィックの推移と装置伝送密度	3
1.2 電気伝送の限界	4
1.2.1 回路	4
1.2.2 基板内配線	5
1.2.3 基板間配線	7
1.2.4 筐体間・ラック間	9
1.3 光インターコネクットの課題	11
参考文献	13
第 2 章 CMOS 光送受信回路の開発	17
2.1 LD ドライバ回路の課題	17
2.2 相互インダクタによる可変ピーキング	22
2.3 CMOS インバータ アクティブフィードバック プリドライバ	24
2.4 LD ドライバ回路の構成	26
2.5 LD ドライバ評価結果	30
2.6 関連研究	34
2.6.1 LD ドライバの比較	34
2.6.2 TIA の開発	35
2.7 本章のまとめ	38
参考文献	39
第 3 章 高密度オンボード光モジュールの開発	42

3.1	オンボード光モジュールの構造	42
3.2	ミラー、レンズ一体成型コネクタ	44
3.3	クロストークの低減.....	46
3.3.1	隣接配線間クロストーク.....	46
3.3.2	送受信間クロストーク	48
3.3.3	共通ノード インピーダンスによるクロストーク	50
3.3.4	電源バイパス容量の最適化	52
3.4	オンボード光モジュールの評価結果	53
3.5	関連研究.....	56
3.5.1	クロストーク低減	56
3.5.2	オンボード光モジュールの比較.....	56
3.5.3	光インターコネクタの高速化	56
3.6	本章のまとめ.....	57
	参考文献	57
 第 4 章 高密度光バックプレーンの開発		60
4.1	バックプレーンの課題	60
4.2	リボンファイバシートを用いた大容量光バックプレーン	62
4.3	高密度光バックプレーンコネクタ	64
4.4	光伝送評価機試作	66
4.5	関連研究.....	69
4.5.1	光バックプレーンの比較	69
4.5.2	光配線の動向	70
4.6	本章のまとめ.....	70
	参考文献	71
 第 5 章 高密度光システム in パッケージの開発		74

5.1	光 SiP 最適伝送速度 (bit rate) 解析の前提条件	74
5.1.1	LSI 構成	74
5.1.2	光素子	75
5.1.3	インターポーザ材料、配線構造	76
5.2	光 SiP 最適伝送速度 (bit rate) の解析	76
5.2.1	インターポーザモデル	76
5.2.2	回路構成	77
5.2.3	回路解析方法	78
5.2.4	最適伝送速度 (bit rate) 解析結果	80
5.3	12.8 Tb/s 光 SiP の構造	81
5.3.1	インターポーザ配線仕様	81
5.3.2	低損失、低クロストーク配線構造	83
5.4	関連研究	85
5.4.1	光 SiP の比較	85
5.4.2	インターポーザおよびインターポーザ上伝送の動向	85
5.5	本章のまとめ	86
	参考文献	86
 第 6 章 結論と今後の課題		91
6.1	結論	91
6.2	今後の課題	92
 謝辞		93
 関連論文リスト		94
	論文誌 (査読付)	94
	国際学会 (査読付)	94

図目次

図 1.1	情報処理装置の構成.....	2
図 1.2	装置の構成:(a)情報処理装置(サーバ)の装置構成、(b)通信装置の構成.....	3
図 1.3	ネットワークトラフィックの推移と情報処理装置の伝送密度のトレンド.....	4
図 1.4	インターフェース規格の動向.....	5
図 1.5	BGA ロードマップ.....	5
図 1.6	BGA パッケージの高速信号ピン配置例.....	6
図 1.7	基板内配線の電気伝送限界.....	7
図 1.8	基板配線挿入損失周波数特性.....	8
図 1.9	基板間配線の電気伝送限界.....	9
図 1.10	差動ケーブル挿入損失の周波数特性.....	10
図 1.11	差動ケーブルの電気伝送限界.....	10
図 1.12	光インターコネクットの構成.....	11
図 2.1	LDドライバの構成.....	17
図 2.2	LDドライバ回路と電流波形.....	18
図 2.3	LD-LDドライバ間配線による伝送特性:(a)等価回路、(b)LD電流周波数特性($Z_0=50\Omega$ (package trace))、(c)LD電流周波数特性($Z_0=200\Omega$ (wire bonding)).....	19
図 2.4	可変インダクタの原理:(a)相互インダクタによる可変ピーキングの回路図、(b)シミュレーション結果.....	22
図 2.5	プリドライバ:(a)CMOSインバータ アクティブフィードバック プリドライバ回路、(b)等価回路、(c)シミュレーション結果.....	26
図 2.6	LDドライバ:(a)LDドライバ回路図、(b)周波数特性シミュレーション結果.....	27
図 2.7	相互結合インダクタ:(a)総合結合インダクタの形状、(b)周波数特性.....	28
図 2.8	ピーク調整の効果:(a)配線インピーダンスとアイ開口、(b)光出力波形.....	30
図 2.9	LDドライバチップ.....	31
図 2.10	LDドライバ IC 評価:(a)評価基板、(b)評価装置構成.....	31
図 2.11	LDドライバの周波数測定結果.....	33

図 2.12 光アイパターン測定結果:(a) ピーク制御電流 0、(b) ピーク制御電流 max	33
図 2.13 ビットエラーレート(BER)測定結果	34
図 2.14 光インターコネクタのパワーバジェット.....	36
図 2.15 TIA プリアンプ回路	37
図 2.16 TIA オフセットキャンセル回路	37
図 2.17 TIA 受信感度	38
図 3.1 オンボード光モジュールの構造.....	42
図 3.2 モジュール断面図	43
図 3.3 光モジュールの組立て手順	44
図 3.4 ミラー、レンズ一体成型コネクタの外観	44
図 3.5 光コネクタの結合損失	45
図 3.6 光コネクタの結合トレランス.....	45
図 3.7 IC-光素子部拡大図	46
図 3.8 隣接配線間クロストーク解析モデル	47
図 3.9 隣接配線間クロストーク解析結果	47
図 3.10 送受信間クロストーク	48
図 3.11 送受間クロストーク解析モデル	49
図 3.12 送受間クロストーク解析結果	49
図 3.13 受信回路ブロック	50
図 3.14 受信等価回路.....	50
図 3.15 Z_1 、 Z_2 の周波数特性	51
図 3.16 モジュール基板のパターン容量とジッタの関係	52
図 3.17 オンボードモジュール電源モデル	53
図 3.18 電源インピーダンス($V_{DD1.0}$)解析結果.....	53
図 3.19 オンボード光モジュール	54
図 3.20 オンボード光モジュール評価装置構成	54
図 3.21 オンボード光モジュール出力波形:(a)送信側光出力波形、(b)受信側 電気出力波形.....	55
図 3.22 オンボード光モジュール エラーレートカーブ	55
図 4.1 10 Tb/s 級装置構成の例	60
図 4.2 光ファイバシートの構成[2].....	61

図 4.3	光ファイバシートの歩留り.....	62
図 4.4	リボンファイバシートの断面.....	63
図 4.5	リボンファイバシートの外観.....	63
図 4.6	リボンファイバシートによる光バックプレーン配線.....	64
図 4.7	バックプレーンコネクタ外観.....	65
図 4.8	光コネクタ シャッターの効果.....	66
図 4.9	光バックプレーン搭載ネットワーク装置.....	66
図 4.10	光バックプレーン挿入損失測定結果.....	67
図 4.11	100G イーサネットテストによる評価.....	68
図 4.12	10 Gb/s × 10 ch パラレル光伝送評価結果.....	68
図 4.13	バスタブカーブ測定結果.....	69
図 5.1	光 SiP の構成.....	75
図 5.2	Si インターポーザモデル.....	77
図 5.3	通過特性解析結果.....	77
図 5.4	インターポーザ上チップ間伝送回路ブロック図.....	78
図 5.5	等価回路モデル.....	79
図 5.6	伝送速度 (bit rate) と変調電流の関係.....	79
図 5.7	出力振幅と電力効率の関係.....	80
図 5.8	伝送速度と電力効率の関係.....	81
図 5.9	12.8 Tb/s 光 SiP の構成.....	82
図 5.10	Si インターポーザの配線構造.....	83
図 5.11	Si インターポーザ配線のクロストーク.....	83
図 5.12	オフセット配線構造: (a)オフセット: 0 μm (b)オフセット: 3 μm	84
図 5.13	オフセット配線構造によるクロストーク低減.....	84

表目次

表 1.1 光モジュールの比較.....	12
表 1.2 光バックプレーンの比較	13
表 2.1 LDドライバの比較.....	35
表 2.2 LDドライバの比較(プロセス 65 nm、出力電流 26 mA)	35
表 3.1 オンボード光モジュールの比較.....	56
表 4.1 光バックプレーンの比較	70
表 5.1 光素子の比較.....	75
表 5.2 インターポーザ材料比較.....	76
表 5.3 光 SiP 比較.....	85

第1章 序論

光伝送は都市間の広域ネットワークからデータセンタ内などのローカルエリアネットワークまで広く使われている。近年では高性能コンピュータ（HPC: High Performance Computer）ではラック内の配線にも光インターコネク트가使われるようになってきており[1]、今後サーバやルータなど情報処理装置・通信装置にも光インターコネク트가適用されると考えられる。

序論では、まず検討の対象となる情報処理・通信装置およびその構成を明確にし、ネットワークトラフィックの推移から、対象とする情報処理・通信装置に要求される伝送密度を明らかにする。次に標準規格から見た伝送速度のトレンドと実装技術の動向から電気インターコネク트의限界を明らかにし、どの世代の装置で電気から光インターコネク트への転換が起こるかを予測する。最後に情報処理・通信装置に光インターコネクトを適用するための課題を示す。

1.1 情報処理・通信装置の動向

1.1.1 対象とする情報処理・通信装置

本項では本論文が対象とする情報処理装置・通信装置とその構成を明確にする。本論文が対象とする情報処理・通信装置はデータセンタなどに設置され企業の基幹系を支えるサーバやルータ、ストレージなどの装置である。情報処理装置の構成を図 1.1 に示す。情報処理装置はスイッチを中心とした構成をとる。

従来情報処理装置は 19 インチラックにサーバやストレージなどの独立した装置を納めてラック上部のネットワーク装置 (ToR スイッチ: Top of Rack スイッチ) につなぐ形態をとっていた。しかし装置の大容量化が求められるにつれ、幅 19 インチ、44.45 mm (1 U) の整数倍を高さとする装置では密度を上げられないことから、現在ではより小さな筐体に機能を詰め込んだ筐体型装置が一般的に使われている。

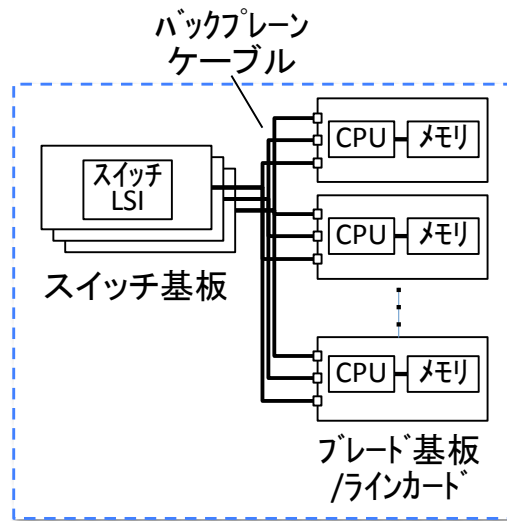


図 1.1 情報処理装置の構成

サーバではプロセッサやメモリ等をより小さな基板(ブレード基板)に搭載し、複数のブレード基板でネットワークやストレージなどの外部インターフェースや電源などを共通化するブレードサーバが提案された[3]-[5]。ブレードサーバの構成を図 1.2(a)に示す。ブレードサーバはブレード基板とスイッチや外部インターフェースを搭載した基板をミッドプレーンと呼ばれる基板で接続する。ブレード基板やスイッチ基板の幅はせいぜい 30 cm 程度であり、基板上の LSI 間や LSI と光モジュール間の配線長は 30 cm 程度となる。プロセッサに備えられた 30 超の高速 I/O インターフェース(PCI express 等)をミッドプレーンに引き出すため、ミッドプレーン上には数百本の高速配線が実装される。プロセッサのコア数増大に伴い高速 I/O インターフェースが増える傾向にあり、配線数は今後さらに増えると思われる。ミッドプレーンを介した配線長は 60 ~ 100 cm である。

通信装置ではブレードサーバと同様にミッドプレーンを用いるものの他に図 1.2(b)に示すようにバックプレーンを用い、パケットの前処理を行うラインカード、パケットの行き先をアドレスに従い切り替えるスイッチ基板といった基板を前面からのみ挿入する形態をとるものもある。ラインカードやスイッチ基板の大きさはサーバと同程度であり、基板内の配線長は 30 cm 程度となる。配線数は数百本で、スイッチ LSI の信号数やバックプレーンに挿入される基板の枚数によって変わる。バックプレーンを介した配線長は、こちらもサーバと同等の 60 ~ 100 cm となる。

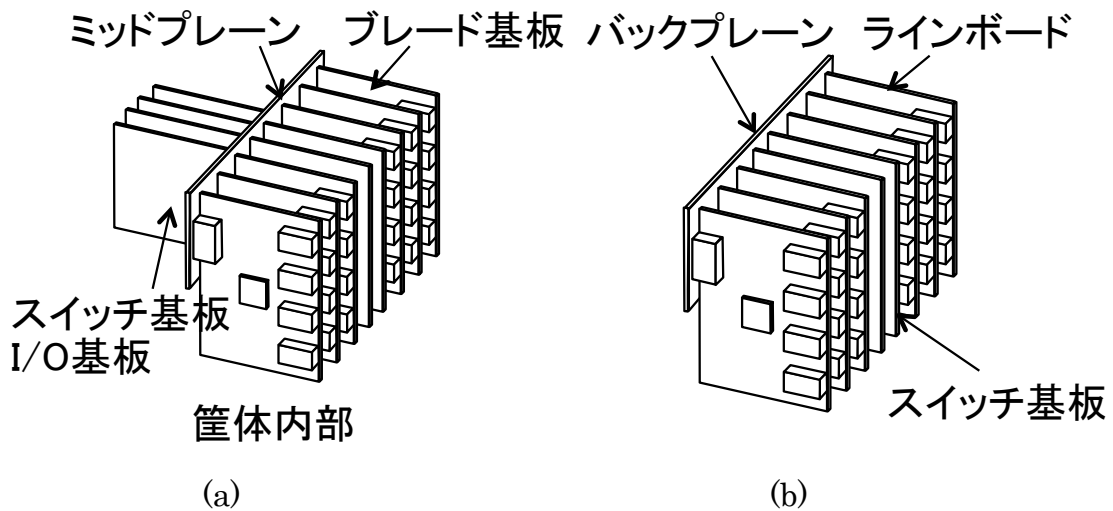


図 1.2 装置の構成:(a)情報処理装置(サーバ)の装置構成、(b)通信装置の構成

近年では、ビッグデータ解析などによるデータ量の増大やプロセッサやメモリ、ストレージなどのリソースの仮想化をよりフレキシブルにすることなどの要求に伴い、筐体型装置の限界が見え始めてきた。このような要求に対応する形態としてラックスケール形態の装置が提案されている[6]。プロセッサ、ストレージ、ネットワークさらに将来はメモリまでもリソースとして分離し、必要に応じてラック内に設置するというもので、各リソースは ToR スイッチを介して接続される。このため各リソースと ToR との間には大容量の伝送が必要となる。ラック間にまたがり構成することもあり、配線長は 10 m 程度となる。

本論文では上記の筐体型装置とラックスケール装置を検討の対象とする。

1.1.2 ネットワークトラフィックの推移と装置伝送密度

本項ではネットワークトラフィックの推移を示し、対象とする情報処理・通信装置に要求される伝送密度を明らかにする。

2K さらには 4K といった高精細なビデオデータの配信、スマートフォンやタブレットといったモバイルデバイスの普及、さらには Internet of Everything (IoE) や Internet of Things (IoT) と呼ばれる種々の機器やセンサがネットワークに繋がりデータのやり取りを行う Machine to Machine (M2M) 通信の普及により、ネットワークトラフィックは図 1.3 の棒グラフで示すように 20~30%/年で増加すると予想されている[2] (2019 年以降は筆者予測)。このようなネットワークトラフィックの増加を支えるため、基幹系で用いられるサーバやルータなどの情報処理・通信装置には図 1.3 の実線で示すような伝送密度が必要となる。これは伝送密度をスイッチ LSI の伝送容量に換算す

ると、次世代のスイッチ LSI が装置適用される 2016 年頃に 3.2 Tb/s (bit/second、bps と表記することもあるが本論文では b/s と表記する)、さらに 2 世代後の 2022 年頃に 12.8 Tb/s に達する。また筐体型の情報処理・通信装置の伝送容量に換算すると 2016 年頃に 10 Tb/s、2022 年頃に 40 Tb/s に達する。

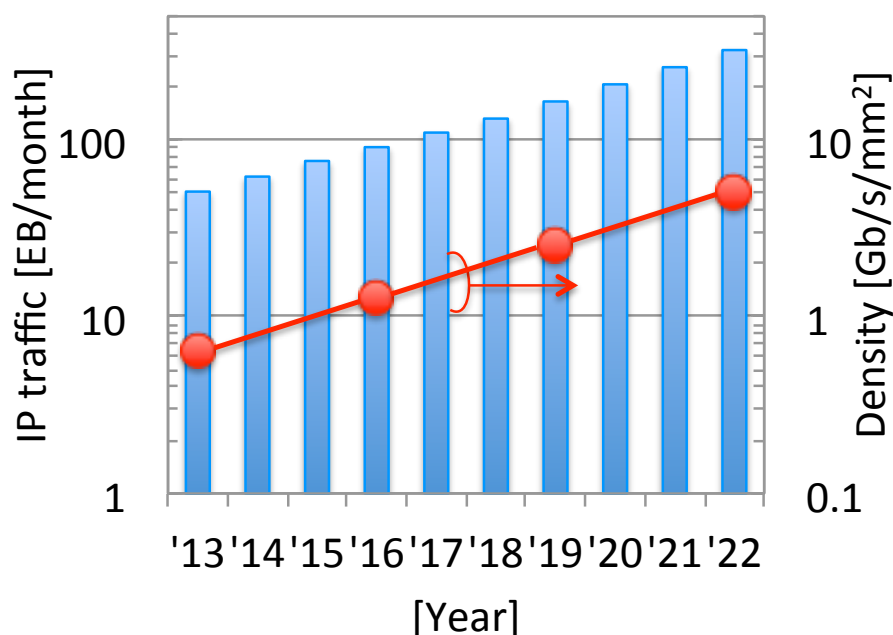


図 1.3 ネットワークトラフィックの推移と情報処理装置の伝送密度のトレンド

1.2 電気伝送の限界

伝送密度は伝送速度 (bit rate) × パッケージ/基板/コネクタの配線密度で表される。本節では回路の動作速度や配線の損失によって制約される伝送速度と、実装信頼性やクロストークなどで制約される配線密度から電気伝送の限界を明らかにする。配線長、伝送媒体によって制約が異なるため、1.1.1 項で定めた装置形態から、回路、基板内、基板間、筐体・ラック間に分けて電気伝送の限界を検討する。

1.2.1 回路

図 1.4 にチップ間、基板間、ラック間のインターフェース規格の動向を示す。プロセスの微細化、回路技術の進展により、伝送速度 (bit rate) は ×1.15/年で高速化が続く。Common Electrical Interface (CEI) は実用化の数年前に規格化されることから、

伝送速度 (bit rate) は 2016 年頃に 25 Gb/s、2022 年頃に 50 Gb/s に達すると予想される。

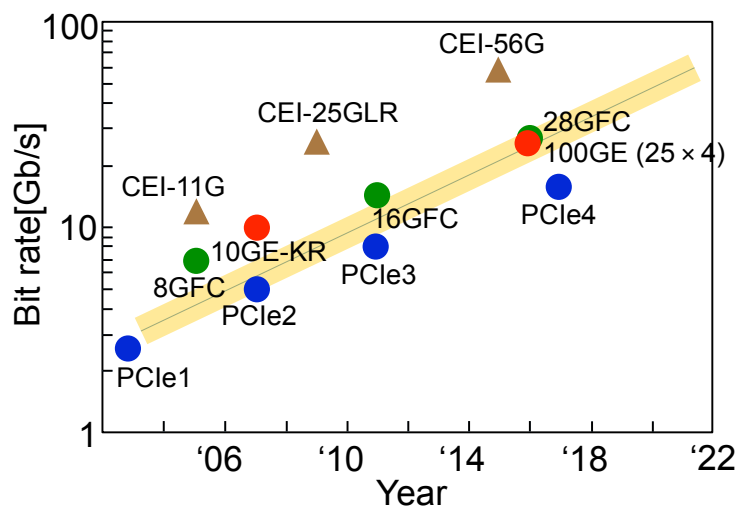


図 1.4 インターフェース規格の動向

1.2.2 基板内配線

ブレード基板やラインカード上の LSI 間および LSI-光モジュール間を接続する基板内配線の伝送密度は、配線長が 30 cm 程度と短く配線の損失の影響をほとんど受けないため、LSI パッケージの伝送密度で制限される。

多ピンのパッケージには Ball Grid Array (BGA) が用いられる。その BGA パッケージ ピンピッチのロードマップ[7]を 図 1.5 に示す。

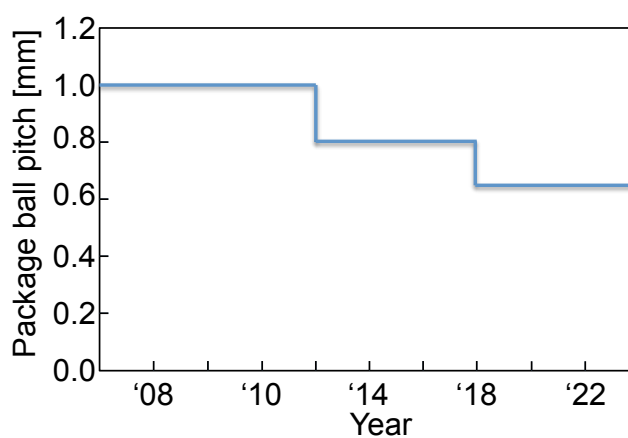


図 1.5 BGA ロードマップ

パッケージサイズは実装信頼性から $50 \times 50 \text{ mm}^2$ 程度が限度となるため、ピン数は 1 mm ピッチで 2500 ピン、 0.8 mm ピッチで 3900 ピン、 0.65 mm ピッチで 5900 ピンとなる。高密度化のトレンドは 2 倍/10 年と装置の高速化、大容量化に比べ緩やかで 0.65 mm ピッチの実用化は 2018 年以降となっている。

さらに高速信号では、下記の制限によりピンの配置に制約を受けるため、取り出せる信号数が限られる。

1. 送信、受信のピンが必要で、差動伝送を行うためそれぞれ隣接した 2 ピンを使用する。
2. 同一種(送信同士または受信同士)間にはクロストーク低減のため、千鳥配置とする。
3. 送信と受信間には信号のレベル差を考慮してクロストーク低減を行う必要があるため、2 ピン分のスペースを空ける。
4. BGA の内側の信号は、ピンの間を配線しなければならない。さらに高速信号はスルーホールスタブによる波形劣化を避けるため装置基板の表層に近い配線層を通す必要がある。このため使用可能なピンは端部から内側へ 4 ペアまでとする。

高速信号のピン配置例を図 1.6 に示す。取り出し可能な信号数は 1 mm ピッチの BGA パッケージで 2500 ピンのうち 256 ピン(差動で 128 信号)、 0.8 mm ピッチの BGA パッケージで 5900 ピンのうち 360 ピン(差動で 180 信号)、 0.65 mm ピッチの BGA パッケージで 5900 ピンのうち 512 ピン(差動で 256 信号)となり、増加の傾向はピンピッチの 2 乗より 1 乗に近くなる。

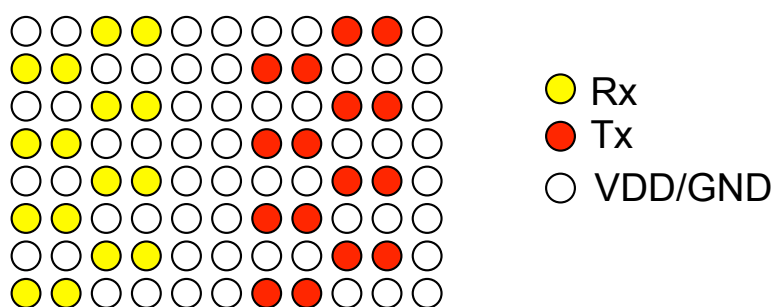


図 1.6 BGA パッケージの高速信号ピン配置例

一方パッケージのピンピッチが狭くなるとクロストークが増大する。このため伝送速度 (bit rate) をあげようとするピンピッチを広げる必要があり、逆にピンピッチを狭くすると伝送速度 (bit rate) を遅くする必要がある。このため伝送速度 (bit rate) の向上や

ピンピッチの狭小化による信号数の増加の動向にかかわらず、伝送密度はある一定値に制限され、 3.6 Gb/s/mm^2 となる。

伝送密度と伝送距離の関係として示すと図 1.7 となる。

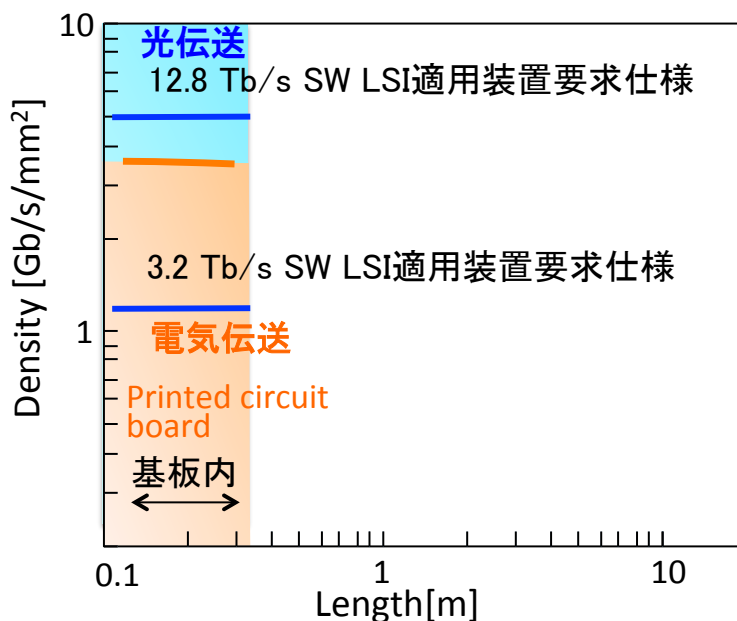


図 1.7 基板内配線の電気伝送限界

2016年頃の 3.2 Tb/s のスイッチ LSI の伝送密度は 1.28 Gb/s/mm^2 であり余裕があるが、2022年頃の 12.8 Tb/s のスイッチ LSI の伝送密度は 5 Gb/s/mm^2 となるため、電気伝送でのパッケージからの信号取り出しが困難となり、光インターコネクットの導入が必要となる。

1.2.3 基板間配線

ブレード基板やラインカードとスイッチ基板とをミッドプレーンおよびバックプレーンを介して接続する基板間配線の伝送密度は、バックプレーンコネクタの伝送密度とミッドプレーンまたはバックプレーンの損失によって制約を受ける。

電気のバックプレーンコネクタは、高信頼な接合を実現するばね構造接触端子と差動インピーダンス 100Ω を保つ端子間隔、クロストークを低減するシールド構造により信号密度は制限され、 25 Gb/s 用で 0.053 信号/mm^2 [8]、 40 Gb/s 用で 0.03 信号/mm^2 [9]で、伝送密度はどちらも約 1.3 Gb/s/mm^2 となる。

さらに基板間配線は、ブレード基板やラインカード上の配線を合わせ配線長が 60

～100 cmとなるため、配線の表皮効果や誘電体損失による周波数に依存した損失により伝送速度が制限される。バックプレーンコネクタ含めた配線の挿入損失周波数特性を図 1.8 に示す。

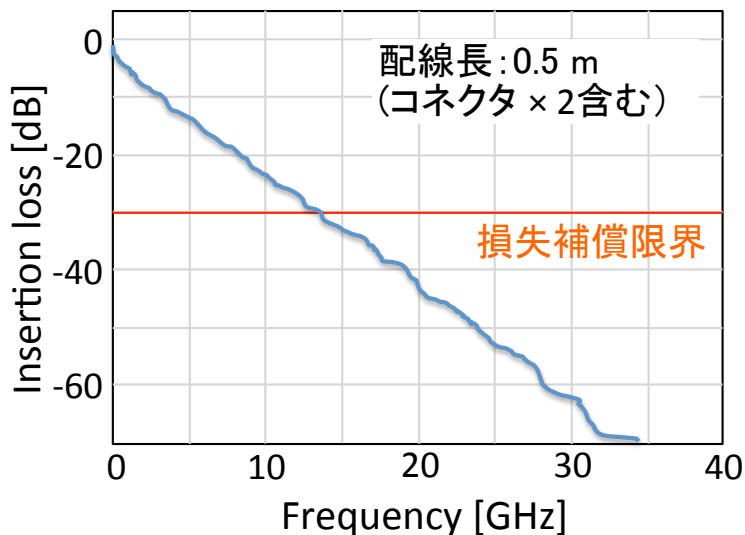


図 1.8 基板配線挿入損失周波数特性

電気伝送回路は 30 dB 程度の損失を補償できる機能を持つことから[10]-[12]、配線長 50 cm まではコネクタの伝送密度 1.3 Gb/s/mm^2 となり、それより長い配線長では損失が 30 dB になるよう伝送速度 (bit rate) を落とす必要があるため伝送密度が低下する。これらを伝送密度と伝送距離の関係として示すと図 1.9 となる。

2016 年頃の 3.2 Tb/s のスイッチ LSI を用いる 10 Tb/s の筐体型情報処理・通信装置で要求されるコネクタの伝送密度は、スイッチ基板のコネクタに必要となる伝送容量 3.2 Tb/s と 4 章で述べる冷却風流路から決まるバックプレーンの配線エリアおよび部品高さことから 1.2 Gb/s/mm^2 となり、電気伝送で実現するためには配線長を 50 cm 程度まで短くしなければならない。このため 50 cm 以上の配線長では光インターコネクタを導入する必要がある。

2022 年頃の 12.8 Tb/s のスイッチ LSI を用いる 40 Tb/s の筐体型情報処理・通信装置で要求される伝送密度は 10 Tb/s の情報処理・通信装置の 4 倍の 4.8 Gb/s/mm^2 となるため、この世代では配線長によらず光インターコネクタの導入が必要となる。

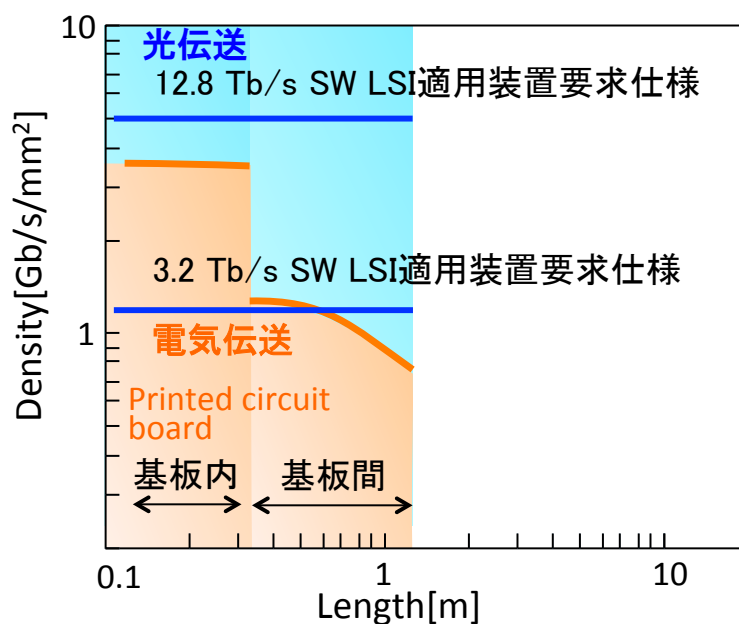


図 1.9 基板間配線の電気伝送限界

1.2.4 筐体間・ラック間

筐体間やラック間を電気で伝送するにはシールドされた差動ケーブル (twinax cable) が用いられる[13]。伝送密度はケーブルコネクタの伝送密度とケーブルの損失によって制約を受ける。コネクタは一般的に用いられる太さ 26 AWG までのケーブルに対しては基板間伝送で用いるバックプレーンコネクタと同等の密度のケーブルコネクタが用意されており[14]、長さが短い場合の伝送密度は基板間配線と同じ 1.3 Gb/s/mm²となる。差動ケーブルの挿入損失の周波数特性は図 1.10 のようになる。

基板間配線の項での検討と同様、電気伝送回路により 30 dB 程度の損失まで補償できることから 5 m まで 1.3 Gb/s/mm² の伝送密度となり、それより長いケーブル長では伝送速度 (bit rate) を低くしなければならぬため伝送密度が下がる。伝送密度と伝送距離の関係は図 1.11 となる。

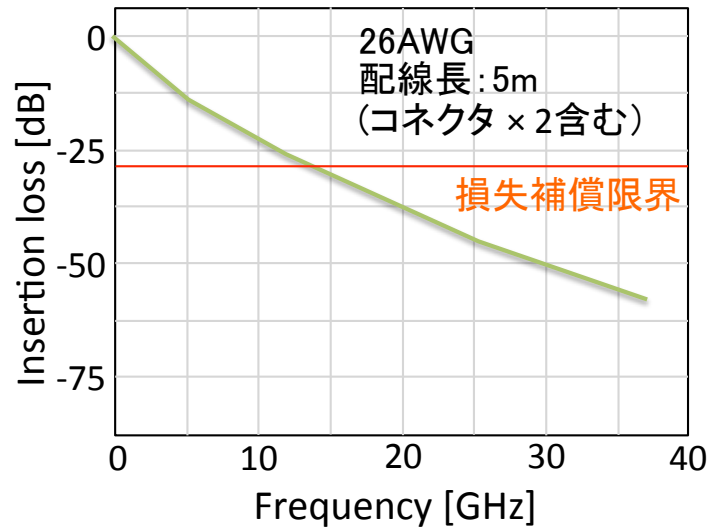


図 1.10 差動ケーブル挿入損失の周波数特性

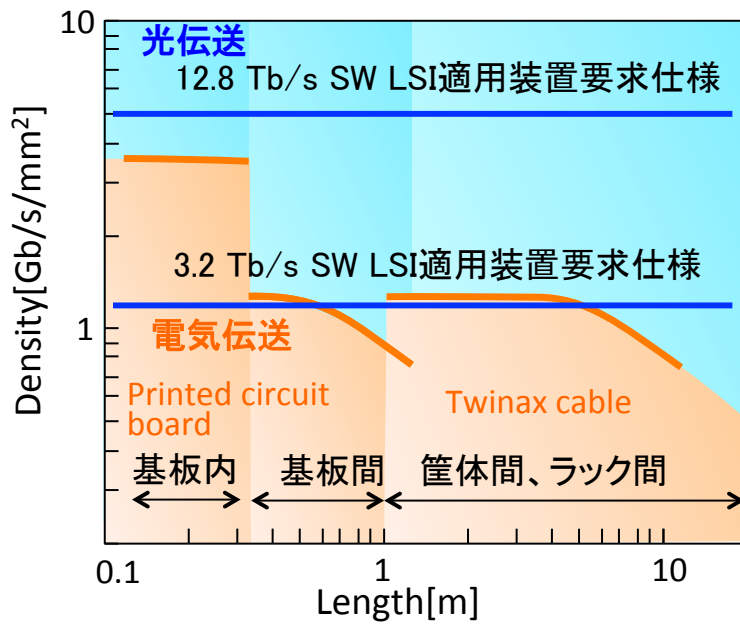


図 1.11 差動ケーブルの電気伝送限界

2016年頃の3.2 Tb/sのスイッチLSIを用いる情報処理・通信装置の筐体間、ラック間配線で要求される伝送密度は基板間と同様冷却風流路を確保するため必要があるためコネクタに要求される伝送密度は1.2 Gb/s/mm²となる。したがって5 m以上のケーブル長となる場合は光インターコネクットの導入が必要となる。

2022年頃の12.8 Tb/sのスイッチLSIを用いる情報処理・通信装置で要求される伝送密度は4.8 Gb/s/mm²となるため、この世代ではケーブル長によらず光インターコ

ネットを導入が必要となる。

1.3 光インターコネクットの課題

前節の検討より 3.2 Tb/s スイッチ LSI を用いる 2016 年頃の情報処理装置・通信装置から本格的に光インターコネクットの導入が始まると予想される。情報処理装置・通信装置に光インターコネクットを適用した場合の構成を図 1.12 に示す。ここで光モジュールは LSI からの電気信号を光信号に変換して光ファイバ等の光導波路に伝え、また光導波路からの光信号を電気信号に変換するデバイスである。また、回路基板は図 1.2 のスイッチ基板、ブレード基板、ラインカードに相当し、光バックプレーンは図 1.2 のミッドプレーンやバックプレーンに相当する。

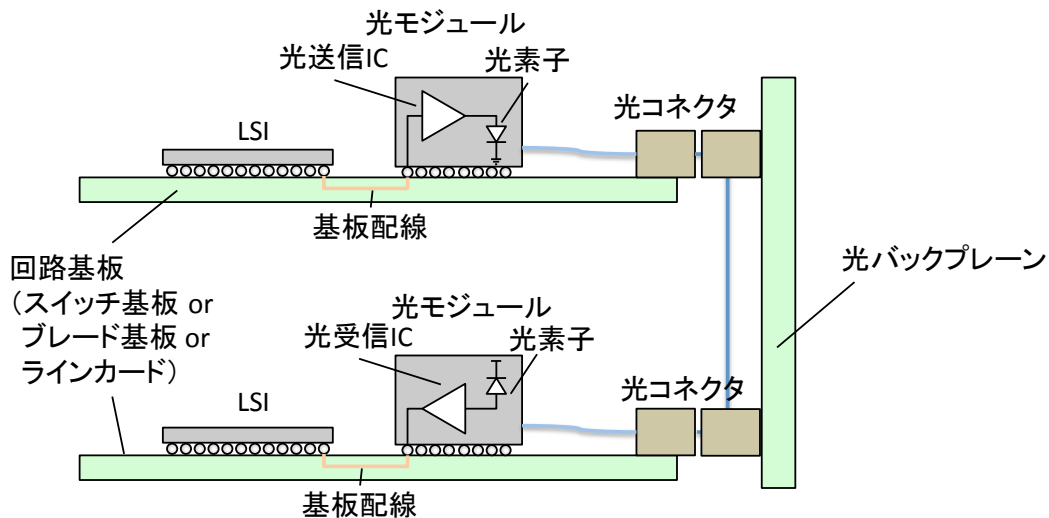


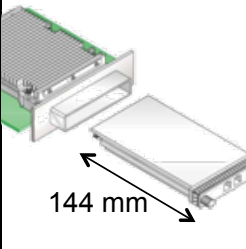
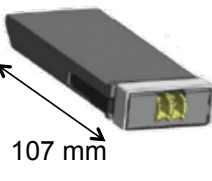
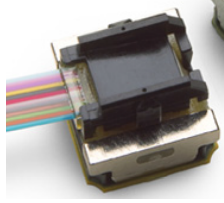
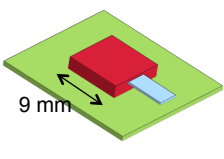
図 1.12 光インターコネクットの構成

光インターコネクットには 4 つの課題がある。

1. 光モジュールの消費電力の低減
2. 光モジュールの小型化
3. 高密度光バックプレーン、コネクタの開発
4. 低コスト化

データセンタなどで用いられている通信用光モジュールと、これまで発表された光インターコネクット用オンボード光モジュール仕様、および 3.2 Tb/s スイッチ LSI を用いる情報処理・通信装置に要求されるオンボード光モジュールの要求仕様の比較を表 1.1 に示す。

表 1.1 光モジュールの比較

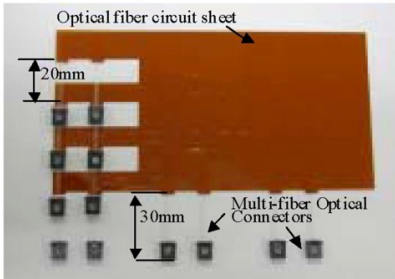
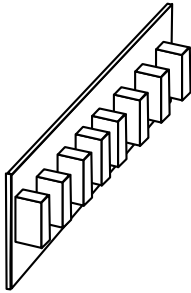
	通信用光モジュール		オンボード光モジュール	
	CFP (2011)	CFP2 (2013)	M. Fields [15] (2010)	要求仕様 (2016)
形態				
サイズ	144 × 78 mm ²	107 × 40 mm ²	7.8 × 8.2 mm ²	≦ 9 × 9 mm ²
伝送速度	25 Gb/s	25 Gb/s	10 Gb/s	25 Gb/s
伝送密度	0.009 Gb/s/mm ²	0.02 Gb/s/mm ²	0.94 Gb/s/mm ²	≦ 1.2 Gb/s/mm ²
消費電力	250 pJ/bit	80 pJ/bit	25 pJ/bit	≦ 25 pJ/bit
冷却	空冷	空冷	水冷	空冷

通信用光モジュールは数百 m から数 km の長距離の伝送を行うため、消費電力やモジュールサイズが大きい。しかし光インターコネクต์では距離は 40 m 程度と短いものの信号数は 2 桁程度多く、高密度化が要求されるため、1/20～1/50 の小型化、1/3～1/10 の低消費電力化が求められる。HPC 等で用いられた光インターコネクต์用モジュールに対しては、高密度化と空冷での放熱が要求される。

さらに光インターコネクต์が 1990 年終わり頃から議論されてきたにもかかわらず電気伝送からの転換が進まなかった理由としてコストがあげられる。光/電気、電気/光変換が必要でこれまで電気伝送の 4～7 倍のコストがかかっていたこともあり、高度な損失補償を持つ電気伝送回路の開発[10]-[12]や低損失基板材料[21][22]やコネクタ[8][9]の開発が行われてきた。さらに高速の 40 Gb/s に向けた開発も進められている[23][23]。しかし 1.2 節で明らかにしたように電気伝送には伝送密度の限界があるため、光インターコネクต์用光モジュールのコスト低減が必須となる。

光バックプレーンやコネクタは 1990 年終わり頃から議論されており[16][17][18]、規格化も行われている[19][20]。しかし表 1.2 に示すように 3.2 Tb/s スイッチ LSI を用いる装置に適用するには伝送密度の向上とコストの低減が要求される。

表 1.2 光バックプレーンの比較

	M. Ohmura et al. [18] (2006)	要求仕様(2016)
形態		
伝送密度	0.6 Gb/s/mm ²	≥ 1.2 Gb/s/mm ²
コスト	コネクタの個数が多いとシートの歩留りが下がるためコストが高い	シートの歩留りをあげてコスト低減

そこで 3.2 Tb/s スイッチ LSI を用いる 2016 年頃の情報処理装置・通信装置に向け、光インターコネクタの 1 の課題に対して CMOS 送受信回路の開発、2 の課題に対して段差付きパッケージ基板および低クロストーク配線技術の開発、3 の課題に対してリボン光ファイバシートおよび高密度コネクタの開発を行った。1～3 の開発を通して 4 のコストの課題にも対応した。それらを 2～4 章で詳細に報告する。

12.8 Tb/s スイッチ LSI を用いる 2022 年頃の情報処理装置・通信装置に向けては光入出力を持つ LSI パッケージとともに信号伝送に必要な消費電力の低減が必要となる。そのような課題に対して、インターポーザを用い、並列度を上げて伝送速度を最適化することで伝送密度の向上と消費電力の低減を両立する光システム in パッケージ(光 SiP)を提案した。光 SiP については 5 章で詳細に報告する。

参考文献

- [1] M.B. Rittera, Y. Vlasova, J.A. Kasha, A. Benner, "Optical technologies for data communication in large parallel systems," *Journal of Instrumentation*, vol. 6, Jan. 2011.
- [2] "The Zettabyte Era: Trends and Analysis," Cisco white paper, http://www.cisco.com/c/en/us/solutions/collateral/service-provider/visual-networking-index-vni/VNI_Hyperconnectivity_WP.pdf, June 2014.
- [3] J. Wright, "Blades have the edge," *IEEE Spectrum*, vol. 42, no. 4, pp.

- 24-29, Apr. 2005.
- [4] W. E. Smith, K. S. Trivedi, L. A. Tomek, J. Ackaret “Availability analysis of blade server systems,” IBM Systems Journal, vol. 47, no. 4, pp. 621-640, 2008.
 - [5] 宇賀神敦, 熊崎裕之, 米山英彦, “統合サービスプラットフォーム “BladeSymphony” で提供する顧客価値,” 日立評論, pp. 41-46, July 2005.
 - [6] J. Kyathsandra, E. Dahlen, “Intel® Rack Scale Architecture Overview,” INTEROP Las Vegas, May 2013.
 - [7] “2013 年度版 日本実装技術ロードマップ,” (社)電子情報技術産業協会, June 2013.
 - [8] “Impact™ 100 Ohm Backplane Connector System,” http://www.literature.molex.com/SQLImages/kelmscott/Molex/PDF_Images/987650-1651.PDF, jan. 2013.
 - [9] “Impel™ Backplane Interconnect System,” http://www.literature.molex.com/SQLImages/kelmscott/Molex/PDF_Images/987650-8371.PDF, Nov. 2014.
 - [10] S. Parikh, T. Kao, Y. Hidaka, J. Jiang, A. Toda, S. Mcleod, W. Walker, Y. Koyanagi, T. Shibuya, J. Yamada, “A 32Gb/s Wireline Receiver with a Low-Frequency Equalizer, CTLE and 2-Tap DFE in 28nm CMOS,” Proc. IEEE International Solid-State Circuits Conference (ISSCC), pp. 28-29, 2013.
 - [11] J.F. Bulzacchelli, C. Menolfi, T.J. Beukema, D.W. Storaska, Member, J. Hertle, D.R. Hanson, P. Hsieh, Member, S.V. Rylov, Member, D. Furrer, D. Gardellini, A. Prati, T. Morf, V. Sharma, R. Kelkar, H.A. Ainspan, W.R. Kelly, L.R. Chieco, G.A. Ritter, J.A. Sorice, J.D. Garlett, R. Callan, M. Brändli, P. Buchmann, M. Kossel, Senior Member, T. Toifl, Senior, D.J. Friedman, “A 28-Gb/s 4-Tap FFE/15-Tap DFE Serial Link Transceiver in 32-nm SOI CMOS Technology,” IEEE Journal of Solid-State Circuits, vol. 47, no. 12, DEC. 2012.
 - [12] H. Kimura, P. Aziz, T. Jing, A. Sinha, R. Narayan, H. Gao, P. Jing, G. Hom, A. Liang, E. Zhang, A. Kadkol, R. Kothari, G. Chan, Y. Sun, B. Ge, J. Zeng, K. Ling, M. Wang, A. Malipatil, S. Kotagiri, L. Li, C. Abel, F. Zhong, “28Gb/s 560mW Multi-Standard SerDes with Single- Stage

- Analog Front-End and 14-Tap Decision- Feedback Equalizer in 28nm CMOS,” Proc. IEEE International Solid-State Circuits Conference (ISSCC), pp. 38-39, 2014.
- [13] 杉山剛博, 南畝秀樹, 深作泉, 石川弘, 熊倉崇, “25 Gbit/s/ch 伝送用メタルケーブルにおける対内スキュー生成要因の解析,” 日立金属技報, vol. 30, 2014.
- [14] “Impact™ 6-Pair, Right-Angle Cable Assemblies 25 Gbps,” http://www.japanese.molex.com/molex/products/datasheet.jsp?part=active/1110551000_CABLE_ASSEMBLIES.xml, 参照 Dec. 2014.
- [15] M. Fields, “Optical Interconnects for Chip-to-Chip Communications,” European Conference and Exhibition on Optical Communication (ECOC), 2010.
- [16] M. Rode, J. Moisel, O. Krumpholz, O. Schickl, “NOVEL OPTICAL BACKPLANE BOARD-TO-BOARD INTERCONNECTION,” International Conference on Integrated Optics and Optical Fibre Communications, vol. 2, pp. 228-231, 1997.
- [17] J. Moisel, H.P. Huber, J. Guttman, O. Krumpholz, B. Lunitz, M. Rode, R. Schoedlbauer, “Optical Backplane,” European Conference on Optical Communication, vol. 3, pp. 254-255, 2001.
- [18] M. Ohmura, K. Saito, “High-density Optical Wiring Technologies for Optical Backplane Interconnection using Downsized Fibers and Pre-installed Fiber Type Multi Optical Connectors,” Optical Fiber Communication Conference and the National Fiber Optic Engineers Conference (OFC), OWI71, 2006.
- [19] “石英系光ファイバを用いたフレキシブル 光配線板の配線設計ガイド,” [jpca-pe02-01-09g-2005](http://www.jpca-pe02-01-09g-2005.jpca-pe02-01-09g-2005).
- [20] “石英系光ファイバを用いた多心直角曲げ光コネクタの詳細規格,” [jpca-pe03-01-03s-2006](http://www.jpca-pe03-01-03s-2006.jpca-pe03-01-03s-2006).
- [21] 古森清孝, 田宮裕, “IT ネットワーク機器用高速伝送基板材料,” パナソニック電工技報, vol. 56, no. 4, pp. 29-33, Dec. 2008.
- [22] “高速伝送対応 多層基板材料「MEGTRON7」を開発” パナソニック プレスリリース, <http://news.panasonic.com/press/news/official.data/data.dir/2014/05/jn140528-3/jn140528-3.html>, 参照 Jan. 2015.
- [23] J.H. Sinsky, A. Gnauck, B. Kozicki, S. Sercu, A. Konczykowska, A.

Adamiecki and M. Kosse, "42.8 Gbit/s PAM-4 data transmission over low-loss electrical backplane," *Electronics Letters*, vol. 48, no. 19, pp. 1206-1208, 2012.

- [24] R. Navid, E. Chen, M. Hossain, B. Leibowitz, J. Ren, C.A. Chou, B. Daly, M. Aleksić, B. Su, S. Li, M. Shirasgaonkar, F. Heaton, J. Zerbe, J. Eble, "A 40 Gb/s Serial Link Transceiver in 28 nm CMOS Technology," *IEEE Journal of Solid-State Circuits*, vol. 50, no. 4, April 2015.

第2章 CMOS 光送受信回路の開発

光インターコネクには光送受信回路として、電気信号に基づいてレーザダイオードに流す電流を変えて光を強度変調するレーザダイオード(LD: Laser Diode)ドライバ回路と、フォトダイオード(PD: Photo Diode)により光強度に比例した電流を電圧に変換するトランスインピーダンスアンプ(TIA: Trans Impedance Amplifier)が用いられる。電力やコストの低減にはこれらの回路を CMOS で実現する必要がある。本章では CMOS 光送受信回路の開発について述べる。

2.1 LD ドライバ回路の課題

光インターコネク用レーザダイオードドライバ(LD ドライバ)は、図 2.1 に示すように主に LD に変調電流を流すメインドライバ段と、メインドライバ段を駆動するプリドライバで構成される。

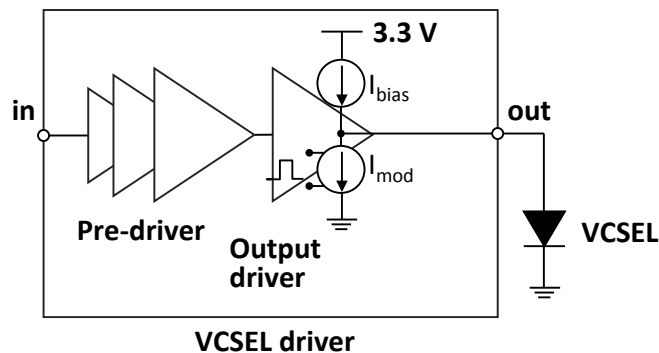


図 2.1 LD ドライバの構成

この LD ドライバには 2 つの課題がある。1 つはメインドライバ段でのパッドや配線、トランジスタや光素子の寄生容量による帯域の劣化である。もう 1 つは高速動作可能なレーザを駆動するため 40 mA 以上の電流を流すメインドライバ段を駆動するプリドライバの消費電力と回路面積である。

まずメインドライバ段の帯域劣化の課題について述べる。メインドライバの回路と各部の電流波形を図 2.2 に示す。

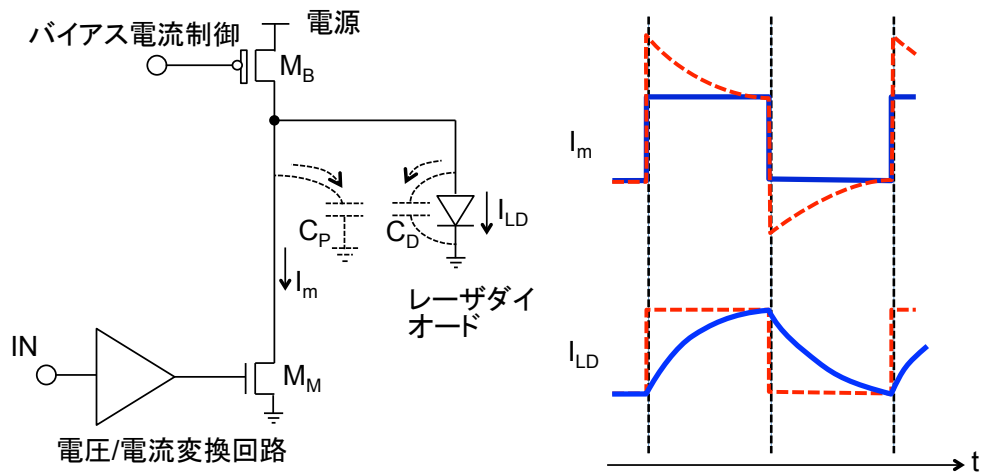
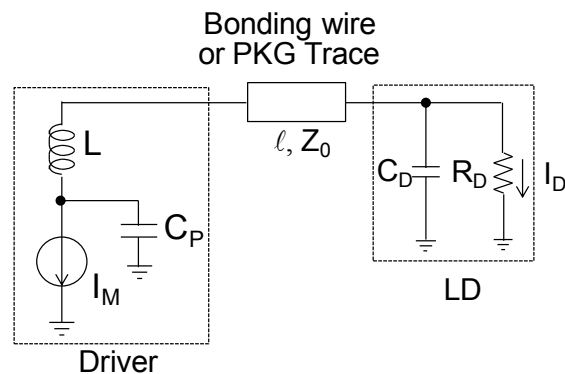


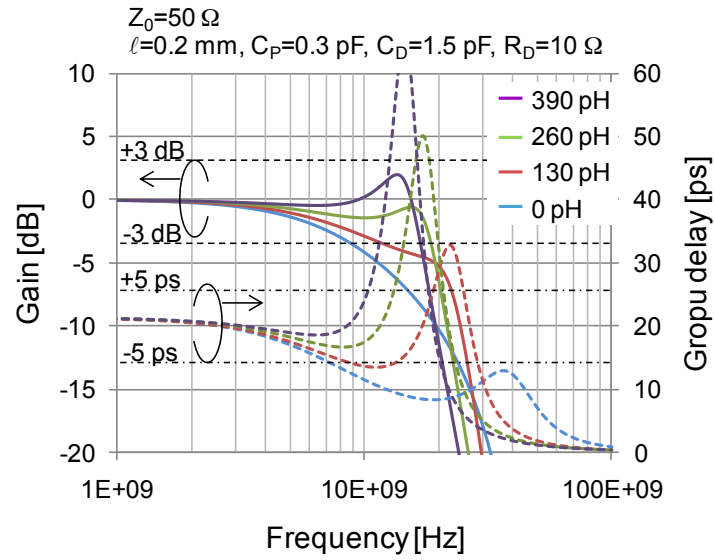
図 2.2 LD ドライバ回路と電流波形

LD に流れる電流は、変調電流 I_M を流すトランジスタ M_M 、バイアス電流を流すトランジスタ M_B および配線やパッドの容量からなる C_P と、LD の寄生容量 C_D によって、LD に流れる電流 I_{LD} は図 2.2 の青い実線のように鈍ってしまう。この帯域の劣化を補償するには変調電流 I_M に図 2.2 の赤い波線のように信号の高周波域を強調するピーキング特性を持たせればよい。ピーキング特性は、そのピーク量を可変にできなければならない。なぜなら LD のインピーダンスは低く、LD ドライバは LD を電流駆動するため高い出力インピーダンスを持っているため、伝送特性が LD-ドライバ間の配線（ワイヤボンディングかフリップチップ実装による基板配線なのか）、LD やドライバの寄生容量などにより大きく影響を受けるためである。

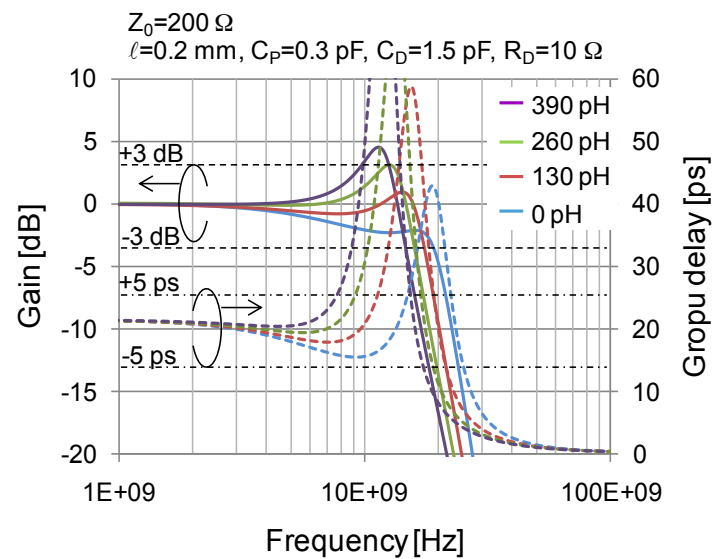
LD-LD ドライバ間配線による伝送特性への影響を図 2.3 に示す。



(a)



(b)



(c)

図 2.3 LD-LD ドライバ間配線による伝送特性: (a)等価回路、(b)LD 電流周波数特性($Z_0=50 \Omega$ (package trace))、(c)LD 電流周波数特性($Z_0=200 \Omega$ (wire bonding))

ここで ℓ は配線長、 Z_0 は配線の特徴インピーダンス、 C_P は出力トランジスタの寄生容量、 C_D と R_D はそれぞれ LD の寄生容量と直流抵抗である。また I_M は LD ドライバで

流す変調電流、 I_D は LD に流れる電流である。

配線の特性インピーダンス Z_0 を、LD および LD ドライバをフリップチップ実装してその間を基板配線で接続した場合を想定して 50Ω としたとき(図 2.3(a))、3 dB 帯域は 8 GHz となる。25 Gb/s のシステムとして帯域が不足するため、LD ドライバにピーキング特性を持たせる必要がある。260 pH のインダクタを LD ドライバにつけることで 3 dB 帯域幅を 18 GHz まで伸ばすことができ、グループディレイを 12.5 GHz 以下で ± 5 ps に抑えることができる。しかしボンディングワイヤによる実装の場合、配線の特性インピーダンス Z_0 は約 200Ω となり、260 pH のインダクタをつけた LD ドライバではピークが大きくなり、グループディレイの変動が大きくなる(図 2.3(b))。従って 1 つの LD ドライバで種々の実装条件に対応可能とするためには、LD ドライバはピーク量を可変にできなければならない。

可変ピーキングはこれまで 4 つの方法が議論されてきた。1)インダクタピーキング [1]-[4]、2)アクティブインダクタ[5]-[7]、3)RC ソース デジェネレーション[8]、4)プリエンファシス(デエンファシス)[9]-[11]である。以下にそれぞれの方法の特徴を書く。

1) インダクタピーキング

IC 上のインダクタは通常メタルの配線で実現するため、数 $10 \sim 100 \mu\text{m}^2$ の大きな回路面積を必要とする。また製造後にその値を変更することができない。このためピーク量を調整する方法としてインダクタに直列に可変抵抗を接続し、Q 値を調整する方法が報告されている[4]。しかしながら抵抗を可変抵抗とすることで寄生容量が増え、帯域が劣化する。さらに LD ドライバは 40 mA 以上の変調電流 I_M を流す必要があり、可変抵抗により大きな電圧降下が生じる。可変抵抗を 50Ω とすると電圧降下は 1V となり、微細 CMOS プロセスで扱うのが困難となる。

2) アクティブインダクタ

アクティブインダクタはトランジスタで構成するため、小さな回路面積でピーク量の調整を行うことができる。しかしインダクタは図 2.3(a)と異なり負荷である LD と並列に接続されることになる。LD の直列抵抗は 10Ω 程度と小さいため、十分なピーク量を得るためにはトランジスタサイズを大きくする必要があり、トランジスタの寄生容量によって帯域が劣化する。また出力回路の電流はアクティブインダクタと LD とに分流されるため、アクティブインダクタに流れる電流は光パワーに寄与せず、LD と直列にインダクタを接続した場合に比べ消費電力が増大する。

3) RC ソース デジェネレーション

RC ソース デジェネレーションはトランジスタと抵抗、容量で構成され、大きな回路面積を必要とするインダクタを用いずピーキング特性を実現できる。しかし RC ソース デジェネレーションを用いた回路のトランスコンダクタンスは、ソース デジェネレーションの抵抗により小さくなる。LD ドライバは1)でも述べたように 40 mA 以上の変調電流 I_M を流す必要があり、トランスコンダクタンスの低下はトランジスタサイズやプリドライバの出力振幅を大きくしなければならず、帯域の劣化、消費電力の増大につながる。

4) プリエンファシス(デエンファシス)

プリエンファシス(デエンファシス)は、エンファシス用の電流を加算または減算することでピーキングを生じ、その電流量を変えることでピーク量を調整する。プリエンファシス(デエンファシス)もインダクタが不要のため、回路面積を小さくすることができる。しかしエンファシス電流を流す回路およびエンファシス幅を調整するタイミング回路が必要となるため、消費電力が増大する。また LD ドライバの出力にエンファシス回路が接続されることで寄生容量が増大し、帯域が劣化する。

いずれの方式も一長一短があるため、25 Gb/s システム向け LD ドライバとして新たな帯域劣化補償回路方式が求められている。

次にもう 1 つの課題であるプリドライバの消費電力と回路面積について述べる。

プリドライバは 40 mA 以上の変調電流を流すメインドライバ段を 25 Gb/s の伝送に必要な帯域をもって駆動する必要がある。1段のアンプでは十分な利得帯域幅積を得ることができないため、通常アンプを多段にカスケード接続する。カスケード接続したときのトータルの帯域 BW_{tot} は式(2.1)となる[12]。

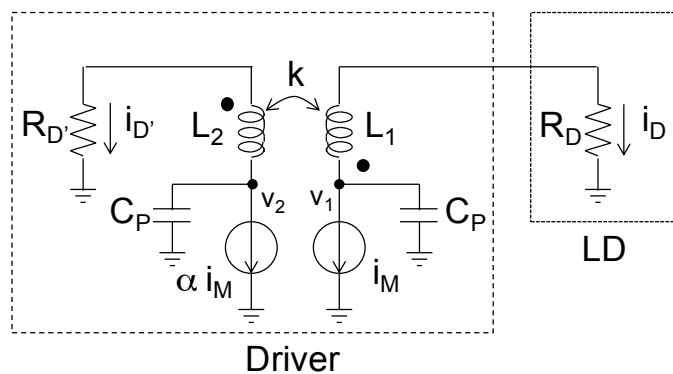
$$BW_{tot} = BW_{cell} \sqrt[m]{\sqrt{2} - 1} \quad (2.1)$$

ここで BW_{cell} は 1 段あたりの帯域である。

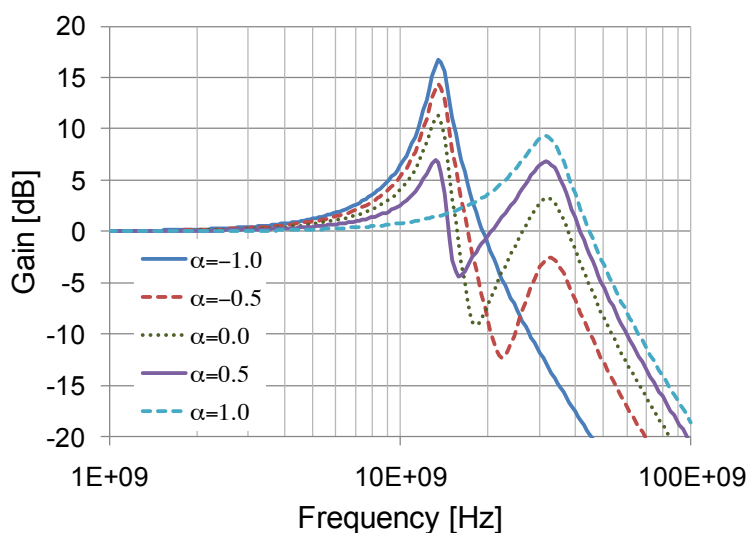
各段のアンプの帯域は段数が増えるに従って広い帯域が必要となるため、メインドライバ段と同様の帯域補償技術やアクティブフィードバック技術[12][13]が用いられる。しかしこれらの技術は高密度が要求される光インターコネク用 LD ドライバに適用する場合、回路面積や消費電力が課題となる。そこで相互インダクタンスによる帯域補償を用いたメインドライバと、CMOS インバータを用いた小面積、低消費電力プリドライバを提案した。

2.2 相互インダクタによる可変ピーキング

相互インダクタによる可変ピーキングの原理を図 2.4 に示す。



(a)



(b)

図 2.4 可変インダクタの原理:(a)相互インダクタによる可変ピーキングの回路図、(b)シミュレーション結果

変調電流 I_M をインダクタ L_1 に、ピークコントロール電流 $\alpha \cdot I_M$ をもう一方のインダクタ L_2 に流す。インダクタ L_1 と L_2 は相互に結合しており、結合係数を k とする。 R_D は LD の直列抵抗、 C_P は LD ドライバの寄生容量、 α は変調電流とピークコントロール電流の比を表す。簡単のため LD の寄生容量を省略すると回路各部の電流、電圧の関係は式(2.2)のようになる。

$$\begin{cases} v_1 = s L_1 I_D + s M I_{D'} + R_D I_D \\ v_2 = s M I_D + s L_2 I_{D'} + R_D I_{D'} \\ I_M = s C_p v_1 + I_D \\ \alpha I_M = s C_p v_2 + I_{D'} \\ M = k\sqrt{L_1 \cdot L_2} \end{cases} \quad (2.2)$$

式(2.2)から v_1 , v_2 および $I_{D'}$ を消去して $L_1=L_2=L$ のときの LD に流れる電流 I_D を求めると式(2.3)となる

$$I_D = \frac{C_p (L - \alpha M) s^2 + C_p R_D s + 1}{(C_p (L + M) s^2 + C_p R_D s + 1)} \times \frac{1}{(C_p (L - M) s^2 + C_p R_D s + 1)} I_M \quad (2.3)$$

$\alpha = 1$ のとき I_D は式(2.4)のようになる。

$$I_D = \frac{1}{C_p (L + M) s^2 + C_p R_D s + 1} I_M \quad (2.4)$$

$\alpha = -1$ のとき I_D は式(2.5)のようになる。

$$I_D = \frac{1}{C_p (L - M) s^2 + C_p R_D s + 1} I_M \quad (2.5)$$

式(2.4)、式(2.5)から、ピーク周波数 ω は α の符号によって $\omega_{p1} \approx 1/\sqrt{C_p (L - M)}$ または $\omega_{p2} \approx 1/\sqrt{C_p (L + M)}$ をとることがわかる。 $\alpha = -1$ のときのピーク周波数を伝送信号の基本周波数に近くなるように、また $\alpha = 1$ のときのピーク周波数を伝送信号の基本周波数に対し十分高い周波数になるように設計すると、 $\alpha = -1$ のときには信号のエッジが強調されてエンファシスの効果が得られ、 $\alpha = 1$ のときはエンファシス効果がほぼない状態になる。

$\alpha \neq 1, -1$ のとき、 ω_{p1} と ω_{p2} の間にディップが生じる。ディップ周波数は式(2.3)より $\omega_z \approx 1/\sqrt{C_p (L - \alpha M)}$ となり、 α の値によってディップ周波数を可変することができる。 α を -1 に近づけると、ディップ周波数 ω_z が ω_{p2} に近づくため、ピーク量は小さくなる。逆に α を 1 に近づけると、ディップ周波数 ω_z が ω_{p2} から遠ざかるため、ピーク量は小さくなる。このようにして変調電流とピークコントロール電流の比 α を変えることで LD ドライバのピーク量を可変することができる。

$L_1 = L_2 = 400$ pH、 $k = 0.7$ 、 $R_D = 8.5$ Ω 、 $C_p = 200$ fFとしたときのシミュレーション結果を図 2.4(b)に示す。25 Gb/s の伝送に有効な 13 GHz でピークが生じており、そのピーク量を α の値によって調整できることがわかる。

2.3 CMOS インバータ アクティブフィードバック プリドライバ

広帯域のアンプ回路には一般的に差動アンプが用いられてきた。しかし差動アンプは抵抗や定常的に電流を流すテール電流が必要となるため、消費電力や回路面積が大きくなる。加えて 25 Gb/s の伝送速度 (bit rate) を実現するために、テール電流を大きくして負荷抵抗の値を下げて配線やトランジスタの寄生容量による帯域の劣化を抑制する、インダクタなどによるピーキングにより帯域補償を行う、などするためさらに消費電力や回路面積が大きくなってしまふ。そこでこのような課題を解決する CMOS インバータを用いたデュアルループ アクティブフィードバック プリドライバ回路を提案した。図 2.5(a) に回路図を示す。

CMOS インバータ アクティブフィードバック プリドライバは 5 つの CMOS インバータで構成され、2 つのフィードバックを持つ。1 つは 2 段目の出力からフィードバックされるもの、もう 1 つは 4 段目の出力からフィードバックされるものである。3 段目はメインドライバを駆動するバッファとフィードバック バッファの 2 つを駆動する。

プリドライバはスイッチ等の LSI と LD ドライバとを接続するプリント基板配線の損失を補償しなければならないが、プリント基板配線の長さは装置の設計によって変わるため損失補償量を可変できる必要がある。アクティブフィードバック回路はフィードバック量を可変することでピーク量を調整できる。しかし一般的なアクティブフィードバック回路はフィードバック量を調整してピーク量を可変すると回路のゲインも変わるため、ゲインを一定に保つためには前段に可変ゲイン回路が必要となる。デュアルループ アクティブフィードバック回路は、2 つのフィードバックを設けることにより、回路のゲインを変えずにピーク量の調整を可能とした[14]。差動アンプを用いたデュアルループ アクティブフィードバック回路では差動アンプのテール電流を可変することでピーク量を調整している。これに対し CMOS デュアルループ アクティブフィードバック プリドライバでは MOS 抵抗 R_1 を調整することでピーク量を調整する。

CMOS インバータ アクティブフィードバック プリドライバの伝達特性は以下のようになる。プリドライバの等価回路を図 2.5(b) に示す。解析を簡単にするため、CMOS インバータの出力抵抗は、 $r_{o0} = r_{o1} = r_{o2} = r_o$ と仮定する。また CMOS インバータのゲイン G_{a0} 、 G_{a1} 、 G_{a2} 、 G_f は式 (2.6) のように 1 次の伝達関数で表されるものとする。

$$\begin{aligned} G_{a0}(s) = G_{a1}(s) = G_{a2}(s) &= \frac{G_a}{1 + s/\omega_0} \\ G_f(s) &= \frac{G_f}{1 + s/\omega_0} \end{aligned} \quad (2.6)$$

このときプリドライバの伝達関数は式 (2.7) で表される。

$$V_{out} = \frac{G_a^2 r_{of} (-G_a R_1 + r_o + r_o s/\omega_0)}{r_o (1 + s/\omega_0) LP_1 LP_2} V_{in}$$

$$LP_1 = r_o (1 + s/\omega_0) (r_{of} (1 + s/\omega_0) (2 + G_a + 2s/\omega_0) + r_o (-G_a G_f + (1 + s/\omega_0)^2)) \quad (2.7)$$

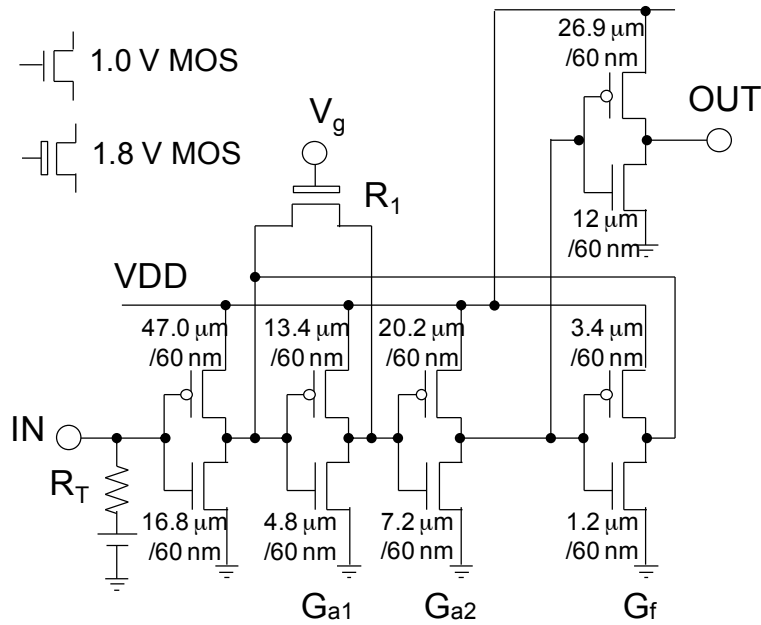
$$LP_2 = R_1 (r_{of} (1 + s/\omega_0)^3 + r_o (G_a^2 G_f + (1 + s/\omega_0)^3))$$

$r_{of} \gg r_o$, $G_a \gg G_f$, $G_a \gg 1$ とすると LP_1 , LP_2 は式 (2.8) のようになる。

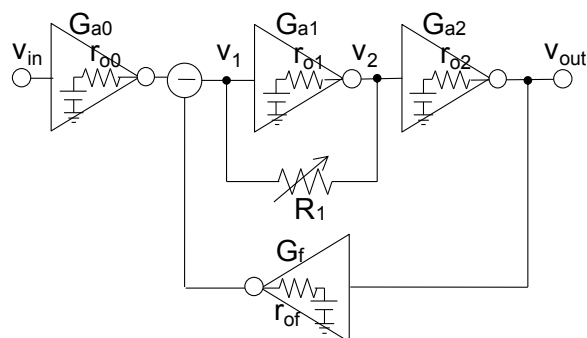
$$LP_1 = r_o r_{of} G_a (1 + s/\omega_0)^2 \quad (2.8)$$

$$LP_2 = R_1 (r_{of} (1 + s/\omega_0)^3 + r_o G_a^2 G_f)$$

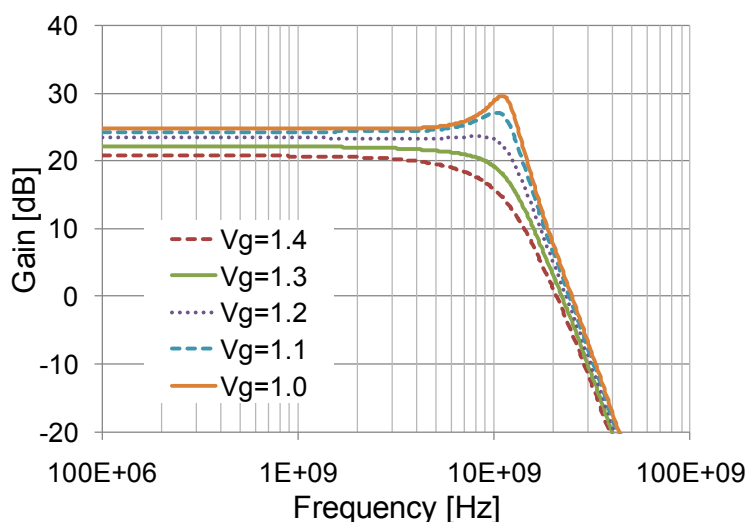
$R_1 \rightarrow 0$ のとき、 LP_1 , LP_2 は $LP_1 \ll LP_2$ となり、プリドライバの伝達関数は 2 次となる。一方 $R_1 \rightarrow \infty$ のとき LP_1 , LP_2 は $LP_1 \gg LP_2$ となり、プリドライバの伝達関数は 3 次となり、大きなピークを持つようになる。したがって抵抗 R_1 の抵抗値を調整することによって 2 段目の CMOS インバータからのフィードバック量と 4 段目の CMOS インバータからのフィードバック量を同時に変えることができ、それによってピーク量を可変することができる。抵抗値 R_1 はゲート電圧 V_g によって調整される。



(a)



(b)



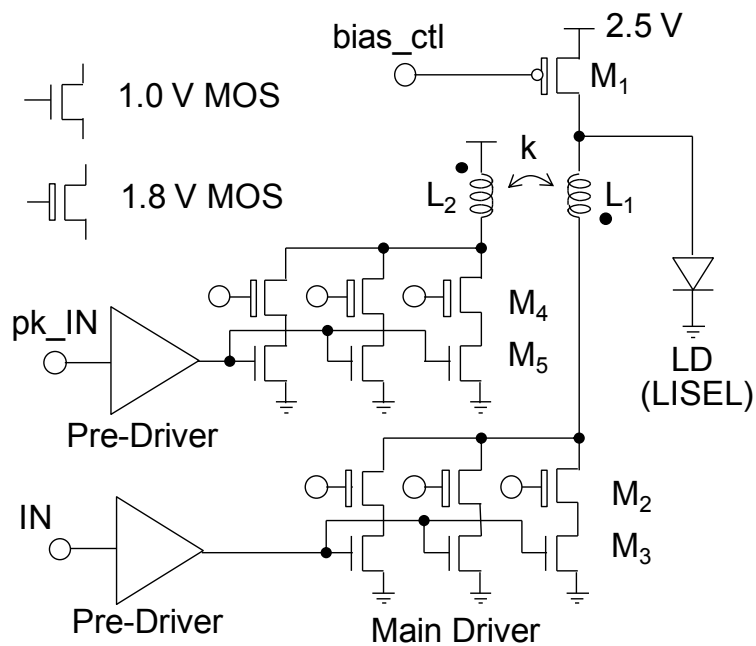
(c)

図 2.5 プリドライバ:(a) CMOS インバータ アクティブフィードバック プリドライバ回路、(b)等価回路、(c)シミュレーション結果

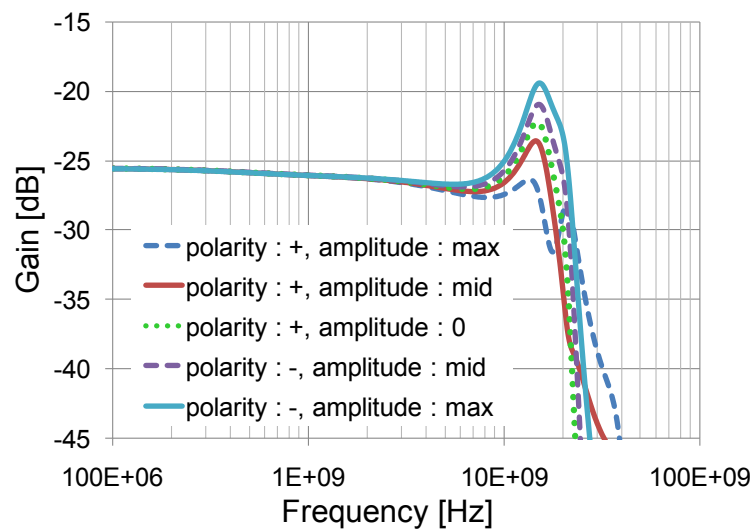
CMOS インバータ アクティブフィードバック プリドライバの周波数特性のシミュレーション結果を図 2.5(c)に示す。ゲイン 20 dB で帯域は 12 GHz 以上、ピーク量は 0 ~6 dB まで調整することができる。このとき消費電力は 7.5 mW、回路面積は 200 μm^2 となった。同じ特性を従来の差動アンプで構成した場合、消費電力は 12 mW、回路面積は 5400 μm^2 となることから、CMOS インバータ アクティブフィードバックを用いることにより消費電力を約 2/3、回路面積を約 1/25 にすることができた。

2.4 LD ドライバ回路の構成

LDドライバの回路図を図 2.6(a)に示す。



(a)



(b)

図 2.6 LD ドライバ: (a) LD ドライバ回路図、(b) 周波数特性シミュレーション結果

LD ドライバはメインドライバとプリドライバで構成され、メインドライバはバイアス電流回路 (M_1)、変調電流回路 (M_2 、 M_3)、ピーク調整回路 (M_4 、 M_5)、相互結合インダクタ (L_1 、 L_2) で構成される。

メインドライバはバイアス電流 30 mA、変調電流 40 mA を流すことができ、25 Gb/s の高速動作が可能な 1.3 μm 帯のレンズ集積化面発光レーザ (LISEL: Lens

Integrated Surface Emitting Laser) [15]を駆動することができる。LISEL アレイはカソードが共通となっているため、LD ドライバは LD のアノードを駆動する。PMOS トランジスタ M_1 でバイアス電流を流し、NMOS トランジスタ M_3 で変調電流を流す。トランジスタ M_3 は高いトランスコンダクタンスを確保するためにソースを接地してプリドライバの CMOS インバータで駆動している。LD の ON 電圧は 1.4 V のため、トランジスタ M_3 の耐圧を保つようトランジスタ M_2 によるゲート接地回路入れた。またトランジスタ M_2 の一部を ON/OFF させることでトランジスタ M_3 のサイズを変えて、変調電流量を調整できるようにした。ピーク調整回路は変調電流回路と同様の構成をとり、変調電流は 4 段階、ピーク調整電流は 8 段階調整できる。

相互結合インダクタの構成を図 2.7(a)に示す。

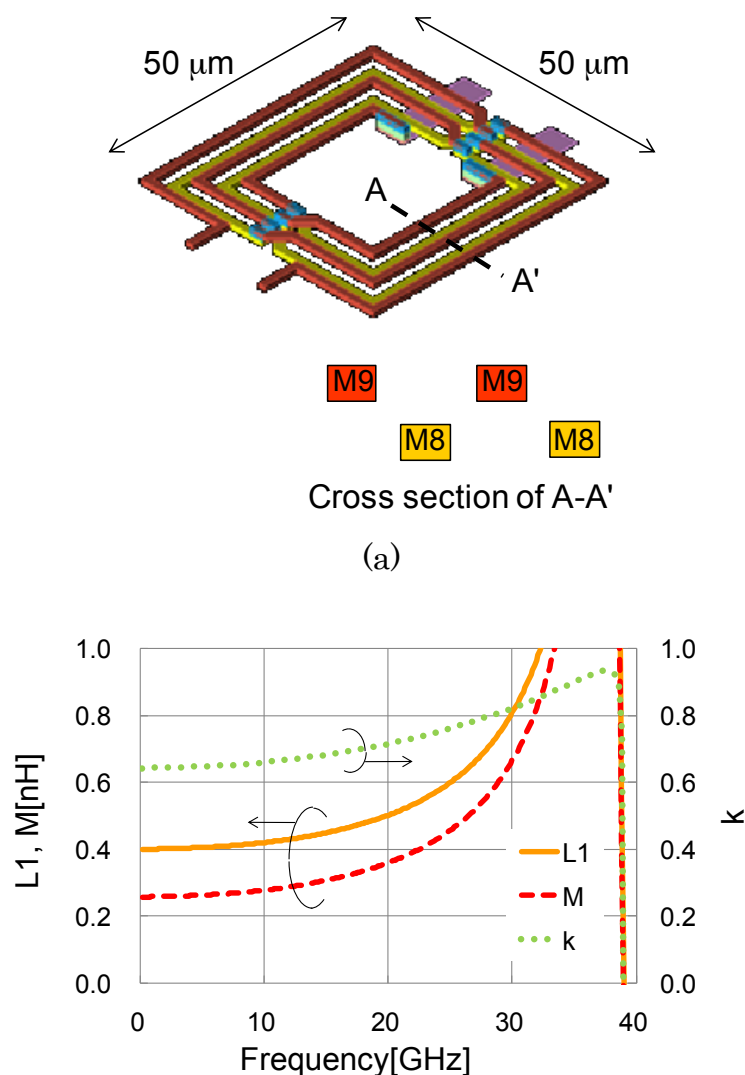


図 2.7 相互結合インダクタ:(a)総合結合インダクタの形状、(b)周波数特性

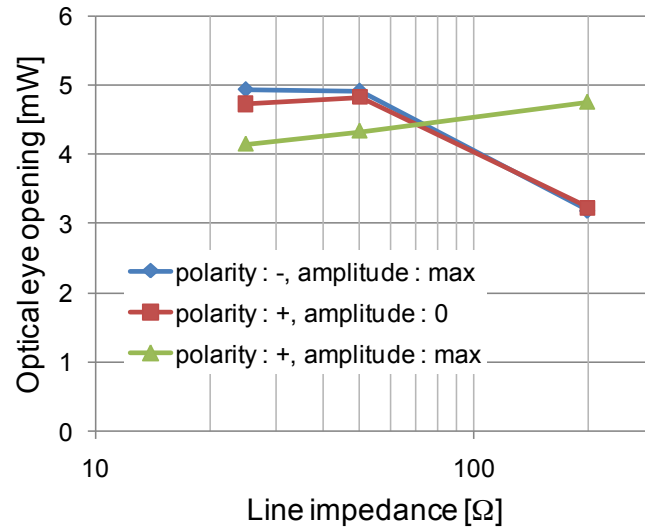
メタル層を 2 層用いて 2 つのインダクタを構成している。左右対称な形状とし、真ん中で 2 つのインダクタの層を入れ替えている。上下の層間容量を減らすため、断面 A-A' に示すように 2 つの層で配線を互いにずらしている。インダクタのサイズは $50 \times 50 \mu\text{m}^2$ である。相互インダクタの周波数特性を図 2.7(b) に示す。自己インダクタンスは 0.4 nH、カップリング係数は 0.65、自己共振周波数は 35 GHz となっている。

LD ドライバのシミュレーション結果を図 2.6(b) に示す。LD 電流周波数特性のピーク量はピーク調整回路の電流量と向きで調整できている。ピーク周波数は 15 GHz、調整範囲は 7 dB となった。

光出力波形で見たピーク調整の効果を図 2.8 に示す。光出力はレート方程式をベースにした LD の回路シミュレータ (SPICE) 等価回路モデルを用いた [16]。パラメータは LISEL の特性に合わせてフィッティングした。

LD ドライバ IC をフリップチップ実装した場合、LISEL-LD ドライバ間の配線はストリップラインまたはマイクロストリップラインで構成され配線インピーダンスは $25\Omega \sim 50\Omega$ くらいとなる。この場合、ピーク制御回路の電流の向きをマイナスにしてピーク量を上げるとアイパターンの開口は広がる。一方 LD ドライバと LISEL をワイヤボンディングで接続した場合、配線インピーダンスは 200Ω 程度となる。この場合、ワイヤボンディングのインダクタにより過補償となるためピーク制御回路の電流の向きをプラスにして LD ドライバ回路のピーク量を下げるとアイパターンの開口は広がる。このように本提案の LD ドライバ回路は LD-LD ドライバ間の配線インピーダンスに従ってピーク制御回路を調整することで最大のアイ開口を得ることができる。

設計した LD ドライバは 1.0 V、1.8 V、2.5 V の 3 種の電源を用い、LD を含めた消費電力は 156 mW、電力効率は 6.3 pJ/b となった。



(a)

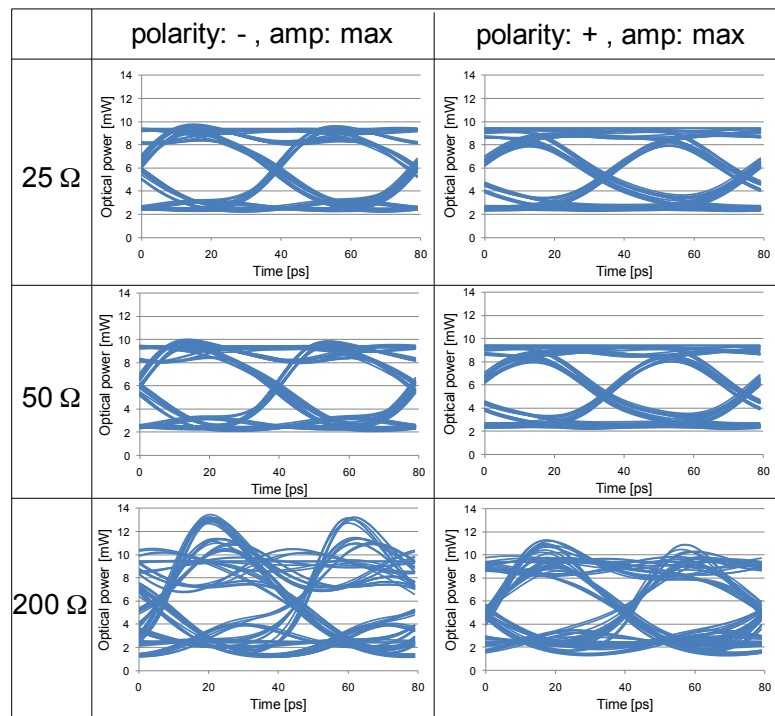


図 2.8 ピーク調整の効果:(a)配線インピーダンスとアイ開口、(b)光出力波形

2.5 LD ドライバ評価結果

LDドライバはスタンダード 65 nm CMOS プロセスを用いて試作した。試作した LD ドライバのチップ写真を図 2.9 に示す。回路面積は $95 \times 115 \mu\text{m}^2$ である。

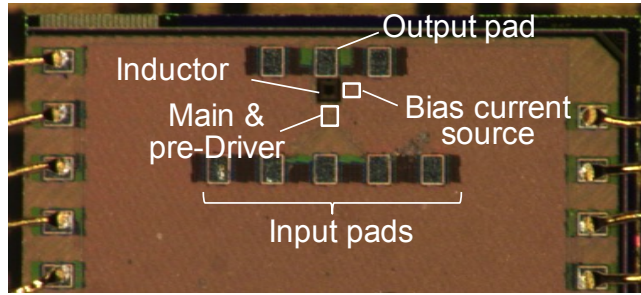
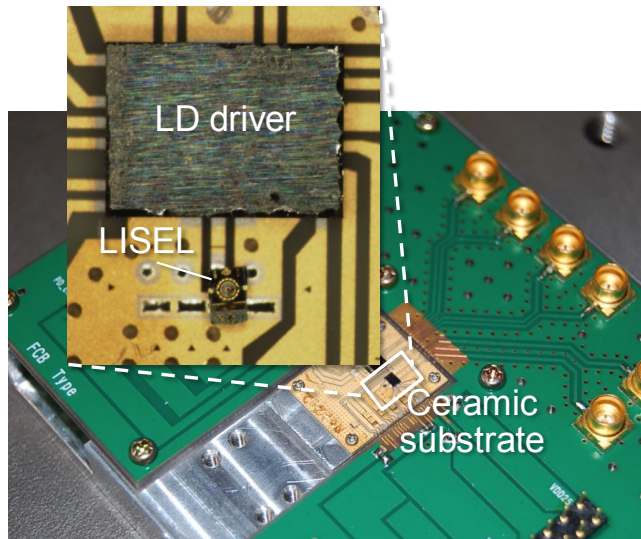
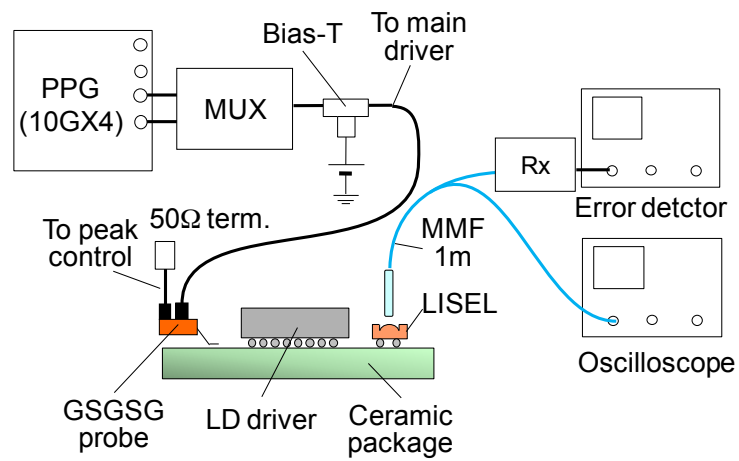


図 2.9 LD ドライバチップ

図 2.10 に LD ドライバの評価基板および評価装置構成を示す。



(a)



(b)

図 2.10 LD ドライバ IC 評価:(a)評価基板、(b)評価装置構成

信号は高周波プローブをセラミックパッケージのパッドに当てて入力した。LISELからの光出力は先端をテーパ状にしたマルチモード光ファイバ(MMF)でひろいだし、オシロスコープ(Hewlett-Packard HP83480A)の光サンプリングヘッドで測定した。25 Gb/s データは 12.5 Gb/s 4ch パルスパターンジェネレータ(Anritsu MP1758A)を用い、2:1 のマルチプレクサ(MUX)により生成した。ビットエラーレート(BER)の測定は光レシーバ、1:2 のデマルチプレクサ(DMUX)を通して 12.5 Gb/s 4ch エラーディテクタ(Anritsu MP1762A)で測定した。光レシーバはCMOSトランスインピーダンス アンプ(TIA)[17]と裏面入射 p-i-n フォトダイオード[17]で構成され、BER 10^{-12} のときの入力感度は-8dBm である。

LDドライバの周波数特性を図 2.11 に示す。測定はLISELを接続し、ピーク制御なしで測定した。LDドライバの-3 dB 帯域は 16 GHz で、25 Gb/s 伝送に十分な帯域を得ることができた。

LISELを用いた光アイパターンの測定結果を図 2.12 に示す。図 2.12(a)はピーク制御電流を0にした場合、図 2.12(b)はピーク制御電流を負方向に最大にした場合である。ピーク制御電流を負方向に最大にすると、ピーク制御電流を 0 にした場合に比べアイ開口はより大きくなり、相互結合インダクタによる波形品質改善の効果が確認できた。

図 2.13 に伝送速度(bit rate)25 Gb/s、擬似ランダムパターン(PRBS $2^9 - 1$)での BER 測定結果を示す。エラーフリーとみなされる BER 10^{-12} となる光パワーは-7.7 dBm となった。レシーバの入力感度-8.0 dBm に対し 0.3 dB のペナルティであり、十分な波形品質が得られていることが確認できた。

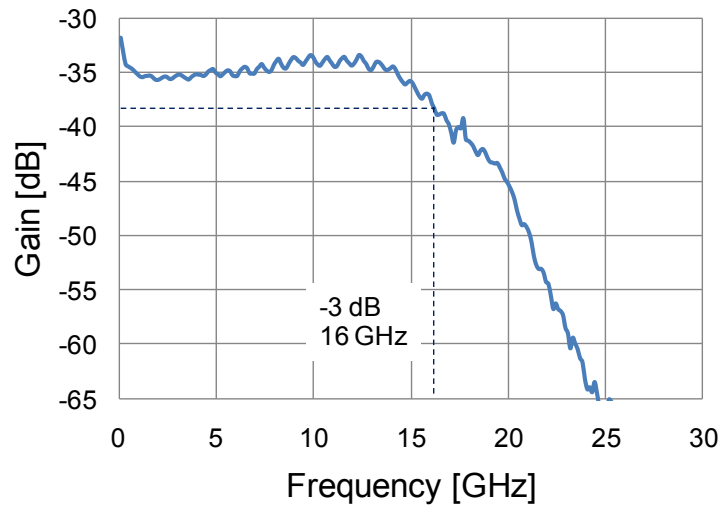
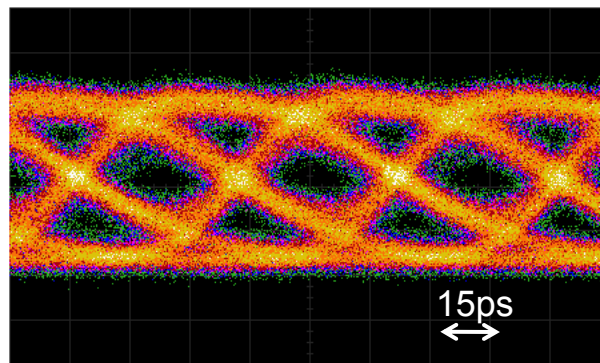
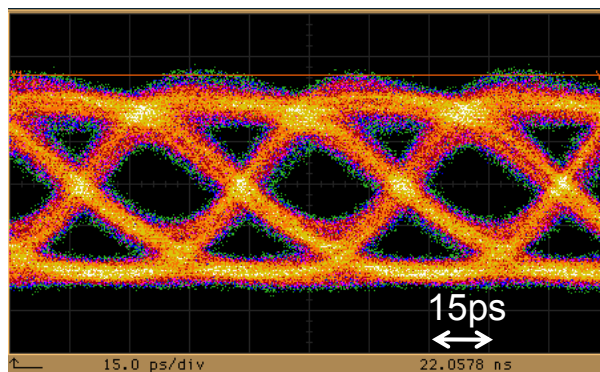


図 2.11 LD ドライバの周波数測定結果



(a)



(b)

図 2.12 光アイパターン測定結果:(a) ピーク制御電流 0、(b) ピーク制御電流 max

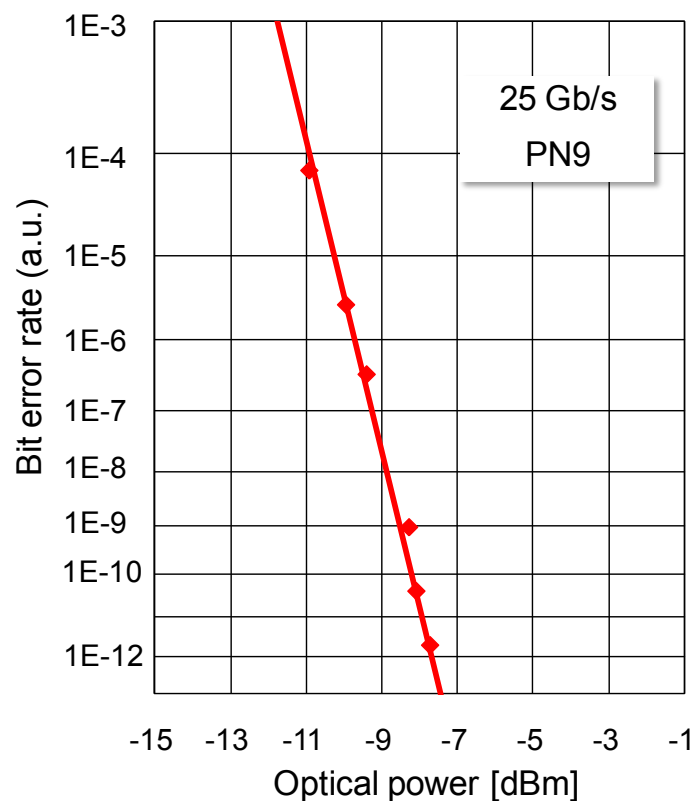


図 2.13 ビットエラーレート(BER)測定結果

2.6 関連研究

2.6.1 LD ドライバの比較

LDドライバの比較を表 2.1 に示す。Palermo et al. [9]、Kucharski et al. [10]らはメインドライバのピーキング方式にプリエンファシス、プリドライバの回路方式に差動アンプを用いた駆動電流の小さいLD (VCSEL: Vertical Cavity Surface Emitting Laser) 用ドライバを発表している。これらの発表はプロセスおよび出力電流値が異なるため、本報告の LD ドライバでは単純に比較することはできない。そこで本報告と同じプロセス65 nm、出力電流26 mAに揃えたときの値を算出した。算出には以下の仮定を用いた。

- 伝送速度 (bit rate) はトランジスタと配線容量の和に反比例する。
- 伝送速度 (bit rate) は出力電流値に反比例する。
- トランジスタ容量はスケーリングファクタ (S) の 2 乗に反比例する。

- 配線容量は 90 nm プロセスのトランジスタ容量と同一で、プロセスによって変わらない(各プロセスは同じ Cu 配線を用いており、配線幅あたりの許容電流値は変わらないため)。
- Kucharski らは SOI プロセスを用いていることから、トランジスタの容量は 1 世代先のプロセスと同じ。
- トランジスタ面積はスケーリングファクタ(S)の 2 乗に反比例する。

その結果を表 2.2 に示す。本報告の LD ドライバは、相互インダクタによるピーキングと CMOS インバータによるプリドライバにより、Palermo、Kucharski らの発表に対し、電力効率で 1.5 倍、回路面積は 1/4 を実現することができた。

表 2.1 LD ドライバの比較

	Palermo et al. [9]	Kucharski et al. [10]	This work
Bit rate	16 Gb/s	20 Gb/s	25 Gb/s
Peaking type	Pre-emphasis	Pre-emphasis	Coupled inductor
Pre-driver type	Differential amp.	Differential amp.	CMOS inverter
Optical device	VCSEL	VCSEL	LISEL
LD average	6.2 mA	9 mA	26 mA
Supply	1.0/2.8 V	2.5/3.3 V	1.0/1.8/2.5 V
Power dissipation with LD (Power efficiency)	48 mW (3 pJ/bit)	120 mW (6 pJ/bit)	156 mW ^{*1} (6.3 pJ/bit) 66 mA ^{*2} (2.6 pJ/bit)
Area	0.017 mm ²	0.088 mm ²	0.011 mm ²
Technology	90nm CMOS	0.13mm CMOS	65nm CMOS

*1 : At average current of 26mA

*2 : At average current of 10mA

表 2.2 LD ドライバの比較(プロセス 65 nm、出力電流 26 mA)

	Palermo et al. [9]	Kucharski et al. [10]	This work
Power efficiency	9.5 pJ/bit	10.7 pJ/bit	6.3 pJ/bit
Area	0.037 mm ²	0.064 mm ²	0.011 mm ²

2.6.2 TIA の開発

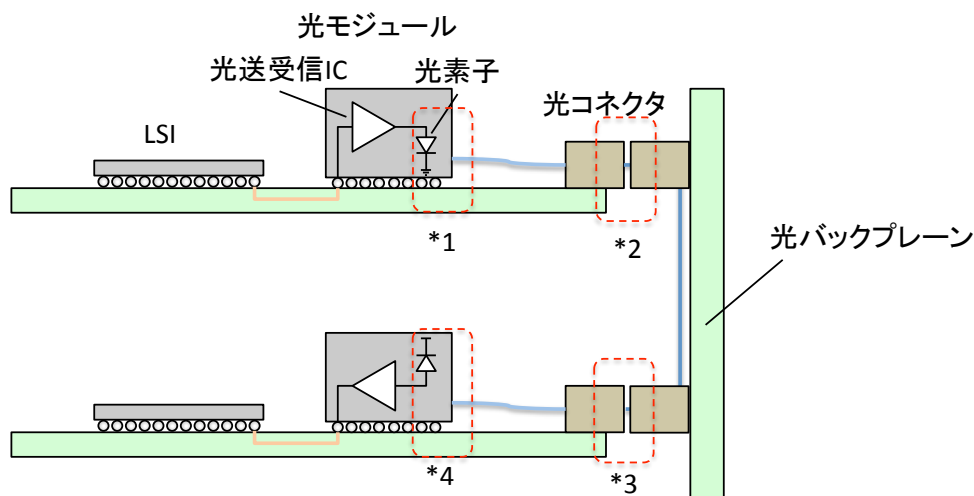
フォトダイオード(PD)により光強度に比例した電流を電圧に変換する TIA は高い

受信感度が必要となる。光インターコネクットのパワーバジェットを図 2.14 に示す。TIA は 90 nA の微小な信号を受信できる必要がある。このため LD ドライバの開発と並行して TIA に向けて(1)電源雑音低減回路、(2)オフセット電圧低減回路、の開発を行い、CMOS プロセスで高い受信感度を実現した[19][20]。以下回路の詳細を述べる。

TIA プリアンプは PD からの信号を受けるためシングルエンド回路となっている。このため電源雑音の影響を大きく受ける。そこでプリアンプの電源にレギュレータを設けて雑音を低減するとともに、レギュレータ出力の電流を平準化するノイズキャンセル回路を設けた。図 2.15 に TIA プリアンプ回路を示す。

ノイズキャンセル回路は、Regulated Cascode (RGC) プリアンプ[21]の引込み電流と位相が逆の電流を発生させることにより、プリアンプの電源の電流変動を低減している。

TIA のポストアンプは差動増幅器を用いるため、シングルエンドのプリアンプの信号を差動に変換するためにリファレンス電圧が必要となる。このリファレンス電圧にオフセットが発生すると TIA の内部波形が歪み、受信感度を劣化させる。提案したオフセットキャンセル回路を図 2.16 に示す。



送信光 パワー [dBm]	損失					クロストーク 環境変動 [dB]	受信光 パワー [dBm]	受信電流 [nA]
	Tx光結合 *1 [dB]	光コネクタ *2 [dB]	光バック プレーン [dB]	光コネクタ *3 [dB]	Rx光結合 *4 [dB]			
1.0	3.0	1.0	0.5	1.0	2.0	2.0	-7.5	90

図 2.14 光インターコネクットのパワーバジェット

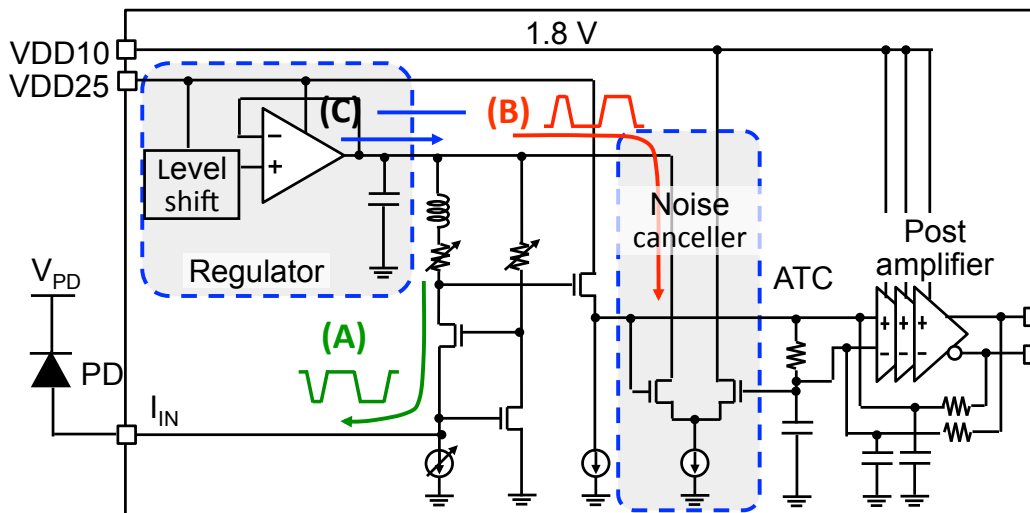


図 2.15 TIA プリアンプ回路

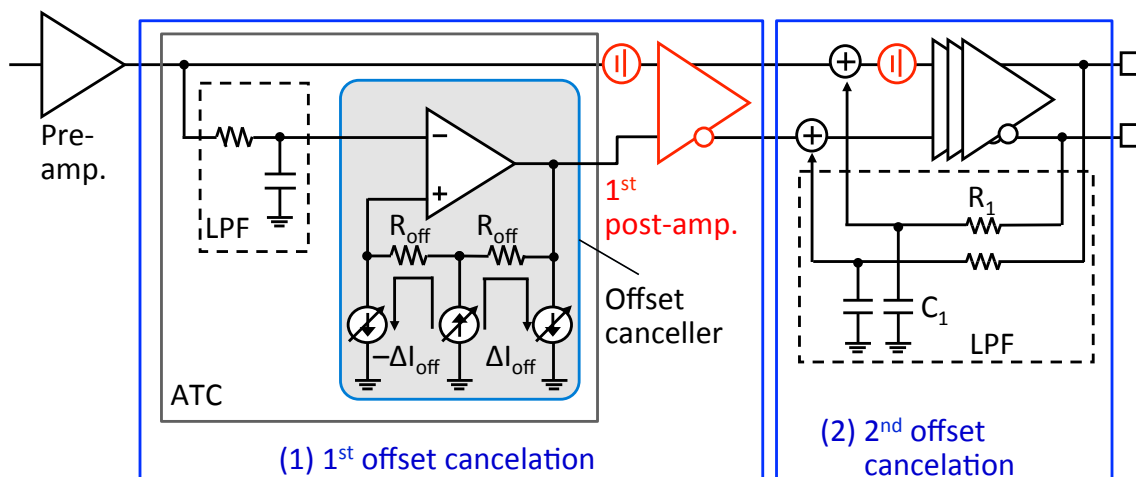


図 2.16 TIA オフセットキャンセル回路

オフセット電圧を低減するため、feed-forward Automatic decision Threshold Control (ATC) と feed-back オフセットキャンセラーの 2 段オフセットキャンセルを提案した。入力電圧の小さい 1 段目のポストアンプに対しては feed-forward ATC を用いることで高精度な調整を可能とし、2 段目以降のポストアンプのオフセットは feed-back によるキャンセルを行う。

これらの回路の効果を図 2.17 に示す。電源雑音低減回路、オフセット電圧低減回路により、目標受信感度 $90 \mu\text{A}$ を達成することができた。

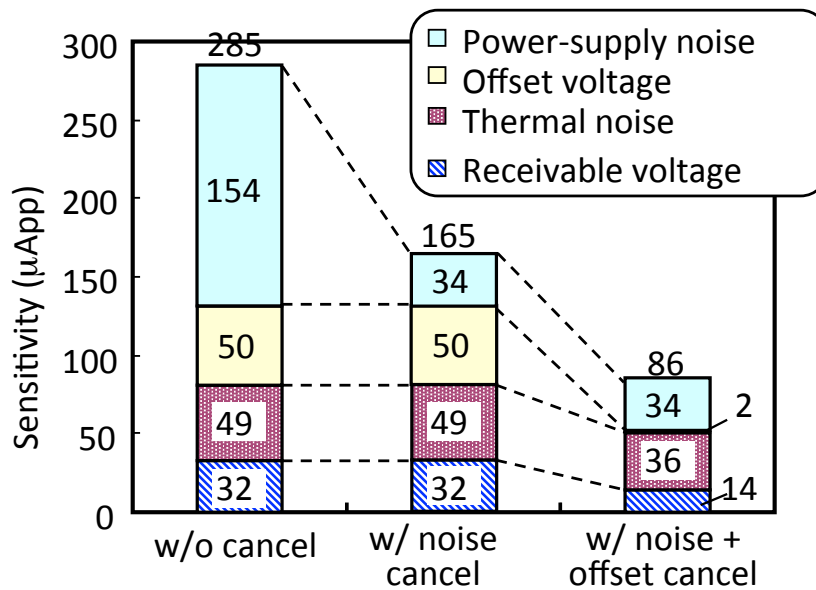


図 2.17 TIA 受信感度

2.7 本章のまとめ

光インターコネクト電力やコストの低減には、LD ドライバ回路、TIA 回路を CMOS で実現する必要がある。

LD ドライバ回路には 2 つの課題、(1)メインドライバ段でのパッドや配線、トランジスタや光素子の寄生容量による帯域の劣化、(2) メインドライバ段を駆動するプリドライバの消費電力と回路面積、がある。

(1)については相互インダクタによる可変ピーキング回路を提案し、消費電力の低減と高速化を両立させ、種々の実装に対して波形最適化が可能な調整機能を実現した。(2)については CMOS インバータを用いたデュアルループ アクティブフィードバックプリドライバ回路を提案し、消費電力の低減と回路面積の低減を実現した。

また TIA には受信感度の向上という課題があり、(1)電源雑音低減回路、(2)オフセット電圧低減回路、の開発が行われた。

これらにより 2016 年頃の 3.2 Tb/s スイッチ LSI や 10 Tb/s 情報処理装置・通信装置に用いられる 25 Gb/s 光インターコネクトに必要な光送受信回路の技術を確立することができた。

参考文献

- [1] T. Kuboki, Y. Ohtomo, A. Tsuchiya, K. Kishine, H. Onodera, "A 16Gb/s Laser-Diode driver with interwoven peaking inductors in 0.18- μ m CMOS," Proc. IEEE Custom Integrated Circuits Conference (CICC), 16-5, Sep. 2010.
- [2] C. Tsai, M. Chiu, "A 10Gb/s Laser-Diode Driver with Active Back-Termination in 0.18 μ m CMOS," Proc. International Solid-State Circuits Conference (ISSCC), pp. 222-223, Feb. 2008.
- [3] Jaeha Kim, Jeong Kim, B. Lee, D. Jeong, "Design Optimization of On-Chip Inductive Peaking Structures for 0.13 μ m CMOS 40-Gbps Transmitter Circuits," IEEE Transactions of Circuits and Systems I, vol. 56, no.2, pp. 2544-2555, Feb. 2009.
- [4] Jeong Kim, Jaeha Kim, G. Kim D. Jeong, "A Fully Integrated 0.13- μ m CMOS 40-Gb/s Serial Link Transceiver, " IEEE Journal of Solid-State Circuits, vol. 44, no. 5, pp.1510-1521, May 2009.
- [5] T. Wang, F. Yuan, "A New Current-Mode Incremental Signaling Scheme with Applications to Gb/s Parallel Links," IEEE Transactions on Circuits and Systems I, vol. 54, no. 2, pp. 255-267, Feb. 2007.
- [6] B. Liang, D. Chen, Bo Wang, G. Situ, T. Kwasniewski, Z. Wang, "A Monolithic High Modulation Efficiency CMOS Laser Diode / Modulator Driver," Proc. International Conference on Telecommunications (ICT), pp. 361-363, 2009.
- [7] Y. M. Lee, S. Sheikhaei, S. Mirabbasi, "A 10Gb/s Active-Inductor Structure with Peaking Control in 90nm CMOS," Proc. Asian Solid-State Circuits Conference (ASSCC), pp. 229-232, Nov. 2008.
- [8] J. Poulton, R. Palmer, A. M. Fuller, T. Greer, J. Eyles, W. J. Dally and M. Horowitz, "A 14-mW 6.25-Gb/s transceiver in 90-nm CMOS," IEEE Journal of Solid-state Circuits, vol. 42, pp.2745-2757, Dec. 2007.
- [9] S. Palermo, A. Emami-Neyestanak, M. Horowitz, "A 90nm CMOS 16 Gb/s Transceiver for Optical Interconnects," IEEE Journal of Solid-State Circuits, vol. 43, no. 5, pp. 1235-1246, May 2008.
- [10] D. Kucharski, Y. Kwark, D. Kuchta, D. Guckenberger, K. Kornegay,

- M.Tan, C. Lin, A. Tandon, "A 20G/bs VCSEL Driver with Pre-Emphasis and Regulated Output Impedance in 0.13 μ m CMOS," Proc. International Solid-State Circuits Conference (ISSCC), pp. 222-223, Feb. 2005.
- [11] K. Ohhata, H. Imamura, Y. Takeshita, K. Yamashita, H. Kanai, N. Chujo, "Design of a 4 \times 10 Gb/s VCSEL Driver Using Asymmetric Emphasis Technique in 90-nm CMOS for Optical Interconnection," IEEE Transactions on Microwave Theory and Techniques, vol. 58, no. 5, pp. 1107-1115, May 2010.
- [12] Sherif Galal, Behzad Razavi, "10-Gb/s Limiting Amplifier and Laser/Modulator Driver in 0.18- μ m CMOS Technology," IEEE Journal of Solid-State Circuits, vol. 38, no. 12, pp. 2138-2146, Dec. 2003.
- [13] Huei-Yan Huang, Jun-Chau Chien, Liang-Hung Lu, "A 10-Gb/s Inductorless CMOS Limiting Amplifier with Third-Order Interleaving Active Feedback," IEEE Journal of Solid-State Circuits, vol. 42, no. 5, pp. 1111-1120, May 2007.
- [14] N. Chujo, T. Kamimura, G. Ono, F. Yuki, "A 25 Gbps Inductorless Receiver Front-End in 65-nm CMOS for Serial Links," International Symposium on Circuits and Systems (ISCAS), pp. 189-192, May 2010.
- [15] K. Adachi, K. Shinoda, T. Shiota, T. Fukamachi, T. Kitatani, Y. Matsuoka, T. Sugawara, S. Tsuji, "100°C, 25 Gbit/s Direct Modulation of 1.3 μ m Surface Emitting Laser," Proc. Conference on Lasers and Electro-Optics / Quantum Electronics and Laser Science Conference (CLEO/QELS), CME4, May 2010.
- [16] P.V. Mena, J.J. Morikuni, S.M. Kang, A.V. Harton, K.W. Wyatt, "A Simple Rate-Equation-Based Thermal VCSEL Model," Journal of Lightwave Technology, vol. 17, no. 5, May 1999.
- [17] T. Takemoto, F. Yuki, H. Yamashita, Y. Lee, S. Tsuji, T. Saito, S. Nishimura, "A Compact 4 \times 25-Gb/s 3.0 mW/Gb/s CMOS-Based Optical Receiver for Board-to-Board Interconnects," Journal of Lightwave Technology, Vol. 28, no. 23, pp.3343-3350, Dec. , 2010.
- [18] Y. Lee, K. Nagatsuma, K. Hosomi, T. Ban, K. Shinoda, K. Adachi, S. Tsuji, Y. Matsuoka, S. Tanaka, R. Mita, T. Sugawara, and M. Aoki, "A

- 35-GHz, 0.8-A/W and 26- μ m Misalignment Tolerance Microlens-Integrated p-i-n Photodiodes," IEICE Trans. Electron. vol.E94-C, No.1, pp.116-119, Jan. 2011.
- [19] T. Takemoto, H. Yamashita, Fumio Yuki, Noboru Masuda, Hidehiro Toyoda, Norio Chujo, Yong Lee, Shinji Tsuji, S. Nishimura, "A 25-Gb/s 2.2-W 65-nm CMOS Optical Transceiver Using a Power-Supply-Variation-Tolerant Analog Front End and Data-Format Conversion," IEEE Journal of Solid-State Circuits, vol. 49, no. 2, Feb. 2014.
- [20] T. Takemoto, H. Yamashita, T. Yazaki, N. Chujo, Y. Lee, Y. Matsuoka, "A 25-to-28 Gb/s High-Sensitivity (9.7 dBm) 65 nm CMOS Optical Receiver for Board-to-Board Interconnects," IEEE Journal of Solid-State Circuits, vol. 49, no. 10, Oct. 2014.
- [21] S.M. Park, J. Lee, H. Yoo, "1-Gb/s 80-dB Fully Differential CMOS Transimpedance Amplifier in Multichip on Oxide Technology for Optical Interconnects," IEEE Journal of Solid-State Circuits, vol. 39, no. 6, June 2004.

第3章 高密度オンボード光モジュールの開発

3.2 Tb/s スイッチ LSI やそれを用いた 10 Tb/s 筐体型情報処理・通信装置には、基板上に2次元配置可能な高密度オンボード光モジュールが必要となる。光モジュールの高伝送密度化にはモジュール構造、光素子とファイバとの光結合構造の工夫とともに、チャンネル間や送受信回路間の距離を縮めるためにクロストークや電源雑音の低減など電気特性の向上が必要となる。本章では高密度オンボード光モジュールに必要なこれらの技術について述べる。

3.1 オンボード光モジュールの構造

提案するオンボード光モジュールの構造を図 3.1 に示す。

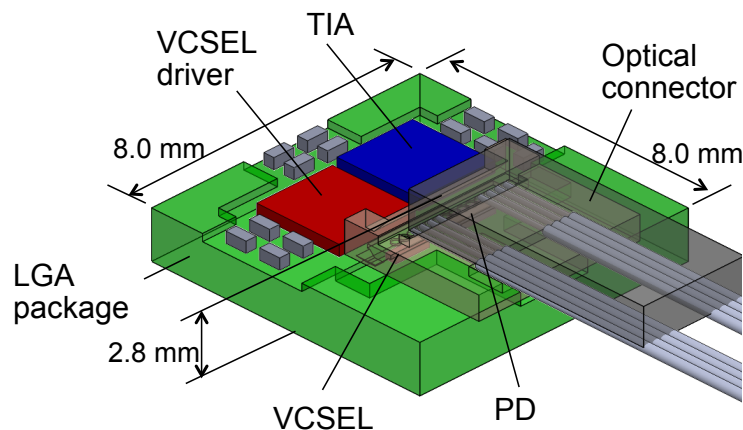


図 3.1 オンボード光モジュールの構造

モジュールはコア径 $50\mu\text{m}$ 、12 芯パラレルのマルチモード光ファイバ (MMF: Multi Mode Fiber) が付いたピグテイル構造 (光モジュールに光ファイバが固定された構造。これに対し光ファイバが脱着可能なものはプラグブル構造と呼ぶ) で、サイズは $8 \times 8 \text{ mm}^2$ 、厚みは 2.8 mm である。波長 850 nm の 4 チャンネル VCSEL アレイと PD アレイをフェイスアップでモジュール基板上に搭載し、ワイヤボンディングでモジュール基板上の配線と接続している。前章で述べた 4 チャンネルの VCSEL ドライバ IC[1]と TIA IC[2][3]をフリップチップボンディングでモジュール基板上に搭載している。光素子と光ファイバとを結合する光コネクタは 45 度のミラーとコネクタ下面に 12 個のレンズ

が一体成型されており、モジュール基板の上に固着される。モジュールの電気端子は Land Grid Array (LGA) で、ソケットを介して装置基板の配線と接続される。モジュール基板の材料は平坦性に優れ、微細配線が可能な低温同時焼成セラミックス (LTCC: Low Temperature Co-fired Ceramics) を用いている。

モジュール基板は 3 つの異なる高さの面を持つ。モジュール基板に 3 つの異なる高さの面を持たせることで、部品点数を減らし、シグナルインテグリティを向上している。モジュールの断面を図 3.2 に示す。

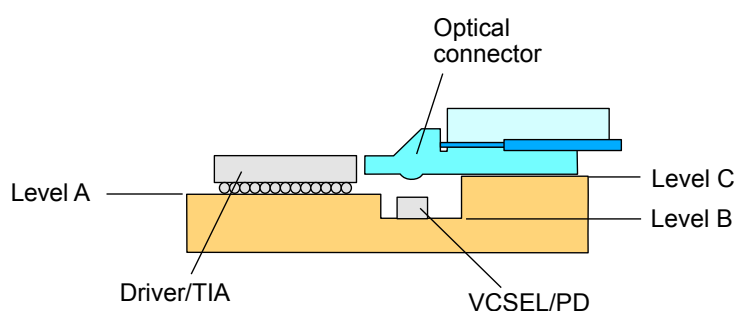


図 3.2 モジュール断面図

レベル A は VCSEL ドライバ IC と TIA IC を搭載する面である。

VCSEL と PD はレベル A より $150 \mu\text{m}$ 低いレベル B に搭載する。光素子の厚みは $150 \mu\text{m}$ であるため、レベル B をレベル A より $150 \mu\text{m}$ 低くすることで光素子の表面がレベル A の面と同一の高さとなり、モジュール基板の配線と光素子を接続するワイヤボンディングの長さを最小にすることができる。

レベル C は光コネクタを固着する面になる。光素子と光コネクタに一体成型されたレンズとの距離が最適になるようレベル A から $200 \mu\text{m}$ 高くしている。これにより光コネクタの高さ位置を調整するための部品を省くことができる。

図 3.3 に 3 レベル モジュール基板を用いたモジュールの組立て手順を示す。

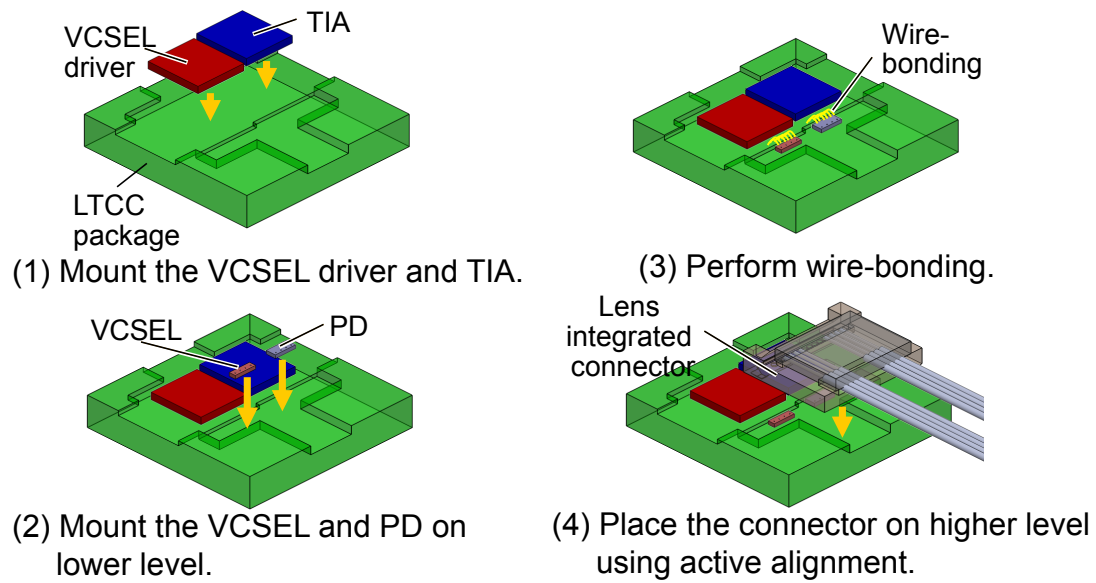


図 3.3 光モジュールの組立て手順

3.2 ミラー、レンズ一体成型コネクタ

ミラー、レンズ一体成型コネクタの外観を図 3.4 に示す。

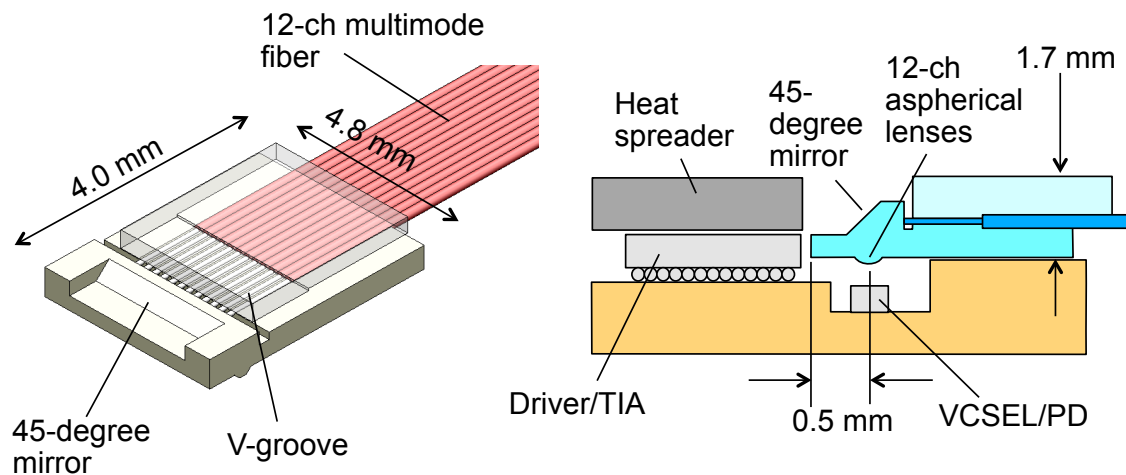


図 3.4 ミラー、レンズ一体成型コネクタの外観

光コネクタの薄型化と低コストを実現するために、1 レンズの光学系とした。VCSEL から出射された光は、光コネクタの下面に一体成型された非球面レンズにより集光され、ミラーで 90 度光軸変換されてコア径 50 μm のマルチモード光ファイバに入射され

る。ミラーおよびレンズはコネクタの端面から 0.5 mm のところに形成している。ミラーおよびレンズをコネクタ端面に近づけることで光コネクタが IC 上に被さることを防ぐことができる。これにより IC の放熱効率が上がり、モジュールの小型化が可能となる。光ファイバはコネクタ上に形成した V 溝により位置決めされ接着剤で固着される。光コネクタのサイズは 4×4.8 mm で厚み 1.7 mm の薄型化を実現した。

図 3.5 に光素子と光コネクタとの結合損失を示す。損失は送信 (Tx)、受信 (Rx) 合わせて 2.7 dB となった。図 3.6 に縦方向、および横方向のトレランスを示す。損失が 0.5 dB 増加する位置ずれ量は縦方向が $\pm 50 \mu\text{m}$ 、横方向が $\pm 10 \mu\text{m}$ で、高精度な実装機の導入なしで光モジュールを組立てることができる。

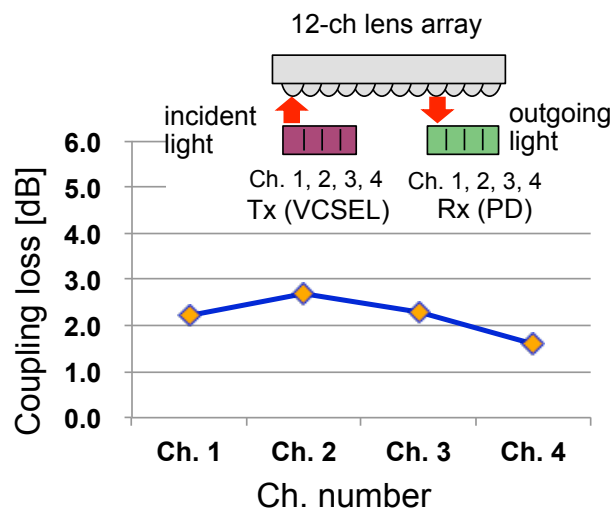


図 3.5 光コネクタの結合損失

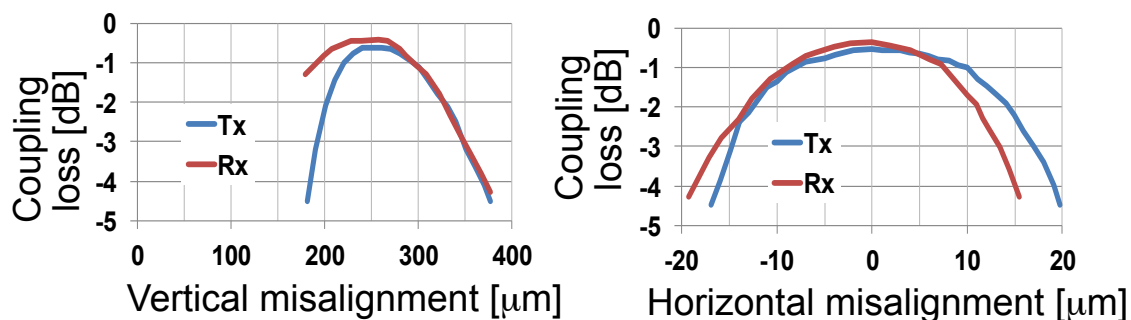


図 3.6 光コネクタの結合トレランス

3.3 クロストークの低減

オンボード光モジュールは伝送速度 (bit rate) の向上と高密度化を両立しなければならない。このため 3 つのクロストーク成分の解析が必要となる。1 つめは隣接配線間の電磁界結合によるクロストークである。2 つめは送受信間の電磁界結合によるクロストークである。3 つめは共通ノード インピーダンスによるクロストークである。以下各クロストークについての解析および対策を述べる。

3.3.1 隣接配線間クロストーク

図 3.7 にモジュール基板の IC-光素子部の拡大図を示す。VCSEL および PD アレイのピッチは光ファイバの間隔に合わせて $250\ \mu\text{m}$ となっている。したがって伝送速度 (bit rate) が $25\ \text{Gb/s}$ になると隣接配線間のクロストークが無視できなくなる。

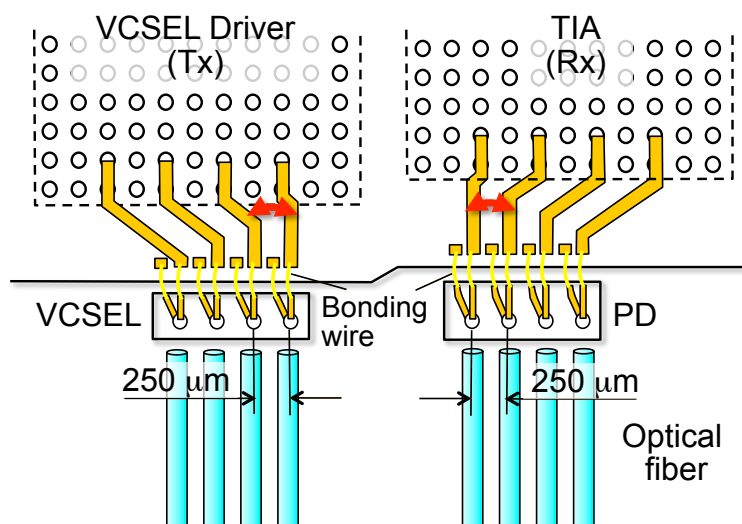


図 3.7 IC-光素子部拡大図

そこでクロストークを低減するためシールドを設けることとし、3 つの電磁界解析用モデルを作成して低減効果の確認を行った。解析用モデルを図 3.8 に示す。

図 3.8(a) はシールドを設置していないもので、効果を確認するためのリファレンスとする。図 3.8(b) は光素子のカソードの配線をシールドとして用いたものである。光素子のピッチは $250\ \mu\text{m}$ と狭く、配線間に新たにシールドを設けることは難しいためである。しかし受信側の場合 PD のカソードは TIA IC のパッドでバイアス電源に接続されるため、TIA IC のパッドから離れるに従ってインピーダンスが高くなり、シールド効果が弱くなる。そこで図 3.8(c) に示すようにカソードおよびアノード配線の下にベタパタ

ーンを設けてカソード配線とビアで接続するシールド効果改善構造を提案した。受信側の場合、ベタパターンはPDのバイアス電源と接続する。

3次元電磁界解析の解析結果を図 3.9 に示す。

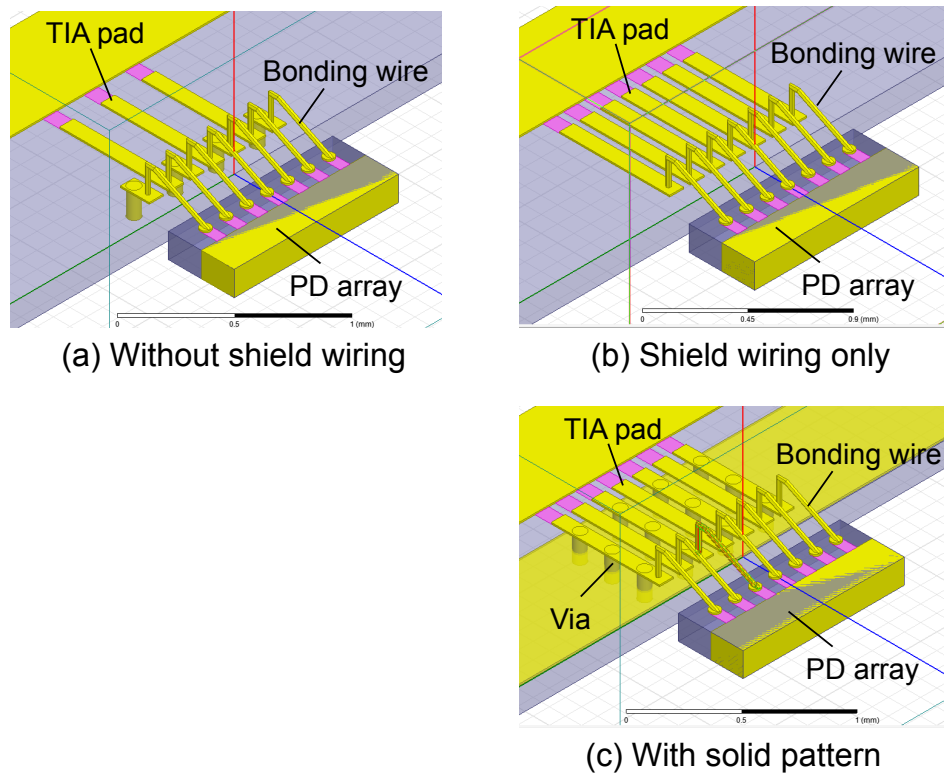


図 3.8 隣接配線間クロストーク解析モデル

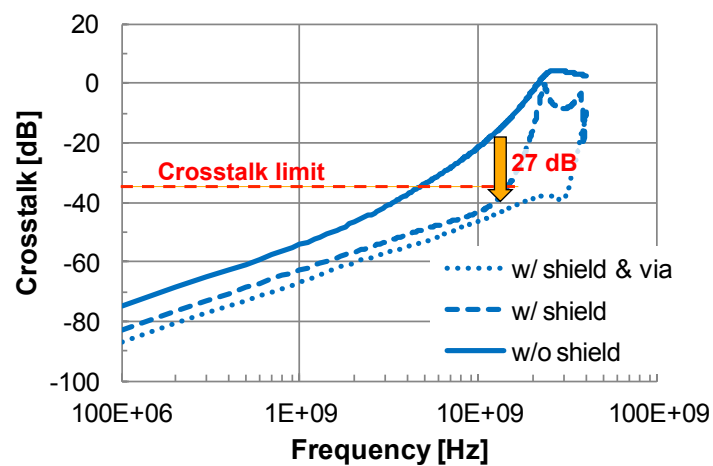


図 3.9 隣接配線間クロストーク解析結果

カソード配線をシールドとして使うことで、シールド無しの場合に比べ 12.5 GHz で 27 dB の改善を得た。さらにベタパターンを設けることで、12 GHz 以上でのクロストークの急激な増加を防ぐことができている。これによりクロストークの仕様 -36 dB 以下を実現した。

3.3.2 送受信間クロストーク

送信、受信間の距離は図 3.10 に示すように 1 mm あり、隣接配線間の距離に比べ 4 倍離れている。しかし VCSEL の変調電流は 5 mA で PD の受光電流は 50 μ A と信号のレベル差は 40 dB あるため、送信から受信へのクロストークは -70 dB 以下と厳しい仕様となる。

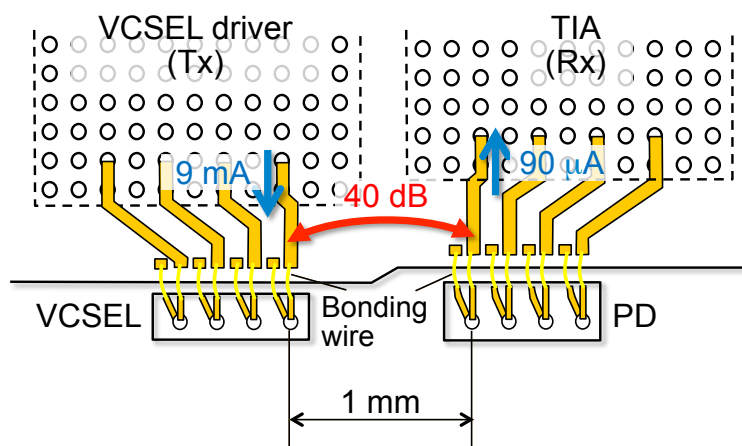


図 3.10 送受信間クロストーク

そこで送受間クロストークを低減する 2 つの構造を提案した。1 つは図 3.11(b) に示すように送受間にグランドパターンを設けるものである。もう 1 つは図 3.11(c) に示すようにグランドパターンに加えて金属ブロックを設け、よりシールド効果を高めたものである。3 次元電磁界解析の結果を図 3.12 に示す。

送受間にグランドパターンを設けることで、シールドが無い場合に比べ 15 dB 改善できた。さらに金属ブロックを付加することで 10 dB 改善している。送受間クロストークの仕様は -70 dB ということから、オンボード光モジュールには新たな部品が不要なグランドパターンのみの構造とした。

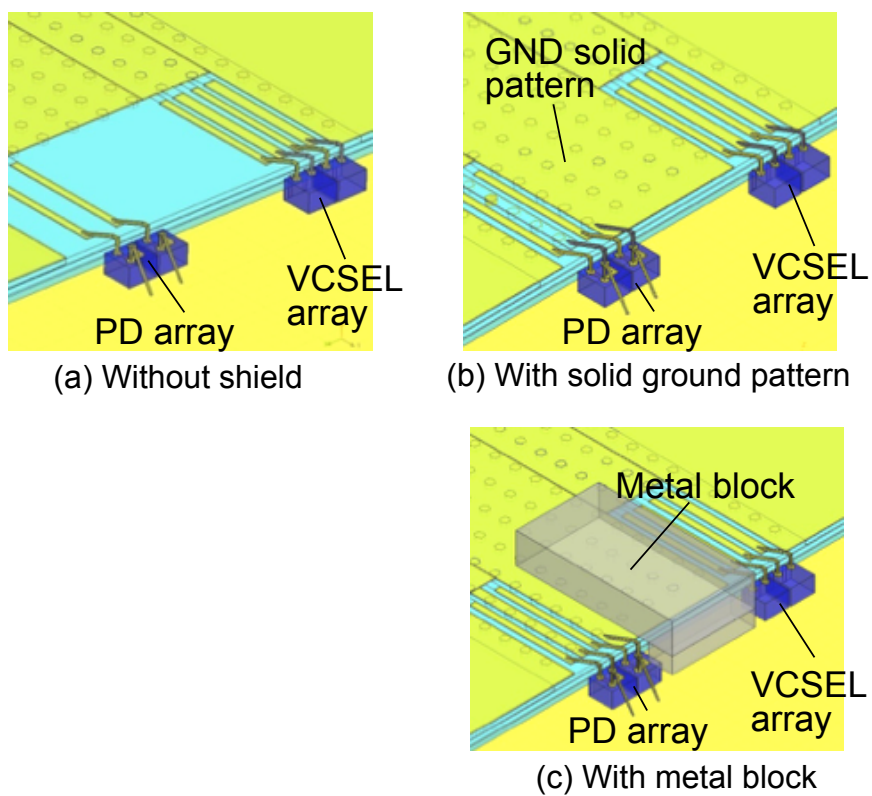


図 3.11 送受間クロストーク解析モデル

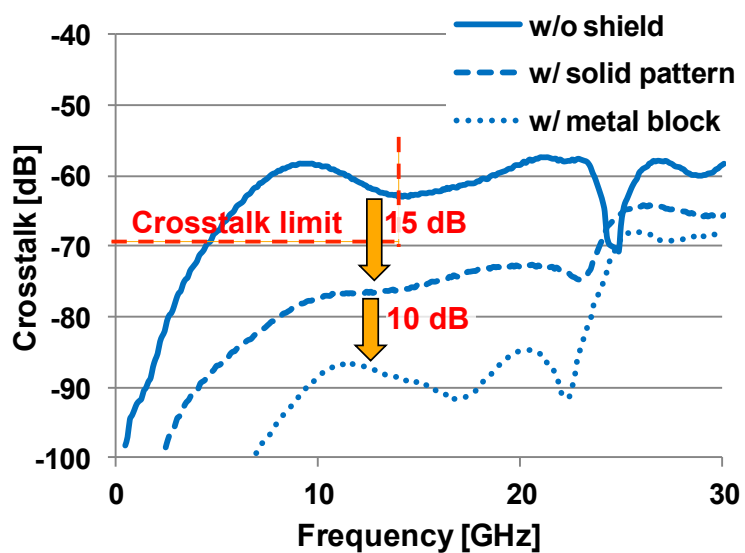


図 3.12 送受間クロストーク解析結果

3.3.3 共通ノード インピーダンスによるクロストーク

図 3.13 に光モジュールの受信回路ブロックを示す。4 チャンネル アレイ PD のカードは共通のバイアス電源配線に接続されている。したがって PD0 に光信号が与えられ、電流 I_{PD} が流れると同時に、共通ノードのインピーダンスにより雑音電流 I_n が発生し、クロストークとなる。バイアス電源配線インピーダンスによるクロストークを解析するため、図 3.14 に示す等価回路を作成して解析を行った。

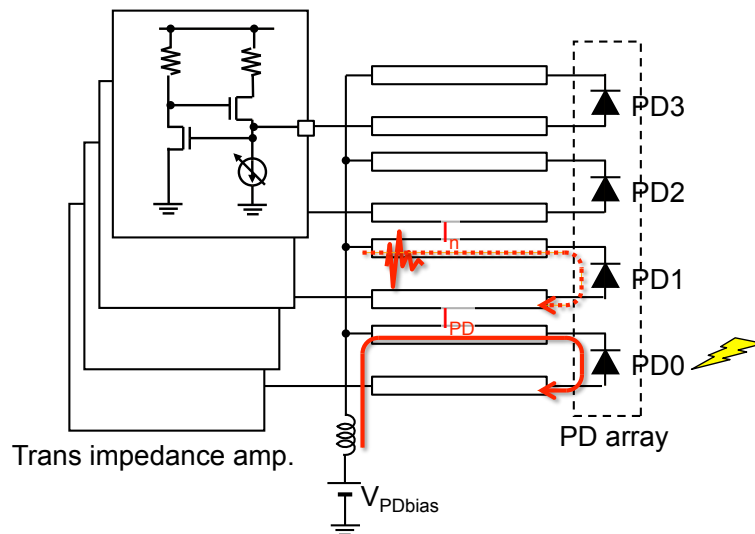


図 3.13 受信回路ブロック

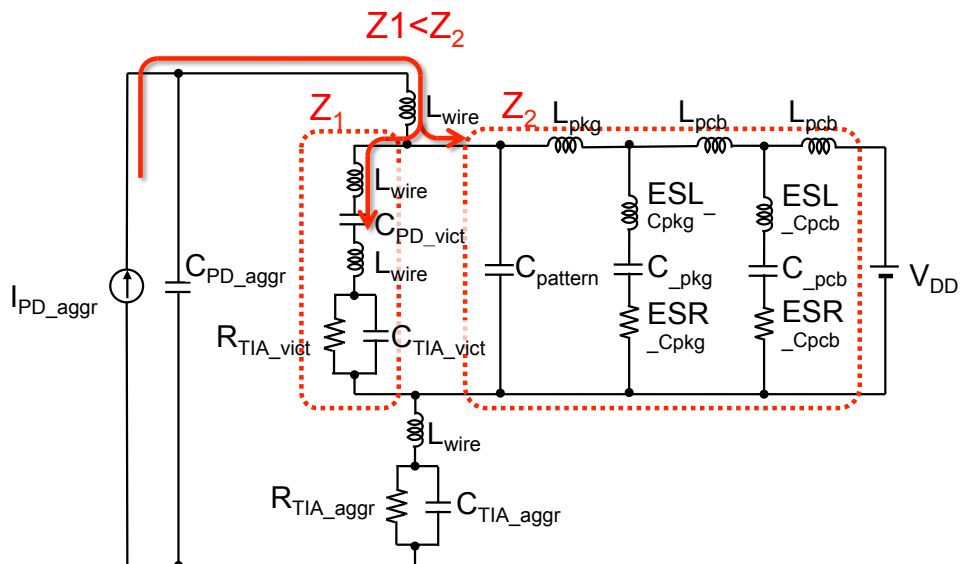


図 3.14 受信等価回路

等価回路は、影響を受ける PD_{vict}、影響を与える PD_{aggr} と TIA の入力等価回路 R_{TIA}、C_{TIA}、バイアス電源配線のパターン容量 C_{pattern}、モジュール基板上のデカップリング容量 C_{pkg}、装置基板上的デカップリング容量 C_{pcb} および IC と容量との間の配線インダクタ L_{pkg}、L_{pcb} で構成される。

等価回路を見るとわかるが、PD_{vict} のインピーダンス Z₁ と、バイアス電源配線インピーダンス Z₂ は並列に接続されている。したがって Z₂ が Z₁ に近づくと、PD_{aggr} の電流が分流して PD_{vict} に流れてクロストークとなる。したがって Z₁ ≫ Z₂ でなければならない。Z₁、Z₂ の周波数特性解析結果を図 3.15 に示す。

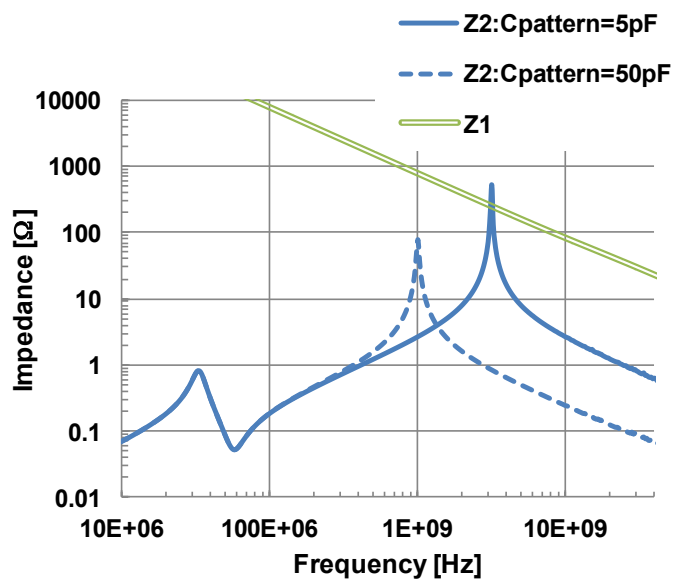


図 3.15 Z₁、Z₂の周波数特性

バイアス電源配線インピーダンス Z₂ は反共振により約 2.5 GHz でインピーダンスにピークを持つ。反共振はモジュール基板の配線インダクタンス L_{pkg} およびモジュール基板上的デカップリング容量の等価直列インダクタンス ESL_{Cpkg} の和と、バイアス電源配線のパターン容量 C_{pattern} とで生じている。したがって C_{pattern} を大きくすることで Z₁ ≫ Z₂ を実現でき、クロストークを低減できる。C_{pattern} を大きくすると反共振のピーク周波数は低周波側にずれ、ピーク値は小さくなる。さらにインピーダンス Z₁ は低周波になるほど大きくなるためである。

そこでバイアス電源配線のパターン容量 C_{pattern} とジッタの関係の解析を行った。結果を図 3.16 に示す。ジッタを目標仕様である 1 ps 以下とするためには C_{pattern} を 50 pF 以上にすれば良いことがわかる。しかし、パッケージサイズの関係から C_{pattern} を大

きくすることはできない。また TIA IC 上も他の電源のデカップリング容量を搭載する必要があるため、バイアス電源用のデカップリング容量を搭載することができない。そこで低等価直列インダクタンス(ESL)容量を PD のそばに搭載することとした。

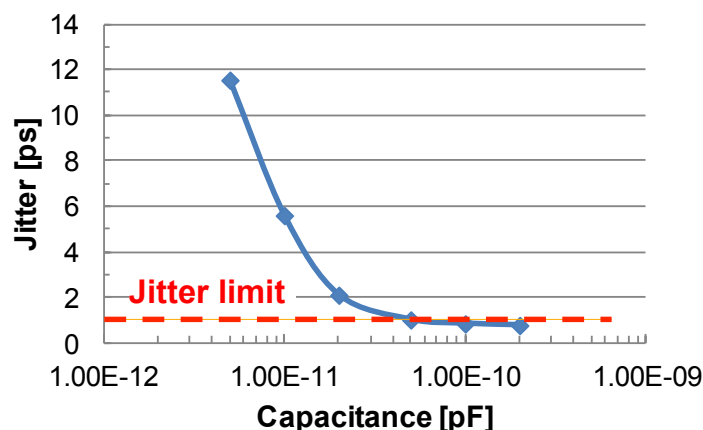


図 3.16 モジュール基板のパターン容量とジッタの関係

3.3.4 電源バイパス容量の最適化

オンボード光モジュールは 1.0 V、1.3 V の 2 電源を用いる。電源雑音を低減するためオンチップ容量およびオンモジュール容量を大きくしすぎると、チップサイズが大きくなりコストが上がる、モジュールサイズが大きくなるなどの問題が生じる。逆に小さすぎると電源雑音による受信感度の劣化が生じるため、電源バイパス容量の最適化が必要となる。そこで VCSEL ドライバ IC、TIA IC の電源に部分要素等価回路 (PEEC) モデル[4]-[7]、モジュール基板や装置基板の電源配線に 1 次元モデルを適用し、オンボード光モジュールの電源モデルを作成し、解析を行った。解析モデルを図 3.17 に、結果を図 3.18 に示す。目標インピーダンス 2Ω 以下とするためにはオンチップ容量を 16 nF、オンモジュール容量を 32 nF とすれば良いことがわかる。試作ではモジュール基板の面積に余裕があったため、1000 nF の容量を搭載した。

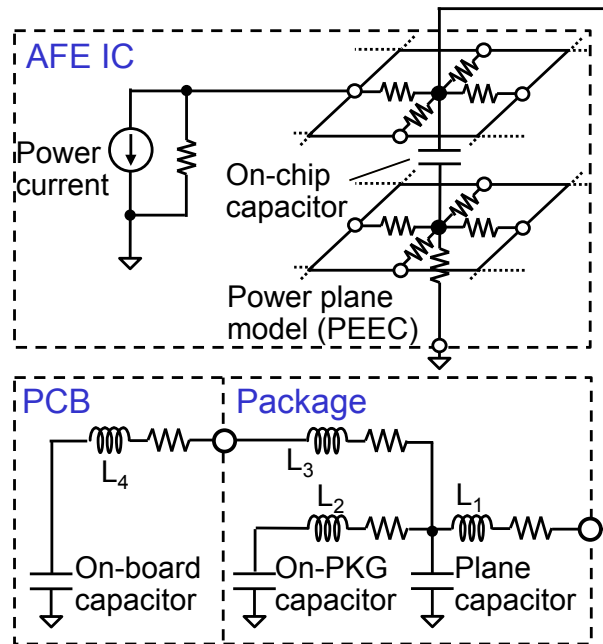


図 3.17 オンボードモジュール電源モデル

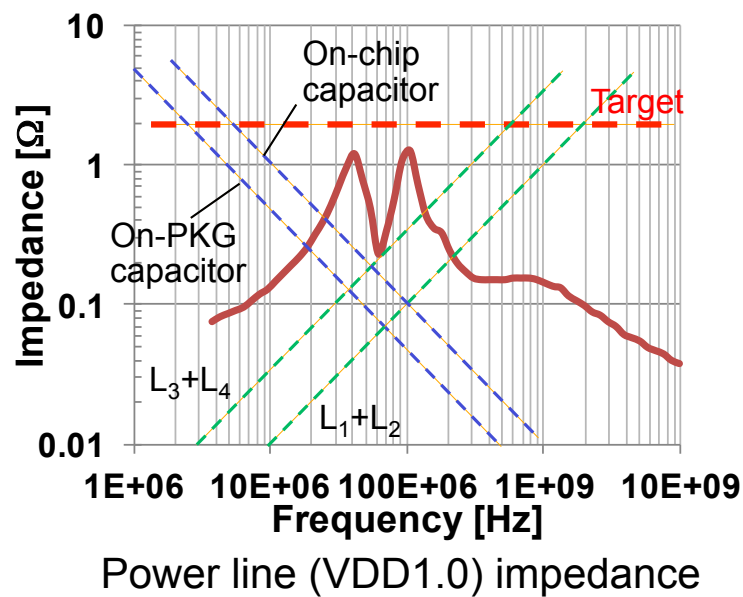


図 3.18 電源インピーダンス($V_{DD1.0}$)解析結果

3.4 オンボード光モジュールの評価結果

試作したオンボード光モジュールの写真を図 3.19 に、評価装置構成を図 3.20 に

示す。オンボード光モジュールはLGAソケットを用いて装置基板に搭載される。ソケットを含めたサイズは $15 \times 15 \text{ mm}^2$ となる。

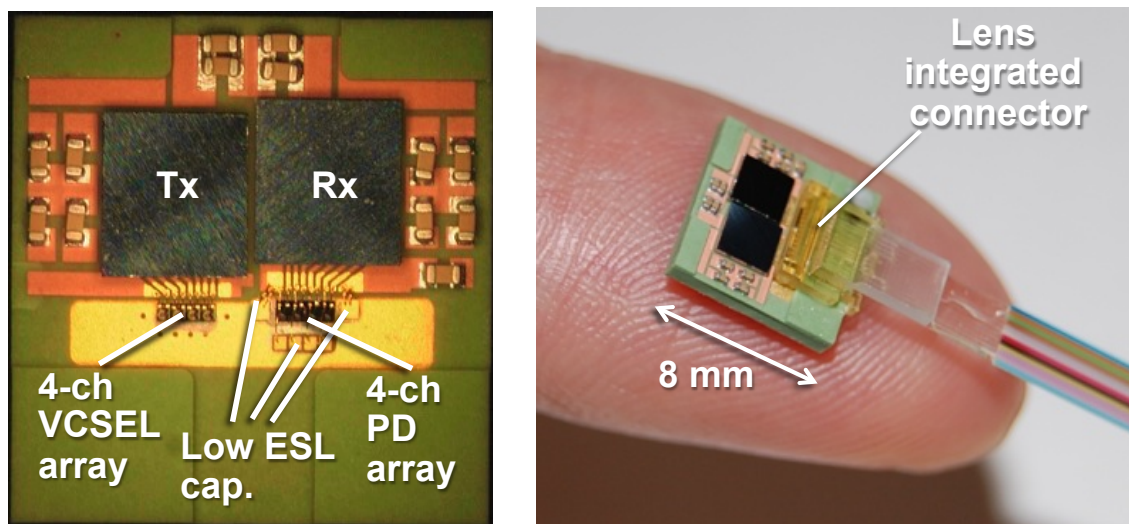


図 3.19 オンボード光モジュール

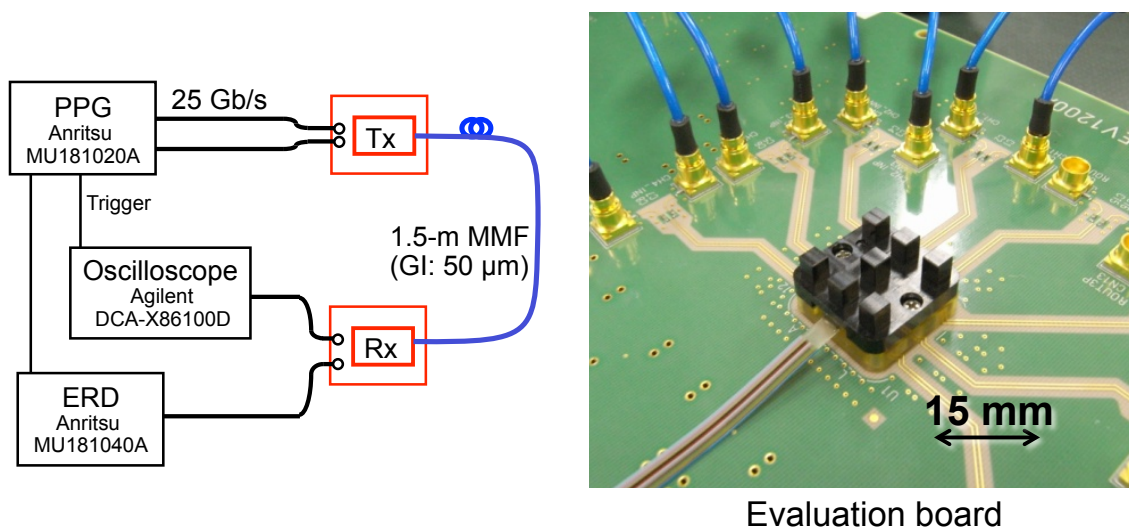


図 3.20 オンボード光モジュール評価装置構成

オンボード光モジュールの光出力波形、電気出力波形を図 3.21 に示す。各出力波形とも良好なアイ開口が得られた。図 3.22 にエラーレートカーブの測定結果を示す。擬似ランダムパターン (PRBS) $2^{31} - 1$ においてエラーレートは 10^{-12} 以下となり、装置適用に十分な特性が得られた。受信感度は -8.5 dBm である。2 チャンネル同時動作した場合の受信感度の劣化は 0.5 dB に抑えられており、十分なクロストーク対策ができたことがわかる。

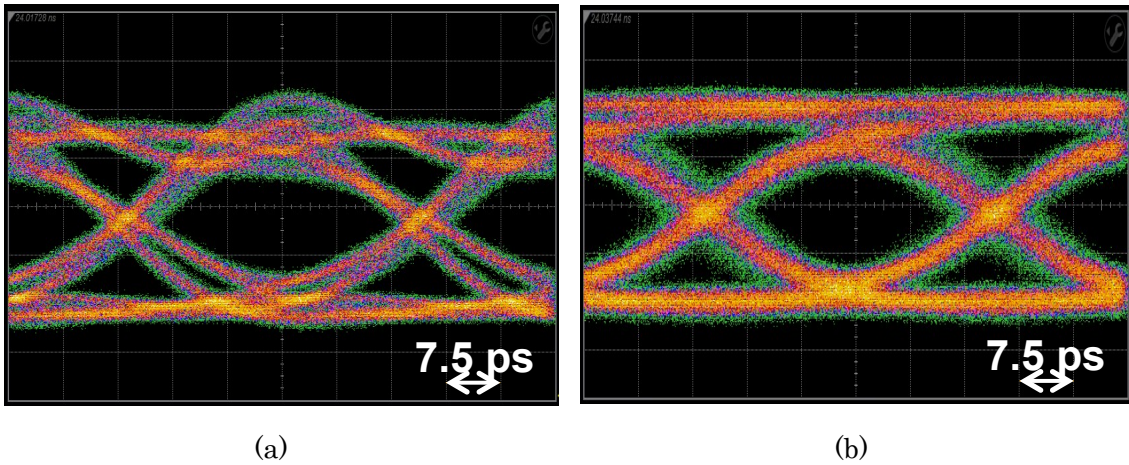


図 3.21 オンボード光モジュール出力波形:(a)送信側光出力波形、(b)受信側電気出力波形

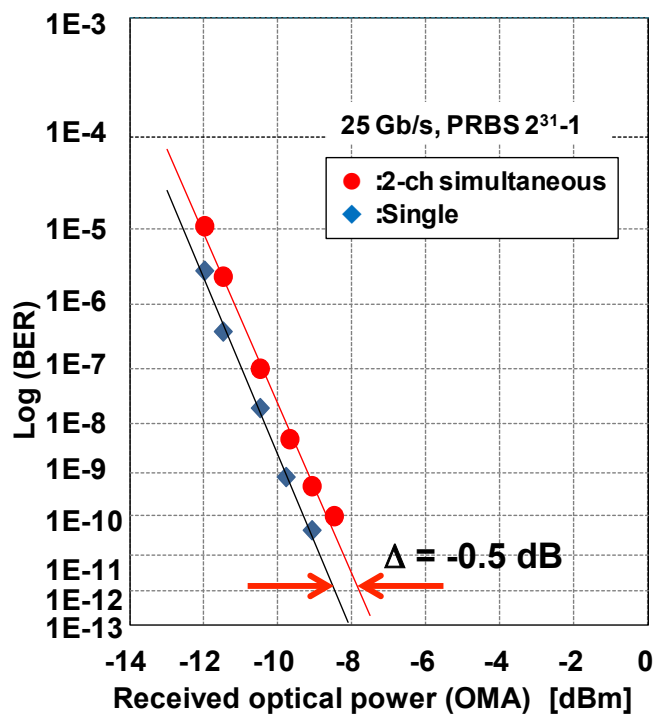


図 3.22 オンボード光モジュール エラーレートカーブ

3.5 関連研究

3.5.1 クロストーク低減

伝送速度 (bit rate) の向上に伴い、本論文以外にも光モジュールのクロストーク低減が提案されている。Takemoto ら[8]は多層のセラミック基板を用い、光素子ー光送受信 IC 間の配線をストリップ線路とすることで電界の広がりを抑え、クロストークを低減する方法を提案している。また Yanagisawa ら[9]は薄い Flexible printed circuits (FPC)を用い、光送信 IC と光受信 IC を光素子を挟んで反対側に実装することで送信と受信間の距離を離し、クロストークを低減することを提案している。これらの方法に対し本論文の方法は信号パッドと光出射、入射面が同じ面にある一般的な光素子にも用いることができ、高密度化にも適していると考えられる。

3.5.2 オンボード光モジュールの比較

オンボード光モジュールの比較を表 3.1 に示す。オンボード光モジュールはいずれも通信用光モジュールの 10 倍超の伝送密度を実現している。その中で本論文のモジュールは伝送密度で他の報告を 3 倍程度上まっており、目標とする伝送密度 1.2 Gb/s/mm² を他研究に先駆けて達成した。

今後の課題として他の報告に対し 1/2~1/3 となっているモジュールあたりの伝送容量 (Band width) の向上があげられる。

表 3.1 オンボード光モジュールの比較

	T. Shiraishi et al. [9][10]	K. Schmidtke et al. [11]	This work
Size	21.6 × 47.8 mm ²	24 × 24 mm ²	8 × 8 mm ²
Bandwidth	200 Gb/s (25 G × 8)	300 Gb/s (25 G × 12)	100 Gb/s (25 G × 4)
Density	0.2 Gb/s/mm ²	0.52 Gb/s/mm ²	1.6 Gb/s/mm ²
Power efficiency	10.6 pJ/bit	—	12 pJ/bit

3.5.3 光インターコネクタの高速化

光インターコネクタのさらなる高速化の検討が進められている。VCSEL を用いたものでは、D.M. Kuchta らは VCSEL の高速化や VCSEL ドライバのエンファシス機能

により 40 Gb/s 伝送を達成し[12]、最近では 56 Gb/s 伝送の結果を報告している[13]。一方で回路や光素子の帯域を伸ばすのではなく QAM などの多値変調や[14]、複数の波長を 1 本の光ファイバで伝送する光波長多重(WDM: Wavelength Division Multiplex)などが報告されている[15]。Si フォトニクスも高速化の検討は進められており、25 Gb/s 以上のものが報告されるようになってきている[16]-[18]。

しかし高速化は回路や光デバイスの帯域の補償による消費電力の増加や、信号/雑音比の劣化などにより困難となってきた。

高速化とは違う方法での大容量化を 5 章で検討した。

3.6 本章のまとめ

3.2 Tb/s スイッチ LSI やそれを用いた 10 Tb/s 情報処理・通信装置に向けた、基板上に 2 次元配置可能な高密度オンボード光モジュールの検討を行った。モジュール基板として多段の LTCC 基板を用い、基板のみで光素子や光コネクタの高さ調整を行う構造を提案し、部品点数の削減によるコスト低減とモジュールの小型化を実現した。さらにミラーレンズ一体型の光コネクタの提案により薄型化を、低クロストーク配線構造の提案によりモジュールの小型化を進めた。

光送受信 IC や光素子を搭載したモジュールを試作し、10 Tb/s 装置に要求される伝送密度 1.2 Tb/s/mm^2 を実現するとともに、25 Gb/s でエラーフリーとなることを確認し、装置適用への見通しを得ることができた。

参考文献

- [1] T. Yazaki, N. Chujo, T. Takai, N. Matsushima, H. Yamashita, T. Takemoto, Y. Lee, Y. Matsuoka “25-Gbps×4 optical transmitter with adjustable asymmetric pre-emphasis in 65-nm CMOS,” IEEE International Symposium on Circuits and Systems (ISCAS), pp. 2692-2605, 2014.
- [2] T. Takemoto, H. Yamashita, Fumio Yuki, Noboru Masuda, Hidehiro Toyoda, Norio Chujo, Yong Lee, Shinji Tsuji, S. Nishimura, “A 25-Gb/s 2.2-W 65-nm CMOS Optical Transceiver Using a Power-Supply-Variation-Tolerant Analog Front End and Data-Format Conversion,” IEEE Journal of Solid-State Circuits, vol. 49, no. 2, Feb. 2014.
- [3] T. Takemoto, H. Yamashita, T. Yazaki, N. Chujo, Y. Lee, Y. Matsuoka,

- “A 25-to-28 Gb/s High-Sensitivity (9.7 dBm) 65 nm CMOS Optical Receiver for Board-to-Board Interconnects,” *IEEE Journal of Solid-State Circuits*, vol. 49, no. 10, Oct. 2014.
- [4] H. Zheng, L.T. Pileggi, “Modeling and Analysis of Regular Symmetrically Structured Power/Ground Distribution Networks,” *Proc. Design Automation Conference*, pp. 395-398, 2002.
- [5] J. Ihm, A.C. Cangellaris, “Distributed On-Chip Power Grid Modeling: An Electromagnetic Alternative to RLC Extraction-Based Models,” *Electrical Performance of Electronic Packaging*, pp. 37-40, 2003.
- [6] J. Rauscher, H. Ptleiderer, “PEEC Methods in 2D Signal Line Modeling for Mid-Frequency On-Chip Power Supply Noise Simulations,” *IEEE Workshop on Signal Propagation on Interconnects*, pp. 49-52, 2004.
- [7] Yu. Lee, Y. Cao, T. Chen, J.M. Wang, C.C. Chen, “HiPRIME: Hierarchical and Passivity Preserved Interconnect Macromodeling Engine for RLKC Power Delivery,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 24, no. 6, pp. 797-806, 2005.
- [8] T. Takemoto, F. Yuki, H. Yamashita, Y. Lee, T. Saito, S. Tsuji, S. Nishimura, “A Compact 4 25-Gb/s 3.0 mW/Gb/s CMOS-Based Optical Receiver for Board-to-Board Interconnects,” *Journal of Lightwave Technology*, vol. 28, no. 23, Dec. 2010.
- [9] T. Yagisawa, T. Shiraishi, Y. Tsunoda, M. Sugawara, H. Oku, S. Ide, T. Ikeuchi, K. Tanaka, “200-Gb/s Compact Card-edge Optical Transceiver Utilizing Cost-effective FPC-based Module for Optical Interconnect,” *Proc. European Conference and Exhibition on Optical Communications (ECOC)*, We.1.3, 2012.
- [10] T. Shiraishi, T. Yagisawa, T. Ikeuchi, S. Ide, K. Tanaka, “Cost-effective Low-loss Flexible Optical Engine with Microlens-imprinted Film for High-speed On-board Optical Interconnection,” *Proc. Electronic Components and Technology Conference (ECTC)*, pp. 1505-1510, 2012.
- [11] K. Schmidtke, F. Flens, D. Mahgarefteh, “Taking Optics to the Chip: From Board-mounted Optical Assemblies to Chip-level Optical Interconnects,” *Proc. Optical Fiber Communications Conference and*

- Exhibition (OFC), W4I.1, 2014.
- [12] A.V. Rylyakov, C.L. Schow, J.E. Proesel, D.M. Kuchta, C. Baks, N.Y. Li, C. Xie, K.P. Jackson, "A 40-Gb/s, 850-nm, VCSEL-Based Full Optical Link," Proc. Optical Fiber Communication Conference and Exposition (OFC/NFOEC), 2012.
 - [13] D.M. Kuchta, A.V. Rylyakov, C.L. Schow, J.E. Proesel, C. Baks, "64Gb/s Transmission over 57m MMF using an NRZ Modulated 850nm VCSEL," Proc. Optical Fiber Communications Conference and Exhibition (OFC), Th3C.2, 2014.
 - [14] I. Lyubomirsky, W.A. Ling, R. Rodes, H.M. Daghighian, C. Kocot, "56 Gb/s Transmission over 100m OM3 using 25G-class VCSEL and Discrete Multi-Tone Modulation," Proc. Optical Interconnects Conference, TuC2, 2014.
 - [15] J.A. Tatum, D. Gazula, L.A. Graham, J.K. Guenter, R.H. Johnson, J. King, C. Kocot, G.D. Landry, I. Lyubomirsky, A.N. MacInnes, E.M. Shaw, K. Balemarthy, Roman Shubochkin, D. Vaidya, M. Yan, F. Tang, "VCSEL Based Interconnects for Current and Future Data Centers," Journal of Lightwave Technology, 2015.
 - [16] J.F. Buckwalter, X. Zheng, G. Li, K. Raj, A.V. Krishnamoorthy, "A Monolithic 25-Gb/s Transceiver With Photonic Ring Modulators and Ge Detectors in a 130-nm CMOS SOI Process," IEEE Journal of Solid-State Circuits, vol. 47, no. 6, June 2012.
 - [17] T. Pinguet, P.M. De Dobbelaere, D. Foltz, S. Gloeckner, S. Hovey, Yi Liang, M. Mack, G. Masini, A. Mekis, M. Peterson, T. Pinguet, S. Sahni, J. Schramm, M. Sharp, L. Verslegers, B.P. Welch, K. Yokoyama, S. Yu, "25 Gb/s Silicon Photonic Transceivers," Proc. IEEE International Conference on Group IV Photonics (GFP), pp. 189-191.
 - [18] G. Denoyer, A. Chen, B. Park, Y. Zhou, A. Santipo, R. Russo, "Hybrid Silicon Photonic Circuits and Transceiver for 56Gb/s NRZ 2.2km Transmission over Single Mode Fiber," Proc. European Conference on Optical Communication (ECOC), PD.2.4, 2014.

第4章 高密度光バックプレーンの開発

3.2 Tb/s のスイッチ LSI を用いる 10 Tb/s の筐体型情報処理・通信装置は、1 章で示したように電気伝送ではバックプレーンコネクタの配線密度および配線損失による伝送密度が不足する。このため、従来のプリント基板で構成されたバックプレーンに代わり、高密度な光バックプレーンが必要となる。本章では高密度光バックプレーンについて述べる。

4.1 バックプレーンの課題

10 Tb/s 級装置例を図 4.1 に示す。

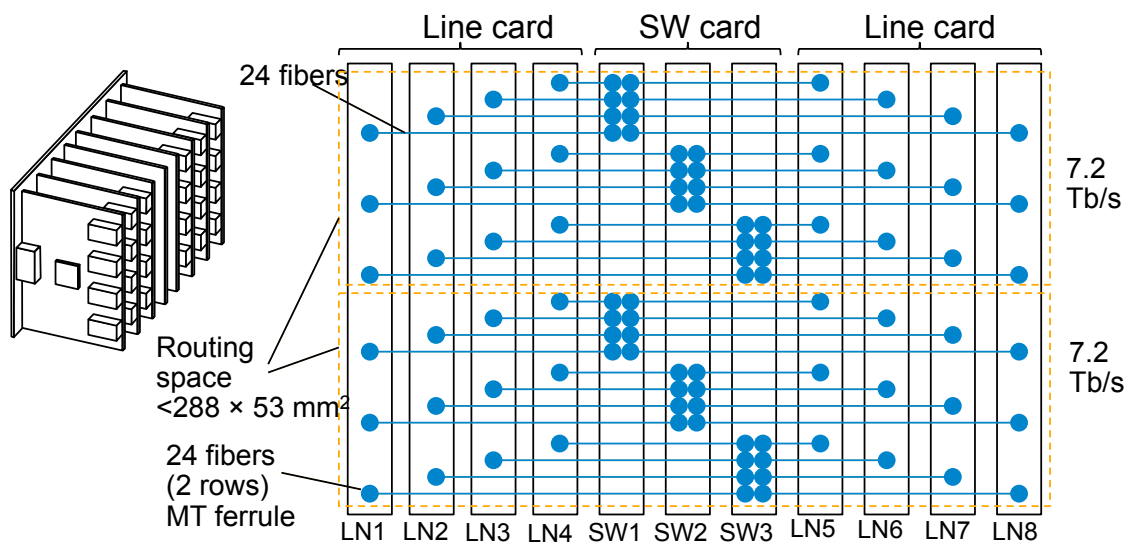


図 4.1 10 Tb/s 級装置構成の例

このような装置のバックプレーンに要求される仕様をまとめると下記となる。

1. 装置は 8 枚のラインカードと 3 枚のスイッチ基板で構成される。バックプレーンの配線は、それぞれのスイッチ基板がすべてのラインカードに接続するよう配線される。筐体内の基板間隔: 35mm、基板の部品高さ: ≤ 25 mm。
2. 光バックプレーンの配線エリア: $\leq 288 \times 53 \text{ mm}^2 \times 2$ 。十分な冷却風流路を確保するため、バックプレーンを小型化する必要がある。
3. 装置の伝送容量: 9.6 Tb/s。スイッチカード バックプレーンコネクタの伝送密

度:1.2 Gb/s/mm²。

4. 伝送線路長はラインカード、スイッチ基板内の配線含めて～1m。

電気伝送では 1 章で示したように、バックプレーンコネクタの配線密度および配線損失による伝送密度の制限により、10 Tb/s 級装置に対応することができない。このため伝送密度をより高めることができる光バックプレーンが必要となる。光バックプレーンにはこれまで主に 3 つのタイプのもものが報告されている

1 つめは光ファイバの素線やリボンファイバを直接布線するものである[1]。配線の自由度は高いものの布線、フェルールの取付けを手作業で行う必要があり、時間がかかる、配線誤りを生じるなどの課題がある。

2 つめは光ファイバシートを用いたものである[2]-[5]。光ファイバシートは大容量の光バックプレーンを構成した場合に歩留りが低下するという課題がある。光ファイバシートの構成を図 4.2 に示す。

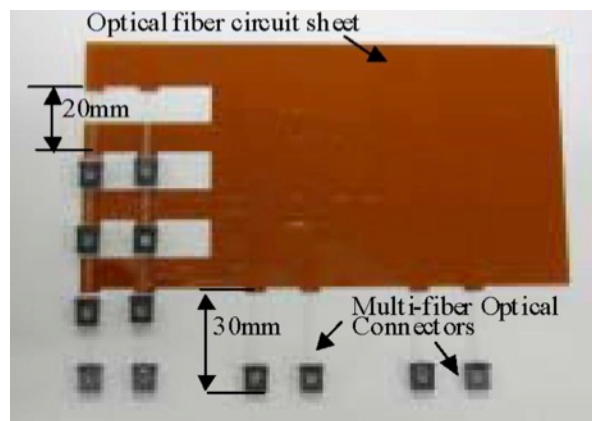


図 4.2 光ファイバシートの構成[2]

光ファイバシートの組立は、シートに光ファイバを布線し、MT フェルール(Ferrule: 光ファイバ同士を接続する場合に、光ファイバを保持し、芯の位置を合わせるのに用いる部品)を光ファイバに接続、その後 MT フェルールを研磨する、という手順をとる。このため MT フェルールの取付けや研磨に失敗すると光ファイバシートそのものを破棄することになる。またシートの形状は基板の種類毎に異なるため、自動化が困難で取付けの歩留りをあげることは難しい。従って光ファイバシートの歩留りは、図 4.3 に示すように MT フェルールの数によって大きく低下し、コストが高くなる。またスルーホールを形成できないため層間(シート間)を接続することができない、コネクタ取付け部はシートを切り欠く必要があり、そこに布線できない等配線の自由度が低いいためバックプレーンが大きくなる等の課題もある。

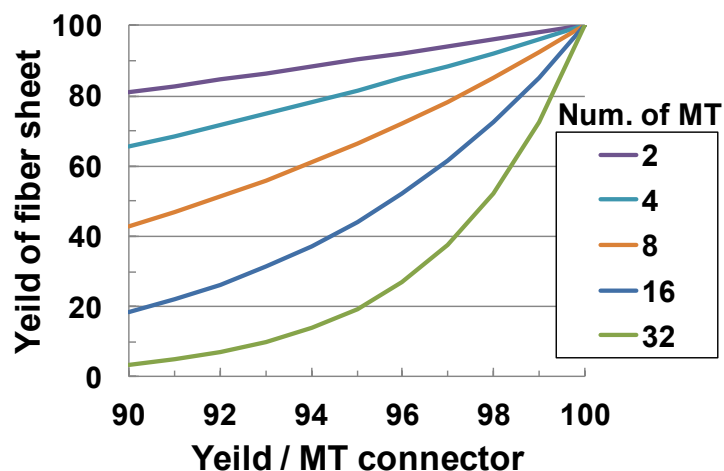


図 4.3 光ファイバシートの歩留り

3 つめは光導波路を用いたものである[6]-[8]。光導波路は電気のプリント基板と同様の露光やエッチングなどの方法や、インプリントなどの方法を用い作成する。また電気のプリント基板の表層または内層に形成することもできる。

光導波路の課題は損失である。光導波路の損失には材料損失、形状損失、分散損失がある。形状損失、分散損失はプロセスの工夫による改善が報告されている[9][10]。材料損失も材料の改善により近年では 0.04 dB/cm まで低下している[11][12]。それでもバックプレーンの配線長を 1m とした場合損失は 4 dB となり、パワーバジェットを確保することができない。有機の材料ではこれ以上下げることは難しいため、ガラスなどの無機材料を用いた光導波路も提案されているが[13]、取り扱い性に難があると思われる。導波路上の配線の自由度は導波路上にミラーを形成してスルーホールのように層間を接続することや[14][15]、光の直進性を利用して導波路を直交させることができるため高い[9]。ただしミラーの場合 0.5~1.0 dB の損失が生じるため、さらにパワーバジェットを厳しくすることになる。

このような光バックプレーンの課題を解決する方法としてリボンファイバシートを用いた光バックプレーンを提案した。以下詳細を述べる。

4.2 リボンファイバシートを用いた大容量光バックプレーン

リボンファイバシートの断面を図 4.4 に、外観を図 4.5 に示す。リボンファイバシートは、従来のファイバシートと同様ポリイミドのベースシートに光ファイバを貼り付け、その後カバーシートをかぶせて作成する。違いは、リボンファイバシートに接続する MT フ

フェルルールを2つに限定し、さらにシートを光ファイバに沿ってカットしている点である。リボンファイバシートはシンプルな形状であるが、いくつかの形状の異なるリボンファイバシートを組合せることで複雑なバックプレーンを形成することができる。光ファイバには曲げ半径5 mmまで対応可能な曲げ損失の小さいマルチモードファイバ(MMF)を用いた[16]。

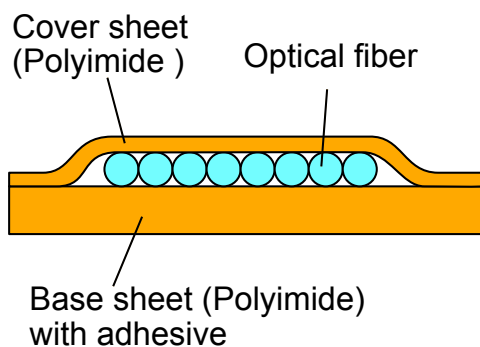


図 4.4 リボンファイバシートの断面

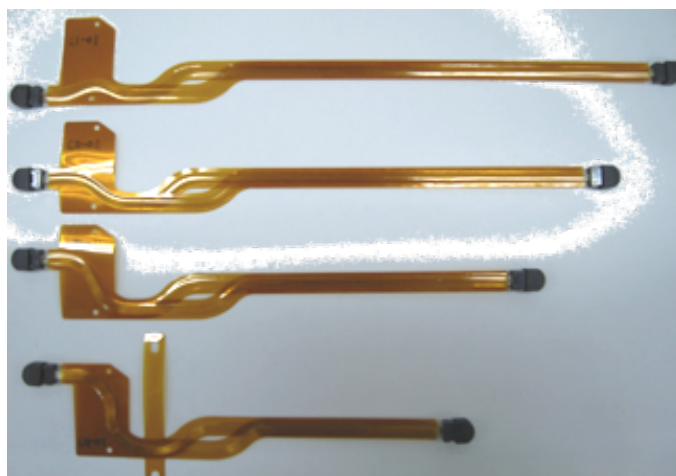


図 4.5 リボンファイバシートの外観

図 4.6 にリボンファイバシートを用いた 7.2 Tb/s 光バックプレーンの構成を示す。組立て方法は下記のようになる。

1. SW1～LN1、SW1～LN2 のようにスイッチ基板とラインカードの組合せごとに1つのリボンファイバシートを用意する。1枚のリボンファイバシートは24本の光ファイバで構成し、12芯×2列、24芯のMTフェルルールを接続する。リボンファイバシートの長さはスイッチ基板からラインカードまでの距離に合わせる。
2. SW1～LN1のシートを下に、SW1～LN2のシート、SW1～LN3のシートと順

に 4 枚のシートを重ねる。それぞれのシートは長さがことなるため、各シートの MT フェルルールが干渉することはない。同様に SW1 と LN5～LN8 を接続するシートや SW2、SW3 に接続するシートを重ねる。

3. 各 SW に接続されるシートを重ねてバックプレーンコネクタに接続する。各 SW に接続されるシートはラインカードのバックプレーンコネクタの位置が異なるため(図では上下方向にずれている)、各 SW に接続されるシートや MT フェルルールが干渉することはない。

スイッチ基板は 3 枚で構成し、各スイッチ基板には 8 種類のシートが接続されるため、7.2 Tb/s 光バックプレーンを実現には 24 種類のシートを準備すれば良い。またシートがリボン状になっているため、他のシートとの干渉を避けることが容易で配線の自由度は比較的高く、光バックプレーンをコンパクトに実現することができる。

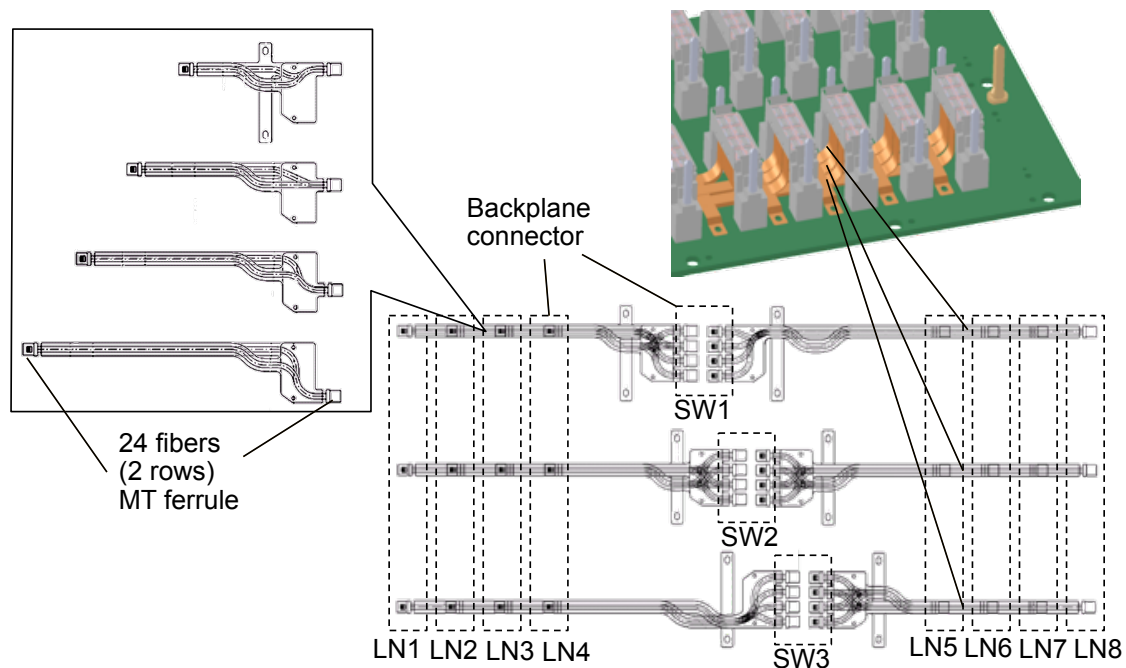


図 4.6 リボンファイバシートによる光バックプレーン配線

4.3 高密度光バックプレーンコネクタ

光コネクタは数 μm の精度でファイバ同士を付き合わせる必要があるため、フェルルールをフローティングさせアライメント部(ピンとガイド穴)で位置合せする構造をとる。さらにバックプレーンコネクタではフェルルールを保持するハウジングもフローティングさせるため、ハウジングにもアライメント部を設ける必要がある。

ハウジングにアライメント部が必要となるのは下記理由による。

バックプレーンは基板間を接続する高速信号配線だけでなく、電源配線や低速の制御信号配線を備える。このため高速信号用バックプレーンコネクタは同一基板に搭載される電源コネクタや低速の制御信号用コネクタとの搭載位置誤差を吸収できなければならない。電気のバックプレーンコネクタは、コネクタコンタクト部がばね構造になっており、コンタクトの弾性により上記誤差を吸収しているが、光コネクタはハウジングをフローティングさせて上記誤差を吸収しなければならない。

光コネクタのアライメント部はファイバの直径に比べ 100 倍近く大きいいため、伝送密度を大きく下げてしまう。そこで MT フェルールを 8 個搭載可能な高密度コネクタハウジングを開発した。図 4.7 に光バックプレーンコネクタの外観を示す。1 つのハウジングに MT フェルールを 8 個搭載することで伝送密度を 2.3 Gb/s/mm² まで上げることを可能とした。

さらに光バックプレーンコネクタにはシャッターを設け、ゴミの付着を防止した。図 4.8 にシャッターの効果を示す。シャッターを設けることによりダスト試験でもほぼゴミの付着は見られず、損失の増加も見られなかった。

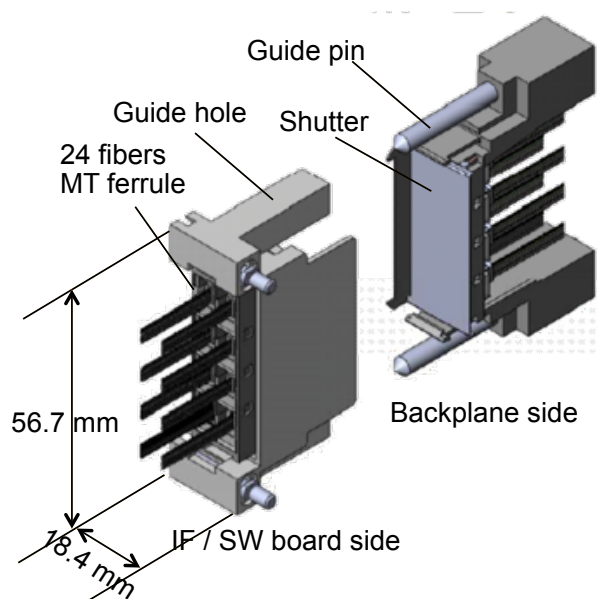


図 4.7 バックプレーンコネクタ外観

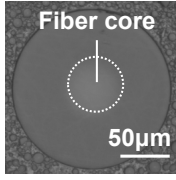
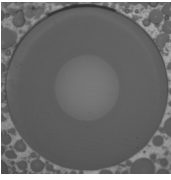
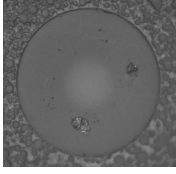
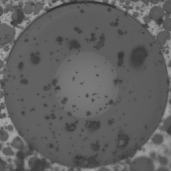
	w shutter	w/o shutter
Before dust exam.		
After dust exam.		
Increase of loss (dB)	0.02	1.43

図 4.8 光コネクタ シャッターの効果

4.4 光伝送評価機試作

リボンファイバシート、高密度光バックプレーンコネクタを用いて 7.2 Tb/s 光バックプレーンの試作を行い、既存のネットワーク装置の筐体に搭載して伝送評価を行った。図 4.9 に光バックプレーンを搭載したネットワーク装置を示す。

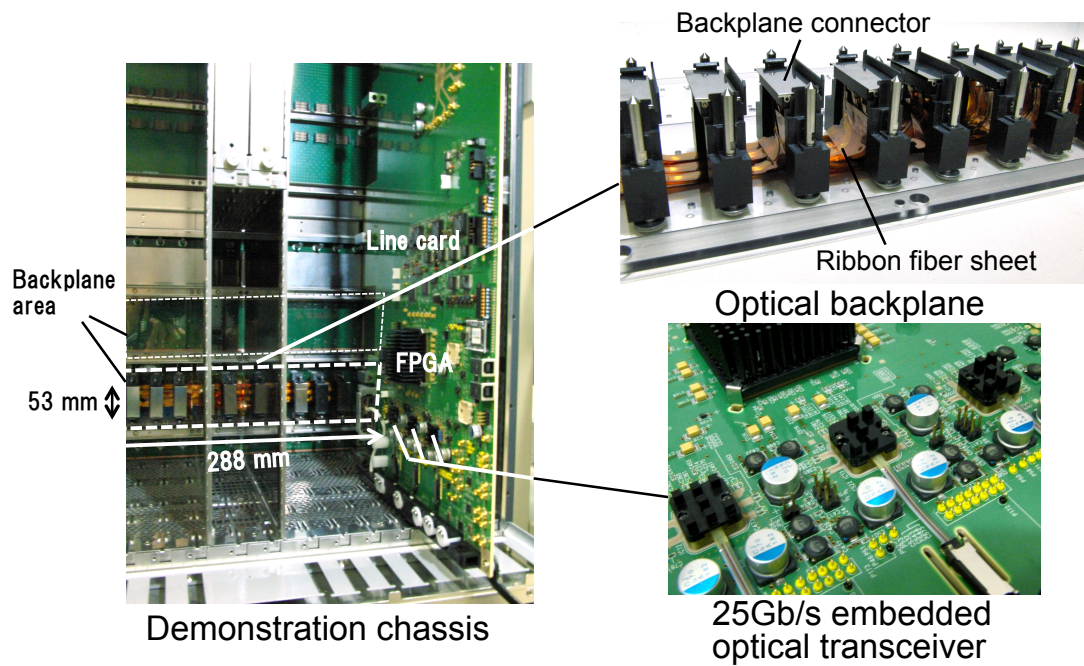


図 4.9 光バックプレーン搭載ネットワーク装置

ネットワーク装置は、スイッチ基板 3 枚、ラインカード 8 枚を挿すことができ、バックプレーンエリアを 2 つ持つ。1 つのエリアに 7.2 Tb/s の光バックプレーンを搭載することができるため、装置としては 14.4 Tb/s の伝送容量を実現することができる。光バックプレーンは電源や制御信号を分配する電気バックプレーンと分離可能な構造とした。これにより光の部分のみで製造検査することができる。

スイッチ基板およびラインカードには 3 章で報告した 25 Gb/s × 4ch 小型光モジュールと、スイッチ LSI を模擬し光モジュールへのデータパターンを供給や、光モジュールからの信号受信を行う FPGA を搭載した。

光バックプレーン挿入損失の評価は図 4.10(a) に示す方法で行った。最初に VCSEL 光源のパワーを測定し、その値を P_0 とする。次に光バックプレーンを通した時のパワーを測定し、その値を P_1 とする。挿入損失は $P_0 - P_1$ で算出した。従って挿入損失にはコネクタ 1 個分とバックプレーンのファイバのロスが含まれる。挿入損失の測定結果を図 4.10(b) に示す。挿入損失は 0.14 dB ($\mu + 3\sigma$) となり、目標仕様 0.8 dB を実現した。今回の測定では MT フェルルールにフラット研磨のものをを用いたため、コネクタにマッチングオイルを使用して損失を低減している。マッチングオイル不要の PC 研磨した MT コネクタでも挿入損失 0.5 dB と目標仕様を満たす見通しを得ている。

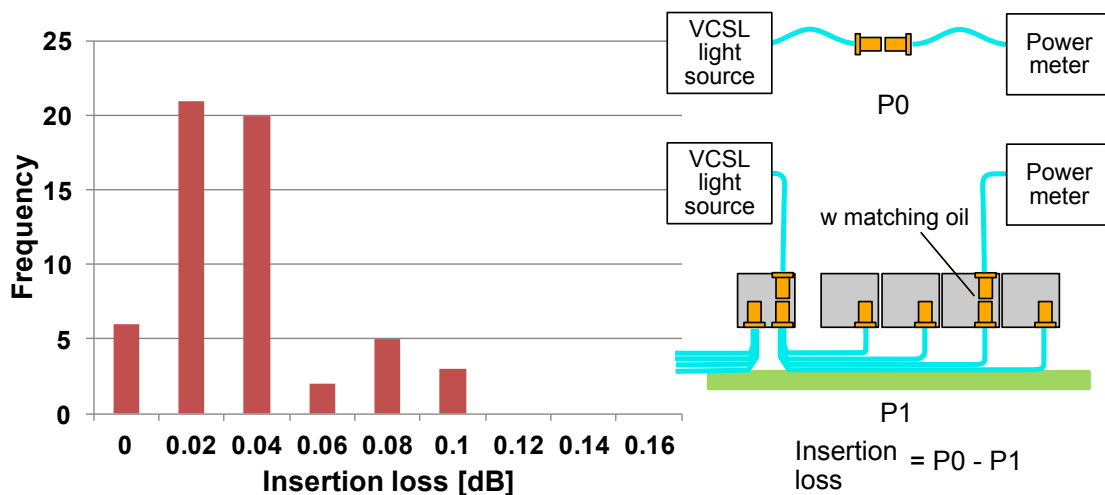


図 4.10 光バックプレーン挿入損失測定結果

FPGA の出力が 10 Gb/s までしか対応していなかったため、伝送評価は 2 つの方法で行った。

1 つは 100G イーサネットテストを用い、パラレルデータ伝送の評価を行う方法であ

る。図 4.11 に評価装置構成を示す。10 Gb/s × 10 ch のパラレルデータをイーサネットテストからラインカード上の FPGA に入力し、FPGA はその信号を 3 つの光モジュールに分配する。10 Gb/s × 10 ch のパラレル光信号はバックプレーンを通してスイッチ基板上の光モジュールで受信され、FPGA からイーサネットテストに送られ、エラー検出される。測定結果を図 4.12 に示す。基板間の 10 Gb/s × 10 ch の光バックプレーン伝送でエラーレートは 10^{-12} となり、エラーフリーとなることを確認した。

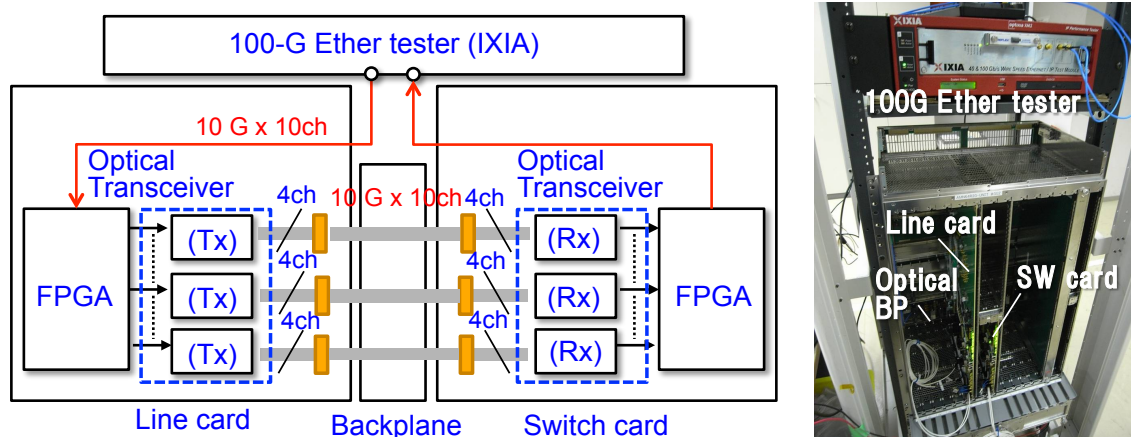


図 4.11 100G イーサネットテストによる評価

Stats For 10.0.0.1:01.01	Count	Rate
Link State	Link Up	
Line Speed	100GE	
Bits Sent	13,699,566,503,680	103,124,993,921
Bits Received	13,699,566,503,680	103,124,994,866
Bit Errors Sent	0	0
Bit Errors Received	0	0
Line State	Up	
TxFix Fpga Temperature(C)	41	
RxFix Fpga Temperature(C)	46	
Transmit Duration(Cleared on E...	0 : 2:28.538511240	

図 4.12 10 Gb/s × 10 ch パラレル光伝送評価結果

もう 1 つの評価は 25 Gb/s パルスパターンジェネレータを用いる方法である。ラインカード上の光モジュールを直接パルスパターンジェネレータで駆動し、バックプレーン前後の光波形から求めたスタブカーブを比較した。測定結果を図 4.13 に示す。

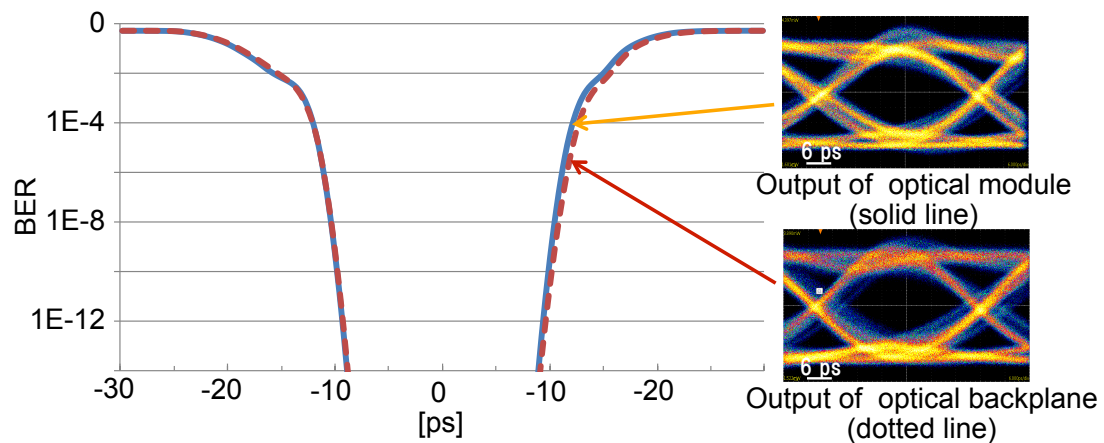


図 4.13 バスタブカーブ測定結果

青の実線は光モジュール出力のバスタブカーブ、赤の点線は光バックプレーンを通過後のバスタブカーブで、バスタブカーブはバックプレーン前後でほぼ重なっている。これはバックプレーンによりジッタが増加していないことを示しており、25 Gb/s 伝送の実現可能性を確認した。

4.5 関連研究

4.5.1 光バックプレーンの比較

光バックプレーンの比較を表 4.1 に示す。Matsui ら [5] および本論文は導波路として光ファイバを用いているが、Matsui らは外径 $125\mu\text{m}$ の細径ファイバ (通常: $250\mu\text{m}$) [17] を用い、ファイバの反力を下げて取り扱い性を良くしている。一方 Schmidtke ら [7] はポリマー光導波路を用いている。

要求伝送密度は Matsui ら、本論文ともに要求仕様である 1.2 Gb/s/mm^2 を達成した。Matsui らの方がより実装密度は高いが 1 枚のシート (基板) に 8 個以上のコネクタを取り付けているのに対し、本論文は 1 枚のリボンファイバシートにコネクタは 2 個のみであり、本論文の方がシートの歩留りが良くコストが安くなると思われる。挿入損失はポリマー光導波路を用いている Schmidtke らに比べ本報告は 20 倍程度良いが、同じ光ファイバを用いる Matsui らとは同程度と思われる。

表 4.1 光バックプレーンの比較

	Matsui et al. [5]	Schmidtke et al. [7]	This work
Waveguide	Optical fiber ($\phi 125\mu\text{m}$)	Polymer rectangular (two rows)	Optical fiber ($\phi 250\mu\text{m}$)
Form	Fiber sheet (16~32 connectors /sheet)	Electro-optic circuit board (8 connectors/board)	Ribbon fiber sheet (2 connectors/sheet)
Insertion loss (two connector)	—	7 dB	0.28 dB
Connector	96 fibers/connector	24 fibers/connector	192 fibers/connector
Density	1.56 Gb/s/mm ²	0.45 Gb/s/mm ²	1.3 Gb/s/mm ²
Bandwidth	18.8 Tb/s (25 Gb/s × 1500)	2.4 Tb/s (25 Gb/s × 96)	14.4 Tb/s (25 Gb/s × 1152)

4.5.2 光配線の動向

光配線はバックプレーンだけでなく CPU やスイッチ LSI 搭載されたブレード基板やスイッチ基板にも必要となる。ブレード基板やスイッチ基板の光配線は、バックプレーンコネクタと LSI 近傍に配置された光モジュールの間を布線するが、基板上の部品を避け、さらに冷却風を妨げないよう小型化、薄型化が必要となる。我々のグループではブレード基板やスイッチ基板の光配線についても検討を行い、本論文と同様のプリフォームされたリボンファイバを用いた光配線を提案した[18]。

コネクタについては本論文で用いた MT フェルールの多芯化(24 芯→60 芯~80 芯)が発表されており[19]、今後さらに高密度化できる可能性がある。

4.6 本章のまとめ

3.2 Tb/s のスイッチ LSI を用いる 10 Tb/s の筐体型情報処理・通信装置に向けた高密度光バックプレーンを開発した。

光配線は従来光ファイバシートを用いたもの、光導波路を用いたものが提案されていたが、コストや損失に課題があった。

本論文ではリボン状の光ファイバシートを提案し、低コストで小型な光バックプレーンを実現した。さらにシャッターによるゴミ付着抑制機構のついた高密度バックプレーンコネクタを提案することで光バックプレーンの高信頼化を実現した。

光バックプレーン、光コネクタを試作し、10 Tb/s 装置に要求される伝送密度 1.2 Tb/s/mm² を実現するとともに、通信装置内に入れて伝送評価を行った結果、25

Gb/s 伝送に問題ないことを確認した。

参考文献

- [1] J. Matsui, T. Yamamoto, K. Tanaka, T. Ikeuchi, S. Ide, S. Aoki, T. Aoki, T. Ishihara, M. Iwaya, K. Kamoto, K. Suematsu, M. Shiino, “Optical Interconnect Architecture for Servers using High Bandwidth Optical Mid-plane,” Proc. Optical Fiber Communication Conference and Exposition and the National Fiber Optic Engineers Conference (OFC/NFOEC), OW3J.6, 2012.
- [2] M. Ohmura, K. Saito, “High-density Optical Wiring Technologies for Optical Backplane Interconnection using Downsized Fibers and Pre-installed Fiber Type Multi Optical Connectors,” Proc. Optical Fiber Communication Conference and the National Fiber Optic Engineers Conference (OFC), OWI71, 2006.
- [3] “High-density FlexPlane™ Optical Circuitry provides high-density optical routing on PCBs or backplanes,” http://www.literature.molex.com/SQLImages/kelmscott/Molex/PDF_Images/987650-1771.PDF.
- [4] “LIGHTRAY OFX Optical Fiber Circuit Assemblies,” http://www.te.com/commerce/DocumentDelivery/DDEController?Action=srchtrv&DocNm=LIGHTRAY_OFX_Opt_Fiber_Circ_Assys_0306&DocType=CS&DocLang=English&scid=1046.
- [5] J. Matsui, T. Yamamoto, K. Tanaka, T. Ikeuchi, S. Ide, S. Aoki, T. Aoki, T. Ishihara, M. Iwaya, K. Kamoto, K. Suematsu, M. Shiino, “High Bandwidth Optical Interconnection for Densely Integrated Server,” Proc. Optical Fiber Communication Conference and Exposition and the National Fiber Optic Engineers Conference (OFC/NFOEC), OW4A.4, 2013.
- [6] K.B. Yoon, I. Cho, Seung H. Ahn, M.Y. Jeong, D.J. Lee, Y.U. Heo, B.S. Rho, H. Park, B. Rhee, “Optical Backplane System Using Waveguide-Embedded PCBs and Optical Slots,” IEEE Journal of Lightwave Technology, vol. 22, no. 9, Sep. 2004.
- [7] K. Schmidtke, F. Flens, A. Worrall, R. Pitwon, F. Betschon, T. Lamprecht,

- R. Krahenbuhl, "960 Gb/s Optical Backplane Ecosystem Using Embedded Polymer Waveguides and Demonstration in a 12G SAS Storage Array," *IEEE Journal of Lightwave Technology*, vol. 33, no. 24, pp. 3970-3975, Dec. 2013.
- [8] M. Immonen, J. Wub, H.J. Yanb, L.X.Zhub, P. Chenb, T. Rapala-Virtanen, "Electro-Optical Backplane Demonstrator with Multimode Polymer Waveguides for Board-to-Board Interconnects," *Proc. Electronics System-Integration Technology Conference (ESTC)*, 2014.
- [9] T. Ishigure, K. Shitanda, T. Kudo, S. Takayama, T. Mori, K. Moriya, K. Choki, "Low-Loss Design and Fabrication of Multimode Polymer Optical Waveguide Circuit with Crossings for High-Density Optical PCB," *Proc. IEEE Electronic Components & Technology Conference*, pp. 297-304, 2013.
- [10] T. Ishigure, D. Suganuma, K. Soma, "Three-Dimensional High Density Channel Integration of Polymer Optical Waveguide Using the Mosquito Method," *Proc. IEEE Electronic Components & Technology Conference*, pp. 1042-1047, 2014.
- [11] N. Bamiedakis, J. Beals, R. V. Penty, I. H. White, J. V. DeGroot, T. V. Clapp, "Cost-Effective Multimode Polymer Waveguides for High-Speed On-Board Optical Interconnects," *IEEE Journal of Quantum Electronics*, vol. 45, no. 4, April 2009.
- [12] 寺田信介, 伊藤有香, 堀元章弘, 桂山悟, 長木浩司, "低損失ポリノボルネン光導波路が実現する 300 Gbit/s データ伝送," *電子通信学会論文誌 C* vol. J95-C, no. 11, pp. 381-386, 2012.
- [13] L. Brusberg, H. Schröder, R. Pitwon, S. Whalley, C. Herbst, A. Miller, M. Neitz, J. Röder, K. Lang, "Optical Backplane for board-to-board Interconnection Based on a Glass Panel Gradient-Index Multimode Waveguide Technology," *Proc. IEEE Electronic Components & Technology Conference*, pp. 260-267, 2013.
- [14] Y. Matsuoka, K. Adachi, Y. Lee, T. Ido, "A 25-Gbit/s High-speed Optical-electrical Printed Circuit Board for Chip-to-chip Optical Interconnections," *IEEE CPMT Symposium Japan*, 2012.
- [15] Z. Zhang, M. Kleinert, A. Maese-Novo, G. Irmscher, E. Schwartz, C.

- Zawadzki, N. Keil, "Multicore Polymer Waveguides and Multistep 45° Mirrors for 3D Photonic Integration," *IEEE Photonics Technology Letters*, vol. 26, no. 19, Oct., 2014.
- [16] 楠修一, 八若正義, 橋下守, 木下貴陽, 田中正俊, 樋口降幸, 金正高, 大泉晴郎, "5 mmR 耐曲げ型光ファイバの開発," *三菱電線工業時報*, no. 105, Oct., 2008.
- [17] 岩屋光洋, 末松克輝, 稲葉治巳, 杉崎隆一, 布施和幸, 西本卓矢, 嘉本健治, "光インタコネクション用光配線材の開発," *古河電工時報* 129 号, Jan. 2012.
- [18] R. Nomura, N. Chujo, A. Mizushima, N. Matsushima, K. Fukumiya, I. Akutsu, K. Hata, "3.3-Tb/s compact optical fiber package using pre-formed optical fiber," *CPMT Symposium Japan (ICSJ)*, pp. 103-106, 2014.
- [19] 太田達哉, 至田智史, 瀧澤和宏, 西村顕人, 有川徹, 玉木康博, "2 次元配列型 MT コネクタ," *フジクラ技法*, no. 97, Oct. 1999.

第5章 高密度光システム in パッケージの開発

1章で述べたように2022年頃に12.8 Tb/sのスイッチLSIが必要となるが、伝送密度は5 Gb/s/mm²となり、電気ではパッケージから信号を取り出すことが不可能となる。またLSI当りの伝送容量が増えるため、信号伝送にかかる消費電力の増大が課題となる。

そこでこれらの課題を解決するインターポーザを用いた高密度光システム in パッケージ(光 SiP)を提案した。インターポーザの高い配線密度を利用して、並列度を上げて伝送速度を緩和する。これにより伝送容量の増大と消費電力の低減を両立が可能となる。本章では高密度光 SiP に向けた最適伝送速度の検討およびインターポーザの配線構造について述べる。

5.1 光 SiP 最適伝送速度 (bit rate) 解析の前提条件

光 SiP の構造を図 5.1 に示す。スイッチ等の論理 LSI と光送受信 IC、光素子がインターポーザ上に搭載されている。インターポーザはパッケージ基板に搭載され、BGA で装置基板に接続される。

光 SiP 最適伝送速度 (bit rate) の解析には下記の仮定を置いた。

1. 光送受信 IC とスイッチ等の論理 LSI は同一チップに集積化しない。
 2. 光素子はディスクリートの垂直共振面発光レーザ (VCSEL: Vertical Cavity Surface Emitting Laser) アレイおよびフォトダイオード (PD: Photodiode) アレイとする。
 3. インターポーザの材質は Si とする。
- 以下それぞれの仮定について説明する。

5.1.1 LSI 構成

図 5.1 で光送受信 IC とスイッチ等の論理 LSI を同一チップに集積化していないのは下記の理由による。

1. 論理 LSI と光送受信 IC の電源電圧の違い
論理 LSI は 20 nm 以下のプロセスとなり、電源電圧は 1 V 以下となる。一方光送受信 IC は光素子のバイアスのため 3 V 以上の電圧が要求される。またア

ナログ用素子や高耐圧トランジスタのサイズは大きいいため、マスクコストの高い微細 CMOS プロセスを用いる論理 LSI に集積化するとコストが高くなる。

2. 電源雑音の低減

低ジッタや低雑音が要求される光送受信回路を論理回路から離すことにより、論理回路で発生する電源雑音の影響を小さくすることができる。

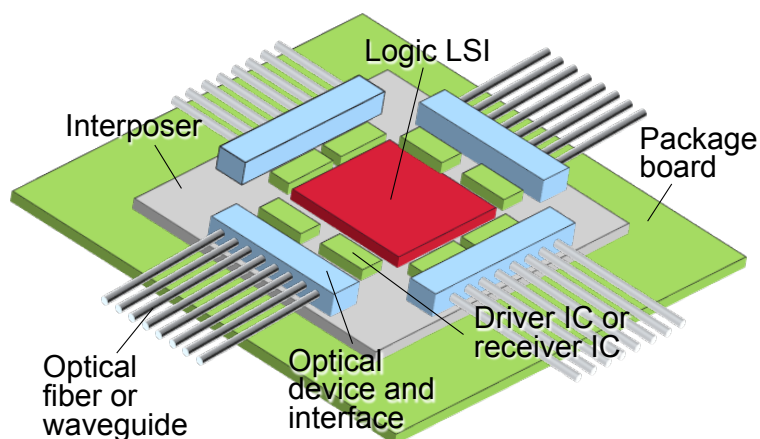


図 5.1 光 SiP の構成

5.1.2 光素子

光素子の比較を表 5.1 に示す。直接変調である VCSEL に対し、近年 Mach-zehnder interferometer (MZI) や Ring resonator を用いた Si フォトニクス の発表がされている[8]-[14]。しかし MZI の素子サイズは高密度なインターポーザには大きい。また Ring resonator は温度依存性が大きくまだ実用化にはいたっていない。このため本報告の検討では光素子は VCSEL を前提とした。

表 5.1 光素子の比較

	VCSEL [1]-[7]	Mach-zehnder interferometer (MZI) [8]-[10]	Ring resonator [11]-[14]
Size	$\phi 30 \mu\text{m}$ w/o pad	$0.25 \times 1 \sim 3 \text{ mm}$	$\phi 40 \mu\text{m}$ w/o pad
Power supply	2.0 ~ 2.8 V	2.5 ~ 5 V	2.0 V
Wave length	850 nm 1000 nm	1.3 μm 1.5 μm	1.3 μm 1.5 μm
Status	Commercial	Partially Commercial	Under research

5.1.3 インターポーザ材料、配線構造

インターポーザ材料の比較を表 5.2 に示す。Si インターポーザは有機やガラスインターポーザの約 10 倍の配線密度を実現できることから、本報告での解析は Si インターポーザを前提とした。

表 5.2 インターポーザ材料比較

	Si interposer [15]-[17]	Organic interposer [18]	Glass interposer [19]
Density [signals/mm]	5000	500	500
Line/Space [μm]	0.4/0.4	3.0/3.0	5.0/5.0
Layers	4	6	10

5.2 光 SiP 最適伝送速度 (bit rate) の解析

5.2.1 インターポーザモデル

図 5.2 に解析に用いた Si インターポーザのモデルを示す。Si インターポーザ配線の line/space は $3\ \mu\text{m}/3\ \mu\text{m}$ で長さは 3 mm である。図 5.3 に通過特性の解析結果を示す。配線幅が細く、Si インターポーザの誘電体層の厚みが薄いため、配線特性はプリント基板のように LC の分布定数とならず、RC の分布定数に見える。配線抵抗を 0 としたときの差動特性インピーダンスは $30\ \Omega$ と低く単位長さあたりの容量が大きいため、通過特性は $-6\ \text{dB}@12.5\ \text{GHz}$ と高周波での損失が大きい。

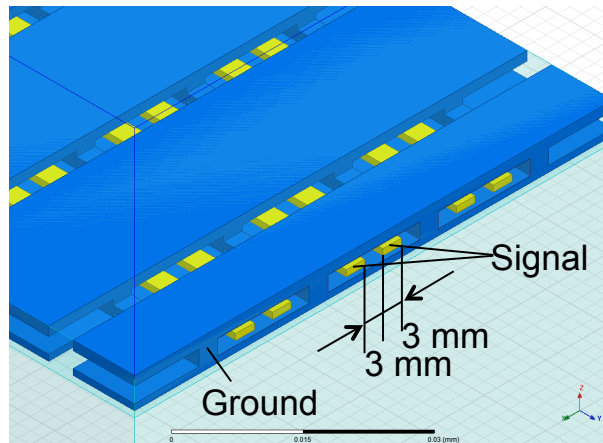


図 5.2 Si インターポーザモデル

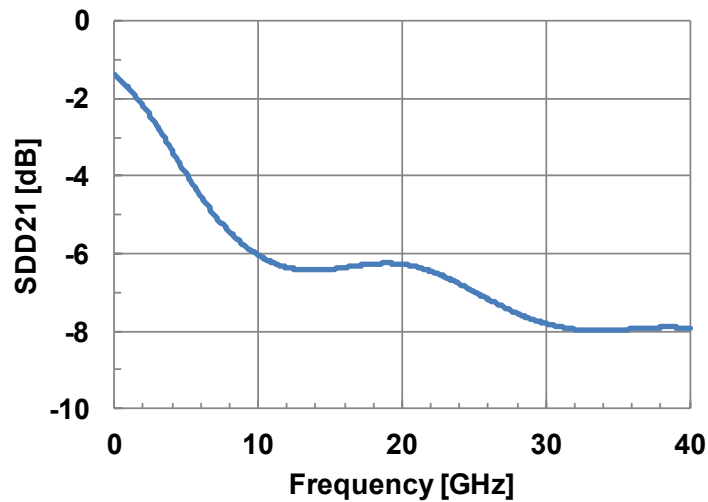


図 5.3 通過特性解析結果

5.2.2 回路構成

図 5.4 にインターポーザ上チップ間伝送回路のブロック図を示す。最適伝送速度 (bit rate) の解析は送信側ロジック LSI の出力からインターポーザ配線、VCSELドライバ、PD、Transimpedance Amplifier (TIA) を通し受信側ロジック LSI の受信までの電力効率 (1 ビットあたりの消費電力) の比較により行った。

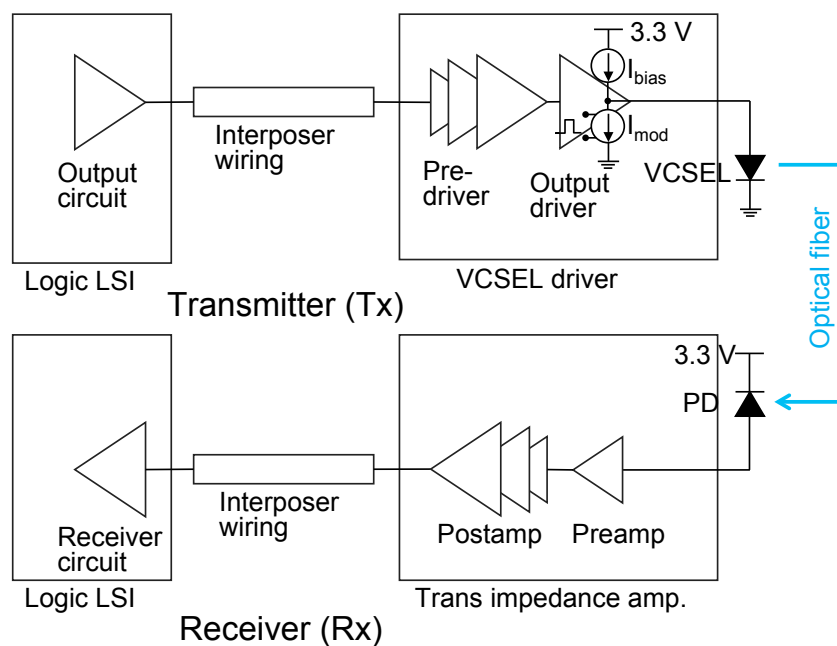


図 5.4 インターポーザ上チップ間伝送回路ブロック図

5.2.3 回路解析方法

VCSELドライバ、TIA およびロジック LSI の送受信回路は 65 nm CMOS をベースとした等価回路を用いた。各回路は差動増幅器で構成されると仮定した。等価回路モデルを図 5.5 に示す。

解析には下記の条件を満たすように各回路のテール電流および段数を求めた。

1. VCSEL ドライバにおいて、プリドライバの出力振幅はメインドライバをリミット動作させるため最小 250 mV とする。
2. VCSEL の変調電流 I_{mod} は図 5.6 に示すように伝送速度 (bit rate) の平方根に比例するとする。
3. ロジック LSI および TIA の送信振幅は、図 5.7 に示すように送信回路と受信回路の合計電力効率が最小となる振幅とする。
4. 帯域は送信側、受信側でそれぞれ伝送速度 (bit rate) $\times 0.75$ Hz 以上になるようにする。

変調電流が伝送速度 (bit rate) に比例するのは、受信側の最小受信感度が TIA の入力換算雑音で決まり、入力換算雑音は帯域幅の平方根に比例するためである。

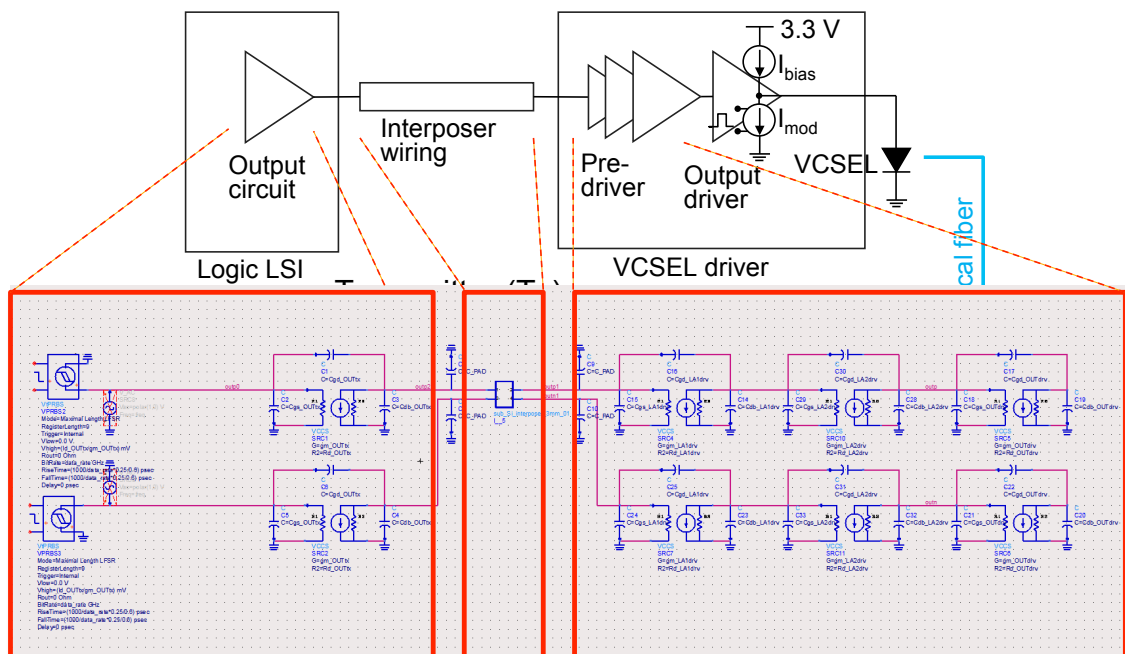


図 5.5 等価回路モデル

図 5.7 に伝送速度 (bit rate) 10 Gb/s でのロジック LSI の送信回路の振幅と、ロジック LSI の送信回路および VCSEL ドライバのプリドライバ回路の電力効率の関係を示す。ロジック LSI 送信回路の振幅を減らすと送信回路の電力は減る。しかし VCSEL ドライバのプリドライバ回路は小さい入力信号を振幅 250 mV まで増幅するために増幅段を増やさなくてはならなくなり、電力効率が増える。このため、送信回路と受信回路の合計電力効率を考慮すると送信振幅には最適値が存在することがわかる。10 Gb/s では最適振幅値は 40 mV となる。

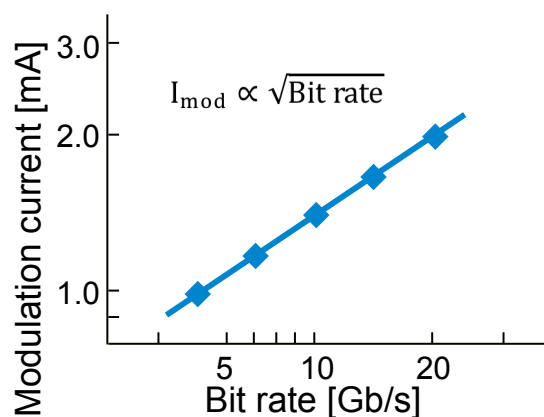


図 5.6 伝送速度 (bit rate) と変調電流の関係

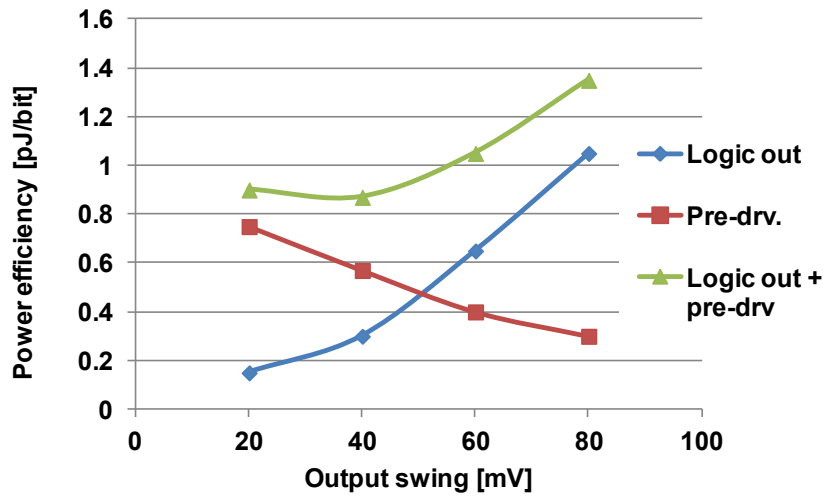


図 5.7 出力振幅と電力効率の関係

5.2.4 最適伝送速度 (bit rate) 解析結果

各伝送速度 (bit rate) で前項の条件に合わせて回路構成を検討し、電力効率を算出した結果を図 5.8 に示す。電力効率は 5 Gb/s から伝送速度 (bit rate) を上げるにつれ良くなる。これは VCSEL のバイアス電流など伝送速度 (bit rate) に依存しない成分があるためで、伝送速度 (bit rate) があがるにつれビットあたりの消費電力は下がる。一方、14 Gb/s 以上になると伝送速度 (bit rate) があがるにつれ電力効率は悪くなる。これは帯域を確保するためにテール電流を増やして増幅器の駆動能力をあげる必要があるためである。より高速な伝送速度 (bit rate) では回路やインターポーザ配線、光素子の帯域を補償するため、エンファシス回路やイコライザ回路などを追加する必要があり、さらに消費電力が増え、電力効率が悪くなる。解析の結果、光 SiP には電力効率が最適となる伝送速度 (bit rate) があることを明らかにした。65 nm CMOS 回路および VCSEL/PD を用いた光 SiP では伝送速度 (bit rate) 10 Gb/s 付近が電力効率として最適となる。最適伝送速度 (bit rate) はトランジスタの性能や光素子の特性により変わる。より微細なプロセスではトランジスタ性能の向上が見込まれるため、高い伝送速度 (bit rate) においてもテール電流を抑えることができ、帯域補償回路を削減できるため、電力効率が上がり最適伝送速度 (bit rate) は高い方へずれるためである。一方定常電流の少ない光素子の場合、最適伝送速度 (bit rate) は低い方にずれることになる。

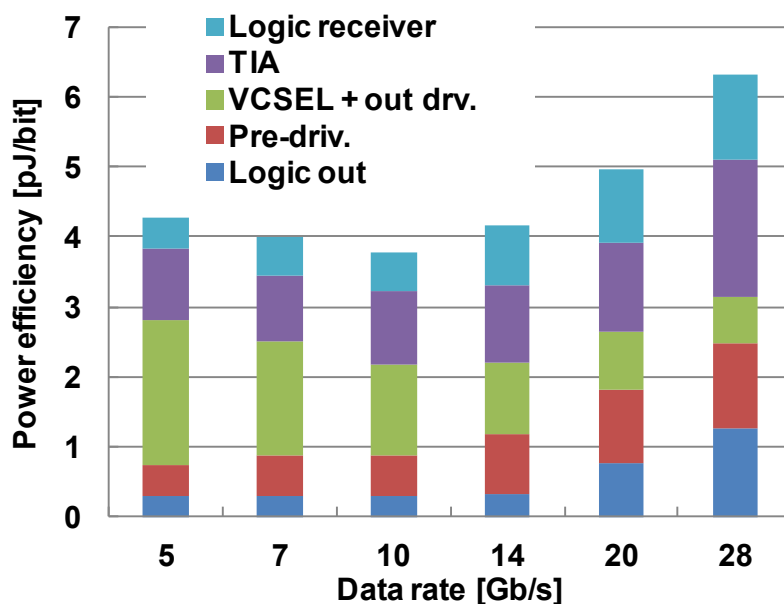


図 5.8 伝送速度と電力効率の関係

5.3 12.8 Tb/s 光 SiP の構造

前節で光 SiP の最適伝送速度は 10 Gb/s 付近であることを明らかにした。本節では伝送速度を 10 Gb/s 付近としたときの 12.8 Tb/s 光 SiP の構造を検討する。

5.3.1 インターポーザ配線仕様

12.8 Tb/s 光 SiP の構成を図 5.9 に示す。伝送速度は 12.5 Gb/s、信号数は 1024 (配線数は送受、差動で 4096 本) で、Si インターポーザの層数は一般的に用いられる 4 層を想定した。インターポーザのサイズをできるだけ小型にするため、光素子はピッチ 125 μm 、 16×4 の 2 次元アレイとした。VCSEL ドライバ、TIA およびロジック LSI のパッドピッチは 65 μm 、Si インターポーザ上の配線長さは 3 mm となる。これはインターポーザ上の配線を差動とすること、VCSEL ドライバ、TIA およびロジック LSI の送受信回路を配線方向に 4 段並べることによる。

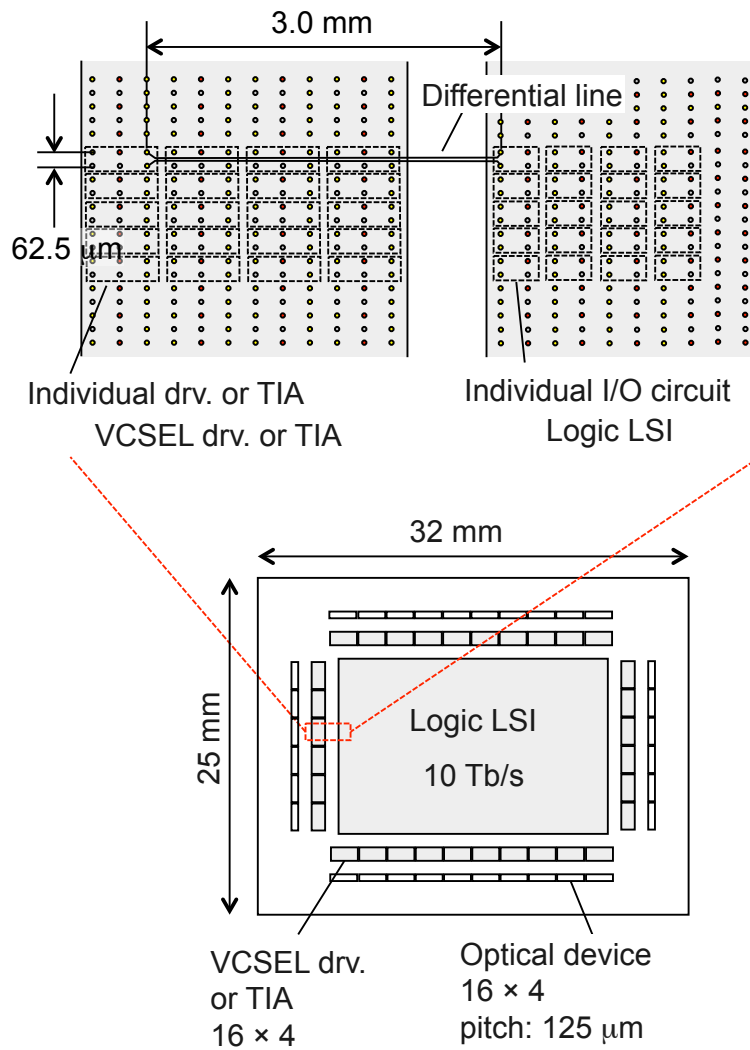


図 5.9 12.8 Tb/s 光 SiP の構成

Si インターポーザの配線構造を図 5.10 に示す。4 層の Si インターポーザの M1 と M3 を信号層、M2 と M4 をグランドメッシュとしている。差動配線の両側にはクロストーク低減のためシールドを設けている。Si インターポーザ配線の line/space は 65 μm/3 μm ピッチのパッド間に 4 ペアの配線を通すため 3 μm/3 μm となる。

以上の検討から伝送速度を 10 Gb/s 付近としても光 SiP で 12.8 Tb/s の伝送容量を確保できる見通しを得た。

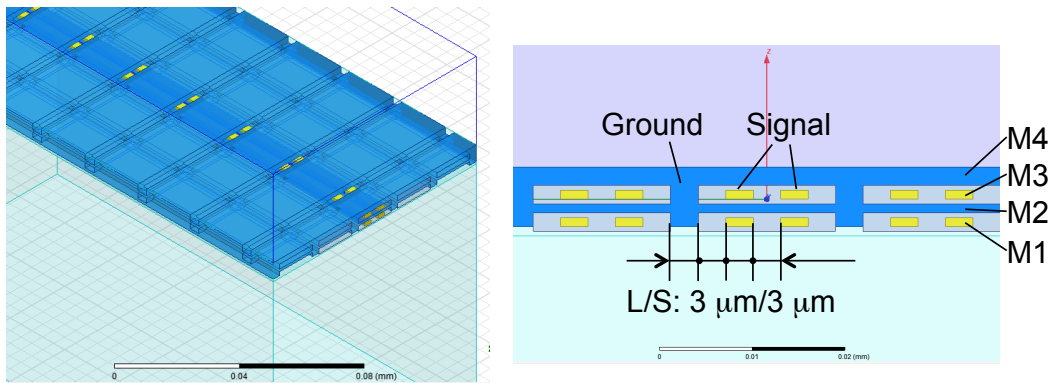


図 5.10 Si インターポーザの配線構造

5.3.2 低損失、低クロストーク配線構造

Si インターポーザ上の配線は 5.2.1 項で述べたように誘電体層の厚みが薄いため、単位長さあたりの容量が大きく、高周波特性が悪い。また低い特性インピーダンスは終端抵抗に流す電流を大きくする必要があり、回路の消費電力を大きくする。そこでグラウンドメッシュを荒くしてインピーダンスをあげる方法を検討した。

グラウンドメッシュを荒くするとクロストークが大きくなることが予想される。Si インターポーザ配線のクロストーク解析結果を図 5.11 に示す。解析から縦方向のクロストークが横方向のクロストークより大きいことが明らかになった。これはグラウンドがメッシュになっているため配線上下は信号配線に沿ってシールドされていないためである。

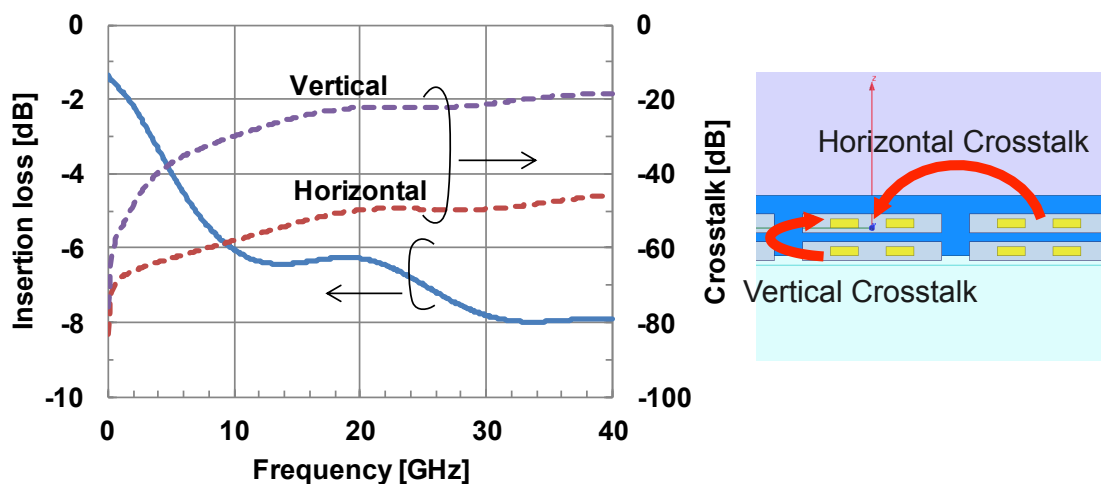


図 5.11 Si インターポーザ配線のクロストーク

そこで配線インピーダンスの増加と縦方向のクロストークの低減を両立するためオフセット配線構造を提案した。オフセット配線構造を図 5.12 に、解析結果を図 5.13 に示す。M3の差動配線の一方の信号線をM1の差動配線の中心線上にオフセットさせることでM1のp側配線からの影響およびn側からの影響が打ち消し合うためクロストークを小さくすることができる。クロストークはオフセット無しの場合に比べ10 dB下がり、クロストークの仕様を-40 dBとするとインピーダンスを50 Ωまで上げることが可能となる。

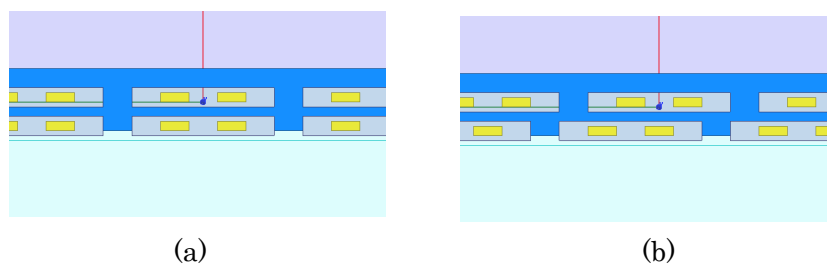


図 5.12 オフセット配線構造: (a)オフセット: 0 μm (b)オフセット: 3 μm

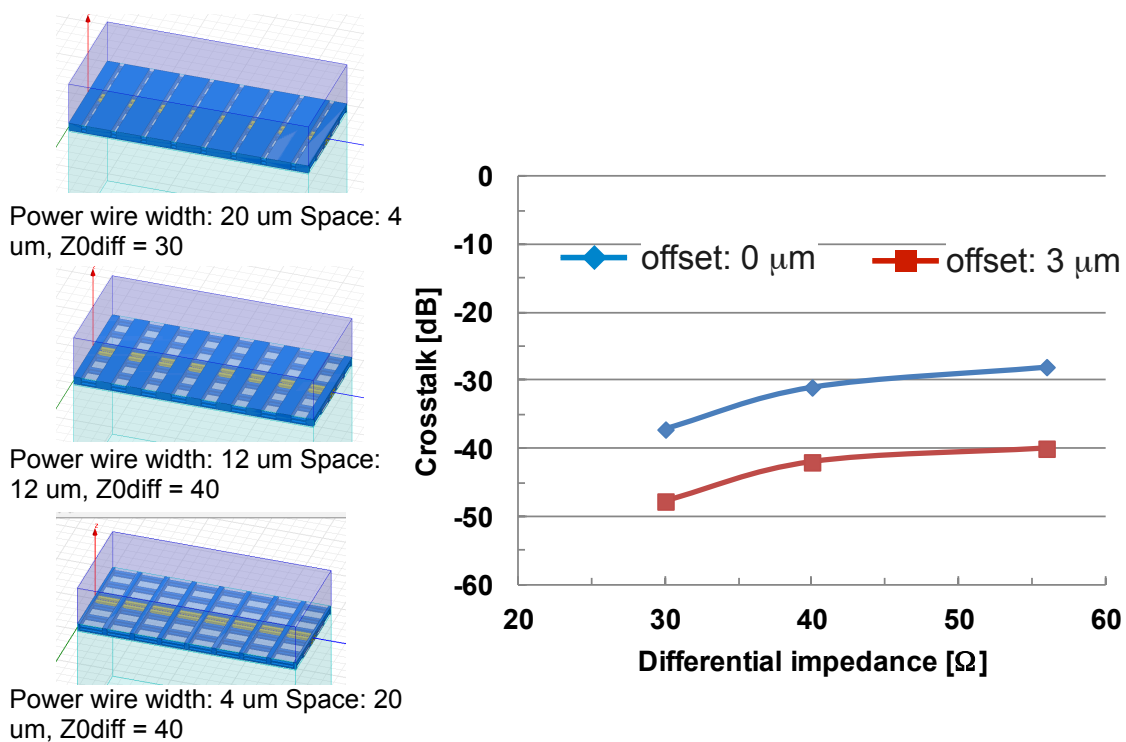


図 5.13 オフセット配線構造によるクロストーク低減

5.4 関連研究

5.4.1 光 SiP の比較

光 SiP の比較を表 5.3 に示す。本研究は 2022 年頃に要求される 12.8 Tb/s スイッチ LSI の構成を検討したもので、他の研究に対し 3~10 倍の伝送容量を狙ったものである。

実装構造としては F.E. Doany ら[20]や S. Benjamin ら[21]は LSI 上に直接光素子を実装する 3D 実装構造をとる。実装密度を高められる利点があるが、ファイバなどの光導波路と接続するために、LSI やパッケージ基板、装置基板に光信号を通すための穴を開ける必要があり、実装構造が複雑になる課題がある。また高発熱の LSI 上に熱に弱い光素子を搭載するため、放熱設計が難しくなる課題がある。P. De Dobbelaere ら[22]の研究は Si インターポーザ上に Si photonics 素子を形成し、その上に LSI を搭載するものである。Si インターポーザ上の光導波路の損失が大きいこと、多層の光導波路を形成できないことから光入出力は 2.5D 実装と同様に LSI チップ周辺に限定される。Si インターポーザ上の光導波路と光ファイバのコア径が一桁違うため、光導波路と光ファイバの低損失な結合が課題となる。

本研究ではこれらに対し、Si インターポーザを用いた 2.5D 実装の光 SiP を提案しており、実装性に優れる。

表 5.3 光 SiP 比較

	F.E. Doany et al. [20]	S. Benjamin et al. [21]	P. De Dobbelaere et al. [22]	This work
Total band width	360 Gb/s	1.34 Tb/s	3.6 Tb/s	12.8 Tb/s
Data rate	15 Gb/s	8 Gb/s	25 Gb/s	12.5 Gb/s
Optical device	VCSEL	VCSEL	Si photonics	VCSEL
Packaging	Optical chips on LSI	Optical chips on LSI	Si interposer	Si interposer

5.4.2 インターポーザおよびインターポーザ上伝送の動向

Si インターポーザを用いたマルチチップのパッケージは FPGA[23]や CPU/GPU 用広帯域メモリ[24]として検討が進められている。広帯域メモリでは本報告と同様、並列度を高めて伝送速度 (bit rate) を遅くし、電力を下げるという手法をとっている。ただしチップ間、基板間のインターコネクにそのような考え方を適用したのは本報告が

初めてと思われる。

FPGA やメモリインターフェースの伝送速度は 1 Gb/s 程度であるが、10～20 Gb/s の伝送回路の検討も報告されている[15][25]。

5.5 本章のまとめ

本章では 2022 年頃に要求される 12.8 Tb/s のスイッチ LSI に向けた高密度光 SiP の検討を行った。電気伝送では不可能な伝送容量を低電力で実現するため、インターポーザの高い配線密度を利用して、並列度を上げて伝送速度を緩和する構造を提案した。さらに電力効率が最も高くなる最適伝送速度 (bit rate) があることを明らかにした。65 nm CMOS および VCSEL/PD を用いた場合は 10 Gb/s 付近が最適であることを明らかにした。

また Si インターポーザ配線の構造を検討し、オフセット配線構造により配線インピーダンスを高め消費電力を低減できる可能性を示した。

今後の課題は、低損失で多レーン一括結合可能なファイバと光素子との光結合構造、インターポーザ配線向けの短距離低電力回路方式の検討である。

参考文献

- [1] S.A. Blokhin, J.A. Lott, A. Mutig, G. Fiol, N.N. Ledentsov, M.V. Maximov, A.M. Nadtochiy, V.A. Shchukin, D. Bimberg, “Oxide-confined 850 nm VCSELs operating at bit rates up to 40 Gbit/s,” *Electronics Letters*, vol. 45, no. 10, 2009.
- [2] P. Westbergh, R. Safaisini, E. Haglund, B. Kögel, J.S. Gustavsson, A. Larsson, M. Geen, R. Lawrence, A. Joel, “High-speed 850 nm VCSELs with 28 GHz modulation bandwidth operating error-free up to 44 Gbit/s,” *Electronics Letters*, vol. 48, no. 18, 2012.
- [3] M. Grabherr, S. Intemann, S. Wabra, P. Gerlach, M. Riedl, R. King, “25 Gbps and beyond: VCSEL development at Philips,” *Proc. SPIE 8639, Vertical-Cavity Surface-Emitting Lasers XVII*, Feb., 2013.
- [4] J.A. Tatum, “The Evolution of 850nm VCSELs from 10Gb/s to 25 and 56Gb/s,” *Proc. Optical Fiber Communications Conference and Exhibition (OFC), Th3C*, 2014.
- [5] T. Kise, T. Suzuki, M. Funabashi, K. Nagashima, R. Lingle, D.S. Vaidya,

- R. Shubochkin, J.T. Kamino, X. Chen, S.R. Bickham, J.E. Hurley, M. Li, A.F. Evans, "Development of 1060nm 25-Gb/s VCSEL and Demonstration of 300m and 500m System Reach using MMFs and Link optimized for 1060nm," Proc. Optical Fiber Communications Conference and Exhibition (OFC), Th4G, 2014.
- [6] T.R. Fanning, J. Wang, Z. Feng, M. Keever, C. Chu, A. Sridhara, C. Rigo, H. Yaun, T. Sale, G. Koh, R. Murty, S. Aboulhouda, L. Giovane, "28-Gbps 850-nm oxide VCSEL development and manufacturing progress at Avago," Proc. SPIE 9001, Vertical-Cavity Surface-Emitting Lasers XVIII, Feb. 2014.
- [7] N. Li, C. Xie, W. Luo, C.J. Helms, L. Wang, C. Liu, Q. Sun, S. Huang, C. Lei, K.P. Jackson, R.F. Carson, "Emcore's 1 Gb/s to 25 Gb/s VCSELs," Proc. SPIE 8276, Vertical-Cavity Surface-Emitting Lasers XVI, Feb. 2014.
- [8] T. Pinguet, B. Analui, E. Balmater, D. Guckenberger, M. Harrison, R. Koumans, D. Kucharski, Y. Liang, G. Masini, A. Mekis, S. Mirsaidi, A. Narasimha, M. Peterson, D. Rines, V. Sadagopan, S. Sahni, T.J. Sleboda, D. Song, Y. Wang, B. Welch, J. Witzens, J. Yao, S. Abdalla, S. Gloeckner, P. De Dobbelaere, "Monolithically Integrated High-Speed CMOS Photonic Transceivers," Proc. IEEE International Conference on Group IV Photonics, 2008.
- [9] T. Pinguet, P.M. De Dobbelaere, D. Foltz, S. Gloeckner, S. Hovey, Y. Liang, M. Mack, G. Masini, A. Mekis, M. Peterson, T. Pinguet, S. Sahni, J. Schramm, M. Sharp, L. Verslegers, B.P. Welch, K. Yokoyama, S. Yu, "25 Gb/s Silicon Photonic Transceivers," Proc. IEEE International Conference on Group IV Photonics (GFP), 2012.
- [10] G. Denoyer, A. Chen, B. Park, Y. Zhou, A. Santipo, R. Russo, "Hybrid Silicon Photonic Circuits and Transceiver for 56Gb/s NRZ 2.2km Transmission over Single Mode Fiber," Proc. European Conference on Optical Communication (ECOC), 2014.
- [11] J.F. Buckwalter, X. Zheng, G. Li, K. Raj, A.V. Krishnamoorthy, "A Monolithic 25-Gb/s Transceiver With Photonic Ring Modulators and Ge Detectors in a 130-nm CMOS SOI Process," IEEE Journal of Solid-State

- Circuits, vol. 47, no. 6, JUNE 2012.
- [12] J.C. Rosenberga, W.M.J. Greena, J. Proesela, S. Assefaa, D.M. Gilla, T. Barwicza, S.M. Shankb, C. Reinholmb, M. Khatera, E. Kiewrab, S. Kamlapurkara, Y.A. Vlasova, "A Monolithic Microring Transmitter in 90 nm SOI CMOS Technology," Proc. IEEE Photonics Conference (IPC), 2013.
 - [13] M. Pantouvaki, P. Verheyen, G. Lepage, J. De Coster, H. Yu, P. De Heyn, P. Absil, J.V. Campenhout, "20Gb/s Silicon Ring Modulator Co-Integrated with a Ge Monitor Photodetector," Proc. European Conference and Exhibition on Optical Communication (ECOC), 2013.
 - [14] M. Pantouvaki, P. Verheyen, G. Lepage, J. De Coster, H. Yu, P. De Heyn, A. Masood, W. Bogaerts, P. Absil, J.V. Campenhout, "8x14Gb/s Si Ring WDM Modulator Array with Integrated Tungsten Heaters and Ge Monitor Photodetectors," Proc. Optical Fiber Communications Conference (OFC), Th1C.5, 2014.
 - [15] T.O. Dickson, Y. Liu, S.V. Rylov, B. Dang, C.K. Tsang, P.S. Andry, J.F. Bulzacchelli, H.A. Ainspan, X. Gu, L. Turlapati, M.P. Beakes, B.D. Parker, J.U. Knickerbocker, D.J. Friedman, "An 8x 10-Gb/s Source-Synchronous I/O System Based on High-Density Silicon Carrier Interconnects," IEEE Journal of Solid-State Circuits, vol. 47, no. 4, April 2012.
 - [16] J.U. Knickerbocker, P.S. Andry, E. Colgan, B. Dang, T. Dickson, X. Gu, C. Haymes, C. Jahnes, Y. Liu, J. Maria, R.J. Polastre, C.K. Tsang, L. Turlapati, B.C. Webb, L. Wiggins, S.L. Wright, "2.5D and 3D Technology Challenges and Test Vehicle Demonstrations," Proc. Electronic Components and Technology Conference (ECTC), pp. 1068-1076, 2012.
 - [17] E. Beyne, "HIGH-BANDWIDTH CHIP-TO-CHIP INTERFACES: 3D STACKING, INTERPOSERS AND OPTICAL I/O," <http://www2.imec.be/content/user/File/ITF2013%20Taiwan/Eric%20Beyne.pdf>, Sep. 2013.
 - [18] K. Oi, S. Otake, N. Shimizu, S. Watanabe, Y. Kunimoto, T. Kurihara, T. Koyama, M. Tanaka, L. Aryasomayajula, Zafer Kutlu, "Development of New 2.5D Package with Novel Integrated Organic Interposer Substrate with Ultra-fine Wiring and High Density Bumps," Proc. Electronic

- Components and Technology Conference (ECTC), pp. 348-353, 2014.
- [19] X. Gu, R. Rimolo-Donadio, R. Budd, C.W. Baks, L. Turlapati, C. Jahnes, D.M. Kuchta, C.L. Schow, F. Libsch, "High-Speed Signaling Performance of Multilevel Wiring on Glass Substrates for 2.5-D Integrated Circuit and Optoelectronic Integration," Proc. Electronic Components and Technology Conference (ECTC), pp. 846-851, 2013.
- [20] F.E. Doany, C.L. Schow, B.G. Lee, R. Budd, C. Baks, R. Dangel, R. John, F. Libsch, J.A. Kash, B. Chan, H. Lin, C. Carver, J. Huang, J. Berry, D. Bajkowski, "Terabit/sec-Class Board-Level Optical Interconnects Through Polymer Waveguides Using 24-Channel Bidirectional Transceiver Modules," Proc. Electronic Components and Technology Conference (ECTC), pp. 790-797, 2011.
- [21] S. Benjamin, K. Hasharoni, A. Maman, S. Stepanov, M. Mesh, H. Luesebrink, R. Steffek, W. Pleyer, C. Stömmer, "336-Channel Electro-Optical Interconnect: Underfill Process Improvement, Fiber Bundle and Reliability Results," Proc. Electronic Components and Technology Conference (ECTC), pp. 1021-1027, 2014.
- [22] P. De Dobbelaere, A. Ayazi, Y. Chi, A. Dahl, S. Denton, S. Gloeckner, Kam-Yan Hon, S. Hovey, Y. Liang, M. Mack, G. Masini, A. Mekis, M. Peterson, T. Pinguet, J. Schramm, M. Sharp, C. Sohn, K. Stechschulte, P. Sun, G. Vastola, L. Verslegers, R. Zhou, "Packaging of Silicon Photonics Systems," Proc. Optical Fiber Communications Conference and Exhibition (OFC), W3I.2, 2014.
- [23] L. Madden, E. Wu, N. Kim, B. Banijamali, K. Abugharbieh, S. Ramalingam, X. Wu, "Advancing High Performance Heterogeneous Integration Through Die Stacking," Proc. European Solid-State Device Research Conference (ESSDERC), pp. 18-24. 2012.
- [24] M. O'Connor, "Highlights of the High-Bandwidth Memory (HBM) Standard," www.cs.utah.edu/events/thememoryforum/mike.pdf, June 2014.
- [25] J.W. Poulton, W.J. Dally, Xi Chen, J.G. Eyles, T.H. Greer, S.G. Tell, J.M. Wilson, C.T. Gray, "A 0.54 pJ/b 20 Gb/s Ground-Referenced Single-Ended Short-Reach Serial Link in 28 nm CMOS for Advanced

Packaging Applications,” IEEE Journal of Solid-State Circuits, vol. 48,
no. 12, Dec. 2013.

第6章 結論と今後の課題

6.1 結論

接続信頼性やクロストークなどによる信号密度の限界、導体や誘電体の損失による伝送速度限界により電気伝送には伝送密度の上限が存在する。3.2 Tb/s スイッチ LSI を用いる装置では基板間および筐体間の配線の伝送容量が不足し、12.8 Tb/s スイッチ LSI を用いる装置ではスイッチ LSI 自身からの信号取り出しが困難となる。

このような課題を解決するため、まず 3.2 Tb/s スイッチ LSI を用いる情報処理・通信装置に向け下記の光インターコネクットの開発を行った。

第 2 章では光送受信回路の低消費電力化、低コスト化について述べた。CMOS プロセスを用い、高速動作を実現するために、LD ドライバのメインドライバに相互インダクタによる可変ピーキング回路を提案した。さらにプリドライバ回路として CMOS インバータを用いたデュアルループ アクティブフィードバック回路を提案し、従来技術に比べ電力効率 1.5 倍、回路面積 1/4 を実現した。

第 3 章では装置基板上に 2 次元配置可能な高密度オンボード光モジュールについて述べた。多段の LTCC 基板を用い、基板のみで光素子や光コネクタの高さ調整を行うモジュール構造、ミラーレンズ一体型の光コネクタの提案、低クロストーク配線構造の提案により小型化では他の研究に勝る小型化、低コスト化を実現した。

第 4 章では高密度光バックプレーンおよび光コネクタの開発について述べた。リボン状の光ファイバシートを提案し、従来技術に比べ低コスト、低損失な小型な光バックプレーンを実現した。さらにシャッターによるゴミ付着抑制機構のついた高密度バックプレーンコネクタを提案することで光バックプレーンの高信頼化を実現した。

これらの技術を用い、通信装置の筐体を用い 10 Tb/s 級の光インターコネクット評価機を試作し、25 Gb/s の基板間伝送を実証した。

次に 12.8 Tb/s スイッチ LSI を用いる情報処理・通信装置に向け、第 5 章で LSI パッケージからの大容量な信号取り出しと消費電力の低減について要素検討を行った。光 SiP 構造を提案し、要求される伝送密度 5 Gb/s/mm² の実現の見通しを得るとともに、電力効率が最も高くなる最適伝送速度 (bit rate) があることを明らかにし、インターポーザの高い配線密度を利用して並列度を上げて最適伝送速度に合わせることで伝送密度の向上と電力の低減を両立できる可能性を示した。

6.2 今後の課題

サーバやルータ等の情報処理・通信装置への低価格化の要求は厳しく、装置への光インターコネクタ適用には、低コスト化が必須となる。段差付きパッケージ構造による部品数低減、リボン光ファイバシートによる光ファイバシートの歩留り向上などにより低コスト化を進めてきたが、さらに光素子の低コスト化、光波形調整の容易化、光モジュールの装置基板への実装の容易化などの検討を行い、低コスト化を推し進めることが重要である。

光 SiP については、他の研究が伝送速度の向上を目指している中で並列度を上げた方が電力効率として良いことを示したものとしてユニークな提案ができたと考えている。今後さらなる高密度化に向けて波長分割多重 (WDM: Wavelength Division Multiplexing) や多値伝送、マルチコアファイバなどの検討を行うことが必要である。

謝辞

本論文をまとめるにあたり、熱心なご指導とご鞭撻を頂いた筑波大学大学院システム情報工学研究科 安永守利教授に深く感謝致します。また同研究科児玉祐悦教授、西川博昭教授、丸山勉教授、和田耕一教授、庄野和宏准教授には本論文をまとめるにあたり貴重なご意見をいただき深く感謝致します。

日頃から研究に対する様々な助言をいただき、本論文をまとめるきっかけを作っていただいた株式会社日立製作所 中央研究所の山下寛樹氏には深く感謝します。また本研究を進めるにあたり株式会社日立製作所 横浜研究所の松島直樹氏、矢崎徹氏、野村里佳氏、高井俊明氏、新海剛氏、株式会社日立製作所 中央研究所の松岡康信氏、李英根氏、竹本享史氏には多大な協力をいただきました。深く感謝します。

最後に本論文の執筆を様々な面で支えてくれた妻真紀に感謝します。

関連論文リスト

本論文の主内容は、下記論文誌[1]および国際学会[1]～[5]として公表済みである。

論文誌（査読付）

- [1] Norio Chujo, Toshiaki Takai, Toshiki Sugawara, Yasunobu Matsuoka, Daichi Kawamura, Koichiro Adachi, Tsuneo Kawamata, Toshinobu Ohno, Kenichi Ohhata, "A 25 Gb/s 65-nm CMOS Low-Power Laser Diode Driver With Mutually Coupled Peaking Inductors for Optical Interconnects," IEEE Transactions on Circuits and Systems I, Vol. 58, No. 9, pp. 2061-2068, 2011.

国際学会（査読付）

- [1] Norio Chujo, Tsuneo kawamata, Kenichi Ohhata, Toshinobu Ohno, "A 25Gb/s laser diode driver with mutually coupled peaking inductors for optical interconnects," Proc. IEEE Custom Integrated Circuits Conference (CICC), pp. 1-3, 2010.
- [2] Norio Chujo, Toru Yazaki, Toshiaki Takai, Daichi Kawamura, Yasunobu Matsuoka, Yong Lee, Toshiki Sugawara, Hiroki Yamashita, Takashi Takemoto, Yoshiaki Ishigami, Kinya Yamazaki, Yoshinori Sunaga, Naoki Matsushima, "A 25-Gb/s × 4-Ch, 8 × 8 mm², 2.8-mm thick compact optical transceiver module for on-board optical interconnect," Proc. Optical Fiber Communication Conference and Exposition and the National Fiber Optic Engineers Conference (OFC/NFOEC), JW2A.76, 2013.
- [3] Norio Chujo, Rika Nomura, Toru Yazaki, Toshiaki Takai, and Naoki Matsushima, "7.2-Tb/s Compact Optical Backplane using Ribbon Fiber Sheet and High-density connector," Proc. IEEE Optical Interconnects Conference (OIC), pp. 93-94, 2014.
- [4] Norio Chujo, Yutaka Uematsu, Moritoshi Yasunaga, "Power Efficient

Data Rate for Photonic Interposer,” Proc. IEEE CPMT Symposium Japan (ICJS), pp. 23-26, 2014.

- [5] Norio Cujo, Gou Shinkai, Yasunobu Matsuoka, Hiroki Yamashita, Moritoshi Yasunaga, “Crosstalk Reduction for Compact Optical Transceiver Module,” Proc. IEEE Electrical Design of Advanced Packaging and Systems (EDAPS), T-I.1, 2014.