筑波大学大学院博士課程

数理物質科学研究科博士論文

博士（工学）

遷移金属内包シリコンクラスター材料を用いた半導体との接合形成に関する研究

岡田 直也

電子･物理工学専攻

目次

第 1 章　序論

1.1　本研究の背景と目的 1

1.2　本論文の構成 6

参考文献 6

第 2 章　半導体と金属の接合形成技術

2.1　半導体と金属の固有接触抵抗モデル 9

2.2　半導体と金属の接触抵抗の決定要因 11

2.2.1　フェルミレベルピンニング 11

2.2.2　MIS 接合による接触抵抗低減技術 15

2.2.3　半導体中のキャリア濃度と金属／半導体の接触抵抗の関係 17

2.3　遷移金属内包 Si クラスターを用いた接合形成技術 18

2.3.1　遷移金属内包 Si クラスター 18

2.3.2　遷移金属内包 Si クラスターを用いた MIS 接合による接触抵抗低減技術 22

2.3.3　遷移金属内包 Si クラスターを用いた MUS 接合による接触抵抗低減技術 23

2.4　まとめ 24

参考文献 24

第 3 章　遷移金属内包 Si クラスター凝集膜の形成と物性

3.1　遷移金属内包 Si クラスター薄膜の形成手法 28

3.2　W 内包 Si クラスター薄膜の物性 30

3.2.1　アモルファス WSi_n 膜の物性評価結果 32

3.2.2　アモルファス WSi_n 膜の物性の考察 36
3.2.3　エピタキシャル W 内包 Si クラスター薄膜の結合状態と構造 38
3.2.4　エピタキシャル W 内包 Si クラスター薄膜のキャリア伝導特性 40
3.2.5　アモルファス WSi_n 膜とエピタキシャル WSi_n 膜のキャリア伝導特性の比較 41
3.3　まとめ 43
参考文献 43

第 4 章　遷移金属内包 Si クラスター材料を用いた Ge 接合技術の開発

4.1　研究の背景と目的 45
4.2　実験方法 45
4.3　実験結果 46
4.3.1　様々な遷移金属内包 Si クラスターによる MIS 接合 46
4.3.2　W 内包 Si クラスターを用いた MIS 接合のフェルミレベルピンニング解除性能 48
4.3.3　W 内包 Si クラスターを用いた MIS 接合のピンニング解除機構 54
4.3.4　W 内包 Si クラスターを用いた MIS 接合の接触抵抗低減技術 55
4.3.5　W 内包 Si クラスターを用いた MIS 接合 S/D によるメタル S/D 型 Ge-*n*FET 57
4.4　まとめ 59
参考文献 59

第 5 章　遷移金属内包 Si クラスター材料を用いた Si 接合技術の開発

5.1　研究の背景と目的 62
5.2　実験方法 63
5.3　実験結果 64
5.3.1　様々な遷移金属内包 Si クラスターを用いた MUS 接合 64
5.3.2　W 内包 Si クラスターを用いた *n*-Si に対する MUS 接合と MIS 接合 65

5.3.3　W 内包 Si クラスターと *p*-Si による *p*-*n* ヘテロ接合の形成 69

5.3.5　遷移金属内包 Si クラスター／*n*-Ge 接合と *n*-Si 接合の関連性 71

5.4　まとめ 72

参考文献 73

第 6 章　結論

6.1　本研究で得られた成果 75

6.2　今後の展開と課題 75

謝辞 77

本研究に関する発表論文 78

第 1 章　序論

1.1　本研究の背景と目的

近年の電子情報機器の低消費電力化や高速化には、LSI を構成するトランジスタの高性能化が大きく貢献している。LSI の中では、論理信号は電圧で表現され、トランジスタは電流を電圧で制御するためのスイッチとしての働きをしている。LSI の動作時の消費電力は、負荷容量への充放電成分で決まっている。充放電による電力消費は、トランジスタの動作電圧の 2 乗に比例する。また、LSI の待機時の消費電力は、充放電による電力消費がないため、オフしているトランジスタに流れるリーク電流に比例する。（(1-1)式）。また、LSI の動作周波数の向上には、トランジスタの動作電流の増大や動作電圧及び負荷容量の低減が有効である（(1-2)式）。このように、トランジスタの性能が LSI の消費電力や動作周波数の決定要因となっている。

$$\text{LSI の消費電力} = \underbrace{\text{LSI の動作電力}}_{\propto\,(\text{トランジスタの動作電圧})^2} + \underbrace{\text{LSI の待機電力}}_{\propto\,(\text{トランジスタの動作電圧})\times(\text{トランジスタのリーク電流})} \tag{1-1}$$

$$\text{LSI の動作周波数} \propto \frac{\text{トランジスタの動作電流}}{(\text{トランジスタの動作電圧})\times(\text{トランジスタの負荷容量})} \tag{1-2}$$

LSI を構成しているトランジスタは、金属 - 酸化物 - 半導体電界効果トランジスタ（Metal-Oxide-Semiconductor Field Effect Transistor, MOSFET）である。図 1.1 に平面型の電界効果型トランジスタの断面模式図を示す。MOSFET のオン抵抗はチャネル抵抗（R_{ch}）、ドーピングにより形成されたエクステンション領域の抵抗（R_{EX}）、及び金属／半導体の接触抵抗（R_C）から構成される。また、S/D 抵抗は、R_{EX} と R_C を示す。オン抵抗が増大すると、図 1.2 に示すように、動作電流が制限される。これは、LSI の動作周波数の低下を招く（(1-2)式）。また、所定の動作電流を維持しようとすると、動作電圧の増大が必要となる。これは、LSI の消費電力の増大を招く（(1-1)式）。従って、MOSFET には、オン抵抗の抑制が必要とされている。

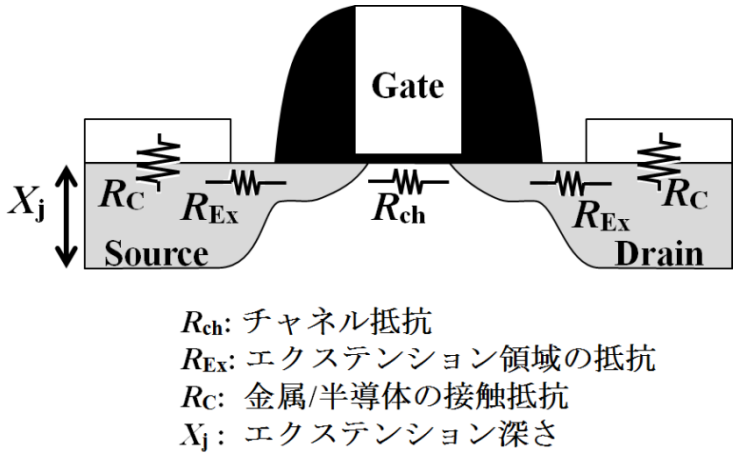

図 1.1. MOSFET の断面模式図、及び MOSFET の抵抗成分

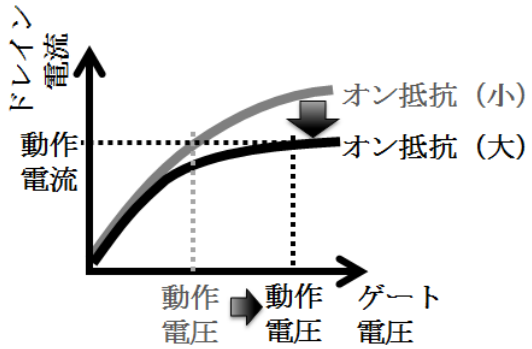

図 1.2. トランジスタのゲート電圧 V_g－ドレイン電流 I_d 特性

トランジスタの性能向上のために、トランジスタのサイズは過去 50 年近くに亘り、スケーリング則に従って微細化されてきた。スケーリング則とは、トランジスタのサイズを 1/*k* 倍とする微細化のために、ゲート長の横方向サイズやゲート酸化膜厚などを 1/*k* 倍に比例縮小し、動作電圧を 1/*k* 倍にすることで、トランジスタの消費電力を $1/k^2$ 倍に、動作周波数を *k* 倍に高性能化することができる法則である（定電界スケーリング則）。動作電圧を一定とした場合のスケーリング則も存在し、実際には、定電界スケーリング則と定電圧スケーリング則の組み合わせで微細化が進行している[1]。しかし、近年のトランジスタでは、この理想的なスケーリング則に従って、微細化が進行していない。ゲート長が 100 nm 以下の世代になると、Drain-Induced Barrier Lowering (DIBL)といった短チャネル効果や、リーク電流、寄生容量、寄生抵抗、さらにはチャネル中のキャリアの速度飽和により、微細化による性能向上が困難となった[2–4]。そこで、微細化のみならず、新材料や新構造を適用することで、トランジスタの性能向上が維持されてきた。チャネルの Si に歪を導入することで、キャリア移動度を向上させる技術[5–7]、ゲートスタック構造に high-*k*/メタルゲートを採用することで、ゲートリーク電流の抑制と駆動電流の増大を両立させる技術[8, 9]、チャネルを三次元的にゲートで制御する Fin 構造を採用することで、チャネル中のキャリアを効率的に制御して短チャネル効果を抑制する技術[10, 11]などが挙げられる。また、オン抵抗をさらに低減するために、トランジスタのチャネル材料に従来の Si よりもキャリア移動度の高い Ge や III-V 族化合物を用いる方法が検討され

ている[27, 28]。例えば、Ge のキャリア移動度は、電子で約 3900 cm^2/Vs、正孔で約 1900 cm^2/Vs と、Si のキャリア移動度（電子 1400 cm^2/Vs、正孔で 450 cm^2/Vs）よりも高い値であり[29]、チャネルを Si から Ge に置き換えることで、R_{ch} の低減が可能となる。しかし、微細化がさらに進み、ゲート長が 30 nm 以下の世代に至ると、これらの技術のみでは、性能向上がより一層、困難となってきている。その原因の一つが、S/D 抵抗の顕在化である。微細化に伴い、R_{ch} の低減のみではオン抵抗を抑制することができなくなる。図 1.3 に半導体技術ロードマップ（ITRS）により策定されたトランジスタのオン抵抗（R_{ch}+ R_{EX} + R_C）、及び S/D 抵抗（R_{EX} + R_C）の微細化による推移を示す[13–16]。ここで、オン抵抗は、トランジスタの駆動電圧（V_{dd}）を駆動電流（I_{dd}）で割った値（V_{dd}/I_{dd}）で定義されている。また、オン抵抗、及び S/D 抵抗はチャネル幅で規格化されている。スケーリング則に従う場合、チャネル長が 1/k 倍になると、チャネル幅で規格化された R_{ch} は 1/k 倍になる。一方、S/D 領域では、ドーピング深さ（エクステンション深さ）が 1/k 倍、エクステンション部の長さがそれぞれ 1/k 倍になると、チャネル幅で規格化された S/D 抵抗は一定値を保つ。その結果、微細化に伴い、オン抵抗に占める S/D 抵抗の割合が高くなる。ITRS2012 年度版[16]によると、S/D 抵抗は、ゲート長 24 nm で R_{ch} の 33%、ゲート長 6 nm で R_{ch} の 40%と設定されている。さらに、S/D 抵抗を支配するのが、S/D 接合部の金属と半導体の接触抵抗（R_C）である[17, 18]。スケーリング則に従う場合、トランジスタが 1/k 倍に微細化されると、S/D 接合部の金属と半導体の接触面積は、1/k^2 倍になることから、R_C は k^2 倍で急激に増大する。これまでに、「半導体中のキャリア濃度の増大」や、「金属／半導体界面のショットキー障壁高さの低減」により接触抵抗の低減が行われてきたが、接触抵抗の低減には限界がある。これは、金属／半導体界面でのフェルミレベルピンニング[19, 20]や、半導体中のドーパント固溶限[21–26]といった物理現象が接触抵抗の低減を制限しているためである。その結果、図 1.4 に示すように、R_C は微細化に伴い S/D 抵抗を支配していく[17]。

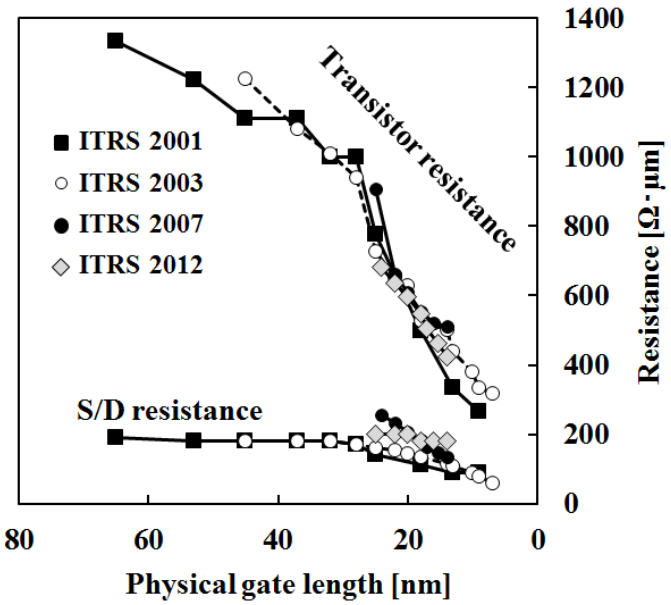

図 1.3. 各年の ITRS で策定されたゲート長とオン抵抗抵抗及び S/D 抵抗の関係[13–16]

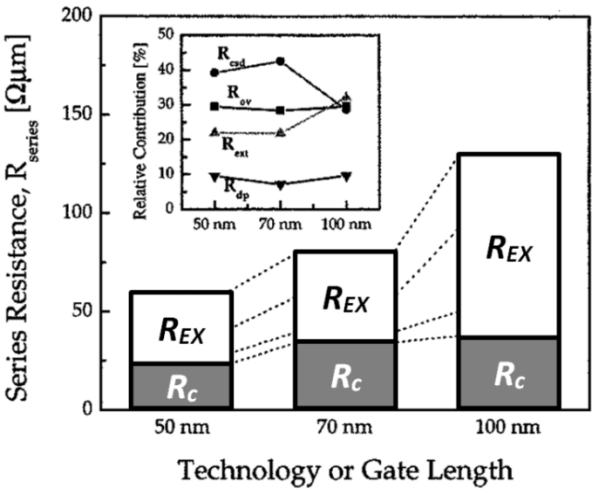

図 1.4. ゲート長（50, 70, 100 nm）における NMOS のエクステンション領域の寄生抵抗 R_{EX} と金属／半導体の接触抵抗 R_c の関係[17]

さらに、微細トランジスタの短チャネル効果と特性ばらつきを同時に抑制するために、S/D 領域におけるドーパントの原子レベルでの空間的位置制御が必要となる。S/D 領域は、半導体基板に不純物をドープすることで形成される。スケーリング則に従うならば、そのドーピング深さ（エクステンション深さ）を k 倍浅くする必要がある。また、S/D から基板へのドーパント分布は、1/k 倍に急峻化する必要がある。ITRS2012 年度版[16]によるとゲート長 17 nm でエクステンション深さが 19.8 nm に策定されている（図 1.5）。平面型 MOSFET では、微細化に伴い、チャネル中のドーパント濃度を増大させることで、S/D から基板へのドーパント分布の急峻性を維持し、スケーリング則に従った電界分布を維持して、短チャネル効果を抑制してきた。しかし、微細化に伴い短チャネル効果の抑制に限界が生じ、完全空乏型 SOI 構造、Fin 構造、サラウディングゲート構造などといった新素子構造が検討され[10, 30–32]、実用化が進んでいる。このような新構造トランジスタは、平面型トランジスタとは異なり低いドーパント濃度のチャネルで構成されている。そのため、S/D 領域のドーパントがゲート下のチャネルへ侵入してしまうと、トランジスタの特性は変化し、トランジスタ間の特性ばらつきの原因となる。これは、ゲート長が微細化されるほど、顕著となる問題である（図 1.6）。さらに、S/D 領域とチャネルとの間で *p-n* 接合を形成しない無接合構造が提唱されている[33, 34]（図 1.6）。チャネルと S/D 領域のドーパント濃度が同じであるため、特性ばらつきの抑制に効果的である。また、蓄積動作型の無接合 MOSFET において、DIBL の抑制にドーパント濃度の低減が効果的であることが報告されている[34]。しかし、低いキャリア濃度は、S/D の金属接触部での接触抵抗の増大に繋がる[35]。低いキャリア濃度を維持した状態で、接触抵抗を低減する技術が必要とされる。

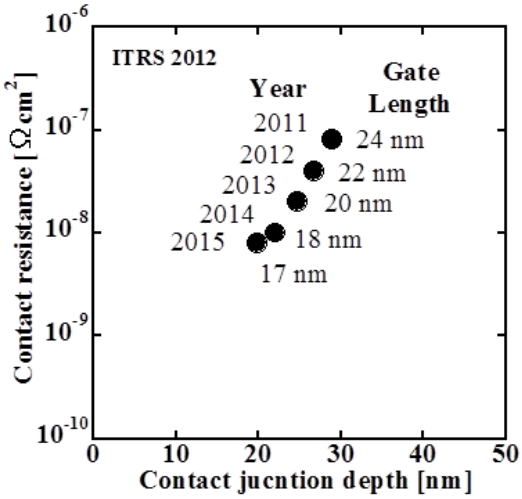

図 1.5.　ITRS 2012 で計画されたゲート長と S/D の接合深さ、及び、S/D の接触抵抗の関係

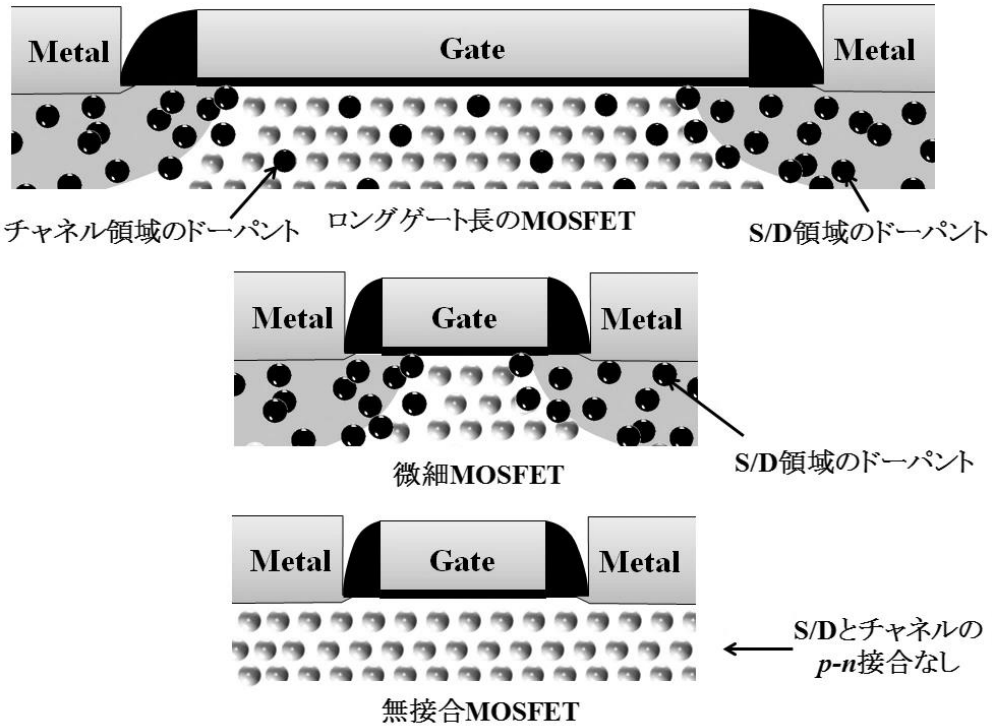

図 1.6.　上図から従来のロングゲート長の平面型 MOSFET、微細化された MOSFET、及び無接合 MOSFET の断面模式図。ロングゲート長の MOSFET では問題とならなかった S/D 領域のドーパントばらつきは、微細 MOSFET ではトランジスタ特性に影響する。無接合 MOSFET では、ドーピングによる S/D 領域を形成せずに、金属／半導体の接触抵抗を低減する技術が必要とされる。

以上より、平面型の微細 MOSFET、及び新構造 MOSFET の全てのトランジスタ構造において、S/D 領域では、金属／半導体の接触抵抗低減と接合の急峻性が求められている。しかし、ドーパントのイオン注入、及び熱拡散による従来の接合形成技術を用いてこれらの課題を解決することは困難であり、新しい接合材料や接合形成技術が必要とされている。このような背景から、本論文では、新しい接合材料として遷移金属内包 Si クラスターから成る Si リッチなシリサイド材料に着目する。本材料は、キャリア濃度やキャリアタイプの制御が可能な半導体であり[36, 37]、既存の半導体材料では到達できない超高濃度キャリアを期待できる。さらに、原子組成がほとんど Si で構成されているため、半導体基板と接合形成した際に、界面準位を発生させないことが期待できる[38]。本論文では、半導体基板として Si と Ge に着目し、遷移金属内包 Si クラスター材料をナノレベルの厚さで形成することで接触抵抗の低減を試みた。その有効性や接触抵抗低減の物理的機構について議論する。

1.2　本論文の構成

本論文は全 6 章により構成されている。

第 2 章では半導体と金属の接合形成技術に関する背景と課題を説明する。従来の接合形成技術に関して述べた後、本論文が対象とする遷移金属内包 Si クラスター材料を用いた接合形成技術を提案する。

第 3 章では、遷移金属内包 Si クラスター材料の形成と物性に関して、特に W 内包 Si クラスターを凝集させたアモルファス膜（アモルファス WSi_n 膜）、及び W 内包 Si クラスターを基にエピタキシャル成長させた膜（エピタキシャル WSi_n 膜）の半導体物性やキャリア伝導特性に関して議論する。

第 4 章では、アモルファス WSi_n 膜と Ge との接合形成に関して議論する。特に、フェルミレベルピンニングの解除について検討した結果について議論する。

第 5 章では、エピタキシャル WSi_n 膜と Si との接合形成に関して議論する。特に、エピタキシャル WSi_n 膜の高キャリア濃度による接触抵抗の低減について議論する。

第 6 章では、本研究で得られた結論として、遷移金属内包 Si クラスター材料を用いた半導体との接合形成技術の有効性や課題を述べる。

参考文献

[1] B. Davari, R. H. Dennard, and G. G. Shahidi, “CMOS Scaling for High Performance and Low Power–The Next Ten Years”, Proceedings of the IEEE 83, 595 (1995).

[2] Y. Taur, “CMOS design near the limit of scaling”, *IBM J. Res. & Dev.* 46, 213 (2002).

[3] D. J. Frank, R. H. Dennard, E. Nowak, P. M. Solomon, Y. Taur, and H. –S. P. Wong, “Device Scaling Limits of Si MOSFETs and Their Application Dependencies”, *Proceedings of the IEEE*, 89, 259 (2001).

[4] A. Khakifirooz and D. A. Antoniadis, “MOSFET Performance Scaling–Part I: Historical Trends”, *IEEE Trans. Electron Devices* 55, 1391 (2008).

[5] S. Onga, K. Hatanaka, S. Kawaji, Y. Nishi, and Y. Yasuda, “Effect of Residual Stress on Hole Mobility of SOS MOS Devices”, *J. J. Appl. Phys.* 17, 1587 (1978).

[6] T. Ghani, M. Armstrong, C. Auth, M. Bost, P. Charvat, G. Glass, T. Hoffmann, K. Johnson, C. Kenyou, J. Klaus, B. McIntyre, K. Mistry, A. Murthy, J. Sandord, M. Silverstein, S. Sivakumar, P. Smith, K. Zawadzki, S. Thompson, and M. Bohr, “A 90nm high volume manufacturing logic technology featuring novel 45nm gate length strained silicon CMOS transisitors”, *Tech. Dig. Int. Electron Devices Meet.* (*IEDM*), 978 (2003).

[7] K. Uchida, T. Knshnaohan, K. C. Saraswat, and Y. Nishi, “Physical Mechanisms of Electron Mobility Enhancement in Uniaxial Stressed MOSFETs and Impact of Uniaxial Stress Engireering in Ballistic Regine”, *Tech. Dig. Int. Electron Devices Meet.* (*IEDM*), 129 (2005).

[8] B. Chang, C. Min, R. Rao, A. Inani, P. V. Vande, M. W. Greene, J. M. C. Strork, Y. Zhiping, P. M. Aeitzoff, and J. C. S. Woo, “The impact of high-k gate dielectrics and metal gate electrodes on sub-100 nm MOSFETs”, *IEEE Trans. Electron Devices* 46, 1537 (1999).

[9] B. H. Lee, J. Oh, H. H. Tseng, R. Jammy and H. Huff, “Gate stack technology for nanoscale devices”, *Materials Today* 9, 32 (2006).

[10] J. –P. Colinge, “Multiple-gate SOI MOSFETs”, *Solid-State Electron.* 48, 897 (2004).

[11] D. Hisamoto, W. –C. Lee, J. Kedzierski, E. Anderson, H. Takeuchi, K. Asano, T. –J. King, J. Bokor, and C. Hu, “A folded-channel MOSFET for deep-sub-tenth micron era”, *Tech. Dig. Int. Electron Devices Meet.* (*IEDM*), 1032 (1998).

[12] Y. Taur, C. H. Wann, and D. J. Frank, “25 nm CMOS Desighn Considerations”, *Tech. Dig. Int. Electron Devices Meet.* (*IEDM*), 789, (1998).

[13] “Process integration, devices, and structures” *in Int. Tech. Roadmap for Semiconductors*, 2001 ed.

[14] “Process integration, devices, and structures” *in Int. Tech. Roadmap for Semiconductors*, 2003 ed.

[15] “Process integration, devices, and structures” *in Int. Tech. Roadmap for Semiconductors*, 2007 ed.

[16] “Process integration, devices, and structures” *in Int. Tech. Roadmap for Semiconductors*, 2012 ed.

[17] S. –D. Kim, C. –M. Park, and J. C. S. Woo, “Advanced Model and Analysis of Series Resistance for CMOS Scaling Into Nanometer Regime –Part II: Quantitative Analysis”, *IEEE Trans. Electron Devices* 49, 467 (2002).

[18] S. E. Thompson and S. Parthasarathy, “Moore’s law: the future of Si microelectronics”, *Materials today*, 9, 20 (2006).

[19] C. A. Mead and W. G. Spitzer, “Fermi Level Position at Metal-Semiconductor Interfaces”, *Phys. Rev.* 134, A713 (1964).

[20] A. M. Cowley and S. M. Sze, “Surface States and Barrier Height of Metal Semiconductor Systems”, *J. Appl. Phys.* 36, 3212 (1965).

[21] S. Solmi, A. Parisini, M. Bersani, D. Giubertoni, V. Soncini, G. Carnevale, A. Benvenuti, and A. Marmiroli, “Investigation on indium diffusion in silicon”, *J. Appl. Phys.* 92, 1361 (2002).

[22] S. Uppal, A. F. W. Willoughby, J. M. Bonar, A. G. R. Evans, N. E. B. Cowern, R. Morris, and M. G. Dowsett, “Ion-implantation and diffusion behavior of boron in germanium”, *Physica B* 308–310, 525

(2001).

[23] S. Uppal, A. F. W. Willoughby, J. M. Bonar, N. E. B. Cowern, T. Grasby, R. J. H. Morris, and M. G. Dowsett, "Diffusion of boron in germanium at 800–900 °C", *J. Appl. Phys.* 96, 1376 (2004).

[24] S. Fischler, "Correlation between Maximum Solid Solubility and Distribution Coefficient for Impurities in Ge and Si", *J. Appl. Phys.* 33, 1615 (1962).

[25] F. A. Trumbore, "Solid Solubilities of Impurity Elements in Germanium and Silicon", *Bell System Tech. J.* 39, 205 (1960).

[26] P. Tsouroutas, D. Tsoukalas, I. Zergioti, N. Cherkashin, and A. Claverie, "Modeling and experiments on diffusion and activation of phosphorous in germanium", *J. Appl. Phys.* 105, 094910 (2009).

[27] K. Kamata, "High-K/Ge MOSFETs for future nanoelectronics", *Materials Today*, 11, 30 (2008).

[28] S. Takagi, S. –H. Kim, M. Yokoyama, R. Zhang, N. Taoka, Y. Urabe, T. Yasuda, H. Yamada, O. Ichikawa, N. Fukuhara, M. Hata, and M. Takenaka, "High mobility CMOS technologies using III-V/Ge channels on Si platform", *Solid-State Electoron.* 88, 2 (2013).

[29] S. M. Sze, "Physics of Semiconductor Devices (2nd edition)", *Wiley-interscience* (1981).

[30] D. J. Frank, "Power-constrained CMOS scaling limits", *IBM J. Res. & Dev.* 46, 235 (2002).

[31] C. P. Auth and J. D. Plummer, "Scaling Theory for Cylindrical, Fully-Depleted, Surrounding-Gate MOSFET's", *IEEE Electron Device Lett.*, 18, 74 (1997).

[32] S. –H. Oh, D. Monroe, and J. M. Hergenrother, "Analytic Description of Short-Channel Effects in Fully-Depleted Double-Gate and Cylindrical, Surrounding-Gate MOSFET's", *IEEE Electron Device Lett.*, 21, 445 (2000).

[33] R. Rios, A. Cappellani, M. Armstrong, A. Budrevich, H. Gomez, R. Pai, N. R. –Orabi, and K. Kuhn, "Comparison of Junctionless and Conventional Trigate Transistor With L_g Down to 26 nm", *IEEE Electron Device Lett.*, 32, 1170 (2011).

[34] C. –W. Lee, A. Afzalian, N. D. Akhavan, R. Yan, I. Ferain, and J. –P. Colinge, "Junctionless multigate field-effect transistor", *Appl. Phys. Lett.* 94, 053511 (2009).

[35] K. Kwok and L. Ruichen "On the caluculation of Specific Contact Resistivity on (100) Si", *IEEE Trans. Electron Devices* 37, 1535 (1990).

[36] N. Uchida, H, Kintou, Y. Matsushita, T. Tada, and T. Kanayama, "Synthesis of New Amorphous Semiconductors Assembled from Transition-Metal-Encapsulating Si Clusters", *Appl. Phys. Express* 1, 121502 (2008).

[37] N. Uchida, T. Miyazaki, Y. Matsushita, K. Sameshima, and T. Kanayama, "New semiconducting silicides assembled from transition-metal-encapsulating Si clusters", *Thin Solid Films* 519, 8456 (2011).

[38] N. Okada, N. Uchida, and T. Kanayama, "Low-barrier heterojunction of epitaxial silicide composed of W-encapsulating Si clusters with n-type Si", *Appl. Phys. Lett.* 101, 212103 (2012).

第 2 章　半導体と金属の接合形成技術

最先端の微細トランジスタに適用できる半導体と金属の接合形成技術には、半導体／金属の接合部における接触抵抗低減や急峻性が求められる。しかし、半導体／金属接触界面でのフェルミレベルピンニングや半導体のドーパント固溶限が、接触抵抗低減を抑制する。また、従来のドーパントのイオン注入技術による接合形成では、原子層レベルでの急峻性を得ることが困難である。本章では、先ず半導体と金属の固有接触抵抗に関して、熱電子放出モデルと電界放出モデルを説明する。次に、半導体／金属界面でのフェルミレベルピンニングに関して説明し、フェルミレベルピンニングを解除する技術の一つである MIS 接合に関して説明する。さらに、半導体中のキャリア濃度と半導体／金属の接触抵抗の関係について説明する。次に、遷移金属内包 Si クラスターについて説明し、遷移金属内包 Si クラスター薄膜を用いた MIS 接合について、その狙いを説明する。最後に、高キャリア濃度で狭ギャップ半導体の遷移金属内包 Si クラスター薄膜を用いた MUS 接合を提唱し、期待できる有効性について議論する。

2.1　半導体と金属の固有接触抵抗モデル

半導体と金属の接触部において、金属の仕事関数と半導体の電子親和力の差に等しいエネルギー障壁が形成される。このモデルはショットキーモデルと呼ばれ、この障壁はショットキー障壁と呼ばれる。ショットキー障壁の高さや幅が金属と半導体の接触抵抗の決定要因となる。図 2.1 に、*n* 型半導体と金属との間を電子が伝導する機構の概念図を示す。金属の仕事関数が半導体の電子親和力よりも大きいため、ショットキー障壁を形成している。ショットキーモデルでは、障壁の高さは半導体中のドナー濃度に依存しない。一方、障壁の幅はドナー濃度に依存し、半導体中のドナー濃度の増大に伴い、障壁の幅が狭くなる。電流機構は、障壁の幅が広い場合と狭い場合の 2 つのタイプに大別することができる。障壁の幅が広い場合は、熱励起された電子が障壁を越えることで電流が流れる。これは熱電子放出モデルと呼ばれる電流機構である[5]。障壁高さを低減することで、半導体／金属の接触抵抗を低減し、大きな電流を得ることができる。一方、障壁の幅が狭い場合は、電子が障壁をトンネルすることで電流が流れる[5–7]。これは電界放出モデルと呼ばれる電流機構である。障壁の幅を狭くする、あるいは、障壁の高さを低減することで、半導体／金属の接触抵抗を低減し、大きな電流を得ることができる。また、熱電子放出電流よりも電界放出電流の方が大きな電流を得ることができる。

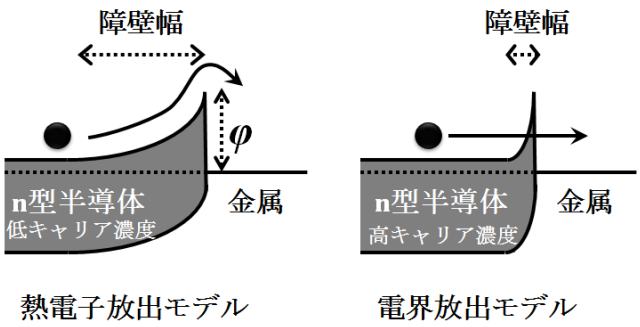

図 2.1. *n* 型半導体と金属の接合における、電子の伝導機構。左図が熱電子放出モデル、右図が電界放出モデル。

これらの概念を、式で表すと次のようになる。初めに、熱電子放出モデルの電流（*I*）-電圧（*V*）特性を(2-1)式に示す[5]。

$$I = I_s\left(e^{qV/\eta kT} - 1\right)$$
$$I_s \equiv A^* T^2 e^{-q\varphi/kT} \tag{2-1}$$

ここで、q は素電荷 [1.60218×10^{-19} C]、k はボルツマン定数 [8.617×10^{-5} eV/K]、A^*は半導体の有効質量に依存するリチャードソン定数 [A/K^{2}cm^2]、φ は半導体と金属の間に形成されるショットキー障壁高さ [eV]、η は理想係数、T は測定温度 [K]である。接触面積によらない接触比抵抗、あるいは固有接触抵抗（Specific contact resistivity：R_C）は、(2-2)式で定義される[5, 8]。

$$R_C \equiv \left.\frac{\partial V}{\partial J}\right|_{V=0} \tag{2-2}$$

(2-1)(2-2)式から、熱電子放出モデルの固有接触抵抗 R_C は、(2-3)式のようになる。

$$R_C = \frac{k}{qA^*T}\exp\left[\frac{q\varphi}{kT}\right] \tag{2-3}$$

(2-3)式では、ショットキー障壁高さ φ 以外が全て定数である。従って、熱電子放出モデルが支配的な半導体／金属の接触の場合、ショットキー障壁高さ φ の低減のみが、固有接触抵抗 R_C の低減に有効である。次に、電界放出モデルの固有接触抵抗を(2-4)式に示す。

$$R_C \approx \exp\left[\frac{\varphi}{E_{00}}\right] \tag{2-4}$$

$$E_{00} \equiv \frac{qh}{4\pi}\sqrt{\frac{N}{\varepsilon_s \varepsilon_0 m^*}} \tag{2-5}$$

ここで、特性エネルギーE_{00}が定義され、熱電子放出と電界放出が区別される[8, 9]。h はプランク定数[4.136×10^{-15} eVs]、N は半導体中のドーパント濃度 [cm^{-3}]、ε_s は半導体の比誘電率、m^*はトンネルに寄与するキャリアの有効質量 [kg]である。電界放出モデルでは、半導体と金属間のトンネル電流が支配的となる。トンネル電流に寄与するキャリアのトンネル確率は障壁の幅に依存する。従って、障壁の幅の決定要因となる半導体のドーパント濃度が、固有接触抵抗を支配するパラメータの一つとなる。$kT/q \gg E_{00}$ の場合、熱電子放出が支配的となり、$kT/q \ll E_{00}$ の場合、電界放出が支配的となる。例えば、Si の場合、$m^* = 0.3m_0$ とすると、室温で $N = 1\times10^{15}$ cm^{-3} のときに $E_{00} = 3.1\times10^{-4}$ eV $\ll$ 0.0259 eV = kT/q となり、熱電子放出が支配的となり、$N = 1\times10^{20}$ cm^{-3} のときに $E_{00} = 0.0983$ eV $\gg$ 0.0259 eV = kT/q となり、電界放出が支配的となる。

以上より、半導体と金属の固有接触抵抗を低減するためには、「障壁高さの低減（(2-3)式）」、及び、「半導体のドーパント濃度の増大（(2-4)、(2-5)式）」が有効である。しかし、それぞれには、「フェルミレベルピンニングによる障壁高さ制御の困難性」、及び、「半導体中のドーパント固溶度の物理的限界」といった課題があり、固有接触抵抗の低減を妨げている。

2.2　半導体と金属の接触抵抗の決定要因

2.2.1　フェルミレベルピンニング

半導体と金属を接合させる場合、様々な仕事関数の金属を用いても、ショットキー障壁高さがほぼ一定となる場合がある[1–4]。これをフェルミレベルのピンニングという。半導体や絶縁体には、金属のフェルミレベルが固定される固有の準位が存在する[10]。この準位は電荷中性準位と呼ばれ、図 2.2 のように、例えば、Si の場合、ミッドギャップ近傍に、Ge の場合、価電子帯端近傍に存在している[3, 10]。また、ピンニングの程度、つまり、障壁高さの制御性は、半導体材料に強く依存している。この依存性を説明するモデルとして例えば、金属と半導体の化合物の生成熱との相関[11]（図 2.3）や半導体の誘電率との相関[12–16]（図 2.4）が報告されている。ここでは、図 2.4 の誘電率との相関に着目する。ε_∞は光学的誘電率を示す。S 値はピンニング強さの指標であり、障壁高さ φ_{BH} と金属の仕事関数 φ_M の依存性を示す（(2-6)式）。

$$S \equiv \frac{\partial \varphi_{BH}}{\partial \varphi_M} \tag{2-6}$$

ピンニングファクター$S = 1$ は、金属の仕事関数に追随して障壁高さが変化することを示しており、ピンニングが完全に解除されている状態である（Schottky-Mott limit）。この状態は、ショットキーモデルに従う。一方、$S = 0$ は、金属の種類を変えても、障壁高さが常に一定で制御できないことを示しており、フェルミレベルが完全に固定されている状態である（Bardeen limit）。半導体の光学的誘電率 ε_∞と S 値の相関を示した経験式（(2-7)式）を図 2.4 の実線で示す。

$$S = \frac{1}{1 + 0.1(\varepsilon_\infty - 1)^2} \tag{2-7}$$

誘電率の高い材料ほど、フェルミレベルピンニングが強く、障壁高さの制御が困難となる。例えば、誘電率の高い Ge は Si よりも強いピンニングを示す[3]（図 2.5）。Ge の電荷中性準位が価電子帯端近傍にあることから、ほとんどの金属と *n*-Ge の接合は、金属の仕事関数に依らず Ge のバンドギャップに相当する高いショットキー障壁を形成し、*p*-Ge ではオーミック接合を形成する。このため、特に *n*-Ge では、金属接合における高い接触抵抗が問題となる。Si も Ge と同様に、電荷中性準位がミッドギャップから価電子帯寄りに存在するため、*n*-Si に対する金属接合の接触抵抗低減が *p*-Si よりも比較的に困難となる[14]。

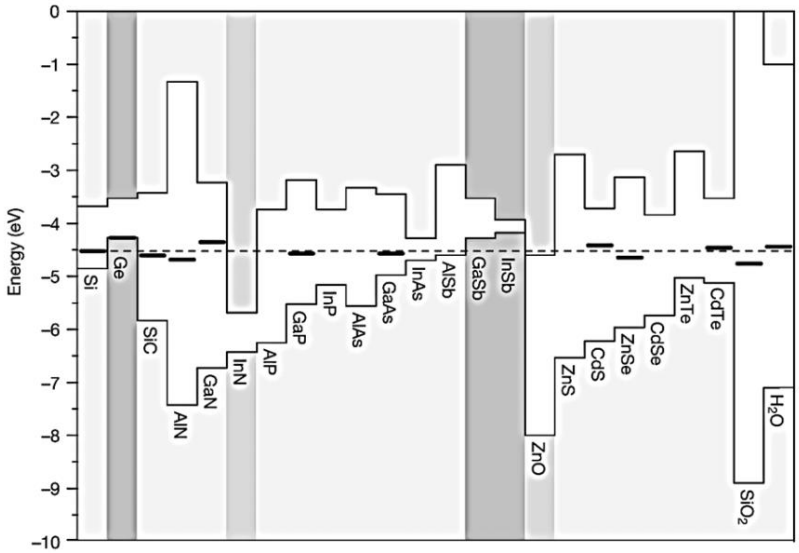

図 2.2. 半導体、及び絶縁体のバンドギャップと電荷中性準位[10]

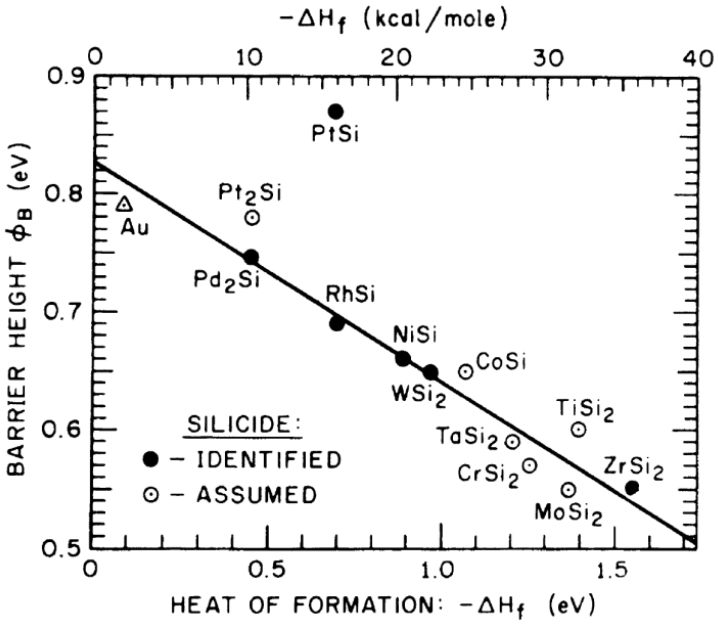

図 2.3. 金属シリサイドの生成熱と障壁高さの関係[11]

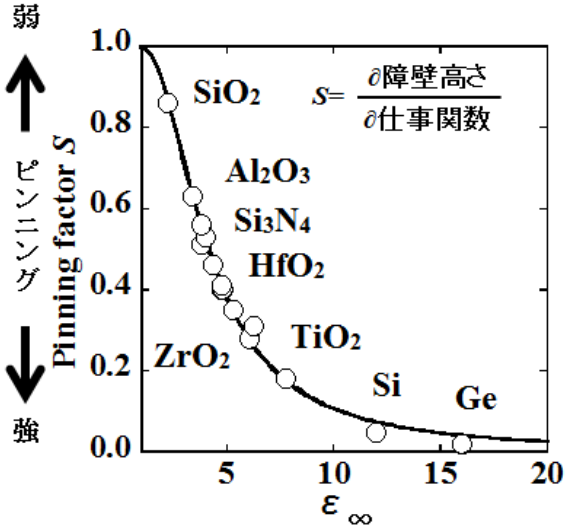

図 2.4. 半導体の光学的誘電率 ε_∞とピンニング強さ（S 値）の関係[15]

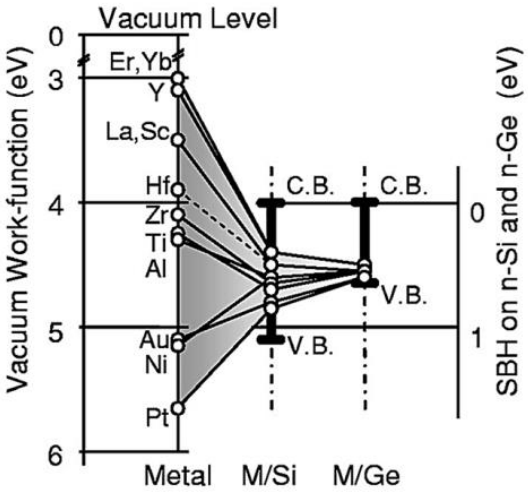

図 2.5. Si と Ge の金属接合におけるフェルミレベルピンニング[3]

フェルミレベルピンニングにより S 値を与える物理モデルとしては、半導体と金属の間に界面層を仮定したモデルがある[2]。図 2.6 に、このモデルのバンド図を示す。ここで、φ_M は金属の仕事関数 [eV]、χ_S は半導体の電子親和力 [eV]、φ_{Bn} は電子に対する障壁高さ [eV]、δ_{it} は界面層の膜厚 [cm]、ε_{it} は界面層の誘電率 [F/cm]、φ_0 は半導体の電荷中性準位 [eV]、V_{int} は界面ダイポールに起因した電圧降下 [V]を示す。半導体／金属接合のオリジナルのモデルとして知られているショットキーモデルでは、障壁高さ φ_{Bn} が $\varphi_{Bn} = \varphi_M - \chi_S$ と記述される[5]。一方、この界面層を仮定したモデルでは、障壁高さ φ_{Bn} は(2-8)式のように記述される。

$$\varphi_{Bn} = \varphi_M - \chi_S + qV_{int} \tag{2-8}$$

界面準位が全く存在しないショットキーモデルでは、仕事関数 φ_M の小さな金属（$\varphi_M < \chi_S$）を用

いると、半導体は電荷密度 Q_A を伴って蓄積層を形成し、障壁高さ φ_{Bn} はマイナスの値となる。しかし、実際には、どんな小さな仕事関数 φ_M の金属を用いても、障壁高さ φ_{Bn} がマイナスの値となることはほとんどなく、実験結果とショットキーモデルに相違がある。界面層を仮定したモデルでは、半導体側に存在する界面準位（準位密度 D_{gs} [$cm^{-2}eV^{-1}$]）に電荷 Q_A が分配される。ここで、電荷の界面準位への分配は、界面におけるフェルミレベルの位置で決まると仮定する。界面準位の起源や分配については、様々なモデルが提唱されており、同項で後述する。ゼロバイアスの時、フェルミレベルの位置は、障壁高さ φ_{Bn} となる。従って、電荷が蓄積するエネルギー領域は、$(\varphi_{Bn}-\varphi_0)$となり、半導体側界面に蓄積される電荷密度 Q_{ss} [C/cm^2]は、$Q_{ss} = qD_{gs}(\varphi_{Bn}-\varphi_0)$と記述される。$Q_A < Q_{ss}$ の時、半導体中の電子が界面準位にさらに捕獲され、半導体から電子が去った部分にはイオン化した正電荷のドナーが残り、空乏層（ドーパントイオンの密度 Q_{sc}）を形成する。Q_{ss} は、鏡像により金属の表面電荷密度 Q_M [C/cm^2]を与え、Q_{ss} と Q_M が対となる界面ダイポールを形成する。Q_M は、Q_{ss} と Q_{sc} との和に等しく、全体として中性な領域を形成している。金属のフェルミレベルはこの電荷中性条件を満たす位置でピンニングされる。一方、仕事関数 φ_M の大きな金属（$\varphi_M \gg \chi_S$）を用いた場合、半導体は空乏層を形成し、高い障壁 φ_{Bn} を形成する。界面準位密度 D_{gs} が高いと、空乏層で形成された正孔が界面準位に捕獲され、フェルミレベルが電荷中性条件を満たす位置でピンニングされる。また、界面ダイポールに起因した電圧降下 V_{int} は、ガウスの法則より、$V_{int} = \delta_{it}(Q_m/\varepsilon_{it})$ と記述される。界面準位密度 D_{gs} が充分に高いと（$Q_{ss} \gg Q_{sc}$）、界面準位に捕獲される電荷 Q_{ss} が金属の表面電荷 Q_M とバランスを取るようになる。従って、$Q_{SS} = Q_M$ となり、$qV_{int} = q^2\delta_{it}D_{gs}/\varepsilon_{it}(\varphi_{Bn}-\varphi_0)$ という関係式が成り立つ。これを(2-8)式に代入すると(2-9)式が得られ、(2-10)式に整理できる。

$$\varphi_{Bn} = \varphi_M - \chi_S + (\varphi_{Bn} - \varphi_0)\frac{q^2 D_{gs}\delta_{it}}{\varepsilon_{it}} \tag{2-9}$$

$$\varphi_{Bn} = S(\varphi_M - \chi_S) + (1 - S)\varphi_0 \tag{2-10}$$

$$S \equiv \left[1 + \frac{q^2 D_{gs}\delta_{it}}{\varepsilon_{it}}\right]^{-1} \tag{2-11}$$

ここで、(2-10)式の S 値は (2-11)式で定義される。(2-10)式の φ_{Bn} を φ_M で偏微分すると S は(2-6)式と一致する。(2-11)式より、D_{gs} の増大に伴い、ピンニングファクターS 値は減少することがわかる。例えば、δ を 0.2 nm、ε_i を 1 とすると、D_{gs} が 1×10^{12} $cm^{-2}eV^{-1}$ の時に $S = 0.92$、D_{gs} が 1×10^{14} $cm^{-2}eV^{-1}$ の時に $S = 0.01$ となり、界面準位密度 D_{gs} の増大と共に S 値が減少する。その結果、(2-9)式より、障壁高さ φ_{Bn} は金属の仕事関数 φ_M に依存しなくなり、半導体の電荷中性準位 φ_0 のみに依存することになる。これがフェルミレベルピンニングである。

以上のように、フェルミレベルピンニングは、半導体のバンドギャップ内に存在する界面準位、あるいは界面状態に起因していると考えられている[22]。このギャップ内の D_{gs} の起源として、様々なモデルが提唱されている。例えば、界面に存在するダングリングボンド欠陥[17, 18]、金属と半導体が接合した際に金属の電子の波動関数が誘電体側に染み出すことで形成される Metal Induced Gap State (MIGS) [19, 20]、半導体界面の無秩序化により共有結合の結合状態と反結合状態の分離が不十分となることで形成される Disorder Induced Gap States (DIGS) [21]等が挙げられる。これらのモデル間で

は状態密度（界面準位密度）のギャップ内分配が異なる。しかし、全てのモデルにおいて、電荷中性準位や半導体材料に起因する関数のみで構築されている[22]。これは、半導体／金属のフェルミレベルピンニングが半導体材料に大きく依存していることを示している。また、他の界面ダイポール形成モデルとして、金属／半導体界面での化学結合による分極を起源とするモデルも提唱されている[23, 24]。

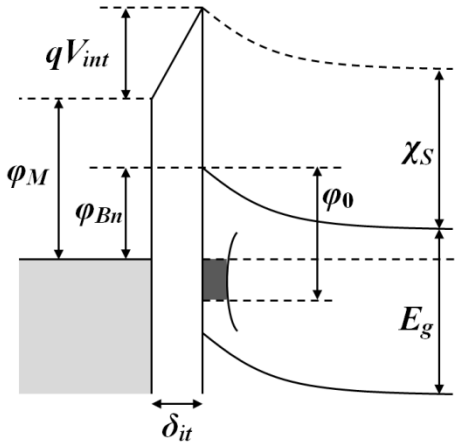

図 2.6. 半導体と金属の接触界面に界面層を仮定したモデルのバンド図

2.2.2 MIS 接合による接触抵抗低減技術

接触抵抗低減には、１）ショットキー障壁高さの低減、及び、２）半導体のドーパント濃度の増大の 2 つのアプローチが有効である。本項では、１）ショットキー障壁高さの低減に着目した接触抵抗低減に関する技術的背景に関して述べる。2.2.1 項で述べたように、金属／半導体接合においては、フェルミレベルピンニングによりショットキー障壁高さの制御が困難となる場合が多い。図 2.5 で示したように、特に Ge は強いフェルミレベルピンニングを示す[3]。この問題を解決する直接的な方法は、適切な接合材料を見つけ出すことである。例えば、*n*-Ge 基板上にエピタキシャル成長させた金属の Fe_3Si 層は、他の金属よりも低い障壁高さ（0.46 eV）を示す[25]。これは、Fe_3Si 層と *n*-Ge(111) の格子整合性が高いために、界面準位密度が効果的に低減されて、フェルミレベルピンニングが解除されたことを示している。他の方法として、硫化アンモニウム（$(NH_4)_2S$）溶液を用いた化学処理により、Ge 表面のダングリングボンドを硫黄で終端することで、フェルミレベルピンニングを解除する技術が報告されている[26]。この技術では、ピンニングファクターS = 0.95 を示す。ピンニング解除、及び金属／Ge の界面準位密度の低減に、硫黄終端が有効であることを示している。しかし、Ge 表面を終端した硫黄は約 190 °C 以上から脱離する[27, 28]ため、熱的不安定性が問題となる。他の方法として、金属と Ge の接触界面に絶縁膜を挿入する技術（Metal/Insulator/Semiconductor, MIS 接合）が提唱されている[29–38]。金属と半導体の間でキャリアを流すためには、絶縁膜を極薄の膜厚（数 nm）にすることで、キャリアをトンネルさせる必要がある。これまでに、ピンニングを解除する絶縁膜として、GeO[29]、GeN[30]、SiN[31]、Al_2O_3[29]、及び MgO[32, 33]等が報告されている。しかし、絶縁体である挿入層は Ge と大きなバンドオフセットを形成するため、挿入層自体が寄生抵抗とな

り、接触抵抗を増大させる[29, 31]。また、図 2.7 に示すように、挿入層の膜厚が過度に薄いとピンニングが解除されず、過度に厚いと寄生抵抗が高くなり、接触抵抗が最小値となる膜厚を最適化する必要がある[34]。さらに、膜厚の最適範囲が狭い上に、挿入層の材料毎に最適膜厚値が異なる。一方、Ge とバンドオフセットの小さな Si[35]、TiO_2[36]、及び ZnO[37]を挿入層として利用することで、MIS 接合の寄生抵抗を低減する技術が報告されている。それぞれの固有接触抵抗は、金属/TiO_2/n^+-Ge(Ge の電子濃度: 3×10^{19} cm^{-3})で 1.3×10^{-6} Ω·cm^2、金属/Si/n^+-Ge(1×10^{19} cm^{-3})で 1.4×10^{-6} Ω·cm^2、金属/ZnO/n^+-Ge (1×10^{19} cm^{-3})で 8×10^{-7} Ω·cm^2 を示す[35–37]。図 2.8 に示す計算によると、*n*-Ge と伝導帯端バンドオフセットの小さな挿入層の TiO_2 や ZnO は、接触抵抗低減に有効である上に、膜厚の最適範囲が広い[38]。しかし、これらのバンドオフセットの小さな挿入層では、金属／挿入層の界面でピンニングが存在する。バンドオフセット、あるいは、バンドギャップの小さな材料は高誘電率であり[39, 40]（図 2.9）、図 2.4 で示した通り高誘電率材料ほど強いピンニングを示す[12–16]。従って、挿入層自体の寄生抵抗を小さくできても、ピンニングにより障壁高さの低減が制限される。以上より、MIS 接合には、寄生抵抗の低減とピンニングの解除のトレードオフ関係が存在する。

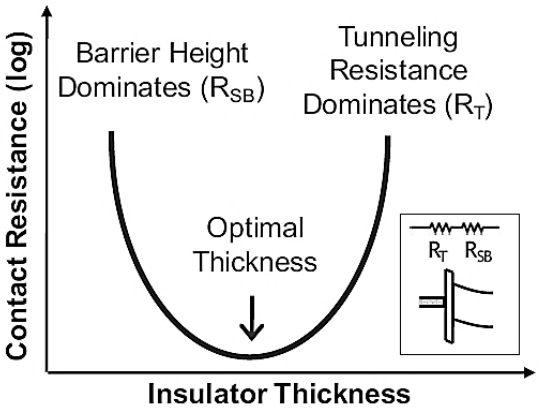

図 2.7. MIS 接合における挿入層の最適膜厚の概念図[34]

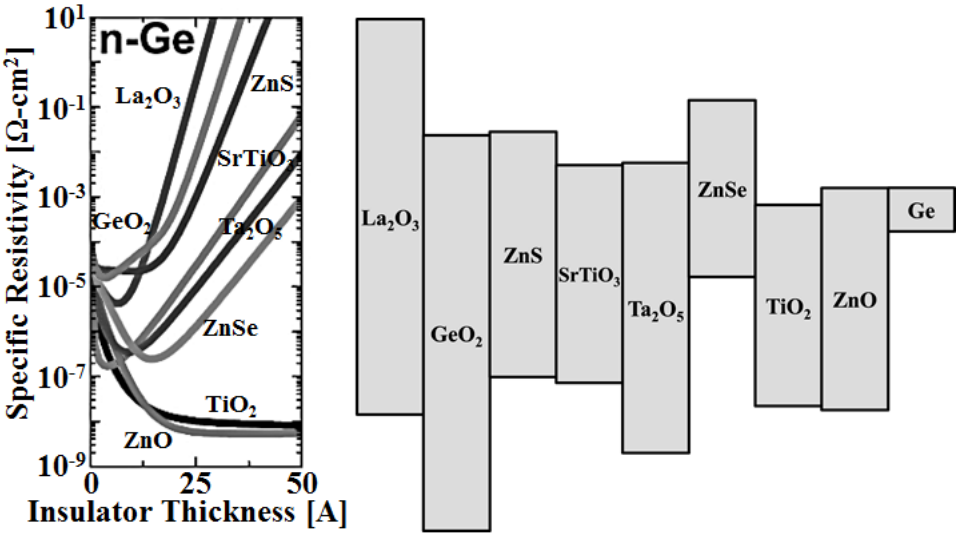

図 2.8. *n*-Ge の MIS 接合における様々な挿入材料の膜厚と固有接触抵抗の関係[38]

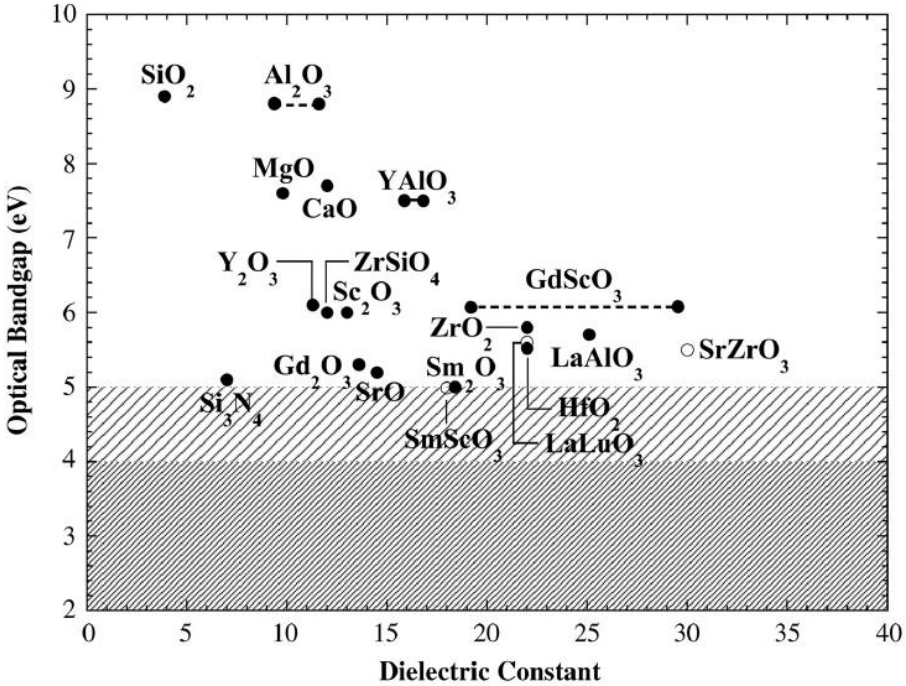

図 2.9. 様々な絶縁膜の比誘電率と光学バンドギャップの関係[39]

2.2.3 半導体中のキャリア濃度と金属／半導体の接触抵抗の関係

接触抵抗低減には、１）ショットキー障壁高さの低減、及び、２）半導体のドーパント濃度の増大の 2 つのアプローチが有効である。本項では、２）半導体のドーパント濃度の増大に着目した接触抵抗低減に関する技術的背景に関して述べる。金属／*n*-Si の接触抵抗と半導体ドーパント濃度の関係を明確にするために、(2-4)式を基に計算した結果を図 2.11 に示す。この計算過程では、*n*-Si が充分に高いドーパント濃度を保持しているとして、電界放出モデルのみを用いた。また、トンネルに寄与する電子の有効質量を $0.4m_0$（m_0：9.1095×10^{-31} kg）、トンネルに寄与する実効的リチャードソン係数を 192 A/cm^2K^2 として計算した。例えば、ITRS2012 年度版によると、2023 年にマルチゲート型トランジスタのゲート長 8.1 nm で 1.00×10^{-9} $\Omega\cdot cm^2$ 以下の接触抵抗が要求されている[41]。この要求値を満たすには、*n*-Si のドーパント濃度が 2×10^{21} cm^{-3} で、ショットー障壁高さ φ_{Bn} が約 0.2 eV 以下を必要とする。ドーパント濃度が約 10^{21} cm^{-3} 以下ならば、ショットー障壁高さを極限まで低減しても、要求値を満たすことが困難となる。従って、金属／半導体接合の接触抵抗低減には、半導体のドーパント濃度の増大が不可欠となる。しかし、半導体材料に固有のドーパントの固溶限により、ドーパントの高濃度化は制限される。ここで、Si と Ge のドーパント固溶限[42–47]を表 2.1 に示す。ドーパント固溶限は、*n*-Si で約 10^{21} cm^{-3}、*p*-Si、*n*-Ge、*p*-Ge では約 10^{20} cm^{-3} オーダー以下となる。これらのドーパント濃度では、上述の接触抵抗の要求値を満たすことが困難である。

このように、「ドーパント固溶限」といった半導体材料の物性に起因した制限により、接触抵抗の低減に限界が生じる。この限界を打破する接合技術が、今後、微細トランジスタでは必要とされる。「MIS 接合のような新しい接合構造の適用」や、「従来の半導体材料では到達できない固溶度を持つ新材料の導入」等がその技術的候補となる。

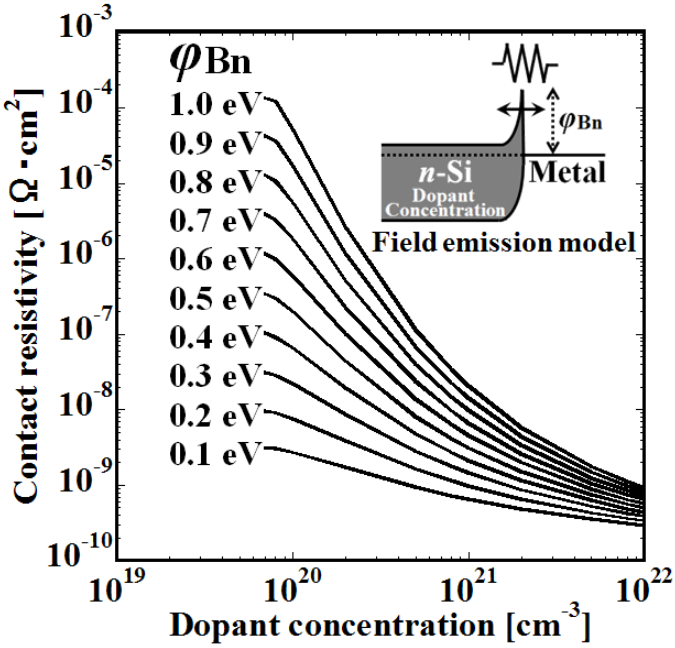

図 2.10．電界放出モデルに基づく金属／半導体接合の接触抵抗の計算値

表 2.1．Si と Ge におけるドーパントの固溶限 [cm^{-3}] [42–47]

	n-Si	*n*-Ge	*p*-Si	*p*-Ge
P	2×10^{21}	2×10^{20}	—	—
As	2×10^{21}	2×10^{20}	—	—
Sb	7×10^{19}	2×10^{19}	—	—
B	—	—	6×10^{20}	5×10^{18}
Al	—	—	2×10^{19}	4×10^{20}
Ga	—	—	4×10^{19}	5×10^{20}
In	—	—	1×10^{18}	4×10^{18}

2.3　遷移金属内包 Si クラスターを用いた接合形成技術

2.3.1　遷移金属内包 Si クラスター

1 個の遷移金属原子（*M*）を n = 7–16 個の Si 原子が取り囲んだ遷移金属内包 Si クラスター（MSi_n）は、1987 年に Beck らによって存在が示唆され[48]、2001 年に日浦らにより、特異的な安定組成の存在が報告された[49]。カーボンは平面的な sp^2 混成軌道により、クラスター（フラーレン）やチューブといった中空構造を形成することができる。一方、Si は立体的な sp^3 混成軌道を形成する性質が強いため、Si のみで構成される空洞を持ったクラスターは不安定である[50]。MSi_n クラスターでは、Si ケージ内で Si-Si の sp^3 混成軌道を形成しており、*M* 原子を Si ケージの中央に内包することで、*M* 原子と Si ケージの間で電荷移動を伴う共有結合を形成し、Si ケージ構造を安定化する（図 2.11）[50]。MSi_n クラスターの大きな特徴は、内包される *M* 原子の種類や *M* 原子を取り囲む Si 原子の数 *n*

を変えることで、MSi$_n$クラスターの電子状態を制御できる点にある。これに関連する実験結果として、図 2.12 に日浦らにより報告された W^+イオンと SiH_4 ガスから生成される $WSi_nH_x^+$クラスターの反応過程を示す[49]。W^+イオンは SiH_4 分子と衝突を繰り返すことで、W（原子番号：74）を取り囲む Si の数 n を増大させ、最終的には、n = 12 で反応が自己停止する[49, 51]。内包する M 原子が、Hf（原子番号：72）、Ta（原子番号：73）、Re（原子番号：75）、Ir（原子番号：77）の場合には、それぞれ n = 14、13、11、9 で SiH_4 分子との反応が自己停止する。自己停止する n と M の原子番号との和は、全て 86 になり、希ガス原子の Rn の原子番号と一致する（表 2.2）。以上の結果について、日浦らは次のように考察している。「MSi$_n$H$_x^+$クラスター内では、n 個の Si 原子がそれぞれ電子を 1 個ずつ M 原子に供給している。電子を受容した M 原子の電子配置が Rn と同じ電子数 86（= M の原子番号 + 供給電子数 n）の閉殻構造となることで、MSi$_n$H$_x^+$クラスターは化学的に不活性な状態となる[49]。」つまり、安定組成の MSi$_n$H$_x^+$クラスターを一つの原子とみなした場合、閉殻構造の希ガス原子と同じ電子状態とみなすことができる。この性質を利用することで、MSi$_n$ クラスターの電子状態を制御することができる。例えば、M 原子を 12 個の Si で取り囲んだ MSi$_{12}$ クラスターは、M 原子が 6 価の金属（Mo や W）の場合、12 個の M-Si の共有結合を形成して安定化する。同じ MSi$_{12}$ クラスターで、M 原子が 5 価（Nb や Ta）金属の場合、12 個の M-Si の共有結合に対して、M 原子は 12 個の Si 原子から均等に電子が供給される。この場合、MSi$_{12}$ クラスターは閉殻にならずに電子を不足させた状態となり、構造を保ったまま電子親和的な電子状態となる。M 原子が 7 価（Re）金属の場合、MSi$_{12}$ クラスターは、電子が過剰な状態となり、構造を保ったまま電子供与的な電子状態となる。これまでに、内包される M 原子が Cr、Mo、W、Hf、Ta、Re、Ir、Ni、Nb 等の MSi$_n$ クラスターが実証されている[49–53]。また、MSi$_n$ クラスターは、M 原子の種類や Si 原子の数 n により HOMO-LUMO エネルギーギャップを変化させる。Kumar らは、MSi$_n$ クラスターの種類によって、~0.2–1.7 eV で変化することを第一原理計算より報告している[54]。これまでに、内包される M の種類や Si の数の異なる MSi$_n$ クラスターについて、多数の研究結果が報告されているが、MSi$_n$ クラスターをエレクトロニクス材料として応用するまでには至っていない。

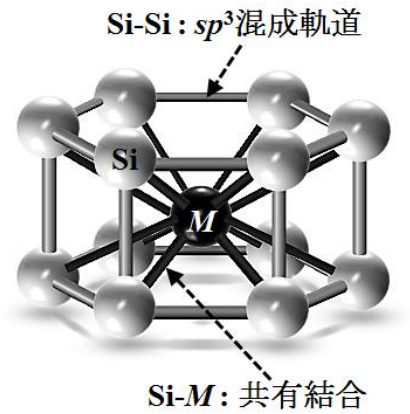

図 2.11. MSi$_{12}$ クラスター構造の概念図

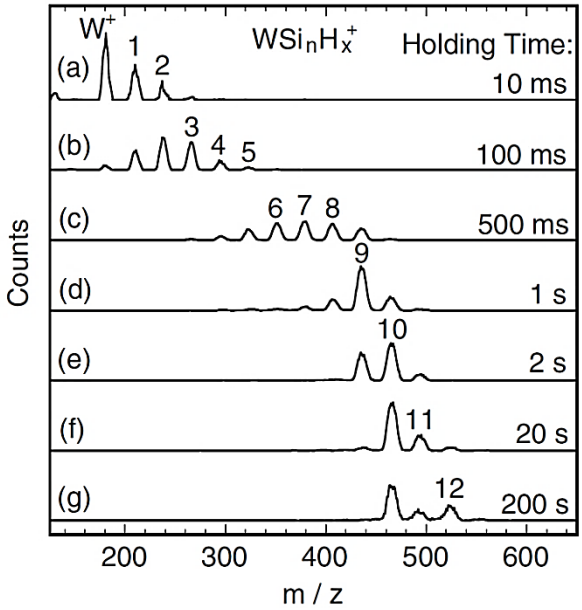

図 2.12. $WSi_nH_x^+$クラスターの時間分解質量スペクトル[49]

表 2.2. 遷移金属（*M*：Hf、Ta、W、Re、Ir）、及び希ガスである Rn の電子配置。*n* 個の Si 原子から *n* 個の電子を *M* 原子に供給することで（*M* + *n* 個：Hf + 14 個、Ta + 13 個、W + 12 個、Re + 11 個、Ir + 9 個）、遷移金属原子は Rn と同じ閉殻構造の電子配置となる。この *n* が遷移金属内包 Si クラスター（MSi_n）における安定組成となる。

電子核名	K	L		M			N				O				P		
軌道名	*1s*	*2s*	*2p*	*3s*	*3p*	*3d*	*4s*	*4p*	*4d*	*4f*	*5s*	*5p*	*5d*	*5f*	*6s*	*6p*	*6d*
最大電子数	2	2	6	2	6	10	2	6	10	14	2	6	10	14	2	6	10
Hf	2	2	6	2	6	10	2	6	10	14	2	6	2		2		
Ta	2	2	6	2	6	10	2	6	10	14	2	6	3		2		
W	2	2	6	2	6	10	2	6	10	14	2	6	4		2		
Re	2	2	6	2	6	10	2	6	10	14	2	6	5		2		
Ir	2	2	6	2	6	10	2	6	10	14	2	6	7		2		
Rn	2	2	6	2	6	10	2	6	10	14	2	6	10		2	6	

■：閉殻

一方、MSi_n クラスターを凝集した材料についても、探索的な研究が行われている。2007 年に宮崎らは、$MoSi_{12}$ クラスターの安定構造に着目し、第一原理計算により、二次元的に周期配列された $MoSi_{12}$ クラスター群が、二層のシリセンを Mo 原子で安定化する構造を持つ半導体（バンドギャップ：~0.5 eV）であることを示した[55]（図 2.13）。2008 年に内田らは、MSi_n クラスターを凝集したアモルファス膜（MSi_n 膜）が *M* の種類（*M*: Mo, W, Nb, Zr）や Si 組成比 *n* に応じて、キャリア濃度やキャリアタイプ、及びバンドギャップが変化することを実証した[56, 57]。図 2.14 にアモルファス MSi_n 膜（*M*：W、Mo）の光学ギャップの Si 組成比 *n* 依存性を示す。Si 組成比 *n* の増大に伴い、光学ギャップが増大する。また、アモルファス $MoSi_{12}$ 膜で正孔移動度 32.4 cm^2/Vs を示し、アモルファス

$NbSi_7$ 膜で電子移動度 9.88 cm^2/Vs を示す[56]。内包される *M* 原子により MSi_n 膜のキャリアタイプやキャリア移動度が変化する。これらの研究成果により、MSi_n クラスターは、単体ではなく凝集膜としても、エレクトロニクス材料としての可能性を持つと期待される。その一つとして、MSi_n 膜には、金属／半導体接合の接触抵抗低減を可能とする原子層厚の接合材料としての期待がある。MSi_n 膜は Si 基板と接合形成した際に界面準位を発生させないことや、既存の半導体材料では到達できない超高濃度キャリアを期待でき、大幅な接触抵抗の低減を図れる可能性がある。

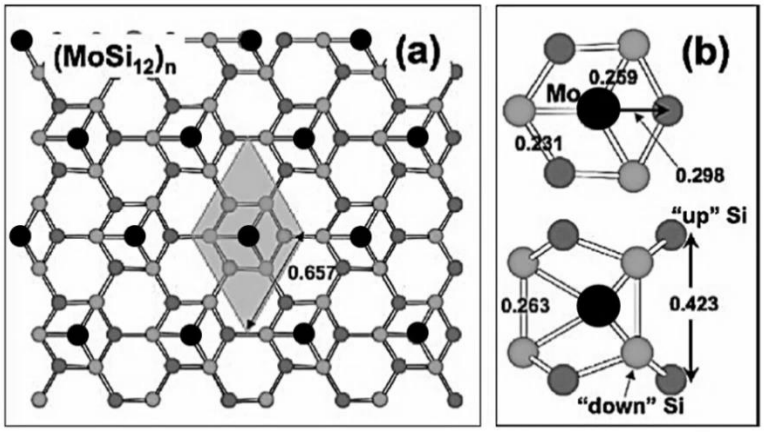

図 2.13. $MoSi_{12}$ クラスターを 2 次元的に配列させた構造。(a)台形で記した箇所が単位格子。(b) $MoSi_{12}$ クラスターの拡大図。数値の単位は nm。[55]

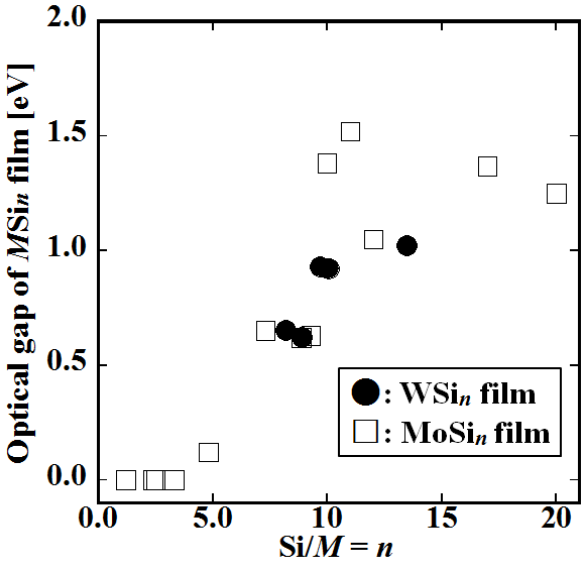

図 2.14. MS_n クラスター（*M*：W、Mo）を凝集させたアモルファス膜の光学ギャップ[57]

2.3.2　遷移金属内包 Si クラスターを用いた MIS 接合による接触抵抗低減技術

MIS（金属層／挿入層／半導体基板）接合で接触抵抗を大幅に低減するためには、「フェルミレベルピンニング解除」及び「挿入層の寄生抵抗低減」が必要である。「フェルミレベルピンニング解除」のためには、2.2.1 項で述べたように、挿入層で半導体基板表面の準位を低減する必要がある。挿入層となる遷移金属内包 Si クラスターはほとんど Si で構成されているため、半導体基板と接合形成した際に、界面準位を発生させないことが期待できる。さらに、遷移金属内包 Si クラスター材料は狭ギャップ半導体である[55–57]ことから、半導体基板との低いバンドオフセット形成が期待できる。また、遷移金属内包 Si クラスター材料の低誘電率性により、金属層と遷移金属内包 Si クラスター材料の界面におけるピンニング解除が期待できる。例えば、遷移金属酸化物は、構成原子（酸素原子と遷移金属原子）の電気陰性度差が大きいため、高い誘電率を示す[39, 40]。一方、遷移金属内包 Si クラスター材料は、構成原子（遷移金属原子と Si 原子）の電気陰性度差が小さく、低い誘電率を期待できる。また、アモルファ状態の遷移金属内包 Si クラスターの凝集材料はほとんど Si で構成されることから、バンド構造は水素化アモルファス Si に近く、1.1 eV 以下の狭い光学ギャップを示す[56, 57]。図 2.15 は、これまでに報告されている *n*-Ge の MIS 接合の技術的位置を表した模式図である。挿入層／*n*-Ge の伝導帯端バンドオフセット、ピンニング解除能力 *S*、及び挿入層の誘電率をパラメータとした。誘電率の高い TiO_2、ZnO、Si は、*n*-Ge と低い伝導帯端バンドオフセットを形成するが、金属／挿入層でピンニングが存在する。誘電率の低い SiN、GeN、Al_2O_3 は、ピンニング解除を示すが、*n*-Ge と高いバンドオフセットを形成する[29–38]。本研究では、遷移金属内包 Si クラスター材料を用いることで、従来の挿入層のトレードオフを解消し、バンドオフセットの低減とピンニングの解除を両立することを目標とした。

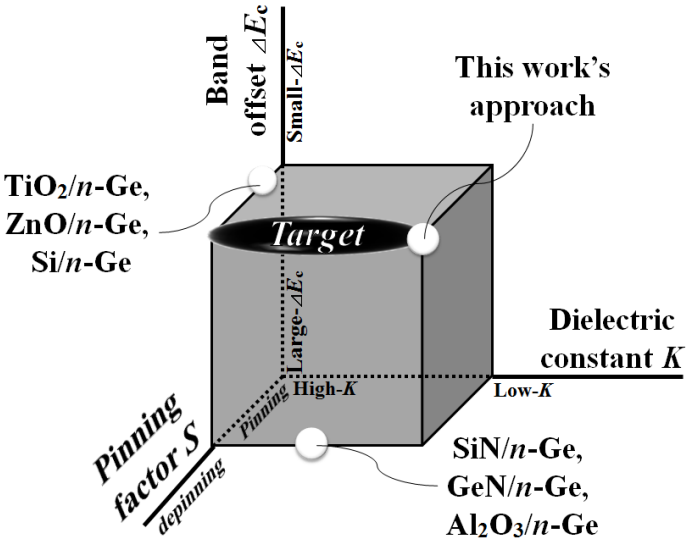

図 2.15. MIS 接合における、*n* 型 Ge と挿入層の伝導帯端バンドオフセット、MIS 接合におけるピンニング解除能力 *S*、挿入層の誘電率の関係を示した模式図。接触抵抗が最も低い理想的な MIS 接合は、バンドオフセットが小さく、ピンニングが完全に解除された状態である。

2.3.3　遷移金属内包 Si クラスターを用いた MUS 接合による接触抵抗低減技術

金属／半導体の接触抵抗低減には、半導体のドーパント濃度の増大が有効である。しかし、2.2.3 項で述べたように、半導体中ドーパントの高濃度化には物理的な限界があり、それが接触抵抗低減を制限する。さらに、1.1 節で述べたように、半導体中のドーパントの空間的なばらつきは、トランジスタ特性のばらつきに大きく影響する。これは、微細化に伴い顕著となる問題である。これらを解決するために、本研究では、遷移金属内包 Si クラスター材料を用いることで、既存の半導体材料では到達できない高キャリア濃度を有する原子層厚の半導体薄膜を追究し、金属電極／極薄の超高濃度半導体膜／半導体基板（Metal/Ultrahigh doped and ultrathin semiconductor/Semiconductor, MUS）接合の有効性を調べた。本研究で提案する MUS 接合の構造を図 2.16 に示す。金属と半導体の接触界面に遷移金属内包 Si クラスターで構成される薄膜を挿入し、遷移金属内包 Si クラスター薄膜の狭ギャップ、及び超高キャリア濃度という 2 つの特徴を利用することで、実効的な障壁高さの低減、及びキャリアの電界放出により接触抵抗を低減する。接触界面に挿入される遷移金属内包 Si クラスターは、内包される遷移金属の種類や Si 組成比によって、電子親和性を大きく変化させる。この性質を利用することで、遷移金属内包 Si クラスターを凝集させた膜のキャリア濃度を制御できる可能性がある。従来の半導体のキャリア制御の概念は、ホストとなる半導体とキャリア発生源となるドーパントの関係性から成り立つ。ドーパント濃度によりキャリア濃度が制御され、ドーパントタイプによりキャリアタイプが制御される。一方、遷移金属内包 Si クラスターを凝集させた半導体膜のキャリア制御の概念は、クラスター凝集膜中の各々のクラスターがキャリア発生源となり、クラスターの種類によりキャリア濃度やキャリアタイプを制御する。例えば、クラスター凝集膜において、1 個のクラスターが 1 個の電子を放出する場合、最大で約 10^{22} cm^{-3} の超高濃度キャリアを期待でき、既存半導体のキャリアの濃度限界を凌駕する。

以上より、本研究では、遷移金属内包 Si クラスター材料を接合形成材料に用いることで、１）ショットキー障壁高さの低減（2.3.2 項）、及び、２）半導体のキャリア濃度の増大（2.3.3 項）の 2 つのアプローチから接触抵抗低減を試みた。半導体基板として、１）では Ge、２）では Si に着目して研究を進めた。それぞれの研究結果についての詳細は第 4 章及び第 5 章で述べる。

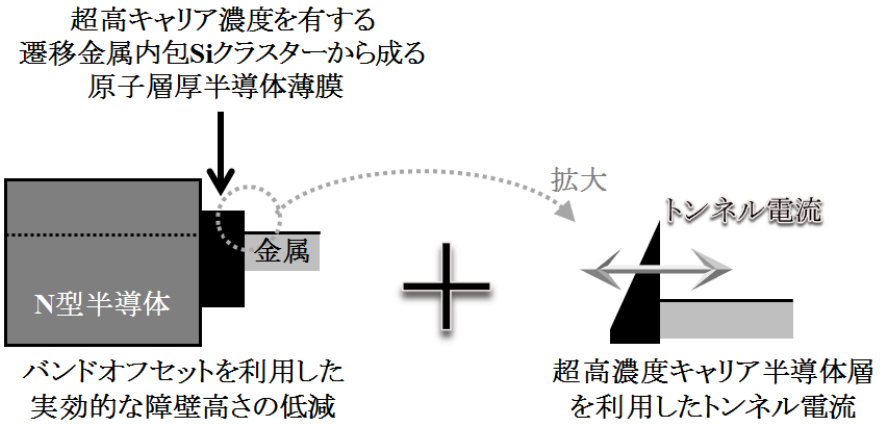

図 2.16.　遷移金属内包 Si クラスター材料を挿入層に用いた MUS 接合の概念図

2.4　まとめ

・半導体と金属の接合における電流機構には、熱電子放出モデルと電界放出モデルがある。
・半導体と金属の接触抵抗低減には、接合界面で形成されるショットキー障壁高さの低減、及び、半導体のドーパント濃度の増大が有効である。
・ショットキー障壁高さの低減には、半導体と金属の接触界面でのフェルミレベルピンニングを解除する必要がある。
・本研究では、遷移金属内包 Si クラスターを用いた MIS 接合により、フェルミレベルピンニングの解除を検討し、接触抵抗低減を目指す。
・半導体／金属の接触抵抗低減には、半導体のドーパント濃度の増大が有効であるが、半導体材料に固有のドーパント固溶限が接触抵抗低減を制限する。
・本研究では、遷移金属内包 Si クラスターを用いた MUS 接合により、接触抵抗低減を目指す。

参考文献

[1] C. A. Mead and W. G. Spitzer, “Fermi Level Position at Metal-Semiconductor Interfaces”, *Phys. Rev.* 134, A713 (1964).

[2] A. M. Cowley and S. M. Sze, “Surface States and Barrier Height of Metal Semiconductor Systems”, *J. Appl. Phys.* 36, 3212 (1965).

[3] T. Nishimura, K. Kita, and A. Toriumi, “Evidence for strong Fermi-level pinning due to metal-induced gap states at metal/germanium interface”, *Appl. Phys. Lett.* 91, 123123 (2007).

[4] A. Dimoulas, P. Tsipas, A. Sotiropoulos, and E. K. Evangelou, “Fermi-level pinning and charge neutrality level in germanium”, *Appl. Phys. Lett.* 89, 252110 (2006).

[5] S. M. Sze, “Physics of Semiconductor Devices (2nd edition)”, *Wiley-interscience* (1981).

[6] C. R. Crowell and V. L. Rideout, “Thermionic-field resistance maxima in metal-semiconductor (Schottky) barriers”, *Appl. Phys. Lett.* 14, 85 (1969).

[7] C. R. Crowell and V. L. Rideout, “Normalized thermionic-Field (T-F) Emission in metal-seimconductor (Schottky) barriers”, *Solid-State Electron.* 12, 89 (1969).

[8] D. K. Schroder, “Semiconductor material and device characterization (Third edition)”, *John Wiley & Sons, Inc.* (2006).

[9] K. Kwok and L. Ruichen “On the caluculation of Specific Contact Resistivity on (100) Si”, *IEEE Trans. Electron Devices* 37, 1535 (1990).

[10] C. G. Van de Walle and J. Neugebauer, “Universal alignment of hydrogen levels in semiconductors, insulators and solutions”, *Nature* 423, 626 (2003).

[11] J. M. Andrews and J. C. Phillips, “Chemical Bonding and Structure of Metal-Semiconductor Interfaces”, *Phys. Rev. Lett.* 35, 56 (1975).

[12] P. W. Peacock and J. Robertson, “Band offsets and Schottky barrier heights of high dielectric constant oxides”, *J. Appl. Phys.* 92, 4712 (2002).

[13] W. Mönch, “Role of Virtual Gap States and Defects in Metal-Semiconductor Contacts”, *Phys. Rev. Lett.* 58, 1260 (1987).

[14] R. T. Tung, “Recent advances in Schottky barrier concepts”, *Materials Science and Eng.* R 35, 1 (2001).

[15] J. Robertson, “Band offsets of wide-band-gap oxides and implications for future electronic devices”, *J. Vac. Sci. Technol. B* 18, 1785 (2000).

[16] W. Mönch, “Chemical trends of barrier heights in metal-semiconductor contacts: on the theory of the slope parameter”, *Appl. Suf. Sci.* 92, 367 (1996).

[17] O. F. Sankey, R. E. Allen, S. –F. Ren, and J. D. Dow, “Dangling bonds and Schottky barriers”, *J. Vac. Sci. Technol.* B 3, 1162 (1985).

[18] O. F. Sankey, R. E. Allen, and J. D. Dow, “Si/Transition-metal Schottky barriers: Fermi-level pinning by Si dangling bonds at interfacial vacancies”, *Solid State Commun.* 49, 1 (1984).

[19] V. Heine, “Theory of Surface States”, *Phys. Rev.* 138, 1689 (1965).

[20] J. Tersoff, “Schottky Barrier Heights and the Continuum of Gap States”, *Phys. Rev. Lett.* 52, 465 (1984).

[21] H. Hasegawa and H. Ohno, “Unified disorder induced gap state model for insulator-semiconductor and metal-semiconductor interfaces”, *J. Vac. Sci. Technol.* B 4, 1130 (1986).

[22] H. Hasegawa, M. Akazawa, “Interface models and processing technologies for surface passivation and interface control in III-V semiconductor nanoelectronics”, *Appl. Suf. Sci.* 254, 8005 (2008).

[23] R. T. Tung, “Chemical Bonding and Fermi Level Pinning at Metal-Semiconductor Interfaces”, *Phys. Rev. Lett.* 84, 6078 (2000).

[24] R. T. Tung, “Formation of an electric dipole at Metal-Semiconductor Interfaces”, *Phys. Rev.* B 64, 205310 (2001).

[25] K. Yamane, K. Hamaya, Y. Ando, Y. Enomoto, K. Yamamoto, T. Sadoh, and M. Miyao, “Effect of atomically controlled interfaces on Fermi-level pinning at metal/Ge interfaces”, *Appl. Phys. Lett.* 96, 162104 (2010).

[26] A. V. Thathachary, K. N. Bhat, N. Bhat, and M. S. Hegde, “Fermi level depinning at the germanium Schottky interface through sulfur passivation”, *Appl. Phys. Lett.* 96, 152108 (2010).

[27] G. W. Anderson, M. C. Hanf, P. R. Norton, Z. H. Lu, and M. J. Graham, “The S-Passivation of Ge(100)(1×1)”, *Appl. Phys. Lett.* 66, 1123 (1995).

[28] M. M. Frank, S. J. Koester, M. Copel, J. A. Ott, V. K. Paruchuri, H. Shang, and R. Loesing, “Hafnium oxide gate dielectrics on sulfur-passivated germanium”, *Appl. Phys. Lett.* 89, 112905 (2006).

[29] T. Nishimura, K. Kita, and A. Toriumi, “A Significant Shift of Schottky Barrier Heights at Strongly Pinned Metal/Germanium Interface by Inserting an Ultra-Tin Insulating Film”, *Appl. Phys. Express* 1, 051406 (2008).

[30] R. R. Lieten, S. Degroote, M. Kuijk, and G. Borghs, “Ohmic contact formation on *n*-type Ge”, *Appl. Phys. Lett.* 92, 022106 (2008).

[31] M. Kobayashi, A. Kinoshita, K. Saraswat, H. –S. P. Wong, and Y. Nishi, “Fermi level depinning in metal/Ge Schottky junction for metal source/drain Ge metal-oxide-semiconductor field-effect-transistor application”, *J. Appl. Phys.* 105, 023702 (2009).

[32] Y. Zhou, W. Han, Y. Wang, F. Xiu, J. Zou, R. K. Kawakami, and K. L. Wang, "Investigating the origin of Fermi level pinning in Ge Schottky junctions using epitaxially grown ultrathin MgO films", *Appl. Phys. Lett.* 96, 102103 (2010).

[33] D. Lee, S. Raghunathan, R. J. Wilson, D. E. Nikonov, K. Saraswat, and S. X. Wang, "The influence of Fermi level pinning/depinning on the Schottky barrier height and contact resistance in Ge/CoFeB and Ge/MgO/CoFeB structures", *Appl. Phys. Lett.* 96, 052514 (2010).

[34] J. Hu, K. C. Saraswat, and H. –S. P. Wong, "Metal/III-V Schottky barrier height tuning for the design of nonalloyed III-V field-effect transistor source/drain contacts", *J. Appl. Phys.* 107, 063712 (2010).

[35] K. Martens, A. Firrincieli, R. Rooyackers, B. Vincent, R. Loo, S. Locorotondo, E. Rosseel, T. Vandeweyer, G. Hellings, B. De Jaeger, M. Meuris, P. Favia, H. Bender, B. Douhard, J. Delmotte, W. Vandervorst, E. Simoen, G. Jurczak, D. Wouters, and J. A. Kittl, "Record low contact resistivity to n-type Ge for CMOS and Memory Applications", *Tech. Dig. Int. Electron Devices Meet.* (IEDM), 428–431 (2010).

[36] J. –Y. Jason Lin, A. M. Roy, and K. C. Saraswat, "Reduction in Specific Contact Resistivity to n^+Ge Using TiO_2 Interfacial Layer", *IEEE Electron Device Lett.* 33, 1541 (2012).

[37] P. Paramahans, S. Gupta, R. K. Mishra, N. Agarwal, A. Nainani, Y. Huang, M. C. Abraham, S. Kapadia, U. Ganguly, and S. Lodha, "ZnO: an attractive option for n-type metal-interfacial layer-semiconductor (Si, Ge, SiC) contacts", *2012 Symposium on VLSI Technology Digest of Technical Papers*, 83–84 (2012).

[38] A. Agrawal, N. Shukla, K. Ahmed, and S. Datta, "A unified model for insulator selection to form ultra-low resistivity metal-insulator-semiconductor contacts to n-Si, n-Ge, and n-InGaAs", *Appl. Phys. Lett.* 101, 042108 (2012).

[39] D. G. Schlom, J. H. Haeni, "A Thermodynamic Approach to Selecting Alternative Gate Dielectrics", *MRS Bulletin*, 27, 198 (2002).

[40] S. –G. Lim, S. Kriventsov, T. N. Jackson, J. H. Haeni, D. G. Schlom, A. M. Balvashov, R. Uecker, P. Reiche, J. L. Freeouf, and G. Lucovsky, "Dielectric functions and optical bandgaps of high-*K* dielectrics for metal-oxide-semiconductor field-effect transistors by far ultraviolet spectroscopic ellipsometry", *J. Appl. Phys.* 91, 4500 (2002).

[41] "Process integration, devices, and structures" *in Int. Tech. Roadmap for Semiconductors*, 2012 ed.

[42] S. Solmi, A. Parisini, M. Bersani, D. Giubertoni, V. Soncini, G. Carnevale, A. Benvenuti, and A. Marmiroli, "Investigation on indium diffusion in silicon", *J. Appl. Phys.* 92, 1361 (2002).

[43] S. Uppal, A. F. W. Willoughby, J. M. Bonar, A. G. R. Evans, N. E. B. Cowern, R. Morris, and M. G. Dowsett, "Ion-implantation and diffusion behavior of boron in germanium", *Physica B* 308–310, 525 (2001).

[44] S. Uppal, A. F. W. Willoughby, J. M. Bonar, N. E. B. Cowern, T. Grasby, R. J. H. Morris, and M. G. Dowsett, "Diffusion of boron in germanium at 800–900 °C", *J. Appl. Phys.* 96, 1376 (2004).

[45] S. Fischler, "Correlation between Maximum Solid Solubility and Distribution Coefficient for Impurities in Ge and Si", *J. Appl. Phys.* 33, 1615 (1962).

[46] F. A. Trumbore, “Solid Solubilities of Impurity Elements in Germanium and Silicon”, *Bell System Tech. J.* 39, 205 (1960).

[47] P. Tsouroutas, D. Tsoukalas, I. Zergioti, N. Cherkashin, and A. Claverie, “Modeling and experiments on diffusion and activation of phosphorous in germanium”, *J. Appl. Phys.* 105, 094910 (2009).

[48] S. M. Beck, “Studies of silicon cluster-metal atom compound formation in a supersonic molecular beam”, *J. Chem. Phys.* 87, 4223 (1987).

[49] H. Hiura, T, Miyazaki, and T. Kanayama, “Formation of Metal-Encapsulating Si Cage Clusters”, *Phys. Rev. Lett.* 86, 1733 (2001).

[50] T. Miyazaki, H. Hiura, and T. Kanayama, “Topology and energetics of metal-encapsulating Si fullerenelike cage clusters”, *Phys. Rev.* B 66, 121403 (2002).

[51] A. Negishi, N. Kariya, K. Sugawara, I. Arai, H. Hiura, T. Kanayama, “Size-selective formation of tungsten cluster-containing silicon cages by the reaction of W_n^+ (n = 1–5) with SiH_4”, *Chem. Phys. Lett.* 388, 463 (2004).

[52] N. Uchida, H. Yahata, and T. Kanayama, “Local modification of electronic structure of Si (111)-7×7 surfaces by forming molybdenum-encapsulating Si clusters”, *Appl. Phys. Lett.* 91, 063109 (2007).

[53] M. Ohara, K. Koyas, A. Nakajima, and K. Kaya, “Geometric and electronic structures of metal (M)-doped silicon clusters (M = Ti, Hf, Mo and W)”, *Chem. Phys. Lett.* 371, 490 (2003).

[54] V. Kumar and Y. Kawazoe, “Hydrogenated Silicon Fullerenes: Effects of H on the Stability of Metal-Encapsulated Silicon Clusters”, *Phys. Rev. Lett.* 90, 055502 (2003).

[55] T. Miyazaki and T. Kanayama, “First-principles theory for Si-based, atomically thin layered semiconductor crystal”, *Appl. Phys. Lett.* 91, 082107 (2007).

[56] N. Uchida, H, Kintou, Y. Matsushita, T. Tada, and T. Kanayama, “Synthesis of New Amorphous Semiconductors Assembled from Transition-Metal-Encapsulating Si Clusters”, *Appl. Phys. Express* 1, 121502 (2008).

[57] N. Uchida, T. Miyazaki, Y. Matsushita, K. Sameshima, and T. Kanayama, “New semiconducting silicides assembled from transition-metal-encapsulating Si clusters”, *Thin Solid Films* 519, 8456 (2011).

第 3 章　遷移金属内包 Si クラスター凝集膜の形成と物性

本章では、遷移金属内包 Si クラスターを凝集させた膜について、その形成手法や膜物性に関して説明する。特に、W 内包 Si クラスターを凝集させたアモルファス膜、及び、Si 基板上で W 内包 Si クラスターを基にエピタキシャル成長させた膜の形成やキャリア伝導特性に関して議論し、接合材料として期待できる特性を示す。

3.1　遷移金属内包 Si クラスター薄膜の形成手法

図 3.1 に、本研究で用いた $M\mathrm{Si}_n$ 膜の成膜装置を示す。遷移金属（M）から構成されるターゲットにレーザー（波長 : 532 nm、レーザーパワー : ~0.15 W）を照射することで、M 原子を蒸発させる。この M 原子と SiH_4 ガスが衝突を繰り返すことで、水素化した $M\mathrm{Si}_n\mathrm{H}_x$ クラスターが気相中で生成される。例えば W 原子と SiH_4 ガスから $\mathrm{WSi}_n\mathrm{H}_x$ クラスターを合成する場合、Si 組成比 $n<10$ の時には、衝突時の反応確率は 100%に近く、衝突回数と n の値がほぼ等しい[1]（図 3.2）。一方、$n>10$ の時には、W 原子と SiH_4 ガスの反応確率が減少し、$n=12$ で反応が停止する。本研究では、クラスターのサイズ制御のために、SiH_4 ガスの圧力を変えることで、SiH_4 ガスと M 原子の衝突回数を制御し、Si 組成比 n を制御した。次に、このように気相中で合成された $M\mathrm{Si}_n\mathrm{H}_x$ クラスターを、基板上に堆積する。基板に、絶縁体で無色透明である石英基板や下地基板の影響を排除するために高抵抗な SOI 基板を用いることで $M\mathrm{Si}_n$ 膜自体の物性評価を行い（第 3 章）、半導体である Ge 基板（第 4 章）や Si 基板（第 5 章）を用いることで $M\mathrm{Si}_n$ 膜と半導体基板の接合特性評価を行った。堆積時には、これら基板の温度を約 400 °C 未満に設定する必要がある。SiH_4 ガスは約 400 °C 以上で分解するので[2]、基板を高温（~500–650 °C）にすると基板上で水素化アモルファス Si 膜が形成されてしまう[3]。これを防ぐために、本研究では、室温から 350 °C の範囲で基板温度を設定した。基板温度を高くすることで、$M\mathrm{Si}_n\mathrm{H}_x$ クラスターに含有する SiH_4 ガス由来の水素を脱離させ、$M\mathrm{Si}_n\mathrm{H}_x$ クラスター同士の凝集を促す。原子レベルで平坦な表面を有する Si 基板上に $M\mathrm{Si}_n\mathrm{H}_x$ クラスターを堆積し、その後、加熱処理することで Si 基板上に $M\mathrm{Si}_n\mathrm{H}_x$ クラスターを基にしたヘテロエピタキシャル結晶膜を形成した。

SiH_4 ガスの圧力による $M\mathrm{Si}_n$ 膜の組成比制御の例として、図 3.3 に、MoSi_n クラスターを凝集したアモルファス膜（MoSi_n 膜）の光学ギャップ、及び電気抵抗率と成膜時における SiH_4 ガスの圧力の関係を示す。アブレーションターゲットに MoSi_2 を用いて、SiH_4 ガスの圧力を 1–50 Pa の範囲で変え、~350 °C の石英基板上に MoSi_n クラスターを堆積した。SiH_4 ガスの圧力の増大に伴い、MoSi_n 膜の光学ギャップ、及び抵抗率が増大した。本実験において、Si 組成比 n は評価していないが、$M\mathrm{Si}_n$ 膜の Si 組成比 n が増大すると、$M\mathrm{Si}_n$ 膜の光学ギャップ、及び抵抗率が増大することが報告されている[4]。従って、SiH_4 ガスの圧力により、MoSi_n 膜の組成制御が可能である。SiH_4 ガス 5 Pa で形成した MoSi_n 膜の光学ギャップ、及び抵抗率が全体のトレンドからはずれて大きい。これは、SiH_4 ガス 10 Pa で形成した MoSi_n 膜よりも、Si 組成比 n が大きいことを示している。この原因として、5 Pa で形成した MoSi_n 膜では、Si リッチに組成変化したアブレーションターゲットを使用したためと

推測する。SiH_4 ガス雰囲気中で $MoSi_2$ ターゲットへのレーザー照射が繰り返されることで、局所的に組成が Si リッチに変化する。一方、10 Pa で形成した $MoSi_n$ 膜では、使用回数の少ない $MoSi_2$ ターゲットを使用したことで、ターゲットから放出される Si 原子の数が、5 Pa で形成した $MoSi_n$ 膜よりも少なかったと推測する。SiH_4 ガスの低圧条件では、ターゲット組成も $MoSi_n$ 膜の Si 組成比 n を決める要因となり、組成制御の再現性が悪い。半導体との接合に関する研究においては、使用回数の少ないターゲットを使用し、反応飽和に相当する SiH_4 ガス 50 Pa で形成することで、MSi_n 膜の組成比の制御性や再現性の向上を図った。

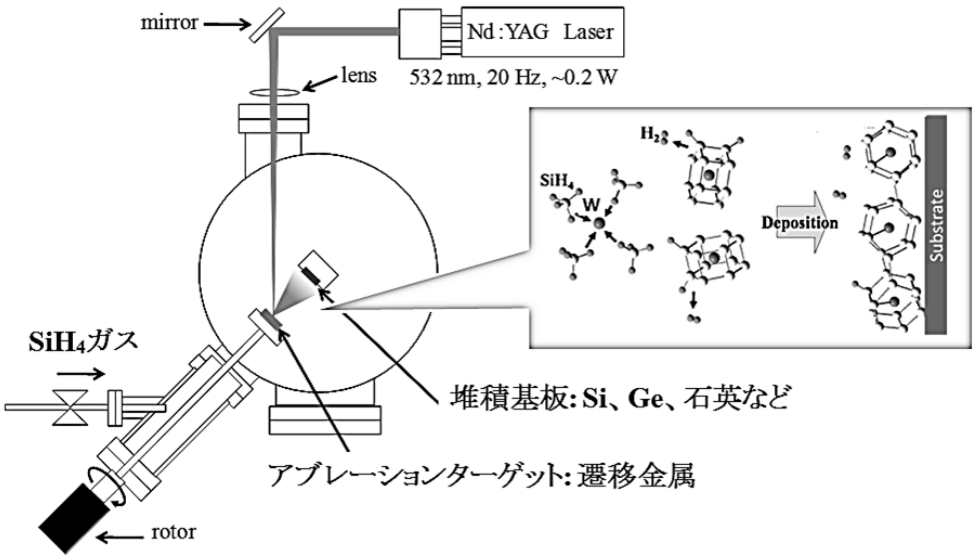

図 3.1. 遷移金属内包 Si クラスター材料の成膜装置

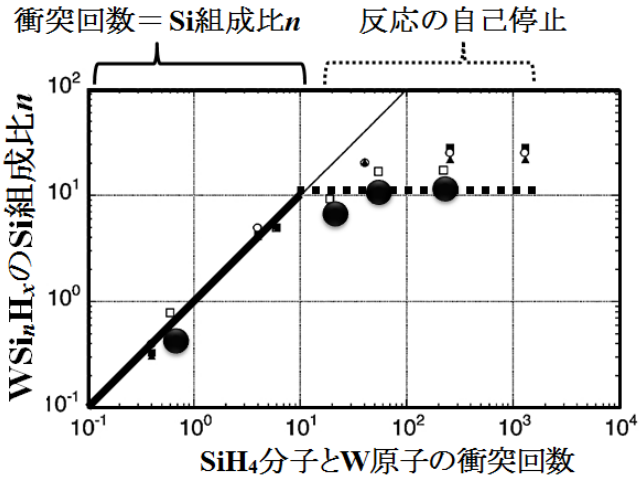

図 3.2. SiH_4 分子と W 原子の衝突回数と WSi_nH_x クラスターの Si 組成比 n の関係[1]

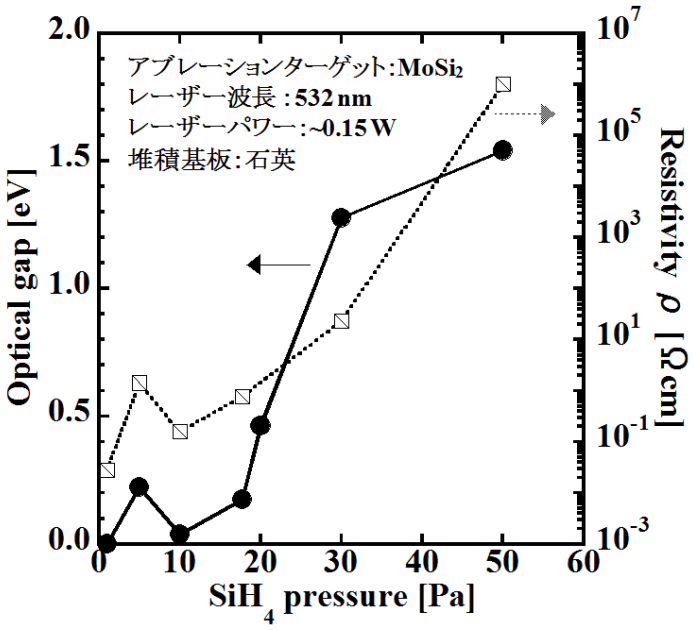

図 3.3. $MoSi_n$ 膜の光学ギャップ、及び電気抵抗率と SiH_4 ガスの圧力の関係

3.2 W 内包 Si クラスター薄膜の物性

本節では、MSi_n クラスターの中でも、安定なクラスターの存在が報告されている WSi_n クラスター[1, 4, 5]を対象とし、その凝集膜（WSi_n 膜）の物性に関して議論する。WSi_n 膜の形成には 3.1 節で述べたレーザーアブレーション法を用いた。SiH_4 ガス雰囲気中（50 Pa）で WSi_2 ターゲットをレーザーアブレーションすることで、W 原子と SiH_4 分子を気相中で反応させて WSi_nH_x クラスターを合成し、それらを石英基板上に堆積した。基板温度を~200 °C にすることで、WSi_nH_x クラスターに含有する SiH_4 ガス由来の水素を脱離させ、クラスター同士の凝集を促し、膜厚~100 nm の WSi_n 膜を形成した。この条件で形成した WSi_n 膜の Si 組成比 n は、8–10 となる[6, 7]。MSi_n 膜をトランジスタの S/D の接合材料に用いる場合、LSI 作製時のプロセス温度に対応できる高い熱的安定性が必要となる。そこで、WSi_n 膜に対して 300–500 °C の熱処理（窒素雰囲気中）を行うことで、熱処理による膜中のギャップ内準位や電気伝導特性の変化を調べた。膜の光学ギャップやバンドテイルの評価に光吸収測定を、膜中の結合状態評価に顕微ラマン散乱測定を、膜中の水素脱離温度の評価に昇温脱離測定（TDS）を、膜中のキャリア輸送特性の評価に電気伝導率測定を行った。

さらに、MUS 接合の実証を目的に、Si(100)基板上に WSi_n クラスターを堆積することで、エピタキシャル成長を行い、クラスター同士の凝集を促した。ここで、クラスター膜の電気的特性測定に下地 Si 基板の電気抵抗が影響しないように、膜厚 12nm の高抵抗 *p*-Si(100)層（ドーパント : ボロン、抵抗率 : 9–15 Ω·cm）を有する Si on Insulator (SOI)基板を用いた。この上に膜厚 1 nm の WSi_n 膜を堆積して、ホール効果測定により WSi_n 膜の電気伝導特性の評価を行った。サンプル構造を図 3.4 に示す。ここで、WSi_n 膜堆積前の SOI 基板は RCA 洗浄することで表面清浄化した。また、3.2.1、及び 3.2.2 項で述べるアモルファス状態の WSi_n 膜と、3.2.3、及び 3.2.4 項で述べるエピタキシャル成長した WSi_n 膜の作製プロセスは、用いた基板の表面処理以外、同一である（図 3.5）。これは、WSi_n 膜

を堆積する基板の表面状態が、WSi_n 膜のエピタキシャル成長やアモルファス状態の保持といった WSi_n クラスター同士の結合ネットワークの秩序性の決定要因となることを示している。なお、第 5 章で述べる Si 基板との金属接合に関する実験では、Si 基板の原子レベルでの表面平坦性、あるいは清浄性を RCA 洗浄のみで得ることができず、フラッシング加熱（~1200 °C）を利用した。本節で述べる SOI 基板を用いた実験では、RCA 洗浄のみで WSi_n 膜のエピタキシャル成長が可能となる基板表面の清浄性及び平坦性を得ることができたため、フラッシング加熱を利用しなかった。

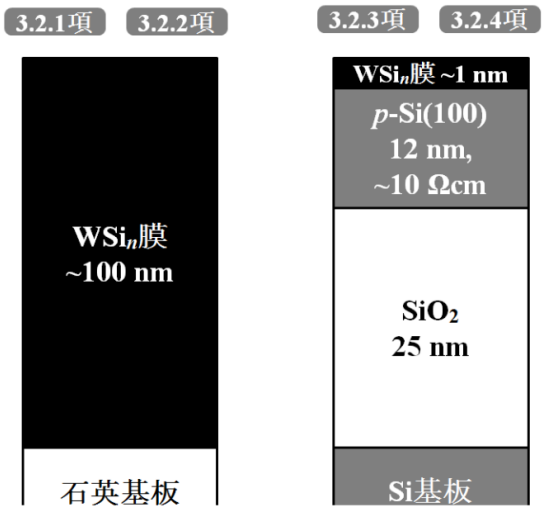

図 3.4. 石英基板上 WSi_n 膜と SOI 基板上 WSi_n 膜のサンプル断面構造の模式図

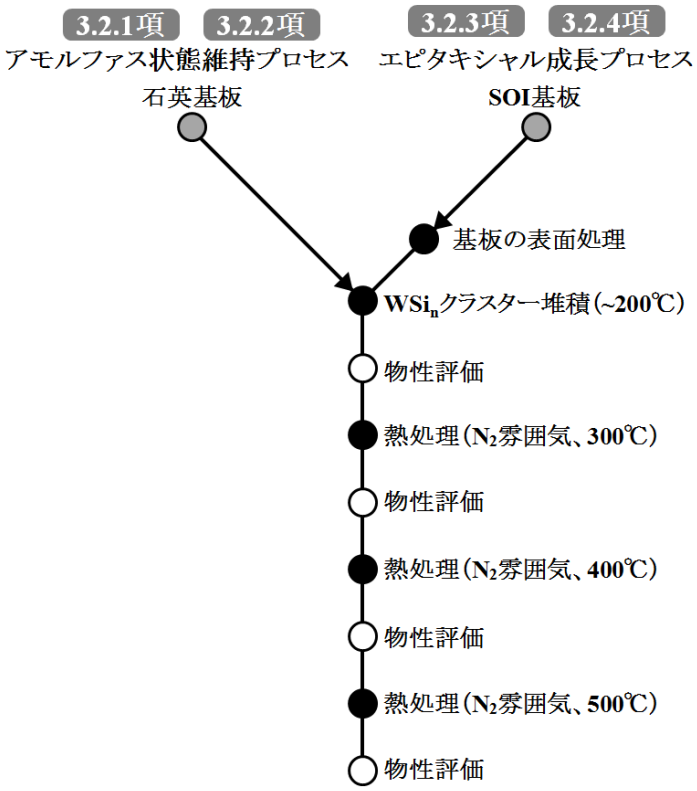

図 3.5. アモルファス WSi_n 膜とエピタキシャル WSi_n 膜の作製プロセスと物性評価のフロー図

3.2.1　アモルファス WSi_n 膜の物性評価結果

図 3.6 に石英基板上 WSi_n 膜の光吸収測定より求めた光学バンドギャップ（E_{og}）、及び Urbach スロープ[2]（E_u）を示す。膜の光吸収係数（α）から Tauc プロット[8, 9]（$\alpha \propto (E-E_{og})/E$）より求めた E_{og} は堆積直後で 0.59 eV、300 °C の熱処理後で 0.52 eV を示し、その後、熱処理温度の増大に伴い、0.65 eV まで増大した。バンドテイルの大きさの指標となる Urbach スロープ E_u（$\alpha \propto \exp[(E-E_{og})/E_u]$）は堆積直後で 0.43 eV、300 °C の熱処理後で 0.50 eV を示し、その後、500 °C の熱処理温度により 0.43 eV と減少した。バンドテイルの存在は、周期ポテンシャルの乱れに起因して、電子や正孔が移動度端で強い束縛を受けて、狭い領域に局在していることを示している[2, 8, 9]。

図 3.7 に WSi_n 膜のラマン散乱測定の結果を示す。水素化アモルファス Si と似た TO フォノンピークを有する。従って、石英基板上の WSi_n 膜は、WSi_n クラスターを単位構造として、Si 原子が水素化アモルファス Si と類似のネットワークを形成している。500 °C の熱処理までアモルファス状態を維持している。

図 3.8 に、TDS（昇温速度 : 20 °C/min）によるアモルファス WSi_n 膜（室温堆積）の水素（m/z = 2）の脱離スペクトルを示す。約 180 °C、約 270 °C、及び約 500 °C をピークにして水素が脱離した。ここで、ピーク位置は、脱離ピークをガウス分布で近似して導出した。約 180 °C の脱離ピークは、サンプルの大気搬送時にサンプル表面に吸着した水に起因している。約 270 °C（一次ピーク）、及び約 500 °C（二次ピーク）の脱離ピークは SiH_4 ガス由来の残留水素である。一次、及び二次ピーク時の水素脱離量は、吸着水に由来した水素脱離のピーク量よりも少ない。これは、アモルファス WSi_n 膜中に残留する SiH_4 ガス由来の水素が極めて少量であることを示唆している。ラマン散乱測定によりアモルファス WSi_n 膜中の Si-H 結合の伸縮振動ピーク（~2100 cm^{-1}）を検出できないことも、含有水素量が少ないことを裏付けている。一方、水素化アモルファス Si でも、膜厚や作製手法にも依存するが、約 400 °C と約 600 °C に SiH_4 ガス由来の水素脱離ピークが報告されている[10, 11]。アモルファス WSi_n 膜の水素脱離ピークが、水素化アモルファス Si よりも低温化していることは、WSi_nH_x クラスター中の水素が Si_nH_x よりも弱い結合力を有すること[1, 12, 13]に起因している。

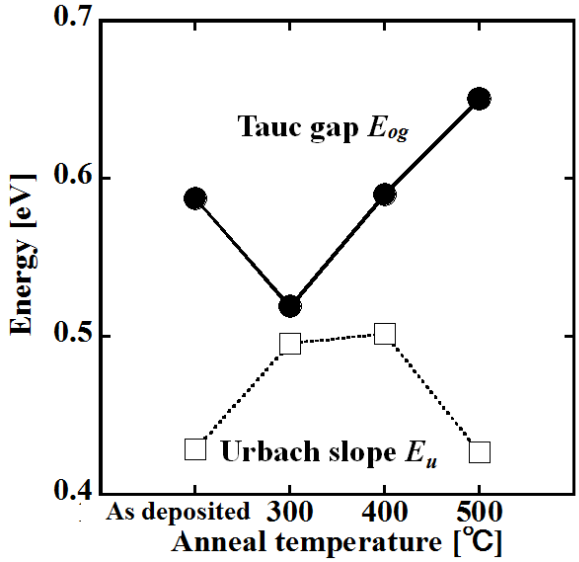

図 3.6.　光吸収測定より得られたアモルファス WSi_n 膜の光学ギャップ、及び Urbach スロープ

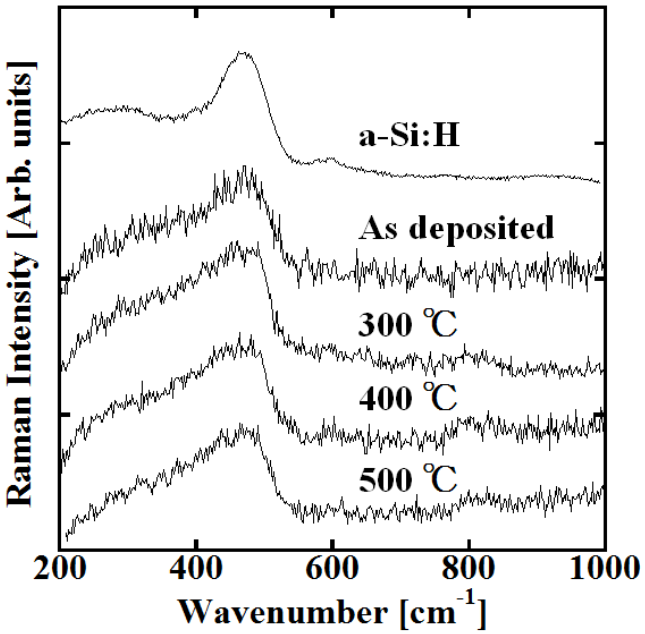

図 3.7. アモルファス WSi_n 膜のラマン散乱スペクトル（ラマン励起レーザー波長：532 nm）

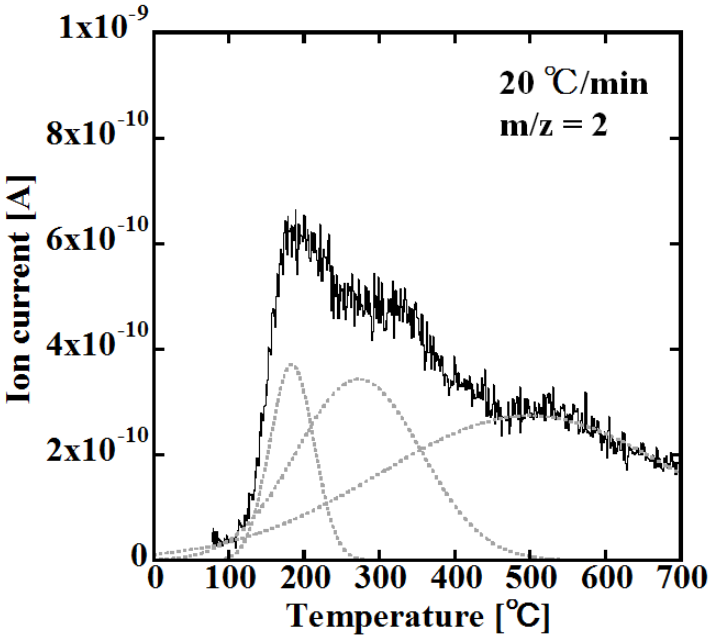

図 3.8. アモルファス WSi_n 膜の TDS スペクトル

図 3.9 にホール効果測定より求めたアモルファス WSi_n 膜のキャリア移動度、及びキャリア濃度と熱処理温度の関係を示す。ここで、アモルファス WSi_n 膜の膜厚を熱処理に因らず 100 nm で一定と仮定して、キャリア濃度を導出した。300 °C の熱処理により、電子移動度が減少し、電子濃度が増大した。400 °C 及び 500 °C の熱処理後では、電子移動度が減少し、電子濃度はほとんど変化しなかった。

図 3.10 にアモルファス WSi_n 膜の電気抵抗率と熱処理温度の関係を示す。熱処理の高温化に伴い、

電気抵抗率は減少した。

図 3.11 にホール効果測定により得られたアモルファス WSi_n 膜のキャリア移動度の温度依存性を示す。堆積直後のアモルファス WSi_n 膜では、300 K から 340 K の測定温度で移動度は負、つまり電子的で、350 K から 400 K では正、つまり正孔的であった。また、熱処理温度の高温化に伴い、キャリア移動度の温度依存性が小さくなった。

図 3.12 に、電気伝導率の値から導出した伝導帯の移動度端からフェルミレベルまでのエネルギー差（E_c-E_f）の温度依存性を示す。ここで、E_f は、アモルファス WSi_n 膜のキャリア移動度 μ の温度変化がキャリア濃度 n の温度変化と比べて無視できると仮定し、電気伝導率 σ のアレニウスプロットの各温度での傾きで求めた（(3-1)(3-2)式）。

$$\sigma = qn\mu \tag{3-1}$$

$$n = N_c exp\left[\frac{-(E_c - E_f)}{kT}\right] \tag{3-2}$$

図 3.12 に示すように、測定温度の上昇に伴い、E_c-E_f は増大した。また、熱処理後のアモルファス WSi_n 膜では、測定温度が 300 K 付近より高温になると、E_c-E_f が飽和した。これは、温度の上昇に伴い、フェルミレベルが真性フェルミレベルに近づくためと考えられる。従って、熱処理後のアモルファス WSi_n 膜の真性フェルミレベルは、300–400 K の温度範囲の E_c-E_f である~0.05 eV と見積もられる。さらに、真性フェルミレベルがミッドギャップにあると仮定すると、この 2 倍の値となる~0.10 eV が、アモルファス WSi_n 膜の伝導帯の移動度端から価電子帯の移動度端までの移動度ギャップとなる。

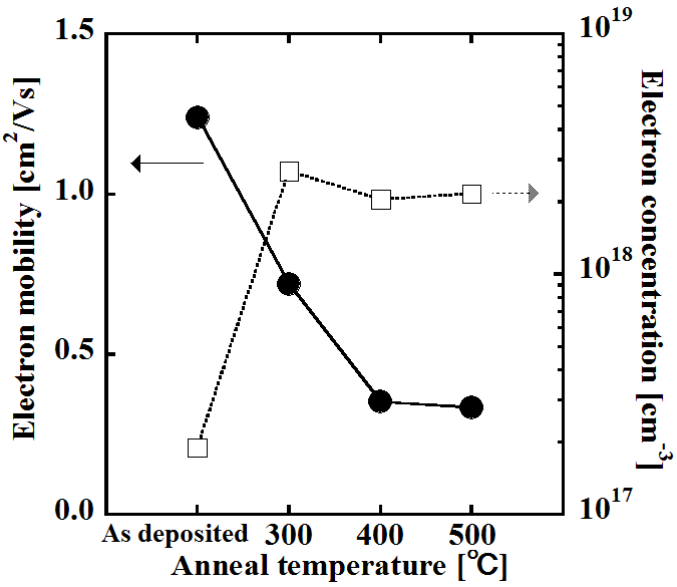

図 3.9. アモルファス WSi_n 膜の室温（300 K）におけるキャリア移動度、及びキャリア濃度と熱処理温度の関係

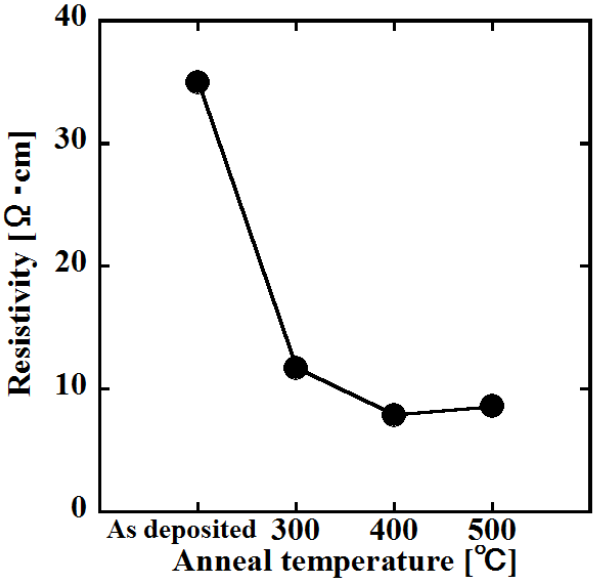

図 3.10. アモルファス WSi_n 膜の電気抵抗率と熱処理温度の関係

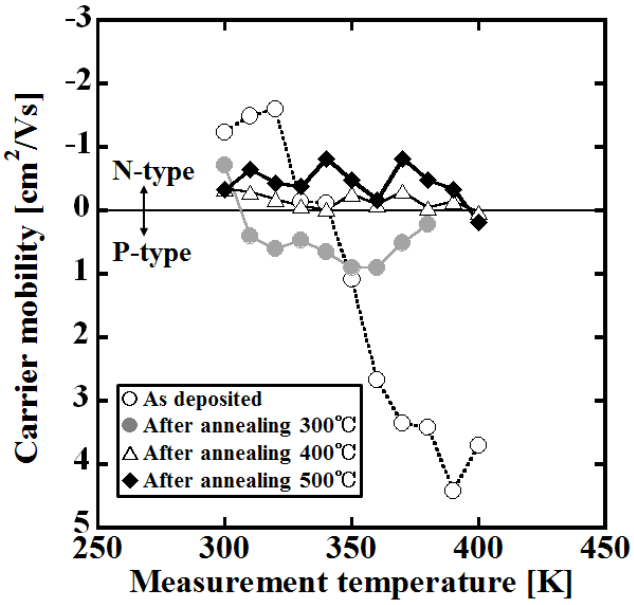

図 3.11. アモルファス WSi_n 膜のキャリア移動度の温度依存性

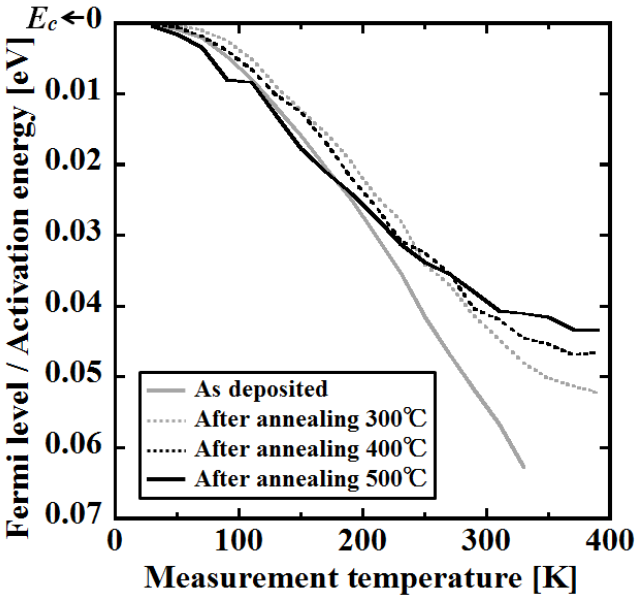

図 3.12. アモルファス WSi_n 膜のフェルミレベルの温度依存性

3.2.2 アモルファス WSi_n 膜の物性の考察

熱処理に伴い、アモルファス WSi_n 膜のバンド構造が変化した理由を、次のように考察する。300 °C で熱処理後のアモルファス WSi_n 膜では、移動度端の乱れが増大し、バンドの局在状態密度が増大した（図 3.6）。これは、水素脱離（TDS の一次ピーク）による Si ダングリングボンドの発生に由来している。一方、500 °C で熱処理後のアモルファス WSi_n 膜では、移動度端の乱れが収まり、バンドの局在状態の密度が減少した（図 3.6）。これには、TDS 二次ピークの水素脱離によるバンドテイルの増大よりも、クラスター同士の結合ネットワークの再配列によるバンドテイルの減少の影響が大きい。従って、熱処理は、WSi_n クラスターのネットワークを秩序化する効果がある。

熱処理に伴い、アモルファス WSi_n 膜のキャリア伝導特性が変化した理由を、次に述べる。移動度の正負が測定温度によって変わることから分かるように、アモルファス WSi_n 膜は、両極性半導体である。堆積直後の膜は、温度の上昇に伴い、フェルミレベルが伝導帯の移動度端から価電子帯の移動度端に近づき（図 3.12）、キャリアタイプが *n* 型から *p* 型に変化する。真性フェルミレベルが伝導帯移動度端よりも、価電子帯移動度端寄りに存在することを示している。言い換えれば、伝導帯側の局在準位密度が大きく、真性状態では伝導に寄与できない局在した電子が多い。熱処理後の膜では、温度に関わらずキャリアタイプが *n* 型から変化しなくなる。熱処理により、価電子帯と伝導帯の局在状態密度が変化し、真性フェルミレベルと移動度端の距離が変化したためであると、考えている。熱処理に伴い、電子濃度が増大し電子移動度が減少した（図 3.9）。この理由は、次のとおりである。熱処理に伴い、局在準位密度が減少して、電子濃度と正孔濃度が共に増大し、電気抵抗率が減少する（図 3.10）。この時、電子濃度と正孔濃度が均衡することで、ホール起電力が実効的に小さく導出される。その結果、見かけの電子濃度が増大し（電子濃度 ∝ ホール起電力$^{-1}$）、電子移動度が減少したように見える（電子移動度 ∝ ホール起電力）。

以上より、熱処理後のアモルファス WSi_n 膜のバンド構造は図 3.13 のように表される。真性フェルミレベルはミッドギャップ近傍に存在し、フェルミレベルは温度の上昇に伴い真性フェルミレベ

ルに接近する。移動度ギャップは、Si や Ge といった半導体のバンドギャップと同様に温度依存性があると推測されるが、図 3.12 のフェルミレベルの温度依存性には影響しない。局在状態を起因とするバンドテイル状態をつくることで、光学ギャップ（~0.6 eV）よりも小さな移動度ギャップ（~0.1 eV）を形成する。このバンド構造は、宮崎らにより報告されている $MoSi_{12}$ クラスターを凝集させたアモルファス膜のバンド構造[14, 15]と類似している。図 3.14 に示すように、バンドギャップはほとんど開かないが、フェルミレベル近傍に状態密度の深い落ち込みがある。なお、$MoSi_{12}$ クラスター単体の HOMO-LUMO ギャップは 0.953 eV[13]、$MoSi_{12}$ クラスターを 2 次元的に配列させたクラスター群のバンドギャップは~0.5 eV[16]を示す。

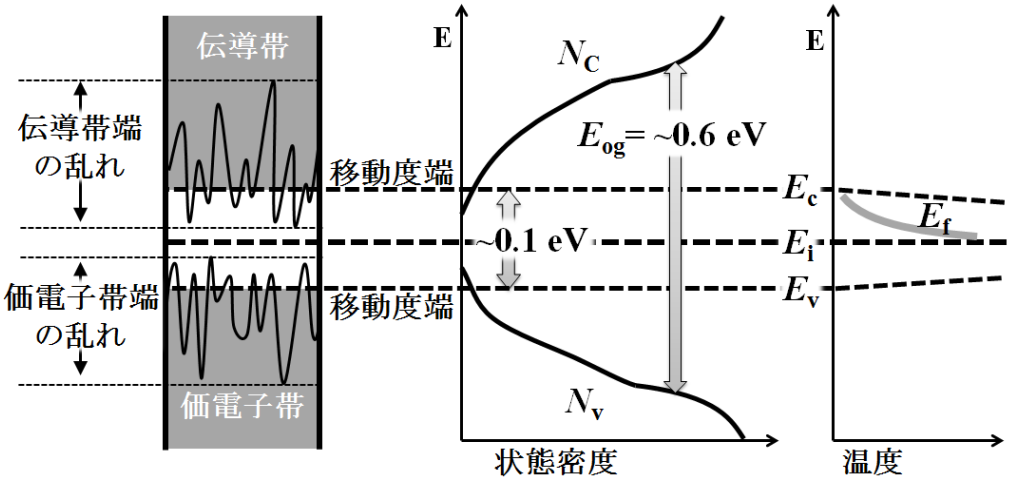

図 3.13. 熱処理後のアモルファス WSi_n 膜のバンド構造の模式図

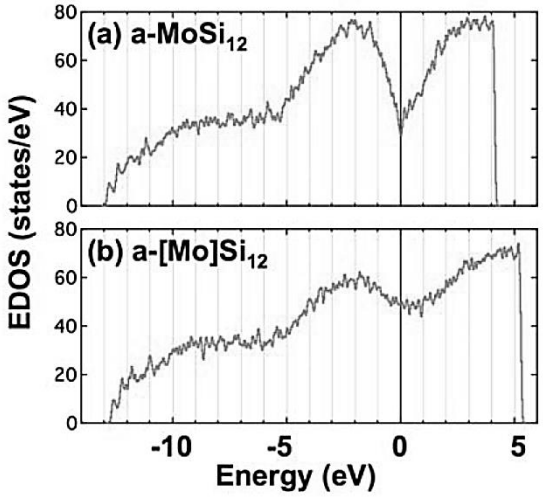

図 3.14. 第一原理計算により求められた(a)アモルファス $MoSi_{12}$ 膜の状態密度、及び(b)アモルファス $MoSi_{12}$ 膜中の Mo を原子空孔とした膜の状態密度[14]

3.2.3　エピタキシャル W 内包 Si クラスター薄膜の結合状態と構造

図 3.15 に、SOI 基板上でエピタキシャル成長した WSi_n 膜（膜厚：~1 nm）の断面 STEM 像を示す。このエピタキシャル WSi_n 膜は、堆積後に 500 °C で熱処理されている。Si(100)基板上エピタキシャル WSi_n 膜（n = ~10）の物性は、Park らにより、次のように報告されている[6]。

・Si の結合状態が、結晶 Si と熱平衡組成シリサイド WSi_2 の中間的な状態をとる。

・Si 基板と比較して(100)方位に面間隔が 10 %程度伸びている。

・価電子帯端がフェルミレベルから~0.5 eV 低い位置にあり、エネルギーギャップを有する半導体である。

図 3.16(a)に、Park らにより報告されている Si(100)基板上エピタキシャル WSi_n 膜の XPS 測定の結果を示す[6]。n-Si(100)基板、及び熱平衡組成シリサイドである W ダイシリサイド（WSi_2）膜と比較している。Si 基板は、約 3.5 eV に Si 原子の p 軌道に起因する結合エネルギーのピークを有する。WSi_2 膜は、約 2.8 eV に W 原子の d 軌道と Si 原子の p 軌道の混成軌道に起因する結合エネルギーのピークを有する。一方、エピタキシャル WSi_n 膜は、これらの中間的な結合エネルギー約 3.0 eV を有する。従って、エピタキシャル WSi_n 膜中の Si 原子は、Si 基板の Si-Si 結合と WSi_2 膜の W-Si 結合との中間的な結合状態を有する。図 3.17 に、想定されるエピタキシャル WSi_n 膜と WSi_2 膜の結合ネットワークのトポロジーを表す模式図を示す。WSi_2 膜では、Si-W-Si-W-Si-W-…結合のネットワークを形成している。一方、エピタキシャル WSi_n 膜では、(Si-W-Si)-(Si-W-Si)-(Si-W-Si)-…結合のネットワークを形成している。これは WSi_n クラスター(Si-W-Si)同士の結合ネットワークを示している。これが、エピタキシャル WSi_n 膜中では、Si 原子が Si と WSi_2 の中間的な結合状態を有する理由である。ちなみに、図 3.17 の WSi_n 膜の結晶構造では Si(001)にエピタキシャル的に整合することはできないので、図の構造は結合の状況を表す模式図である。なお、図 3.16(a)の Si 基板とエピタキシャル WSi_n 膜の 10.2 eV 及び 7.8 eV の 2 つのピークはそれぞれ Si 基板の s 軌道、及び s-p 混成軌道に由来する。図 3.16(b)は、それぞれの価電子帯端を XPS で評価した結果である。結合エネルギー0 eV がフェルミレベル、XPS 信号強度の立ち上がりのしきい値が価電子帯端を示す。n-Si(100)基板では、フェルミレベルから価電子帯端までのエネルギーが 0.68 eV、WSi_2 膜が~0 eV、エピタキシャル WSi_n 膜が 0.49 eV を示す。これは、エピタキシャル WSi_n 膜がバンドギャップを有する半導体膜であることを示している。

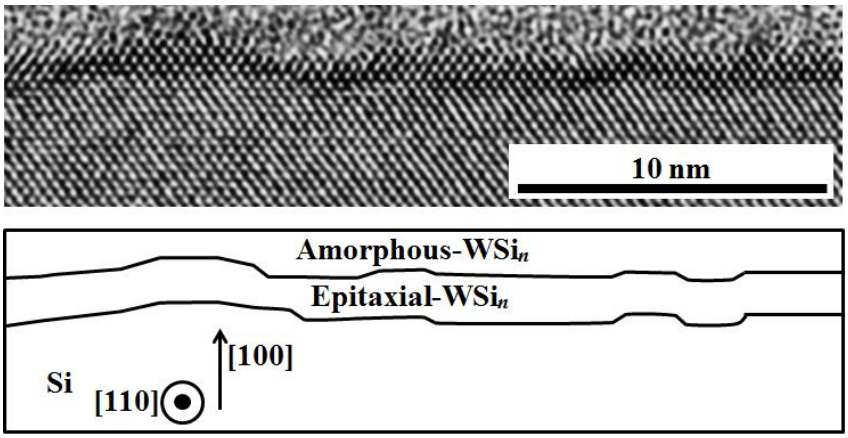

図 3.15.　SOI 基板上でエピタキシャル成長した WSi_n 膜の断面 STEM 像

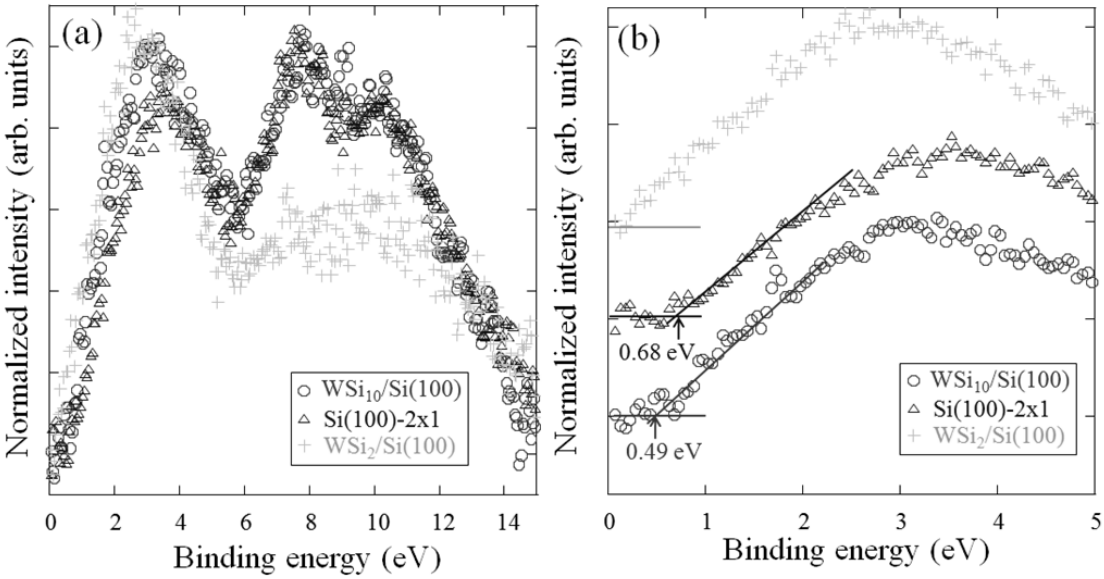

図 3.16. Si(100)基板上エピタキシャル WSi_n 膜（n = ~10）、Si(100)、Si(100)基板上 WSi_2 膜の(a)結合エネルギー、及び(b)価電子帯端を示す XPS スペクトル[6]

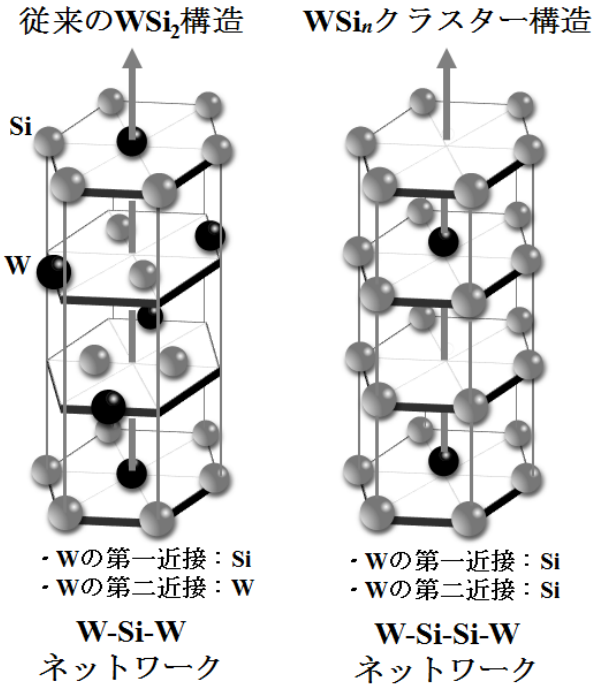

図 3.17. 熱平衡組成の WSi_2 膜、及びエピタキシャル WSi_n 膜の結合ネットワークのトポロジーを表す模式図

3.2.4　エピタキシャル W 内包 Si クラスター薄膜のキャリア伝導特性

SOI 基板上エピタキシャル WSi_n 膜のホール起電力は、*n* 型のキャリアタイプを示した（表 3.1）。一方で、SOI 層は~10^{15} cm^{-3} のキャリア濃度を有する低濃度 *p* 型半導体である。そのため、*n* 型半導体のエピタキシャル WSi_n 膜と *p-n* 接合を形成すると、膜厚 12 nm の SOI 層は完全に空乏化する。SOI 層のみのシート抵抗は室温で~10^7 Ω/sq.であり、エピタキシャル WSi_n 膜の室温でのシート抵抗~10^4–10^5 Ω/sq.よりも桁違いに大きい。これらの理由により、本試料で評価されるキャリア伝導特性は、エピタキシャル WSi_n 膜のキャリア伝導特性である。図 3.18 に、SOI 基板上エピタキシャル WSi_n 膜のシート抵抗の温度依存性を示す。温度上昇に伴いシート抵抗は減少し、半導体的な電気伝導の温度依存性を示した。室温付近での電気抵抗率とその活性化エネルギーを図 3.19 に示す。ここで、電気抵抗率は、エピタキシャル WSi_n 膜の膜厚が熱処理温度によらず、1 nm で一定と仮定して導出した。キャリア移動度の温度変化がキャリア濃度の温度変化と比べて無視できると仮定すると、活性化エネルギーは、伝導帯端からフェルミレベルまでのエネルギーを示す（(3-1)(3-2)式）。図 3.19 に示すように、熱処理の高温化に伴い、キャリア濃度が減少し電気抵抗率が増大した。熱処理後の膜の伝導帯端からフェルミレベルまでのエネルギーは、~0.16 eV となった。エピタキシャル WSi_n 膜の価電子帯端からフェルミレベルまでのエネルギーは、~0.5 eV である（図 3.16(b)）。従って、熱処理後のエピタキシャル WSi_n 膜のバンドギャップは、~0.66 eV と見積もられる（図 3.20）。

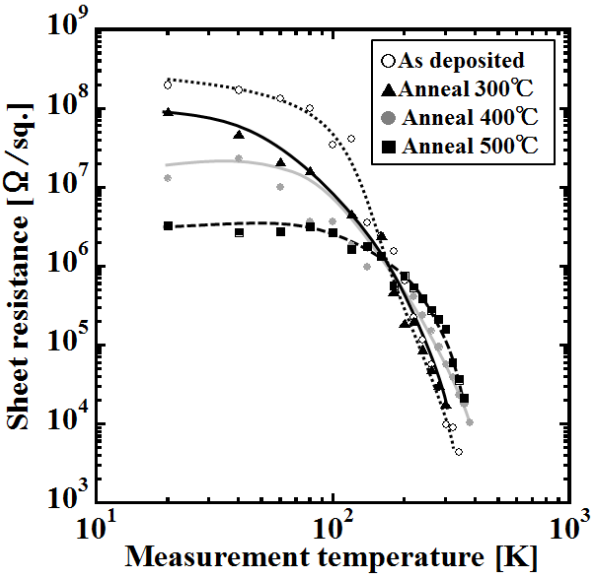

図 3.18.　SOI 基板上エピタキシャル WSi_n 膜のシート抵抗の温度依存性

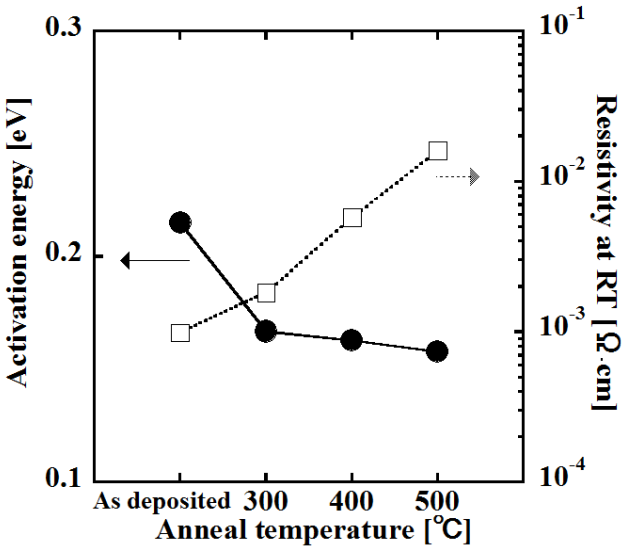

図 3.19. エピタキシャル WSi_n 膜の室温での活性化エネルギー、及び、電気抵抗率の熱処理依存性

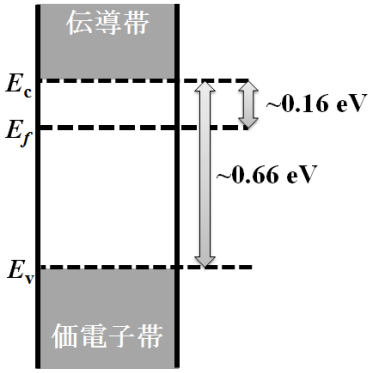

図 3.20. 熱処理後のエピタキシャル WSi_n 膜のバンド模式図

3.2.5 アモルファス WSi_n 膜とエピタキシャル WSi_n 膜のキャリア伝導特性の比較

表 3.1 に、SOI 基板上と石英基板上の WSi_n 膜の室温におけるキャリア伝導特性を示す。SOI 基板上 WSi_n 膜の抵抗率、及び活性化エネルギーは、石英基板上 WSi_n 膜と桁で異なる。従って、SOI 基板上の WSi_n 膜は、堆積直後からエピタキシャル成長した WSi_n 膜が形成されている。堆積直後、及び、300 °C で熱処理後のエピタキシャル WSi_n 膜では、ホール起電力を測定することができなかった。エピタキシャル WSi_n 膜（膜厚：~1 nm）の高いシート抵抗に起因するホール起電力の測定限界を考慮すると、堆積直後、及び熱処理 300 °C のエピタキシャル WSi_n 膜のキャリア移動度は約 4 cm^2/Vs 以下である。500 °C の熱処理後のエピタキシャル WSi_n 膜では、ホール効果測定より、~8 cm^2/Vs の電子移動度、及び、~6.5×10^{19} cm^{-3} の電子濃度が得られた。これらの値は、アモルファス WSi_n 膜よりも高い値である。エピタキシャル WSi_n 膜の有する高電子濃度、及び狭ギャップの性質は、*n*-Si 基板上での MUS 接合（2.3.2 項）に有効である。

表 3.1. SOI 基板上と石英基板上の WSi_n 膜の室温におけるキャリア伝導特性

		As deposited	After annealing 300 ℃	After annealing 400 ℃	After annealing 500 ℃
On SOI substrate	Electron mobility [cm^2/Vs]	—	—	8.79	8.26
	Electron density [$/cm^3$]	—	—	8.07×10^{19}	6.54×10^{19}
	Resistivity [Ω・cm]	9.87×10^{-4}	1.82×10^{-3}	5.73×10^{-3}	1.60×10^{-2}
	Activation energy [eV]	0.215	0.167	0.163	0.158
On glass substrate	Electron mobility [cm^2/Vs]	1.24	0.72	0.35	0.34
	Electron density [$/cm^3$]	1.90×10^{17}	2.69×10^{18}	2.05×10^{18}	2.16×10^{18}
	Resistivity [Ω・cm]	34.6	11.9	7.93	8.62
	Activation energy [eV]	0.057	0.045	0.042	0.041

エピタキシャル WSi_n 膜の高い電子濃度の起源は、以下の 2 つのモデルが推測される。1 つ目は、局在準位や欠陥準位によるキャリアの補償モデルである。WSi_n クラスターでは、内包 W 原子は取り囲む Si 原子との電荷移動でクラスター内の W-Si 共有結合を安定化している。6 個の価電子を持つ W 原子は、12 個の Si 原子で取り囲まれることで安定化する。WSi_n クラスター（n= 8–10）のとき、結合に寄与しない W 原子の価電子は過剰な電子となり、膜内で自由電子として働くと考えられる。しかしながら、WSi_n 膜がアモルファス状態の時、バンド内に局在準位や欠陥準位が多数存在していて、自由電子を補償している。エピタキシャル成長することで、バンド内で自由電子を補償していた局在準位や欠陥準位が大幅に減少し、エピタキシャル WSi_n 膜の高濃度キャリアが顕在化したと考える。2 つ目は、構造欠陥を起源としたキャリア発生のモデルである。WSi_n クラスター（n= 8–10）の安定構造と Si(100)結晶構造が相違している場合、WSi_n クラスターは、Si(100)基板上でエピタキシャル成長する際に、Si(100)結晶の格子と整合するためにクラスター構造に組成変化や歪みを生じさせなければならない。WSi_n 膜がアモルファス状態の時、WSi_n クラスターはクラスター同士の結合角に自由度を残すことで、WSi_n クラスターの安定構造を保っている。エピタキシャル成長すると、クラスター同士の結合角は自由度を失い、Si(100)結晶と格子整合しようとする。この時、クラスター構造に歪みが生じるため、構造の歪を緩和し安定化するために膜内で構造欠陥を形成する。構造欠陥は例えば、W 原子欠損等が考えられる。この膜中の構造欠陥がキャリアの発生の起源となっていると考える。図 3.18 のように、低温でのシート抵抗率は、アニール温度の上昇と共に大幅に低下する。この変化が、アニールによる欠陥の消滅によってキャリア濃度が増加したことに起因すると考えると、図 3.18 および表 3.1 の結果は、第一のモデルを支持している。

3.3　まとめ

本章では、遷移金属内包 Si クラスター薄膜（MSi$_n$ 膜）の形成と物性に関して議論し、以下の結論を得た。

・MSi$_n$ 膜の Si 組成比 n の制御には、SiH_4 ガス圧力を変えて、M 原子と SiH_4 分子の衝突回数を制御する手法が有効である。

・堆積基板の種類や基板の表面処理を変えることで、WSi$_n$ 膜のアモルファス膜（石英基板上）とエピタキシャル結晶膜（Si 基板上）を作り分けることができる。

・アモルファス WSi$_n$ 膜は、~0.5–0.6 eV の光学ギャップを持ち、~0.1 eV の移動度ギャップを持つ半導体である。

・熱処理されたアモルファス WSi$_n$ 膜は、アモルファス状態を維持した上で、クラスター同士の結合ネットワークを秩序化させる。

・エピタキシャル WSi$_n$ 膜は、~0.66 eV のバンドギャップを持つ n 型半導体である。

・エピタキシャル WSi$_n$ 膜は、~6.5×10^{19}–8.1×10^{19} cm^{-3} の高い電子濃度を持つ。

参考文献

[1] A. Negishi, N. Kariya, K. Sugawara, I. Arai, H. Hiura, T. Kanayama, “Size-selective formation of tungsten cluster-containing silicon cages by the reaction of W_n^+ (n = 1–5) with SiH_4”, *Chem. Phys. Lett.* 388, 463 (2004).

[2] 田中一宜, 丸山瑛一, 嶋田嘉一, 岡本博明, “アモルファスシリコン”, オーム社, (1993).

[3] F. E. Leys, R. Bonzom, B. Kaczer, T. Janssens, W. Vandervorst, B. D. Jaeger, J. V. Steenbergen, K. Martens, D. Hellin, J. Rip, G. Dilliway, A. Delabie, P. Zimmerman, M. Houssa, A. Theuwis, R. Loo, M. Meuris, M. Caymax, and M. M. Heyns, “Thin epitaxial Si films as a passivation method for Ge(100): Influence of deposition temperature on Ge surface segregation and the high-k/Ge interface quality”, *Mat. Sci. Semi. Processing* 9, 679 (2006).

[4] N. Uchida, H, Kintou, Y. Matsushita, T. Tada, and T. Kanayama, “Synthesis of New Amorphous Semiconductors Assembled from Transition-Metal-Encapsulating Si Clusters”, *Appl. Phys. Express* 1, 121502 (2008).

[5] T. Miyazaki and T. Kanayama, “First-principles theory for Si-based, atomically thin layered semiconductor crystal”, *Appl. Phys. Lett.* 91, 082107 (2007).

[6] S. J. Park, N. Uchida, T. Tada, and T. Kanayama, “Electronic properties of W-encapsulated Si cluster film on Si (100) substrates”, *J. Appl. Phys.* 111, 063719 (2012).

[7] N. Okada, N. Uchida, and T. Kanayama, “Low-barrier heterojunction of epitaxial silicide composed of W-encapsulating Si clusters with n-type Si”, *Appl. Phys. Lett.* 101, 212103 (2012).

[8] J. Tauc, “Absorption edge and internal electric fields in amorphous semiconductors”, *Mat. Res. Bull.* 5, 721 (1970).

[9] J. Tauc and A. Menth, “States in the gap”, *J. Non-cryst. Solids* 8, 569 (1972).

[10] W. Beyer and H. Wagner, “The role of hydrogen in a-Si:H – Results of evolution and annealing studies”, *J. Non-cryst. Solids* 59 & 60, 161 (1983).

[11] J. Costa, G. Sardin, J. Campmany and E. Bertran, “Preparation of nanoscale amorphous silicon based powder in a square-wave-modulated rf plasma reactor”, *Vacuum* 45, 1115 (1994).

[12] H. Hiura, T, Miyazaki, and T. Kanayama, “Formation of Metal-Encapsulating Si Cage Clusters”, *Phys. Rev. Lett.* 86, 1733 (2001).

[13] V. Kumar and Y. Kawazoe, “Hydrogenated Silicon Fullerenes: Effects of H on the Stability of Metal-Encapsulated Silicon Clusters”, *Phys. Rev. Lett.* 90, 055502 (2003).

[14] T. Miyazaki, N. Uchida, and T. Kanayama, “First principles structure modeling for amorphous S-rich transition metal silicide”, *phys, Status Solidi C,* 1 (2010).

[15] N. Uchida, T. Miyazaki, Y. Matsushita, K. Sameshima, and T. Kanayama, “New semiconducting silicides assembled from transition-metal-encapsulating Si clusters”, *Thin Solid Films* 519, 8456 (2011).

[16] T. Miyazaki and T. Kanayama, “First-principles theory for Si-based, atomically thin layered semiconductor crystal”, *Appl. Phys. Lett.* 91, 082107 (2007).

第 4 章　遷移金属内包 Si クラスター材料を用いた Ge 接合技術の開発

次世代半導体材料として期待される Ge では、強いフェルミレベルピンニングにより金属/*n*-Ge が高い接触抵抗を示す[1, 2]。本章では、遷移金属内包 Si クラスターを用いた MIS 接合により、Ge とのフェルミレベルピンニングの解除を検討した結果に関して議論する。W 内包 Si クラスターのアモルファス膜（WSi_n 膜）の高いピンニング解除能力を示し、その理由について議論する。次に、アモルファス WSi_n 膜の狭ギャップ性に基づく *n*-Ge に対する接触抵抗低減効果を示す。最後に、アモルファス WSi_n 膜の MIS 接合を S/D に用いた Ge の *n*FET を作製し、S/D のショットキー障壁制御によりトランジスタ動作を実証した結果を示す。

4.1　研究の背景と目的

高性能な Ge のトランジスタを実現するためには、S/D と金属の接合部でのフェルミレベルピンニングを解除し、ショットキー障壁高さを低下させて、接触抵抗を低減する必要がある。特に、*n*-Ge と金属の接合は、金属の仕事関数に依らず Ge のバンドギャップに相当する高いショットキー障壁を形成し、高い接触抵抗を示す[1, 2]。本研究では、界面挿入層にアモルファス MSi_n 膜を用いた MIS 接合により、Ge のピンニング解除と接触抵抗低減を検討した。

4.2　実験方法

MSi_n 膜の成膜には、第 3 章で述べた成膜手法を用いた。レーザーアブレーションで生成した *M* 原子（*M*: Ir、Ta、Ni、Mo、W）と SiH_4 ガス（50 Pa）との反応により水素化 MSi_nH_x クラスターを合成し、Ge(111)基板上に堆積した。堆積時の基板温度は室温から 350 °C の温度範囲とした。MSi_nH_x クラスターに関しては、水素組成比 *x* の値は分析していない。しかし、図 3.8 の TDS スペクトルより、水素含有量は少量であると考える。*n* 型（比抵抗：~1 Ω·cm、電子濃度：~2×10^{15} cm^{-3}）、及び *p* 型（比抵抗：~0.1 Ω·cm、正孔濃度：~2×10^{16} cm^{-3}）の Ge(111)基板（*n*-Ge, *p*-Ge）を用い、金属電極（厚さ~100 nm）をスパッタ（室温）で作製して電気特性を測定した。ここで、MSi_n 膜堆積前の Ge 基板はアセトン溶液で超音波洗浄後、超高真空中で~550 °C の熱処理を行うことで、表面の清浄化、及び平坦化を行った。このように形成した Ge 基板上の MSi_n 膜は、アモルファス状態を維持した。障壁高さは、*C-V* 特性と *I-V* 特性から算出した。*C-V* 特性から障壁高さを求める方法を次に示す。逆方向電圧印加時における空乏層の容量変化 C^{-2}、逆方向電圧 *V*、Ge の内蔵電位 V_{bi}、Ge のドーパント濃度 *N*、Ge の誘電率 ε の関係は(4-1)式で表される。

$$\frac{1}{C^2} = \frac{2(V_{bi} - V)}{q\varepsilon N} \tag{4-1}$$

C-V 測定より得られる結果を、X 軸を *V*、Y 軸を C^{-2} としてプロットすることで、X 軸切片から V_{bi}

を求めることができる。さらに、Ge のバンド端 E_C、E_V からフェルミレベル E_f までのエネルギー差を Ge の N から求めることで、障壁高さ $\varphi_B = V_{bi} + (E_{C/V} - E_f)$を算出した。*I-V* 特性から障壁高さを求める方法を次に示す。Ge の N が充分に低く(2-4)式の $kT/q \gg E_{00} \propto N^{1/2}$ を満たす場合、(2-1)式の熱電子放出モデルを用いて障壁高さを算出できる。順方向電圧 V 印加時における *I-V* 特性を、障壁高さ φ_B と理想係数（η）を変数とした(2-1)式でフィッテングした。η 係数は、接合におけるリーク電流や再結合電流の大きさの指標となる。η 係数 = 1 は、熱電子放出が支配した理想的な接合特性を示しており、η 係数 = >1 は、リーク電流や再結合電流の大きい接合特性を示している。ここで、リチャードソン係数 A^*は半導体の有効質量に依存する値であり、*n*-Ge で 140 A/cm^{2}K^2 とした。

4.3　実験結果

4.3.1　様々な遷移金属内包 Si クラスターによる MIS 接合

*M*Si$_n$ クラスターを凝集したアモルファス膜（アモルファス *M*Si$_n$ 膜）は狭ギャップ（< ~1.1 eV）を持つため[4]、バンドギャップが 0.66 eV の *n*-Ge と形成した際に、伝導帯で低いバンドオフセットを形成し、*n*-Ge に対して接触抵抗を大幅に低減できる可能性がある。そこで、アモルファス *M*Si$_n$ 膜を用いた MIS 接合の障壁高さを調べることで、ピンニングの解除性能を調べた。内包される遷移金属種として Ir、Ta、Ni、Mo、W に着目し、MIS 接合の挿入層に最適なアモルファス *M*Si$_n$ 膜の材料探索を行った。また、アモルファス *M*Si$_n$ 膜以外に、スパッタで室温形成した W と Si の組成比が 1 : 8 の合金膜（スパッタ W-Si 膜）を挿入層に用いることで、アモルファス *M*Si$_n$ 膜の有効性を調べた。スパッタ W-Si 膜では、膜中で W 内包 Si クラスターが形成されておらず、W や Si がランダムに結合した状態である。また、これら全ての挿入層は室温で堆積することで、ピンニングに対する挿入層の堆積温度の影響を排除した。全ての MIS 接合の金属電極（電極面積：直径 0.1–0.5 mm）には、室温堆積の W を用いた。これら MIS 接合の *I-V* 特性から熱電子放出モデルに基づいて障壁高さを導出し、サンプル面内（サイズ：1 cm 角）での障壁高さを統計的に調べた。

図 4.1 に、アモルファス *M*Si$_n$ 膜を界面挿入層に用いた MIS 接合、及び挿入層のない W/*n*-Ge 接合の障壁高さを示す。ピンニングが完全に解除された $S = 1$ の場合、W 電極の仕事関数を 4.55 eV、*n*-Ge の伝導帯端 E_C とフェルミレベル E_f のエネルギー差を 0.22 eV、*n*-Ge の電子親和力を 4.00 eV とすると、障壁高さは 0.33 eV となる。挿入層のない W/*n*-Ge（w/o）では、Ge の電荷中性準位~0.58 eV とほとんど同じエネルギーの障壁高さ 0.56 ±0.01 eV（η 係数 = 1.17 ±0.06）を示した。これは、W/*n*-Ge の接触界面で強いピンニングが生じていることを示している。次に、アモルファス *M*Si$_n$ 膜の MIS 接合に着目すると、WSi$_n$ クラスター膜の MIS 接合が最も低い障壁高さ 0.49 ±0.01 eV（η 係数 = 1.43 ±0.11）を示した。この原因として、WSi$_n$ クラスター膜が Ge との界面のバンドギャップ内準位を低減することで、ピンニングを解除したと考える。また、内包される遷移金属種によりピンニングの解除能力が異なった。内包される遷移金属種により *M*Si$_n$ クラスターの構造安定性や電気陰性度が異なることで、Ge と *M*Si$_n$ クラスターの結合の分極率などに差異が生じ、*M*Si$_n$ クラスターの種類により Ge 界面での終端能力に差異が生じたと推測する。

次に、ピンニング解除性能の最も高いアモルファス WSi$_n$ 膜に着目し、その構造や組成比を調べた。アモルファス WSi$_n$ 膜の MIS 接合の断面 STEM 像を図 4.2 に示す。WSi$_n$ 膜はアモルファス状態

を維持していた。また、アモルファス WSi_n 膜の Si 組成比 n は XPS 測定より、12–14 であった。スパッタ W-Si 膜の MIS 接合は、障壁高さが 0.55 ±0.05 eV（η 係数 : 1.40 ±0.11）となり、W/n-Ge と同様の強いピンニングを示した（図 4.3）。スパッタ W-Si 膜は、W と Si がランダムに結合しているのに対して、アモルファス WSi_n 膜は、WSi_n クラスター同士がランダムに結合している（図 4.4）。スパッタ W-Si 膜では Ge との界面にバンドギャップ内準位を形成するのに対して、WSi_n 膜では Ge 基板表面の Ge ダングリングボンドを WSi_n クラスターで終端することで、Ge との界面のバンドギャップ内準位を大幅に削減していると考えられる。アモルファス WSi_n 膜/Ge の界面準位密度に関しては、4.3.3 項で詳細を述べる。

以上より、本研究では、ピンニング解除性能の最も高いアモルファス WSi_n 膜を用いて、接触抵抗低減やトランジスタの S/D への適用を行った。

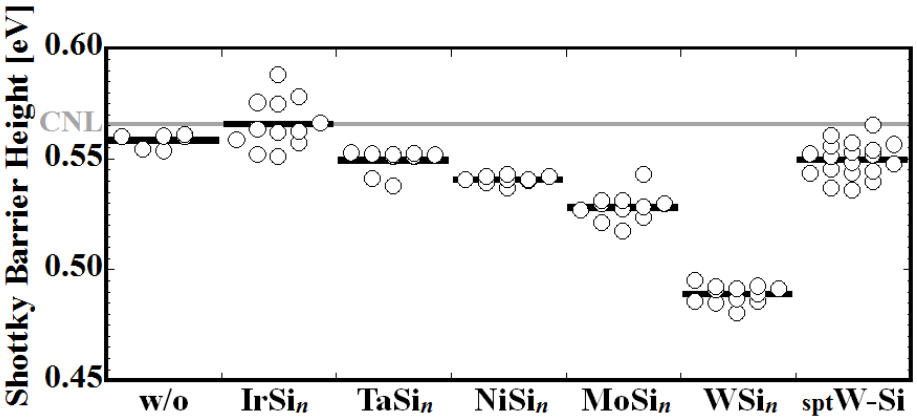

図 4.1. アモルファス MSi_n 膜（M: Ir, Ta, Ni, Mo, W）及びスパッタで形成した W-Si 膜（sptW-Si）を界面挿入層に用いた n-Ge の MIS 接合、及び挿入層のない W/n-Ge 接合（w/o）の障壁高さ。金属電極は全て、W 電極を使用した。また挿入層、及び W 電極は全て室温で形成した。

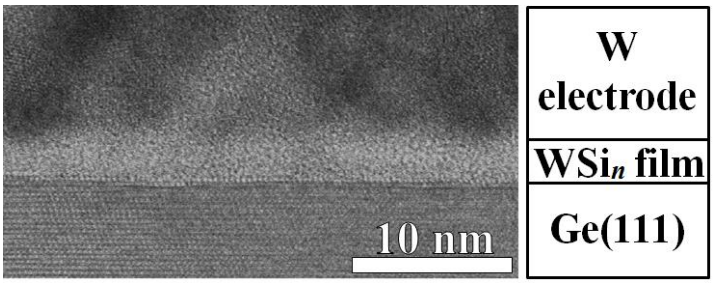

図 4.2. アモルファス WSi_n 膜を用いた MIS 接合の断面 STEM 像

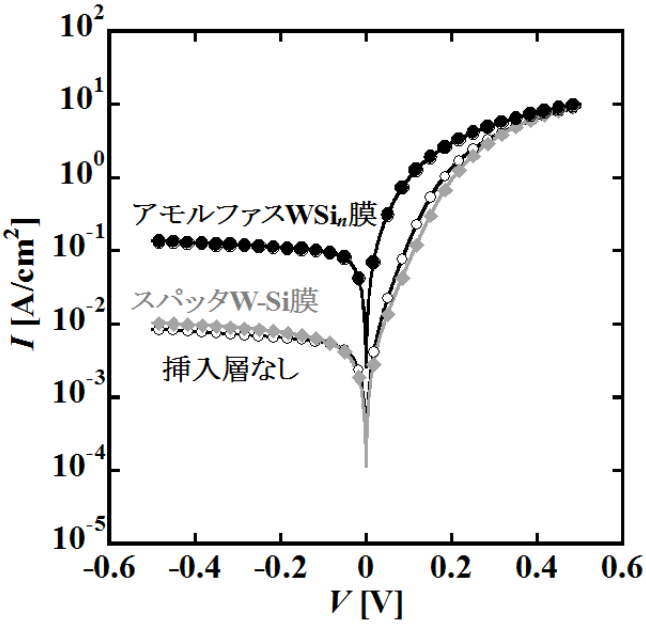

図 4.3.　W/WSi$_n$ 膜/*n*-Ge、W/*n*-Ge、及び W/スパッタ W-Si 膜/*n*-Ge の *I*-*V* 特性

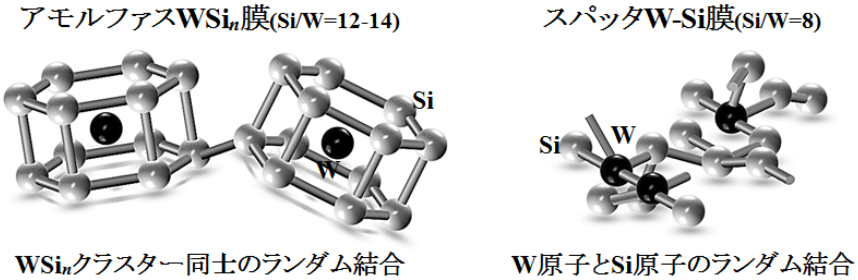

図 4.4.　アモルファス WSi$_n$ 膜とスパッタ W-Si 膜の結合状態の概念図

4.3.2　W 内包 Si クラスターを用いた MIS 接合のフェルミレベルピンニング解除性能

アモルファス WSi$_n$ 膜のピンニングの解除性能をより詳細に調べるために、*C*-*V* 測定による障壁高さ（φ_{CV}）の評価を行った。室温堆積によるアモルファス WSi$_n$ 膜の MIS 接合（W/WSi$_n$/*n*-Ge）の C^{-2}-*V* 曲線を図 4.5 に示す。W/WSi$_n$/*n*-Ge の内蔵電位 V_{bi} は 0.24 ±0.01 eV となった。*n*-Ge の伝導帯端 E_C とフェルミレベル E_f のエネルギー差は 0.22 eV であることから、W/WSi$_n$/*n*-Ge の φ_{CV} は、0.46 ±0.01 eV と計算された。この φ_{CV} は、*I*-*V* 測定による障壁高さ φ_{IV} = 0.49 ±0.01 eV よりもやや小さい値を示した（図 4.6）。これは、W/WSi$_n$/*n*-Ge で形成された障壁高さが空間的均一性を有していることを示している[1, 5]。この理由は以下のとおりである。図 4.7 のような障壁高さの空間的不均一性がある場合、$\varphi_{CV} > \varphi_{IV}$ を示す。φ_{CV} は *n*-Ge の空乏層を基に算出されることから、空間的に平均的な障壁高さを示す。一方、φ_{IV} は熱電子放出電流を基に算出される。局所的に低い障壁がある場合、その低い障壁を熱電子放出電流が優先的に流れるため、φ_{IV} は実効的に低い値を示す。そのため、障壁高さの空間的不均一性が、$\varphi_{CV} > \varphi_{IV}$ の関係性を生む。従って、W/WSi$_n$/*n*-Ge で形成された障壁高さは、空間的に均一である。

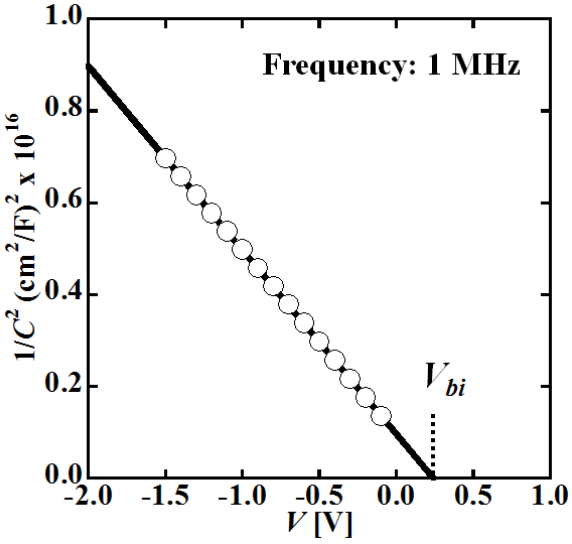

図 4.5. W/アモルファス WSi_n 膜/*n*-Ge の C^{-2}-*V* 曲線

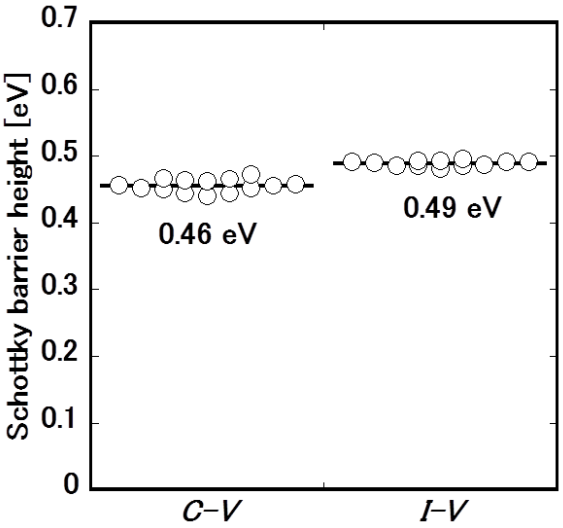

図 4.6. *C-V* 測定、及び *I-V* 測定による障壁高さのサンプル面内の統計プロット

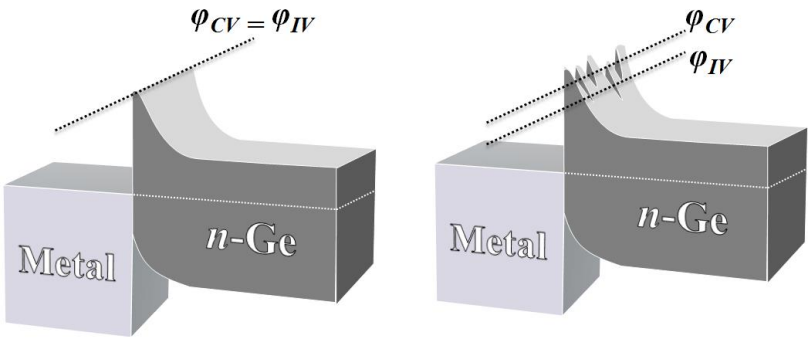

図 4.7. *C-V* 測定により導出する障壁高さ φ_{CV} と *I-V* 測定により導出する障壁高さ φ_{IV} の関係。障壁高さの空間的均一性が高い場合、$\varphi_{CV} = \varphi_{IV}$ となり、空間的不均一性が高い場合、$\varphi_{CV} > \varphi_{IV}$ となる。

ピンニングに対する挿入層の堆積温度の影響を明らかにするために、W/WSi_n/*n*-Ge の障壁高さと WSi_n 膜の堆積温度（室温から 350 °C）の関係を調べた。図 4.8 にその結果を示す。ここで、障壁高さを *C-V* 特性より導出した。室温から 350 °C の範囲の堆積温度でフェルミレベルピンニングが解除された。WSi_nH_x クラスターの水素は、堆積温度が 350 °C の時には、ほとんど脱離している（図 3.8）。従って、ピンニングの解除は水素終端による効果ではなく、WSi_n クラスターによる終端効果が支配的である。さらに、WSi_n 膜を 350 °C で堆積後に 500 °C の熱処理を行ったところ、Ge の電荷中性準位（伝導帯端から~0.58 eV）付近での強いピンニングを示した。500 °C の熱処理により、Ge と WSi_n 膜がミキシングすることで、あるいは、WSi_n クラスター構造が壊れることで、WSi_n/Ge の界面準位密度が増大したと考えられる。次に、顕微ラマン散乱測定により、堆積温度の異なるアモルファス WSi_n 膜/Ge のフォノンピークを調べた。アモルファス WSi_n 膜は~3 nm と極薄いので、この膜と Ge 基板の両方のラマン散乱スペクトルを得ることができる。図 4.9 にアモルファス WSi_n 膜/Ge の Ge、及び Si のフォノンピーク波数を示す。室温から 350 °C の堆積温度で、475 cm^{-1} 付近にブロードなアモルファス Si の TO フォノンピークが得られた。アモルファス WSi_n 膜由来の Si-Si 結合ピークである。さらに、WSi_n 膜を 350 °C で堆積後に 500 °C の熱処理を行ったところ、516.7 ±0.4 cm^{-1} に半値幅 7.98 ±0.24 cm^{-1} のフォノンピークが得られた。このフォノンピークは、バルク Si 結晶の光学フォノンピーク（ピーク位置：~520 cm^{-1}、半値幅：~3 cm^{-1}）よりも低波数側にシフトし、非対称に広がっている（図 4.10）。これは、WSi_n 膜中で Si 原子が凝集して数 nm 程度の Si 微結晶を形成したことを示している[6]。石英基板上のアモルファス WSi_n 膜は、500 °C の熱処理でもアモルファス状態を維持するため（図 3.7）、WSi_n 膜中における Si 微結晶の形成は Ge 基板表面に特有に起きる現象である。一方、Ge のフォノンピークに着目すると、室温から 350 °C の堆積温度で、ピーク位置が~299.1 cm^{-1}、半値幅が~5.0 cm^{-1} の光学フォノンピークが得られ、この堆積温度範囲では、大きな変化がなかった。WSi_n 膜を 350 °C で堆積後に 500 °C の熱処理を行ったところ、Ge の光学フォノンはピーク位置 299.5 ±1.2 cm^{-1} に高波数シフトし、半値幅 5.9 ±0.3 cm^{-1} に広がると共に、サンプル面内で大きなばらつきを示した。この変化は、500 °C の熱処理により、Ge と WSi_n 膜界面でミキシングが起きたことを示している。ミキシングの結果、WSi_n クラスター構造が破壊され、W 原子との結合が無くなった Si 原子が凝集したことが、微結晶形成の原因である。

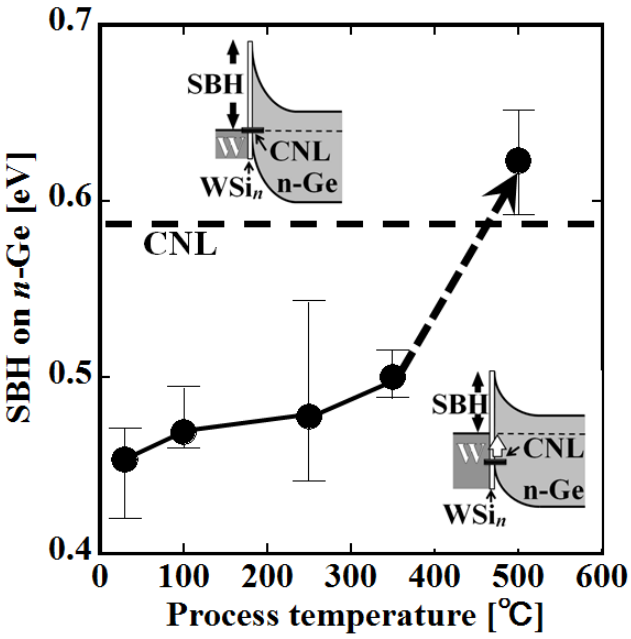

図 4.8. W/WSi$_n$ 膜/*n*-Ge の障壁高さとアモルファス WSi$_n$ 膜の堆積温度（室温から 350 °C）の関係。500 °C の熱処理により、強いフェルミレベルピンニングを示した。

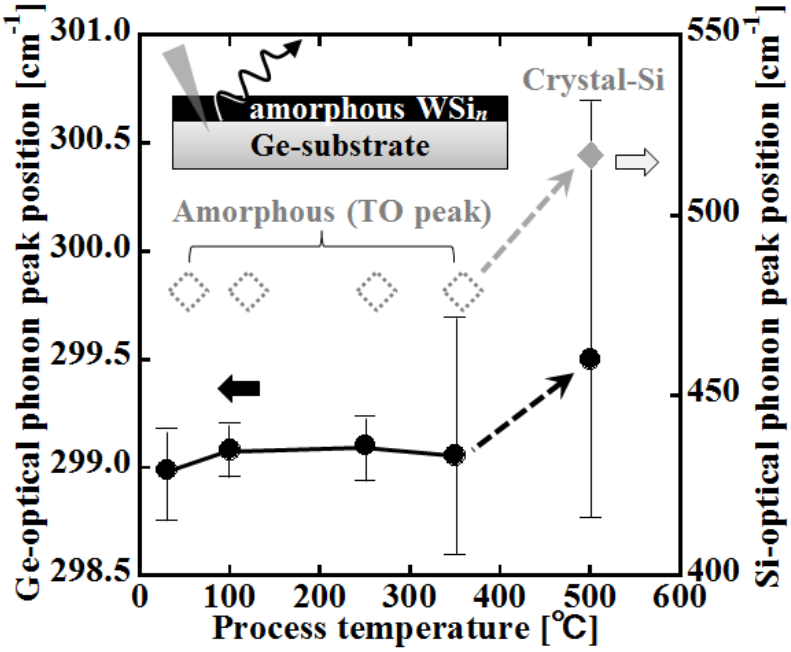

図 4.9. WSi$_n$ 膜/Ge のフォノンピーク波数と WSi$_n$ 膜の堆積温度の関係

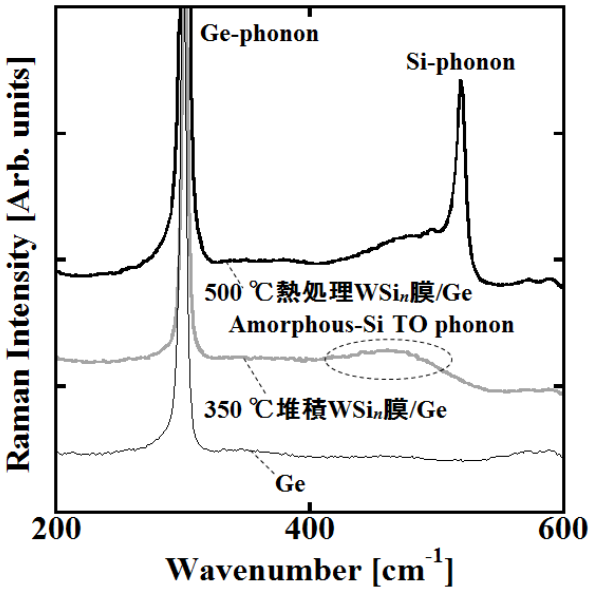

図 4.10. 350°C 堆積の WSi$_n$ 膜/Ge、500°C で熱処理した WSi$_n$ 膜/Ge、及び Ge 基板のラマンスペクトル

次に、アモルファス WSi$_n$ 膜のピンニング解除効果をより明確にするために、*p*-Ge に対する MIS 接合の *I-V* 測定を調べた。W と *p*-Ge を直接接合させた場合、フェルミレベルピンニングにより室温でオーミック特性を示す。一方、W/WSi$_n$ 膜（室温堆積）/*p*-Ge は室温で整流特性を示した（図 4.11）。障壁高さが非常に小さいため、室温の *I-V* 測定では障壁高さが算出できなかった。そのため、低温での温度依存性により障壁高さを評価したところ、0.16 eV の正孔の障壁高さを示した。室温堆積の WSi$_n$ 膜と *n*-Ge の電子の障壁高さは 0.45 eV であり、それぞれの障壁高さの合計は 0.61 eV と Ge のバンドギャップである 0.66 eV とほぼ一致する。一方、W/*p*-Ge の障壁高さは 0.04 eV と算出された。この値は、Ge の価電子帯から電荷中性準位までのエネルギー差 0.09 eV[1]とほぼ一致する。

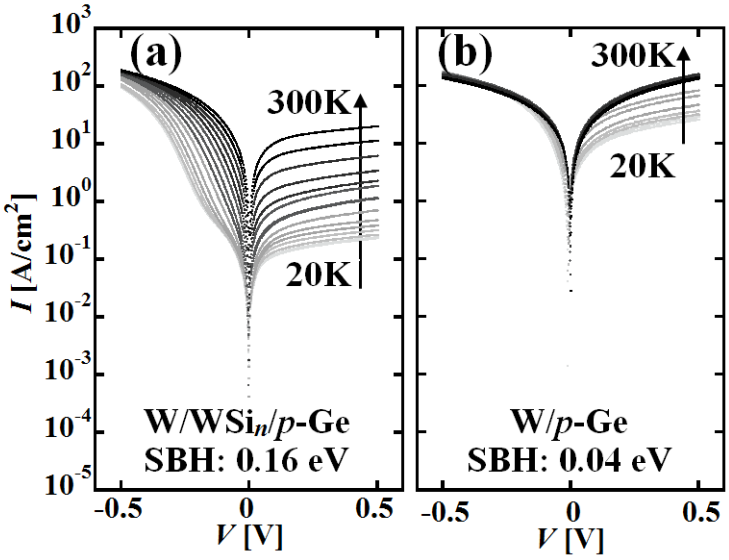

図 4.11. （a）W/WSi$_n$ 膜/*p*-Ge、及び（b）W/*p*-Ge の *I-V* 特性の温度依存性

仕事関数の異なる 3 種の金属、W、Ti、Al（厚さ~100 nm）の電極をスパッタ（室温）で作製し、*C-V* 特性から障壁高さを算出することで、ピンニング解除性能の指標となる *S* 値（= $\partial\varphi_{BH}/\partial\varphi_M$）を導出した。図 4.12 にアモルファス WSi_n 膜/*n*-Ge の障壁高さ（φ_{BH}）と電極の仕事関数（φ_M）の関係を示す。この関係の傾きが、*S* 値に対応する。ピンニングが解除された理想的な接合は $S = 1$ を示し（Schottky-Mott limit）、完全にピンニングされた接合は $S = 0$ を示す（Bardeen limit）。アモルファス WSi_n 膜を挿入しない電極/*n*-Ge では、*S* の値は 0.02 と小さく、強いピンニングを示す[1]。一方、アモルファス WSi_n 膜を挿入することで $S = 0.65$ となる。この値は、他の挿入層（SiN の *S* 値 : 0.3[7]、GeN の *S* 値 : 0.43[8]）よりも 1 に近い値であり、アモルファス WSi_n 膜のピンニング解除性能が他の挿入層よりも高いことを示している（図 4.13）。また、アモルファス WSi_n 膜の MIS 接合が示す直線（*S* スロープ）は、Schottky-Mott limit が示す直線に近い。接合界面でダイポールが存在しない *S* スロープは、*S* 値にかかわらず、Schottky-Mott limit の直線と Bardeen limit の直線の交点を通る。従って、アモルファス WSi_n 膜の MIS 接合は、ダイポールを形成していない。一方、接合界面でダイポールが存在する *S* スロープは、この交点からシフトする。GeN/*n*-Ge[8]は、*S* スロープがこの交点からシフトしており、接合界面でダイポールを形成している[9]。GeN 以外にも、Al_2O_3[10, 11]、TiO_2[12]、Si[14]等の挿入層と Ge の接合界面において、ダイポールの存在が指摘されている[13]。アモルファス WSi_n 膜/*n*-Ge 接合の界面では、Ge の第一近接に Si 原子が存在し、Ge のダングリングボンドを Si 原子が終端している。WSi_n クラスターの第一原理計算の結果では、Si 原子から W 原子へ電荷移動を伴う共有結合が形成される[15]。エピタキシャル Si/Ge 接合の界面でダイポールが存在するのに対して[14]、アモルファス WSi_n 膜/*n*-Ge の界面でダイポールが存在しないのは、WSi_n クラスターの Si 原子の電子状態が、バルク Si の電子状態と異なるためである。

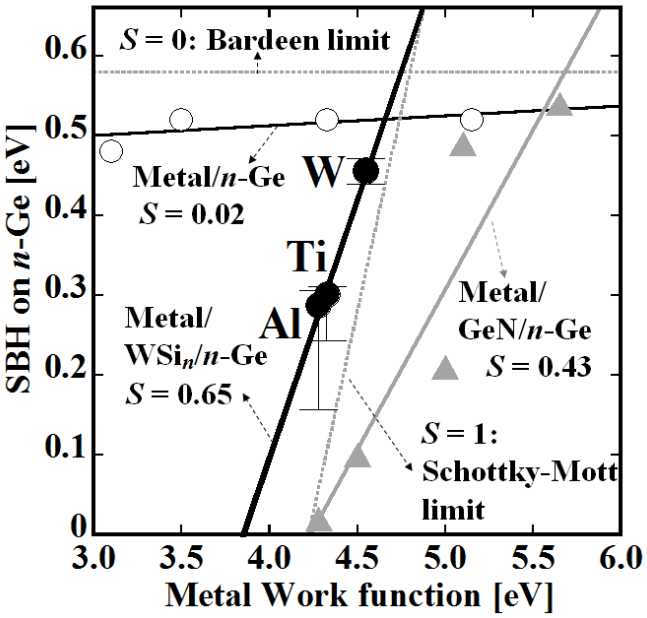

図 4.12.　金属電極/アモルファス WSi_n 膜/*n*-Ge、金属電極/GeN 膜/*n*-Ge[8]、及び金属/*n*-Ge[1]における金属電極の仕事関数とショットキー障壁高さの関係

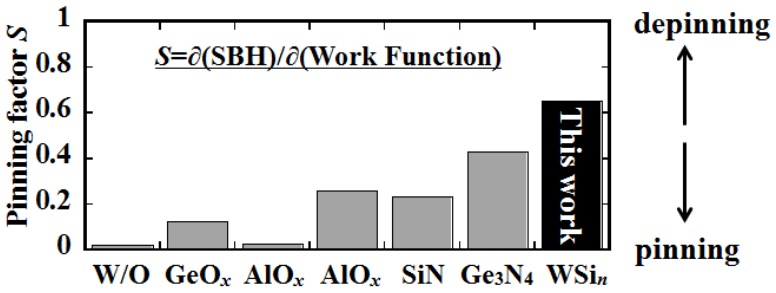

図 4.13. *n*-Ge に対する様々な MIS 接合[1, 7, 8, 10, 11]のフェルミレベルピンニング解除性能（*S* 値）

4.3.3 W 内包 Si クラスターを用いた MIS 接合のピンニング解除機構

アモルファス WSi_n 膜のピンニング解除機構を明らかにするために、アモルファス WSi_n 膜/Ge の界面準位密度評価、及びアモルファス WSi_n 膜の誘電率評価を行った。ここで、アモルファス WSi_n 膜は全て室温で堆積した。

アモルファス WSi_n 膜/Ge の界面準位密度 D_{it} を調べるために、Atomic layer deposition（ALD）法で形成した Al_2O_3 膜を用いて、W/Al_2O_3 膜/アモルファス WSi_n 膜/*n*-Ge の MOS コンデンサを作製した（図 4.14(a)）。ここで、Al_2O_3 膜は 250 °C で堆積した。D_{it} の評価には、*C-V* の周波数依存性測定によるコンダクタンス法[16]を用いた。並列コンダクタンス G_p をバイアス電圧 *V* と角周波数 ω（$= 2\pi f$、*f* : 測定周波数）の関数として求め、G_p/ω を角周波数 ω でプロットした結果を図 4.15 に示す。G_p/ω の最大値$(G_p/\omega)_{max}$ から、$D_{it}=(G_p/\omega)_{max}\times 2.5/q$ の近似式を用いて D_{it} を求めた。その結果、Al_2O_3 膜/アモルファス WSi_n 膜の D_{it} は~1×10^{13} /cm^2・eV と見積もられた。この値は、例えば、ZrO_2/Ge といった high-*k*/Ge のゲートスタック構造の D_{it} と同程度の低い値である[17]。さらに、この値は、(2-11)式で示したように、フェルミレベルピンニングを解除するのに十分に低い値である。なお、同様の手法で調べた W/Al_2O_3 膜/*n*-Ge（図 4.14(b)）の MOS コンデンサにおける Al_2O_3 膜/*n*-Ge の D_{it} は~1×10^{12} /cm^2・eV と見積もられた。この値は、例えば、Ge トランジスタの最先端のゲートスタック構造の値<~1×10^{11} /cm^2・eV[18, 19]より高い値であるが、界面準位密度を評価するための MOS コンデンサとしては十分に低い値である。

次に、図 4.14(b)の構造の MOS コンデンサから、アモルファス WSi_n 膜を挟む Al_2O_3 膜のみの比誘電率を 7.25 と求め、図 4.14(c)の構造の MOS コンデンサから、Al_2O_3 膜の寄与分を引くことで、アモルファス WSi_n 膜の比誘電率を導出した。その結果、アモルファス WSi_n 膜の比誘電率は、2.3–2.8 であった。アモルファス WSi_n 膜の膜厚は断面 TEM 像より見積もったが、5.7–7.1 nm とばらつきがあり、それに応じて比誘電率もばらつきを持った。この値を他の材料の比誘電率と比較すると、Si は約 11.9、Si 熱酸化膜は約 4.2、層間絶縁膜などに利用される Low-*k* 材料の SiOCH 膜は約 2.0–2.8[20]であり、アモルファス WSi_n 膜が非常に低誘電率な Si 系の膜であることがわかる。

以上の結果は、アモルファス WSi_n 膜の MIS 接合が示す高いピンニング解除性能が、Ge 表面に対する高い終端能力とアモルファス WSi_n 膜自体の低い誘電率に基づくことを示している。

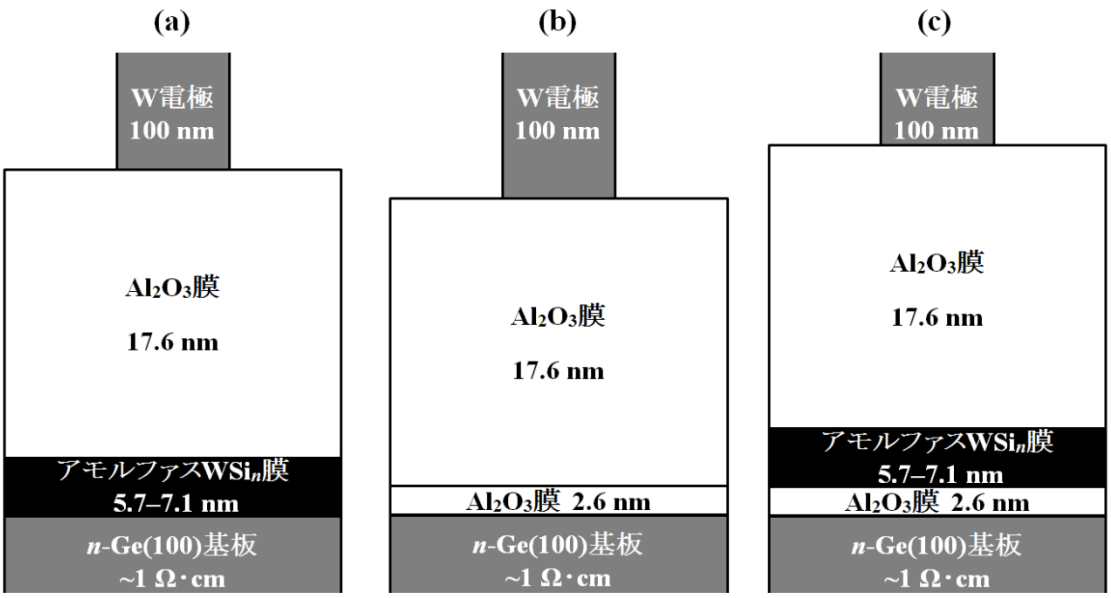

図 4.14. (a)アモルファス WSi_n 膜/Ge、及び(b)Al_2O_3 膜/Ge の界面準位密度評価、及び(c)アモルファス WSi_n 膜の誘電率評価のための MOS コンデンサの断面模式図

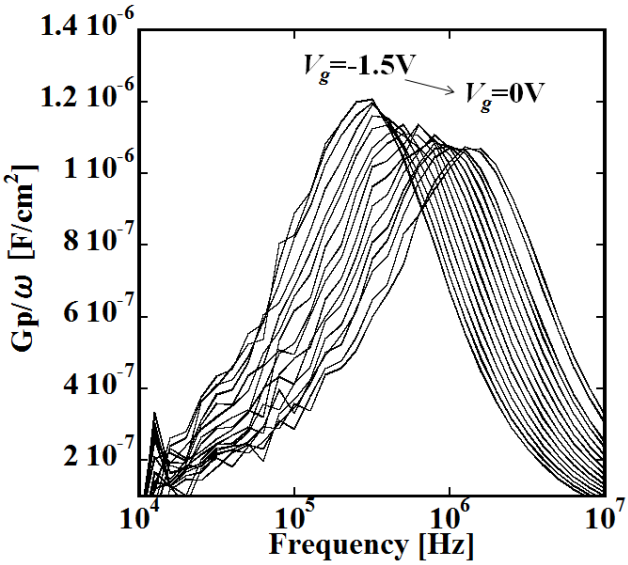

図 4.15. W/Al_2O_3 膜/WSi_n 膜/*n*-Ge の並列コンダクタンス G_p を角周波数 ω で規格化した G_p/ω の角周波数依存性

4.3.4 W 内包 Si クラスターを用いた MIS 接合の接触抵抗低減技術

アモルファス WSi_n 膜による接触抵抗低減を実証するために、Transmission Line Model（TLM）法[21]を用いて、金属/アモルファス WSi_n 膜/*n*-Ge（*n*-Ge のキャリア濃度：~2×10^{15} cm^{-3}）の固有接触抵抗と障壁高さの関係を調べた。ここでアモルファス WSi_n 膜は室温で形成した。アモルファス WSi_n 膜/*n*-Ge の接触抵抗低減効果を明確に示すために、挿入層と Ge 界面で大きな伝導帯端バンドオフセットを形成する SiN/*n*-Ge（*n*-Ge のキャリア濃度：1×10^{15} cm^{-3}）[7]と比較した。図 4.16 に固有接触抵

抗と障壁高さの関係を示す。SiN/*n*-Ge の固有接触抵抗は、~5×10^{-1}–7×10^{-2} Ω·cm^2 を示し、障壁高さが低減しても固有接触抵抗があまり低減しない。これは、SiN の高いトンネル抵抗が、接触抵抗を制限するためである。高いトンネル抵抗は、SiN/*n*-Ge の大きな伝導帯端バンドオフセットに起因する（図 4.17）。一方、Ti/アモルファス WSi_n 膜/*n*-Ge の固有接触抵抗は、3.3×10^{-4} Ω·cm^2 を示した。これは、挿入層のない接合（W/*n*-Ge）に比べて、約 4 桁の低減である。さらに、理想的な指数関数関係[22]に従って、障壁高さの低減に伴い固有接触抵抗が低減した。ここで、理想関係とは熱電子放出モデル(2-1)式を言う。理想関係との一致は、アモルファス WSi_n 膜が少なくとも 3.3×10^{-4} Ω·cm^2 以下の低いトンネル抵抗を有することを示す。アモルファス WSi_n 膜は、SiN（バンドギャップ：~5 eV）よりも狭いバンドギャップ（光学ギャップ：~0.6 eV、移動度ギャップ：~0.1 eV）を有している。従って、低いトンネル抵抗は、アモルファス WSi_n 膜/*n*-Ge の小さな伝導帯端バンドオフセットに起因する（図 4.17）。本実験では低キャリア濃度の *n*-Ge を用いたが、高キャリア濃度の n^+-Ge を用いることで、さらに低い接触抵抗を期待できる。実際に、低い固有接触抵抗値（< ~1×10^{-6} Ω·cm^2）が、n^+-Ge（n^+-Ge のキャリア濃度: ~1×10^{19} cm^{-3}）の MIS 接合（挿入層：TiO_2, ZnO, Si）で報告されている[12, 23, 24]。

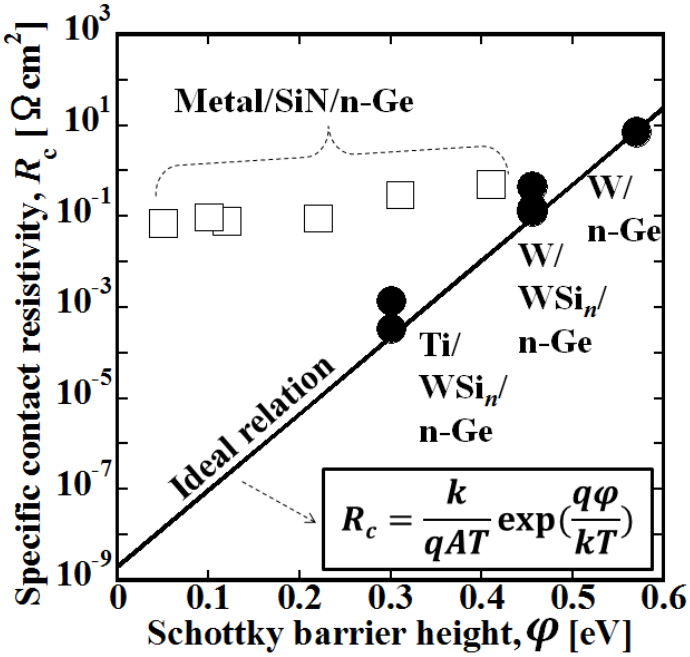

図 4.16. 金属/WSi_n 膜/*n*-Ge、及び金属/SiN 膜/*n*-Ge[7]の固有接触抵抗とショットキー障壁高さの関係

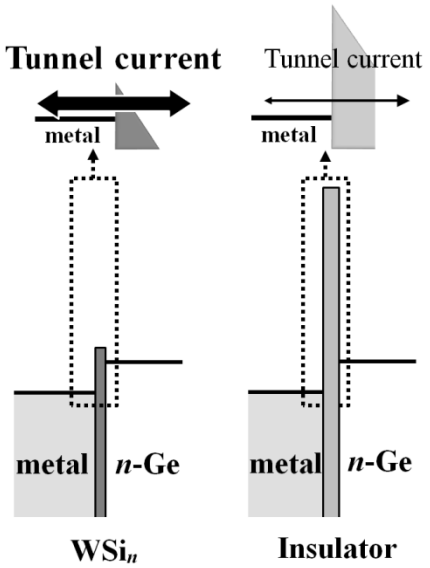

図 4.17. アモルファス WSi_n 膜を用いた MIS 接合、及び SiN 等の絶縁体を用いた従来の MIS 接合のバンド模式図

4.3.5　W 内包 Si クラスターを用いた MIS 接合 S/D によるメタル S/D 型 Ge-*n*FET

アモルファス WSi_n 膜を Ge トランジスタの S/D 接合部に適用することで、ショットキー型トランジスタの高性能化を期待できる。本項では、アモルファス WSi_n 膜の MIS 接合を *p*-Ge に用いて、ショットキー接合型 *n* 型チャネル Ge トランジスタ（Ge-*n*FET）を作製し、トランジスタ動作の実証を検討した結果について議論する。金属と *p*-Ge を直接接合させたショットキー接合型 *n* 型チャネル Ge トランジスタ（図 4.19(a)）は、低い正孔の障壁高さ（~0.04 eV）によりオフ状態の貫通もれ電流が大きく、高い電子の障壁高さ（~0.6 eV）によりオン電流が遮断されて、動作しない（図 4.19(b)）。そこで、*p*-Ge に対して高い障壁を形成できる Ti/アモルファス WSi_n 膜/*p*-Ge の MIS 構造を S/D に適用した Ge-*n*FET を作製した（図 4.20(a)）。図 4.17 にトランジスタの作製フローを示す。S/D とゲート電極のオーバーラップ構造を形成するためにゲート・ラストプロセスを採用した。S/D では、障壁高さの空間的均一性を可能な限り高めて、リーク電流を抑制する必要がある。そこで、MIS 接合の面積を小さくすることで、S/D における障壁高さの空間的均一性を確保した。具体的には、チャネル長 1–8 μm に対して、2–25 μm^2 の MIS 接合の面積でトランジスタ寸法を設計した。図 4.20(b) に、作製した Ge-*n*FET の V_g-I_d 特性を示す。正のゲート電圧印加により *p*-Ge チャネルが反転し電子が走行する *n* 型動作を示した。これは、アモルファス WSi_n 膜の MIS 接合により、S/D 接合部で~0.35 eV の正孔障壁が形成されたことに基づく。

- ● *p*-Ge(~0.1 Ωcm)基板のO_2プラズマ
  & HClウエット洗浄
- ● 層間絶縁膜Al_2O_3の堆積（ALD法）
- ○ チャネル構造のパターニング
- ● Al_2O_3膜のBHFウエットエッチング
- ○ S/D構造のパターニング
- ● WSi_n膜の堆積（レーザーアブレーション法）
- ● S/D電極の堆積（スパッタ法）
- ● リフトオフによるS/D構造の形成
- ● ゲート絶縁膜Al_2O_3の堆積（ALD法）
- ● ゲート電極の堆積（スパッタ法）
- ○ ゲート構造のパターニング
- ● SF_6ドライエッチングによるゲート構造の形成

図 4.18. Ti/アモルファス WSi_n 膜/*p*-Ge の MIS 構造を S/D に適用した Ge-*n*FET の作製フロー。ゲート・ラストプロセスを採用した。

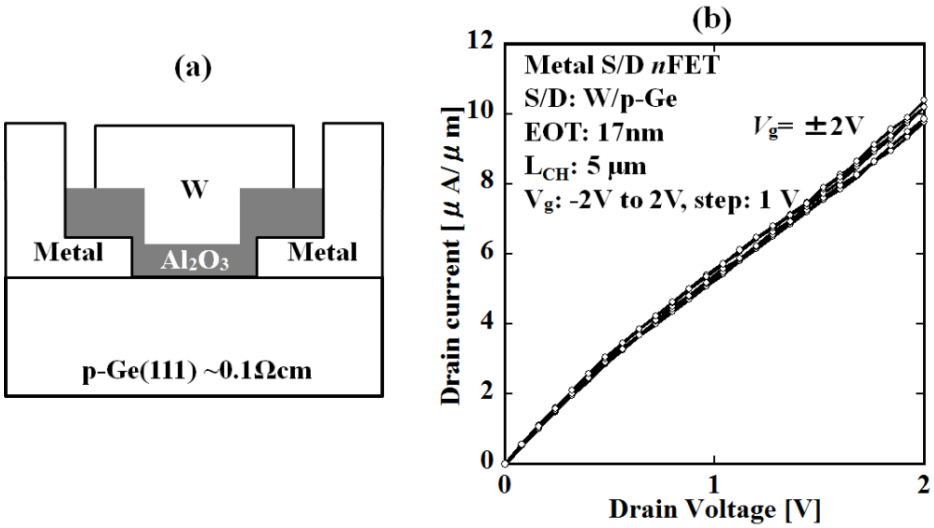

図 4.19. (a)金属電極/ *p*-Ge の直接接合によるショットキー型 Ge-*n*FET の断面模式図、及び(b)そのトランジスタの V_d-I_d 特性

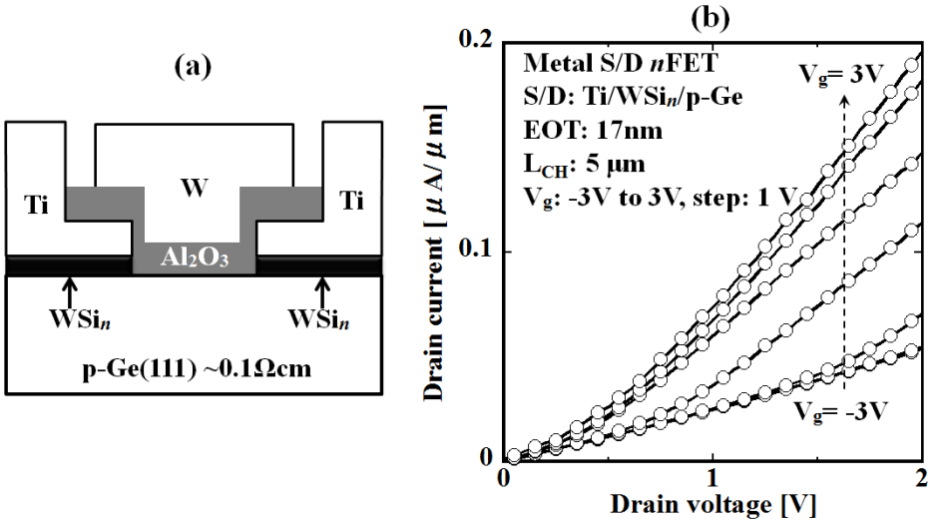

図 4.20. (a) Ti/アモルファス WSi_n 膜/*p*-Ge の MIS 接合によるショットキー型 Ge-*n*FET の断面模式図、及び(b)そのトランジスタの V_d-I_d 特性

4.4　まとめ

本章では、接合相手の半導体材料として Ge に着目し、遷移金属内包 Si クラスター薄膜（MSi_n 膜）を金属と Ge の接触界面に挿入することで、フェルミレベルピンニング解除に基づく接触抵抗の低減を検討し、以下の結論を得た。

・アモルファス MSi_n 膜（*M*：Ir、Ta、Ni、Mo、W）を用いた Ge の MIS 接合では、アモルファス WSi_n 膜が最もフェルミレベルのピンニングの解除性能が高い（$S = 0.65$）。

・アモルファス WSi_n 膜のピンニング解除性能は、350 °C 程度まで持続する。

・アモルファス WSi_n 膜の MIS 接合の高いピンニング解除性能は、Ge 表面の高い終端能力、及びアモルファス WSi_n 膜自体の低い誘電率に基づく。

・アモルファス WSi_n 膜を用いた *n*-Ge MIS 接合は、従来の金属/*n*-Ge 接合の約 4 桁の接触抵抗低減が可能である。

・アモルファス WSi_n 膜を用いた *n*-Ge MIS 接合の低い接触抵抗は、接合界面における小さな伝導帯端バンドオフセットに基づく。

・アモルファス WSi_n 膜の MIS 接合を S/D 接合部に適用することで、Ge のショットキーS/D 型 *n*FET のトランジスタ動作を実証した。

参考文献

[1] T. Nishimura, K. Kita, and A. Toriumi, “Evidence for strong Fermi-level pinning due to metal-induced gap states at metal/germanium interface”, *Appl. Phys. Lett.* 91, 123123 (2007).

[2] A. Dimoulas, P. Tsipas, A. Sotiropoulos, and E. K. Evangelou, “Fermi-level pinning and charge neutrality level in germanium”, *Appl. Phys. Lett.* 89, 252110 (2006).

[3] N. Uchida, H, Kintou, Y. Matsushita, T. Tada, and T. Kanayama, "Synthesis of New Amorphous Semiconductors Assembled from Transition-Metal-Encapsulating Si Clusters", *Appl. Phys. Express* 1, 121502 (2008).

[4] N. Uchida, T. Miyazaki, Y. Matsushita, K. Sameshima, and T. Kanayama, "New semiconducting silicides assembled from transition-metal-encapsulating Si clusters", *Thin Solid Films* 519, 8456 (2011).

[5] R. T. Tung, A. F. J. Levi, J. P. Sullivan, and F. Schrey, "Schottky-barrier inhomogeneity at epitaxial $NiSi_2$ interfaces on Si(100)", *Phys. Rev. Lett.* 66, 72 (1991).

[6] S. Piscanec, M. Cantoro, A. C. Ferrari, J. A. Zapien, Y. Lifshitz, S. T. Lee, S. Hofmann, and J. Robertson, "Raman spectroscopy of silicon nanowires", *Phys. Rev. B* 68, 241312 (2003).

[7] M. Kobayashi, A. Kinoshita, K. Saraswat, H. –S. P. Wong, and Y. Nishi, "Fermi level depinning in metal/Ge Schottky junction for metal source/drain Ge metal-oxide-semiconductor field-effect-transistor application", *J. Appl. Phys.* 105, 023702 (2009).

[8] R. R. Lieten, S. Degroote, M. Kuijk, and G. Borghs, "Ohmic contact formation on *n*-type Ge", *Appl. Phys. Lett.* 92, 022106 (2008).

[9] L. Lin, H. Li, and J. Robertson, "Control of Schottky barrier heights by inserting thin dielectric layer", *Appl. Phys. Lett.* 101, 172907 (2012).

[10] Y. Zhou, M. Ogawa, X. Han, and K. L. Wang, "Alleviation of Fermi-level pinning effect on metal/germanium interface by insertion of an ultrathin aluminum oxide", *Appl. Phys. Lett.* 93, 202105 (2008).

[11] T. Nishimura, K. Kita, and A. Toriumi, "A Significant Shift of Schottky Barrier Heights at Strongly Pinned Metal/Germanium Interface by Inserting an Ultra-Tin Insulating Film", *Appl. Phys. Express* 1, 051406 (2008).

[12] J. –Y. J. Lin, A. M. Roy, and K. C. Saraswat, "Reduction in Specific Contact Resistivity to n^+Ge Using TiO_2 Interfacial Layer", *IEEE Electron Device Lett.* 33, 1541 (2012).

[13] A. M. Roy, J. L. Lin, and K. C. Saraswat, "The Effect of Fixed Charge in Tunnel-Barrier Contacts for Fermi-Level Depinning in Germanium", *IEEE Electron Device Lett.* 33, 761 (2012).

[14] B. Kaczer, B. De Jaeger, C. Nicholas, K. Martens, R. Degraeve, M. Houssa, G. Pourtois, F. Leys, M. Meuris, and G. Groeseneken, "Electrical and reliability characterization of metal-gate/HfO_2/Ge FET's with Si passivation", *Microelectronics Engineering* 84, 2067 (2007).

[15] N. Uchida, T. Miyazaki, T. Kanayama, "Stabilization mechanism of Si_{12} cage clusters by encapsulation of a transition-metal atom: A density-functional theory study", *Phys. Rev. B* 74, 205427 (2006).

[16] E. H. Nicollian and J. R. Brews, "MOS Physics and Technology", Wiley, (1981).

[17] C. –M. Lin, H. –C. Chang, Y. –T. Chen, I. –H. Wong, H. –S. Lan, S. –J. Luo, J. –Y. Lin, Y. –J. Tseng, C. W. Liu, C. Hu, and F. –L. Yang, "Interfacial layer-free ZrO_2 on Ge with 0.39-nm EOT, k~43, ~2×10^{-3} A/cm^2 gate leakage, SS =85 mV/dec, I_{on}/I_{off} =6×10^5, and high strain response", *Tech. Dig. Int. Electron Devices Meet.* (*IEDM*), 509 (2012).

[18] Q. Xie, S. Deng, M. Schaekers, D. Lin, M. Caymax, A. Delabie, X. -P. Qu, Y. -L.Jiang, D. Deduytsche, and C. Detavernier, "Germanium surface passivation and atomic layer deposition of high-*k* dielectrics–a

tutorial review on Ge-based MOS capacitors", *Semicond. Sci. Technol.* 27 074012 (2012).

[19] R. Zhang, P. –C. Huang, J. –C. Lin, N. Taoka, M. Takenaka, and S. Takagi, "High-Mobility Ge p- and n-MOSFETs With 0.7-nm EOT Using $HfO_2/Al_2O_3/GeO_x/Ge$ Gate Stacks Fabricated by Plasma Postoxidation", *IEEE Trans. Electron Devices* 60, 927 (2013).

[20] K. Maex, M. R. Baklanov, D. Shamiryan, F. Lacopi, S. H. Brongersma, and Z. S. Yanovitskaya, "Low dielectric constant materials for microelectronics", *J. Appl. Phys.* 93, 8793 (2003).

[21] G. S. Marlow and M. B. Das, "The effects of contact size and non-zero metal resistance on the determination of specific contact resistance", *Solid-St. Electron.* 25, 91 (1982).

[22] S. M. Sze, Physics of Semiconductor Devices (2nd edition), Wiley-interscience, 304–306 (1981).

[23] K. Martens, A. Firrincieli, R. Rooyackers, B. Vincent, R. Loo, S. Locorotondo, E. Rosseel, T. Vandeweyer, G. Hellings, B. De Jaeger, M. Meuris, P. Favia, H. Bender, B. Douhard, J. Delmotte, W. Vandervorst, E. Simoen, G. Jurczak, D. Wouters, and J. A. Kittl, "Record low contact resistivity to n-type Ge for CMOS and Memory Applications", *Tech. Dig. Int. Electron Devices Meet.* (IEDM), 428–431 (2010).

[24] P. Paramahans, S. Gupta, R. K. Mishra, N. Agarwal, A. Nainani, Y. Huang, M. C. Abraham, S. Kapadia, U. Ganguly, and S. Lodha, "ZnO: an attractive option for n-type metal-interfacial layer-semiconductor (Si, Ge, SiC) contacts", *2012 Symposium on VLSI Technology Digest of Technical Papers*, 83–84 (2012).

第 5 章　遷移金属内包 Si クラスター材料を用いた Si 接合技術の開発

本章では、接合相手として Si に着目し、遷移金属内包 Si クラスター（MSi$_n$）の材料探索と共に、Si との金属接合の接触抵抗を低減できる技術（MUS 接合）を検討した結果について議論する。特に、Si 基板上で W 内包 Si クラスターを基にエピタキシャル成長させた膜が高電子濃度と狭ギャップを有することを示し、低キャリア濃度 Si に対してオーミック特性が得られること、及び、接触抵抗を大幅に低減できることを示す。最後に、第 4 章で議論した *n*-Ge に対する接合と本章で議論する *n*-Si に対する接合の整合性を議論し、MSi$_n$ クラスターに内包される M 原子の種類が、MSi$_n$ クラスターの半導体基板表面における終端能力の決定要因となることを示す。

5.1　研究の背景と目的

Si の MOSFET でゲート長をシングルナノサイズに縮小するには、特性ばらつきを抑制するためにソース・ドレイン（S/D）エクステンションの接合深さを、サブナノレベルで制御することが必要である。また、これまでヒ素やホウ素をイオン注入して形成していた S/D 領域を低抵抗化のために金属シリサイドに置き換えることが検討されている[1]。シリサイドはスパッタリング法や化学気相成長（CVD）法により、あるいは、Si 基板上に遷移金属を堆積後に固相反応により形成される。Si とシリサイドの接合では、シリサイド/Si 界面の清浄性や障壁高さの安定性の高さ、自己整合（Self-aligned Silicide, SALICIDE）プロセスで作製可能といった利点がある。しかし、*n*-Si に対して低いエネルギー障壁を持つ接合は実現されていない[2]。図 5.1 に、これまでに報告されているシリサイドの *n*-Si に対する障壁高さを示す[3–9]。Si は、Ge よりもピンニングファクターが高いものの（S = 0.09–0.27[10, 11]）、Si の電荷中性準位がミッドギャップよりも価電子帯端寄りのエネルギー位置（伝導帯端から~0.76 eV）に存在するため、フェルミレベルピンニングの影響を受けて、*n*-Si の方が *p*-Si よりも比較的高い障壁高さを示す。低い仕事関数のランタノイド系元素を用いたシリサイドで、*n*-Si に対して< ~0.4 eV の低い障壁高さが報告されている[2]。しかし、仕事関数の低いシリサイドは大気中で容易に酸化して高抵抗化するため、シリサイド形成プロセスやトランジスタ作製プロセスにおいて、シリサイドの酸化防止対策を施す必要がある[12]。図 5.1 を、シリサイドを構成する遷移金属の *d* 軌道の電子配置、周期表のグループ、及び仕事関数で分類すると、図 5.2 のようになる。同じ価数や仕事関数の遷移金属でも、*d* 軌道の電子配置によって障壁高さが異なる。最外殻の *d* 軌道が 5-*d*＞4-*d*＞3-*d* の遷移金属の順序で、ピンニング解除能力が高くなる。これらの結果は、障壁高さ低減を目的としたシリサイド系材料の探索をしていく上での手掛かりとなる。

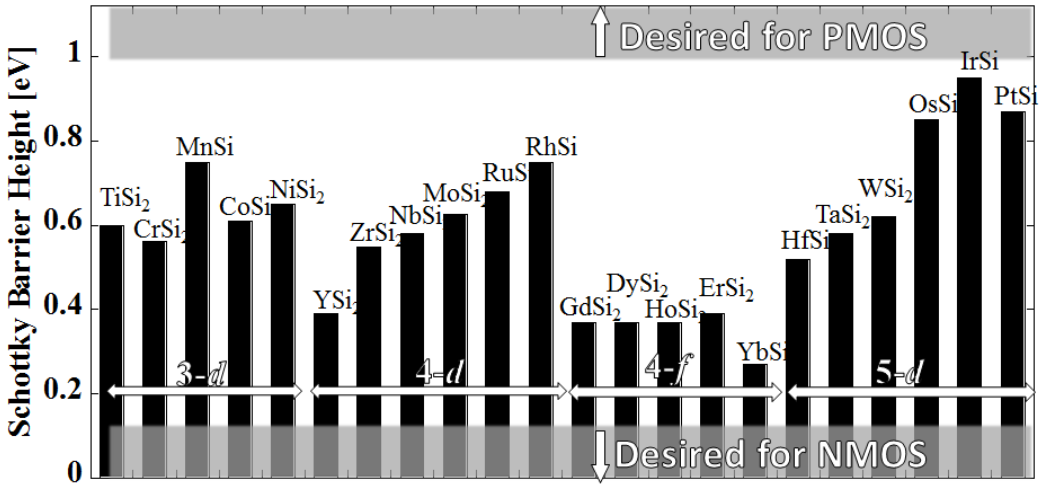

図 5.1. *n*-Si と遷移金属シリサイドが形成するショットキー障壁高さ[3–9]

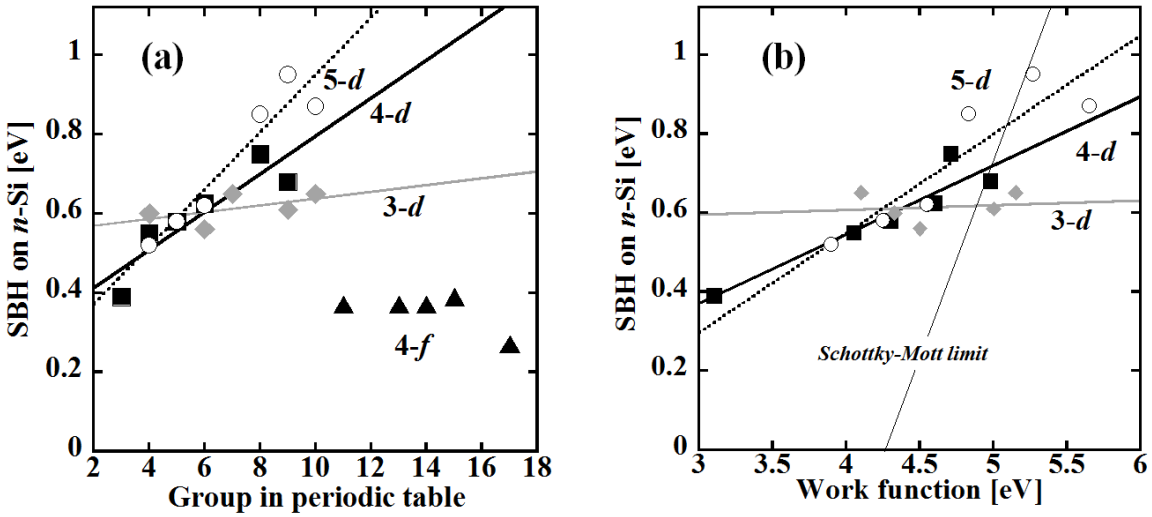

図 5.2. 遷移金属シリサイドを構成する遷移金属元素の特徴で図 5.1 を分類した図。遷移金属の軌道系で分類し、それら遷移金属の(a)周期表の族、及び(b)仕事関数を横軸にプロットした。

5.2　実験方法

本研究では、$M\mathrm{Si}_n$ 膜を用いて、*n*-Si に対して低いエネルギー障壁を持つ急峻な接合形成を検討した。内包される遷移金属 *M* として、Ni、Mo、Ta、W に着目し、最適な接合材料の探索を行った。$M\mathrm{Si}_n$ 膜の成膜には、第 3 章で述べたレーザーアブレーション法を用いた。遷移金属原子（Ni、Mo、Ta、W）と SiH_4 ガス（50 Pa）との反応により水素化 $M\mathrm{Si}_nH_x$ クラスターを合成し、Si(100)基板上（~300 °C）に堆積した。ここで、通電加熱によるフラッシング（~1200 °C、超高真空中）により清浄表面を得た *n* 型（リンドープ、8 Ω·cm）及び *p* 型（ボロンドープ、8 Ω·cm）の Si 基板（*n*-Si、*p*-Si）を用いた。さらに、熱処理（~500 °C、超高真空中）により、水素脱離、及び、エピタキシャル成長を促した。電気的特性測定のための電極にはスパッタ（室温）で作製した W（厚さ~100 nm）を用いた。

5.3　実験結果

5.3.1　様々な遷移金属内包 Si クラスターを用いた MUS 接合

図 5.3 に、*n*-Si（比抵抗 : ~8 Ω·cm、電子濃度 : ~2×10^{14} cm^{-3}）と W 電極の接触界面に MSi_n 膜（*M* : Ni、Mo、Ta、W）を挿入した接合、及び W/*n*-Si 接合の電流-電圧（*I-V*）特性を示す。完全にピンニング解除した接合（*S* = 1）は、W 電極の仕事関数を 4.55 eV、Si の電子親和力を 4.05 eV、伝導帯端からフェルミレベルまでのエネルギーを 0.30 eV とすると、0.50 eV のショットキー障壁高さを示す。完全にピンニングした接合（*S* = 0）は、Si の価電子帯端から電荷中性準位までのエネルギーを 0.76 eV とすると、0.76 eV のショットキー障壁高さを示す。W/*n*-Si 接合は、0.67 ±0.01 eV の障壁高さとなり、*S* = 0 のピンニングに近い値（0.76 eV）を示した。$NiSi_n$ 膜、及び $TaSi_n$ 膜を挿入した接合は、それぞれ、0.52 ±0.01 eV、0.57 ±0.02 eV の障壁高さとなり、*S* = 1 のピンニング解除に近い値（0.50 eV）を示した。一方、WSi_n 膜を挿入した接合は、オーミック特性を示した。直列抵抗が 0.48 Ω となり、*n*-Si 基板の抵抗値（~0.4 Ω）と整合した。この結果から、WSi_n 膜を用いた接合は、電界放出電流を利用した MUS 接合（2.3.3 項）を形成している。$MoSi_n$ 膜を挿入した接合の障壁高さは、*S* = 1 のピンニング解除時の障壁高さ（0.50 eV）よりも低い値 0.46 ±0.02 eV となり、電界放出電流と熱電子放出電流の中間的なキャリアの伝導機構により電流が流れている。以上より、図 5.4 に MSi_n 膜の電子濃度、及び MSi_n 膜/*n*-Si の接合の種類（MIS 接合、MUS 接合）を表す概念図を示す。WSi_n 膜が高い電子濃度を保持しているため、WSi_n 膜/*n*-Si は電界放出電流が支配的な MUS 接合を形成する。一方、$NiSi_n$ 膜、及び $TaSi_n$ 膜の電子濃度は低いため、$NiSi_n$ 膜/*n*-Si、及び $TaSi_n$ 膜/*n*-Si は熱電子放出電流が支配的な MIS 接合を形成する。$MoSi_n$ 膜では MUS 接合と MIS 接合の中間的接合を形成する。

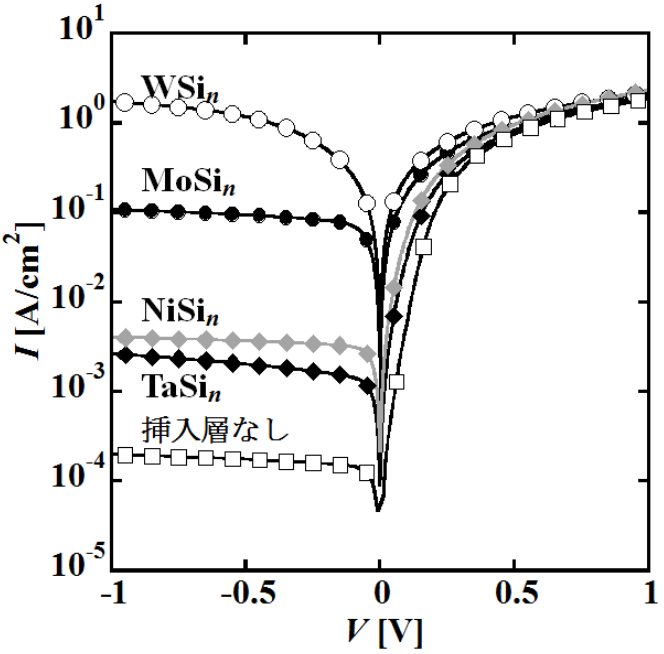

図 5.3.　W/MSi_n 膜/*n*-Si（*M*:W, Mo, Ni, Ta）の室温での *I-V* 特性

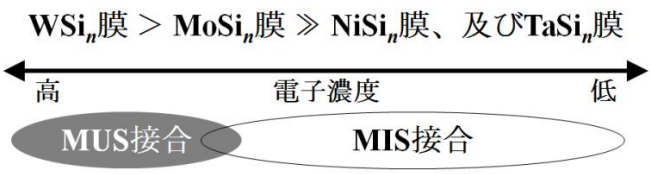

図 5.4. *M*Si$_n$ 膜（*M*:W, Mo, Ni, Ta）の電子濃度と *M*Si$_n$ 膜/*n*-Si の接合の種類を示す概念図

5.3.2 W 内包 Si クラスターを用いた *n*-Si に対する MUS 接合と MIS 接合

大幅な接触抵抗低減が期待できる WSi$_n$ 膜に着目し、MUS 接合形成の検証を行った。WSi$_n$ 膜の Si 組成比 *n* をラザフォード後方散乱分析法により調べたところ、*n* は 8–10 であった。図 5.5(a)に、Si(100)基板上に形成した WSi$_n$ 膜の断面 STEM 像を示す。Si 基板上でエピタキシャル構造（膜厚: ~2 nm）が観測された。一方、フラッシングを行わないフッ酸洗浄のみの Si 基板上に、同様の手法で WSi$_n$ 膜を形成したところ、WSi$_n$ 膜はアモルファス状態を維持していた（図 5.5(b)）。エピタキシャル構造を作製するためには、WSi$_n$H$_x$ クラスター堆積前に、Si 基板表面の原子レベルでの平坦化や清浄化が必要である。WSi$_n$H$_x$ クラスター堆積後の熱処理により、水素脱離、及びクラスター同士の結合ネットワークの秩序化が促進され、WSi$_n$ 膜と下地基板の格子が整合することでエピタキシャル成長する。また、エピタキシャル成長した WSi$_n$ 膜の上部には、アモルファス状態の層が残っている。図 5.5(a)のエピタキシャル WSi$_n$ 膜では、10 分間の熱処理を行った。熱処理時間を 20 分間に延ばしても、エピタキシャル WSi$_n$ 膜の膜厚は増大しなかった。これは、WSi$_n$ 膜のエピタキシャル層には臨界膜厚が存在することを示している。下地基板との構造の差や格子定数差による歪の影響等を受けて、エピタキシャル層の成長が自己停止すると考える。

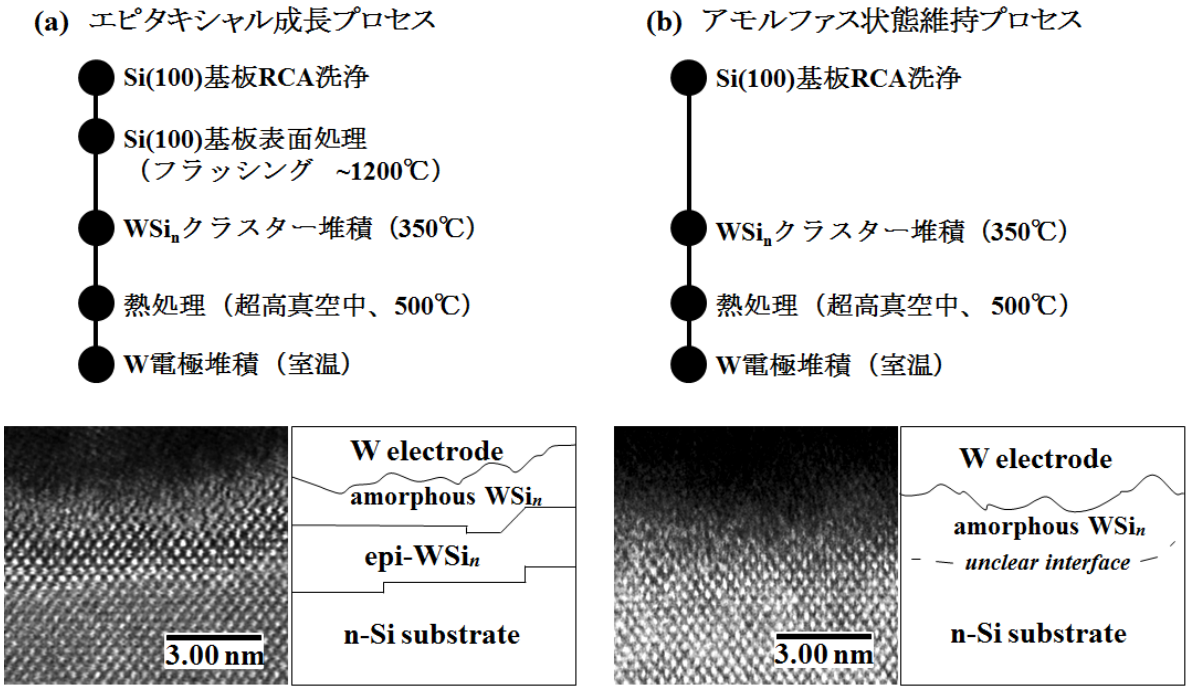

図 5.5. Si(100)基板上に形成した WSi$_n$ 膜の作製フローと断面 STEM 像。WSi$_n$ 膜の堆積前の Si 基板に（a）フラッシング処理と（b）フッ酸洗浄を行った。

図 5.6 に W/エピタキシャル WSi_n 膜/*n*-Si（図 5.5(a)）と W/アモルファス WSi_n 膜/*n*-Si（図 5.5(b)）の *I-V* 特性を示す。W/エピタキシャル WSi_n 膜/*n*-Si はオーミック特性を示したのに対して、W/アモルファス WSi_n 膜/*n*-Si は整流特性を示した。この整流特性の障壁高さは 0.54 ±0.09 eV と、挿入層なしの W/*n*-Si の障壁高さ 0.67 ±0.01 eV よりも低い値となった。これは、フェルミレベルピンニングが解除されたことを示す。従って、図 5.7 に示すように、エピタキシャル WSi_n 膜を挿入層に用いた接合は電界放出が支配的な MUS 接合を、アモルファス WSi_n 膜を挿入層に用いた接合は熱電子放出電流が支配的な MIS 接合を形成している。

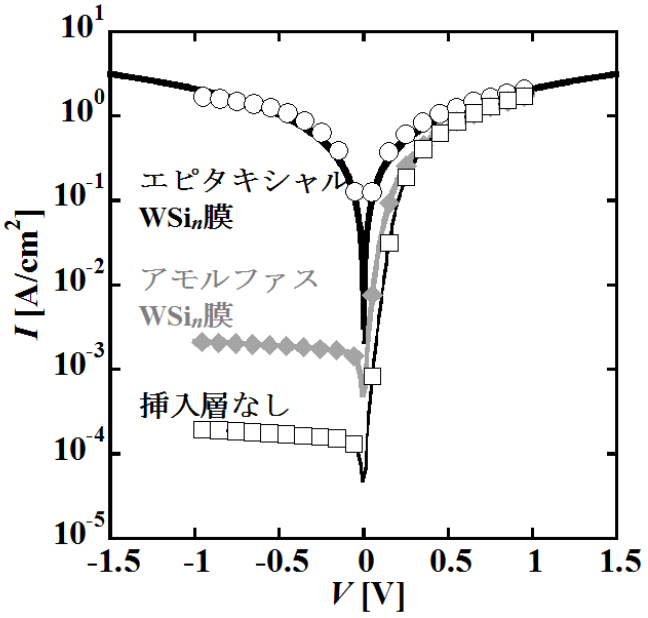

図 5.6. W/エピタキシャル WSi_n 膜/*n*-Si と W/アモルファス WSi_n 膜/*n*-Si の *I-V* 特性

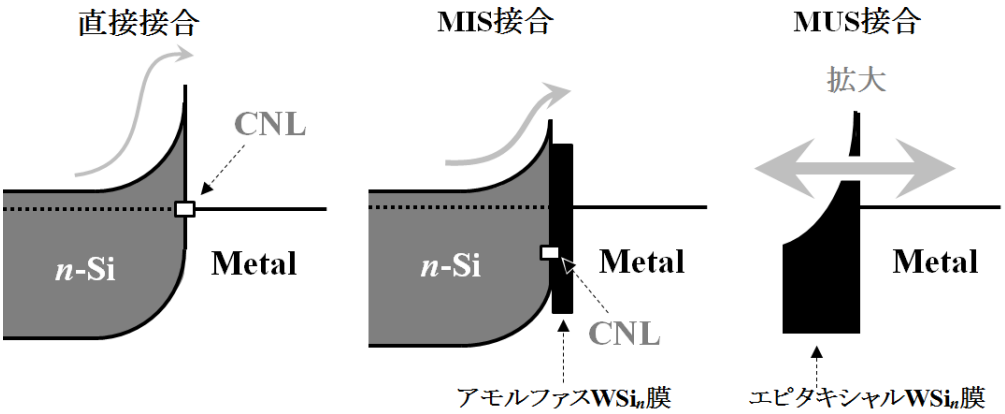

図 5.7. W/*n*-Si の直接接合、W/アモルファス WSi_n 膜/*n*-Si の MIS 接合と、及び W/エピタキシャル WSi_n 膜/*n*-Si の MUS 接合のバンド模式図。MIS 接合ではフェルミレベルピンニングが解除される。MUS 接合では、エピタキシャル WSi_n 膜と電極間で電界放出電流が支配的となる。

図 5.8 に、これらの接合の *C-V* 特性より得られる障壁高さ φ_{CV}、*n*-Si の内蔵電位 V_{bi}、及び伝導帯端からフェルミレベルまでのエネルギー$\Delta\varphi_f$の温度依存性を示す。エピタキシャル WSi_n 膜の MUS 接合は、室温付近でもれ電流が大きく、容量を測定することができなかった。逆方向バイアスにおいて、W 電極とエピタキシャル WSi_n 膜の間で電界放出電流、あるいは、トンネル電流が支配的となるためである。この結果は、室温の *I-V* 測定で得られたオーミック特性の結果と一致する。エピタキシャル WSi_n 膜の MUS 接合は、220 K 以下で空乏層を形成して容量が測定可能になり、~0.4 eV の障壁高さを示した。エピタキシャル WSi_n 膜の電子が凍結したために空乏化したと考える。一方、アモルファス WSi_n 膜との接合では、室温付近から低温領域で電子の障壁高さが 0.59 eV とほぼ一定の値を示した。

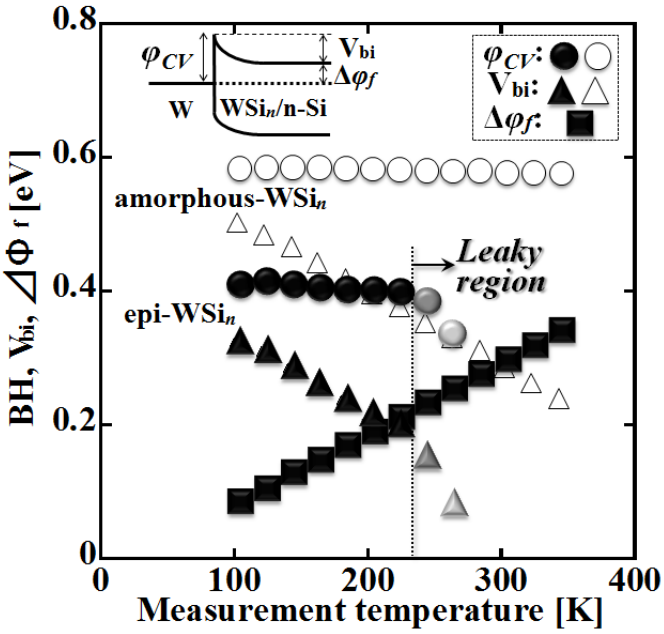

図 5.8. W/エピタキシャル WSi_n 膜/*n*-Si 接合（黒色プロット）、及び W/アモルファス WSi_n 膜/*n*-Si 接合（白色プロット）の *C-V* 特性より得られた障壁高さ φ_{CV}、*n*-Si の内蔵電位 V_{bi}、及び伝導帯端からフェルミレベルまでのエネルギー$\Delta\varphi_f$の温度依存性

次に、φ_{CV} と *I-V* 特性から得られる障壁高さ（φ_{IV}）との整合性を調べた。図 5.9 に W/エピタキシャル WSi_n 膜/*n*-Si 接合の φ_{IV} と理想係数（η）の温度依存性（100–220 K）を示す。図 5.8 で示したように、220 K 以下の温度範囲でエピタキシャル WSi_n 膜の電子の凍結が起こり、容量測定で *n*-Si の空乏層厚を評価することができる。*I-V* 測定でも、220 K 以下の温度範囲で明らかな整流特性が得られた。この整流特性が熱電子放出モデル(2-1)式に基づくと仮定して、φ_{IV} と η 係数を導出した。その結果、220 K の時の障壁高さは、0.39 eV、η 係数は 1.00 となった。エピタキシャル WSi_n 膜は、生成・再結合電流の原因となる界面状態を形成せずに、Si と理想的なヘテロ界面を形成している。また、温度の低下に伴い、η 係数が増大した。これは、*n*-Si の内蔵電位 V_{bi} が増大し、伝導帯端からフェルミレベルまでのエネルギー差 $\Delta\varphi_f$ が減少するために、障壁高さの空間的不均一性の影響が顕著となるためである。その結果、φ_{CV}（図 5.8）と、φ_{IV}（図 5.9）が整合しない。そこで、仮想的にフ

ラットバンド化した状態を形成して φ_{IV} を補正する手法を用いた[13–17]。φ_{IV} を補正した障壁高さ（$\varphi_{F\text{-}IV}$）は、(5-1)式で与えられる。

$$\varphi_{F-IV} = \eta\varphi_{IV} - (\eta - 1)\frac{kT}{q} ln\left(\frac{N_C}{N_d}\right) \tag{5-1}$$

ここで、η は *I-V* 特性から得られる η 係数、N_c は Si の伝導帯の実効状態密度、N_d は Si のドナー不純物密度、k はボルツマン定数、T は測定温度である。図 5.10 に補正した結果を示す。$\varphi_{F\text{-}IV}$ と φ_{CV} がほぼ一致した。また、φ_{IV} の障壁高さの空間的均一性を、(5.2)式を用いてガウス分布で近似することができる[15–17]。

$$\varphi_{IV} = \varphi_0 - \frac{q\sigma^2}{2kT} \tag{5-2}$$

ここで、φ_0 は φ_{IV} のガウス分布の平均値、σ は標準偏差である。φ_{IV} の温度依存性より得られる結果を、Y 軸を φ_{IV}、X 軸を$(2kT)^{-1}$ としてプロットすることで、傾きから σ を、Y 軸切片から φ_0 を求めることができる。W/*n*-Si の障壁高さの σ は 0.11 eV となった。この分布は、W 電極の仕事関数のばらつき[22]等に起因する。一方、W/エピタキシャル WSi_n 膜/*n*-Si の障壁高さの σ は 0.14 eV となった。この値は、W/*n*-Si の障壁高さの σ とほぼ同じ値である。これは、W/エピタキシャル WSi_n 膜/*n*-Si の障壁高さの空間的均一性が W 電極に由来し、エピタキシャル WSi_n 膜/*n*-Si では空間的均一性の高いヘテロ障壁を形成していることを示す。

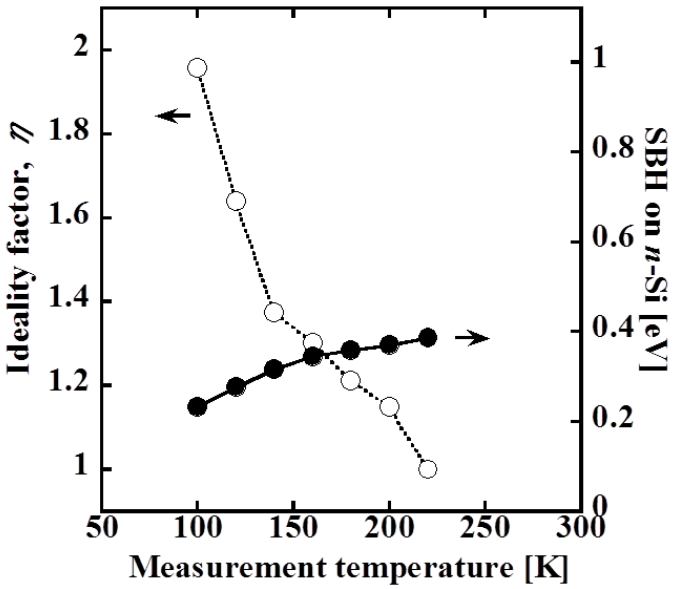

図 5.9. W/エピタキシャル WSi_n 膜/*n*-Si 接合の *I-V* 特性から得られる障壁高さ φ_{IV} と理想係数 η の温度依存性（100–220 K）

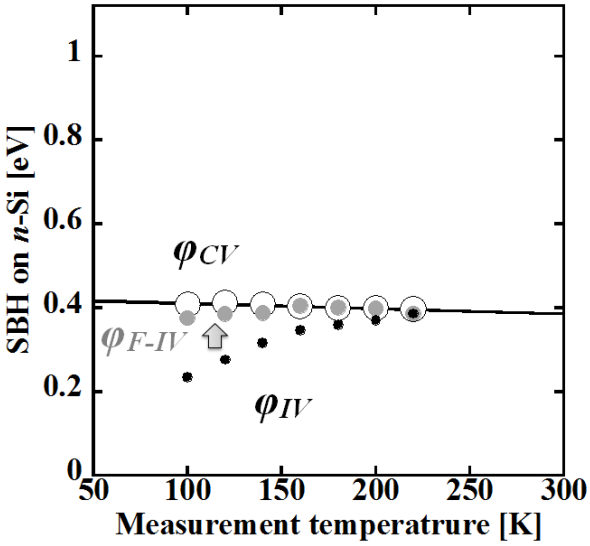

図 5.10. W/エピタキシャル WSi_n 膜/*n*-Si 接合の *I-V* 特性から得られる障壁高さ φ_{IV} を補正した $\varphi_{F\text{-}IV}$、及び φ_{CV} の関係。ここで、φ_{CV} は図 5.8 で示した結果と同様である。

5.3.3　W 内包 Si クラスターと *p*-Si による *p-n* ヘテロ接合の形成

p-Si（比抵抗：8 Ω·cm、電子濃度：~2×10^{14} cm^{-3}）に対するエピタキシャル WSi_n 膜のヘテロ接合の特性を調べた。W/エピタキシャル WSi_n 膜/*p*-Si の室温の *I-V* 測定では整流特性が得られ、熱電子放出モデルにより算出される η 係数は、1.09 ±0.03 を示した（図 5.11）。*n*-Si に対する接合と同様に、1 に近い η 係数は、生成・再結合電流成分よりも熱電子放出電流成分が支配的であり、Si と理想的なヘテロ界面を形成していることを示す。図 5.12 に示す室温の *C-V* 測定より、W/エピタキシャル WSi_n 膜/*p*-Si は 0.79 ±0.02 eV の大きな正孔の障壁高さを示した。これらの結果より、*n* 型半導体であるエピタキシャル WSi_n 膜と *p*-Si が *p-n* ヘテロ接合を形成している。以上の結果から考えられる W/エピタキシャル WSi_n 膜/*n*-Si、及び W/エピタキシャル WSi_n 膜/*p*-Si のバンド図を図 5.13 に示す。XPS より、価電子帯端からフェルミレベルまでは~0.5 eV である[21]。*p*-Si との電気的接合特性の結果より、WSi_n 膜/*p*-Si 界面の価電子帯のバンドオフセットは、~0.3 eV と見積もられる。伝導帯端からフェルミレベルまでが 0.16 eV であるため（図 3.20）、*n*-Si との電気的接合特性の結果より、エピタキシャル WSi_n 膜/*n*-Si 界面の伝導帯端のバンドオフセットを 0.16 eV、W/エピタキシャル WSi_n 膜の障壁を 0.24 eV と見積もることができる。エピタキシャル WSi_n 膜が高い電子濃度を保持している場合、W/エピタキシャル WSi_n 膜に形成される障壁の幅が狭くなり、電界放出電流が支配的となる。エピタキシャル WSi_n 膜が 2 nm の膜厚で内蔵電位が 0.08 eV の時、エピタキシャル WSi_n 膜の電子濃度は 1.3×10^{19} cm^{-3} 以上と見積もられる。この値は、3.3 節で議論した SOI 基板上エピタキシャル WSi_n 膜の電子濃度 6.5×10^{19} cm^{-3} と整合する値である。図 5.13(b)の *n*-Si 接合で測定温度を低温化した際、エピタキシャル WSi_n 膜のイオン化ドナーは減少し、電子濃度は減少する。その結果、障壁の幅は広くなり、電界放出電流から障壁を乗り越える熱電子放出電流へと支配的な電流成分が変わり、障壁高さは、WSi_n 膜/*n*-Si 界面の伝導帯端のバンドオフセットの 0.16 eV と W/WSi_n 膜の障壁の 0.24 eV を合計した 0.4 eV となる。

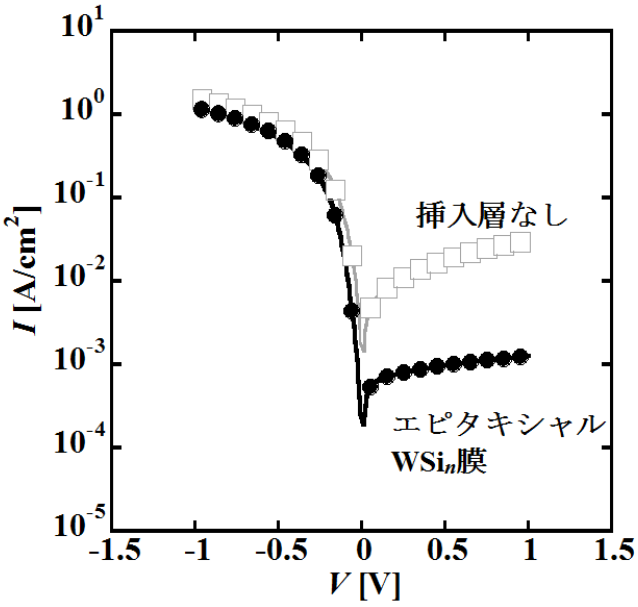

図 5.11. W/エピタキシャル WSi$_n$ 膜/*p*-Si、及び W/*p*-Si の室温の *I*-*V* 特性

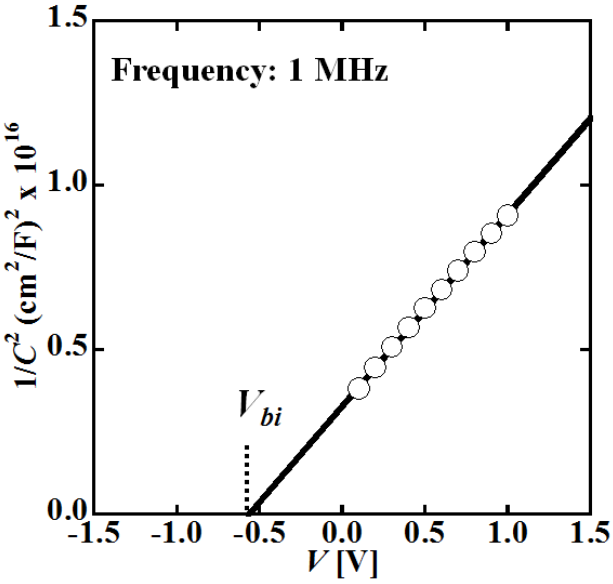

図 5.12. W/エピタキシャル WSi$_n$ 膜/*p*-Si の室温の C^{-2}-V 特性。V_{bi} = 0.58 ±0.02 eV を示した。

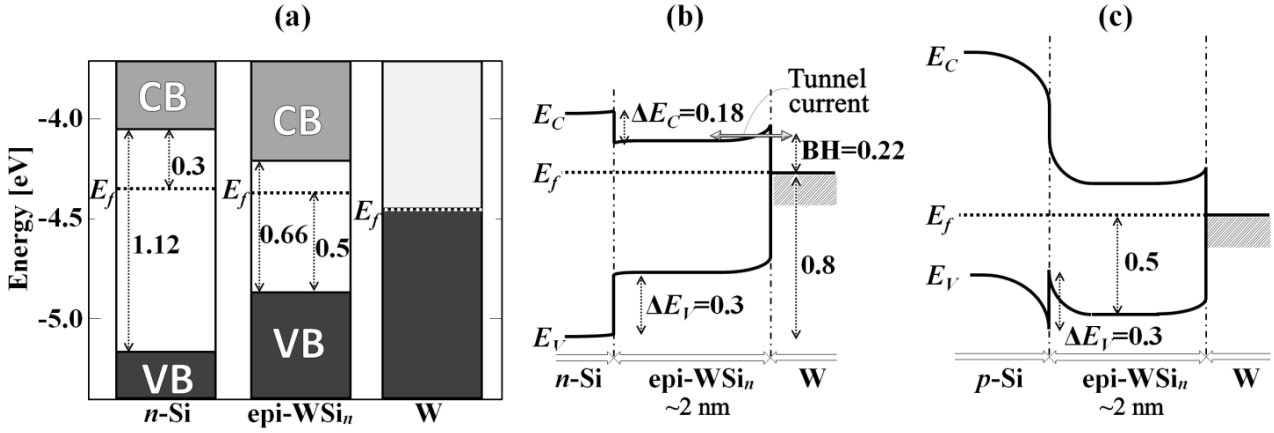

図 5.13. (a)*n*-Si とエピタキシャル WSi_n 膜と W 電極のバンド図。(b)W/エピタキシャル WSi_n 膜/*n*-Si、及び(c) W/エピタキシャル WSi_n 膜/*p*-Si のバンド図

次に、低い障壁を形成したヘテロ接合は、接触抵抗を低減できると考え、W/エピタキシャル WSi_n 膜/*n*-Si の固有接触抵抗を調べた。TLM 法[18]を用いて評価したところ、W/エピタキシャル WSi_n 膜/*n*-Si で 8.7×10^{-2} Ω·cm^2、W/*n*-Si のショットキー接合（障壁高さ：0.67 eV）で 4.1 Ω·cm^2 を示した。ここで、*n*-Si は、5×10^{14} /cm^3 の低キャリア濃度の基板を用いた。以上より、W と低不純物濃度 *n*-Si の接触界面にヘテロエピタキシャル WSi_n 膜を原子層厚（~2 nm）で接合することで、挿入しない接合（W/*n*-Si）に比べて約 1 桁以上の接触抵抗低減が可能である。

5.3.5　遷移金属内包 Si クラスター／*n*-Ge 接合と *n*-Si 接合の関連性

第 4 章で議論した室温堆積のアモルファス MSi_n 膜の *n*-Ge に対する MIS 接合と、第 5 章で議論した *n*-Si に対する接合のピンニング解除性能の整合性を議論する。図 5.14 に、アモルファス MSi_n 膜（室温堆積）を用いた MIS 接合の *n*-Ge に対する障壁高さを縦軸に、エピタキシャル成長プロセスで作製した MSi_n 膜（350 °C 堆積後に 500 °C 熱処理）と *n*-Si の接合の障壁高さを横軸に整理した結果を示す。ここで、全ての接合において、金属電極は室温堆積の W 電極である。図 5.14 より、各種 MSi_n 膜の *n*-Ge と *n*-Si の障壁高さに正の相関があることがわかる。MSi_n 膜は、*M* : W>Mo>Ni>Ta の順序でピンニング解除能力を有する。この順序は、遷移金属原子の Pauling の電気陰性度[19, 20]（W:2.36、Mo:2.16、Ni:1.91、Ta:1.5）と相関がある。内包される遷移金属種により MSi_n クラスターの電気陰性度が異なることで、Ge や Si と MSi_n クラスターの結合の分極率やダイポールモーメントに差異が生じ、MSi_n クラスターの種類により終端能力に差異が生じたと推測する。

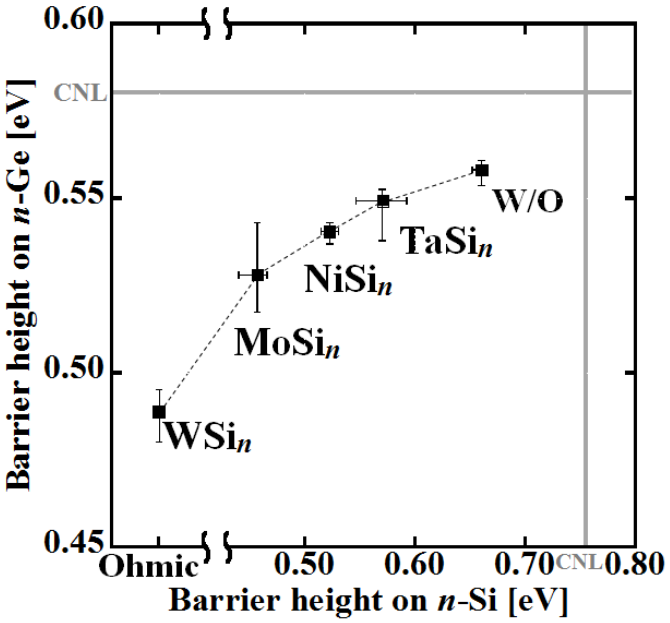

図 5.14. 室温堆積のアモルファス $M\mathrm{Si}_n$ 膜/*n*-Ge 接合の障壁高さ（第 4 章）、及びエピタキシャル成長プロセスで作製した $M\mathrm{Si}_n$ 膜/*n*-Si 接合の障壁高さ（第 5 章）の関係

5.4 まとめ

本章では、接合相手の半導体材料として Si に着目し、高キャリア濃度を有する W 内包 Si クラスター薄膜（WSi_n 膜）を金属と Si の接触界面に挿入することで、電界放出電流に基づく接触抵抗の低減を検討し、以下の結論を得た。

・Si 基板上で W 内包 Si クラスターを基にエピタキシャル成長した膜（エピタキシャル WSi_n 膜）は、高い電子濃度（> 1.3×10^{19} cm^{-3}）と狭いバンドギャップ（~0.66 eV）も持つ。

・金属と *n*-Si の接触界面に~2 nm の膜厚のエピタキシャル WSi_n 膜を挿入（MUS 接合を形成）することで、室温で電界放出電流に基づくオーミック特性を示す。

・Ni、及び Ta を内包した Si クラスター膜では、Si 基板上で MUS 接合ではなく、MIS 接合を形成する。

・Mo 内包 Si クラスター膜では、MUS 接合と MIS 接合の中間的な接合を形成する。

・エピタキシャル WSi_n 膜を用いた低不純物濃度 *n*-Si に対する MUS 接合は、従来の金属/*n*-Si 接合の約 1 桁以上の接触抵抗低減が可能である。

・*p*-Si 上にエピタキシャル WSi_n 膜を形成することで、界面準位の少ない高品質な *p-n* ヘテロ接合（η 係数 = 1.09）を形成する。

・$M\mathrm{Si}_n$ クラスターに内包される遷移金属原子 *M* の種類が、$M\mathrm{Si}_n$ クラスターの半導体基板表面における終端能力の決定要因となる。

参考文献

[1] "Process integration, devices, and structures" *in Int. Tech. Roadmap for Semiconductors*, 2012 ed.

[2] R. T. Tung, "Recent advances in Schottky barrier concepts", *Materials Science and Eng.* R 35, 1 (2001).

[3] E. Bucher, S. Schulz, M. Ch. Lux-Steiner, P. Munz, U. Gubler, and F. Greuter, "Work Function and Barrier Heights of Transition Metal Silicides", *Appl. Phys.* A 40, 71 (1986).

[4] K. N. Tu, R. D. Thompson, and B. Y. Tsaur, "Low Schottky barrier of rare-earth silicide on *n*-Si", *Appl. Phys. Lett.* 38, 626 (1981).

[5] S. Zhu, J. Chen, M. –F. Li, S. J. Lee, J. Singh, C. X. Zhu, A. Du, C. H. Tung, Al Chin, and D. L. Kwong, "N-Type Schottky Barrier Source/Drain MOSFET Using Ytterbium Silicide", *IEEE Electron Device Lett.* 25, 565 (2004).

[6] M. Jang, Y. Kim, J. Shin, and S. Lee, "Characterization of Erbium-Silicided Schottky Diode Junction", *IEEE Electron Device Lett.* 26, 354 (2005).

[7] F. Trincat, J. L. Regolini, J. Mercier, and D. Bensahel, "Selective WSi_2 Schottky diodes made by rapid thermal chemical vapor depositon of WCl_6", *Appl. Phys. Lett.* 59, 3291 (1991).

[8] J. M. Andrews and M. P. Lepselter, "Reverse current-voltage characteristics of metal-silicide Schottky diodes", *Solid State electron.* 13, 1011 (1970).

[9] C. Nyamhere, A. Chawanda, A. G. M. Das, F. D. Auret, M. Hayes, "Thermal stability of Co, Ni, Pt or Ru Schottky contacts on n-Si and defects introduced thereon during contacts fabrication using electron beam deposition", *Physica* B 401, 226 (2007).

[10] J. Robertson, "Band offsets of wide-band-gap oxides and implications for future electronic devices", *J. Vac. Sci. Technol. B* 18, 1785 (2000).

[11] A. M. Cowley and S. M. Sze, "Surface States and Barrier Height of Metal Semiconductor Systems", *J. Appl. Phys.* 36, 3212 (1965).

[12] R. Kuroda, H. Tanaka, Y. Nakao, A. Teramoto, N. Miyamoto, S. Sugawa, and T. Ohmi, "Ultra-low Series Resistance W/$ErSi_2$/n^+-Si and W/Pd_2Si/p^+-Si S/D Electrodes for Advanced CMOS Platform", *Tech. Dig. Int. Electron Devices Meet.* (*IEDM*), 580 (2010).

[13] L. F. Wagner, R. W. Young, and A. Sugerman, "A Note on the Correlation Between the Schottky Diode Barrier Height and the Ideality Factor as Determined from *I-V* Measurement", *IEEE Electron Device Lett.*, 4, 320 (1983).

[14] V. W. L. Chin, M. A. Green, and J. W. V. Strorey, "Evidence for multiple barrier heights in *p*-type PtSi Schottky-barrier diodes from *I-V-T* and photoresponse measurements", Solid-State electron. 33 299 (1990).

[15] J. H. Werner and H. H. Güttler, "Barrier inhomogeneities at Schottky contacts", *J. Appl. Phys.* 69, 1522 (1991).

[16] Y. G. Chen, M. Ogura, and H. Okushi, "Temperature dependence on current-voltage characteristics of nickel/diamond Schottky diodes on high quality boron-doped homoepitaxial diamond film", *Appl. Phys. Lett.* 82, 4367 (2003).

[17] J. P. Sullivan, R. T. Tung, M. R. Pinto, and W. R. Graham, “Electron transport of inhomogeneous Schottky barriers: A numerical study”, *J. Appl. Phys.*70, 7403 (1991).

[18] G. S. Marlow and M. B. Das, “The effects of contact size and non-zero metal resistance on the determination of specific contact resistance”, *Solid-St. Electron.* 25, 91 (1982).

[19] 千原秀昭, 稲葉章, “アトキンス物理化学要論（第 2 版）”, 東京化学同人, (1998).

[20] A. L. Allred, “Electronegativity values from thermochemical data”, *J. Inorg. Nucl. Chem.* 17, 215 (1961).

[21] S. J. Park, N. Uchida, T. Tada, and T. Kanayama, “Electronic properties of W-encapsulated Si cluster film on Si (100) substrates”, *J. Appl. Phys.* 111, 063719 (2012).

[22] C. J. Fall, N. Binggeli, and A. Baldereschi, “Theorerical maps of work-function anisotropies”, *Phys. Rev. B* 65, 045401, (2001).

第 6 章　結論

6.1　本研究で得られた成果

本論文では、遷移金属内包 Si クラスターで構成した薄膜（MSi$_n$ 膜）と半導体の接合形成に関する議論を行った。微細トランジスタのソース／ドレイン領域には、接合の急峻性や接触抵抗の低減が必要とされている。接触抵抗の低減に関しては、１）ショットキー障壁高さの低減、及び２）半導体のキャリア濃度の増大という二つのアプローチから遷移金属内包 Si クラスター材料を用いた接合形成技術を議論した。遷移金属内包 Si クラスターの接合相手の半導体材料として１）では Ge、２）では Si に着目して議論した。主要な成果は次の通りである。

１）　Ge と遷移金属内包 Si クラスターの接合形成技術（MIS 接合）

・遷移金属内包 Si クラスターの凝集アモルファス膜（アモルファス MSi$_n$ 膜：Ta、Ni、Mo、W）を半導体と金属の接触界面に挿入した MIS 接合により、フェルミレベルピンニングを解除できる。アモルファス WSi$_n$ 膜が、最も高いピンニング解除性能を示す。

・アモルファス WSi$_n$ 膜の MIS 接合が示す高いピンニング解除性能は、アモルファス WSi$_n$ 膜による Ge 表面の高い終端能力、及びアモルファス WSi$_n$ 膜自体の低い誘電率に基づく。

・アモルファス WSi$_n$ 膜を用いた MIS 接合により、金属/n-Ge 接合の約 4 桁の接触抵抗低減が可能となる。

・アモルファス WSi$_n$ 膜を用いた MIS 接合の低い接触抵抗は、アモルファス WSi$_n$ 膜/Ge 接合界面における伝導帯端の低いバンドオフセット、及びフェルミレベルピンニングの解除に基づく。

・アモルファス WSi$_n$ 膜の MIS 接合を S/D に適用することで、Ge のショットキー型 nFET のトランジスタ動作が可能となる

２）　Si と遷移金属内包 Si クラスターの接合形成技術（MUS 接合）

・Si 基板上で W 内包 Si クラスターを基にエピタキシャル成長した膜（エピタキシャル WSi$_n$ 膜）は、高い電子濃度（6.5×10^{19} cm^{-3}）と狭いバンドギャップ（~0.66 eV）も持つ。

・金属と低濃度の n-Si の接触界面にエピタキシャル WSi$_n$ 膜を挿入することで、電界放出電流に基づくオーミック特性を示す。

・エピタキシャル WSi$_n$ 膜を用いた n-Si の MUS 接合により、金属/n-Si 接合の約 1 桁以上の接触抵抗低減が可能となる。

・p-Si 上にエピタキシャル WSi$_n$ 膜を形成することで、高品質な p-n ヘテロ接合を形成する。

6.2　今後の展開と課題

今後の展開として、遷移金属内包 Si クラスター凝集膜（MSi$_n$ 膜）と半導体との接合形成技術を最先端の微細トランジスタや新構造トランジスタに適用することが挙げられる。そのためには、いくつかの課題を解決していく必要がある。特に、MSi$_n$ 膜自体の物性には未だ不明な点が存在し、MSi$_n$ 膜を用いた接合技術の信頼性向上や性能向上のために、それらを解明していく必要がある。主

要な課題は次の通りである。

・$M\mathrm{Si}_n$膜は、堆積する基板の材料や表面状態に依存して、構造がアモルファスとエピタキシャル結晶に分かれる。これら膜構造の状態を高い精度で制御するために、エピタキシャル成長機構や詳細な成長条件を明らかにする。

・$M\mathrm{Si}_n$ 膜の広範囲に亘るキャリア濃度制御を実現するために、$M\mathrm{Si}_n$ 膜中でキャリアが発生する起源を明らかにする。

・$M\mathrm{Si}_n$膜の Si 組成比 n と、ピンニング解除性能や膜中のキャリア濃度の関係は不明である。ピンニング解除性能の向上やキャリア濃度の制御、膜物性の解明のために、Si 組成比 n に関する系統的な研究が必要である。

・アモルファス WSi_n膜の MIS 接合 S/D による Ge のショットキー型 nFET では、リーク電流の抑制、駆動力の向上が必要である。そのためには、p-Ge に対して、より高いショットキー障壁を実現できる材料系が必要である。

・これまでに $M\mathrm{Si}_n$ 膜の形成に用いてきたレーザーアブレーション法では、$M\mathrm{Si}_n$ クラスターのサイズの均一化、及び膜厚や膜構造の原子レベルでの制御に限界がある。材料探索や原理検証を目的としたこれまでの研究から、トランジスタの微細化や集積化に対応するには、新しい形成手法への転換が必要である。オールガスソースによる化学気相成長法などが、その候補となる。

謝辞

筑波大学大学院 数理物質科学研究科 電子・物理工学専攻 金山敏彦 教授には研鑽の場を与えて頂くと共に、研究活動全般にわたり多大なご指導とご助言を頂きました。心より感謝の意を表すると共に厚く御礼申し上げます。

また、本研究の遂行、及び本論文の執筆にあたり、筑波大学 村上浩一 名誉教授、筑波大学大学院 数理物質科学研究科 電子・物理工学専攻 山田啓作 教授、山部紀久夫 教授、末益崇 教授、株式会社 富士通研究所 横山直樹 フェローには、丁寧なご指導を頂き深く感謝いたします。

本研究は、筑波大学 連携大学院制度に基づき、独立行政法人 産業技術総合研究所 ナノエレクトロニクス研究部門において行われたものです。同部門 ナノスケール計測・プロセス技術研究グループ 内田紀行氏には、研究活動全般にわたり多大なご指導とご助言を頂きました。また、同グループ 多田哲也 グループ長には、研究の場を与えて頂くと共に半導体物性の計測技術やデバイス作製技術のご指導とご助言を頂きました。前田辰朗氏には、Ge デバイスの作製技術やデバイス評価技術のご指導とご助言を頂きました。福田浩一氏には、トランジスタ物理やシミュレーション技術のご指導とご助言を頂きました。パク・サンジン氏には、HREELS や計測技術の有益なご助言、ご討論を頂きました。レオニード・ボロトフ氏には、実験結果について有益なご助言、ご討論を頂きました。ならびに、同研究所の方々には、試料作製や実験装置の使用に関して、多大なご指導を頂きました。心より感謝の意を表すると共に厚く御礼申し上げます。

また、本研究は、筑波大学のつくばナノテク拠点人材育成プログラム（オナーズプログラム）の支援を受けて行われたものです。上記の筑波大学の先生方をはじめ、同プログラムの専任教員 大毛利健治 准教授、ならびに、同プログラム委員、連携コーディネータの先生方には、丁寧なご指導を頂き深く感謝いたします。

（2014 年 2 月）

本研究に関する発表論文

【印刷発表論文】

[1] N. Okada, N. Uchida, T. Kanayama, “Low-barrier heterojunction of epitaxial silicide composed of W-encapsulating Si clusters with n-type Si”, *Appl. Phys. Lett.* 101, 212103 (2012).

[2] N. Okada, N. Uchida, T. Kanayama, “Fermi-level depinning and contact resistance reduction in metal/n-Ge junctions by insertion of W-encapsulating Si cluster films”, *Appl. Phys. Lett.* 104, 062105 (2014).

【口頭発表論文】

[1] N. Okada, N. Uchida, T. Kanayama, “Electric Conduction Mechanism of Amorphous Semiconductor Films Assembled from Transition-Metal-Encapsulating Silicon Clusters”, in proceeding of *International Symposium on Clusters and Nano-Structures* (*ISCAN 2011*), p. M-32 (2011).

[2] N. Okada, N. Uchida, T. Kanayama, “Electric Conduction Mechanism of Amorphous Semiconductor Films Assembled from Transition-Metal-Encapsulating Silicon Clusters”, *International conference of New Science Created by Materials with Nano Spaces: From Fundamentals to Applications*, (2011).

[3] N. Okada, N. Uchida, T. Kanayama, “Electric Conduction Properties of Amorphous Semiconductor Films Assembled from Transition-Metal-Encapsulating Silicon Clusters”, in proceeding of *2011 Tsukuba Nanotechnology Symposium* (*TNS ’11*), p. 34 (2011).

[4] N. Okada, N. Uchida, T. Kanayama, “Electrical junction characteristics of epitaxial tungsten-encapsulating silicon cluster films on silicon substrates”, *The Eighth International Nanotechnology Conference on Communication and Cooperation* (*INC8*), (2012).

[5] N. Okada, N. Uchida, T. Kanayama, “Hetero Junction to Si Using Ultrathin Silicide Consisting of Transition-metal Encapsulating Silicon Clusters”, in proceeding of *2012 Tsukuba Nanotechnology Symposium* (*TNS ’12*), p. 33 (2012).

[6] N. Okada, N. Uchida, T. Kanayama, “Low-barrier Hetero Junction to N-type Silicon Using Novel Ultrathin Epitaxial Silicide Consisting of Tungsten-encapsulating Silicon Clusters”, in proceeding of *2012 International Conference on Solid State Devices and Materials* (*SSDM 2012*), pp. 761–762 (2012).

[7] N. Okada, N. Uchida, T. Kanayama, “Junction formation to n-Ge using transition-metal encapsulating Si clusters”, *MATERIALS RESEARCH SOCIETY (MRS) Spring Meeting & Exhibit*, T3-02, (2013).

[8] N. Okada, N. Uchida, T. Kanayama, “Low-barrier heterojunction of epitaxial silicide composed of W-encapsulating Si clusters with n-type Si”, in proceeding of *2013 Tsukuba Nanotechnology Symposium* (*TNS ’13*), p. 33 (2013).

[9] 岡田直也, 内田紀行, 金山敏彦, “$MoSi_n$ クラスター凝集膜の熱処理に伴う Si 結合状態の変化”, *文部科学省科学研究補助金 特定領域研究（配列ナノ空間を利用した新物質科学 ユビキタス元素戦略）第 4 回若手研究会*, p. 24 (2011).

[10] 岡田直也, 内田紀行, 金山敏彦, “遷移金属内包 Si クラスター材料を用いた Si との接合技術の開

発”, *第4回つくばナノテク拠点シンポジウム*, pp. 17–18 (2012).
[11] 岡田直也, 内田紀行, 金山敏彦, “遷移金属内包Siクラスター薄膜の電気伝導特性”, *第59回応用物理学関係連合講演会*, 16a-B6-3 (2012).
[12] 岡田直也, 内田紀行, 金山敏彦, “遷移金属内包 Si クラスターを単位構造としたシリサイド半導体と Si との接合特性”, *第73回応用物理学会学術講演会*, 11p-F5-7 (2012).
[13] 岡田直也, 内田紀行, 金山敏彦, “タングステン内包Siクラスター薄膜を用いたGeとの金属接合技術の開発”, *第74回応用物理学会学術講演会*, 19p-B4-18 (2013).