CMOS 向け高誘電率ゲート絶縁膜の長期信頼性

藤井 泉

2013 年 2 月

筑波大学大学院博士課程

数理物質科学研究科博士論文

博士（工学）

CMOS 向け高誘電率ゲート絶縁膜の長期信頼性

藤井 泉

ナノサイエンス・ナノテクノロジー専攻

目次

第 1 章　序論　4

1.1　緒言……4

1.2　LSI におけるスケーリング……4

1.3　高誘電率ゲート絶縁膜の導入と材料選択 ……7

1.4　ゲート絶縁膜における信頼性項目(TZDB、TDDB、NBTI、HCI) ……8

1.4.1 タイムゼロ絶縁破壊　(Time Zero Dielectric Breakdown :TZDB) ……8

1.4.2 経時絶縁破壊　(Time-dependent Dielectric Breakdown :TDDB) ……10

1.4.3 負バイアス温度不安定性　(Negative Bias Temperature Instability :NBTI) ….11

1.4.4 ホットキャリア注入現象　(Hot Carrier Injection :HCI) ……12

1.5　高誘電率ゲート絶縁膜における信頼性の研究 ……13

1.6　本論文の目的と構成 ……16

参考文献……18

第 2 章　デバイス作製と評価手法　23

2.1　はじめに……23

2.2　デバイス作製方法 ……23

2.3　評価・解析手法 ……25

2.3.1 バイアス温度不安定性(BTI)の測定および解析方法……26

2.3.2 チャージポンピング(CP)法による界面準位の測定および解析方法 ……26

2.3.3 経時絶縁破壊(TDDB)の測定および解析方法 ……29

2.4　本章のまとめ ……31

参考文献……32

第 3 章　HfSiON におけるバイアス温度不安定性(Bias Temperature Instability)　33

3.1　はじめに……33

3.2　HfSiON 中の初期欠陥が NBTI に及ぼす影響 ……35

3.2.1　サンプル作製および評価方法 ……35

3.2.2　HfSiONとSiO_2のNBTI特性の違い ……36

3.2.3　HfSiON 膜中の初期欠陥が NBTI 特性に与える影響 ……37

3.2.4　初期欠陥の影響を取り除いた寿命予測手法……40

3.3　HfSiON 中の欠陥が PBTI、NBTI の回復挙動に及ぼす影響……43

3.3.1　サンプル作製および評価方法 ……43

3.3.2　HfSiON における PBTI の劣化、回復の挙動 ……44

3.3.3　HfSiON における NBTI の劣化、回復の挙動……46

3.3.4　回復率のストレス電界依存性 ……49

3.3.5　PBTI と NBTI の劣化回復モデル ……52
3.3.6　AC ストレス下でのΔVth の電界加速係数への影響 ……53
3.4　本章のまとめ ……55
参考文献 ……56

第 4 章 HfSiON における経時絶縁破壊(Time Dependent Dielectric Breakdown)　57
4.1　はじめに ……57
4.2　基板ホットキャリア注入下での HfSiON の経時絶縁破壊特性 ……57
4.2.1　サンプル作製および評価方法 ……58
4.2.2　HfSiON の絶縁破壊に対する Qp モデルの検証 ……61
4.2.3　ホットキャリア注入下での HfSiON の絶縁破壊特性 ……62
4.2.4　キャリアの流量バランスを変えた際の絶縁破壊特性 ……66
4.2.5　HfSiON のトラップ特性 ……69
4.2.6　HfSiON の絶縁破壊機構の考察 ……72
4.3　HfSiON の絶縁破壊特性に対するフッ素注入の影響 ……73
4.3.1　サンプル作製および評価方法 ……74
4.3.2　初期欠陥に対するフッ素添加の効果 ……75
4.3.3　生成欠陥に対するフッ素添加の効果 ……78
4.3.4　BTI、TDDB に対するフッ素添加の効果 ……80
4.4　HfSiON の絶縁破壊特性におけるゲート電極依存性 ……84
4.4.1　サンプル作製および評価方法 ……84
4.4.2　ポリシリコン電極と金属電極を用いた際の破壊挙動の比較 ……85
4.4.3　破壊寿命分布のゲート電極材料依存性 ……86
4.5　DC ストレス、AC ストレスにおける HfSiON の絶縁破壊特性 ……92
4.5.1　サンプル作製および評価方法 ……92
4.5.2　DC ストレス、AC ストレス下における絶縁破壊寿命分布 ……93
4.5.3　電流成分による破壊寿命分布の変調 ……95
4.5.4　パーコレーションモデルに基づく欠陥サイズの考察 ……97
4.6　pMISFET における HfSiON の絶縁破壊特性に対する膜中水素の影響 ……101
4.6.1　サンプル作製および評価方法 ……102
4.6.2　HfSiON/SiO_2スタックにおけるワイブル分布 ……103
4.6.3　pMISFET における劣化および絶縁破壊機構 ……104
4.6.4　HfSiON 中の水素が pMISFET の劣化に及ぼす影響 ……110
4.7　本章のまとめ ……113
参考文献 ……115

第 5 章 結論　118

研究業績 121

謝辞 128

第 1 章　序論

1.1　緒言

本章では、まずシリコンLSI (Large Scale Integration)を構成するトランジスタ(MOSFET: Metal-Oxide-Semiconductor Field-Effect Transistor)の微細化について述べ、高誘電率ゲート絶縁膜の導入が必要となった背景と材料選択、従来ゲート絶縁膜であるSiO_2における信頼性として問題となっている現象や、高信頼化を実現するために検討されてきた技術、高誘電率ゲート絶縁膜の信頼性についてのこれまでの研究について述べる。最後に、本論文の目的とするところを述べる。

1.2　LSI におけるスケーリング

シリコン半導体を用いた大規模集積回路(Large Scale Integration : LSI)は、いまから 50 年ほど前にシリコンを用いたトランジスタの研究が始まって以来[1, 2]、マイクロプロセッサ、IC チップ、メモリなどさまざまな電子機器に広く使用されており、小型化、高性能化が進む電子機器技術の発展に大きく貢献してきた。LSI は集積度が 1.5~2 年で 2 倍に高まるという「ムーアの法則」に従って、高性能化と低コスト化が進んできた[3]。そのシリコン LSI の発展を支えてきた最大の要因のひとつに、LSI を構成するトラランジスタの高性能化が挙げられる。図 1.1 にロジック用電界効果型トランジスタ(MOSFET : Metal-Oxide -Semiconductor Field Effect Transistor)の典型的な断面図を示す。シリコン MOSFET は、シリコン基板上に形成された、ゲート電極、ゲート絶縁膜、ソース、ドレインから構成され、ゲート電極、ソース、ドレインに電圧を印加することで駆動するスイッチング素子である。

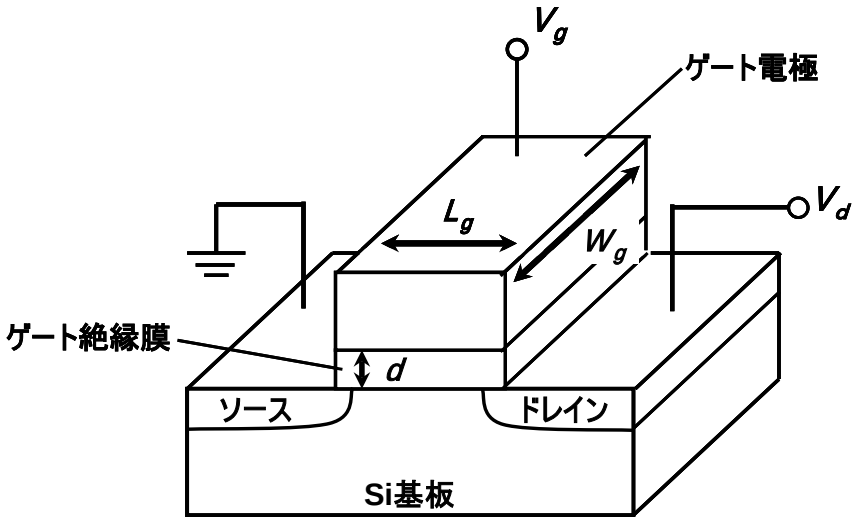


図 1.1 : MOSFET の基本的構造の模式図と各寸法の呼称、および、動作時に印加する電圧の呼称

ここで MOSFET の性能の重要な性能である最大ドレイン電流は、

$$I_d = \frac{W_g}{L_g}\mu_{eff} C_{inv}(V_g - V_{th})V_d = \frac{\mu_{eff}}{L_g} v \frac{\varepsilon}{d}(V_g - V_{th})V_d$$

W_g ：ゲート幅
L_g ：ゲート長
μ_{eff} :キャリアの実効移動度
C_{inv}：反転側のゲート容量
V_g ：ゲート電圧
V_{th} ：しきい値電圧
V_d :ドレイン電圧
ε :ゲート絶縁膜の誘電率
d :ゲート絶縁膜の膜厚

と表される。

このMOSFETを高性能化し、LSIを小型化、高密度化、高性能化をさせるためには微細化が有効である。MOSFFETの微細化は、スケーリング則[4]と呼ばれる縮小化ルールに基づいて、微細化が進められてきている。これはMOSFETのスケーリングファクターをk (＞1)としたとき、ゲート長を 1/kに微細化するとともに、ゲート絶縁膜、ソース・ドレイン接合深さなど、空乏層幅を含めたデバイスのあらゆる寸法を縮小することを意味する。表 1.1 にスケーリング則による、各デバイスパラメータの縮小比を示す。このようにデバイスパラメータを微細化すれば、回路あたりの遅延時間は 1/kに高速化し、消費電力は 1/k^2に低消費電力化し、占有面積も 1/k^2に縮小するため、LSIの高性能化を達成することが可能となる。

表 1.1：スケーリング則による各デバイスパラメータの縮小比

デバイスパラメータ	電界一定	電圧一定
デバイス寸法 L_g、W_g、t_{ox}	1/k	1/k
電圧 V	1/k	1
電界 E	1	k
電流 I	1/k	k
負荷容量 C	1/k	1/k
遅延時間 VC/I	1/k	1/k^2
消費電力 IV	1/k	k
消費電力密度 VI/L_gW_g	1	k^3

このように、スケーリングが進んでいく際に問題になることのひとつとして、ゲート絶縁膜の薄膜化限界が挙げられる。ロジック用MOSFETではLSIのスケーリングに伴って、すでに 2nmをきるような膜厚を用いて製品化が実現されている。しかし、従来のSiO_2膜をもちいて 2nmよりもさらに薄膜化を進めていくと、ゲート電極とシリコン基板間で電子が直接トンネリングをおこすため、リーク電流の増大が顕著となり、消費電力の増大やそれに伴う温度上昇などの問題が生じてくる。そのためSiO_2膜に変わるゲート絶縁膜として、2000 年前後からSiO_2よりも高い誘電率を有する絶縁膜(高誘電率絶縁膜；high-k膜とも言う)の研究開発が盛んに行われてきた。

ここで、ゲート絶縁膜の容量C_{ox}は

$$C_{ox} = \frac{\varepsilon_{ox}\varepsilon_0}{t_{ox}} S$$

ε_{ox}　:ゲート絶縁膜の比誘電率

ε_0　:真空の誘電率

S　:デバイスの素子面積

t_{ox}：ゲート絶縁膜の物理膜厚

と表される。ここで、SiO_2の比誘電率ε_{ox} は3.9程度であり、それよりも高い誘電率の材料をゲート絶縁膜に用いると、同じゲート容量を保ったまま、物理膜厚を厚くすることができる(図1.2)。たとえば、HfO_2のような、比誘電率が～20程度の材料であれば、同じ性能(ゲート容量)を保ったまま、約5倍物理膜厚を厚くすることができるため、直接トンネル電流を大幅に低減することが可能となる。

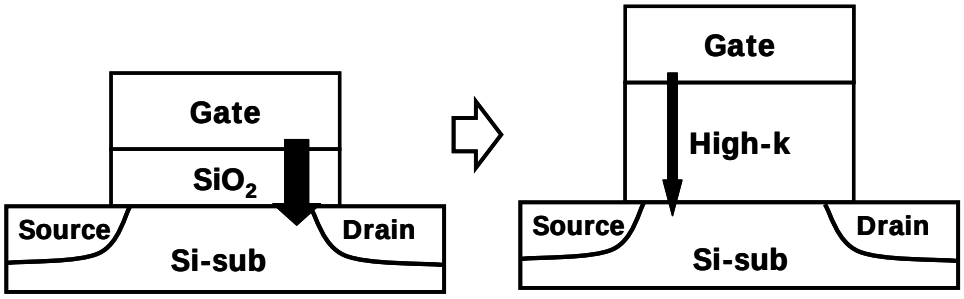


図 1.2：MOSFET のゲート絶縁膜を SiO_2 膜から高誘電率ゲート絶縁膜に置きかえた際の模式図

1.3　高誘電率ゲート絶縁膜の導入と材料選択

前節で述べたように、トランジスタの微細化に伴い、従来使用されてきた、SiO_2の代わりに高誘電率ゲート絶縁膜を導入することが必要となり、研究開発が進められてきた。

ここで、CMOS 適用のための高誘電率材料の必要な要件について示す。

1. SiO_2よりも比誘電率が高いこと。
2. Band gap がある程度広いこと。(電子、正孔に対して、十分なバリアハイトがあること。)
3. CMOS プロセスにおける高温工程に耐えうる耐熱性があること。
4. Si 界面との安定性があること。(界面準位密度が少ないこと。)
5. 信頼性保障が可能であること。

があげられる[5]。

これまでに、上記 1．2．の条件を満たす材料として、Al_2O_3、HfO_2、ZrO_2などが候補となり、研究が進められてきた[6-13]。しかし、Al_2O_3は固定電荷が多く、キャリア移動度が低くなってしまう[8]、という問題があり、またZrO_2は結晶化温度が低い(3.の耐熱性の問題)ことと、Si基板との界面の安定性が悪いことが問題となることがわかってきた[9]。これまでに多くの材料が検討されてきたが、Siプロセスとの整合性、熱的安定性から、Hfをベースとした材料が特に有力な材料として、各機関で広く研究されている。しかし、HfO_2においては、結晶化温度が若干低いこと、移動度劣化[10,11]や、Vfbシフトなどの問題[12-14]があり、その解決にむけて、さまざまな取り組みがなされてきた。特に、耐熱性の向上と、界面準位の低減(移動度の向上につながる)にはHfO_2にSi、Nを添加することが有効であることが報告され[15-18]、HfSiON膜は、高誘電率ゲート絶縁膜として最も有力な材料の一つとして挙げられるようになった。本論文では主に、高誘電率ゲート絶縁膜材料としてHfSiON膜を用いた際の研究成果について述べる。

近年では、2007 年に Intel が、2010 年に Panasonic が CMOS への高誘電率ゲート絶縁膜の導入に成功し、製品化を実現させており、今後さらなる高性能化のための材料選択(さらに高い誘電率の材料)や、3 次元トランジスタへの導入を目指した研究開発が進められている。

1.4　ゲート絶縁膜における信頼性項目(TZDB、TDDB、NBTI、HCI)

実際に新しい材料を製品に使う際の課題の一つとして、長期信頼性保証の問題が挙げられる。10 年、もしくは 15 年の使用を保障するためには、加速試験が必要である。図 1.3 に寿命予測の模式図を示す。製品使用条件下での寿命を、測定可能な時間内での評価結果から、予測モデルを用いて外挿、製品使用条件下での寿命を予測することが必要となる。これまで使用されてきたSiO_2においても、長期信頼性予測のため、SiO_2の劣化機構が研究され、それに基づくモデルが提案されてきた。しかし、高誘電率ゲート絶縁膜の使用においては、従来のモデルを使うことができるか否か、どのようなモデルで長期信頼性を保障すればよいかはいまだ明らかではない。そのため、高誘電率ゲート絶縁膜中でどのように劣化が進行するのか、物理機構を明らかにすることは信頼性を保障する上で非常に重要である。以下にMOSFETに関連する信頼性の項目について紹介する。

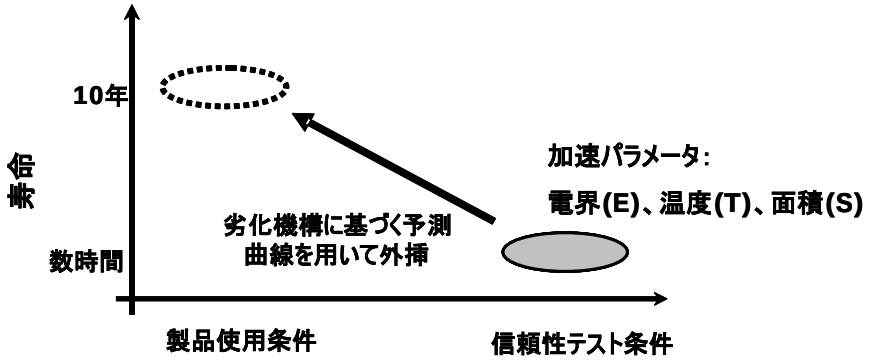


図 1.3：信頼性の加速試験の模式図

1.4.1 タイムゼロ絶縁破壊　(Time Zero Dielectric Breakdown :TZDB)

タイムゼロ破壊は、電圧スイープ測定やランプ電圧を印加して測定するような際の絶縁破壊のことであり、厳密に定義されているわけではないが、通常、電圧－電流特性を取得した際に、急激な電流増加が起きる現象である。図 1.4 に典型的な TZDB の測定結果を示す。このような評価を用いて、絶縁破壊耐圧の評価を行うことが多い。

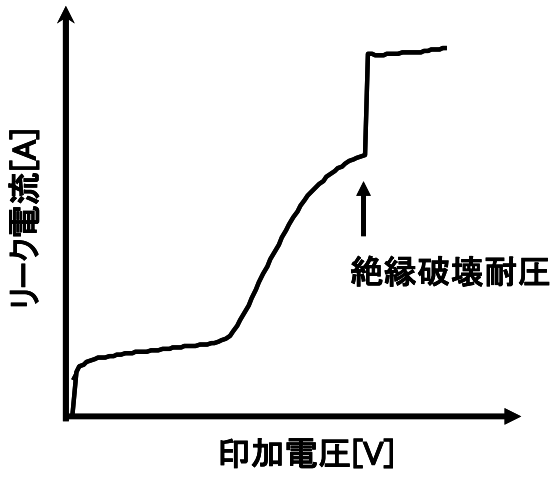


図 1.4：TZDB 測定の典型例

絶縁破壊耐圧の評価には通常、耐圧分布ヒストグラムや累積絶縁破壊不良率―耐圧の関係がよく用いられる。図 1.5 に典型的な耐圧分布のヒストグラムを示す。図 1.5 に示されるように、耐圧分布は通常、三つのモードに分類される[19]。0MV/cm 近傍の分布(A モード)は酸化膜形成時のごみなどにより生じた不均一な酸化膜に起因しており、数 MV/cm 付近に山を持つ分布(B モード)は主に酸化膜中の電気的に弱い欠陥に起因したモードである、また、10MV 付近に見られる分布(C モード)は均一な酸化膜の絶縁破壊(真性絶縁破壊)の耐圧を表している。

TZDB の耐圧分布は次節で述べる経時絶縁破壊(TDDB)と密接に関連しており、TZDB の耐圧分布から、絶縁破壊時間分布にやきなおし、長期寿命の予測することができ、信頼性向上のためのプロセス選別評価の短時間化に有効であるという報告も近年なされている[20]。

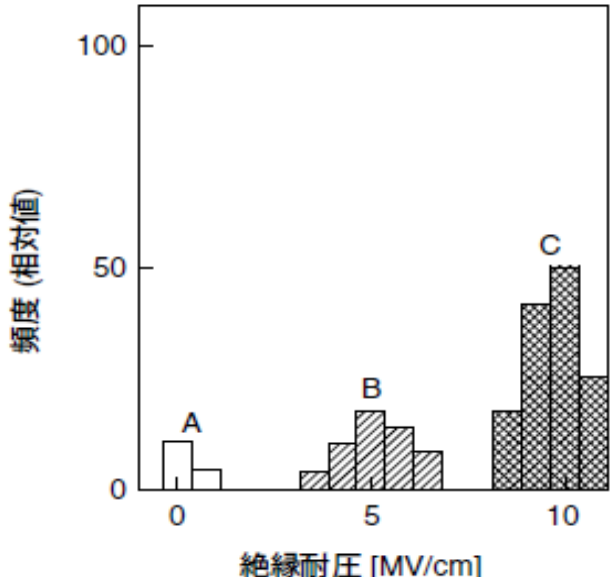


図 1.5：耐圧のヒストグラムの典型例

1.4.2 経時絶縁破壊 (Time Dependent Dielectric Breakdown :TDDB)

経時絶縁破壊(Time Dependent Dielectric Breakdown : TDDB)とは、電圧を印加した瞬間には破壊しないが、電気的ストレスを印加し続けると、ある時間経過してから絶縁破壊を起こす現象である[21]。ストレス印加の方法には、定電圧ストレス(Constant Voltage Stress :CVS)と定電流ストレス(Constant Current Stress :CCS)がある。典型的な定電流ストレス下での TDDB の測定結果を図 1.6 に示す。ここで、経時絶縁破壊には Soft breakdown と Hard breakdown の 2 種類があり、図 1.6 で見られるような、電圧値(CVS 下では電流値)の小さな変化は Soft breakdown と呼ばれる。図 1.7 に電気的ストレスを印加することによるリーク電流－電圧特性の変化を示す。ここで、Soft breakdown 後に急激にリーク電流が増加するが、オーミックとはなっていないことがわかる。一方で Hard breakdown 後には Soft breakdown 後よりもリーク電流の増加が激しく、IV 特性はほぼオーミックとなっていることがわかる。これは Soft breakdown は絶縁膜中の欠陥がつながって、リーク電流が増大している状態であるのに対し、Hard breakdown はつながった欠陥に大量の電流が流れ込むことによってジュール熱が発生し、電極、もしくはシリコン基板が溶けてしまい大きなパスができるため、完全に導通してしまったためであると考えられている[22]。また、高誘電率ゲート絶縁膜においては、絶縁破壊が起こる前にリーク電流にノイズのような振動が発生し、徐々にリーク電流が増加していく、Progressive breakdown という現象が見られることも報告されている[23]。

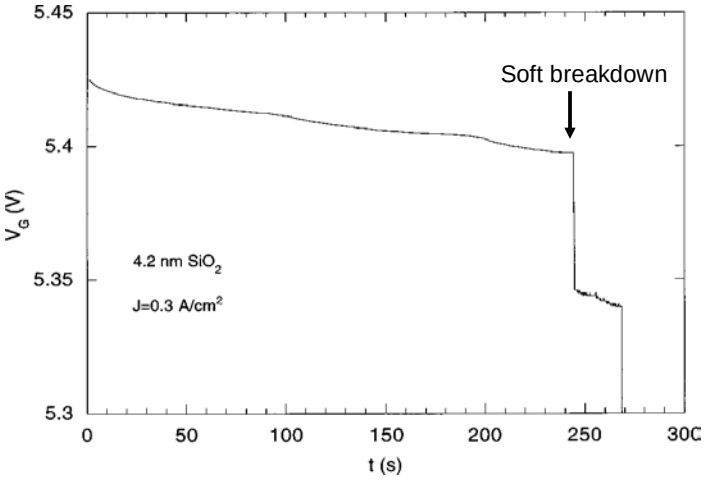


図 1.6：TDDB 測定(CCS)の典型例[24]

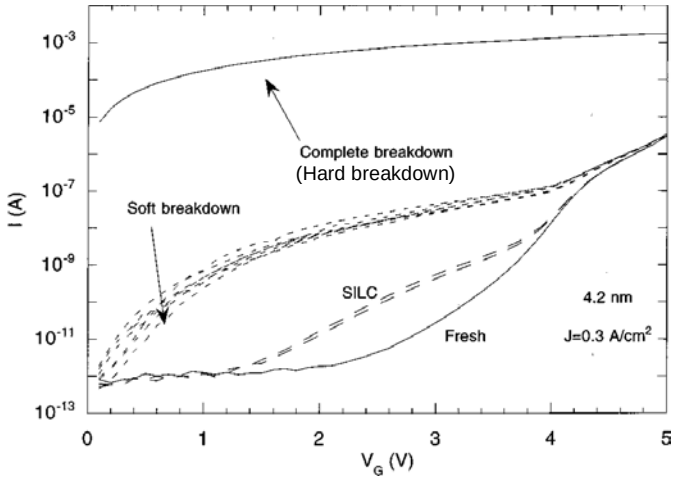


図 1.7 : 電気的ストレスを印加することによるリーク電流－電圧特性の変化[24]

このような絶縁破壊が起こると、消費電力の増大やトランジスタの誤動作などの問題を引き起こすため、非常に重要な信頼性項目の一つといえる。

1.4.3 負バイアス温度不安定性 （Negative Bias Temperature Instability :NBTI）

p型のMOSFETにおいて、ON状態でしきい値(Vth)が負側にシフトしてしまい、駆動電流(Ion)が低下してしまう現象を負バイアス温度不安定性(Negative Bias Temperature Instability：NBTI)と呼び、近年重要な信頼性の問題として注目されている。NBTIは高温状態でより劣化が促進されることが報告されている[25]。NBTI測定の模式図と典型的測定結果を図 1.8 に示す。ここでこのVthのシフトは主にストレス印加による界面準位の生成が原因であると報告されており、これは、Si/ SiO_2界面を終端しているSi-H結合が、印加ストレスによって切断されることに起因するという考え方で広く説明がなされている[26-28]。このNBTIの劣化はSiO_2よりもSiONのほうが劣化が顕著であることが報告されており、これは、窒素の存在によって、膜中の正孔トラップサイトが増加し、そこへ正孔が捕獲されることが原因と報告されている[29]。高誘電率ゲート絶縁膜においては、pMOSFETだけでなく、nMOSFETにおいてもON状態において、しきい値シフトが観測されることが報告されており、Positive Bias Temperature Instability (PBTI)と呼ばれている。PBTIにおいては、界面準位の増加は観測されないことから、SiO_2におけるNBTIとは違うメカニズムで劣化が起こっていると考えられ、高誘電率ゲート絶縁膜中に多く存在する、初期電子トラップに電子が捕獲されることが原因であると報告されている[30]。

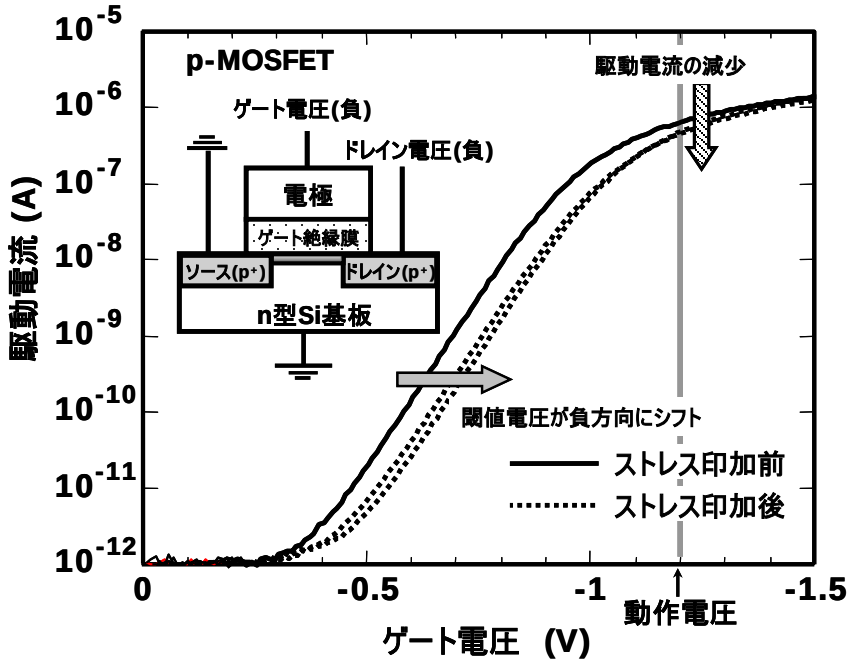


図 1.8：NBTI 測定の模式図と測定結果の典型例

1.4.4 ホットキャリア注入現象 (Hot Carrier Injection :HCI)

ホットキャリア注入によるデバイス劣化は特にゲート長が 1umよりも短くなってくる世代から問題として取り上げられるようになってきた。図 1.9 にチャネルホットエレクトロン(Channel Hot Electron :CHE)注入の模式図を示す。チャネル内の電子がチャネルに沿った方向の電界からエネルギーを得てホットになり、Si/ SiO_2界面のエネルギー障壁の高さよりも大きなエネルギーを持つようになったホットエレクトロンがエネルギー障壁を越えてゲート酸化膜に注入される現象である。この現象はチャネルが短くなるほど、ソース、ドレイン間の電界が高くなるため劣化が顕著になるが、スケーリングによる、電源電圧の低下に伴い、チャネルに印加される電界が緩和されたため、現在ではあまり大きな問題とはなっていない。また、高誘電率ゲート絶縁膜を用いた際には、膜中の初期トラップ影響により、ホットキャリアそのものによる劣化が見えづらい、という報告もなされている[31]。

このほかに、基板バイアスを印加し、ゲート電極下の基板表面に厚い空乏層を形成した場合に、基板側から拡散で空乏層に注入された電子が空乏層の電界によって加速されてホットになり、ゲート絶縁膜に注入される現象である、基板ホットエレクトロン(Substrate Hot Electron :SHE)注入やドレイン近傍の大きな水平方向電界によって高いエネルギーを得たチャネル電子が格子との衝突電離、またはアバランシェ増幅によって、電子正孔電子対を生成し、これらのキャリアが絶縁膜に注入される現象である、ドレインアバランシェホットキャリア(Drain Avalanche Hot Carrier : DAHC)注入がある。

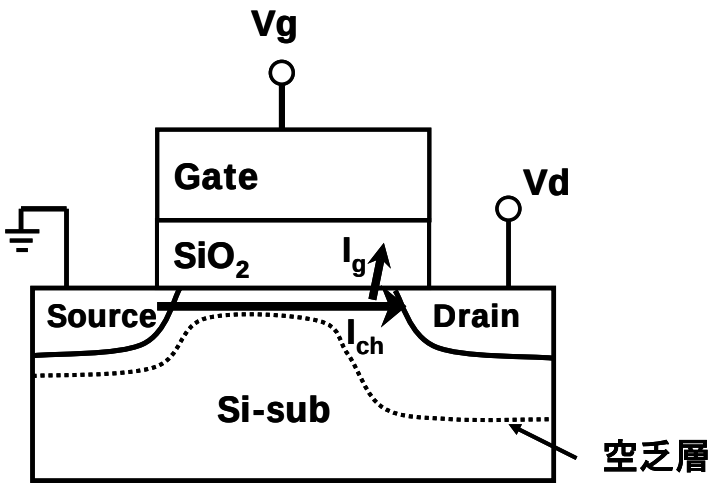


図 1.9 : チャネルホットエレクトロン注入の模式図

1.5　高誘電率ゲート絶縁膜における信頼性の研究

高誘電率ゲート絶縁膜における信頼性の研究が報告されるようになったのは、1999 年頃からである。初期の頃には、材料選択の指針の一つとして従来SiO_2に用いられてきたのと同様の手法を用いた評価によるものが主であった。2001 年以降、材料がHf系、Zr系に絞られ研究開発が進められるようになり、信頼性に関してもメカニズムに踏み込んで議論する報告が増えてきた。以下に、これまでに報告されている高誘電率ゲート絶縁膜における信頼性の研究について述べる。

高誘電率ゲート絶縁膜の信頼性としては、主に、バイアス温度不安定性(BTI)、経時絶縁破壊(TDDB)について数多く報告され、議論されている。

BTIについては、通常SiO_2ではpMOSFETに特有の問題として、負バイアス温度不安定性(NBTI)という呼称で報告されており、nMOSFETでは観測されていなかった。しかし、高誘電率ゲート絶縁膜においては、pMOSFETのみでなく、nMOSFETにおいてもON状態(正バイアス印加状態)でしきい値がシフトする現象が報告され[30]、正バイアス温度不安定性(Positive Bias Temperature Instability)と呼ばれるようになった。これは、特にHf系の酸化物において多く報告例があり[32-35]、絶縁膜中に内在する電子トラップに電子が捕獲されていくという描像で理解されている。また、計算による詳細な検討により、この電子トラップはHf系酸化物中の酸素欠損(V_O)によるものであることが報告され、広く受け入れられている[36]。またNBTIについては、SiO_2と同様のメカニズムである界面準位の増加に加えて、高誘電率ゲート絶縁膜中の正孔トラップも寄与しているという報告がなされている[37,38]。PBTIは、高誘電率ゲート絶縁膜のプロセスに強く依存し、たとえば、HfSiON膜を用いる際にはHfの濃度に依存する[39]、結晶化を抑えることで劣化が抑制される[34]ことが報告されている。一方で、NBTIについては、結晶化によって劣化は抑制できないが、膜中のN濃度を高くすると劣化すること、重水素アニールや基板のオゾン処理[40]、フッ素添加によって改善すること[41]が報告されている。

高誘電率ゲート絶縁膜のTDDBについても、多くの報告がなされている。まず、高誘電率ゲート絶縁膜の絶縁破壊を評価する際に問題となったのは、破壊の判定が難しいことであった。SiO_2においては、前節で述べたように、薄膜においてはSoft breakdownが観測され、比較的厚膜では、Hard breakdownが観測される。しかし、高誘電率ゲート絶縁膜においては、比較的厚い膜 (物理膜厚 4nm以上)を用いているにもかかわらずSoft breakdownのような振る舞いが観測されることや、一度電流が増加するが、その後もとの電流レベルに戻るような、ノイズ的振る舞い[42]、soft breakdown後徐々に電流が増加していく振る舞い(Progressive breakdown)が見られることが報告され[23]、絶縁破壊をどう定義するかが問題となった。これに対しては、膜質の改善や、評価する素子面積を小さくすること、基板電流をモニターする、破壊をモニターする電圧を下げることなどで、絶縁破壊を検知する方法が用いられている[43-45]。

また、SiO_2においては、破壊寿命のワイブルβは物理膜厚に比例して大きくなることが報告されており、Percolation modelで説明できる。それに対して、高誘電率ゲート絶縁膜の破壊寿命のワイブルβは、同じように物理膜厚で整理した際、SiO_2とくらべて非常に小さい値となることが報告された[46]。この原因としては、高誘電率ゲート絶縁膜にもともと内在する初期トラップの影響である、という報告[47]があるが、一方で、初期トラップ量を仮定しても、実験から得られたワイブルβは説明できないとの報告[48]もあり、いまだ明らかにはされていない。また、高誘電率ゲート絶縁膜のワイブルβは極性依存性があることから、極性によって、高誘電率ゲート絶縁膜の破壊と界面SiO_2層の破壊のそれぞれが支配的であることが報告されている[49]。

高誘電率ゲート絶縁膜の絶縁破壊機構についても、詳細な検討がなされており、いくつかのモデルが提唱されている。たとえば、破壊に至るまでのキャリアの総注入量をストレス電圧で整理すると、正バイアス(nMOSFET)の場合は正孔の総注入量が、負バイアス(pMOSFET)の場合は電子の総注入量が一定であることから、少数キャリア(とくにエネルギーの高いもの)が破壊に寄与していると報告され、Generated Subordinate Carrier Injection(GSCI)モデル[50-52]と呼ばれている(図 1.10)。

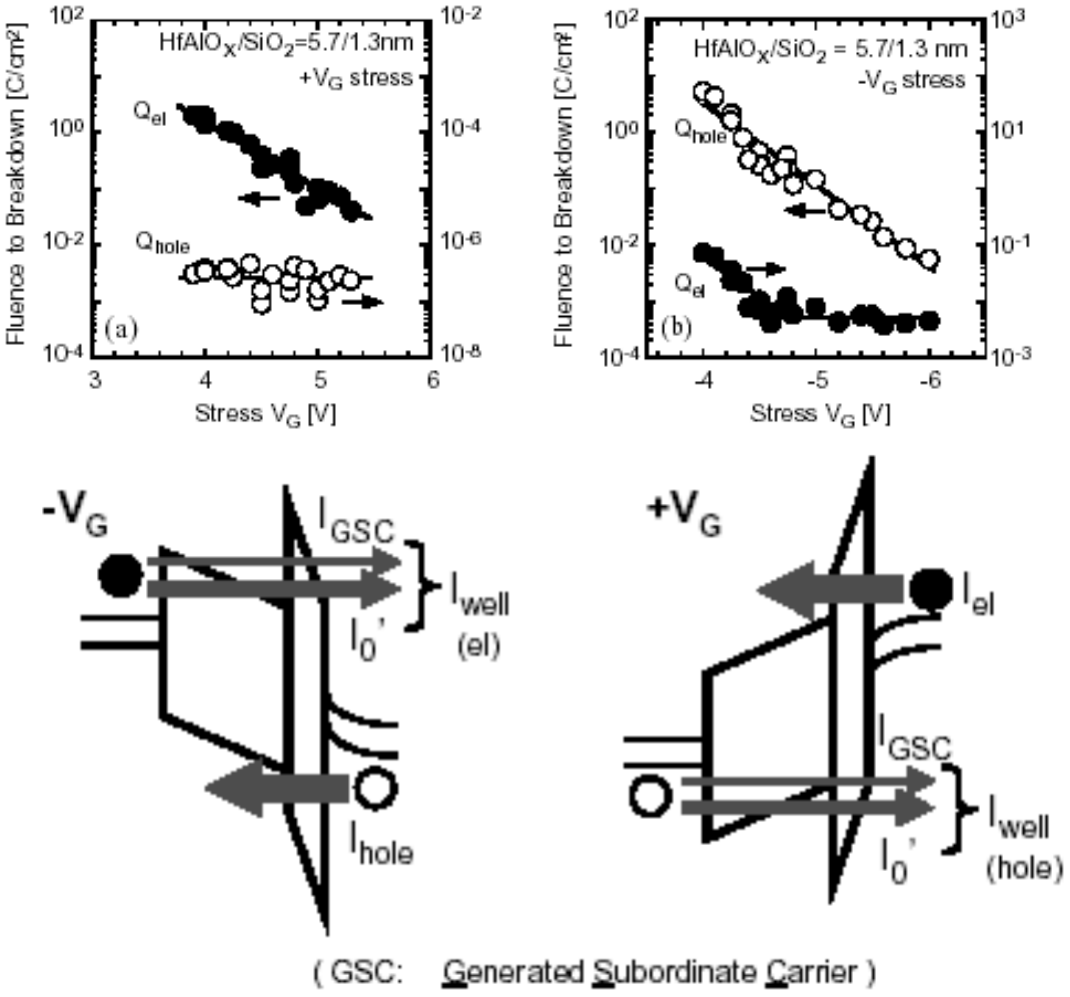


図 1.10：GSCI モデルの模式図[50]

また、SiO_2において提唱されているThermo-chemicalモデル[53-55]の高誘電率ゲート絶縁膜への適用も検討されている。このモデルでは、ストレス電界によって絶縁膜中の結合の切断が加速されるという考えに由来し、破壊寿命は電界に比例することから、Eモデルとも呼ばれる。このモデルに基づき、たとえばHfSiON膜の温度依存性や活性化エネルギーの電界依存性を詳細に調べた結果、ここから求められる、実効的な双極子モーメントが膜の誘電率で説明できることから、高誘電率ゲート絶縁膜においても適用可能であることが示唆された[56]。しかし、このモデルの適用は高温領域では適用可能であるが、低温領域では成り立たないため、低温領域では他の要因(キャリアや欠陥)も寄与していると考えられている。

さらに、近年SiO_2膜で広く受け入れられている、Hydrogen Release(HR)モデル[57-59]を拡張した、

Multi-vibrational hydrogen Release (MVHR)モデル[60,61]についても、高誘電率ゲート絶縁膜へ適用できるという報告がある。このモデルの模式図を図 1.11 に示す。Si-Hの結合が切断されて水素が脱離し、それが欠陥形成の元となるというモデルがHRモデルであり、この切断を複数の電子によって行う過程を考慮に入れたのが、MVHRモデルである。実験により、高誘電率ゲート絶縁膜にシリコンが含まれている場合は、このモデルで説明が可能であることが示され、このモデルに基づくと、破壊寿命は電圧(電界)のべき乗に比例することから、Power lawモデルとも呼ばれる。

このように、いくつかのモデルが提案されており、各モデルによって寿命予測の方法は異なっているが、現在どのモデルが一番妥当であるかはまだ明らかになっていない。実験的には、比較的広い領域において破壊寿命が電圧のべき乗で表せることから、最後に述べた Power law モデルで寿命予測を行う方法が主流となっている。

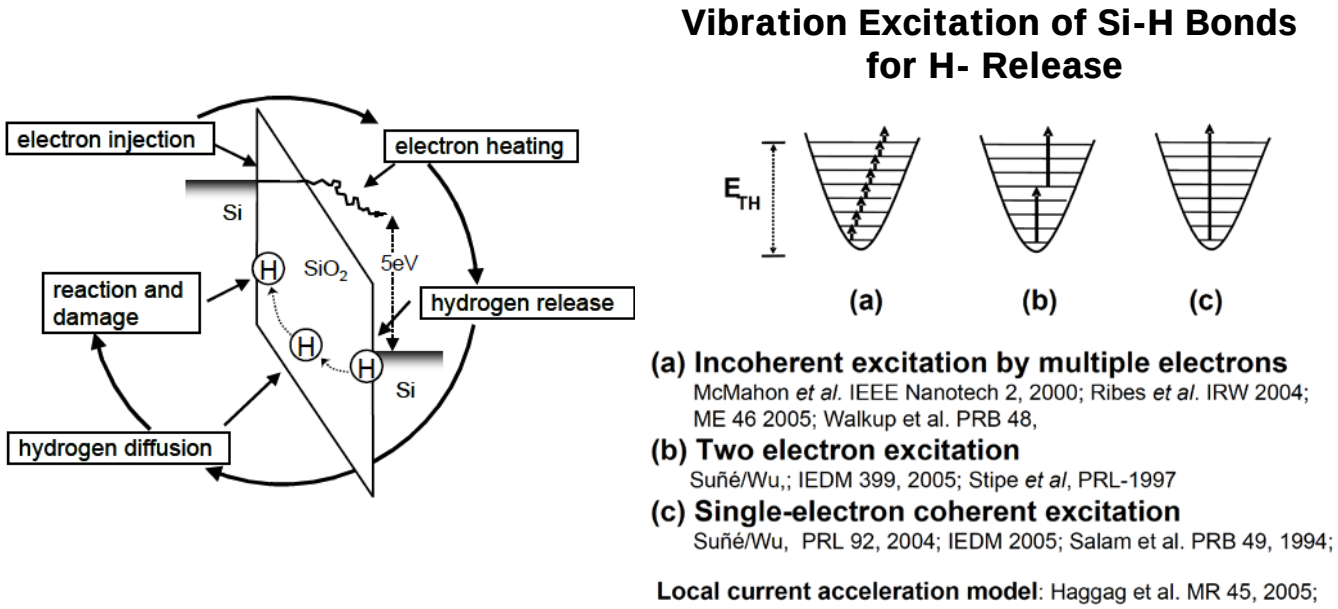


図 1.11：左図は HR モデル[57]の模式図、右図は MVHR モデルの模式図[60]

1.6　本論文の目的と構成

本論文では、45nm 世代以降の CMOS 向けの高誘電率ゲート絶縁膜について、特に、信頼性について着目し、正しい寿命予測手法の提案および高信頼化指針を提案するために、高誘電率ゲート絶縁膜の劣化機構を理解することを目的としている。以下では、ゲート絶縁膜として HfSiON を用いているため、MOSFET のことを MISFET(Metal- Insulator -Semiconductor Field-Effect Transistor)という表記で統一する。図 1.12 に本論文の構成を示す。

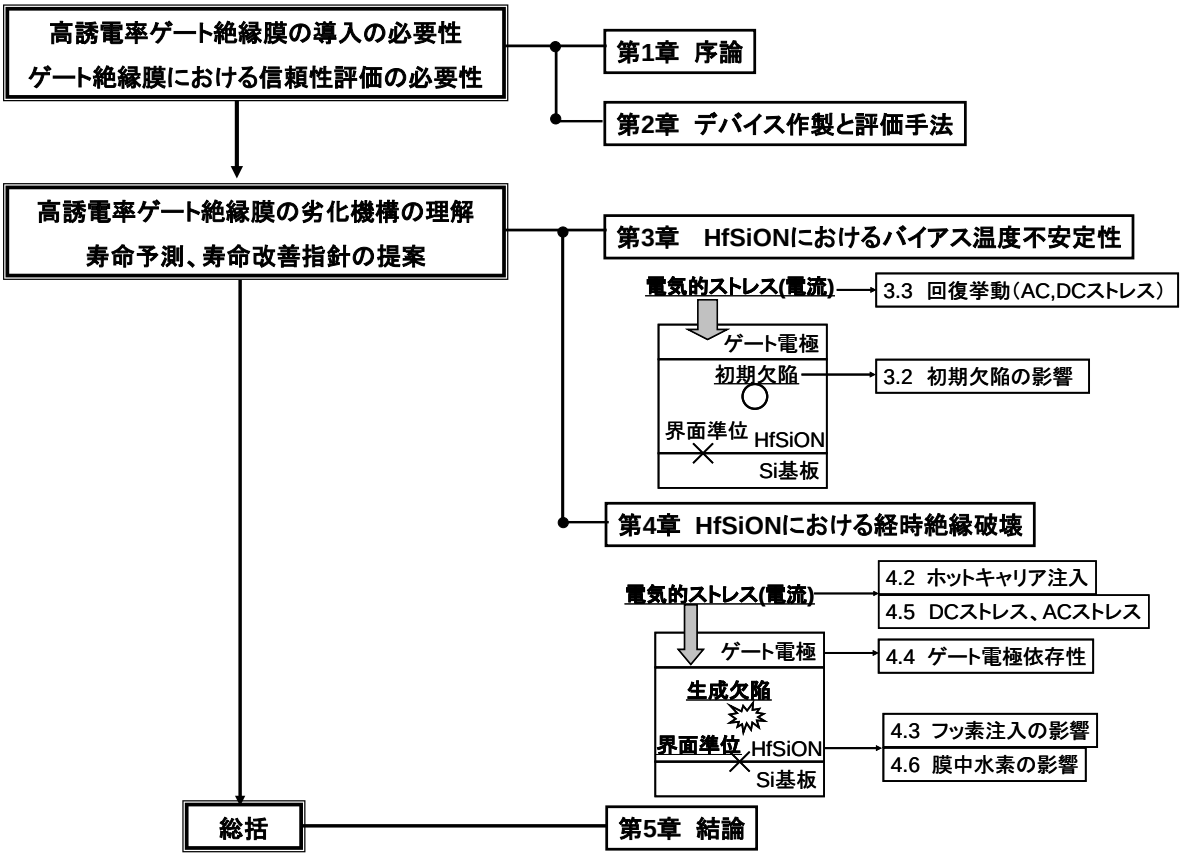


図 1.12：本論文の構成

第 2 章では、高誘電率ゲート絶縁膜を用いたキャパシタおよびトランジスタの作成方法について述べ、信頼性の評価、解析の手法として用いた手法について詳細に述べる。

第3章では、HfSiONをゲート絶縁膜とするMISFETの信頼性課題の一つである、バイアス温度不安定性(Bias Temperature Instability ：BTI)に関する研究について述べる。BTIは従来のSiO_2を用いたトランジスタにおいて、もっとも重要な信頼性項目の一つとされている。HfSiON膜においては、HfSiON膜にもともと存在する初期欠陥がBTIに影響を及ぼすことが予測される。そこで、第3章2節において、初期欠陥がBTIに及ぼす影響について詳細に検討を行い、第3章3節においてBTIの回復現象に着目し、ACストレス下でのBTI挙動について詳細に調べ、HfSiON膜におけるBTI機構についての理解と正しい寿命予測方法の提案を行う。

第 4 章では、HfSiONをゲート絶縁膜とするMISFETの信頼性課題の一つである、経時絶縁破壊(Time-dependent Dielectric Breakdown：TDDB)に関する研究について述べる。第 4 章 2 節において、SiO_2膜とHfSiON膜の劣化、絶縁破壊機構の違いについて、ホットキャリア注入を行って検討を行った結果を述べ、第 4 章 3 節において、HfSiON膜にフッ素を添加した際の劣化、絶縁破壊について調べ、HfSON膜中の欠陥生成機構について検討した結果を述べる。第 4 章 4 節において、nMISFETに対する、HfSiON膜の絶縁破壊に対するゲート電極材料の影響について調べ、第 4 章 5 節においてはnMISFETに対する電流の寄与について、ACストレスを印加した結果を報告する。また、第 4 章 6 節において、pMISFETに対して、HfSiON膜中の水素が絶縁破壊に及ぼす影響についての結果を報告する。上記の実験結果に基づいて、HfSiON膜の劣化機構、絶縁破壊機構についての考察をおこない、nMISFET、pMISFETそれぞれに対する寿命改善指針について述べる。

第 5 章において、本論文の総括を行い、今後の展望について述べる。

参考文献

[1] D. Kahn and M. Atalla, IRE (Institute of Ratio Engineers)-AIFF (American Institute of Electrical Engineers) Solid State Device Research Conference (Carnegie Institute of Technology, Pittsburgh/Pa, USA),65 (1960).

[2] J. S. Kilby: IEEE Trans. Electron Devices ,23 ,638 (1976)

[3] G. E. Moor：IEDM Tech. Dig. (1975) p.11

[4] R. H. Dennand, F. H. Gaensslen, H. N. Yu, V. l. Rideout, E. Bassous, and A. R. Leblanc：J. Solid State Circuit, 9,(1974) p.256

[5] 関根克行、犬宮誠治、金子明生、佐藤基之、平野泉、山口豪、江口和弘、綱島祥隆 : 応用物理　73(9) (2004)

[6] S. Nishimaru, N. Hashimoto, T. Masuhara, and M. Nagata：Ext. Abstr. Solid State Device and Materials, 1973, p.367

[7] S. Guha, E. Cartier, N. A. Bojarczuk, J. Bruley, L. Ginac and J. Karasinski：J. Appl. Phys.90 (2001) p.512

[8] K.Torii, Y. Shimamoto, S. Saito, O. Tonomura, M. Hiratani, Y. Manabe, M. Caymax, and J. W. Maes: Symp. on VLSI Technology Tech. Dig., 2002, p.188

[9] H. Watanabe：Appl. Phys. Lett. 83, (2003) p.4175

[10] R. Chau, S.Datta, M.Doczy. B. Dpyle, J. Kavalieros and M. Metz：IEEE Electron Devices Lett.,25,(2004) p.408

[11] R.Choi. K. Oinshi, C. S. Kang, H. J. Cho, Y. H. Kim, S. Krishnan, M. S. Albar and J. C. Lee：IEEE Electron Device Lett. 24,(2003) p.144

[12] C. Hobbs, L, Fonseca, V. Dhadapani, S. Samavedam, B. Taylor, J. Grant, L. Dip, D. Triyoso, R. Hegde, D. Gilmer, R. Garcia, D. Roan, L. Lovejoy, R. Rai, L. Hebert, H. Tseng, B. White, and P. Tobin: Symp. on VLSI Technology Tech. Dig.,2003 p.9

[13] C. Hobbs, L. Fonseca, V. Dhandapani, S. Samavedam, B. Taylor, J. Grant, L. Dip, D. Triyoso, R. Hegde, D. Gilmer, R. Garcia, D. Roam, L. Lovejoy, R. Rai, L. Habert, H. Tseng, B. White, and P. Tobin : IEEE Trans.on Electron Devices, 51,(2004) p.971

[14] C. Hobbs, L. Fonseca, V. Dhandapani, S. Samavedam, B. Taylor, J. Grant, L. Dip, D. Triyoso, R. Hegde, D. Gilmer, R. Garcia, D. Roam, L. Lovejoy, R. Rai, L. Habert, H. Tseng, B. White, and P.Tobin : IEEE Trans. on Electron Devices, 51,(2004) p.978

[15] A. L. Rotondro, M. R. Visokay, J. J. Chambers, A. Shanware, R. Khanmankar, H. Bu, R. T. Laaksonen, L. Tsung, M. Douglas, R. Kuan, M. J. Bejan, T. Grider, J. McPherson, L. Colombo: Symp. on VLSI Technology Tech. Dig.,2002, p.148

[16] M. Koyama, A. Kaneko, T. Ino, M. Koike, Y. Kamata, R. Iijima, Y. Kamimuta, A. Takashima, M. Suzuki, C. Hongo, S. Inumiya, M. Takayanagi, and A. Nishiyama: IEDM Tech. Dig., 2002, p.849

[17] K. Sekine, S. Inumiya, M. Sato, A. Kaneko, K. Eguchi, and Y. Tsunashima: IEDM Tech.Dig., 2003, p.103

[18] T. Iwamoto, T. Ogura, M. Terai, H. Watanabe, N. Ikarashi, M. Miyamura, T. Tatsumi, M. Satoh, A. Morioka, K. Watanabe, Y. Saito, Y. Yabe, T, Ikrashi, K. Masuzaki, Y. Moshizuki, and T. Mogami: IEDM Tech. Dig., 2003, p.639

[19] K. Yamabe, K. Taniguchi and Y. Matsushita: Proc. Int. Reliability Physics Symp., 1983, p.184

[20] A. Kerber, T. Pompl, M. Rohner, K. Mosig, and M. Kerber., IEEE Electron Device Letter 27, 7, (2006) p.609

[21] E. Wu, J. Stathis, and L. –H. Han :Semicond. Sci. Technol. 15 (2000) p.425

[22] H.Satake and A.Toriumi: Semicond. Sci. Technol. 15 (2000) p.471

[23] G. Bersuker, N. Chowdhury, C. Young, D. Heh, D. Misra, and R. Choi : Proc. Int. Reliability Physics Symp., 2007,p.49

[24] M. Houssa, T. Nigam, P. W. Mertens, and M. M. Heyns :Appl. Phys. Lett. 73,4, (1998) p.514

[25] D. K. Schorodera, and J. A. Babcock: J. Appl. Phys., 94, (2003) p.1

[26] S. N. Rashkeev, D. M. Fleetwood, R. D. Schrimpf, and S. T. Pantelides: IEEE Trans. Nucl. Sci.,

48, (2001) p.2086

[27] A. Stesmans: Phys. Rev. B 61,(2000) p.8393

[28] D. B. Brown and N. S. Saks: J. Appl. Phys. 70 (1991) p.3734

[29] C. H. Liu, M. T. Lee, C. Y. Lin, J. Chen, K. Schruefer, J. Brighten, N. Rovedo, T. B. Hook, M. V. Khare, S. F. Huang, C. Wannn, T. -C. Chen, and T. H. Ning: IEDM Tech.Dig., 2001, p.861

[30] S Zafar, A Callegari, E Gusev, and M. V. Fischetti :IEDM Tech. Dig., 2002, p.517

[31] A. Masada, I. Hirano, S. Fukatsu, and Y. Mitani: Jpn. J. Appl Phys., 49, 7, (2010). 0711021

[32] S. Zafer, A. Callegari, E. Gusev, and M. Fischetti: J. Appl. Phys., 93 (2003) p.9298

[33] S. Fujieda, S. Kotsuji, A. Morioka, M. Terai, and M. Saito : Ext. Abstr. Solid State Device and Materials, 2004, p.72

[34] K. Torii, K. Shiraishi, S. Miyazaki, K. Yamabe, M. Boero, T. Chikyow, K. Yamada, H. Kitajima, and T. Arikado: IEDM Tech. Dig., 2004, p.129

[35] C. Shen, M. F. Li, X. P. Wang, H. Y. Yu, Y. P. Feng, A. T. -L. Lim, Y. C. Yeo, D. S. H. Chan, and D. L. Kwong: IEDM Tech. Dig., 2004, p.733

[36] K. Shiraishi, K. Yamada, K. Torii, Y. Akasaka, K. Nakajima. M. Kohno, T. Chikyow, H. Kitajima, and T. Arikado :Sy,mp. on VLSI Technology Tech. Dig., 2004, p.108

[37] I. Hirano, T. Yamaguchi, Y. Mitani, R. Iijima, K. Sekine, M. Takayanagi, K. Eguchi, and N. Fukushima: Ext. Abstr. Solid State Device and Materials, 2005, p.20

[38] S. A. Krishnan, M. Quevedo, R. Harris, P. D. Kirsh, R. Choi, B, H, Lee, G. Bersuker, J. Peterson, H-J, Li, C. Young, and J. C. Lee: Ext. Abstr. Solid State Device and Materials, 2005, p.22

[39] M. Houssa, M. Aoulaiche, S. V. Elshocht, S. D. Gendt, G. Groeseneken and M. M. Heyns: IEDM Tech. Dig., 2004, p.121

[40] S. J. Doh, H. -S. Jung, Y. -S. Kim, H. -J. Lim, J P Kim, J. H. Lee, J. -H. Lee, N. -I. Lee, H. -K. Kang, K. -P. Suh, S. G. Park, S. B. Kang, G. H. Choi, Y. -S. Chung, H. -S. Baik, H. -S. Chang, M. -H. Cho, D. -W. Moon, H. B. Park, M. Cho, C. S. Hwang: IEDM Tech. Dig., 2003 p.943

[41] H.-H. Tseng, P. J. Tobin, E. A .Hebert, S. Kalpat, M. E, Ramon, L. Fonseca, Z. X. Jiang, J. K. Scheffer, R. I. Hegde, D. H. Triyoso, D. C. Gilmer, W. J. Taylor, C. C. Capasso, O. Adetutu, D. Sing, J. Conner, E. Luckowski, B. W. Chan, A. Haggag, S. Backer, R. Noble, M. Jahanbani, Y. H. Chiu, B. E. White: IEDM Tech. Dig., 2005 p.696

[42] M. Koyama, Y. Kaminuta, T. Ino, A. Nishiyama, A. Kaneko, S. Inumiya, K. Eguchi, and M. Takayanagi: IEDM Tech. Dig., 2004 p.499

[43] K. Okada, H. Ota, T. Horikawa, Y. Tamura, T. Sasaki, T. Aoyama, F. Ootsuka, and A. Toriumi:., Ext. Abstr. Solid State Device and Materials, 2005 p.248

[44] S. Inumiya, K. Torii, and Y.Nara: Proc. Int. Reliability Physics Symp.,2006, p.184

[45] M. Sato, T. Aoyama, K. Sekine, T. Yamaguchi, I. Hirano, K. Eguchi, and Y. Tsunashima: Jpn. J. Appl. Phys., 45, 4B, (2006), p. 2949

[46] R. Degraeve, A. Kaber, P. Roussell, E. Cartier, T. Kauerauf, L. Pantisano, and G. Groseneken: IEDM Tech. Dig., 2003, p.904

[47] R. Degraeve, G. Groeseneken, R. Bellens, J. L. Ogier, M. Depas, P. J. Roussel, and H. E. Maes :IEEE Trans. Electron Device,45, (1998) p.904

[48] K. Okada H. Ota, W. Mizubayashi, H. Satake, A. Ogawa, K. Iwamoto, T. Horikawa, T. Nabatame and A. Toriumi: Syp. On VLSI Technology Tech. Dig., 2004, p.166

[49] W. Y. Loh, B. J. Cho, M. S. Joo, M. F. Li, D. S, Chan, S. Mathew, and D. -L. Kwong: IEDM Tech. Dig., 2003 p.927

[50] K. Okada, W. Mizubayashi, N. Yasuda, H. Satake, H. Ota, M. Kadoshima, K. Tominaga, A. Ogawa, K. Iwamoto, T. Horikawa, T. Nabatame, and A. Toriumi: IEDM Tech. Dig., 2004, p.721

[51] K. Okada, H. Ota, A. Ogawa, W. Mizubayashi, T. Horikawa H. Satake, , T. Nabatame, and A. Toriumi: ECS Meeting Abstract, 2005, p.741

[52] K. Okada, H. Ota, , T. Nabatame, and A. Toriumi: Proc. Int. Reliability Physics Symp., 2007, p.36

[53] J. W. McPherson and H. Mogul: Proc .Int. Reliability Physics Symp.,1998, p.47

[54] J. McPherson, J. -Y. Kim, A. Shanware, and H. Mogul: Appl. Phys. Lett. 82,13, (2003) p.2121

[55] M. Kimura: Proc. Int. Reliability Physics Symp., 1997, p.190

[56] T. Yamaguchi, I. Hirano, R. Iijima, K. Sekine, M. Takayanagi, K. Eguchi, Y. Mitani, and N. Fukushima: Proc. Int. Reliability Physics Symp., 2005, p.67

[57] D. J. Dimaria and J.W. Stasiak; J. Apple. Phys., 65. 6. (1989) p.2342

[58] J. Sune, and E. Y. Wu: Phy. Rev. Lett., 92, (2004) p.87601

[59] J. Sune, and E. Y. Wu: IEDM Tech. Dig., 2005, p.388

[60] G. Ribes, S. Bruyere, M. Denais, D. Roy, G. Ghibaudo: Int. Reliability Physics Symp., 2005,p.377

[61] G. Ribes, S. Bruyere, D. Roy, M. Denais, J. -H. Roux, C. Parthasarathy, V. Huard, G. Ghibaudo: Int. Reliability Physics Symp., 2006, p.621

第 2 章　デバイス作製と評価手法

2.1 はじめに

本章では、本研究で用いたデバイス作成とその評価手法について述べる。第 2 章 2 節ではデバイスの作製方法について、第 2 章 3 節では評価手法、解析手法について説明する。

2.2 デバイス作製方法

本研究では、MOCVD(Metal Organic Chemical Vapor Deposition)法で堆積したHfSiONをゲート絶縁膜とするMISFETを用いて実験を行った。図 2.1 にデバイス作成工程の概略を示す。Siウェハを素子分離し、pMISFETの領域にリン(P)をイオン注入した後、Si基板の表面を希フッ酸処理し、自然酸化膜を除去し、水素終端を行ったのち、MOCVD法にてHfSiONを堆積する。ここでHfの原料として、テトラキスジエチルアミノハフニウム(tetrakis-diethil amino hafnium(TDEAH))を用い、Siの原料としてテトラキスジメチルアミノシリコン(tetrakis-dimethil amino silicon(TDMAS))を用いた。ここで、TDEAHとTDMASを用いたHfSiOの成膜初期過程において、TDEAHと酸素が反応し酸素ラジカルが発生し、この酸素ラジカルが基板のシリコンを酸化させることにより、基板界面にSiO_2層が生成される。このSiO_2層が形成された後、酸素ラジカルがTDMAS、TDEAHと反応し、HfSiO膜が成膜される。上記の方法でHfSiO膜を堆積した後、膜質を改善するためのアニール(Post Deposition Anneal : PDA)を行い、プラズマ窒化法にて窒素原子を膜中に導入する。その後再度アニール(Post Nitridation Anneal : PNA)を行った後、電極を堆積する。本研究では、電極として、poly-Si、NiSi、TiN、TaCを使用した。その後電極をパターニングし、フォトレジストをパターニングして、ヒ素(As)をイオン注入して、nMISFETソースドレイン、および、pMISFETのウェルコンタクトのn+領域を形成し、同様にフォトレジストをパターニングして、ホウ素(B)をイオン注入してpMISFETのソース、ドレイン、およびnMISFETのウェルコンタクトのp+領域を形成する。その後電極及びソースドレイン、ウェルコンタクトの上部に金属シリサイドを形成する。このような工程を用いてnMISFET、pMISFETを作製した。

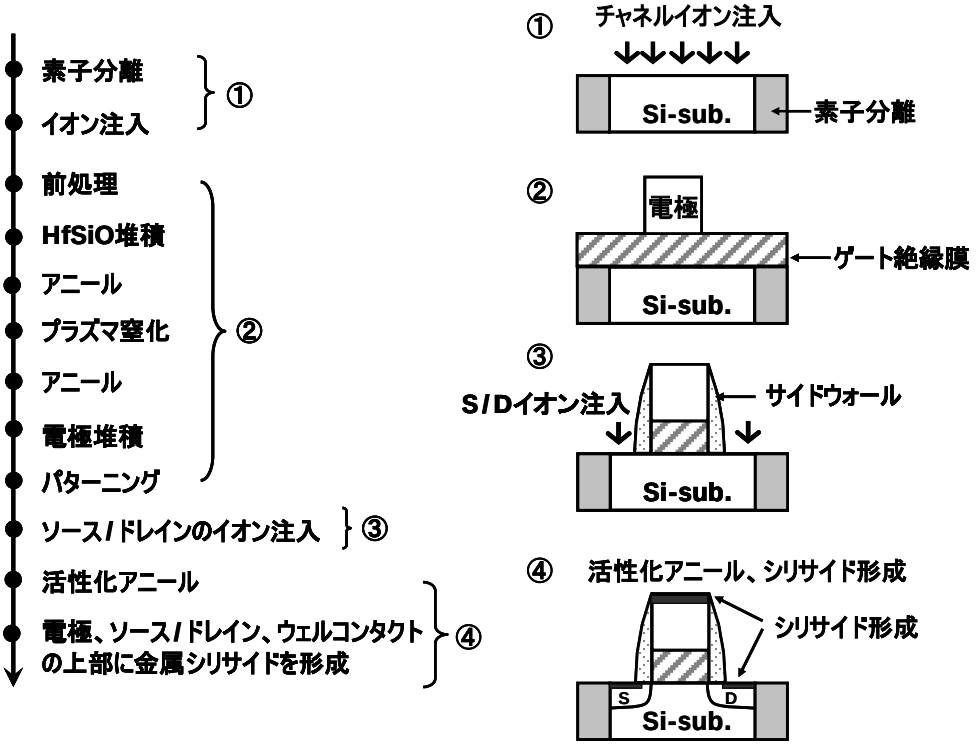


図 2.1：デバイス作製のプロセスフローと模式図

2.3 評価・解析手法

本研究では、上記プロセスを用いて作製したデバイスに対して、構造分析と電気的評価を行った。表 2.1 に本研究で用いた評価手法をまとめたものを示す。構造分析としては、高分解能ラザフォード後方散乱分光法(High-Resolution Rutherford Backscattering Spectrometry :HR-RBS)、X 線光電子分光分析法(X-ray Photoelectron Spectroscopy :XPS)を用いて、HfSiON 膜の組成分析を行い、透過電子顕微鏡法(Transmission Electron Microscopy :TEM)により、ゲート絶縁膜である HfSiON の実膜厚の測定、膜の構造状態(結晶化の有無)を調べた。また、HfSiON 膜に注入した不純物の濃度および分布を調べるために二次イオン質量分析法(Secondary Ion Mass Spectrometry :SIMS)を用いた分析を行った。初期の電気特性は、アジレント製の LCR メータ(4284A)を用いて容量（Capacitance-Voltage : CV）測定を行ったほか、アジレント製の半導体パラメータアナライザー(4156C)を用いてゲートリーク電流-ゲート電圧特性(Ig-Vg 特性)、ドレイン電流-ゲート電圧特性(Id-Vg 特性)の評価を行った。

表 2.1：本研究で用いた主な評価手法

	評価手法	評価対象
構造分析	HR-RBS	組成分析
	XPS	
	TEM	膜厚、構造観察
	SIMS	不純物プロファイル
初期電気特性	Id-Vg特性	しきい値
	Ig-Vg特性	リーク電流
	CV測定	ゲート容量 (電気的膜厚)

2.3.1　バイアス温度不安定性(BTI)の測定および解析手法

本研究では、一般的に BTI 測定に用いられている、Measure-Stress-Measure (MSM) 法を用いた。MSM 法による BTI の測定シーケンスを図 2.2 に示す。はじめに、初期のしきい値(Vth)を抽出するため、Id-Vg 測定を行う。ここでは、膜の全体の劣化を評価したいため、ドレイン電圧 Vd=50mV とし、膜にかかる電界がチャネル方向でほぼ一定になるようにした。しきい値電圧(Vth)の求め方を図 2.3 に示す。しきい値電圧(Vth)はトランスコンダクタンス(gm)が最大となる電圧における Id-Vg 曲線の接線が、Id=0 と交わる点から導出した。初期の Id-Vg 測定を行った後、ストレスとしてゲート電圧に電圧を数秒印加し(この際、ソース電圧、ドレイン電圧、基板電圧は 0V)、その後、Id-Vg 測定、ストレス印加を繰り返す。ストレス後の Id-Vg 測定から得られたしきい値と初期しきい値電圧の差分から、ΔVth を導出した。この方法において、Id-Vg 測定には約 1 秒程度の時間がかかり、Id-Vg 測定とストレス印加の間で、一旦電圧が 0V になるため、この間に劣化が回復してしまう可能性が示唆されており、本測定では、若干の回復が含まれていることに注意する必要がある。

このような、測定による回復を極力避けるため、ストレスをオフしないような測定手法として On-the-fly 法[1]や、非常に高速(数 10μ秒オーダー)に Id-Vg 測定を行うパルス IV 法[2]を用いた高速測定などが提案されているが、しきい値の抽出法に問題があることや、特殊な測定装置を使わなくてはいけないという問題がある。またどちらの手法においても、評価が劣化現象に影響をできるだけ与えないために、ストレス Vg＞＞評価時 Vg とする等の工夫が必要である。

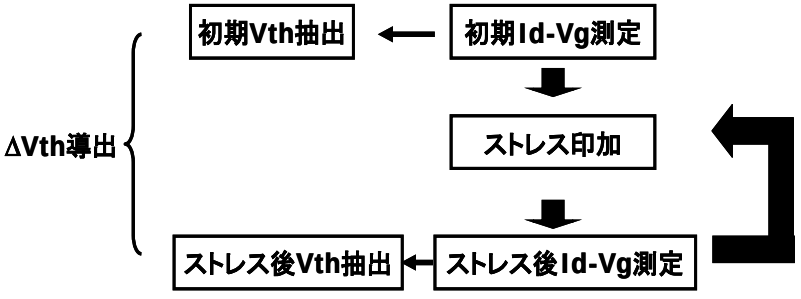


図 2.2：BTI の測定シーケンス

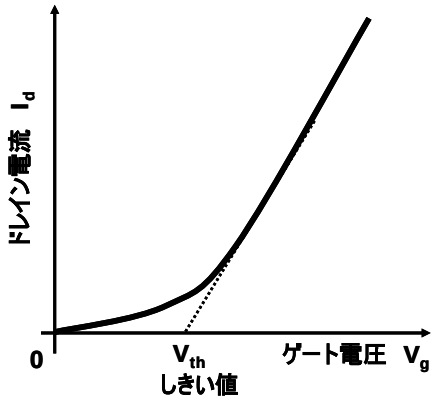


図 2.3：Vth の導出方法

2.3.2　チャージポンピング(CP)法による界面準位の測定および解析手法

チャージポンピング(Charge-Pumping：CP)法[3]は、MOSFET のゲート絶縁膜とシリコン基板の界面に存在する界面準位密度(Dit)を測定する方法であり、測定法が簡便であり、かつ精度が高い評価方法なので、界面準位密度の評価に広く用いられている。特に、本論文では、BTI や TDDB のストレス印加による界面状態の変化を調べるために、この手法を用いた。

チャージポンピング法で界面準位を測定する際の模式図(nMISFETの場合)を図 2.4 に示す。ゲート電極にパルス状(矩形波、台形波、三角波など)の電圧を印加し、ソース、ドレインは接地もしくは低電圧の逆方向電圧を印加する。ゲートに印加する電圧は、しきい値電圧(Vth)よりも高い電圧(V_{high})とフラットバンド電圧(Vfb)よりも低い電圧(V_{low})との間を交互に印加するような連続パルス(図 2.4 (c))を用いる。ゲート電極に印加される電圧がV_{high}の場合(図 2.4 (a))、界面は蓄積状態から反転状態になる。するとソース、ドレインの電子がチャネル領域に到達し反転層が形成され、界面準位に電子が捕獲される。続いて、ゲート電極に印加される電圧がV_{low}になると(図 2.4 (b))、反転層を形成した電子はソース、ドレインへ放出されるが、界面準位に捕獲されていた電子は、界面が再び蓄積状態になったときに正孔を捕獲(再結合)する。このように界面準位を介して、電子と正孔の再結合が起こることで実質的にキャリアの流れとなり(再結合電流)、これが直流のチャージポンピング電流(Icp)として測定される。

チャージポンピング電流からの界面準位密度の算出は、たとえば台形波のパルス電圧がゲート電極に印加される場合を考えると、あるエネルギー準位(Ec)界面準位からの電子の放出確率は、

$$e_n = \sigma_n v_{th} N_c \exp\left(-\frac{E_c - E_e}{k_B T}\right)$$

と表される。ここで、σ_nは電子の捕獲断面積、v_{th}は電子の熱速度、Ncは電子の有効状態密度を表している。電子放出が可能な時間を$t_{em,e}$とすると、電子界面準位から放出される電子の限界エネルギーレベル$E_{em,e}$は、

$$E_c - E_{em,e} = k_B T \ln(\sigma_n v_{th} N_c t_{em,e})$$

で表される。同様にして、正孔の放出の限界エネルギーレベル$E_{em,h}$は、

$$E_{em,h} - E_V = k_B T \ln(\sigma_p v_{th} N_V t_{em,h})$$

で表される。以上の結果から、界面準位が再結合中心として働くエネルギー範囲ΔE は次式で表される。

$$\Delta E = E_{em,e} - E_{em,h} = Eg - k_B T\left[\ln\left(\sigma_n v_{th} N_c t_{em,e}\right) + \ln\left(\sigma_p v_{th} N_V t_{em,h}\right)\right]$$

チャージポンピング電流は上記の DE 内に存在する界面準位による再結合電流なので、

$$I_{cp} = qAfD_{it}\Delta E$$

で表され、Dit は界面準位密度、fは印加するパルス電圧の周波数、A がチャネル領域の面積である。

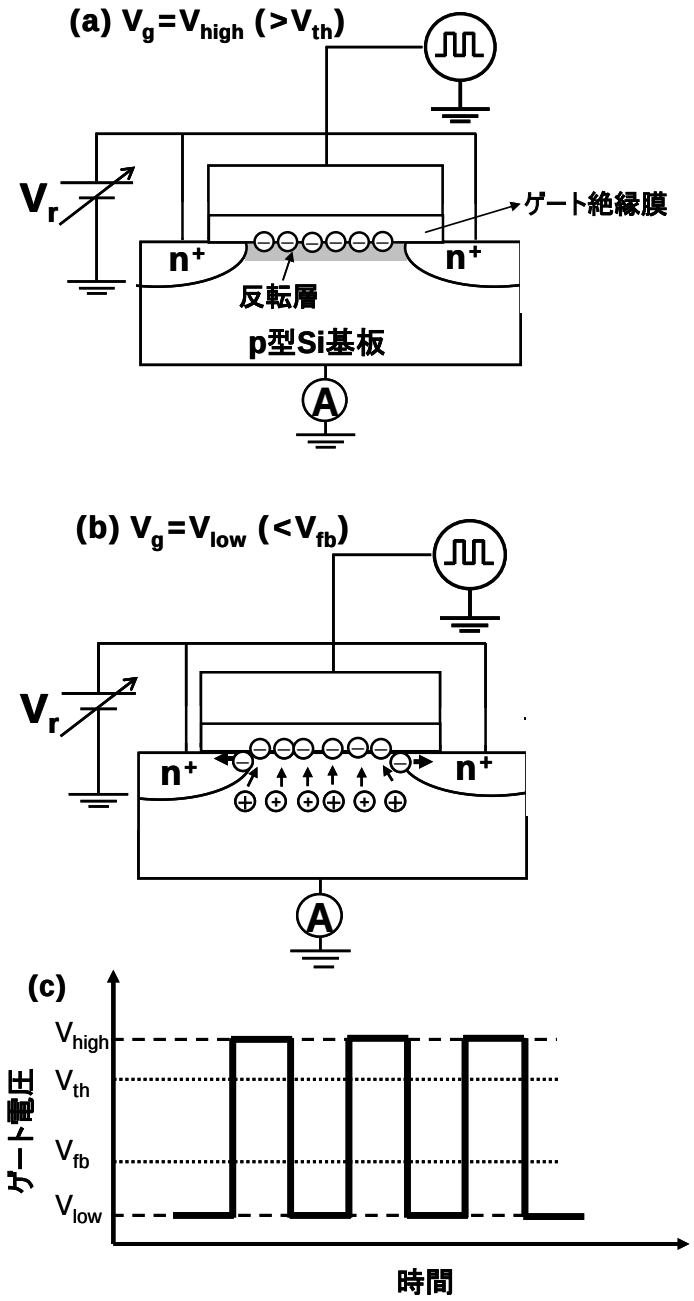


図 2.4：チャージポンピング法の模式図　(a) $V_g=V_{high}$ の状態　(b)$V_g=V_{low}$ の状態 (c)ゲートに印加するパルスの波形

2.3.3　経時絶縁破壊(TDDB)の測定および解析手法

本研究において、TDDB 試験は主に、定電圧ストレス印加を用いて行った。測定の詳細や破壊の判定方法などについては、第 4 章の各節で詳細に述べるため、本節では割愛し、絶縁破壊寿命の解析方法について述べる。ゲート絶縁膜の絶縁破壊寿命は確率的な事象を反映していると考えられており、経験的にワイブル統計に従うと考えられている。絶縁破壊は、破壊そのものにつながる欠陥生成はランダム事象であるが、弱い部分が選択的に劣化し破壊に至ると考えられており、ワイブル分布[4]の起源である鎖の強度試験と類似点が多いと考えられている。

ここでワイブル分布は

$$f(t)=\frac{\beta}{\eta}\left(\frac{t}{\eta}\right)^{\beta-1}\exp\left\{-\left(\frac{t}{\eta}\right)^{\beta}\right\}$$

で表される分布関数である。

ここでβは分布の形状パラメータであり、ηは尺度パラメータであり、測定データのばらつきに関するパラメータである。

ワイブル分布の累積故障率(F(t))は、使用開始時の良品数(TDDB 試験の総サンプル数)と t 時間後の良品数(t 時間よりも寿命が長いサンプル数)との比(残存率)として定義される信頼度 $R(t)$を用いて、

$$F(t)=1-R(t)=1-\exp\left\{-\left(\frac{t}{\eta}\right)\beta\right\}$$

で表される。これを変形すると、

$$\ln\left\{\ln\left(\frac{1}{1-F(t)}\right)\right\}=\beta\ln t-\beta\ln\eta$$

となり、右辺 ln[-ln(1-$F(t)$)]と ln t のプロットから、傾きβが算出される。これをワイブルβと呼ぶ

このパラメータβの値によって、絶縁膜の不良は以下の 3 種類の不良パターンに分けられる。

0<β<1：初期不良モードであり、外因性で故障が発生するパターン。

β=1　:偶発不良パターンであり、このとき故障発生率は時間に対してほぼ一定となる。

β>1　:磨耗故障パターンであり、故障発生率は時間に対して増加する。

図 2.5 に、シリコン酸化膜の絶縁破壊寿命のワイブルβの酸化膜厚依存性を示す。βは酸化膜厚に比例し、薄膜化が進むにつれて 1 に近づく。ここで実デバイスにおいては、非常に小さい不良率(数 ppm オーダー)での寿命の保証をしなくてはならないため、βが小さいことは、すなわち、保証寿命が小さくなることを表しており、ゲート絶縁膜の信頼性保証の観点から深刻な課題[5]となっている。

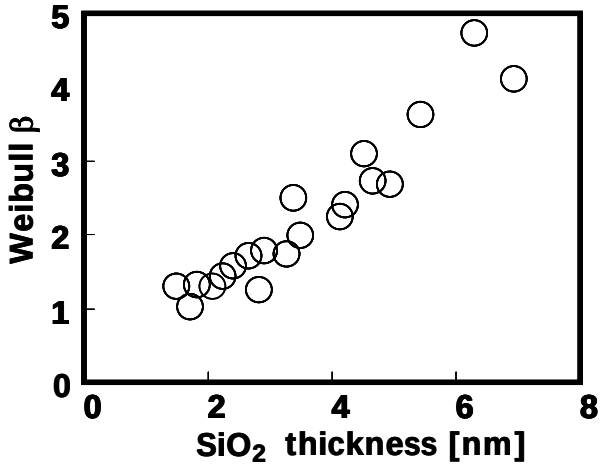


図 2.5：シリコン酸化膜の絶縁破壊寿命のワイブルβの酸化膜厚依存性[6]

2.4 本章のまとめ

本章では、本研究に用いたデバイスの作製プロセスと主な評価手法、解析方法について述べた。特に、信頼性評価の測定、解析手法として、BTI の測定手法、チャージポンピング法による界面準位の測定、解析方法、TDDB の測定、解析手法についてまとめた。

参考文献

[1] M. Denais, C. Pathasarathy, G.Ribes, Y. Rey-Tauriac, N. Revil, A. Bravaix, V. Huard, and F. Perrier: IEDM Tech. Dig., 2004, p.109

[2] C. Shen, M. -F. Li, C. E. Foo, T. Yang, D. M. Huang, A. Yap, G. S. Samudra and Y. -C. Yeo: IEDM Tech. Dig., 2006, p.1

[3] G. Groeseneken, H. E. Maes, N. Beltran, and R. F. Dekeersmaecker: IEEE Trans. Electron Devices, 31, 1, (1984) p.42

[4] W. Weibull : J. Appl. Mechanics. 51-A-6, (1951) p.293

[5] R. Degraeve, G. Groeseneken, R. Bellens, M. Depas, and H. E. Maes: IEDM. Tech. Dig.,1995, p.863

[6] E. Y. Wu, J. Sune, W. Lai, A. Vayshenker, E. Nowak and D. Harmon.: Microelectronics Reliability 43, 8, (2003) p.1175

第3章　HfSiONにおけるバイアス温度不安定性(Bias Temperature Instability)

3.1 はじめに

本章では、HfSiONをゲート絶縁膜とするMISFETの信頼性課題の一つである、バイアス温度不安定性(Bias Temperature Instability　：BTI)に関する研究について述べる。本章の目的は、HfSiON膜におけるBTIのメカニズムを理解し、デバイスの寿命を正しく評価して正確な信頼性保障を行い、改善プロセスを構築することである。

BTIとはトランジスタをオン状態にした際に絶縁膜自身および絶縁膜とSi基板の界面が劣化し、トランジスタのしきい値電圧がずれてしまう現象である。特に従来のSiO_2をゲート絶縁膜とするMISFETの場合、pMISFETにおけるBTIが問題となっており、これをNegative Bias Temperature Instability (NBTI)と呼ぶ。図3.1にNBTIによるトランジスタ特性の変化を示す。

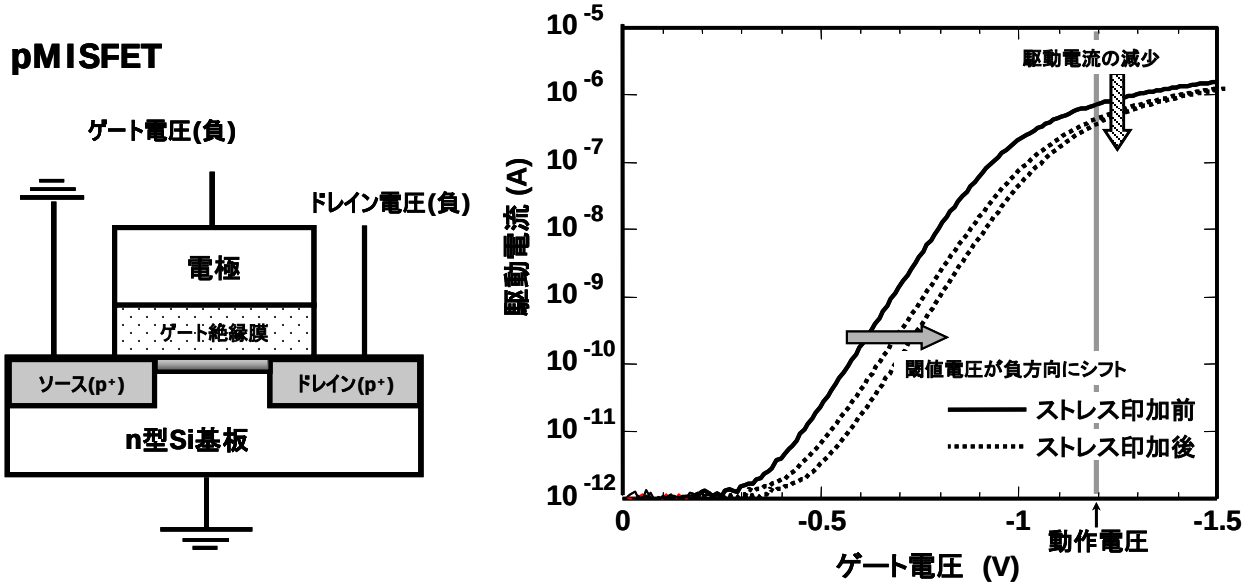


図 3.1: 実験に用いた pMISFET の模式図 NBTI によるトランジスタ特性の変化

このように、しきい値電圧がずれることによって、トランジスタの動作時の駆動電流が減ってしまい性能が劣化することが問題となっており、その特性改善と寿命の予測は重要となっている。

従来のSiO_2膜ではこのしきい値電圧のずれはストレス時間、温度、SiO_2膜にかかる電界に依存することがわかっており、このことを利用して加速試験を行い、実動作条件化での劣化量を見積もることによって、素子の寿命を予測している[1]。 図 3.2 にしきい値電圧のずれ(ΔVth)のストレス時間依存性を示すめる。ここで、$\Delta Vth=Vth_{\_stress}-Vth_0$ (Vth_0：ストレス印加前のしきい値電圧, ストレス印加後のしきい値電圧)と定義する。通常、測定可能な時間範囲(~10^4sec)でのストレス時間依存性から長時間の領域を外挿して、ある一定量のΔVthとなる時間を寿命として求める。

図 3.2 で示されるように、外挿を行う際の時間依存性の傾きが小さいと予測寿命は長くなり、時間依存性の傾きが大きいと予測寿命は短くなる。どのような傾きで外挿するかによって予測寿命は大きく変化するため、傾きの見積りを間違えると寿命を大きく見誤る可能性がある。そのため、より正確に寿命を見積もるための評価手法が必要である。

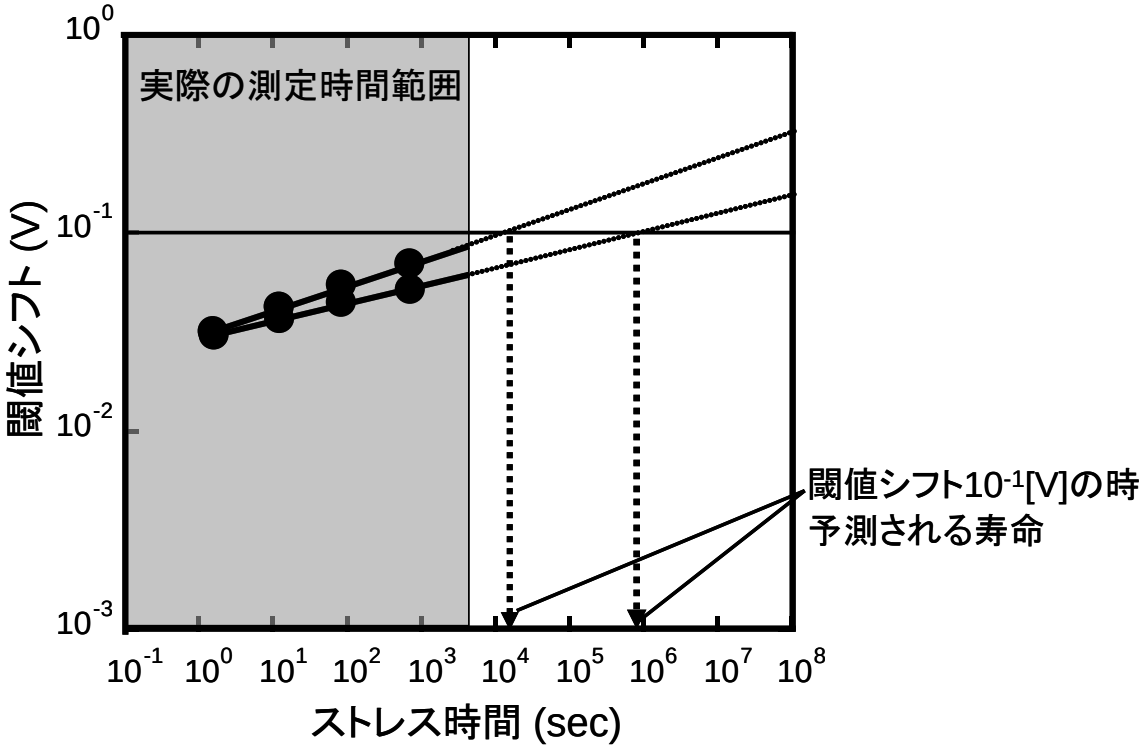


図 3.2: しきい値電圧シフト(ΔVth)のストレス時間依存性による寿命予測

3.2 HfSiON中の初期欠陥がNBTIに及ぼす影響

本節ではHfSiONゲート絶縁膜中の初期欠陥がNBTIに及ぼす影響について詳細に調べた研究成果について述べる。劣化機構に基づく予測曲線を得るために、SiO_2膜のNBTIと比較を行い、High-k膜特有の初期欠陥による寿命予測曲線への影響を明らかにすることを目的とし、実験を行った。特に本研究ではHfSiONゲート絶縁膜のΔVthの時間依存性について着目し、HfSiON膜中に初期欠陥があることによって従来とは異なった寿命予測が必要であることを提案する。

3.2.1 サンプル作製および評価方法

本実験では、HfSiON膜をゲート絶縁膜とする、ゲート長1um、ゲート幅20umのp^+poly-Siゲート/pMISFETを用いた。ここでHf組成([Hf]=Hf/(Hf+Si))は約50％で窒素濃度は約20 at.％である。pMISFETの作製方法は第2章に記したとおりである。図3.3にTEM(Transmission Electron Micriscope)像を示す。ここでHfSiON膜の物理膜厚は約3.5nmであり、HfSiON膜とSi基板の界面に約1nmほどの界面SiO_2層が存在している。また、HfSiON膜中には結晶のようなものは確認されず、均質な非晶質であることが確認できる。

NBTIの評価手順について図3.4 に示す。

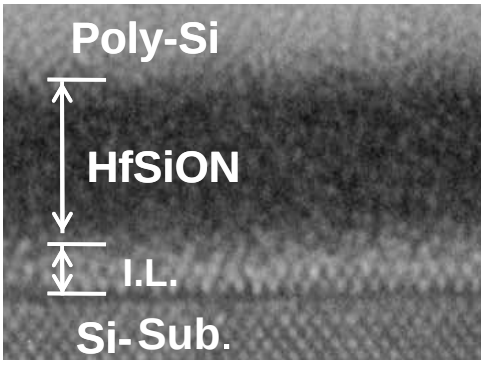


図 3.3：実験に用いた試料の TEM 写真

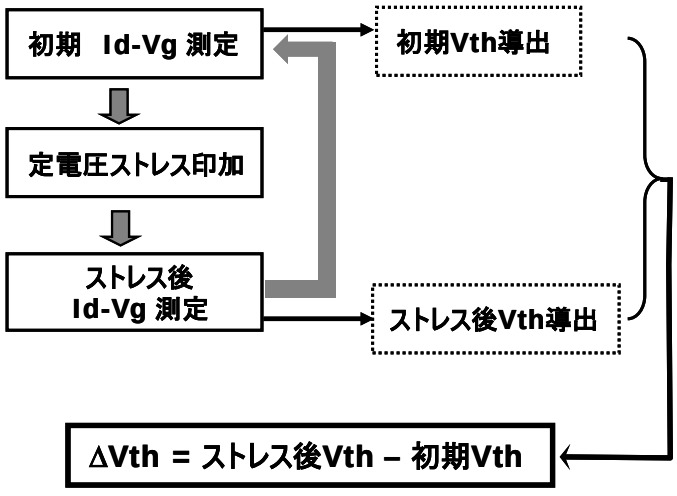


図 3.4: NBTI の評価手順

3.2.2 HfSiONとSiO₂のNBTI特性の違い

図3.5に(a)SiO_2膜と(b)HfSiON膜をゲート絶縁膜として用いたトランジスタのΔVthと界面準位密度の増加(ΔDit=Dit_{stress}－Dit_0 (Dit_0:ストレス印加前の界面準位密度，Dit_{stress}:ストレス印加後の界面準位密度))の時間依存性を示す。SiO_2膜については、ΔVth、ΔDitとストレス時間との間に、“べき”の相関（$\Delta Vth, \Delta Dit = \alpha \cdot t^{\beta}$）があり、その傾きはΔVth、ΔDitのどちらにおいても0.25となることが報告されている。これは、SiO_2におけるΔVthの起源のほとんどが界面準位によるものであり、SiO_2とSi基板の界面の弱い結合(Si-H)が切れて界面準位が生成していく描像で説明されている[2]。また、図3.5で示すように、HfSiON膜についてもΔVth, ΔDitと時間との間に“べき”の相関があり、その傾きβはΔDitでは~0.25とSiO_2膜の場合と同じ値であるが、HfSiON膜のΔVthのβの値は~0.15と小さい値であることが分かった。

このようにHfSiON膜ではΔVthとΔDitのストレス時間依存性が異なっており、ΔVthの起源が界面準位だけではないことが示唆される。HfSiON膜のΔVthの起源はSiO_2膜と異なっている可能性があるため、この傾きβを用いた外挿で寿命を予測することは危険である。

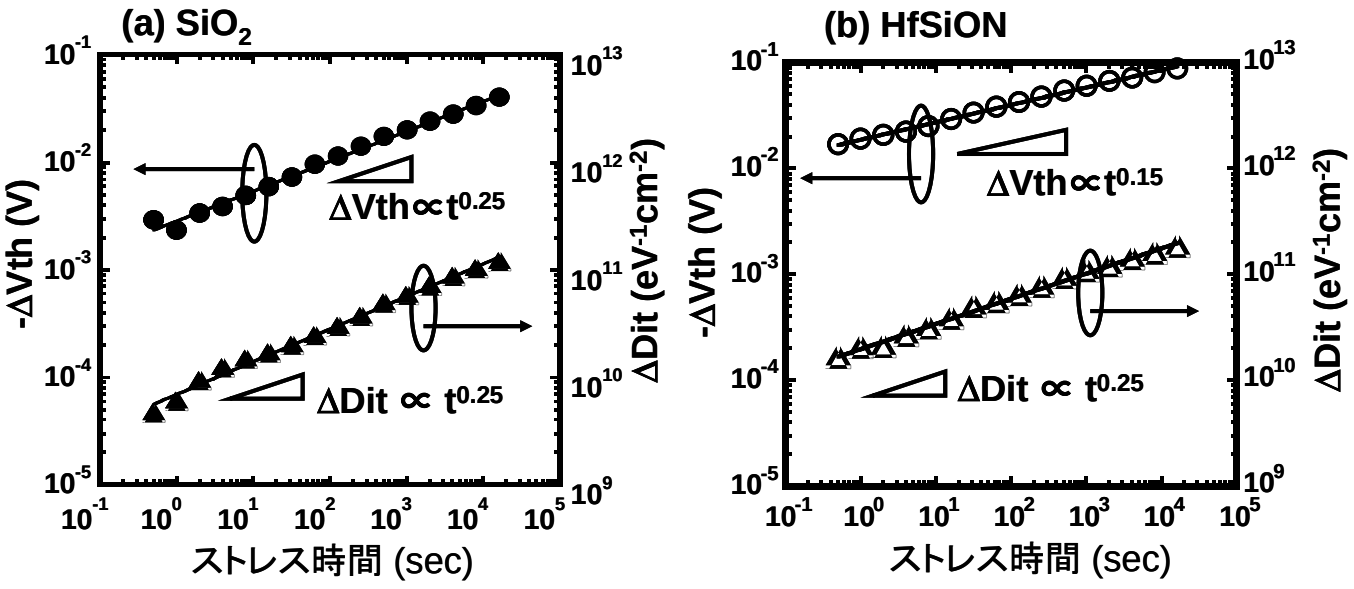


図 3.5: (a) SiO_2 と(b)HfSiON のしきい値シフト(ΔVth)と界面準位増加(ΔDit)のストレス時間依存性

3.2.3　HfSiON膜中の初期欠陥がNBTI特性に与える影響

High-k膜には膜中に多く初期欠陥が存在することが報告されている[3]。3章3.2.2節で示されたHfSiON膜とSiO_2膜のNBTI特性の違いは、初期欠陥による影響であると推測し、実際に膜中の初期欠陥量が異なる試料を用いてNBTI特性や寿命予測に対して初期欠陥がどのような影響を与えるかを検証する。3.2.4では初期欠陥の影響を取り除いた寿命予測法を提案する。

HfSiON膜に正電圧ストレスを一定時間印加することによって意図的に膜中に欠陥を生成させることができる。膜中の欠陥の量は正電圧ストレスによる注入電荷量(Q_{inj})を変化させることによって制御し、膜中欠陥量の異なる4つの試料(a),(b),(c),(d)を作成した。図3.6(a)に各試料のQ_{inj}とストレス誘起リーク電流(SILC;Stress Induced Leakage Current),界面準位密度(Dit)を示す。SILCは膜中の欠陥を介して流れる電流であるため、SILC量の違いは膜中欠陥量の違いを表していると考えられる。また界面準位密度(Dit)は界面欠陥の量を表している。正電圧ストレスによる電荷注入量(Q_{inj})が多い試料ほどSILCは多くなるが、Ditはほとんど変化しないことがわかる。このことから正電圧ストレスを印加した各試料は注入電荷量Q_{inj}に依存して膜中欠陥量が試料(a)<(b)<(c)<(d)の順に多くなっているが、界面の状態は正電圧ストレスによる注入電荷量Q_{inj}に依存せず一定であると考えられる。図3.6(b)に各試料の膜中および界面の状態の模式図を示す。

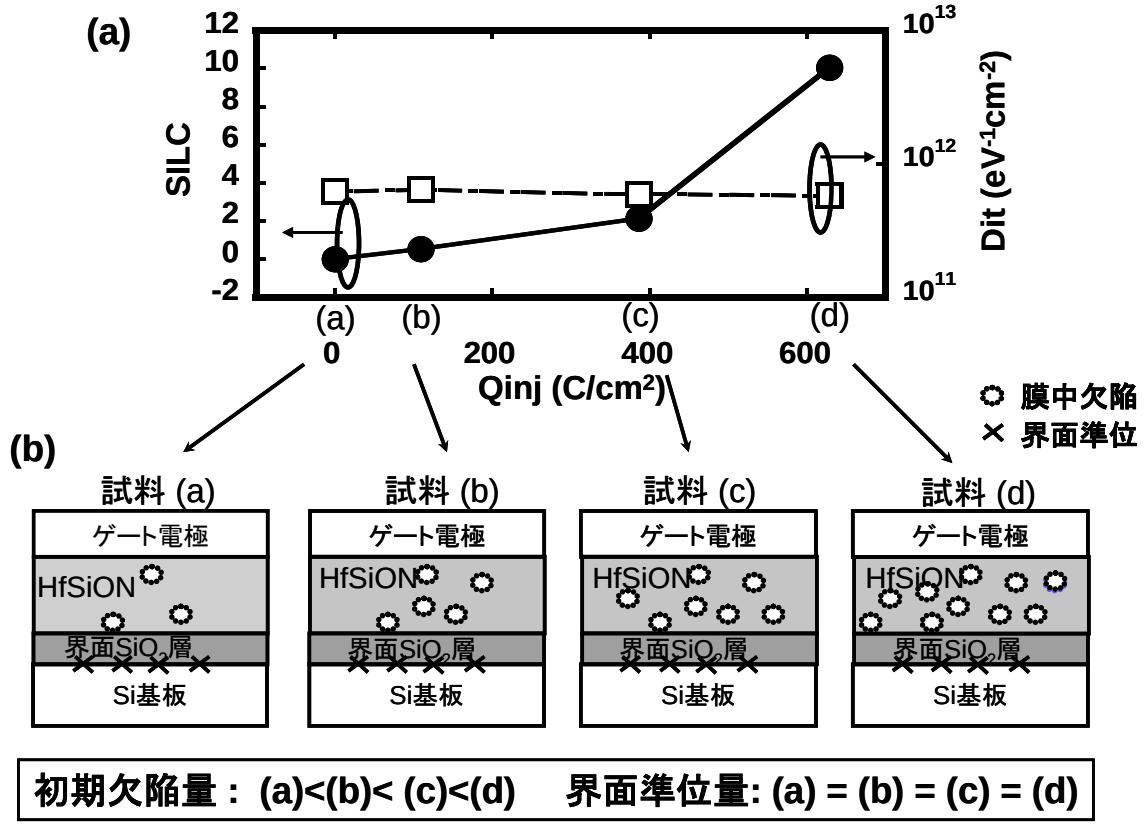


図 3.6: (a)SILC、Dit の正電圧印加量(Q_{inj})依存性と(b)各試料の膜中および界面状態の模式図

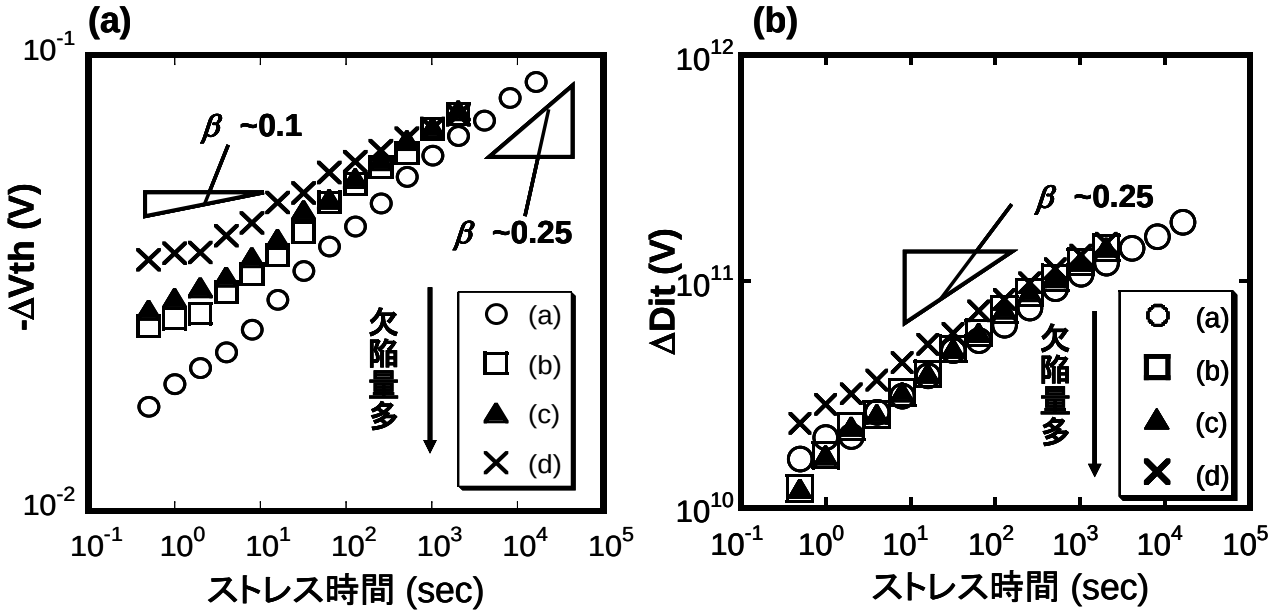


図 3.7: 初期欠陥量の異なる試料に対する、(a)ΔVth と(b)ΔDit のストレス時間依存性

図3.7に図3.6で示した初期欠陥量が異なる試料(a),(b),(c),(d) のNBTストレス下での(a)ΔVthと(b)ΔDitのストレス時間依存性を示す。特にストレス時間が短い領域では初期欠陥量が多い試料ほどΔVthの時間依存性の“べき”の傾きβが小さくなる傾向があり、長時間ストレスを印加すると、傾きβが0.25に漸近していくことがわかる。また、Ditについては、初期欠陥量によらず同様の時間依存性を示しその傾きβは~0.25となる。この結果から、膜中初期欠陥量はストレス初期の領域でのΔVthの時間依存性に強く影響を及ぼすことがわかる。

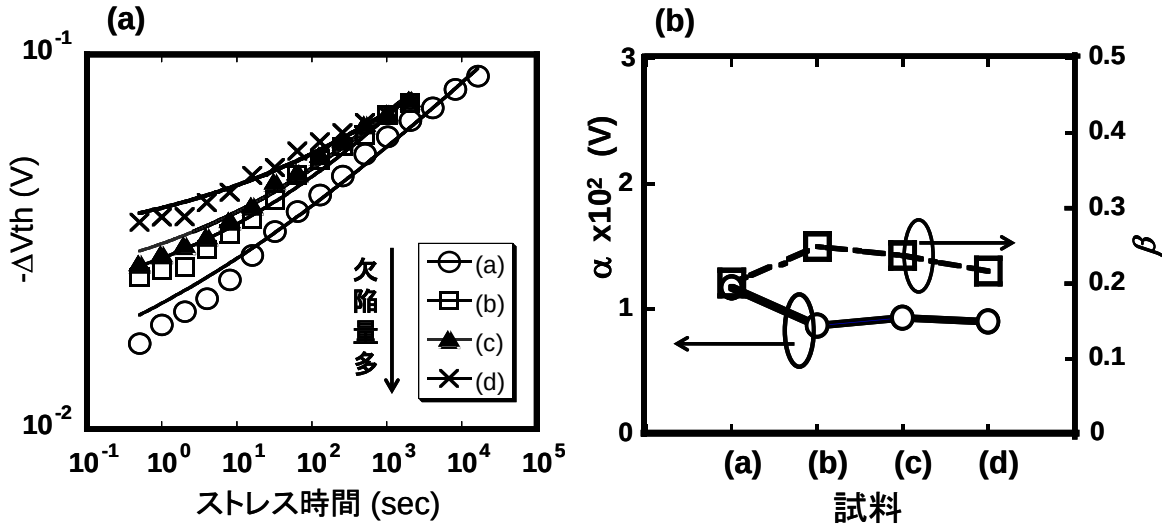


図 3.8: 各試料に対する(a)ΔVth のストレス時間依存性のフィッティング結果と(b)フィッティングパラメータ

そこで、ストレスを印加した直後に初期欠陥に電荷が捕獲されると考え、それによるVthの変化量をΔVth$_{ini}$(時間依存性を持たない項)としてΔVth= $\alpha \cdot t^{\beta}$ + ΔVth $_{ini}$でフィッティングを行った結果を図3.8(a)の実線で示す。ここでΔVth$_{ini}$はストレス印加直後のΔVthを用いた。一方、図3.8 (b)に示す様に、初期欠陥量の異なる各試料において、α, βの値はほとんど変わらない。この様に、各パラメータα, βを変えずに、ΔVth $_{ini}$を導入することでΔVthの時間依存性を再現することができることから、図3で示された、現実的な測定時間（～10^4sec)での見かけの時間依存性の傾きβの小ささは主に膜に含まれた初期欠陥に起因し、また、初期欠陥を埋めるために印加したストレスはNBTIの劣化に影響していないと考えられる。

次に電界依存性について報告する。実際のトランジスタのNBTI寿命は、電界加速試験における電界依存性から見積もられるため、しきい値シフトの電界依存性は重要である。図3.9に図3.6で示した初期欠陥量が異なる試料(a),(b),(c),(d) にNBTストレスを1000秒印加した後の(a)ΔVthと(b)ΔDitのストレス電界依存性を示す。ΔDitは初期欠陥の量に依存せずどの試料も同じ電界依存性を示すが、ΔVthは初期欠陥が多い試料の電界依存性が小さくなる傾向を示すことがわかる。

このように初期欠陥が電界加速係数の見積もりにも影響を及ぼすため、電界加速試験における寿命予測において、膜の初期欠陥量に応じて測定結果を慎重に取り扱う必要がある。

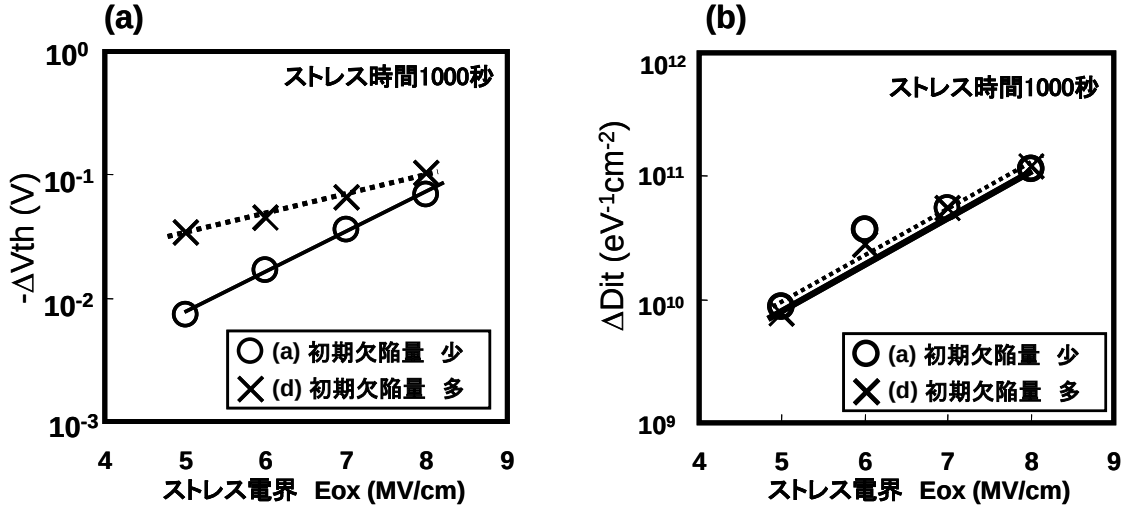


図 3.9: 初期欠陥の異なる試料の(a) ΔVth と(b)ΔDit のストレス電界依存性

3.2.4　初期欠陥の影響を取り除いた寿命予測手法

3.2.3で、HfSiON膜中の初期欠陥が測定可能な時間領域でのNBTI特性に影響を及ぼすことを示した。そこで、実験的に初期欠陥の影響を取り除くための方法を提案する。図3.8に示すように、初期欠陥量の異なる試料のΔVthの時間依存性はΔVth_{ini}を導入することで再現できる。そのため、図3.10に示すような、初期欠陥の影響を取り除いたNBTI測定手法を検討した。この手法ではNBTI試験を行う前に非常に短時間電圧を印加してキャリアを注入し初期欠陥を埋め、その状態でのしきい値電圧をVth_0としてNBTI試験をおこなうことにより、初期欠陥の影響を少なくしたNBTI特性を得ることができる。

図3.11に図3.5に示した初期欠陥量の異なる各試料を図3.10で示した方法を用いてNBTI試験を行って得られたΔVthの時間依存性を示す。初期欠陥を埋めたあとのΔVthの時間依存性はどの試料も同じになり、初期欠陥量による影響を取り除けたことがわかる。100秒よりも長い時間の領域では、ΔVthの時間依存性は“べき”の依存性を持ちその傾きはβ~0. 24であり、ΔDitの時間依存性の“べき”の傾きβと近い値となることから、初期欠陥の影響を取り除いたNBTIはSiO_2と同様にDitの増加が主な原因であると推測される。また、100秒よりも短い時間の領域で傾きβが0.24から外れているのは、今回の実験での、**初期欠陥を埋めるためのキャリア注入によって、同時に劣化が起こっているためであり、キャリア注入プロセスの最適化によって解決できると考えている。**

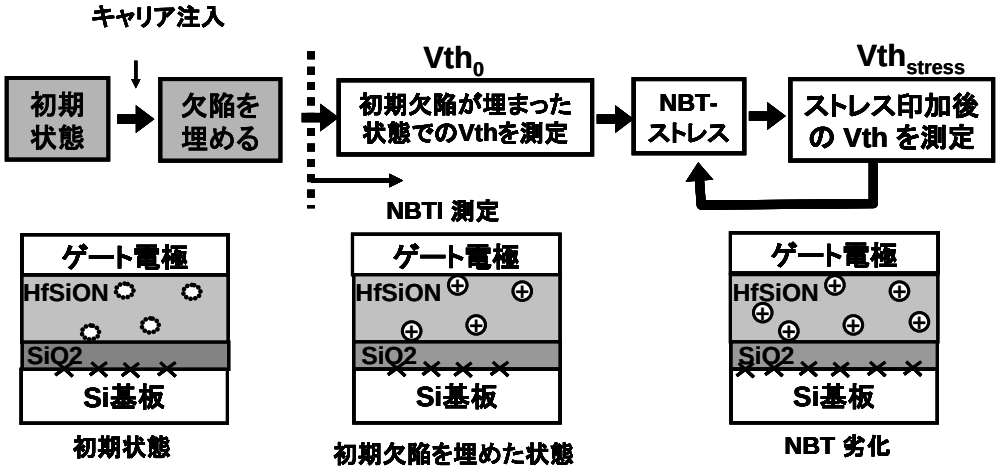


図 3.10: 初期欠陥の影響を取り除いた NBTI 測定手法の模式図

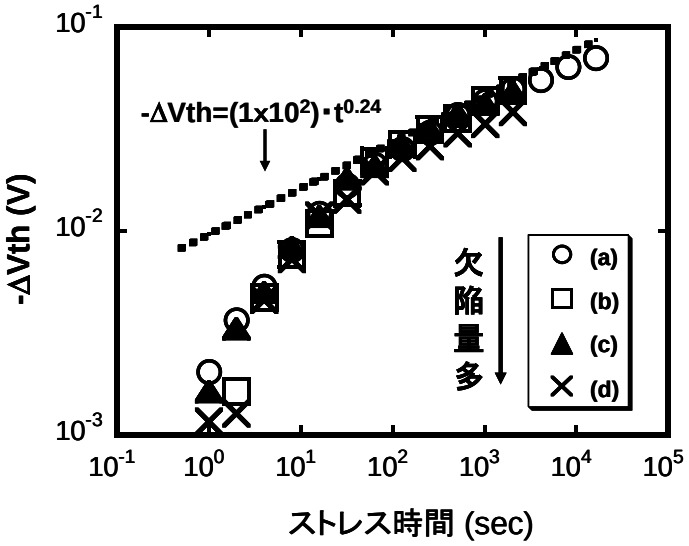


図 3.11: 各試料に対する初期欠陥の埋めた後のΔVth のストレス時間依存性

図3.12に通常の測定を行った場合と膜中の欠陥を埋めた場合のΔVthと、ΔDitの電界依存性について示す。ΔVth, ΔDitは電界に対して指数関数的に増加する傾向にある。ここで、初期欠陥によるΔVthを考慮に入れないと、電界依存性の傾きβは~0.4となり、ΔDitの電界依存性の傾きβ ~0.7と比べて小さい値となる。一方、初期欠陥を埋めた後のΔVthの電界依存性の傾きはβ~0.65程度となり、ΔDitの電界依存性の傾きと近い値となる。

また、図3.13にHfSiON膜に対して通常のNBTI測定を行った場合と、膜中欠陥を埋めてNBTI測定を行った場合のΔVthとΔDitの温度依存性を示す。SiO_2膜においては、ΔVthとΔDitは同様の温度依存性を示し、活性化エネルギー(Ea)~0.2eV程度であり、これは、SiO_2膜のΔVthとΔDitの機構が同じことを示唆しており、界面のSi-HからのHの脱離拡散が原因であると報告されている[2,4]。HfSiON膜に対して通常の測定を行った場合、ΔVthのEaは～0.07eVとなり、ΔDitのEaと比べて小さい値となる。しかし、初期欠陥を埋めた後にNBTI試験を行った場合のΔVthのEaは～0.09eV程度となり、ほぼΔDitのEaと同じ値になる。

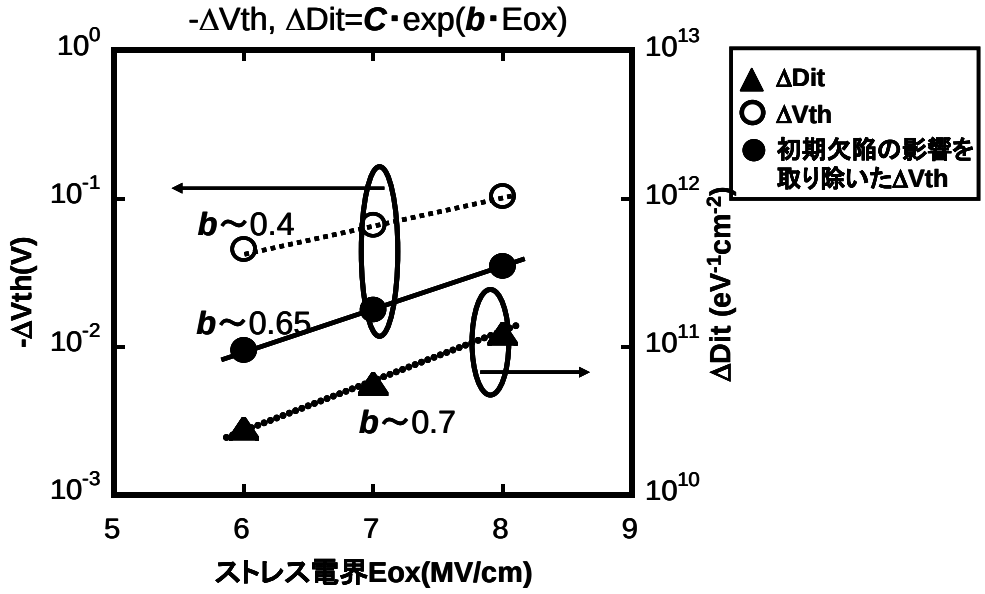


図 3.12: 初期欠陥を埋めた後のΔVth とΔDit のストレス電界依存性

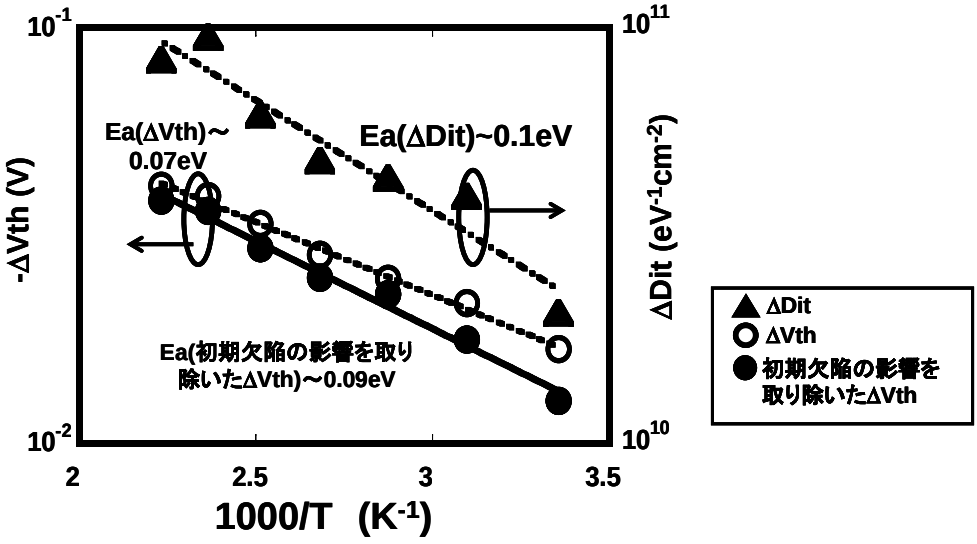


図 3.13: 初期欠陥を埋めた後のΔVth とΔDit の温度依存性

この結果から、初期欠陥によるΔVthの影響を取り除くと、ΔVthとΔDitの起源は同じであり、SiO_2膜の場合と同様の劣化機構であると考えられる。これらの結果からHfSiON膜とSiO_2膜のしきい値シフトの劣化(NBTI)の差は膜中の初期欠陥に起因するものが主であると考えられ、加速試験を行う寿命予測において、初期欠陥の影響を取り除けばSiO_2膜と同様に予測することが可能であることが示唆される。

3.3　HfSiON 中の欠陥が PBTI、NBTI の回復挙動に及ぼす影響

3.2 で、HfSiON 膜中の初期欠陥によって、NBTI の特性が変わることを示した。また、実際の動作条件である AC ストレス下での BTI の寿命は、劣化だけでなく、ストレスを開放した際の回復にも強く依存する[5]。そこで、本節では HfSiON の PBTI、NBTI の回復挙動ついて、特に、界面層膜厚や電界依存性に着目して詳細に調べた研究について述べる。

3.3.1　サンプル作製および評価方法

本実験では、HfSiON膜をゲート絶縁膜とする、ゲート長 1um、ゲート幅 10umのn^+-poly Siゲート/nMISFET, p^+-poly Siゲート/pMISFETを用いた。ここでHf組成([Hf] = Hf/(Hf+Si))は約 50%で窒素濃度は約 20 at.%である。MISFETの作製方法は第 2 章に記したとおりである。本実験で使用した試料の膜厚条件を表 3.1 に示す。ここで、界面SiO_2層はISSG 法(in-situ steam generation)(半導体基板を配置した成膜室の内部に水素と酸素を直接導入し、成膜室内で水蒸気(H_2O)を発生させて酸化膜を形成する方法)で成膜した。

表 3.1 に示したそれぞれの試料に対して、nMISFET には図 3.14(a)に示すような unipolar PBT(Positive Bias Temperature)ストレスを印加し、pMISFET には図 3.14(b)に示すような unipolar NBT(Negative Bias Temperature)ストレスを印加し、ストレス印加前、ストレス印加中、ストレス開放中のそれぞれで界面準位、しきい値電圧を測定した。ここで、しきい値電圧は Id-Vg 特性から評価し、界面準位密度はチャージポンピング測定から評価を行った。測定温度は 125℃を用いた。

	IL(SiO_2)	HfSiON
(a)	1 nm	4 nm
(b)	2 nm	4 nm

表 3.1：使用した試料の界面 SiO_2 層と HfSiON 層の物理膜厚

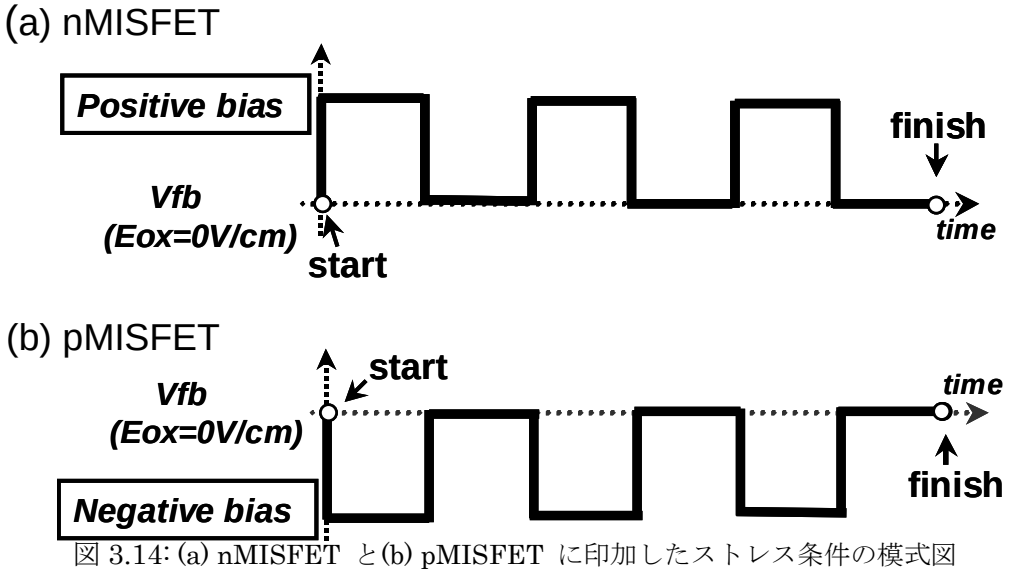


図 3.14: (a) nMISFET と(b) pMISFET に印加したストレス条件の模式図

3.3.2　HfSiON における PBTI の劣化、回復の挙動

図 3.15 にnMISFETにunipolar PBTストレスを印加した際のしきい値電圧シフトの時間依存性を示す。ここで、ストレス印加時にはEox = 8MV/cmの定電圧ストレスを印加し、ストレス印加と開放を 4000 秒づつ繰り返した。同時に、チャージポンピング測定から得られた界面準位から、界面準位によるしきい値電圧シフト(ΔVth$_{_interface}$)を下式

$$\Delta Vth\_{interface} = -\frac{q \cdot \Delta Dit \cdot \phi_B(T)}{Cox}$$

から求めた。

nMISFET に PBT ストレスを印加すると、しきい値電圧は正方向にシフトし、ストレスを開放すると、しきい値電圧はある程度まで回復し、ストレス印加、開放を繰り返すと同様の劣化回復挙動を繰り返すことがわかる。また、図 3.15 で△で示した界面準位起因のしきい値シフトは、全体のしきい値シフトと比べて非常に小さい値であることがわかる。これらの結果から、HfSiON 膜における、PBTI の劣化要因は、界面準位生成ではなく、膜中のトラップが原因であると考えられる。また、しきい値はストレスによって正方向にシフトしていることから、膜中に電子がトラップされていると考えられる。

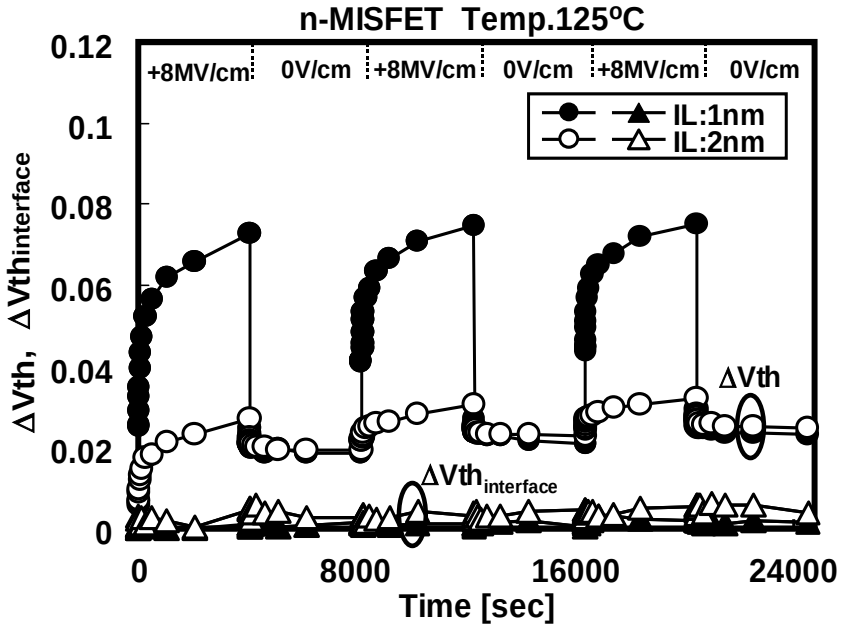


図 3.15: Unipolar-PBT ストレス下でのΔVth と $\Delta Vth\_{interface}$ の時間依存性

図 3.16 に界面SiO_2層膜厚が 1nm、2nmのnMISFETに対する、unipolar PBTストレス印加によるしきい値電圧シフトの時間依存性を示す。ここで、最初の 4000 秒はストレスを印加し、次の 4000 秒はストレスを開放している。また、ストレス電圧はEox=7MV/cm, 8MV/cm, 9MV/cmと変化させた。ここで、ストレス電圧を高くしていくと、しきい値シフト量は大きくなっていき、また、界面SiO_2層が薄い膜の方が、同じ電界を印加した際のしきい値シフト量は大きい。また、ストレス電圧や界面SiO_2膜厚に依存せず、ストレスを開放した際のしきい値の回復現象が観測されることがわかる。また、界面層が厚い方が、ストレスを 0 にした時の回復量が小さい。このことから、界面層の存在がΔVthの回復を抑制していると考えられる。

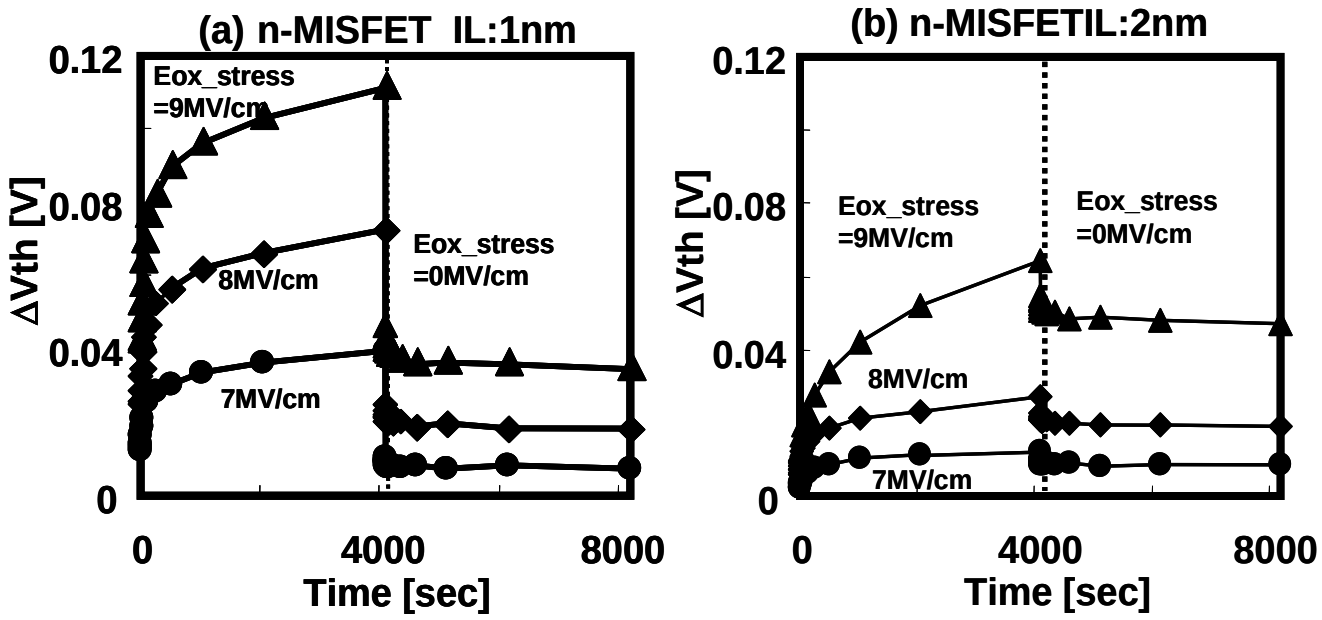


図 3.16: (a) IL:1nm の試料と(b)IL:2nm の試料に対する、PBT ストレスの電界を変化させた際の、しきい値シフト(ΔVth)の劣化と回復の時間依存性

3.3.3　HfSiON における NBTI の劣化・回復の挙動

図 3.17 にpMISFETにunipolar NBTストレスを印加した際のしきい値シフト(ΔVth)と界面準位起因のしきい値シフト(ΔVth_interface)の増加のストレス時間依存性を示す。ここで、どちらの試料についても、ストレス印加時にΔVthは負方向にシフトする。しかし、ストレスをオフにした際には、IL：1nmの試料はΔVthが正方向に回復をする、IL：2nmの試料はストレスをオフにしてもΔVthはさらに負方向にシフトしていく振る舞いが繰り返される。一方、ΔVth_interfaceはunipolar NBTストレス下でPBTとは異なり、劣化回復を繰り返し、その大きさは界面膜厚にほとんど依存しない。このことから、unipolar NBTストレス中のしきい値シフトは、膜中に捕獲、放出される電荷と、界面の劣化、回復の両方よるものだと考えられる。さらに、同じストレス電界を印加した際、ストレス印加中のしきい値シフトΔVthは界面層が薄いほど大きい。

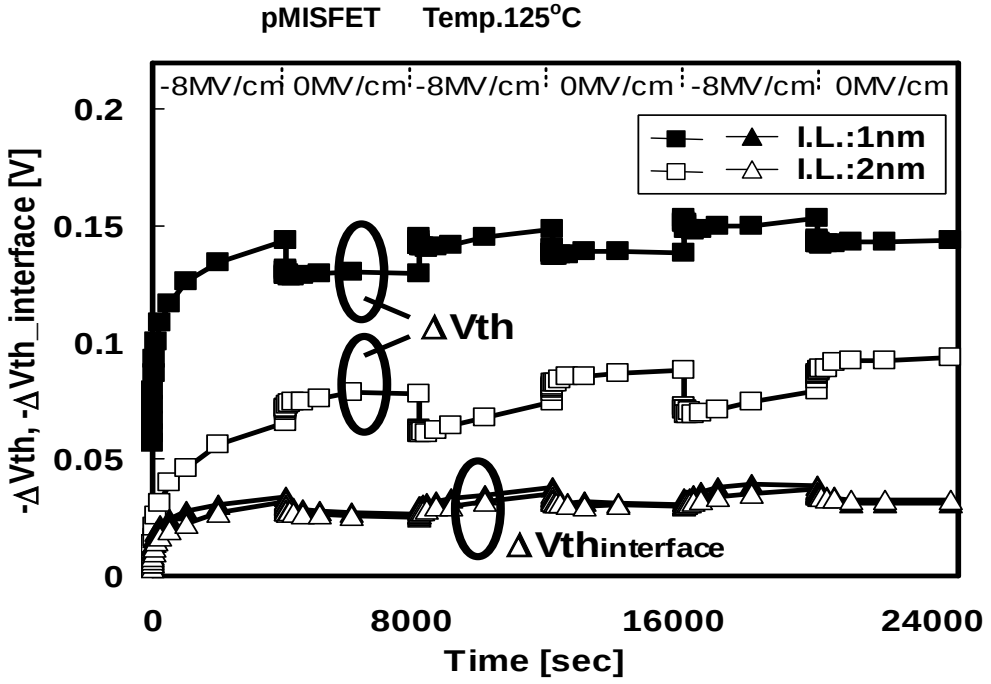


図 3.17：Unipolar NBT ストレス下でのΔVth と ΔVth_interface の時間依存性

図 3.18 に IL:1nm と IL:2nm の pMISFET に対して、NBT ストレス電界を変化させた際のΔVth の劣化と回復の挙動を示す。ここで、どちらの試料においても、ストレス印加時にΔVth が負方向にシフトしていくが、ストレスを 0 にした際の回復の挙動は、界面膜厚、ストレス電界に強く依存していることがわかる。どちらのサンプルにおいても、ストレス電界が大きい時には、ストレスを 0 にした際にしきい値シフトが正方向に回復するのに対して、ストレス電界が小さい時には、ストレスを 0 にした際にしきい値シフトがさらに負方向にシフトしていくという、PBTI とは極めて異なる振る舞いがみられた。ここで、unipolar NBT ストレス中のしきい値シフトは、膜中に捕獲、放出される電荷と、界面の劣化、回復の両方よるものだと考えられるため、界面とバルクそれぞれの寄与について抽出をお行った。

HfSiON膜のNBTIにおいては、NBTストレス下でのしきい値のシフトは膜中の電荷によるシフト（$-\Delta Vth_{\_bulk}$）と界面準位の増加によるシフト($-\Delta Vth_{\_interface}$)の和であると考えられ、次式のように表される。

$$-\Delta Vth = (-\Delta Vth_{\_interface}) + (-\Delta Vth_{\_bulk}) \cdots\cdots (1)$$

そこで、界面準位起因のしきい値シフトは次式で表すことができる。

$$-\Delta Vth_{\_interface} = \frac{q \cdot \Phi_b \cdot Dit}{Cox} \qquad \cdots\cdots (2)\ [6]$$

$$\Phi_b = \frac{Ei - Ef}{q}$$

（q：電気素量, Ei：真性準位, Ef：フェルミ準位, Dit：界面準位, Cox：絶縁膜容量）

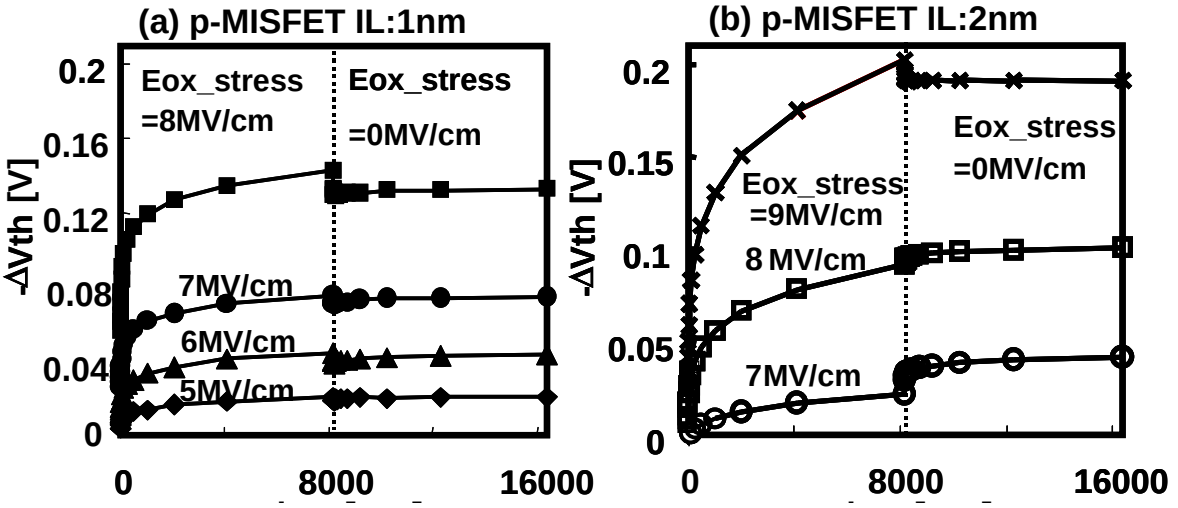


図 3.18: (a) IL:1nm の試料と(b)IL:2nm の試料に対する、NBT ストレスの電界を変化させた際の、しきい値シフト(ΔVth)の劣化と回復の時間依存性

図 3.19 に、チャージポンピング法によって測定した界面準位密度から (1)式より得られた、界面準位起因のしきい値シフトの劣化回復の時間依存性を示す。この結果から、界面準位起因のしきい値シフトは、ストレス電界の大きさに依存せず、ストレスを 0 にすると、正方向に回復することがわかる。このような、界面準位の回復の振る舞いはSiO_2系でも多く報告されており、ストレス印加時に界面から水素は脱離、拡散することによって界面準位が生成し、ストレスを 0 にすると、脱離していた水素が戻ってきて、再終端することによって、回復が起こると説明されている[7]。図 3.18 からわかるように、界面準位に起因するしきい値シフトは界面層膜厚、ストレス時の電界によらず、ストレスを 0 にすると回復するという振る舞いが見られる。このことから、図 3.18 で観測されるような、界面層膜厚、ストレス電界によって異なる、ストレス 0 の時の回復挙動の違いは、界面準位の変化によるものではなく、膜中の電荷に起因するものであると考えられる。

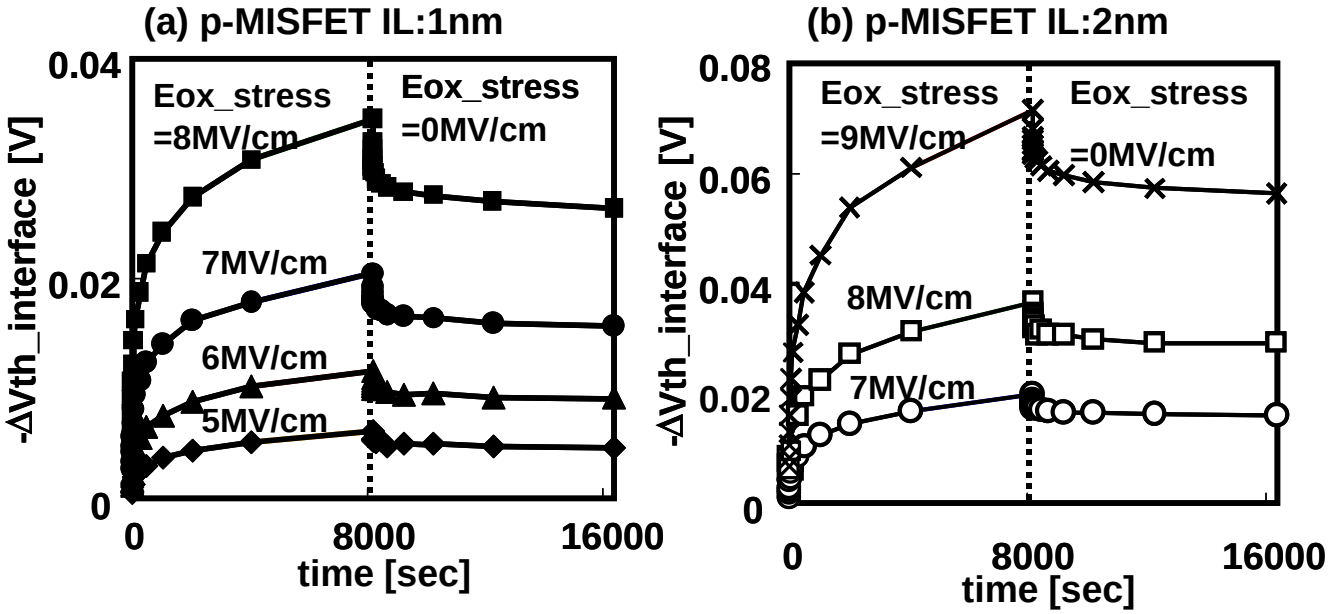


図 3.19: (a) IL:1nm の試料と(b)IL:2nm の試料に対する、NBT ストレスの電界を変化させた際の、界面準位起因のしきい値シフト(ΔVth_interface)の劣化と回復の時間依存性

次に、膜中の電荷起因によるしきい値シフトを抽出する。(1)式より、全体のしきい値シフトΔVth（図3.18)から界面準位起因のしきい値シフトΔVth_interface (図 3.19)を差し引くことから、膜中の電荷起因のしきい値シフトを抽出することができる。このようにして抽出した膜中電荷起因のしきい値シフト(-ΔVth_bulk)の劣化と回復の時間依存性を図 3.20 に示す。界面層の膜厚によらず、ストレス電界が小さい時にはストレス 0 でにしきい値が負方向にシフトしていく挙動が顕著に見えることがわかる。このような挙動は、SiO_2(SiON)における膜中電荷によるしきい値シフトの振る舞い[8]とは極めて異なっており、正孔のトラップ　、デトラップだけでは説明が出来ない。

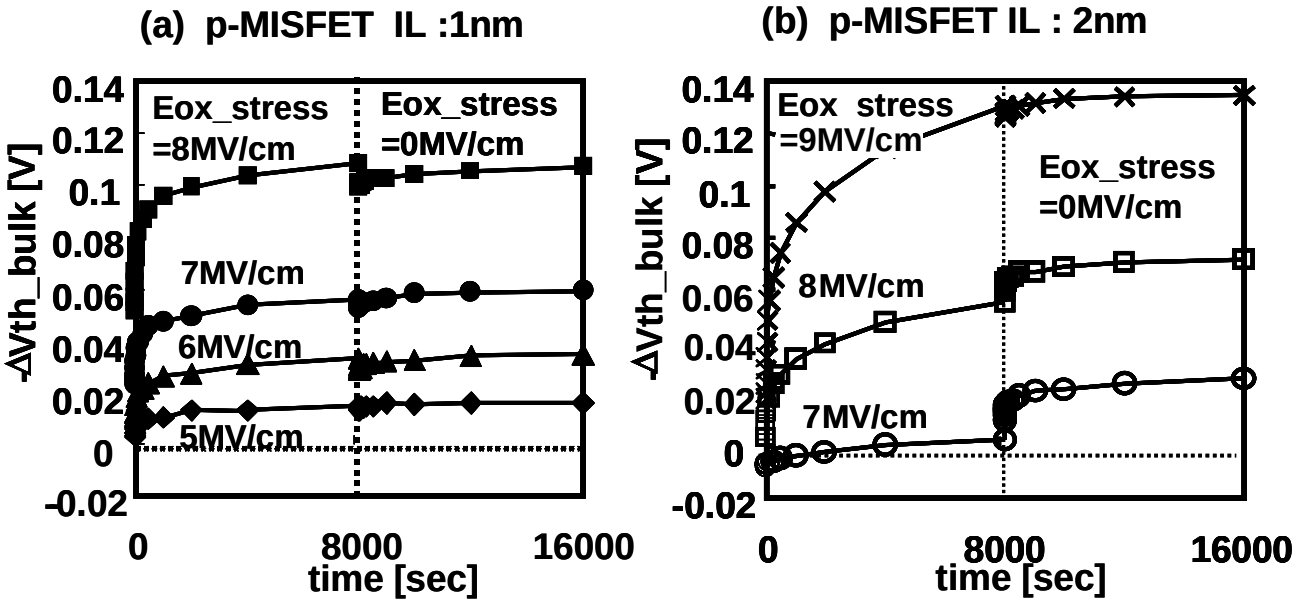


図 3.20 : (a) IL:1nm の試料と(b)IL:2nm の試料に対する、NBT ストレスの電界を変化させた際の、膜中トラップ起因の閾値シフト(-ΔVth_bulk)の劣化と回復の時間依存性

3.3.4　回復率のストレス電界依存性

3.3.2、3.3.3 節の結果から、しきい値電圧の劣化、回復の挙動は概ね膜中電荷と界面準位が寄与しているが、PBTI においては、界面準位の寄与は非常に小さく、NBTI においては、界面準位と膜中電荷の両方が寄与していることがわかった。また、PBTI、NBTI のどちらにおいても、回復挙動に界面層膜厚、ストレス電界の影響が見られることがわかった。そこで、回復の挙動のストレス電界依存性について考察を行うため、図 3.21 のように、

回復率(Recovery ratio)
=(しきい値シフトの回復量)/(しきい値シフトの劣化量)
と定義し、その電界依存性について考察する。

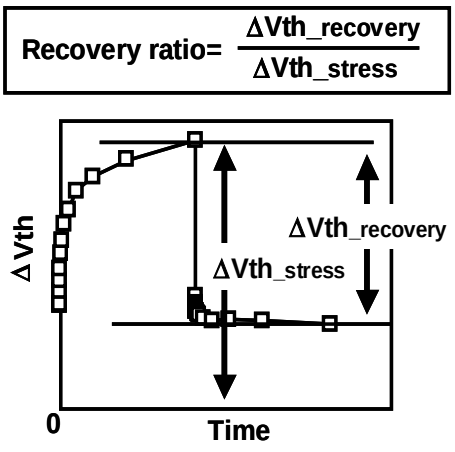


図 3.21：回復率（Recovery ratio）の定義

図 3.22(a)に PBTI の回復率のストレス電界依存性を示す。ここで、PBTI において、界面準位によるしきい値シフトは非常に小さいため、ここで示すしきい値シフトの回復率はほぼ膜中電荷によるものだと考えられる。図 3.22(a)から、しきい値シフトの回復率は界面層の膜厚に強く依存しており、界面層膜厚が小さいほど回復率が小さいことがわかる。また、回復率はストレス時の電界にも依存し、ストレス電界が小さいほど回復率が大きい傾向がみられる。
ここで、今回のストレス条件においてはキャリアセパレーションの結果から、膜中を流れる電荷はほとんどが反転層から注入される電子であるため、PBTI の劣化回復は電子の膜中への捕獲放出で説明できると考えられる。すなわち PBTI の回復率は(3)式で表すことができる。

$$\textbf{Recovery ratio (PBTI)} = \frac{\left|\text{discharge of electron } (\Delta Vth(-))\right|}{\left|\text{capture of electron } (\Delta Vth(+))\right|} \quad \cdots\cdots\cdots (3)$$

ここでストレス電界が小さいほど、回復率が大きいというのは、捕獲された電子のうち、ストレスオフ時に放出される電子が多いということを表している。

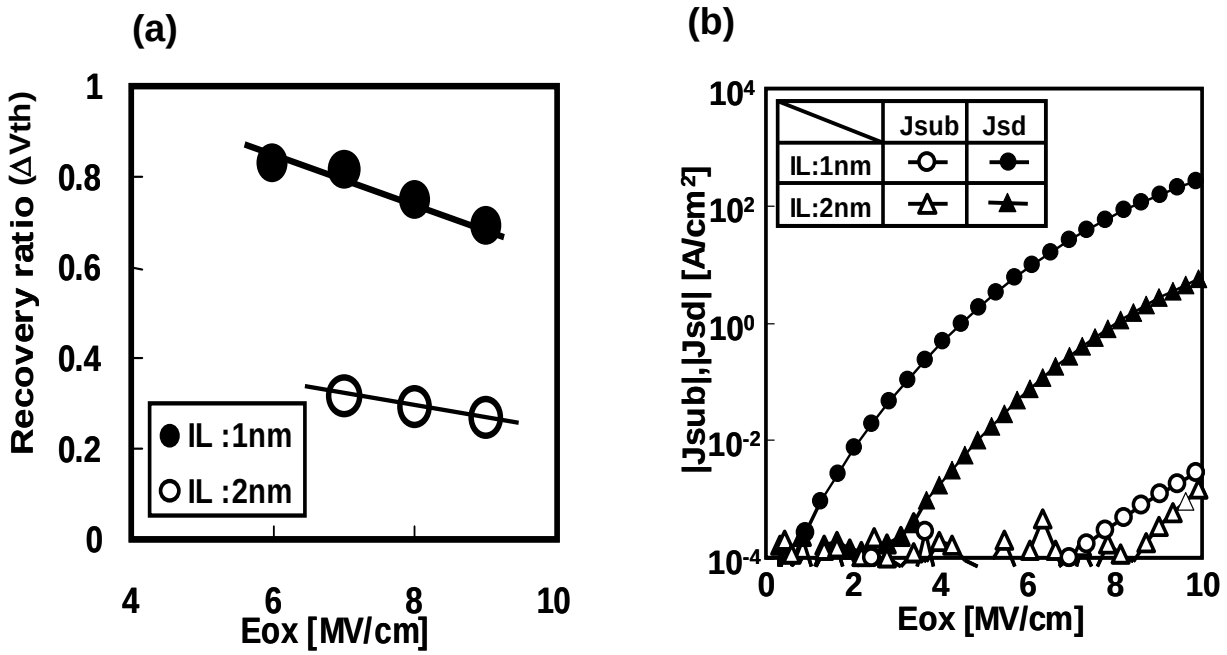


図 3.22 : (a) PBTI の回復率のストレス電界依存性と(b) n-MISFET におけるキャリアセパレーションの結果

図 3.23 に界面準位起因および、膜中トラップ起因のNBTIの回復率のストレス電界依存性を示す。界面準位起因のしきい値シフトの回復率(図 3.23(a))は界面層膜厚、ストレス電界に依らず、~0.2 程度でほぼ一定であることがわかる。SiO_2、SiON膜で多く報告されているように、界面準位の生成は、Si基板と絶縁膜の界面のSi-H結合が切れて、水素が膜中を拡散することによって生成すると考えられ、界面準位が回復するのは、拡散していた水素が戻ってきて、Si-dangling bondと再結合するためであると考え

られている。今回の結果から、SiO_2/HfSiONスタックでも、界面準位の生成・回復はSiO_2と同様に水素の脱離・拡散によると考えられる。しかし、界面準位の回復率とは違って、バルクトラップに起因するNBTIの回復率は、界面層膜厚やストレス電界に強く依存している(図 3.23 (b))。この結果は、バルクトラップに起因するしきい値シフトの回復率は負の値(すなわち、ストレスをオフにしても、回復せず、さらに劣化する振る舞い)を示しており、PBTIの回復率(図 3.22(a))とは異なっている。また、ストレス電界依存性も、PBTIとは逆方向で、ストレス電界が小さいほど、回復率は小さい(負方向)であることがわかる。

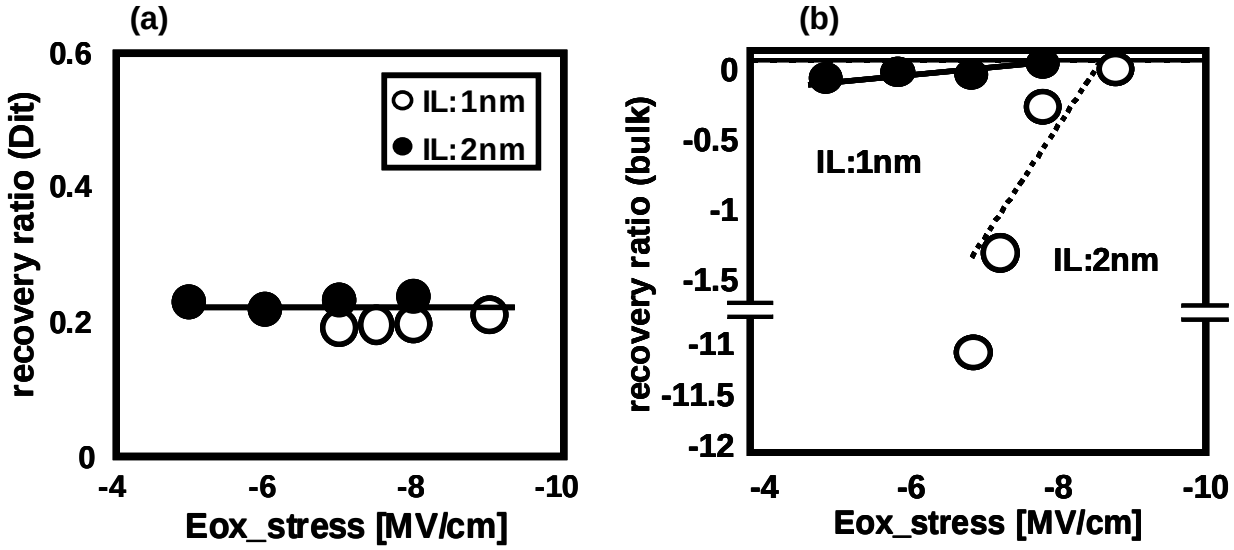


図 3.23 : (a) 界面準位起因のしきい値シフト($\Delta Vth_{interface}$)の回復率のストレス電界依存性と
(b)膜中トラップ起因のしきい値シフト(ΔVth_{bulk})の回復率のストレス電界依存性

図 3.24 に pMISFET のキャリアセパレーションの結果を示す。Jsub は poly-Si ゲートの価電子帯から注入される電子電流を、Jsd は基板反転層から注入される正孔電流を表している。nMISFET の場合(図 3.24(b)は、膜中を流れる電荷はほとんど電子であるのに対して、pMISFET の場合、電子、正孔の両方が膜中を流れており、NBTI においても電子、正孔の両方が寄与していると考えられる。

そこで、バルクトラップに起因する NBTI の回復率は、電子、正孔の捕獲、放出が寄与すると考えられ、式(4)で示される。

$$\text{Recovery ratio (NBTI\_bulk)} = \frac{[\text{discharge of hole}(\Delta Vth(+)) + \text{discharge of electron}(\Delta Vth(-))]}{-[\text{capture of hole}(\Delta Vth(-)) + \text{capture of electron}(\Delta Vth(+))]} \quad \cdots\cdots\cdots\cdots (4)$$

ここで、電子と正孔はそれぞれ、しきい値のシフトに対して逆の極性に寄与するため、電子と正孔の両方が捕獲されることは、しきい値シフトに対してはお互いに相殺する方向に働き、回復率の分母を小さくする。また、電子、正孔の両方が放出されることにより、そのバランスによっては、回復率が負と

なることも起こりうる。図 3.20 の結果から、式(4)の分母は正であるので、図 3.24(b)の回復率が負となっているのは、式(4)の分子が負である、すなわち正孔の放出による寄与よりも電子の放出による寄与が大きいためであると考えられる。それぞれの寄与は捕獲されている電荷の膜厚方向の位置と量の両方が影響する。

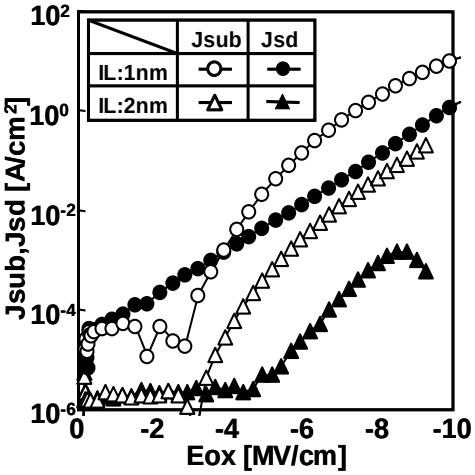


図 3.24：pMISFET におけるキャリアセパレーションの結果

3.3.5　PBTI と NBTI の劣化回復モデル

3.3.4 の結果を元に PBTI 劣化回復のモデルを図 3.25 に示す。ここで、HfSiON 膜中にある準位[9](図中の電子捕獲準位)が膜厚方向に一様に存在すると仮定すると、反転層から膜に入った電子は、準位と交差するところで捕獲されると考えられる。ここで、ストレス電界が小さい時には、反転層から入った電子は、より電極側で捕獲され、ストレス電界が大きい時には、電子はより基板側で捕獲される。ストレスをオフにすると、捕獲されていた電子は、電極側、基板側の両方に放出されると考えられる。

ストレス電界が小さい時には、電極に近いところで、電子が捕獲されているため、ストレスオフ時に電極側へ電子が放出されやすく、ストレス電界が大きい時には、基板に近いところで電子が捕獲されるため、放出の際、電極側へ電子が放出されにくい。このように、電子の捕獲位置が電界によって変ることが、回復率の電界依存性の原因となっていると説明できる。また、界面層が厚い場合、電子の放出がより妨げられるため、回復率が小さくなると説明できる。

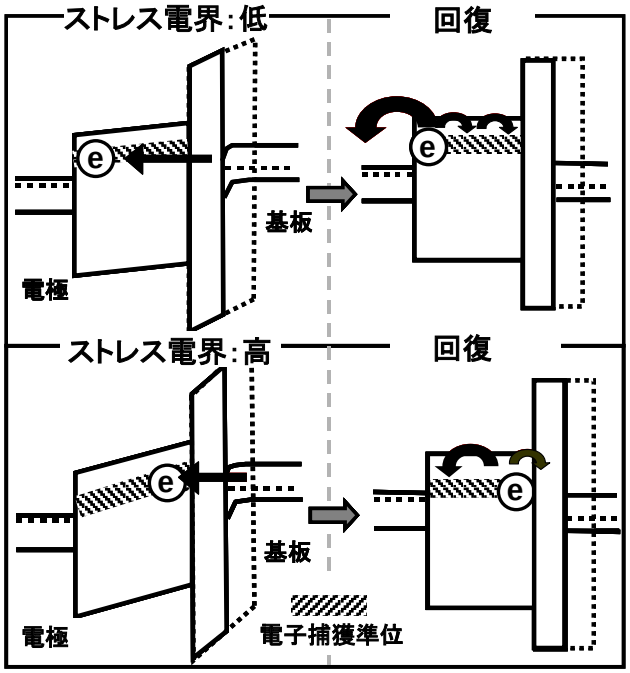


図 3.25：PBTI の劣化と回復のモデル図

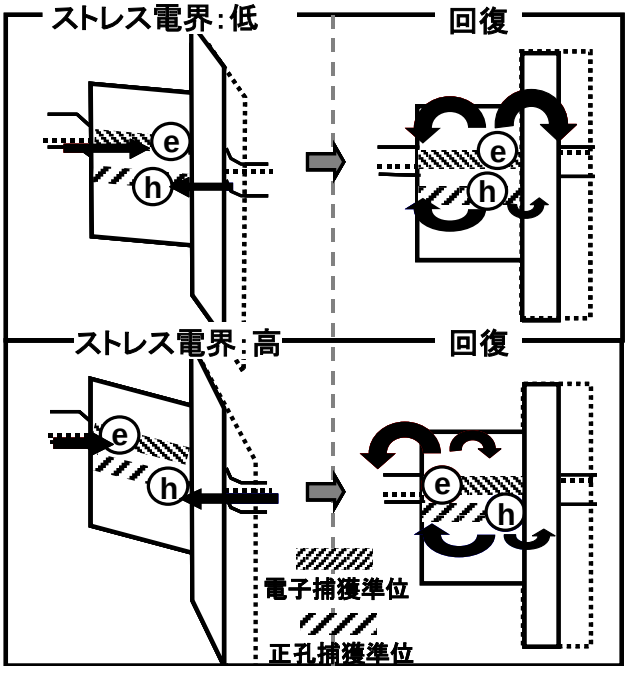


図 3.26：NBTI の劣化と回復のモデル図

また、3.3.3 の結果を元に、NBTI の劣化回復のモデル図を図 3.26 に示す。NBTI の場合も PBTI の場合と同様に、ある準位と、注入された電荷が交差するところで電荷が捕獲されると考える。ここで、PBTI との違いは、電子と正孔の両方が膜に注入、捕獲される点である。ストレス電界が小さい場合は、電子はより基板側、正孔はより電極側で、捕獲される。ストレス電界が大きい場合には、電子は電極側、正孔は基板側で捕獲される。しきい値シフトはキャリアの捕獲量と捕獲位置に強く依存し、基板側で捕獲されるほどしきい値に強く影響を及ぼすため、電界が小さいほど、電子の捕獲放出の寄与が大きくなっており、式(4)の電子の項が大きくなるため、回復率が小さくなると説明できる。また、電子の方が、正孔よりも放出されやすいために、回復率が負になる、という現象が見られていると予測される。この放出され易さの違いは、電子と正孔の捕獲される準位、すなわち、放出時のバリアの高さの違いによって説明できる。

(本モデルでは、ストレス電界が絶縁破壊の電界に比べて小さいため、BTI は既存のトラップ準位に電荷が出入りするという描像で考えている。しかし、BT ストレスによって、新たな欠陥が生成している可能性も考えられ、さらに検討が必要である。)

3.3.6 AC ストレス下でのΔVth の電界加速係数への影響

3.3.1~3.3.5 の結果から、膜中のトラップの影響により、PBTI、NBTIの回復率は電界に依存して変化することがわかった。図 3.27(a)にPBTIのしきい値シフトの回復率の電界依存性を(b)にDCのPBTストレスおよびACのPBTストレス下におけるしきい値シフトの電界加速係数(γ)を示す。γはinset に示している、ACおよびDCストレス下でのしきい値シフトの電界依存性の傾きから求めた。ここで、ACの周波数は~10^{-5}[Hz]と非常に低周波である。この結果から、PBTIにおいて、図 3.27(a)に示した、PBTIの回復率の電界依存性の傾きの大きさと、(b)に示した、DCストレスとACストレス下での γ の差の大きさが対応していることがわかる。

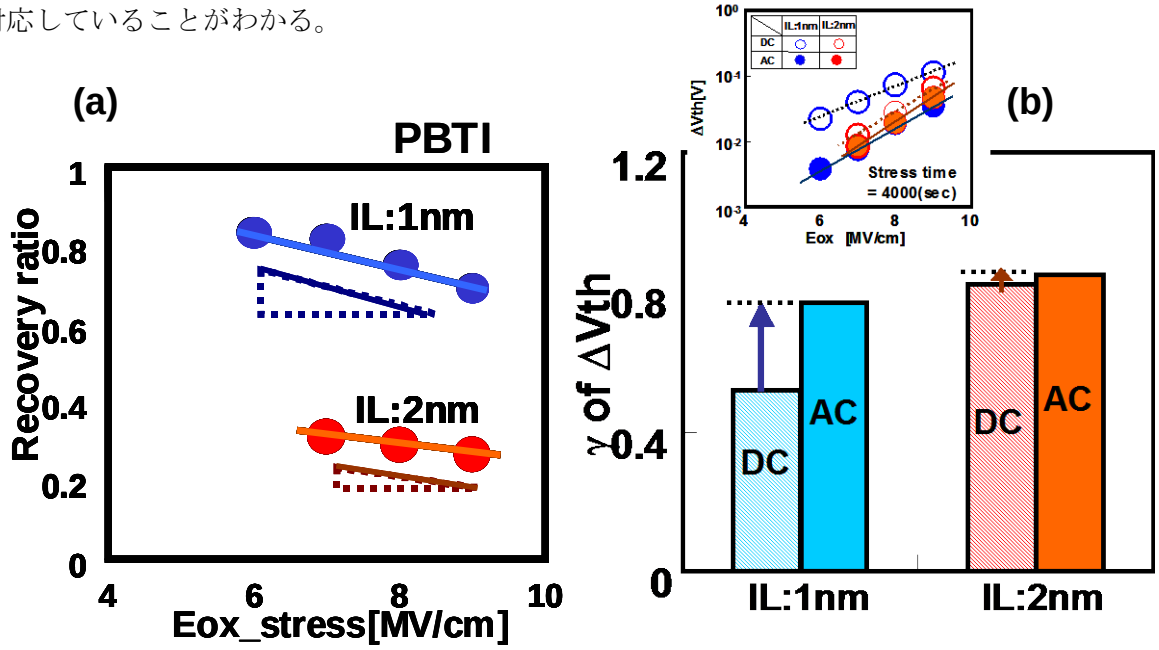


図 3.27 : (a) PBTI のΔVth の回復率の電界依存性と、(b)DC の PBT ストレス下と AC の PBT ストレス下におけるしきい値シフトの電界加速係数γの比較。 Inset : AC、DC ストレスそれぞれに対する、ストレス時間 4000 秒後のしきい値シフトの電界依存性

図 3.28 (a)に NBTI のしきい値シフトの回復率の電界依存性を(b)に DC の NBT ストレスおよび AC の NBT ストレス下におけるしきい値シフトの電界加速係数(γ)を示す。この結果から、NBTI においても、PBTI と同様に、しきい値シフトの回復率の電界依存性の傾きの大きさと、(b)に示した、DC ストレスと AC ストレス下での γ の差の大きさが対応していることがわかる。このように、AC で電界加速係数が変化するのは、膜中のトラップの挙動によって回復率が電界によって変化することで説明ができる。

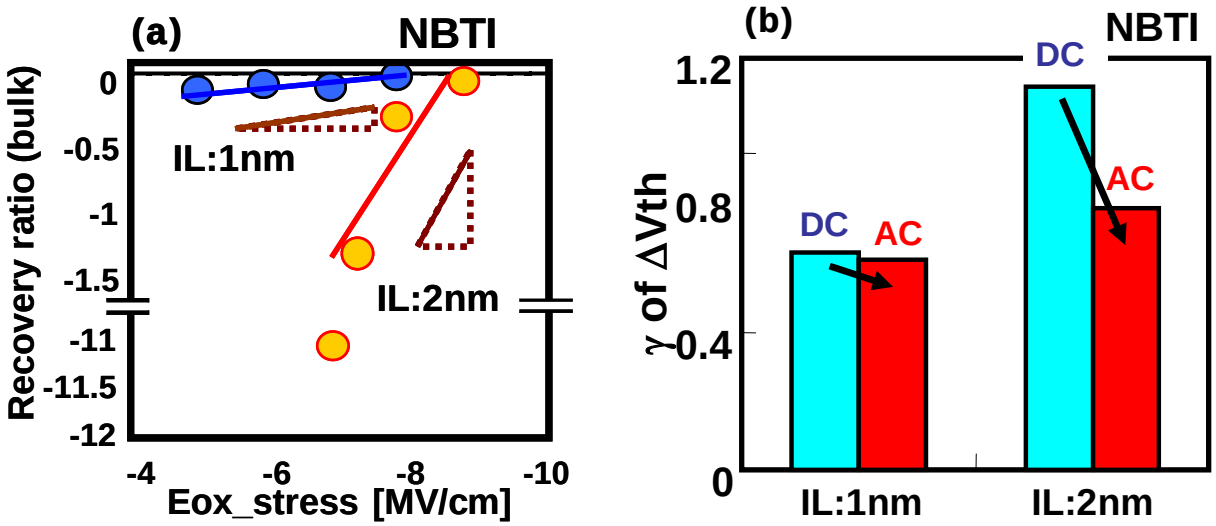


図 3.28 : (a) NBTI のΔVth の回復率の電界依存性と、(b)DC の NBT ストレス下と AC の PBT ストレス下におけるしきい値シフトの電界加速係数の比較

このように、PBTIにおけるしきい値シフトには電子の捕獲放出が、NBTIにおけるしきい値シフトには電子と正孔の両方の捕獲放出と、界面準位の増加、減少がそれぞれ寄与しており、膜中への電荷の捕獲位置や極性によって、しきい値シフトの回復率が電界依存性をもつ、ということがわかった。回復率の電界依存性はVthのACストレス下での電界加速係数への影響を及ぼし、その結果、high-k/SiO_2スタックではDCとACで電界加速係数が変化することがわかった。この結果から実動作条件(AC)での寿命を予測する際、特に電界加速について注意が必要である。

3.4 本章のまとめ

本章では、HfSiONとSiO_2のNBTI現象についての比較を行い、HfSiONのしきい値シフトの時間依存性がSiO_2よりも小さい原因について調べた。SiO_2のNBTIはストレスによって界面準位が生成することが主要因であると考えられているが、HfSiON膜では、ストレスによる界面準位の生成だけでなく、HfSiON膜中の初期欠陥に電荷が捕獲されることによってしきい値シフトが起こっていることを実験的に示した。ここで、初期欠陥による電荷の捕獲と界面準位の生成とのストレス時間依存性が異なるため、通常の時間依存性から外挿する方法だと寿命の見積りを大きく見誤る可能性がある。そこで、我々は初期欠陥による影響を取り除く解析手法を提案した。また、その手法を用いて、劣化の電界依存性や温度依存性を評価することから、HfSiON膜のNBTIの劣化機構についての議論を行った。

また、high-k膜では膜中にある初期欠陥に電子が捕獲されて、しきい値シフトが起こってしまうことから、SiO_2膜では見られなかった、nMOSFETのPBTI(Positive Bias Temperature Instability)も問題となっている。そこで本研究ではHfSiON膜のPBTI、NBTIの劣化回復現象について着目し、特に、界面層膜厚の影響や電界依存性から、HfSiON膜のPBTI、NBTIの劣化、回復機構について検討した。その結果、HfSiONのPBTIの劣化回復挙動は、ストレス印加、開放に伴って膜中に電子が捕獲、放出されることが主要因であり、HfSiONのNBTIは界面準位の生成と膜中への電子捕獲、正孔捕獲、電子放出、正孔放出が要因となっていることがわかった。このことから、膜中への電荷の捕獲位置や極性によってしきい値シフトの回復率がストレス電界に依存し、DCストレス下とACストレス下とで電界加速係数が異なることから、実動作条件での寿命の予測、特に電界加速を行う場合注意が必要であることを示した。

参考文献

[1] J. H. Stathis and S. Zafar: Microelectronics Reliability 46,(2006) p.270

[2] K. O. Jeppson and C. M. Svensson: Appl. Phys. Lett.,26, (1975) p.116

[3] S. Zafar, A. Callegari, E. Gusev, and M. V. Fischetti: .IEDM Tech. Dig., 2003, p.517

[4] Y. Mitani, M. Nagamine, H. Satake, and A. Toriumi: IEDM Tech. Dig., 2002, p.509

[5] Y. Mitani: IEDM Tech. Dig., 2004, p.143

[6] M. Denais, V. Huard, C. Parthasarathy, G. Ribes, F. Perrier, N. Revil, and A. Bravaix: IEEE Transactions on Devices and Materials Reliability (2004) p.715

[7] M. A. Alam: IEDM Tech. Dig., 2003, p.345

[8] Y. Mitani, M. Nagamine, H. Satake, and A. Toriumi: Ext. Abstr. Solid State Device and Materials (2003) p.16

[9] A. S. Foster, F. Lopez Gejo, A. L. Shluger, and R. M. Nieminen, Phys. Rev. B 65, (2002) 174117

第 4 章 HfSiON における経時絶縁破壊 (Time Dependent Dielectric Breakdown)

4.1 はじめに

本章では、HfSiONをゲート絶縁膜とするMOSFETの信頼性課題の一つである、経時絶縁破壊(Time-dependent Dielectric Breakdown：TDDB)に関する研究について述べる。

TDDBとは絶縁膜に比較的低い電気的ストレスを印加し続けた場合に絶縁膜が絶縁破壊を起こす現象で、LSIの信頼性上重要な故障モードとして、検討されている。特に、これまでに、SiO_2についての絶縁破壊現象については、そのメカニズムや寿命予測のモデルについて広く研究されている。しかしhigh-kゲート絶縁膜の絶縁破壊現象については、材料検討がなされ、実用化へ向けての開発が盛んになってきた 2000 年台前半から研究されるようになってきたが、その歴史は浅く、いまだその物理的起源や寿命予測の方法については、議論がなされている状況である。

そこで本章では HfSiON 膜における TDDB の機構を理解し、デバイスの寿命を正しく評価して正確な信頼性保障を行い、改善プロセスを構築することを目的とする。

4.2 基板ホットキャリア注入下でのHfSiON膜の経時絶縁破壊特性

これまでにSiO_2膜においては、絶縁破壊に至るまでに注入される正孔の総量で、破壊が説明できるというモデル(Qpモデル)[1]が報告されており、SiO_2膜の破壊は、正孔が非常に強く影響を及ぼすと考えられている。それに対して、HfSiO(N)膜の劣化および絶縁破壊については、膜構造と破壊の相関、及び、電子による破壊機構の存在[2]や、N添加による効果[3]などの報告がなされているが、HfSiON膜の絶縁破壊に及ぼす、キャリア(電子、および正孔)の影響は明らかになっていない。本研究では、キャリアセパレーションおよびホットキャリア注入を用いて、HfSiON膜の絶縁破壊に電子、正孔が及ぼす影響について調べた。

4.2.1　サンプル作製および評価方法

測定には、MOCVDによって堆積したHfSiON（Hf/(Hf+Si):50%，N:20%）膜を用いて作成した、nMISFETおよびキャリア注入用インジェクター付きn/pMISFETを用いた。図 4.1 に用いた試料の絶縁膜部分のTEM(Transmission Electron Microscope)写真を示す。HfSiONの膜厚は約 4.5nm程度、界面に約 1nm程度のSiO_2からなる界面層が存在することがわかる。また、HfSiON膜中に、相分離や結晶化は観測されず均質であることが確認された。

絶縁膜を通過するキャリアの種類（電子、正孔)とその量、キャリアのエネルギー、絶縁膜にかかる電界をそれぞれ分離するため、nMISFET によるキャリアセパレーション、n/pMISFET による基板ホットホール注入を行った。それぞれの測定方法について説明する。

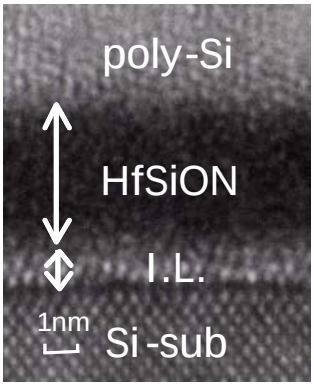


図 4.1：試料の絶縁膜部分(HfSiON)の TEM 写真

＜nMISFET　キャリアセパレーション＞

図 4.2(a)にnMISFETのキャリアセパレーションの模式図を示す。ここでゲートに負の正の電圧を印加することにより、絶縁膜中に反転層から電子が注入される。この電子が電極側でエネルギーをリリースして、インパクトイオン化を起こすことで正孔が生成し、電界によって膜に注入される。このようにして、膜を通過した電子はゲート電流(I_g)、膜を通過した正孔は基板電流(I_{sub})として観測される。

このようにして得られた、電子電流、正孔電流の電圧依存性の測定例を(図 4.2) (b)に示す。V_g>2.5Vの領域で、インパクトイオン化によって生じた正孔電流(I_{sub})が増加していくことがわかる。このようにして観測されたI_{sub}の積算量から、絶縁破壊に至るまでのQp(正孔注入量)を見積もることができる。

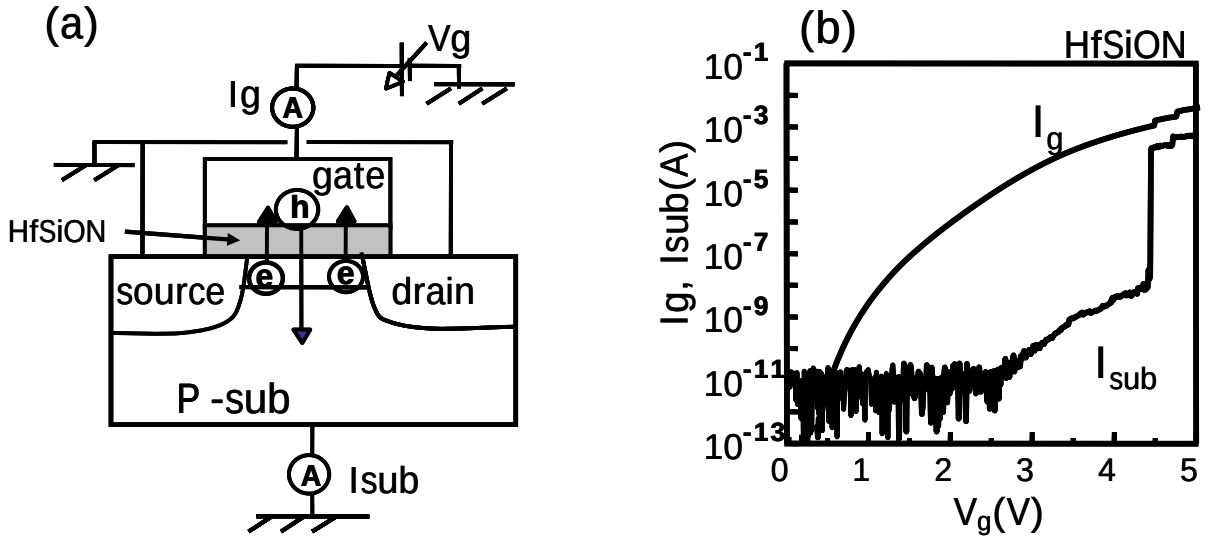


図 4. 2 : (a) nMISFET におけるキャリアセパレーションの模式図と(b)キャリアセパレーションによってゲート電流（I_g）と基板電流(I_{sub})を分離した結果

＜pMISFET を用いた基板ホットホール注入＞

図 4.3 にインジェクター付きのpMISFET模式図およびバンド図を示す。インジェクターと基板に順方向バイアス($V_{inj}-V_{well}>0$)を印加することで、正孔をインジェクターから基板中に拡散させる。ここで基板に正方向の電圧を印加し、基板中に拡散した正孔を加速させて絶縁膜に注入する。ここでゲート電極において観測される電流はほとんどが基板から注入された正孔であると考えられる。またp^+poly-Siゲートが反転しない程度のゲート電圧を印加した場合、p^+poly-Siゲートの価電子帯から電子が注入される。このようにして、電子、正孔の量とエネルギー、膜にかかる電界をそれぞれ独立に制御することができる。図 4.4 にVgを変化させた際のゲート電流の$V_{inj}-V_{well}$依存性を示す。　ここで、$|V_{inj}-V_{well}|>0.5$(V)において、$V_{inj}-V_{well}$が大きくなるとともに、ゲート電流が急激に増大していることがわかる。この急激に増加したゲート電流は、インジェクターから絶縁膜に注入された正孔を表している。また、$V_{inj}-V_{well} < 0.5$(V)において、$V_{inj}-V_{well}$ には依存せず、V_gに依存した電流が観測されている。これはゲート電極の価電子帯から絶縁膜に注入される電子、および、基板反転層から注入される正孔を表しており、キャリアセパレーションによって、電子、正孔の分離ができる。

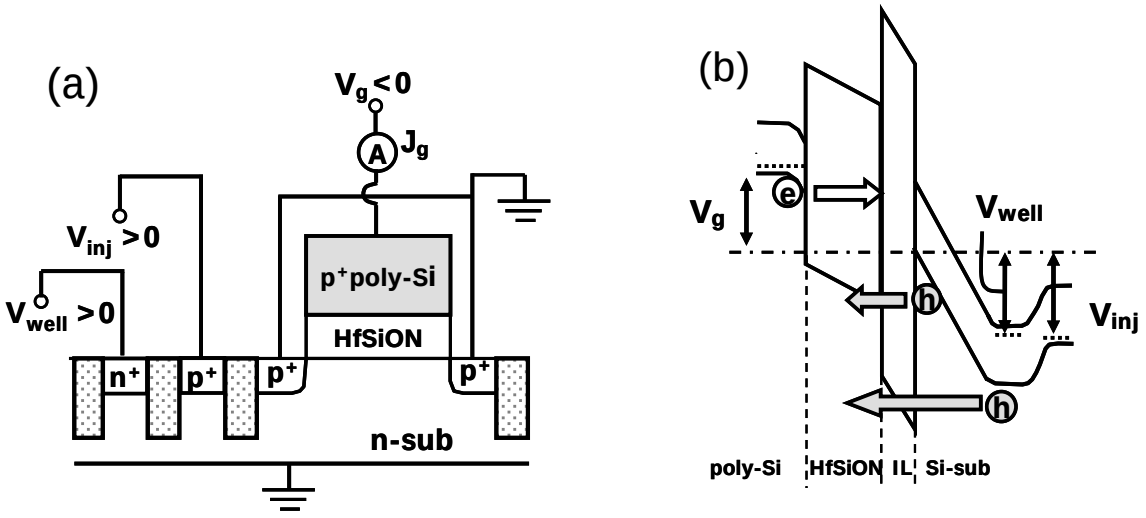


図 4.3：(a) インジェクター付き pMISFET におけるホットホール注入の模式図と(b)ホットホール注入時のバンド図

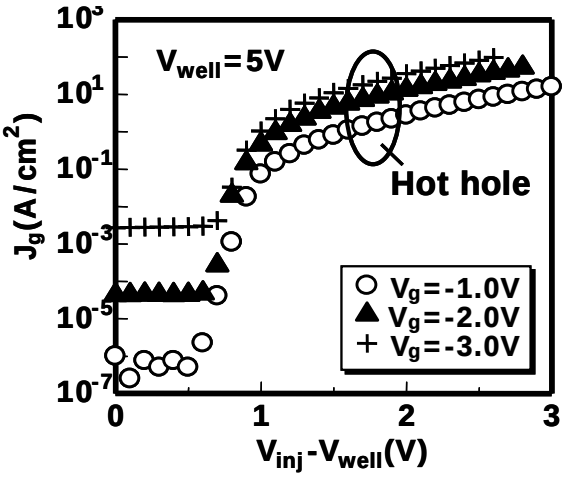


図 4.4：基板ホットホール注入によって絶縁膜に注入される電流の V_g、$V_{inj}-V_{well}$ 依存性

nMISFET を用いた基板ホットエレクトロン注入

図 4.5 にインジェクター付きのnMISFETの模式図およびバンド図を示す。ホットエレクトロン注入の原理はホットホール注入と同様で、極性が逆である。ここで、ホットホール注入と違う点は、基板から注入された電子は電極側でインパクトイオン化を起こすことによって正孔を生成し、その正孔は膜に注入される点である。この注入された正孔の量は定量化できないため、この実験ではある程度の正孔が膜に注入されていると考えて実験をおこなう。ただし、大まかな量としては、nMISFETキャリアセパレーションによって得られた、正孔の生成効率から予測することができると考えている。このようにして得られたゲート電流の$V_{inj}-V_{well}$依存性を、図 4.6 に示す。ここで、ホットホール注入の場合と同様に$|V_{inj}-V_{well}|>0.5V$の時、$|V_{inj}-V_{well}|$が大きくなるとJgが劇的に増加していることがわかる。この急激に増加したJgはインジェクターから絶縁膜に注入されたホットエレクトロンを反映している。

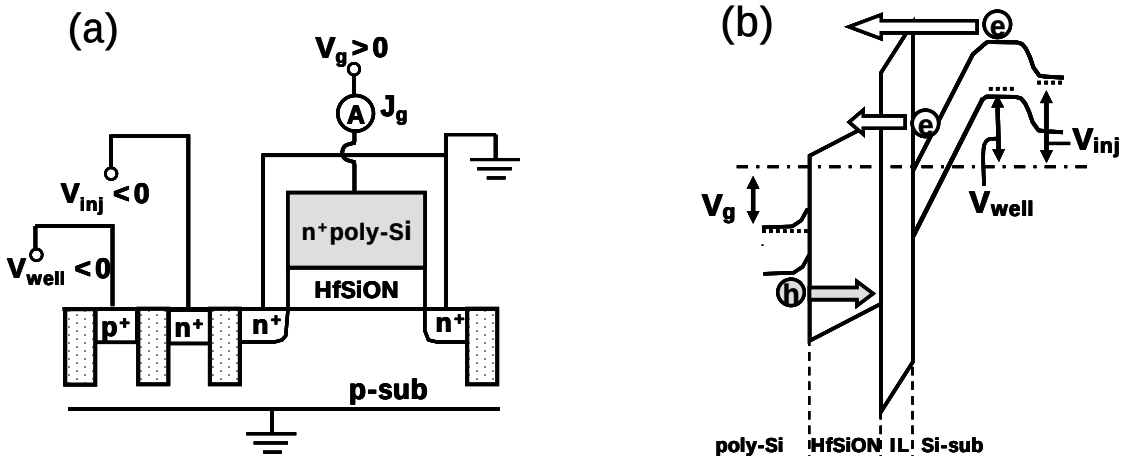


図 4.5：(a) インジェクター付き nMISFET におけるホットホール注入の模式図と(b)ホットエレクトロン注入時のバンド図

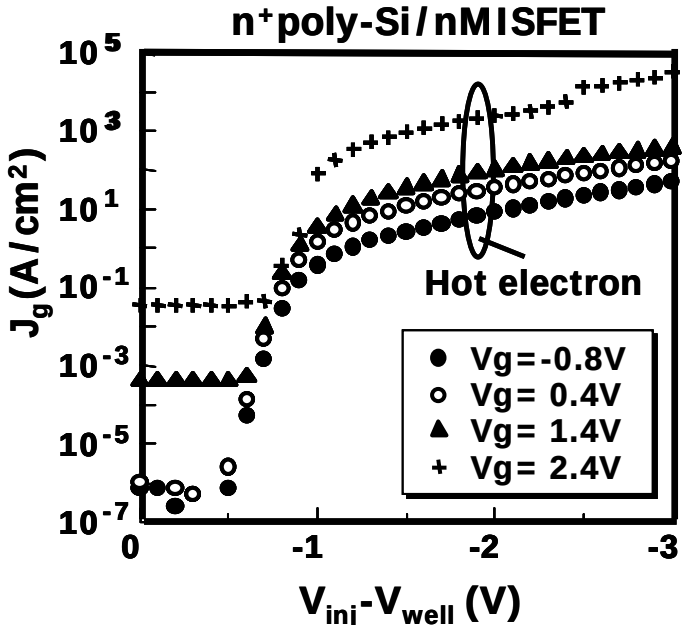


図 4.6：基板ホットエレクトロン注入によって絶縁膜に注入される電流の V_g、$V_{inj}-V_{well}$ 依存性

4.2.2　HfSiONの絶縁破壊に対するQpモデルの検証

SiO_2においては、絶縁破壊に至るまでに注入される正孔の総量は膜にかかる電界によらず一定であり、絶縁破壊を正孔が支配しているという報告がなされている(Qpモデル[1]（図 4.7(a))。そこで今回、HfSiON膜の絶縁破壊においても、Qpモデルで説明することができるかどうかを確認するため、nMISFETにおけるキャリアセパレーション(4.2.1 参照) を用いて、絶縁破壊に至るまでに膜に注入された正孔の総量(Qp)を求めた。図 4.7 にHfSiON膜のQpの電圧依存性を示す。ここで、Qpは明らかに電圧に依存する傾向が見られ、HfSiON膜においてはQpモデルが成り立たないことがわかった。このことから、HfSiONにおける絶縁破壊機構はSiO_2と違っていることがわかる。さらにHfSiONの破壊に対して、電子および正孔がそれぞれどのような役割を果たすかを詳しく調べるため、ホットホール注入下での絶縁破壊について調べた。

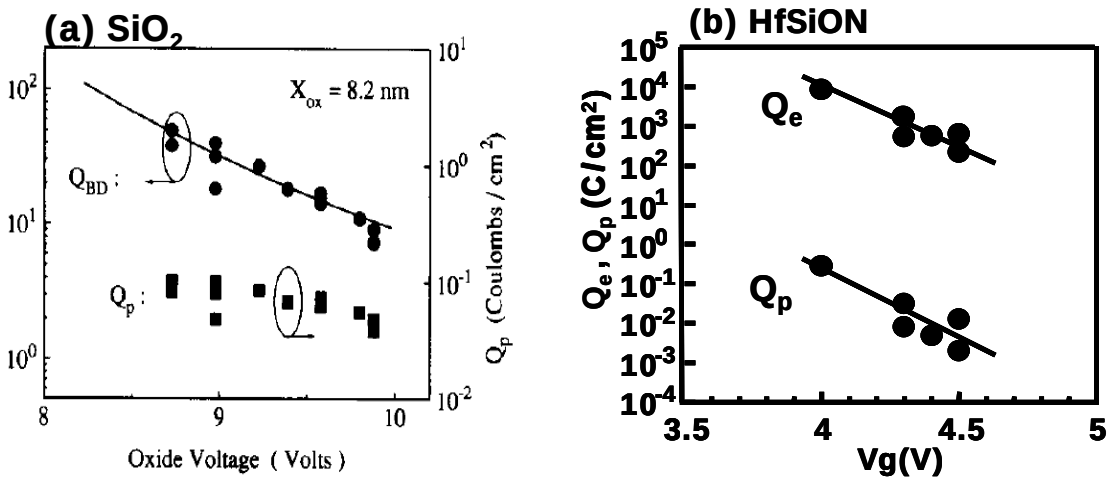


図 4.7：(a) SiO_2における Qbd および Qp の電圧依存性[1]と(b)HfSiON における Qe、Qp の電圧依存性

4.2.3　ホットキャリア注入下でのHfSiONの絶縁破壊特性

HfSiON膜の絶縁破壊において、正孔が果たす役割について調べるため、ホットホール注入条件下での絶縁破壊特性について調べた。ここでは、図 4.3 で説明したように、$V_{inj}-V_{well}$によって、膜に注入される正孔の量、V_{well}によって、正孔のエネルギー、V_gによって、膜にかかる電界をそれぞれ独立に制御して実験を行った。図 4.8 (a)にホットホール注入条件下でのQp のV$_g$依存性を示す。ここで、パラメータとしてV_{well}も変化させた。この結果から、ホットホール注入下でもQpは一定にならないことがわかる。(図 4.8)(b)にホットホール注入下でのT_{bd}のV_{well}依存性を示す。この結果から、HfSiONの絶縁破壊寿命はホットホール注入時の正孔のエネルギーのみでは決まらないことがわかる。SiO_2においては、ホットホール注入下での絶縁破壊が、正孔のエネルギーに依存するという報告[4]があり、今回の結果はSiO_2とHfSiONでホットホール注入下での絶縁破壊挙動が異なることが、示唆される。

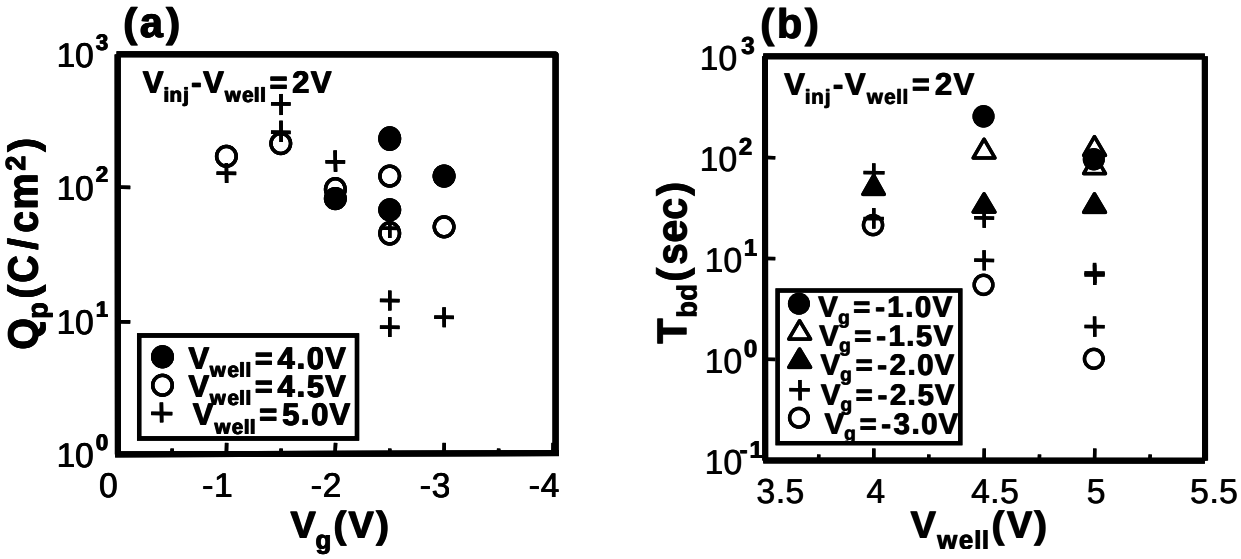


図 4.8：ホットホール注入下における(a)Qp の V_g 依存性および(b) T_{bd} の V_{well} 依存性

図 4.9 に寿命(T_{bd}) の電流密度(J_g)依存性を示す。今回測定を行った、ホットホール条件下では、膜中に流れるキャリアはほとんど正孔電流である(正孔電流～10^{1}(A/cm^2)　J_e:電子電流～10^{-3}(A/cm^2))。ここで(a)はV_{well}(正孔の注入エネルギー)、(b)はV_g(膜にかかる電界)をパラメータとして変化させて測定を行った。図 4.9 から明らかなように、ホットホールによる寿命(T_{bd})は、V_{well}にもV_gにもほとんど依存せず、J_gに強く依存することがわかった。このことは、ホットホール注入条件下でのHfSiONの絶縁破壊は正孔のエネルギーや膜にかかる電界にほとんど依存せず、膜を通過する正孔の流量が支配的であることを示している。これは、これまでに報告されているSiO_2のホットホール注入下での絶縁破壊特性[4]と同じ振る舞いであり、HfSiONとSiO_2において類似した破壊機構が存在する可能性が予測される。

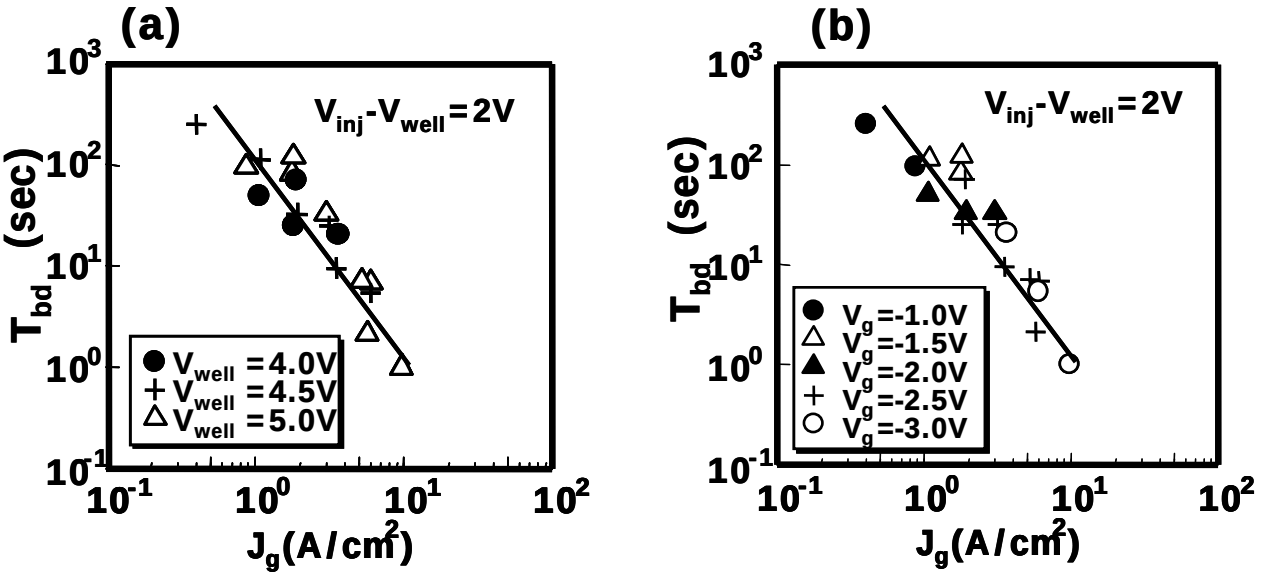


図 4.9：ホットホール注入下における T_{bd} の J_g 依存性

次にHfSiON膜の絶縁破壊において、電子が果たす役割について調べるため、ホットエレクトロン注入下での絶縁破壊特性について調べた。ここで、図 4.5，4.6 で説明したように、$V_{inj}-V_{well}$によって、膜に注入される電子の量、V_{well}によって、電子のエネルギー、V_gによって、膜にかかる電界をそれぞれ独立に制御して実験を行った。図 4.10 に寿命(T_{bd})の電流密度(Jg)依存性を示す。ここで(a)はV_{well}(エレクトロンの注入エネルギー)、(b)はV_g（膜にかかる電界）をパラメータとして変化させている。この結果から、ホットエレクトロンによる寿命(T_{bd})は、V_{well}にもV_gにもほとんど依存せず、J_gに強く依存することがわかった。このことは、HfSiONの絶縁破壊はホットエレクトロン注入領域では電子のエネルギーにも膜にかかる電界にもほとんど依存せず、膜を通過する電子の流量が支配的であることを示している。これまでにSiO_2においては、ホットエレクトロンによる絶縁破壊寿命は電子のエネルギーに強く依存すると報告されており[4]、エネルギーの高いエレクトロンが歪んだSi-O結合や、Si-H結合を切断する、という描像[5]で説明されている。それに対して、HfSiONのホットエレクトロン注入下での絶縁破壊特性はSiO_2とは異なり、エレクトロンのエネルギーが破壊に寄与しないことがわかった。これらの結果から、非常に電子の多い領域（FN注入、ホットエレクトロン注入）で、SiO_2とは違った絶縁破壊特性が確認され、エネルギー持たない電子がHfSiON膜の破壊に寄与することが示された。

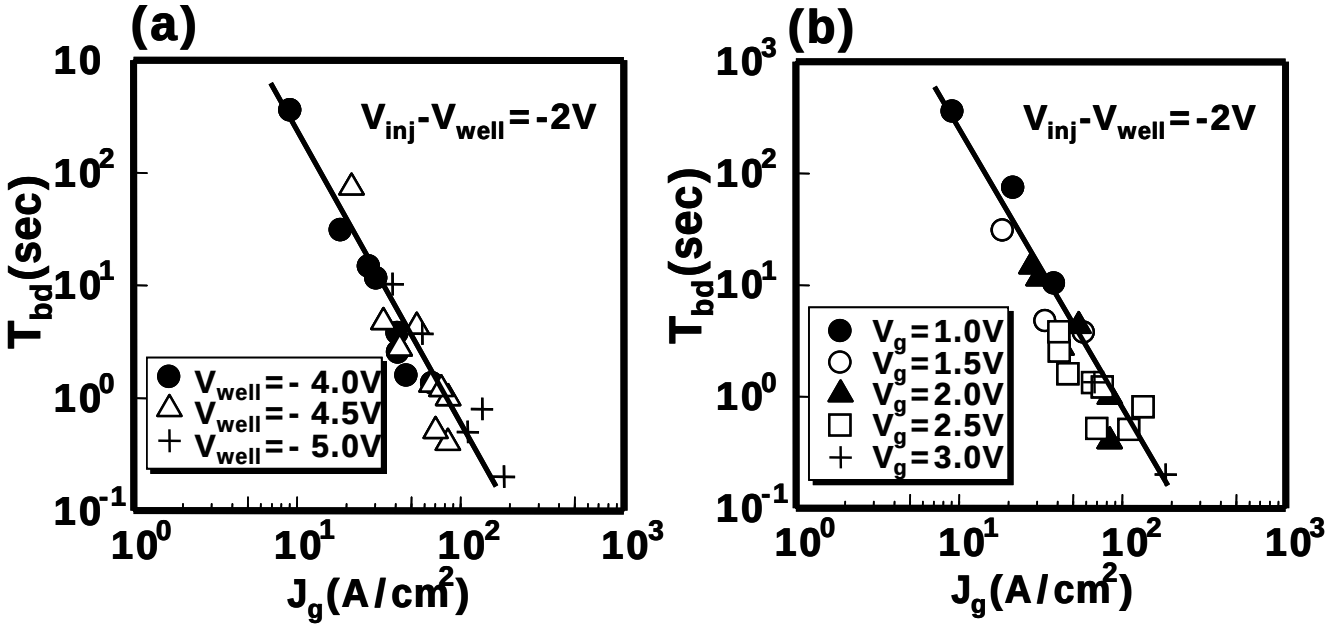


図 4.10：ホットエレクトロン注入下における T_{bd} の J_g 依存性

次に、p+poly-Si/pMISFETにおけるホットホール注入(図 4.9)、n+poly-Si/nMISFETにおけるホットエレクトロン注入(図 4.10)、およびFN注入、の条件下での破壊寿命(T_{bd})を電流密度(J_g)で整理したものを図 4.11 に示す。ここで、n+poly-Si/nMISFETにおける、ホットエレクトロン注入条件下での破壊寿命と、FN注入条件下による破壊寿命とは、Jgで整理すると、同じ直線上にのることがわかる。この結果から、HfSiONにおいては、ホットな電子による破壊もFN注入のように、エネルギーの低い電子による破壊も電流密度(J_g)に支配されるような機構であると考えられる。また、ホットホール注入条件下での破壊寿命(T_{bd})は、電流密度(J_g)で整理すると、ホットエレクトロン注入条件下での破壊寿命よりも短いことがわかる。このことから、HfSiON膜の破壊において同じ流量で比較した時、正孔のほうが電子よりも破壊により強く寄与することがわかる。

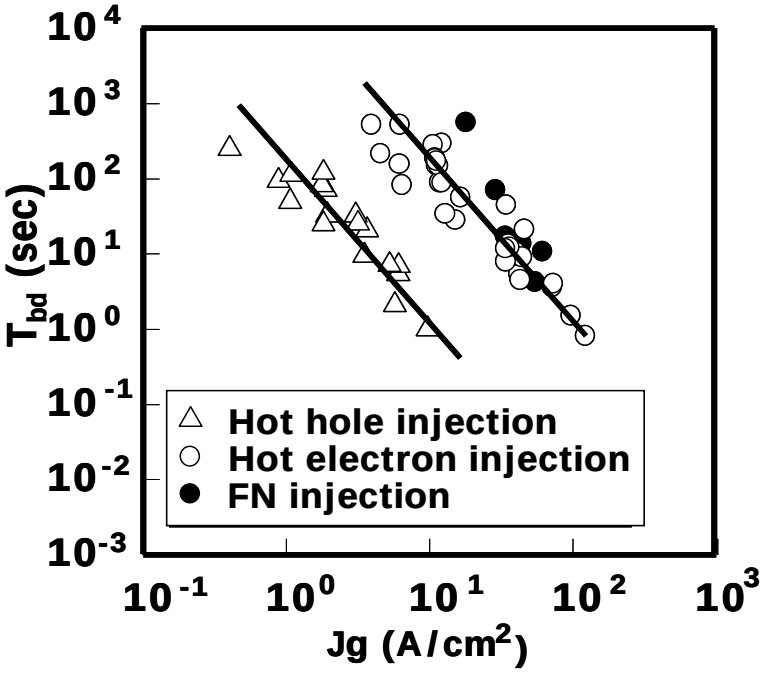


図 4.11 ：ホットエレクトロン注入下、ホットホール注入下、FN 注入下における T_{bd} の J_g 依存性

4.2.4　キャリアの流量バランスを変えた際の絶縁破壊寿命

前節で、p+poly-Si/pMISFETのホットホール注入下、n+poly-Si/nMISFETのホットエレクトロン注入下、n+poly-Si/nMISFETのFN注入下での絶縁破壊特性について述べた。図 4.12 にホットキャリア注入下、FN注入下で絶縁膜中を流れる電流成分の量の領域を示す。前節のp+poly-Si/pMISFETのホットホール注入下、n+poly-Si/nMISFETのホットエレクトロン注入下、n+poly-Si/nMISFETのFN注入下では、電子電流もしくは正孔電流のどちらかが何桁も多いような条件となっている。
そこで、n+poly-Si/pMISFETを用い、膜を通過する電子と正孔の流量がほとんど同程度であるような条件下(図 4.12 (d))での破壊特性を調べ、電子と正孔が共存する状態において、電子、正孔それぞれの破壊に対する役割について検討を行った。

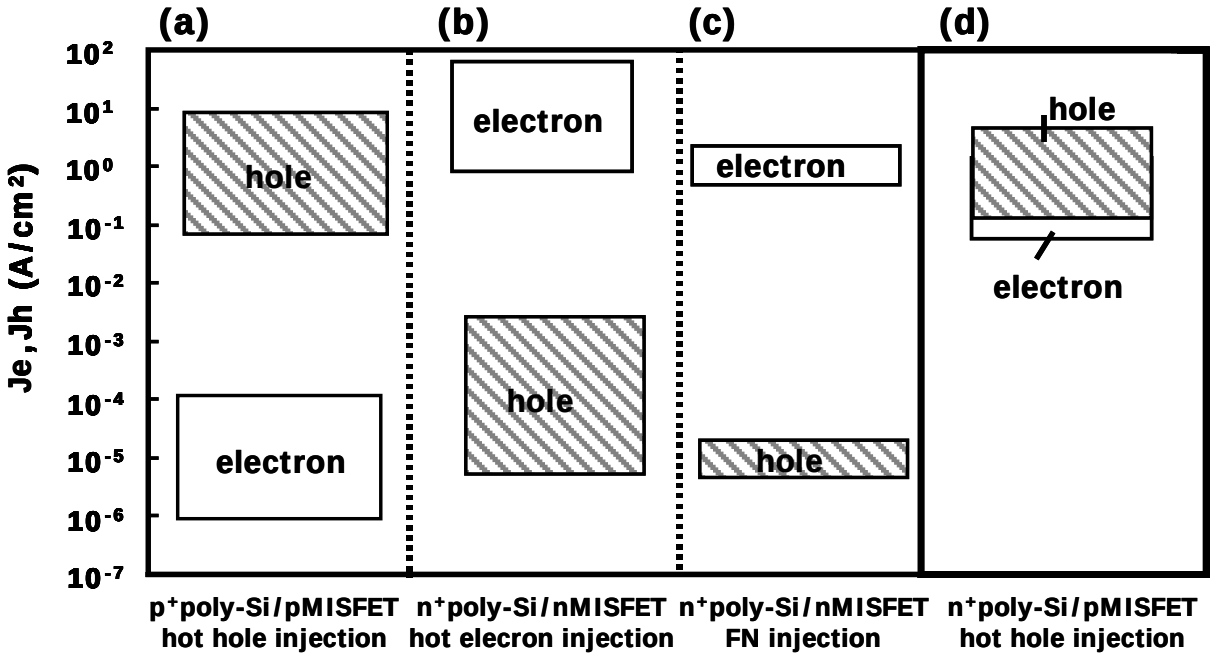


図 4.12 ：ホットキャリア注入、FN 注入下での電子電流、正孔電流の量

＜正孔電流量一定で電子電流量を変化させた場合＞

まず、基板から膜に注入される正孔の流量を一定にした条件下で、ゲート電極から注入する電子量を変化させた際の寿命の変化について調べた結果を示す。

SiO_2においては、正孔一定の時、電子の流量を少なくしていくと、急激に寿命が伸びる、ということが報告されており[2](図 4.13(a))、SiO_2の絶縁破壊は膜に注入される正孔のみでは決まらず、電子も寄与していると考えられている。

図 4.13(b)にn+poly-Si/pMISFETを用いた際のHfSiONにおける寿命の正孔流量に対する電子電流比(J_e/J_h)依存性を示す。ここで、膜に注入される正孔の流量J_h=0.5(A/cm²)とし、ゲート電圧を変えることによって、膜を通過する電子流量を変化させている。この結果から、正孔流量一定で、電子をふやしていっても、J_e/J_h< ~2 までは寿命はほとんどかわらず、J_e/J_h ~2 を境として、電子流量がふえると寿命が急激に短くなることがわかった。これは、正孔に対する電子流量の比が小さいところでは、寿命はほとんど正孔流量に支配されており、ある流量比(J_e：J_h ~ 2：1)を境に、電子による絶縁破壊が顕在化していると考えられる。また、正孔流量が少ないところ(J_e/J_h ~2)に電子流量と正孔流量の破壊に寄与するしきい値があることから、電子と正孔の共存下においても、正孔ほうがより電子より破壊を引き起こしやすいと考えられる。

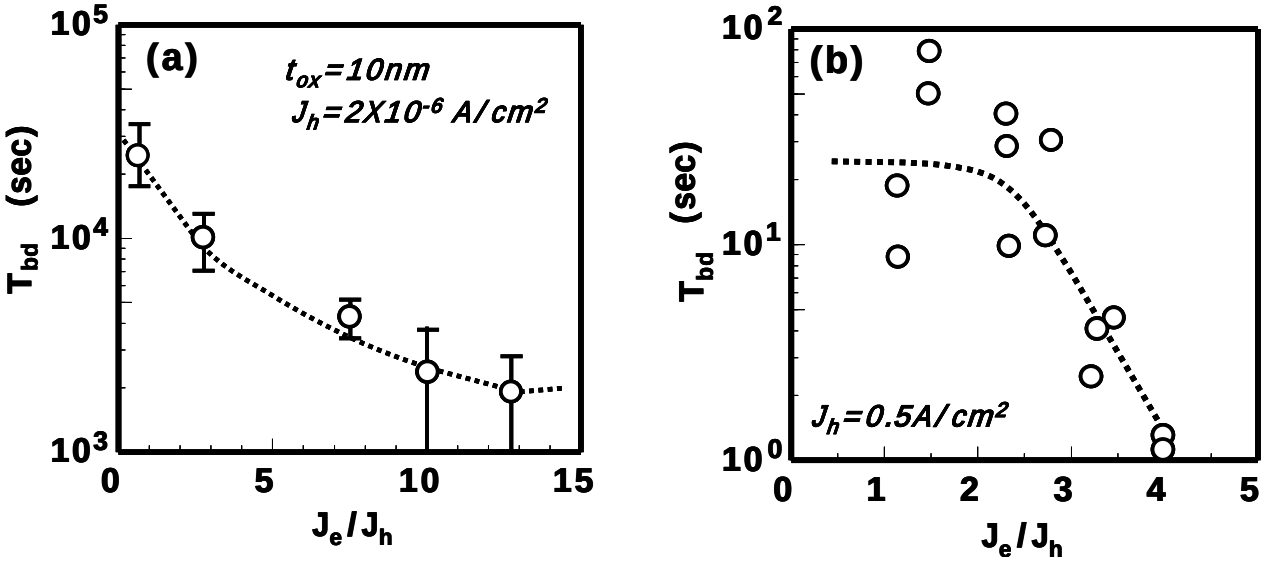


図 4.13 ：(a) J_h：一定条件下での、SiO_2における絶縁破壊寿命の J_e/J_h 依存性[5]。(b)J_h：一定条件下での、HfSiON における絶縁破壊寿命の J_e/J_h 依存性

＜正孔電流量一定で正孔電流量を変化させた場合＞

次に、ゲート電極から膜に注入される電子の流量を一定にした条件下で、基板から注入する正孔の量を変化させた際の寿命の変化について調べた結果を示す。

SiO_2における報告例を図 4.14(a)に示す。電子流量が一定の時、正孔の流量を変えていっても寿命はあまりかわらない。この結果から、ある電子電流の領域(J_e=1×10^{-4}A/cm^2)では、SiO_2膜の絶縁破壊は電子によって支配されていることを示している。

図 4.14(b)にHfSiONにおける寿命の電子電流に対する正孔電流比(J_h/J_e)依存性を示す。ここで、ゲートから膜に注入される電子電流J_e=1.2(A/cm^2)で一定とし、ウェル電圧を一定にし、インジェクター電圧を変化させることによって、基板から膜に注入される正孔流量J_hを変化させている。正孔流量比(J_h/J_e)が小さい領域では、寿命はほとんど一定となり、破壊は正孔流量にはあまり依存せず、電子流量のみで決まっているような振る舞いがみられる。正孔流量を増やしていくと、ある流量比(J_h：J_e~1:2)を境として、正孔流量の増加に伴い、寿命が急激に減少することがわかった。これは、電子に対する正孔流量比が小さいところでは、寿命はほとんど電子流量に支配されており、ある流量比を境に、絶縁破壊に対する正孔の寄与が顕在化してくることを表している。

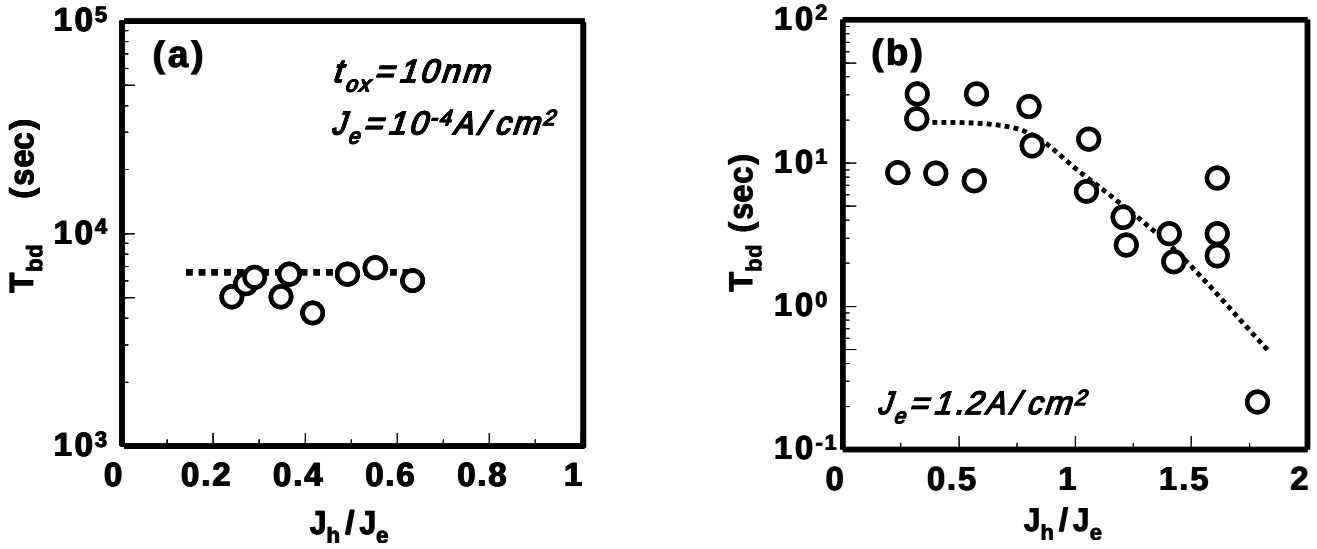


図 4.14 ：(a) 電子電流一定条件下での、SiO_2における絶縁破壊寿命の電子電流と正孔電流の比(J_e/J_h)依存性[5] (b) 電子電流一定条件下での、HfSiON における絶縁破壊寿命の電子電流と正孔電流の比(J_e/J_h)依存性

これらの結果から、SiO_2においては、電子流量が減少すると急激に寿命がのび、正孔と電子の両方が共存することにより、絶縁破壊が引き起こされるという描像で破壊が説明されているが、HfSiONにおいては、膜を通過する電子と正孔の流量比が同程度の領域においても、一定の流量の比(J_h:J_e=1:2)を境に、電子か正孔のどちらかのキャリアによる破壊機構が支配的となっており、必ずしも電子と正孔の両方が必要となるような破壊過程には律速されておらず、また、正孔または電子電流のどちらかが破壊に対して支配的になる流量比のしきい値の検討結果から、破壊を引き起こすのに必要なキャリアの数は電子のほうが正孔よりも多いことで説明ができる。

4.2.5　HfSiONのトラップ特性

前節でHfSiONの絶縁破壊特性について議論し、SiO_2とは極めて異なる破壊特性があることを示した。特に、HfSiONの絶縁破壊については、電流の寄与が大きいことが示唆された。

そこで、HfSiONとSiO_2とにおける、電流と膜との相互作用の違いを調べるため、トラップ特性を調べた。図 4.15 にSiO_2とHfSiONのホットエレクトロン注入下、および、ホットホール注入下における、一定電流ストレス下でのゲート電圧変化(ΔVg)の注入電荷依存性(Qinj)を示す。ホットエレクトロン注入下では、SiO_2はほとんどゲート電圧の変化がないのに対して、HfSiONは正方向に大きく変化している。一方で、ホットホール注入下では、SiO_2のゲート電圧は負方向にシフトするのに対し、HfSiONは正方向にゲート電圧が変化している。これらの結果から、HfSiONには、電子を捕獲するトラップサイトが多く存在していることが示唆される。

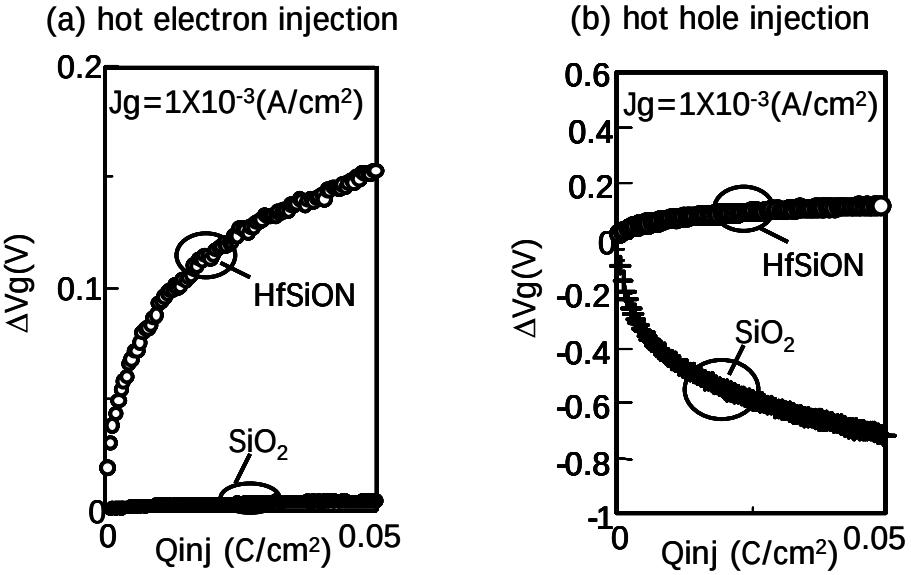


図 4.15 ：定電流ストレス下での SiO_2および HfSiON の(a)ホットエレクトロン注入下および(b)ホットホール注入下でゲート電圧変化の注入電化量依存性

近年、Hf系の絶縁膜中には多くの初期欠陥が存在していると報告されている。特に、多くの電子トラップがHf系絶縁膜中に存在し、それに伴って、SiO_2ではほとんど観測されない、nMISFETに正ストレスを引加した際のしきい値シフト(Positive Bias Temperature Insability :PBTI)がHf系の絶縁膜では観測されることが報告されている[6]。

図 4.16 にHfSiONにおいて、インジェクター無しの(a)n+poly-Si/nMISFETと(b)p+poly-Si/pMISFETの閾値シフト(ΔVth)のストレス時間依存性を示す。nMISFETにおいては正方向のしきい値シフトが、pMISFETにおいては負方向のしきい値シフトが観測され、それぞれ、電子トラップおよび正孔トラップによって説明できる。

図 4.17 にHfSiONにおいて、インジェクター有り、無し、それぞれの(a)n+poly-Si/nMISFETと(b)p+poly-Si/pMISFETの閾値シフト(ΔVth)のストレス時間依存性を示す。ホットキャリア注入を行った(インジェクター有り)場合、ホットキャリア注入を行わない(インジェクター無し)場合と比べて、しきい値シフトが 1～2 桁大きくなることがわかる。これは、ホットキャリア注入によってインジェクターから膜に注入される電流が大きくなったため、その分捕獲される電荷量が増えたためである。

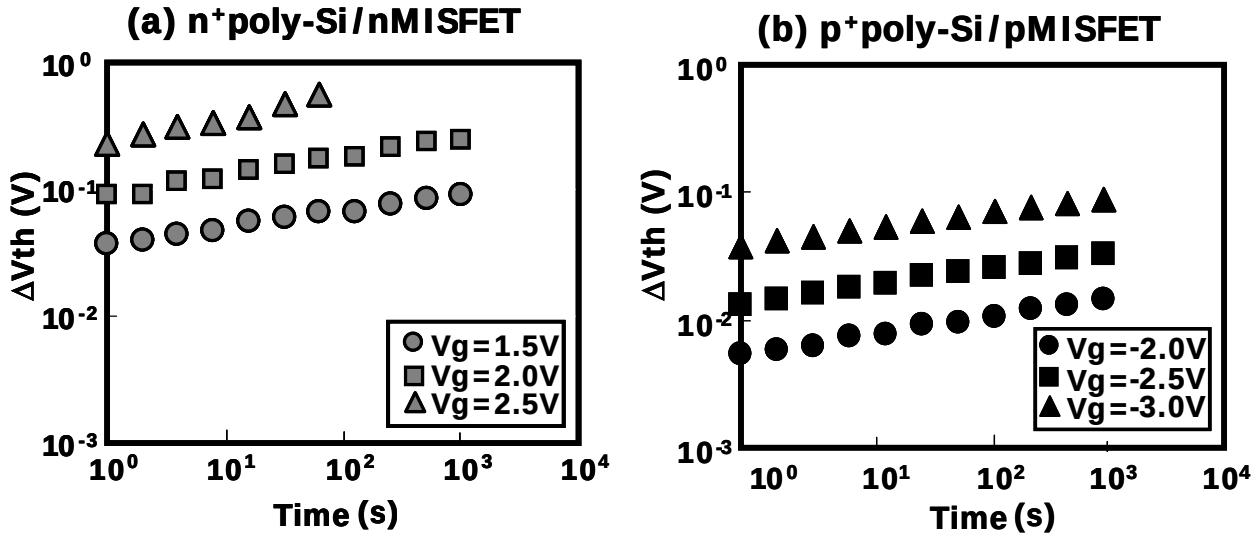


図 4.16 ：HfSiON における、(a) n+poly-Si/nMISFET と(b)p+poly-Si/pMISFET のしきい値シフト(ΔVth)のストレス時間依存性

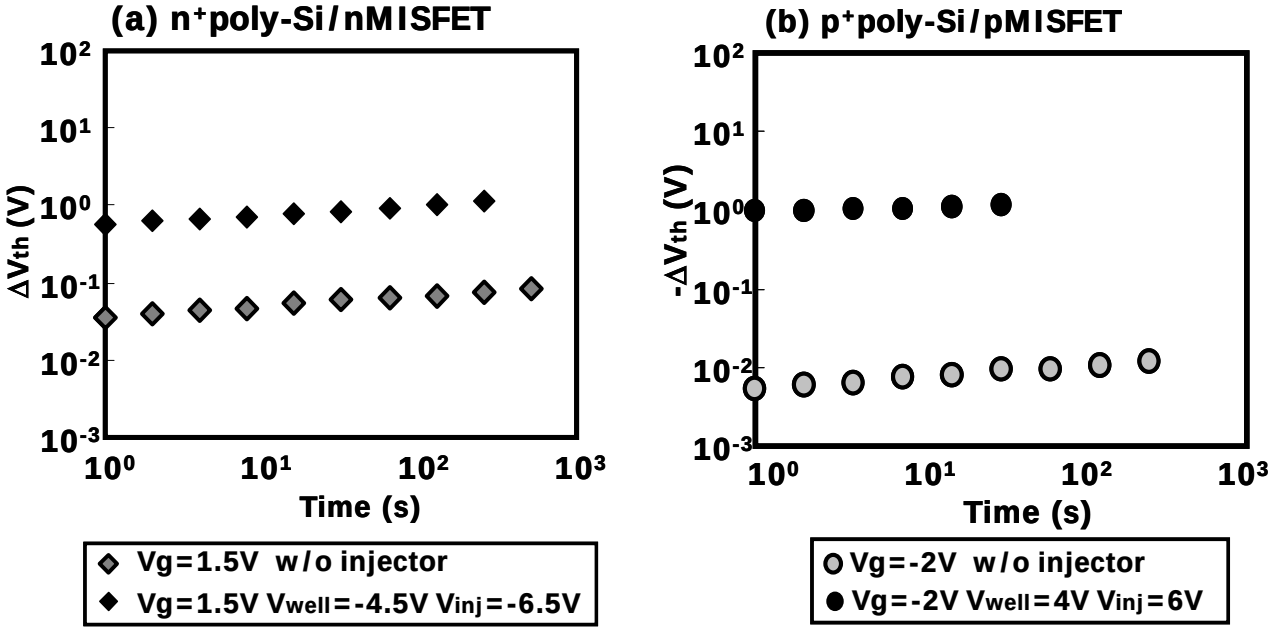


図 4.17 ：HfSiON における、インジェクター有り、無しの(a) n+poly-Si/nMISFET と(b)p+poly-Si/pMISFET のしきい値シフト(ΔVth)のストレス時間依存性

図 4.18 に、ホットキャリア注入条件下でのストレス引加 100 秒後のしきい値シフトと破壊寿命の相関を示す。nMISFET のホットエレクトロン注入、pMISFET のホットホール注入のどちらにおいても、破壊寿命と閾値シフトは強い相関があり、しきい値シフトが大きいほど破壊寿命が短いことがわかる。この結果から、HfSiON 膜中の欠陥に電荷が捕獲されることが、破壊の原因であると言える。

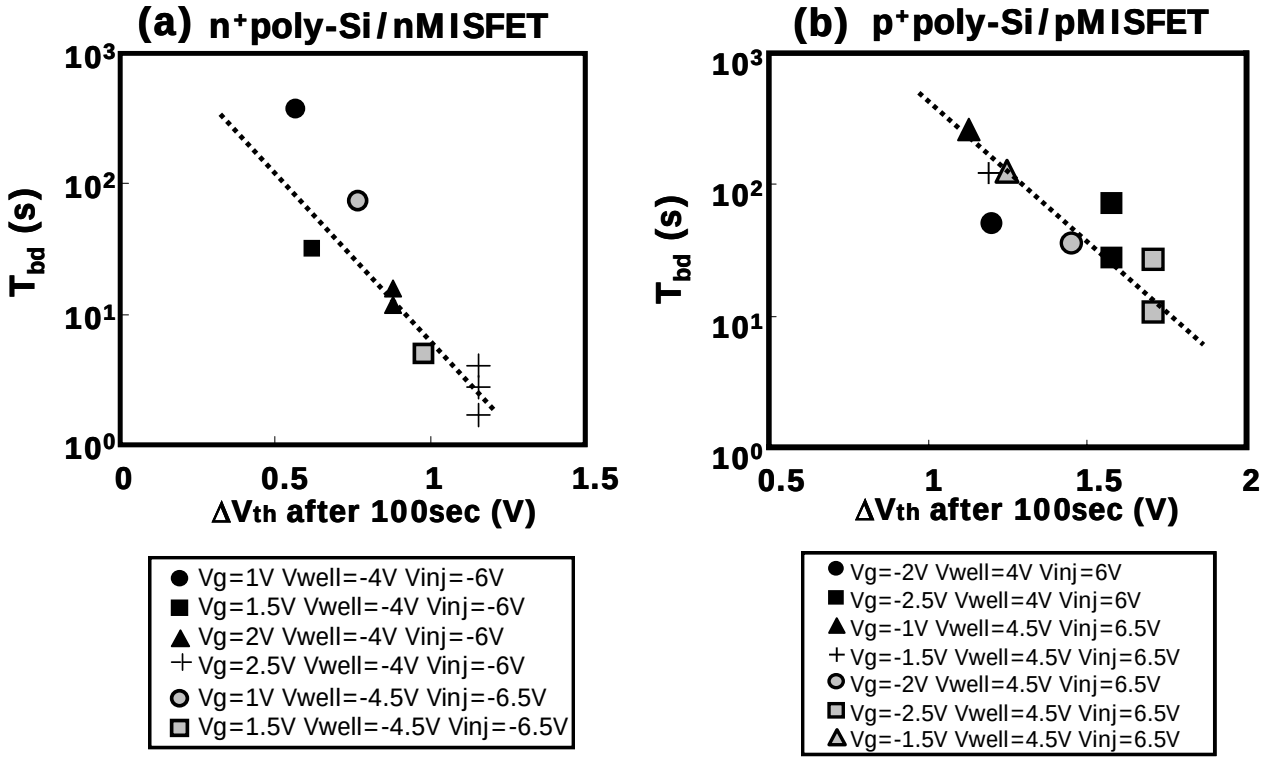


図 4.18 ：HfSiON における、ホットキャリア注入下での(a) n+poly-Si/nMISFET と(b) p+poly-Si/pMISFET の閾値シフト(ΔVth)と破壊寿命の相関

4.2.6　HfSiONの絶縁破壊機構の考察

以上の結果から、HfSiON膜の絶縁破壊機構について考察を行う。上記の実験結果から、HfSiON膜中の欠陥とキャリアとの相互作用が破壊の原因となっていること考えられる。ここで、HfSiON膜中の欠陥は主に、酸素欠損(Vo)が原因であると報告されている。図 4.19 に中崎らによって報告された、tetragonal $HfSiO_4$ (t-$HfSiO_4$)中の酸素欠損の生成エネルギーを示す[7]。

中崎らの第一原理計算によると、$HfSiO_4$中の酸素欠損はフェルミレベルが高い領域ではVo^{2-}が、フェルミレベルが低い領域ではVo^{2+}が安定である。

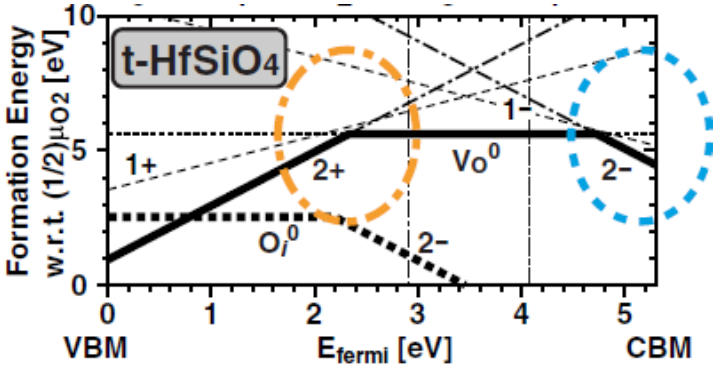


図 4.19 ：Y. Nakasaki らによって報告された t-$HfSiO_4$ 中の Vo の生成エネルギーのフェルミレベル依存性[7]

ここで、図 4.20 に中崎らによって報告された、Vo に正孔が 2 個捕獲された場合と、Vo に電子が 2 個捕獲された場合の構造の変化を示す。正孔がトラップされた場合、Hf の 5d の電子から開放された Si 原子がバックボンドの O に近づき結合する。このようにして、O-Hf 結合から Si-O 結合への結合の組み換えが起こり、構造緩和が引き起こされる。一方、電子がトラップされた場合、電子は Hf の 5d 軌道へ捕獲される。この場合、Hf は Vo に近づくが、ボンドの組み換えは起こらず、構造緩和は起こらない。

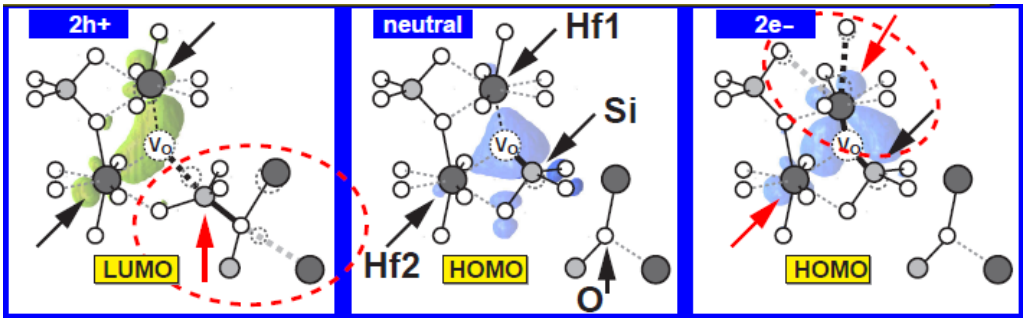


図 4.20 ：Y. Nakasaki らによって報告された t-HfSiO4 中の Vo に電荷が捕獲された際の構造の変化[7]

このように$HfSiO_4$の酸素欠損に正孔が捕獲されることによって構造緩和が起こることが、破壊の要因となっていると考えられる。また、図 4.21 に示すように、$HfSiO_4$の酸素欠損に電子が捕獲されることによっては構造緩和が起こらないが、酸素欠損に隣接したHfに結合しているOが抜けやすくなり、結果として酸素欠損が凝集する。このようにして酸素欠損が凝集し、基板から電極までつながることが電子による破壊の要因になっていると考えられる。

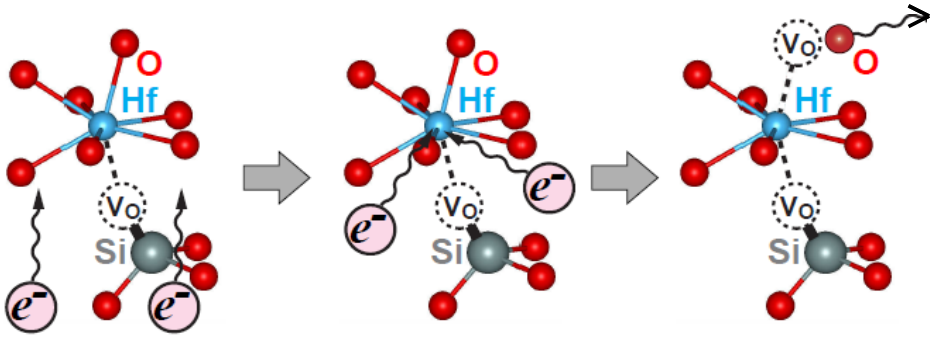


図 4.21 ：Y. Nakasaki らによって報告された t-$HfSiO_4$ 中の Vo に電子が捕獲された際に、隣に Vo がさらに生成する振る舞い[7]

以上に述べたように、HfSiON の絶縁破壊は膜中欠陥(Vo)と電荷との相互作用が寄与していると考えられる。しかし、図 4.11 に示すように、絶縁破壊寿命が注入電荷でなく、電流で非常によく整理できるという結果から、単に、電荷が捕獲されるだけでなく、電荷の流れによる、熱が欠陥生成を促進していることが示唆される。この点については、絶縁破壊、欠陥生成の活性化エネルギーなどからさらに検討が必要であると考える。

本節では、HfSiON 膜の破壊において、インジェクター付き MISFET を用いて、ホットキャリア注入下での破壊特性について調べた結果、HfSiON 膜の絶縁破壊寿命は、注入されるキャリアのエネルギーや膜にかかる電界にはあまり依存せず、膜を通過するキャリアの量に強く依存することがわかった。また、正孔電流のほうが電子電流に比べてより破壊を引き起こしやすいことがわかった。これらの結果は HfSiON 膜中の酸素欠損と電子、正孔との相互作用による、欠陥生成の機構を反映していると考えられる。

4.3 HfSiONの絶縁破壊特性に対するフッ素注入の影響

第 3 章でHfSiON膜中には初期欠陥が多く内在しており、それらが長期信頼性において影響を及ぼしていることを示した。一方でSiO_2においては、フッ素(F)を添加することによって、膜中の欠陥を終端し、信頼性が向上することが多く報告されている[8-10]。本節では、HfSiONにフッ素を添加することにより、初期欠陥の量や準位、ストレスによる欠陥の生成しやすさを変え、それらの欠陥が膜の信頼性にどのような影響を及ぼすかを調べた結果について報告する。

4.3.1　サンプル作製および評価方法

実験に用いた試料は、HfSiON(Hf/(Hf+Si):50%, N:20 at.%)膜をゲート絶縁膜とするn⁺poly-Si/nMISFETおよびp⁺poly-Si/pMISFETを用いた。HfSiON膜はMOCVD法により堆積し、その後プラズマ窒化を行ってNを導入した。図 4.22 にサンプルの作製工程を示す。Fはゲート電極のポリSi堆積後にイオン注入し、その後の熱工程によって、HfSiON膜中に導入している。図 4.23 にフッ素注入を行わない試料(w/o F)とF注入を行った試料(with F)の断面TEM写真を示す。Fの注入によって、膜厚、膜状態はほとんど変化しないことがわかった。 また、図 4.24 にwith Fに対する裏面SIMSによる、膜厚方向のFの分布を示す。F はSiO_2界面層とHfSiON膜中とに充分導入されていることがわかる。このような試料を用いて、初期電気特性(IV特性、CV特性)、信頼性(BTI,SILC,TDDB)について調べた。

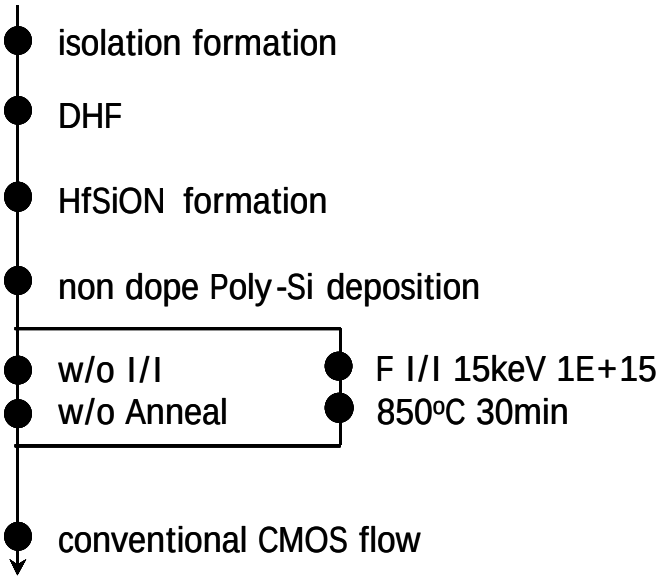


図 4.22：サンプルの作製工程

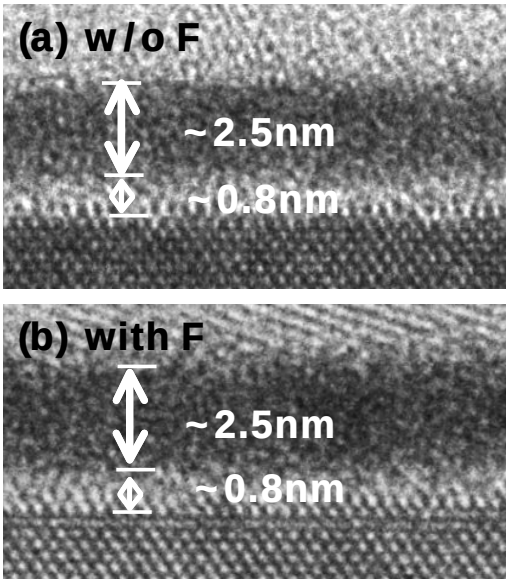


図 4.23：試料の断面 TEM 写真(a)F 添加なし (b)F 添加あり

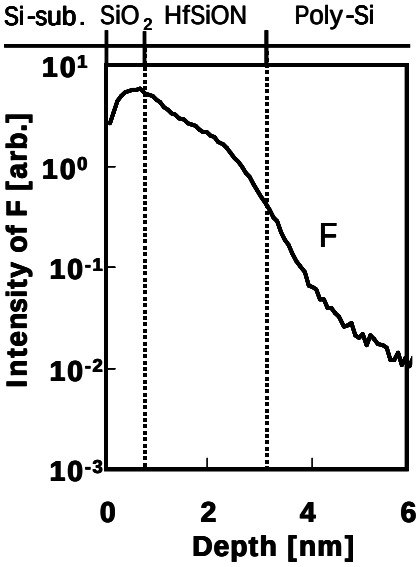


図 4.24：F 注入を行った試料における F の膜厚方向分布

4.3.2　初期欠陥に対するフッ素添加の効果

図 4.25 にw/o F、with F それぞれについて(a)nMISFET、(b)pMISFETのCV特性を示す。ここで周波数は 100kHz、デバイスのサイズはL/W=1/10(um)である。nMISFET、pMISFETともF注入によりVfbのシフトやEOTの変化はほとんど見られなかった。断面TEM (図 4.22)から物理膜厚もほとんど変化がないことから、F添加によってHfSiON膜の誘電率の変化や固定電荷の生成は起こっていないと考えられる。図 4.26 にnMISFET、pMISFETそれぞれのリーク電流のキャリアセパレーションの結果を示す。nMISFETにおいては、ソース/ドレイン電流(J_{sd})はw/o Fとwith Fでほとんど同じだが、基板電流(J_{sub})はwith Fのほうがw/o Fと比べて 2 桁程度小さく、またpMISFETにおいては、J_{sd}もJ_{sub}もF添加によって変化しないことがわかった。

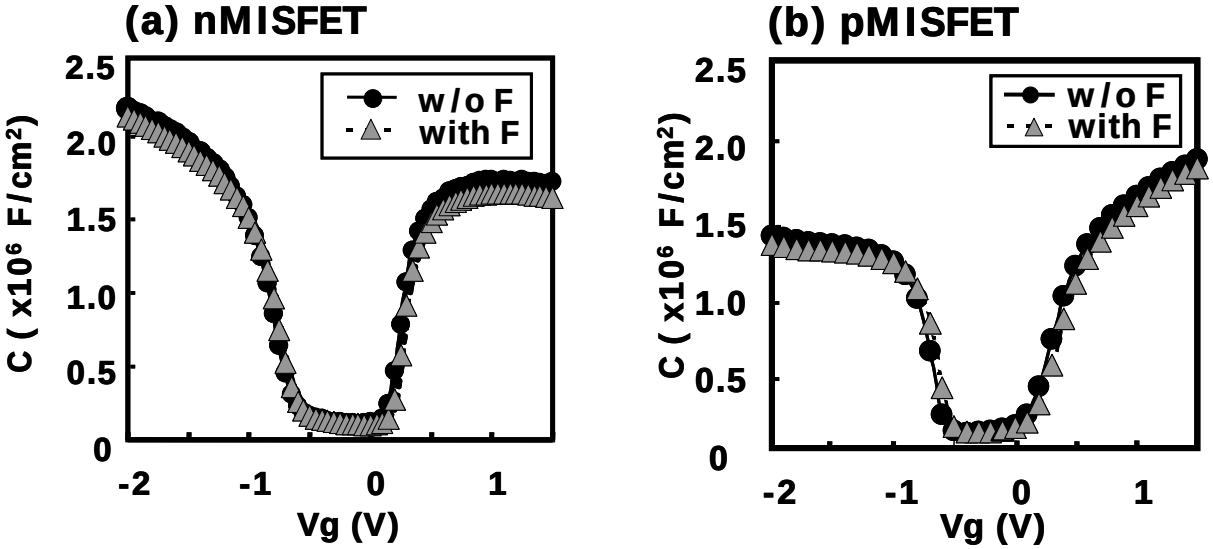


図 4.25：(a)nMISFET、(b)pMISFET における w/o F、with F の試料についての CV 特性

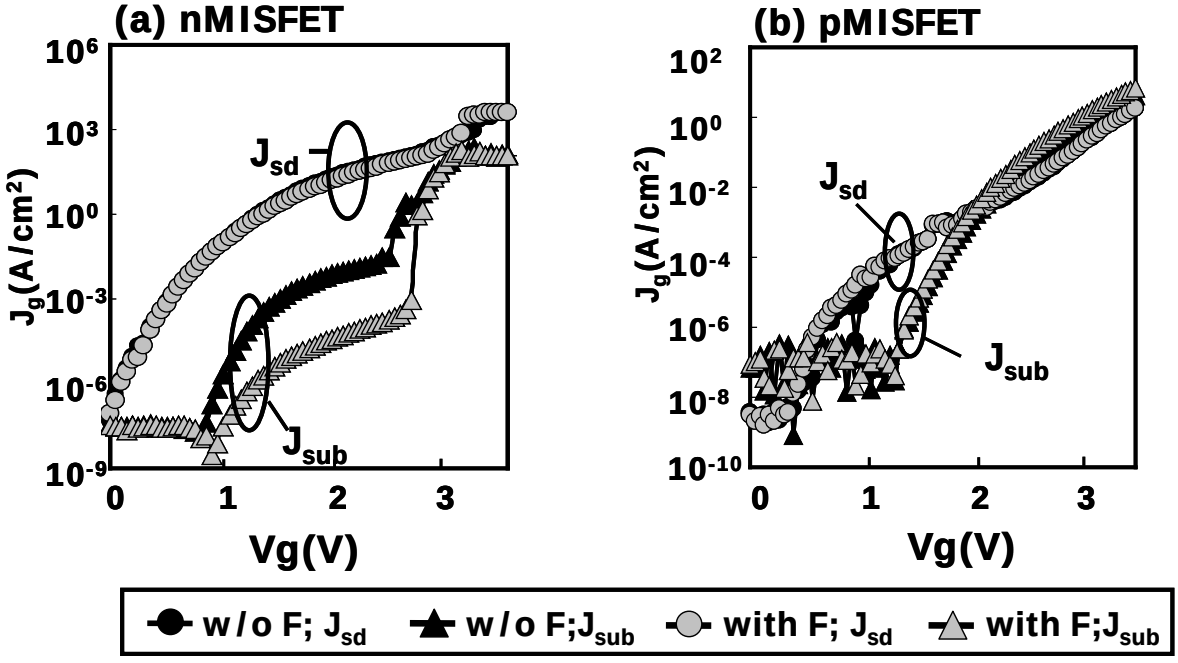


図 4.26 ：w/o F、with F についての J_g-V_g 特性 (a)nMISFET、(b)pMISFET

図 4.27 にnMISFET、pMISFETのJ_{sd}とJ_{sub}の温度依存性を示す。 nMISFETのw/o Fで流れているJ_{sub}はJ_{sd}よりも温度依存性が強いことがわかる。このことからJ_{sd}は反転層からの電子がPoole-Frenkel伝導で比較的浅い準位を介してながれているのに対して、J_{sub}はSi基板のバレンスバンドからゲート電極に抜ける比較的深い準位を介してながれている電子(の抜け殻としての正孔)を基板で観測していると考えられる(図 4.28)。 nMISFETのwith FでJsubが減少し、その温度依存性が非常に小さいのは、F添加によって深い準位を介した電子の伝導が抑制され、TAT(Trap Assisted Tunneling)で流れるような温度依存性をもたない電流のみが見えているためだと考えられる。pMISFETにおいては、J_{sd}、J_{sub}の温度依存性もF添加によって変化がない。このことから、pMISFETで観測されるキャリアの伝導にはFは寄与していないと考えられる。

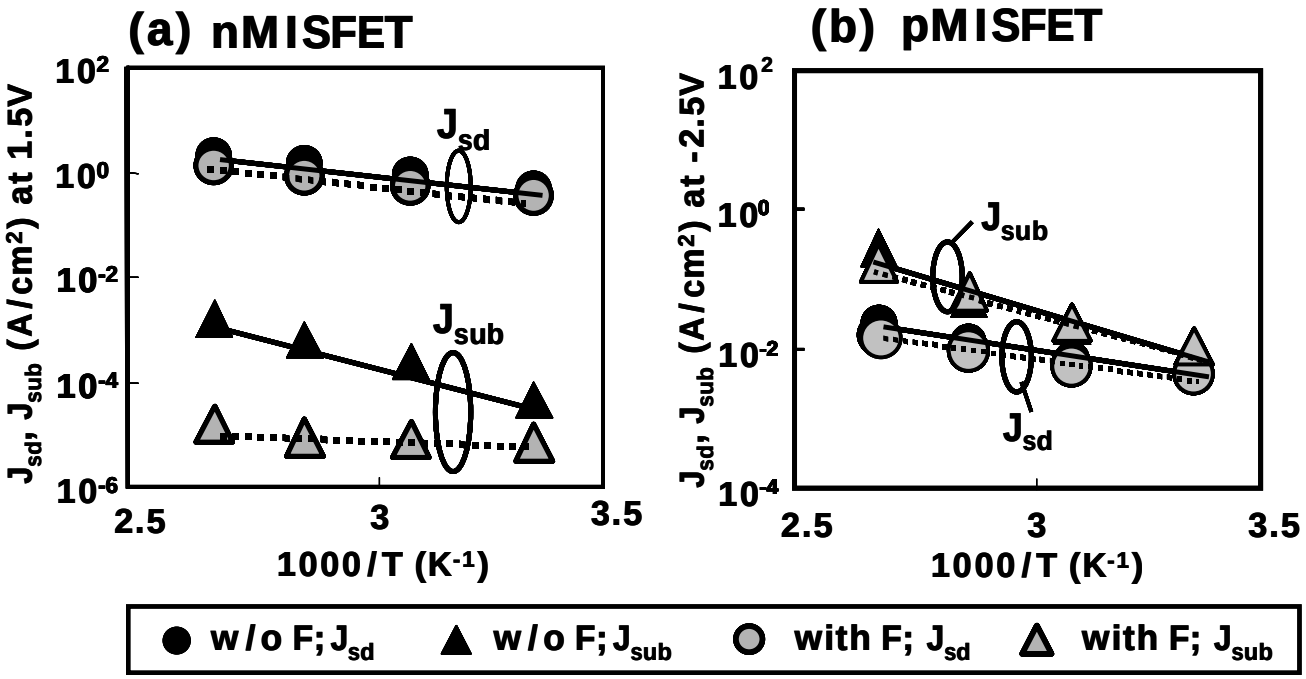


図 4.27 ：(a)nMISFET、(b)pMISFET における w/o F、with F の試料についての J_{sd}, J_{sub} の温度依存性

これらの結果から、図 4.28 にw/o F、 with FのHfSiON膜のキャリアの伝導機構の模式図を示す。nMISFETでは基板反転層からゲート電極へ流れる浅い準位を介した電子電流(1) と 基板のバレンスバンドから深い準位を介してながれる電子電流(2)の 2 つの成分があると考えられる。キャリアセパレーション、J_{sd}、J_{sub}の温度依存性の結果から、w/o Fでは(1)(2)の成分がすべて流れているが、with Fではw/o Fと比べて(2)の成分が減少しており、界面層近傍の電子トラップがFによって終端されたためだと考えられる。pMISFETでは基板反転層から準位を介して流れる正孔電流と電極のバレンスバンドから深い準位を介して基板にながれる電子電流があり、F添加によってこれらの電流は変化しない。これらの結果から、HfSiON膜中の電子の浅いトラップ、深いトラップ、正孔トラップはF添加によってほとんど変化していないが、界面層に近い電子トラップについてはFで終端することで、トラップの量を減らしていると考えられる。

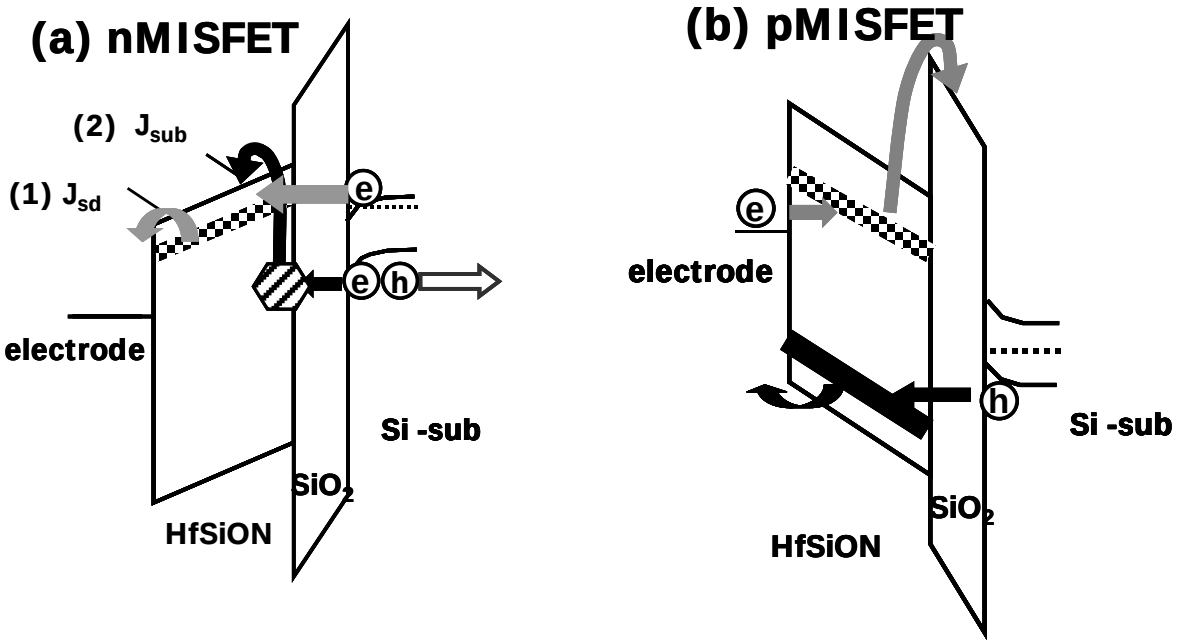


図 4.28 ：(a) nMISFET、(b)pMISFET それぞれについての w/o F、with F のリーク電流と膜中欠陥の模式図

4.3.3　生成欠陥に対するフッ素添加の効果

4.3.2 で F の添加による初期電子欠陥、初期正孔欠陥への影響を議論した。次に、F の添加が欠陥生成について及ぼす影響を調べるため、SILC について評価した結果を示す。

図 4.29 に nMISFET、pMISFET それぞれに対して w/o F 、with F の試料における SILC を調べた結果を示す。ここで SILC として流れている電流は nMISFET では主に電子電流、pMISFET では正孔電流である。nMISFET、pMISFET とも F 添加によって SILC 抑制されることがわかった。このことから、ストレス印加による電子トラップ、正孔トラップの生成に対して、F が作用すると考えられる。

そこで、もともと膜中に存在する初期トラップとストレスによって生成するトラップの性質(準位)、およびF添加によるトラップ生成への影響を調べるため、ストレス印加前後での電流の温度依存性を調べた。図 4.30 にnMISFETのw/o F、with Fのストレス印加前後の温度依存性について示す。ここでストレスは 50℃、Eox = 6MV/cmと 8MV/cmを 1000sec印加している。w/o Fでは、ストレス印加前のJgの温度依存性よりもストレス印加後のJgの温度依存性の方が、傾きが大きい。また、with Fの試料ではストレス印加前後でJ_gの温度依存性は変化が無いことがわかった。このことから、Fの添加により、深い準位のトラップ生成を抑制すると考えられる。

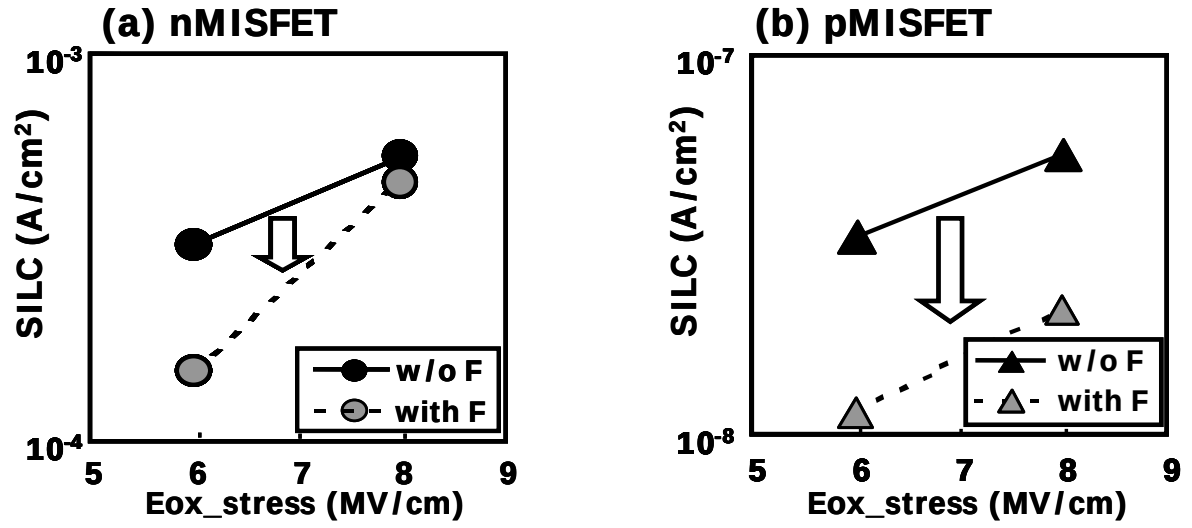


図 4.29 ：(a) nMISFET、 (b) pMISFET における w/o F、with F の試料の SILC のストレス電界依存性

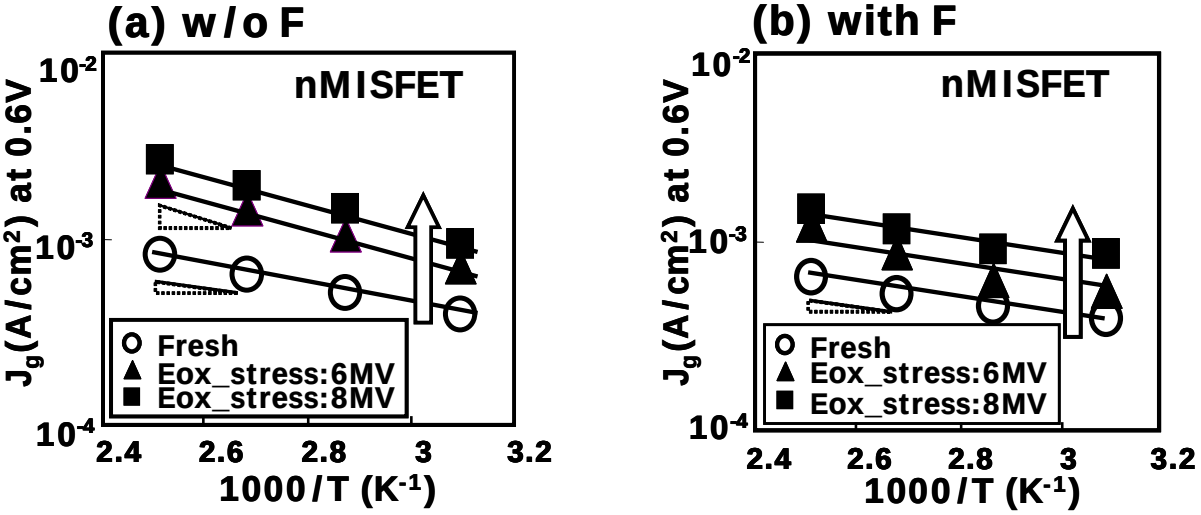


図 4.30 ： (a)w/o F および(b)with F の試料に対する nMISFET におけるストレス前後のリーク電流の温度依存性

次に、図 4.31 に pMISFET の w/o F、with F についてのストレス印加前後の温度依存性について示す。ここでストレスは 50℃、Eox=6MV/cm と 8MV/cm を 500sec 印加している。pMISFET においては w/o F、with F の試料とも、ストレス印加前後で Jg の温度依存性の傾きは同じであることがわかった。ここで、J g はほとんど正孔が流れる領域を見ている。このことから、初期正孔トラップと生成する正孔トラップは同じ準位であり、F 添加によって、トラップの生成量は抑制されるが、その準位は変化しないと考えられる。

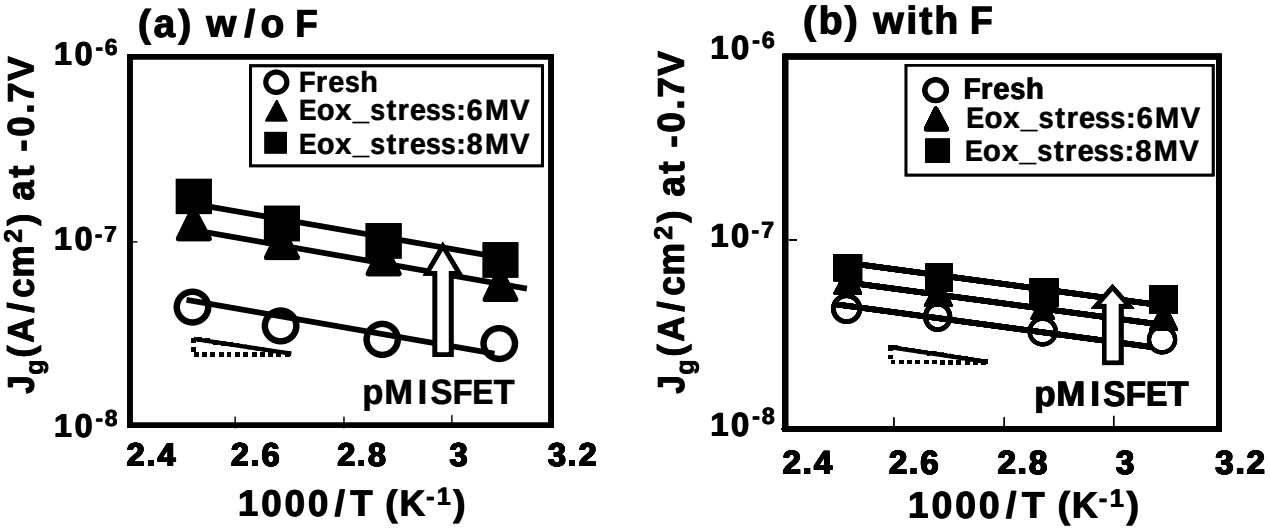


図 4.31 ：(a)w/o F および(b)with F の試料に対する pMISFET におけるストレス前後のリーク電流の温度依存性

これらの結果から考えられる、nMISFET、pMISFET それぞれにおける、w/o F と with F の電子トラップ生成、正孔トラップ生成の模式図を図 4.32、図 4.33 に示す。図 4.32 に示すように、nMISFET の w/o F では、ストレス印加前に浅い準位と深い準位の電子トラップがあり、それぞれのトラップ準位を介して電流が流れている。ストレスを印加すると、浅いトラップと深いトラップの両方が増加し、特に、深いトラップの増加が顕著である。nMISFET の with F においては、ストレス印加によって、浅いトラップは増加するが深いトラップはあまり生成しない。そのため SILC の温度依存性は F 添加によって傾きが小さくなったと考えられる。このような深いトラップ生成の抑制により、F による SILC 低減効果が見られる。

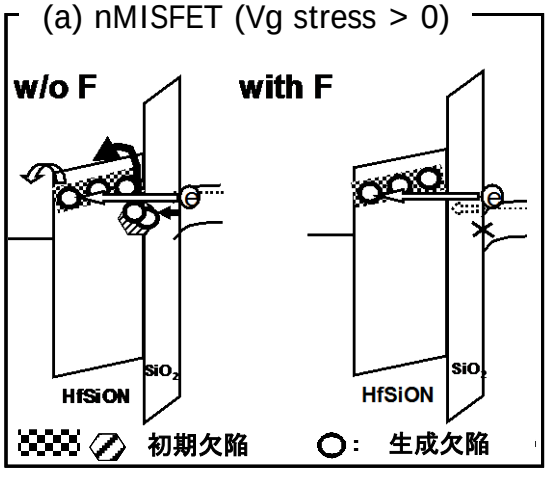


図 4.32 ：nMISFET における F 添加なし(w/o F) と F 添加あり(with F)の試料の電子トラップ生成の模式図

図 4.33 に示すように、pMISFET においては、w/o F と with F の両方において、初期正孔トラップは同じであり、ストレスを印加した際にできるトラップも準位そのものは同じところにできるが、F があるとトラップが生成しにくくなるため、温度依存性から得られる SILC の活性化エネルギーは変化させずに SILC が F によって抑制されると考えられる。

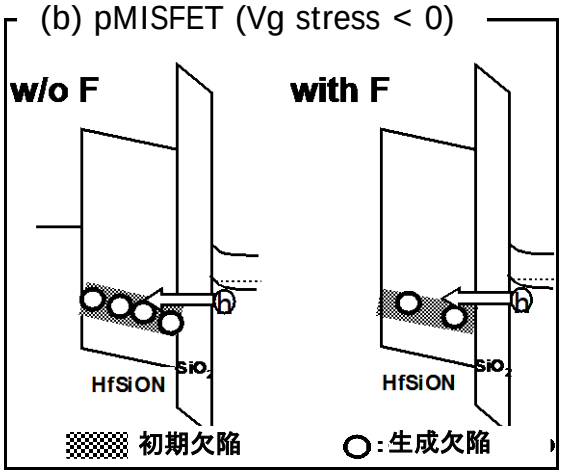


図 4.33 ： pMISFET における F 添加なし(w/o F) と F 添加あり(with F)の試料の正孔トラップ生成の模式図

4.3.4 BTI、TDDB におけるフッ素添加の効果

これまでの結果から、F 添加の有無によってトラップの生成準位や、生成し易さが変化することがわかった。そこで、これらの生成したトラップが BTI、TDDB 特性へ与える影響について調べた。図 4.34 に F 添加なしと F 添加ありの試料に対する PBT および NBT ストレス下でのしきい値シフトのストレス電界依存性を示す。w/o F 、with F の試料において PBT ストレスによるしきい値シフトはほとんど同程度であることがわかる。一方、NBT ストレス下でのしきい値シフトは F 添加によって抑制されることがわかった。

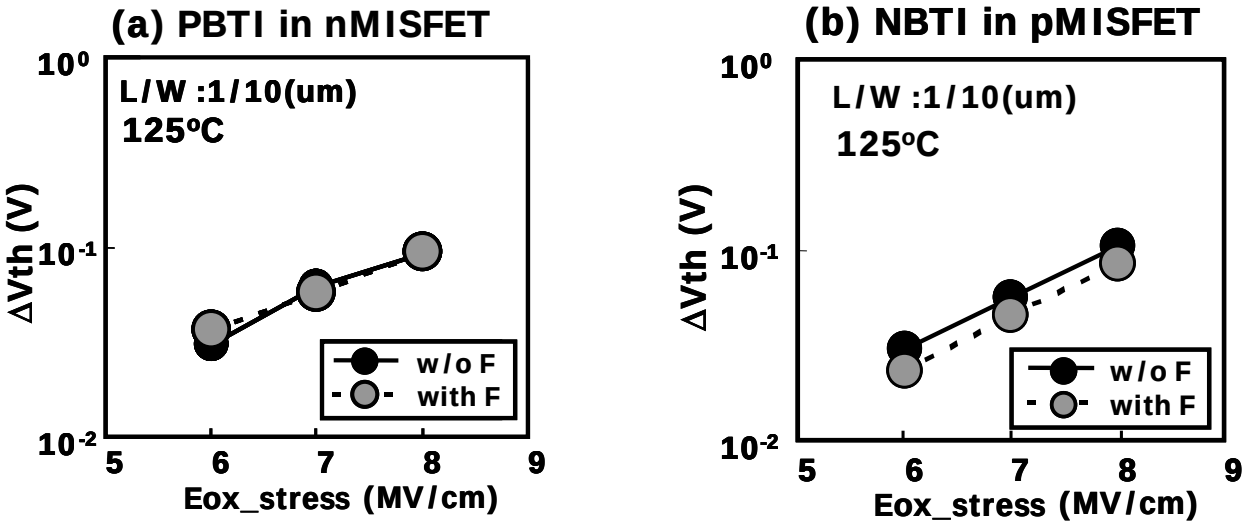


図 4.34 : (a) nMISFET および(b) pMISFET における、F 添加なし(w/o F) と F 添加あり(with F)の試料に対するしきい値シフトのストレス電界依存性

ここで PBTI は主に膜中の初期電子トラップ量を反映していると考えられる。4.3.2 の結果から、浅い電子トラップが PBTI に寄与していると考えられる。また、NBTI においては、膜中の正孔トラップとストレスによる界面準位生成が寄与していると考えられる。チャージポンピング法により pMISFET の界面準位生成を調べたところ、F 添加によって界面準位生成が抑制されることがわかった。また、4.3.2 の結果で初期の正孔トラップは F 添加によって変化しないことから、NBTI は界面準位生成と膜中正孔トラップ生成が寄与していると考えられる。

図 4.35 に F 添加なしと F 添加ありの試料に対する nMISFET、pMISFET の破壊寿命分布を示す。ここで、引加したストレス電圧は F 添加なしと F に添加ありの試料で同じ電界にしている。nMISFET では破壊寿命は F 添加によって変化しないが、pMISFET では F 添加によって破壊寿命が長くなることがわかった。これは 4.3.2、4.3.3 の結果とあわせて考えると、nMISFET においてはもともと、ストレス印加前に 2 つの電子トラップ準位があり、その両方がストレスによって増加するが、実際の破壊に寄与するのは浅い方のトラップだけであると考えられる。また、pMISFET においては、初期トラップと生成トラップの準位は同じであり、それが破壊に寄与している、と考えられる。

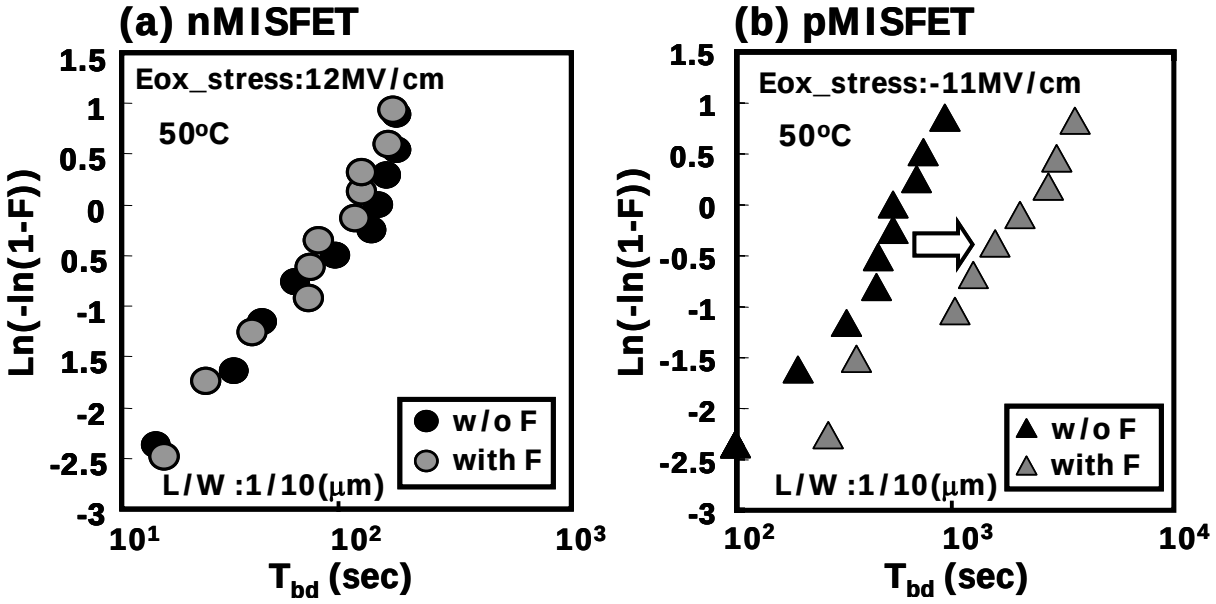


図 4.35 ： F 添加なし(w/o F) と F 添加あり(with F)の試料における破壊寿命の分布
(a) nMISFET、(b) pMISFET

これらの結果から、BTIおよびTDDB特性はpMISFETに対してはF添加によって改善するが、nMISFETに対しては改善しないことがわかった。図 4.36 にHfSiON/SiO_2スタックにおけるストレス印加前とストレス印加後のトラップの模式図を示す。nMISFETにおいて、HfSiON膜中の電子トラップとHfSiON/SiO_2界面の深い準位の電子トラップはストレスによって増加する。ここで、深い準位の電子トラップはHfSiON/SiO_2界面付近にのみ生成するため破壊にはほとんど寄与せず、HfSiON膜中の浅い電子トラップのみが破壊に寄与すると考えられる。また、図 4.36 に示すように、深い準位の電子トラップは浅い準位のトラップと比べて量が非常に少ないため、PBTIにもほとんど寄与しないと考えられる。そのため、nMISFETにおけるTDDB、PBTIはF添加によって変化しない。pMISFETにおいて、正孔トラップと界面準位はストレスによって生成する。ここで、正孔トラップはHfSiON膜中に生成するため、初期正孔トラップおよびストレスによって生成する正孔トラップはTDDBに寄与すると考えられる。また、初期正孔トラップ、ストレスによって生成する正孔トラップ、界面準位生成はNBTIに寄与する。そのため、pMISFETにおいて、F添加によって正孔トラップ生成と界面準位生成が抑制されたため、TDDBおよびNBTI特性が改善したと考えられる。

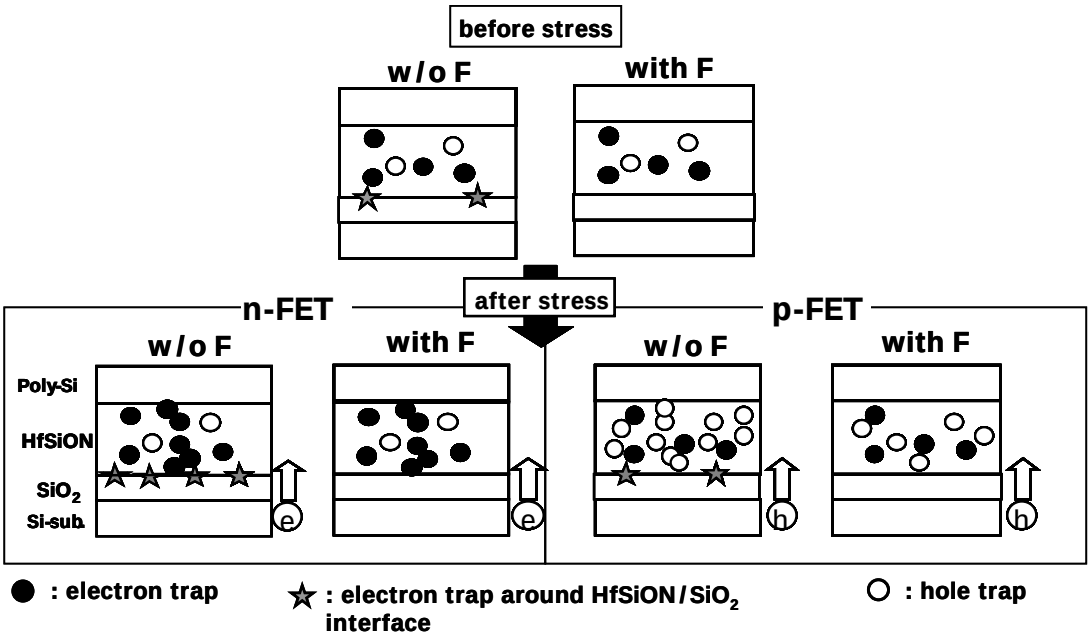


図 4.36　：F 添加なし(w/o F) と F 添加あり(with F)の試料におけるストレス印加前とストレス印加後のトラップの模式図

本節では、F 添加を用いて、HfSiON の初期トラップ、生成トラップの性質とそれらが信頼性(NBTI, TDDB)に与える影響を調べた。その結果、nMISFET では浅い準位と深い準位の電子トラップが存在し、その両方がストレスによって増加する。SILC にはこの両方の準位のトラップ生成が寄与するが、TDDB には浅い準位のトラップのみが寄与していると考えられえる。また、pMISFET では初期正孔トラップと生成する正孔トラップは同じであり、それが SILC、TDDB、NBTI に寄与していると考えられる。

このように、それぞれの信頼性の種類(SILC、TDDB、NBTI)や極性によって、寄与するトラップの種類が異なっており、それぞれの信頼性の問題に適合したトラップの抑制が必要である。

4.4　HfSiONの絶縁破壊特性におけるゲート電極依存性

第 4 章の 2 節、3 節で HfSiON 膜中には初期トラップが多く内在しており、この膜中トラップによって、トラップを介したリーク電流が流れることや、信頼性に影響を及ぼす可能性を報告した。また、スケーリングやしきい値調整の観点から、電極をこれまで使われてきた poly-Si 電極をメタル電極に変えることは必須である[11-13]。しきい値電圧(Vth)の制御をするために、さまざまなメタルゲート電極材料が研究されており、メタル電極材料に依存して、チャネルのキャリア移動度や BTI などの信頼性が変わる、という報告もなされている。

本節では、破壊寿命とその分布に着目し、メタル電極が破壊に対してどのような影響を及ぼすかを調べた結果を報告する。

4.4.1　サンプル作製および評価方法

実験には、電極がポリSiゲート、及びメタルゲートで、ゲート絶縁膜がHfSiONであるnMISFETを用いた。表 4.1 に本実験で用いた 7 つの試料の詳細について示す。Ni_2SiはNiをスパッタによって堆積させた後、アニールによりシリサイド化させた。また、TiN、TaCx-1(Ta-rich TaC)、TaCx-2(C-rich TaC)はスパッタにより堆積した。これらの試料においてHfSiON膜は、4.1 節に示したものと同じプロセスで作製した。HfSiONの組成はHf/(Hf+Si):50 %、[N]:20 at. %程度である。ここで表に示す、酸化膜換算膜厚(Equivalent Oxide Thickness: EOT)はCV測定から導出した。

測定に用いた素子の面積は 10^{-7}~$10^{-8}cm^2$で、測定温度は 125°Cである。TDDB測定は反転側のストレス電圧において、定電圧ストレス下で測定を行った。また、ストレス印か加時の電流成分を分離するために、キャリアセパレーション法による測定も行った。

表 4.1 ：本実験で用いた試料のゲート電極材料、膜厚、絶縁膜の物理膜厚（堆積時の狙い膜厚）、酸化膜換算膜厚(EOT)

sample	gate electrode	dielectrics	physical thickness	EOT
A	n^+poly-Si	HfSiON	2.3 ~ 2.5 nm	0.9 ~ 1.1 nm
B	Ni_2Si			
C	TiN			
D	*TaCx-1 3nm			
E	*TaCx-1 5nm			
F	*TaCx-1 10nm			
G	*TaCx-2 10nm			

*TaCx-1:Ta-rich　　**TaCx-2:C-rich

4.4.1　ポリシリコン電極と金属電極を用いた際の破壊挙動の比較

図 4.27 にn⁺poly-Si/HfSiON （表 4.1 のsample(A))と典型的なメタルゲート電極(TaCx)/HfSiON（表 4.1 のsample(G))において、正電圧ストレスを印加した際のTDDB特性を示す。HfSiONにおいて、ゲート電流I_gは徐々に増加する傾向が見られるため、I_gの変化で破壊を判定するのは難しい。一方、基板電流I_{sub}はポリSi電極でもTaC電極でも急峻な電流増加が見られる。今回の測定ではI_{sub}が急峻に増加する点(図 4.27 の矢印で示した点)を破壊と判定した[14]。

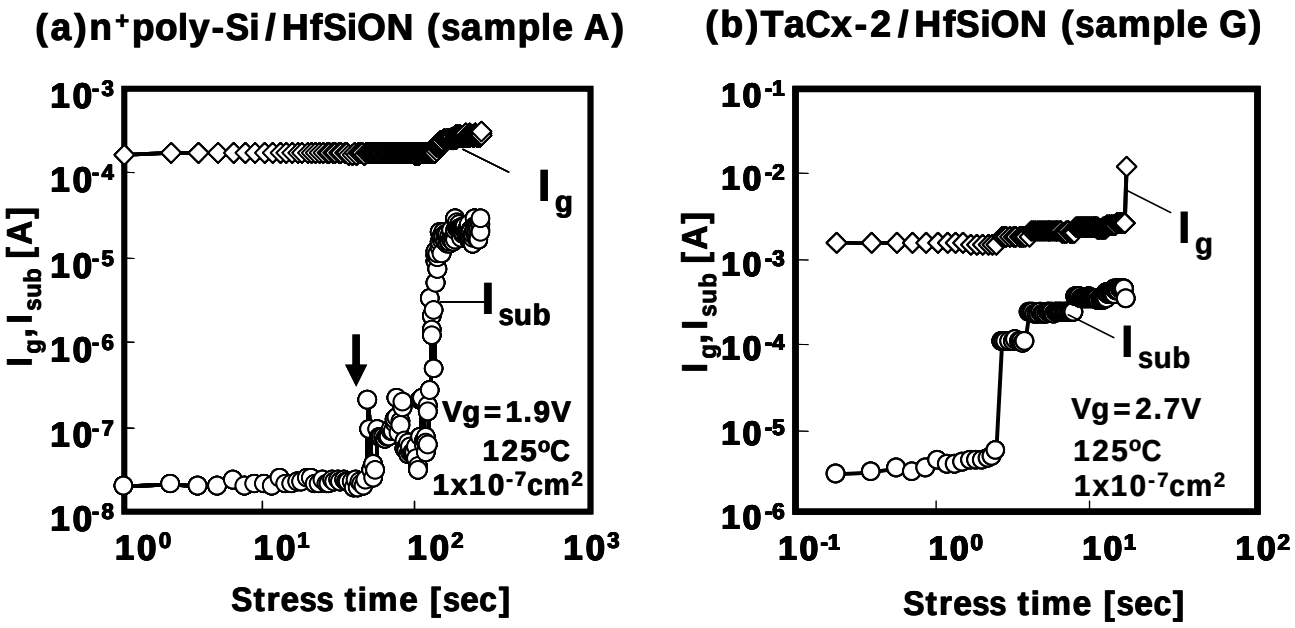


図 4.27：定電圧ストレス下におけるゲート電流(I_g)、基板電流(I_{sub})のストレス時間依存性 (a) n⁺poly-Si 電極、(b)TaC 電極

4.4.3　破壊寿命分布のゲート電極材料依存性

図 4.28 に上記の判定方法によって得られたn+poly-Si/HfSiON　と TaCx/HfSiON (表 4.1 の(G))の破壊寿命(T_{bd})のワイブル分布を 1.0 x10^{-8}[cm^2]の面積に規格化した結果を示す。それぞれinsetには面積の異なるデバイスのT_{bd}のワイブル分布を示している。

どちらの試料においても、面積規格後のワイブル分布はきれいな直線となることがわかる。この結果から、今回用いたI_{sub}による判定で、正しいT_{bd}を得ることが出来たと考えている。また、このようにして得られたワイブル分布の傾きβはn+poly-Si電極とTaCx電極とで、それぞれ、0.9 と 1.9 という値が得られ、ゲート絶縁膜は同じであるにもかかわらず、電極の種類によって、約 2 倍も変化することがわかった。

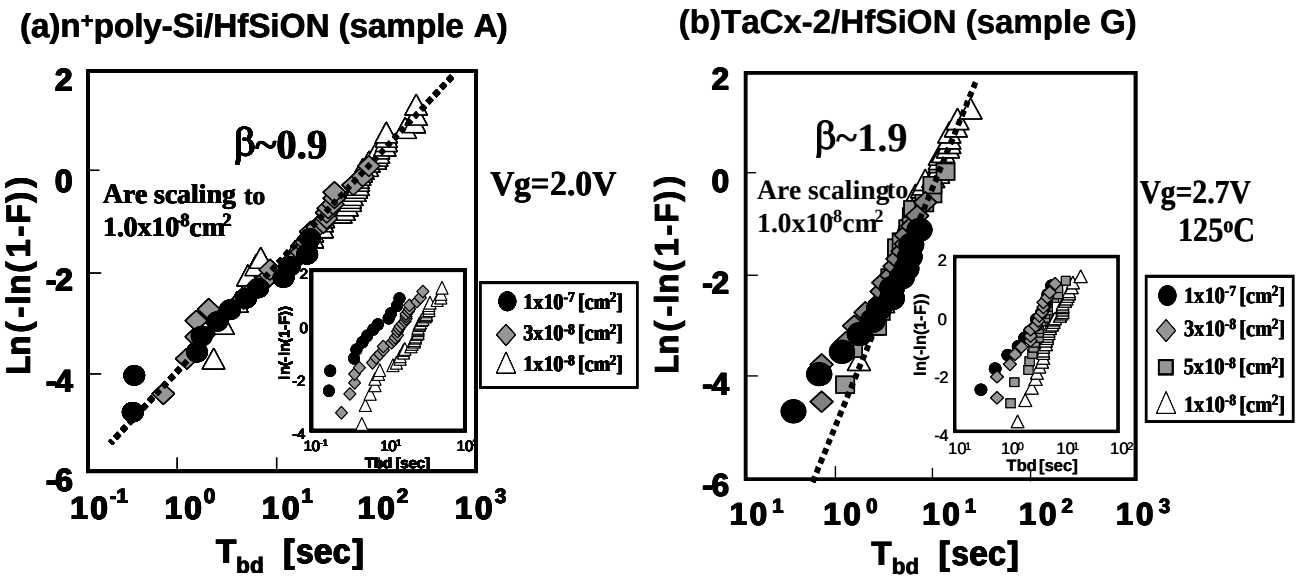


図 4.28：正電圧ストレスを印加した際の破壊寿命 T_{bd} の面積を 1x$10^{-8}$$cm^2$ に規格化したワイブル分布
(a) n+poly-Si/HfSiON、 (b) TaC/HfSiON。Inset は各面積におけるワイブル分布

このような方法を用いて、表 4.1 で示した各試料に対して破壊寿命(T_{bd})のワイブルβの電極依存性を調べた。図 4.29 に各試料のT_{bd}のβを示す。この結果から、どのメタル電極もn^+poly-Si電極よりもβが大きくなることがわかった。 さらに、例えば、同じTaCx電極でも組成や膜厚によって、βの値が 1.6 から 2.4 まで変化する。また、n^+poly-SiゲートとTaCx(試料F)とでは、ゲート絶縁膜はほぼ同じであるのにも関わらず、βの値は約 2 倍程度変化する。

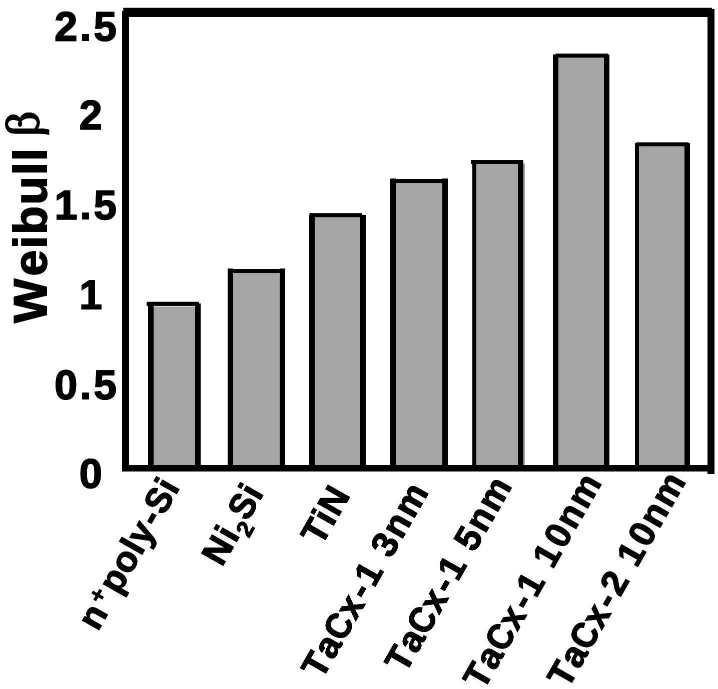


図 4.29：各電極材料に対する、正電圧ストレスを印加した際の破壊寿命 T_{bd} のワイブルβ

ここで、ゲート電極の材料が変わると、電極の仕事関数が変化する。そのため、nMISFET に反転側のストレスを印加した時、絶縁膜に注入された電子が電極と HfSiON の界面で放出するエネルギーも変化すると考えられる。この電子の放出エネルギーがワイブルβに及ぼす影響について検証する。HfSiON 膜では電極との間に pinning 現象がおこるため、理想的な仕事関数とは異なる Vfb が得られることが報告されている。しかしながら Vfb には膜中の固定電荷による影響も反映されるため、絶縁膜に注入された電子が電極と HfSiON の界面で放出するエネルギーをあらわすには、Vfb の値を用いるべきか、理想的な仕事関数の値を用いるべきかは、議論の余地がある。そこで、図 4.30 に理想的な WF と CV 測定から得られた Vfb の両方についてそれぞれワイブルβとの相関を示す。ここで理想的な WF は各電極材料の電気陰性度から(1)式[15]により算出した。

$$WF = 2.27\chi + 0.34 \qquad \cdots\cdots (1)$$

χ : Pauling の電気陰性度

ここで、化合物$A_X B_Y$のχは(2)式により記述されることが知られているため[16]、この式を用いて計算した。

$$\chi(A_X B_Y) = \chi(A)^{\left(\frac{X}{X+Y}\right)} + \chi(B)^{\left(\frac{Y}{X+Y}\right)} \qquad \cdots\cdots (2)$$

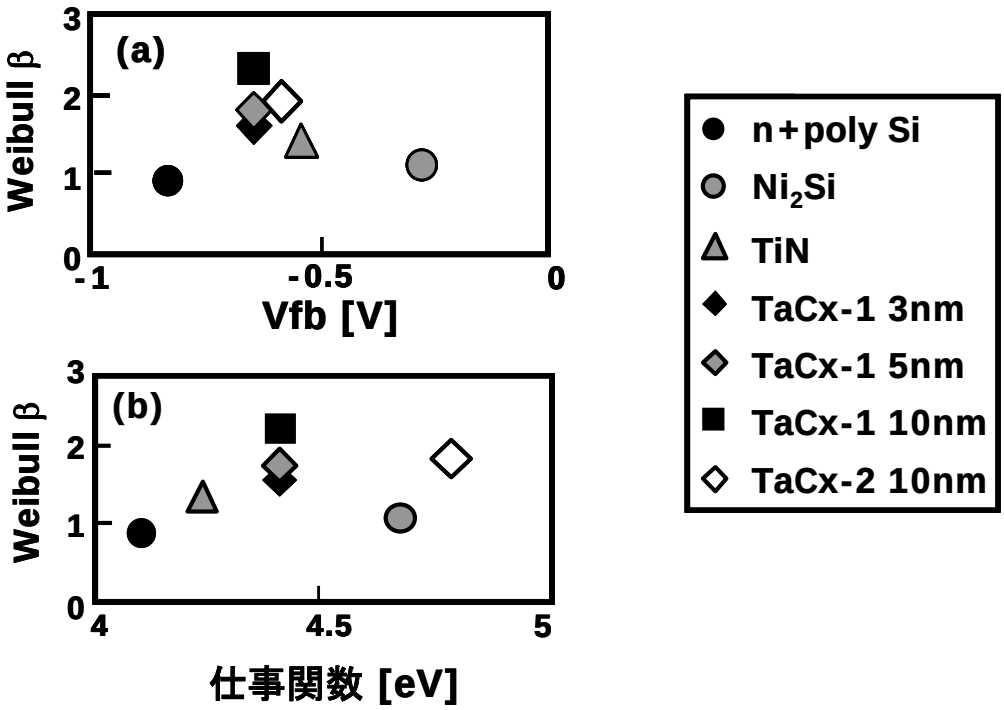


図 4.30：各電極材料に対する、(a)Vfb および(b)理想的な仕事関数とワイブルβの相関

図 4.30 の結果から、Vfbまたは理想的な仕事関数とワイブルβとの間では、仕事関数が深くなるほどβが大きくなる傾向が見られるが、Ni_2Si、TaCx-2 10nm の試料では傾向から外れることがわかる。このことから、電極によるワイブルβの変調は、電子がゲート電極で放出するエネルギーとある程度は関連があると考えられるが、それだけでは説明することができない。一方で、電極材料が変わった場合、電極から絶縁膜中に不純物が拡散し、それが膜中で欠陥を生成する可能性が考えられる。そこで、深津らによって報告された、各電極材料に対するNBTI、PBTI寿命を図 4.31 に示す[17]。この結果から、NBTIもPBTIもTaCx-2(sample G)が一番寿命が短く、3nmのTaCx-1(sample D)、 5nm TaCx-1 (sample E)、10nm TaCx-1(sample F) の順に寿命が長くなることがわかる。

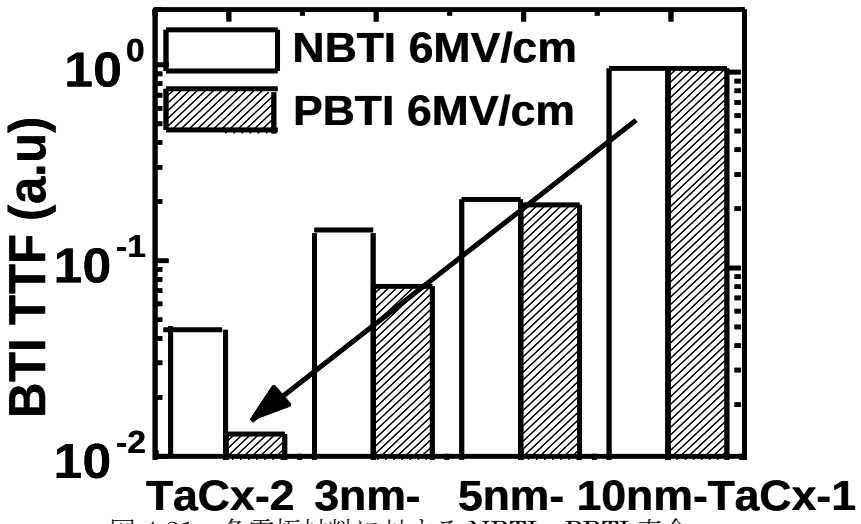


図 4.31：各電極材料に対する NBTI、PBTI 寿命

ここで、第 3 章でも述べたように、NBTI、PBTI 寿命は初期欠陥量に強く依存しており、初期欠陥量が多いほど寿命は短くなると考えられる。今回の結果から、TaCx-2 が初期欠陥量が多く、10nm の TaCx-1 が初期欠陥量が一番少ないと予測される。一方、初期欠陥量がワイブルβに及ぼす影響はまだ明確にはなっていないが、初期欠陥量が多いほどワイブルβが小さくなるという報告がなされている。これは、パーコレーションモデルに従って、電気的ストレスによって膜中に生成した欠陥が、電極から基板までつながることで破壊が起こると考えた際、初期欠陥があることで、絶縁破壊を引き起こす(欠陥が膜厚方向につながる)ために必要な生成欠陥量が実効的に少なくなるためである。図 4.29 と図 4.31 の結果を比較すると、TaCx-1 の膜厚依存性は説明できるが、TaCx-2 のワイブルβの傾向は説明することができない。また、4 章 2 節、4 章 3 節において、HfSiON 膜の絶縁破壊においては、電流が強く寄与していることがわかっている。そのため、電極材料によるワイブルβの変調の要因として、各試料の電流に着目をし、解析を行った。

図 4.32 (a)にゲート電極材料が変わった際のリーク電流をキャリアセパレーションの結果を示す。ゲートリーク電流(J_g)はゲート電極材料によってほとんど変わらないが、基板リーク電流(J_{sub})は電極材料によって 2 桁から 3 桁変化することがわかった。ここで、図 4.32 (b)に模式的に示すように、ゲートリーク電流は基板反転層とSi基板の荷電子帯から入る電子を表しており、基板リーク電流はSi基板の荷電子帯から入る電子(の抜け殻である正孔)とゲート電極で生成し、絶縁膜を通ってSi基板に抜ける正孔の和を表している。

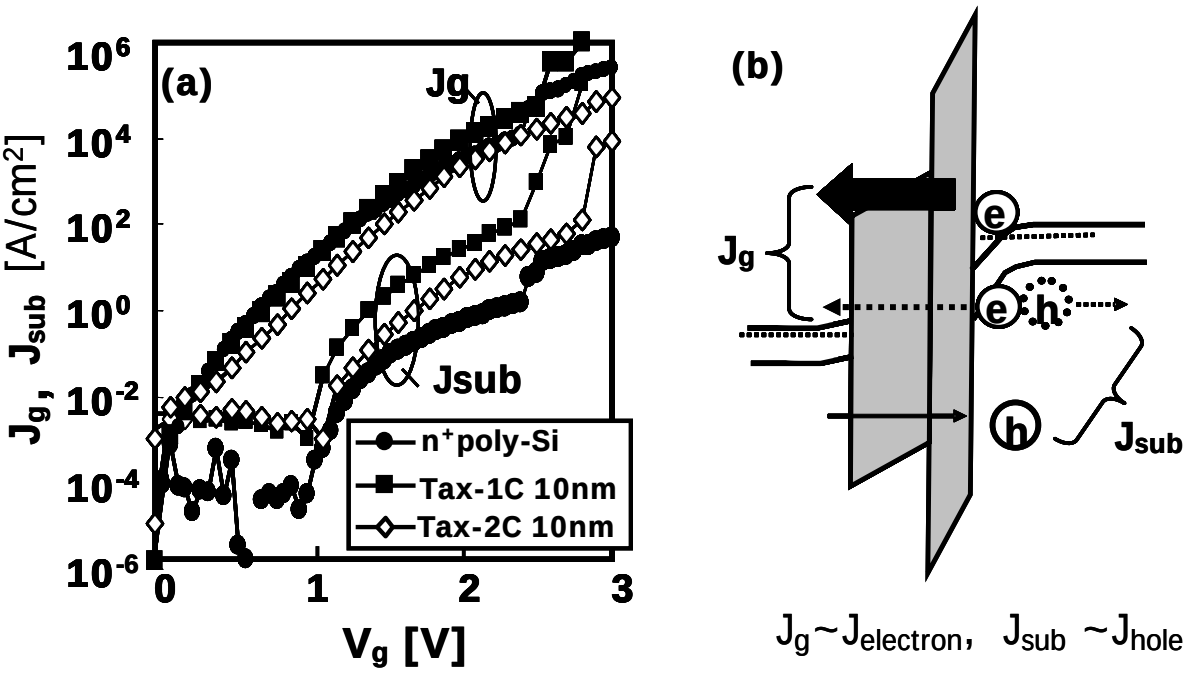


図 4.32：(a)各電極材料におけるリーク電流のキャリアセパレーションと(b)正電圧下でのキャリアの流れの模式図

図 4.33 に各電極材料におけるJ_{sub}/J_gの電圧依存性を示す。ここで、J_{sub}/J_gは膜中を流れるキャリアのバランス（正孔電流(J_{hole})と電子電流($J_{electron}$)の比）を表していると考えられる。J_{sub}/J_g は 1V~2.5V の間でほとんど電圧に依存しないが、電極材料によって、約 2 桁ほど変化することがわかった。

図 4.34 に各電極材料のワイブルβとJ_{sub}/J_gの相関を示す。ここで、横軸のJ_{sub}/J_gは 2Vでの値を用いている。J_{sub}/J_gとワイブルβは強く相関しJ_{sub}/J_gが大きくなるほど、ワイブルβが大きくなる傾向があることがわかった。これらの結果から、high-k膜中を流れる電子電流に対する正孔電流の比が破壊寿命のワイブル分布を変調させている、すなわち、メタルゲート/HfSiON膜でβが大きくなるのは、電子電流に対する正孔電流の割合が多いからである、と推測される。

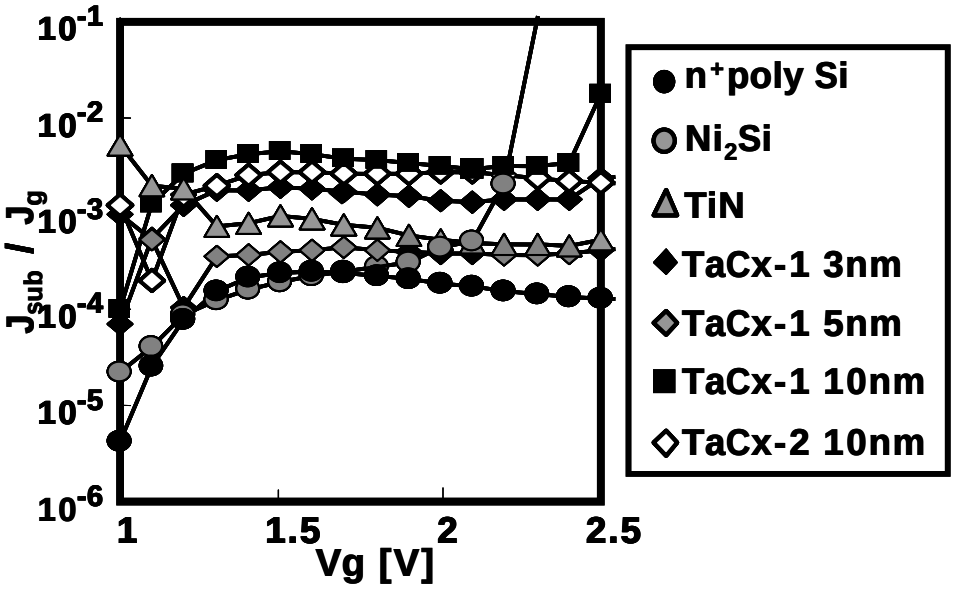


図 4.34　：各試料における J_{sub}/J_g の電圧依存性

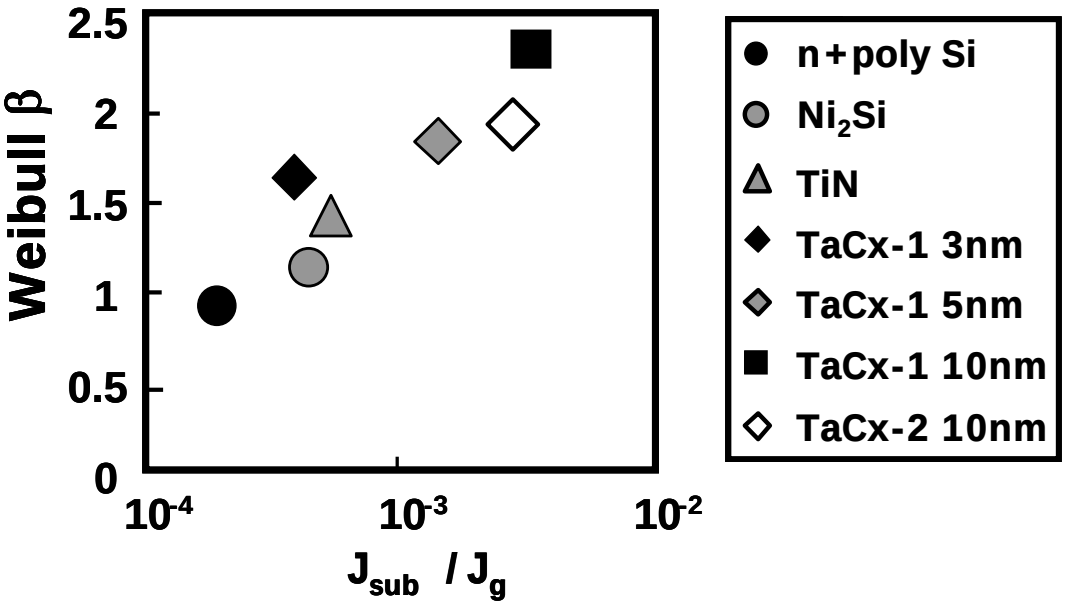


図 4.35：各試料におけるワイブルβと J_{sub}/J_g の相関

ここで、電極材料による、電流成分比の変調の原因について考察する。ここで、辰村らの報告[18]によると、TiN 電極を用いた際、HfSiON 中に Ti が拡散し、Mid gap 付近に準位を作る。また、Ta rich TaC を電極に用いると、HfSiON との界面で反応し、伝導帯付近で準位を作り、HfSiON の Ec を少し下げる。また、後藤らの報告[13]によると、Ta rich TaC は HfSiON との界面で反応し、上部の Si を吸い上げて、Hf が高濃度な領域ができるが、C-rich TaC は HfSiON との界面で反応しないことが報告されている。このような、電極との反応や、電極からの金属の拡散による、トラップ生成やバンドギャップ変調と、図 4.30 に示したような電極による仕事関数の違いによる、注入電子が電極側で放出するエネルギーの違いが電流成分の変調要因となっていると考えられるが、さらに詳細な検討が必要である。

また、第 4 章 5 節で述べるが、n^+poly-Si/HfSiONのスタック構造において、DCストレス下での破壊寿命のワイブル分布よりもACバイポーラストレス下での破壊寿命のワイブル分布のほうがβが大きくなる、という結果が得られており、この場合も$J_{hole}/J_{electron}$とワイブルβが強く相関することからも、上記に述べたような、電流成分のバランスがワイブルβに影響を及ぼすことが裏付けられる。電流成分のバランスがどのようにしてワイブルβを変調させるのかについては、第 4 章 5 節にて詳しく説明する。

本章では、nMISFET において電極材料が異なる HfSiON 膜に対して、正電圧ストレスを印加した際の破壊挙動について調べた。その結果、絶縁膜の材料、膜厚、作り方は同じであるにもかかわらず、電極材料が異なると、破壊寿命の分布が異なり、破壊寿命の分布を表すワイブルβは膜中を流れる電流成分(電子と正孔)のバランスと強く相関をもつことがわかった。すなわち、膜中のリーク電流成分を変調するような膜構造を設計することにより、破壊分布の急峻な、より高信頼なデバイスを作ることが出来ると考えられる。

4.5　DCストレス、ACストレス下におけるHfSiONの絶縁破壊特性

これまでの検討から、HfSiON膜の破壊は膜中の酸素欠損の寄与や、膜に電流(電子電流、正孔電流)が流れ込むことによって破壊が加速されるなど、SiO_2膜の破壊と異なっていることがわかった。また、4 章 4 節において、ゲート電極材料を変えることにより、ワイブルβが変調することがわかり、膜中の電流成分が影響している可能性が示唆された。そこで、本節では電極材料、絶縁膜材料は変えず、ストレス印加条件を変えることによって電流成分を変調させ、電極材料による、プロセス的な要因を取り除いた状況下で、電流成分が破壊寿命の分布に及ぼす影響を検証した結果を報告する。

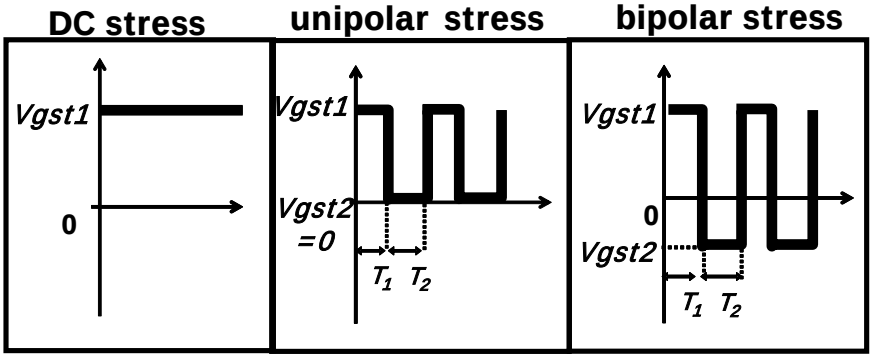
4.5.1　サンプル作製および評価方法

実験に用いた試料は、HfSiON(Hf/(Hf+Si):50%，N:20 at%)膜をゲート絶縁膜とするn+poly-Si/nMISFETを用いた。HfSiON膜はMOCVD法により堆積し、その後プラズマ窒化を行ってNを導入した。HfSiONの物理膜厚は約 4nmであり、HfSiON幕とSi基板との界面に約 1nmのSiO_2界面層が存在していることをTEMによって確認した。

TDDB測定に用いたデバイスの面積は $1x10^{-8}(cm^2)$で、DCストレス、unipolarストレス、bipolarストレス下での評価を行った。

表 4.2 に実験に用いたストレスシーケンスを示す。定電圧ストレスを連続的に印加し続ける、DC ストレスのほかに、正電圧と 0V をある周期で交互に印加する unipolar ストレス、正電圧と負電圧をある周期で交互に印加する bipolar ストレスを用いた。ここで bipolar ストレスの際に印加する負バイアス(*Vgst2*=-1V) は測定範囲内では絶縁破壊が観測されないようなストレスであることを確認している。

表 4.2：実験に用いたストレスの波形およびストレス条件



DC stress	unipolar stress 2	unipolar stress 3
Vgst1 = 2.5V	*Vgst1* = 2.5V *Vgst2* = 0V *T1* = 10sec *T2* = 100sec	*Vgst1* = 2.5V *Vgst2* = 0V *T1* = 10sec *T2* = 1000sec

bipolar stress 1	bipolar stress 2	bipolar stress 3
Vgst1 = 2.5V *Vgst2* = -1V *T1* = 10sec *T2* = 10sec	*Vgst1* = 2.5V *Vgst2* = -1V *T1* = 10sec *T2* = 100sec	*Vgst1* = 2.5V *Vgst2* = -1V *T1* = 10sec *T2* = 1000sec

$J_{hole}/J_{electron}$ 大

4.5.2　DCストレス、ACストレス下における破壊寿命分布

図 4.35 に DC ストレス下、unipolar ストレス、bipolar ストレス下でのゲートリーク電流の経時変化を示す。(a)は横軸に total のストレス時間を、(b)は横軸に正電圧ストレスの積算時間を表している。DC ストレス下、unipolar ストレス下、bipolar ストレス下のどの条件においても、まず、soft breakdown が観測され、その後、徐々に電流が増加していくような振る舞いがみられ、破壊挙動はストレスの波形に依存性しないことがわかる。ここで、本検討では soft breakdown が起きる時間(図 4.35 (b)の矢印)を絶縁破壊寿命として定義する。

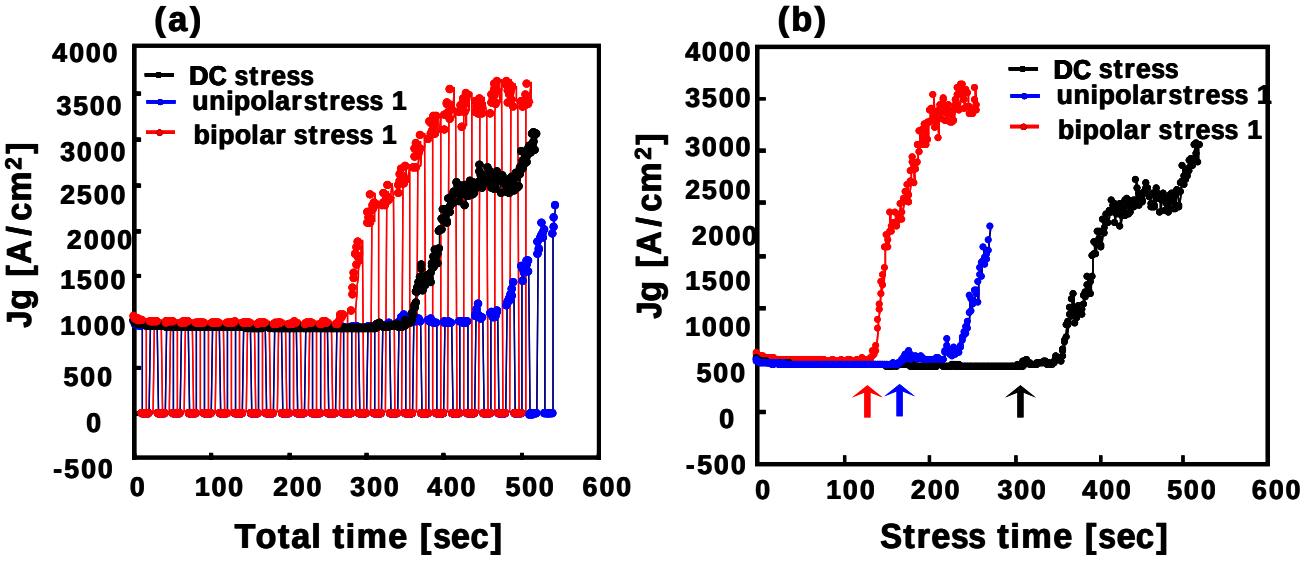


図 4.35:ストレス印加中のリーク電流の時間依存性　(a)横軸は total の時間　(b) 横軸は反転側(正電圧)ストレスの印加時間の積算を表している。

図 4.36 に DC ストレス、unipolar ストレス、bipolar ストレス下での破壊寿命のワイブルプロットを示す。ここで、寿命は反転側のストレスがかかっている時間の積算量(図 4.35 の(b)の横軸)を用いた。この結果から、破壊寿命の分布は DC ストレス、unipolar ストレスでほとんど変わらないことがわかった。また、寿命の平均値も DC ストレスと unipolar ストレスでほぼ同じであることから、定期的にストレスを解放することが、寿命や寿命の分布に影響を及ぼさないと考えられ、ストレスによって生成した膜中の欠陥は、ストレスを解放することで修復されないと考えられる。一方、DC ストレス下の寿命の分布に比べて、bipolar ストレス下の寿命の分布は急峻になり、ストレス時間を 10 秒、100 秒、1000 秒と長くすると、ワイブル分布の傾きが急峻になっていくことがわかった。これらの結果から、非常に小さい電圧であっても蓄積側にストレスを周期的に印加することが、破壊の分布に影響を及ぼすことがわかった。

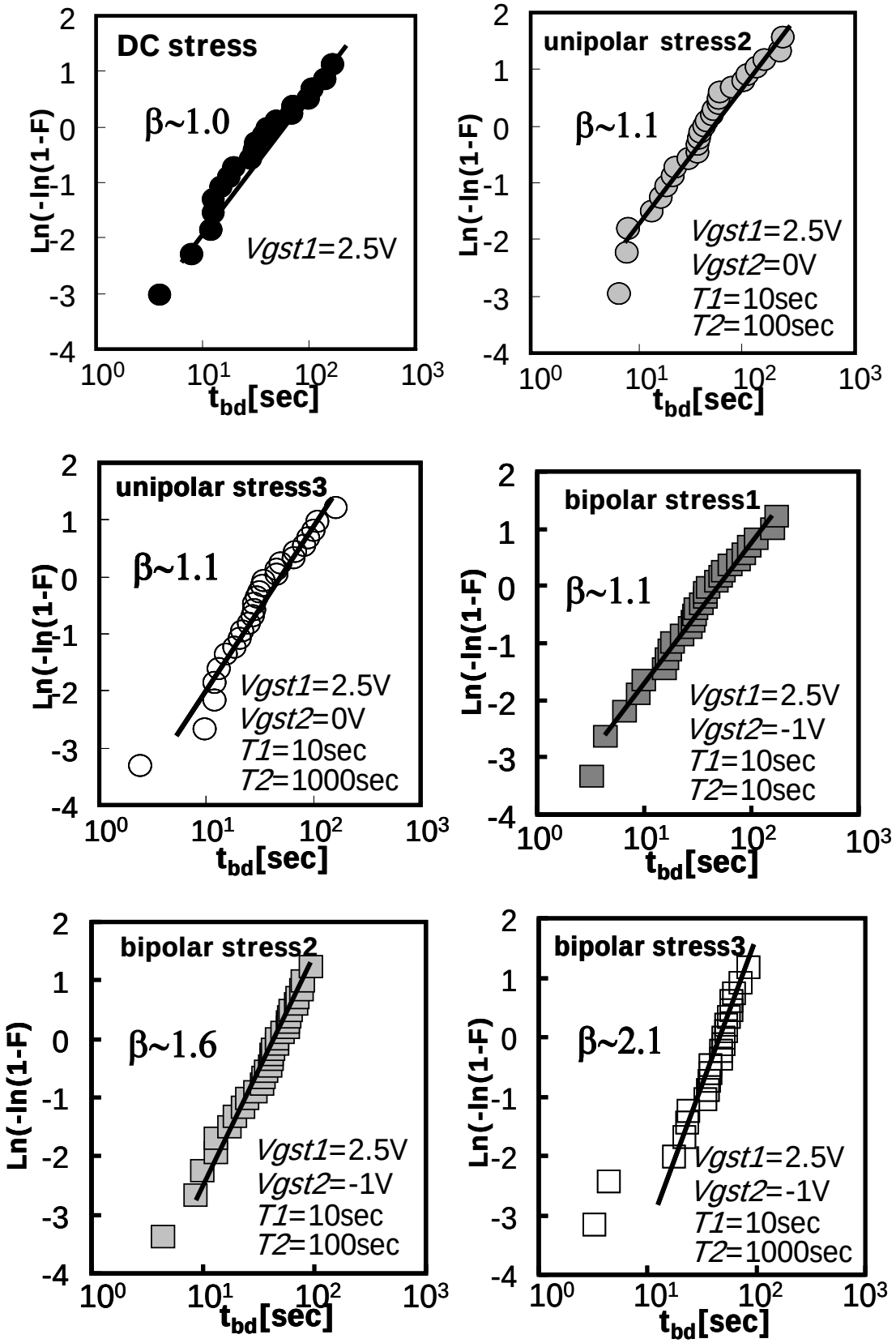


図 4.36：DC ストレス unipolar ストレス、bipolar ストレス下での破壊寿命(T_{bd})のワイブル分布

4.5.3　電流成分による破壊寿命分布の変調

これまでの検討から、DC ストレスと unipolar ストレスでは破壊寿命平均も分布も変化しないが、逆バイアスを印加する bipolar ストレスでは、その分布が急峻になる事がわかった。
そこで、nMISFETのbipolarストレス時にどのような電流が流れているかを調べるため、n⁺poly-Si/nMISFET, n⁺poly-Si/pMISFETのキャリアセパレーションを行った結果を図 4.37 に示す。ここでnMISFETの反転状態でのキャリアはn⁺poly-Si/nMISFETの反転状態（正電圧）でのキャリアと対応しており、nMISFETの蓄積状態で膜中を流れるキャリアはn⁺poly-Si /pMISFETの反転状態（負電圧）のキャリアと対応している。ここで図 4.34 に示した、bipolarストレス時のストレス電圧、*Vgst1*、*Vgst2* に対応するキャリア注入の模式図を図 4.38 に示す。反転側のストレス下(*Vgst1*)では、基板反転層からの電子が多数キャリアとして膜に注入され、ゲート側で生成した正孔が少数キャリアとして注入される。また、蓄積側のストレス下(*Vgst2*)では基板からの正孔が多数キャリアとして注入され、ゲートからの電子が少数キャリアとして注入される。すなわち、bipolarストレスを印加することにより、膜中を流れるキャリア（電子と正孔のバランス)が変わっており、反転側のストレス(*Vgst1*)の印加時間が一定の場合、蓄積側ストレス(*Vgst2*)の印加時間が長くすることによって、$J_{hole}/J_{electron}$を大きくすることができる。

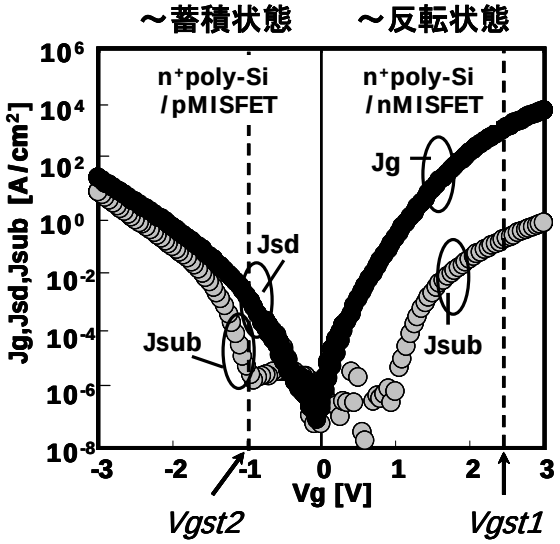


図 4.37：nMISFET の蓄積状態、および反転状態において流れる電流に相当するキャリアセパレーションの結果

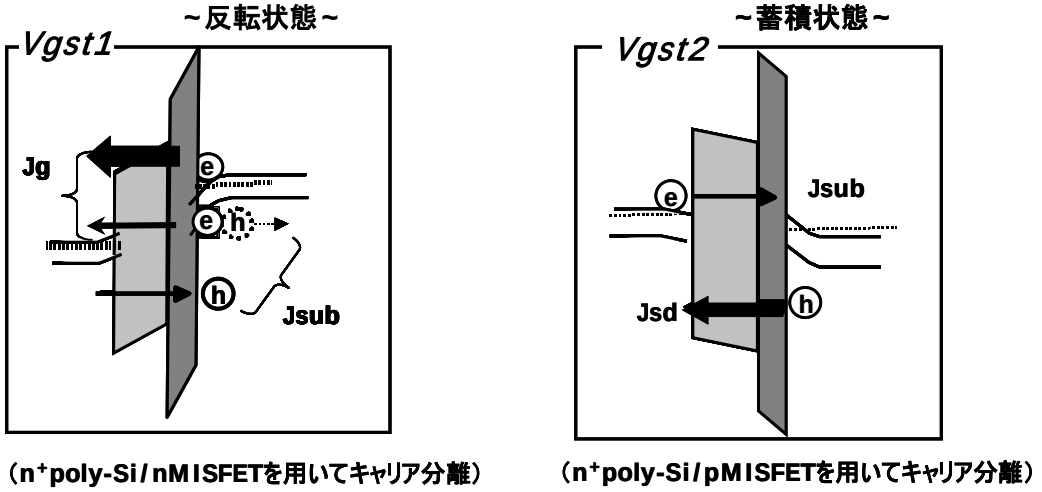


図 4.38：nMISFET の蓄積状態、反転状態において流れるキャリアの模式図

図 4.39 にnMISFETにおける、各ストレス条件におけるワイブル分布の傾きβと各ストレス条件の 1 周期中に膜中を流れるキャリアのバランス($J_{hole}/J_{electron}$)の依存性を示す。電子電流に対する正孔電流の割合が多いほど、βが大きくなる傾向がみられる。これは、第 4 章 4 節で述べた、電極材料による絶縁膜中の電流成分比($J_{hole}/J_{electron}$)と破壊寿命のワイブルβとの相関と同様の傾向である。

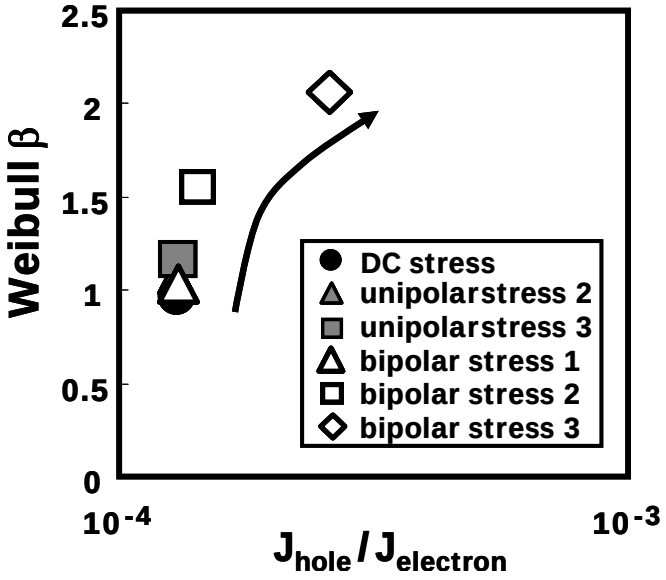


図 4.39 : 各ストレス下での破壊寿命のワイブルβと絶縁膜中を流れる正孔電流と電子電流の比($J_{hole}/J_{electron}$)との相関

4.5.3　パーコレーションモデルに基づく欠陥サイズの考察

これまでの結果から、絶縁膜中を流れる電流成分の比が、破壊寿命の分布(ワイブルβ)を変調することがわかった。この結果をパーコレーションモデルを用いて考察する。

パーコレーションモデルはワイブル分布の傾きを説明することができることが報告されており、破壊分布の議論に広く用いられている。このパーコレーションモデルをさらに簡略化した、セルベースモデル[19]も提案されている。セルベースモデルの模式図を図 4.40 に示す。セルベースモデルでは、絶縁膜を一辺がa_0からなる格子(セル)で区切り、膜厚(t_{ox})方向にn個(＝t_{ox}/a_0)、面積(A_{ox})方向にN個(＝A_{ox}/a_0^2)並んだ構造を考える。ある確率で格子が導電性に変化していき、(図中のグレーの格子に相当)、ゲート電極からシリコン基板まで一列につながったときに絶縁破壊が起こると仮定する。

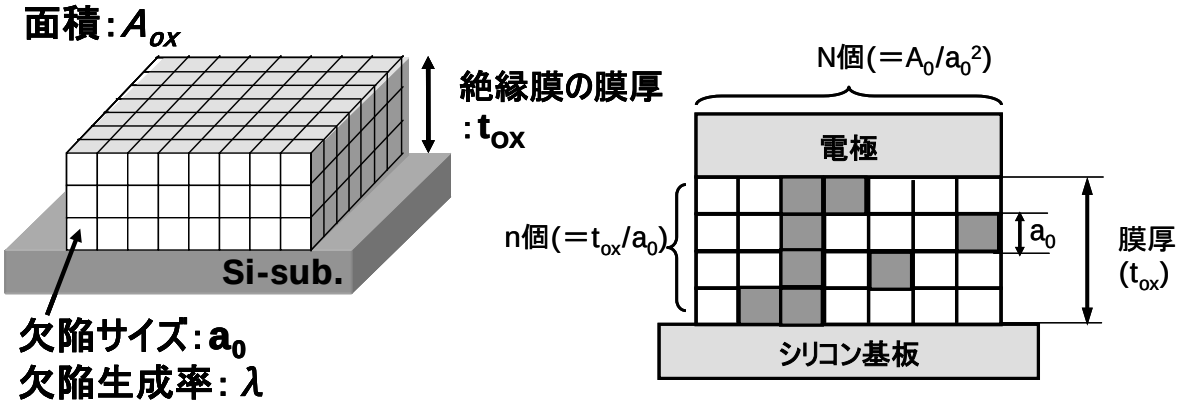


図 4.40：各ストレス下での破壊寿命のワイブルβと絶縁膜中を流れる正孔電流と電子電流の比($J_{hole}/J_{electron}$)との相関

ある瞬間に任意のセルが導電性欠陥に変化している確率をλとすると一つの列のすべてのセルが導電性欠陥に変化し、その列の電極からシリコン基板まで導電性になる確率は、λ^nとなる。ゲート絶縁膜の絶縁破壊は、N個の列のうち少なくとも一つの列が導電になればよいので、累積不良率F_{BD}は、次式で表される。

$$1 - F_{BD}(\lambda) = (1-\lambda^n)^N$$

これを変形すると、

$$\ln(-\ln(1 - F_{BD}(\lambda))) = \ln(-N \ln((1-\lambda^n))$$

と表記できる。

ここでλ<<1 のとき、$\ln(1-\lambda^n) \sim \lambda^n$で近似できるので、定式は

$$\ln(-\ln(1 - F_{BD}(\lambda))) = \ln(N)+n \ln(\lambda)$$

と近似される。

この式の左辺はワイブルプロットの縦軸に相当する。また、n＝t_{ox}/a_0、N= A_{ox}/a_0^2であることから、

$$\ln[-\ln(1-F_{BD}(\lambda))] = \ln\left(\frac{A_{ox}}{a_0^{\,2}}\right)+\frac{t_{ox}}{a_0}\ln(\lambda)$$

と表記できる。

ここで、欠陥生成率λは時間のべきに比例し、次式のように表されることが報告されている。

$$\lambda(t) = \xi \cdot t^{\alpha}$$

したがって、ワイブル分布の傾きβは

$$\beta = \alpha \cdot \frac{t_{ox}}{a_0}$$

となり、絶縁膜の膜厚(t_{ox})に比例し、セルサイズ、すなわち欠陥サイズ(a_0)に反比例することになる。

この欠陥生成率λは実験的にSILC (Stress Induced Leakage Current)の時間依存性と比例することが報告されているため[20]、αを求めるために、各ストレス下でのSILCの時間依存性を調べた。その結果の典型例として、DCストレス下、unipolar2 ストレス下、bipolar3 ストレス下におけるSILCを図4.41 に示す。ここで、DCストレス、unipolar2 ストレス下での「破壊寿命」のワイブルβは~1.0 程度であるのに対し、bipolarストレス下での破壊寿命のワイブルβは～2.1 と大きいにも関わらず、各ストレス下での「SILC」の時間依存性のべき、αはおおよそ 0.86 程度で同じであることがわかった。ここで、絶縁膜の膜厚(t_{ox})は 4nmであり、ストレスには依存しないことから、ワイブルβの変調の原因は欠陥サイズが変わったためであること考えられる。

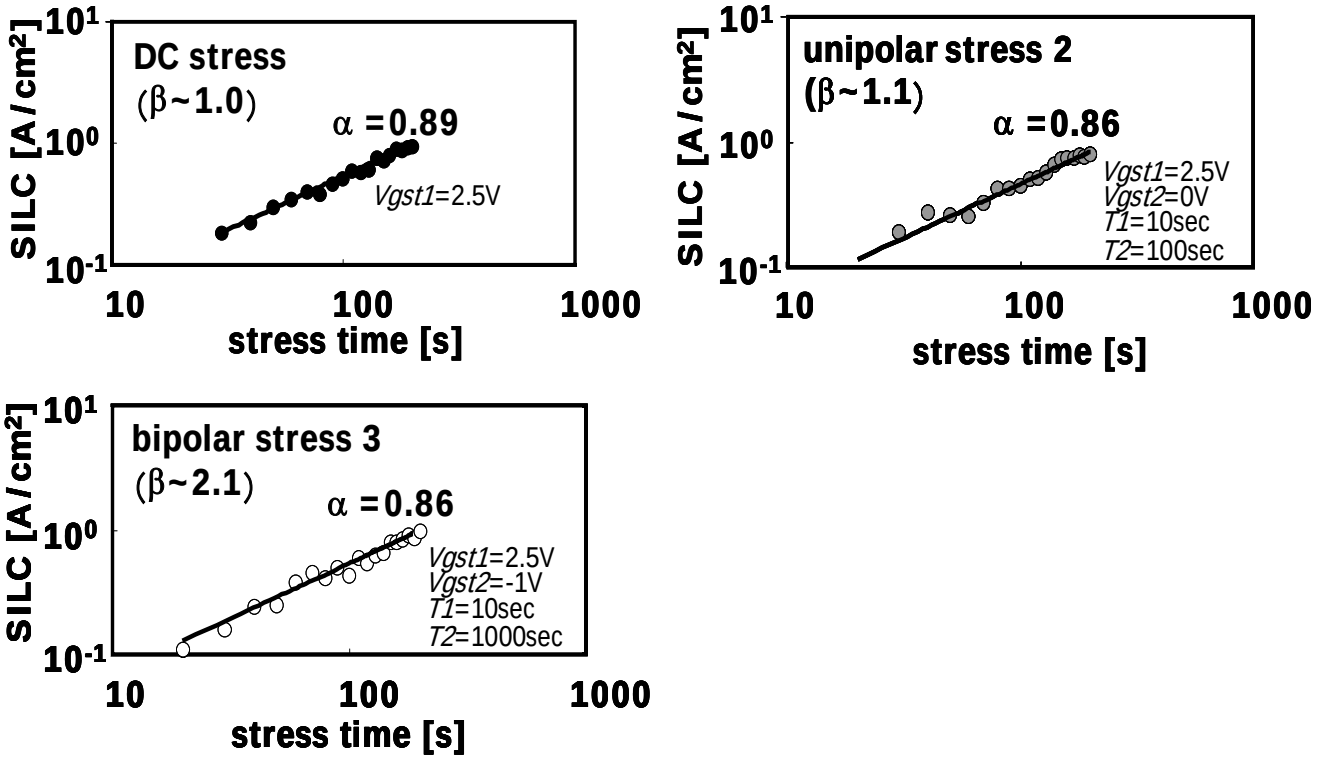


図 4.41：各ストレス下での SILC のストレス時間依存性

図 4.36 のワイブルβの値と図 4.40 のαの値、t_{ox}の値から、各ストレス化における欠陥の大きさa_oを算出した。図 4.42 に各ストレス条件下でのワイブル分布の傾きβから得られたa_oとそのときに膜中を流れるキャリアのバランスの依存性を示す。電子に対する正孔電流の割合が多いほど、a_oが小さくなる傾向があることがわかる。これらの結果から、膜中を流れる電流成分のバランスが膜中で生成する欠陥の大きさを変調させていると考えられる。

図 4.43 に膜中を流れる電流成分比が異なる際のパーコレーションモデルの図を示す。パーコレーションモデルに基づくと、ストレス印加中に生成した欠陥が膜厚方向につながった時に絶縁破壊が起こると考えられる。ここで、電子電流に対する正孔電流の比が小さいときには、欠陥の大きさは大きく、少ない欠陥生成で破壊に至る。電子電流に対する正孔電流の比が大きいときには、欠陥の大きさは小さく、破壊に至るまでに必要な欠陥生成量は多くなる。 このような電流成分のバランスによって欠陥大きさが変わる原因はまだ明らかではないが、第一原理計算による検討[21]から、HfSiON 膜中での欠陥生成に対する、電子および正孔の寄与の仕方が関連していると推測している。

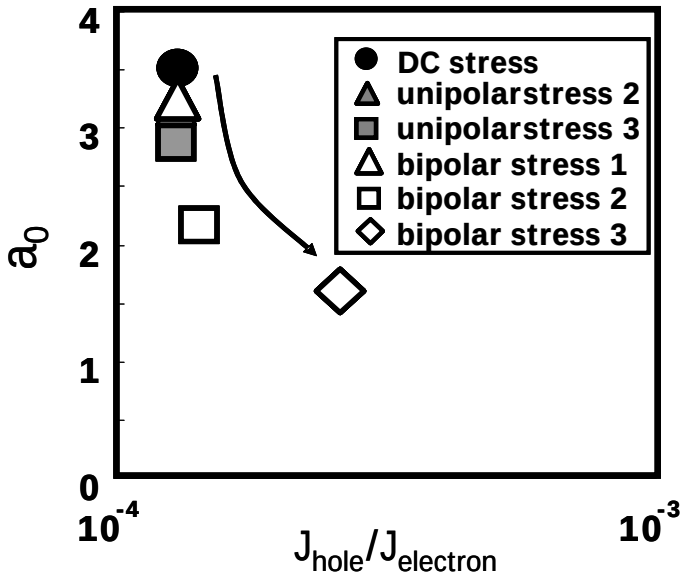


図 4.42：各ストレス下での欠陥サイズ(a_0)と膜を流れる正孔電流と電子電流の比($J_{hole}/J_{electron}$)との相関

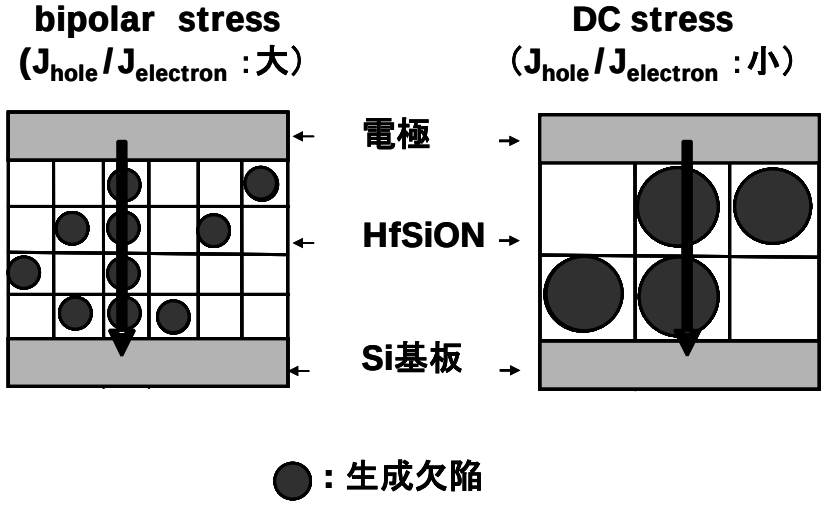


図 4.43：$J_{hole}/J_{electron}$が大きい場合(bipolar ストレスに対応)と $J_{hole}/J_{electron}$が大きい場合(DC ストレス、unipolar ストレスに対応)のパーコレーションモデルの模式図

図 4.44 に電流成分による生成欠陥サイズ変調の模式図を示す。第 4 章 2 節でも述べたように、中崎らによる第一原理計算の結果から、$HfSiO_4$中のVoに正孔が捕獲されることによって、構造緩和が起こることがわかっており、これがパーコレーションモデルの欠陥生成に対応していると考えている。すなわち、正孔が多く流れているような状況下($J_{hole}/J_{electron}$：大)では、一つのVoでの構造緩和に相当する大きさの欠陥となる。一方で、電子がVoに捕獲されると、その隣にVoが生成しやすくなる。このように隣接する場所にVoができ、そこに正孔が捕獲されると構造緩和がおこると考えられる。すなわち、電子が多く流れているような状況下($J_{hole}/J_{electron}$: 小)では、複数のVoが集まった大きさに相当する欠陥の大きさとなると考えられる。

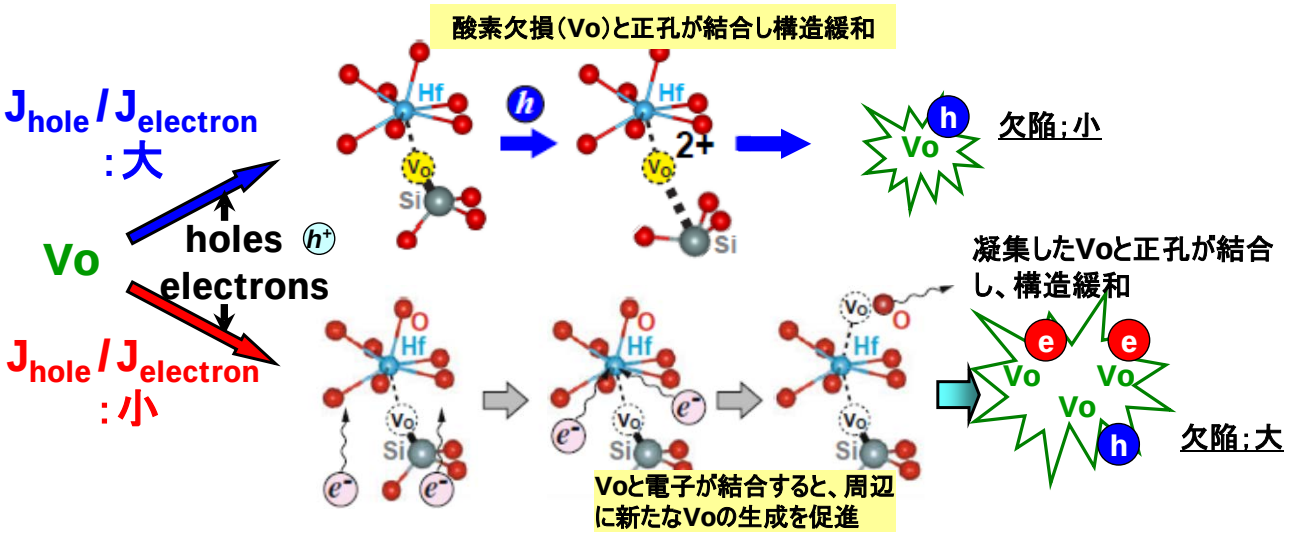


図 4.44：Nakasaki らの計算結果から得られた、電流成分比による生成欠陥サイズ変調の模式図

このように、本節では、HfSiON 膜に対して、DC ストレスおよび AC ストレス(unipolar ストレス、bipolar ストレス)を印加した際の破壊挙動について調べた。その結果、DC ストレスと unipolar ストレス下では破壊寿命の分布は変わらないが、bipolar ストレス下では、破壊の分布が急峻になり、破壊寿命の分布を表すワイブルβは膜中を流れる電流成分(電子と正孔)の流量比と強く相関をもつことがわかった。

また、SILC から求められる欠陥生成の時間依存性はストレスによって変化しないことから、ストレス下での電流成分のバランスが膜中で生成する欠陥の大きさを変調させていると考えている。

この結果は、第 4 章 4 節の結果とも一致し、膜中のリーク電流成分を変調するような使用方法、もしくは膜構造を設計することにより、破壊分布の急峻な、より高信頼なデバイスを作ることが出来ると考えられる。

4.6　pMISFETにおける絶縁破壊特性に対する膜中水素の影響について

第 4 章 3 節、4 節、5 節では主にnMISFETについての絶縁破壊特性について述べた。一方で、nMISFETとpMISFETでは絶縁破壊挙動が異なっており、特にワイブル分布の傾きがnMISFET、pMISFETで大きく異なるという報告がなされている[22]。これは、high-k膜を堆積する際にSi基板との界面にSiO_2層ができてしまい、実際のhigh-k膜はSiO_2膜との積層構造になっていることが原因と報告されている[23]。すなわち、デバイス(もしくはストレス)の極性によって、絶縁破壊を決めている膜(high-k膜もしくはSiO_2膜のどちらか)が異なると考えられている。

図 4.45 にTaCゲート電極を用いたHfSiON/SiO_2スタック構造のnMISFET、pMISFETにおける絶縁破壊寿命のワイブル分布と破壊寿命のストレス電圧依存性を示す。これまでの多くの報告と同様に、寿命のワイブル分布はnMISFETよりもpMISFETのほうが小さい。また、平均寿命もnMISFETよりもpMISFETのほうが数桁も小さいことがわかった。

そこで、本節では、pMISFET の絶縁破壊寿命が短い原因を調べるため、pMISFET における絶縁破壊機構について詳細に検討を行った結果を述べ、さらに pMISFET における寿命改善の指針を述べる。

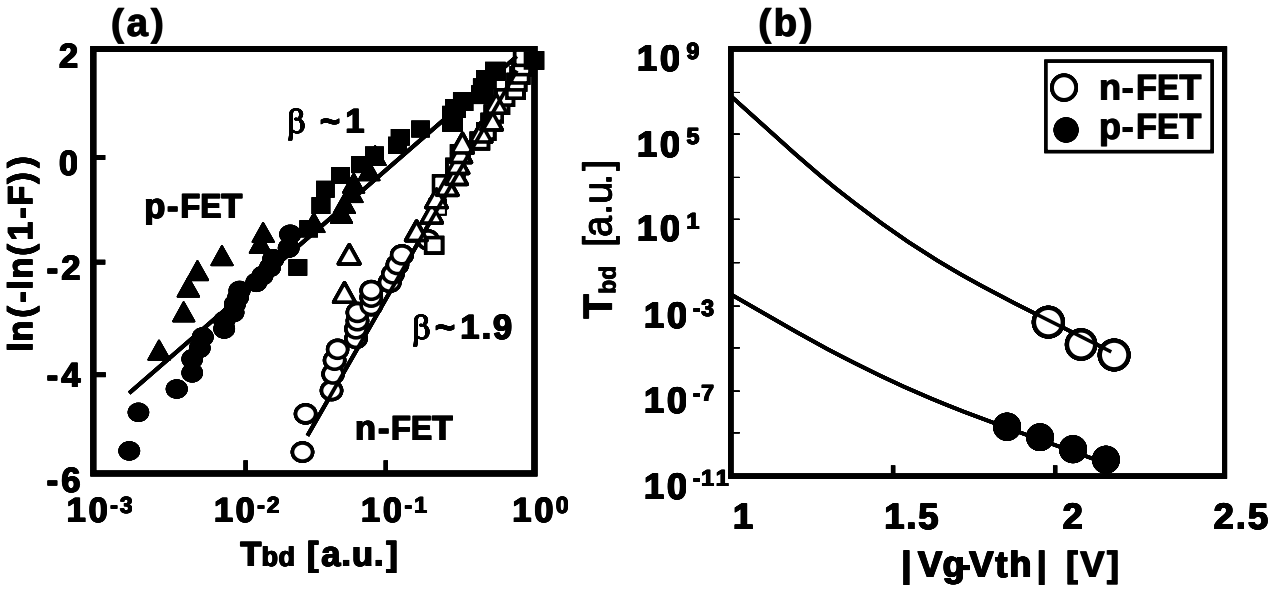


図 4.45 : TaC ゲート電極を用いた HfSiON/SiO_2 スタック構造の nMISFET、pMISFET における絶縁破壊寿命の(a)ワイブル分布と(b)破壊寿命平均のストレス電圧依存性

4.6.1　サンプル作製および評価方法

実験には、電極がポリSiゲート、及びメタルゲートで、ゲート絶縁膜がHfSiONであるpMISFETを用いた。表 4.3 に本実験で用いた 11 種の試料の詳細について示す。(A)~(F)の 6 試料については、電極材料による影響を調べるため、絶縁膜は同じプロセスで作成した。ここで、TiN、TaCx-1、TaCx-2 はスパッタにより堆積した。また、(G)~(I)は界面層膜厚依存性をしらべるため、電極,HfSiONは同じプロセスで作成し、界面SiO_2層の膜厚だけを変化させた。HfSiONの組成はHf/(Hf+Si):50.at%、[N]:20%程度であり、第 3 章で述べたフローで作成を行った。

測定に用いた素子の面積は 10^{-7}~$10^{-8}cm^2$で、測定温度は 125°Cである。TDDB測定は反転側のストレス電圧において、定電圧ストレス下で測定を行った。

表 4.3：本実験で用いた試料のゲート電極材料、膜厚（堆積時の狙い膜厚）

sample	gate electrode	thickness of dielectrics	
		HfSiON	I.L.
(A)	poly-Si	2.3 ~ 2.5nm	SiO_2 0.8nm
(B)	TiN		
(C)	*TaCx-1 3nm		
(D)	*TaCx-1 5nm		
(E)	*TaCx-1 10nm		
(F)	**TaCx-2 10nm		
(G)	poly-Si	4.0nm	SiO_2 1.0nm
(H)			SiO_2 2.0nm
(I)			SiO_2 4.0nm
(J)			SiON 3.0nm
(K)		—	SiON 3.0nm

*TaCx-1:Ta-rich　　**TaCx-2:C-rich

4.6.2 HfSiON/SiO_2スタックにおけるワイブル分布

図 4.46 に電極材料を変えた、(A)～(F)の試料に対する nMISFET と pMISFET の破壊寿命のワイブルβを示す。以前に報告したように、nMISFET の破壊寿命のワイブルβは電極材料で大きく変化するが、pMISFET の破壊寿命のワイブルβは電極材料にほとんど依存せず、ほぼ 0.9 程度であることがわかる。

図 4.47 に nMISFET と pMISFET のワイブルβと絶縁膜を流れる正孔電流と電子電流の比の相関を示す。 nMISFET では、第 4 章 4 節で述べたように、ワイブルβが膜中電流によって大きく変化することから、膜中を流れる電流成分が欠陥サイズを変調させていると考えられるが、pMISFET においてはワイブルβは膜中の電流成分はほとんど電流成分に依存しないため、nMISFET とは異なる機構で破壊が起こっていると考えられる。

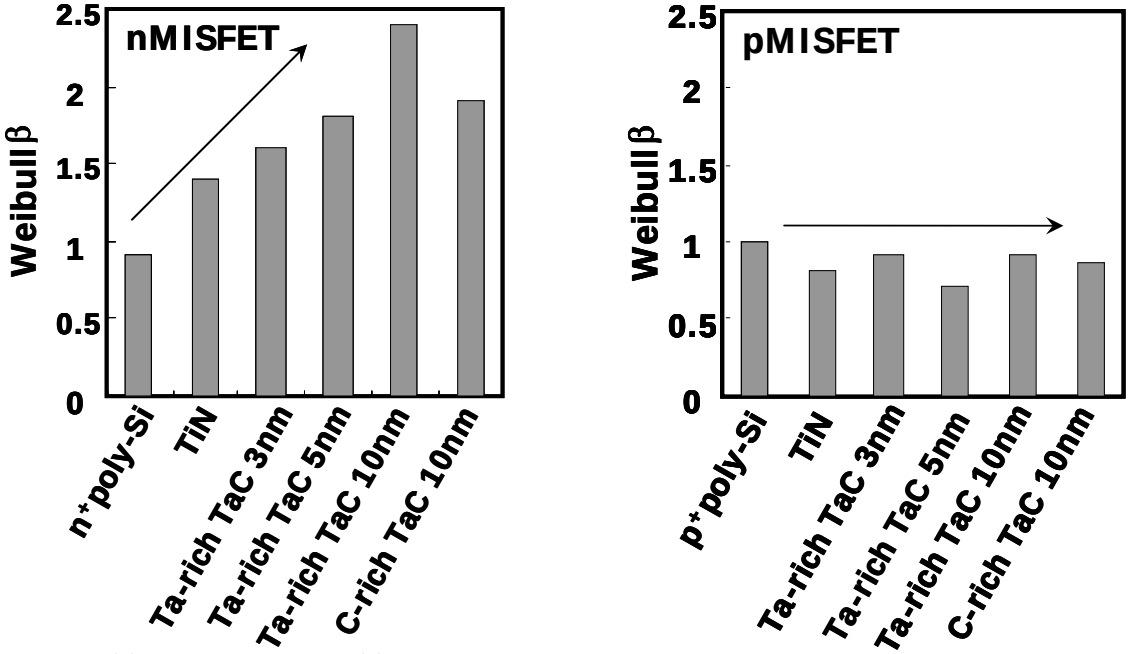


図 4.46 : (a) nMIFET および (b) pMISFET における各試料に対する破壊寿命のワイブルβ

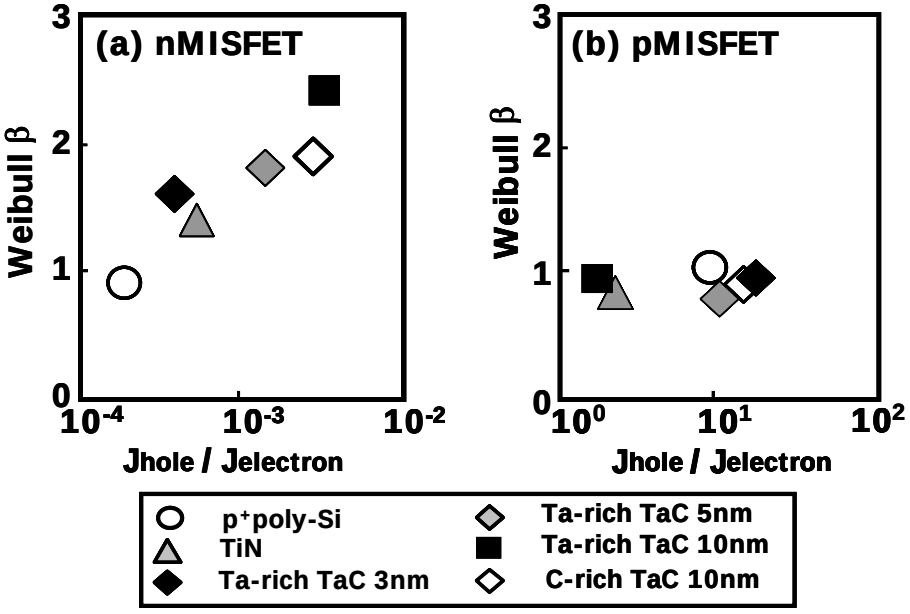


図 4.47 : (a)nMISFET および(b)pMISFET における各試料に対する破壊寿命のワイブルβの電流成分比($J_{hole}/J_{electron}$)との相関

そこで、破壊機構をより詳細に調べるため、界面層膜厚の厚さが異なる(G)~(I)の試料を用いて、破壊のワイブルβを調べた。図 4.48 にHfSiON/SiO_2スタックのnMISFET、pMISFETそれぞれと、SiO_2のワイブルβをSiO_2膜厚で整理したもの[24]を示す。HfSiON/SiO_2スタックのpMISFETのワイブルβはSiO_2単膜のワイブルβと同じ膜厚依存性となるが、nMISFETではSiO_2単膜のワイブルβの膜厚依存性と異なることがわかる。この結果から、pMISFETでは、界面SiO_2層が破壊を支配していると考えられる。

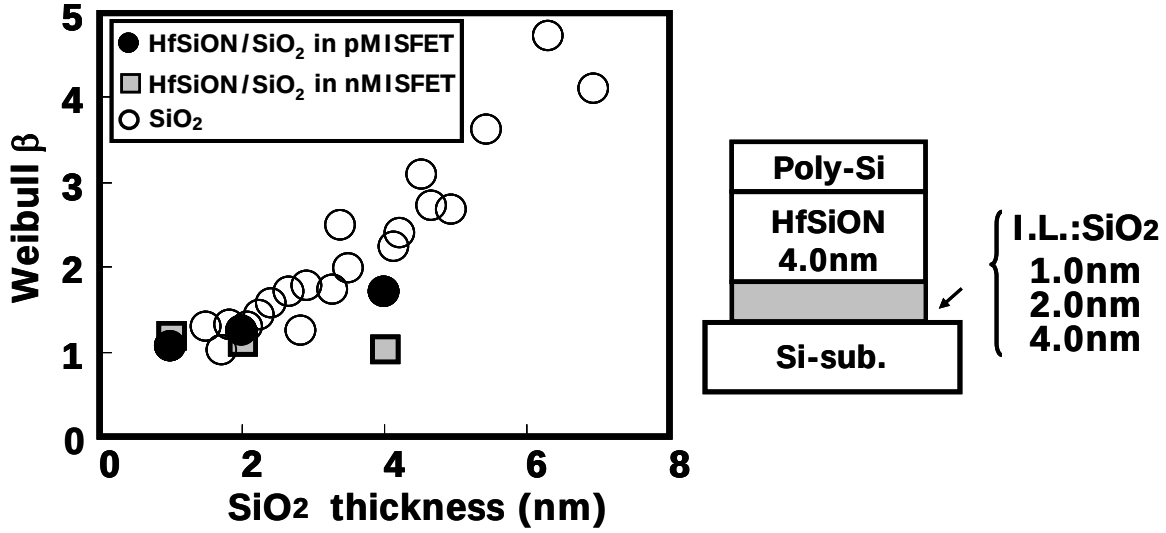


図 4.48 : 界面 SiO_2 膜厚を変化させた HfSiON/SiO_2 スタックの nMISFET、pMISFET と、SiO_2 のワイブルβの SiO_2 膜厚依存性

4.6.3 pMISFETにおける劣化および絶縁破壊機構

薄いSiO_2膜の破壊については、Hydrogen Release (HR)モデルで広く説明がされている[25-27]。HRモデルに基づくと、下記の式のように破壊寿命T_{bd}はVgに対してべきで表される。

$$T_{bd} = A \cdot Vg^{\gamma} \qquad (1)$$

ここで Vg は印加電圧であり、γは加速係数を表している。

また、最近では、さらにHRモデルを拡張したモデルとしてMulti-vibrational hydrogen release model (MVHRモデル)[28, 29]が報告されており、このモデルに基づくと、破壊寿命T_{bd}は

$$T_{bd} \propto Vg^{-\left[n(fin)\frac{Eth}{n\sigma}+n(Ig)\frac{Eth}{n\sigma}\right]} \qquad (2)$$

fin : inelastic part of the current
Eth : desorption energy
σ: stretching mode energy of the bond

n :number of quanta

で表される。ここで、$n(fin)$, $n(Ig)$ は *fin, Ig* の *Vg*.依存性のべき乗の指数を示しており、本研究では $n(fin)$, Eth, σ, n は[27]で報告された値を用いており、$n(Ig)$は実験から求めた値を用いた。

図 4.49 にsample(A)～(H)に対して、実験から得られた電圧加速係数γとMVHRモデルから計算された電圧加速係数γの関係を示している。もし、MVHRモデルで破壊が説明されるなら、実験値と計算値は一致する、すなわち、図 4.49 の点線上にデータがのるはずである。図 4.49 から、SiON単層(sample(K))は点線上に乗っているが、HfSiON/ SiO_2スタック(sample(A)~(H))は点線からずれており、実験から得られたγがMVHRモデルから得られたγよりも小さいことがわかる。 この結果から、HfSiON/ SiO_2スタックにおいては、SiO_2（またはSiON）の劣化に加えて、電圧依存の小さい劣化成分が存在すると考えられる。

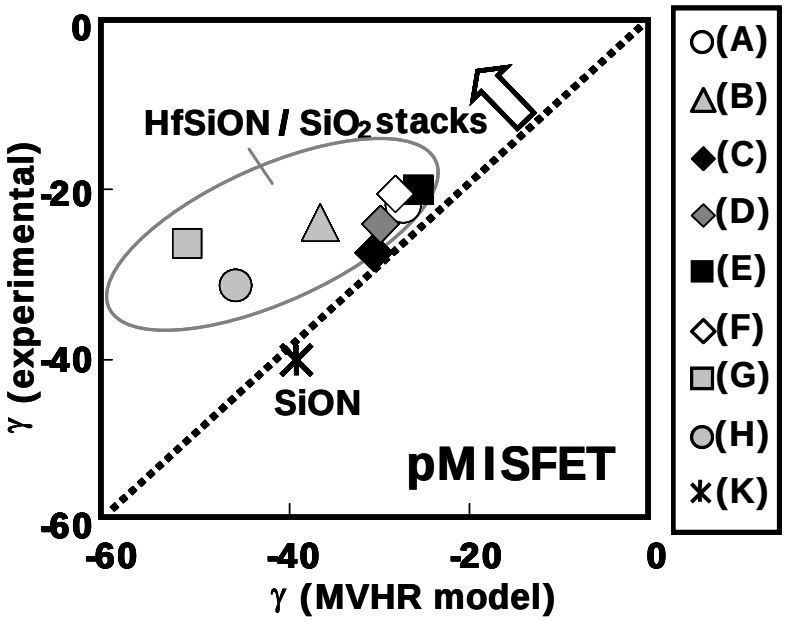


図 4.49:各試料の実験から得られた電圧加速係数 γ(experimental) と MVHR モデルから計算した電圧加速係数 γ(MVHR model)の相関

図 4.50 にsample(J),sampe(K)に対して、定電圧ストレスを引加した際の破壊に至るまでの正孔注入

量(Qp)の電界依存性を示す。同じストレス電界で比較するとQpはsample(J)のほうが小さい、すなわち、HfSiONをつんだ試料のほうが、より少ない正孔注入で壊れてしまうことがわかる。そこで、上に積んだHfSiON膜がSiO_2界面層の劣化に及ぼす影響について調べる。ここで、SiO_2界面層にHfSiON中のNが拡散することによって、SiO_2/Si基板界面の界面準位生成が促進されることが報告されているため[17]、その影響を取り除くためにもともとNが界面層に入っているような構造を用いHfSiON/SiONスタック(sample(J)) とSiON(sample(K))を用いて、比較を行った。ここで、SiON層のN濃度は約 20at %であり、sample (J)とsanple(K)のSiONは同じプロセスで作成した。図 4.51 (a)に示すようにストレスを印加する前の界面準位密度は両サンプルでほぼ同等である。図 4.51 (b)に負バイアスストレスを 2056 秒印加した後の界面準位生成のストレス電界依存性を示す。ここで、上にHfSiONを積んだ試料(sample(J))のほうがSiON単層(sample(K))よりも界面準位生成が多いことがわかる。これらの結果から、HfSiONを上に積むことによって、下界面SiO_2層の劣化を促進するような機構があると考えられる。

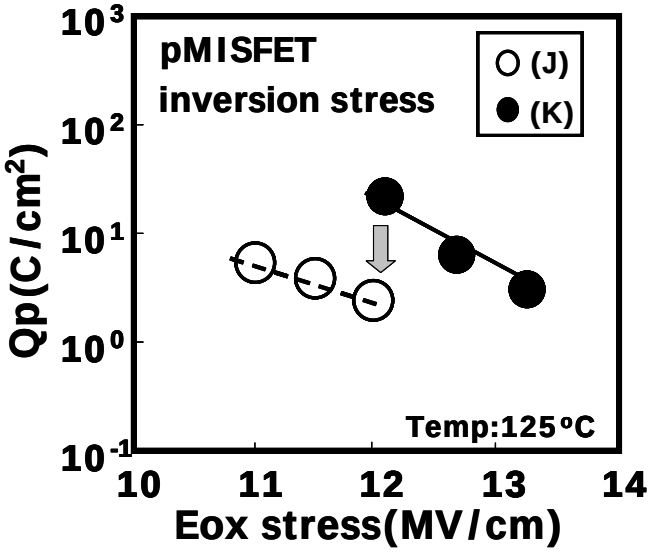


図 4.50：SiON(sample(J))と HfSiON/SiON スタック(sample(K))の定電圧ストレスを引加した際の破壊に至るまでの正孔注入量(Qp)の電界依存性

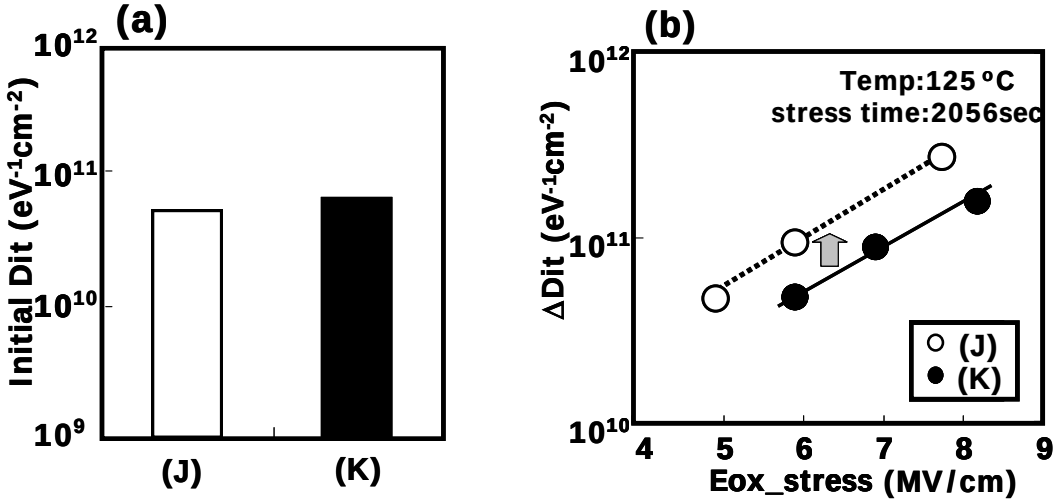


図 4.51：(a) SiON(sample(J))と HfSiON/SiON スタック(sample(K))の(a)ストレス印加前の界面準位量(Dit)と(b)ストレス印加による界面準位増加量のストレス電界依存性。

ここで、中崎らによる第一原理計算によって計算された$HfSiO_4$中の水素原子のチャージ状態の報告[30]を図 4.52 に示す。図 4.52 (a)に示されるように、$HfSiO_4$中の格子間に入った水素(H_i)は全体の系と

して、フェルミレベルの位置によって、$(H_i)^{1+}$と$(Hi)^{1-}$の状態が安定であることがわかる。また、(図 4.52)(b)に$(H_i)^{1}$ 、$(H_i)^{1+}$ 、$(Hi)^{1-}$ の各状態において計算されたHの周りの実効電荷を示す。ここで、どの状態においても、Hの周りの実効電荷はすべて負であることがわかる。すなわち、$HfSiO_4$に負バイアスを印加した場合、負電荷を帯びた水素は基板側に凝集すると考えられる。

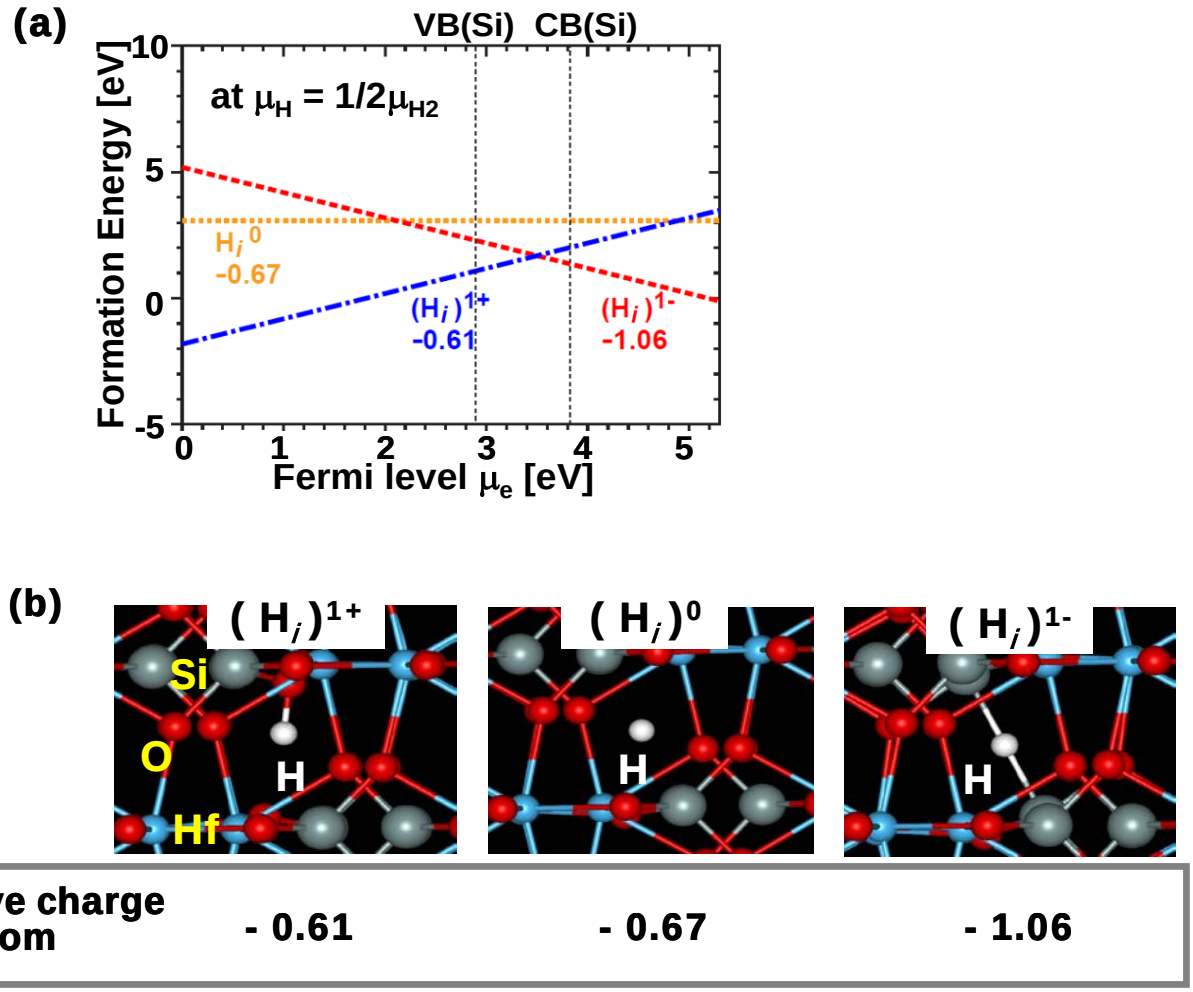


図 4.52 : 中崎らによって計算された、$HfSiO_4$ 中の水素原子のチャージ状態 (a) $HfSiO_4$ 中の格子間水素の生成エネルギーのフェルミレベル依存性と(b)各水素の状態における、水素の実効電荷

ここで、図 4.53 に加藤らによって報告された[31]、第一原理計算による、SiO_2層の水素原子による劣化の挙動を示す。図 4.53 (a)に示すように、水素原子がSiO_2/Si基板界面のSi-H結合に近づいてくると、Si-HとHが反応し、H_2が生成する。この際、Si-HのHが外れSi dangling bondとなるため、欠陥がSiO_2/Si基板界面に生成する。また図 4.53 (b)に示すように、水素原子が膜中のSi-O-Siに近づくとOにHが結合し、さらにもうひとつ水素原子が近づくとH_2Oを形成する。この際、Siと結合していたOが抜けてしまうため、酸素欠損(Vo)が生成する。

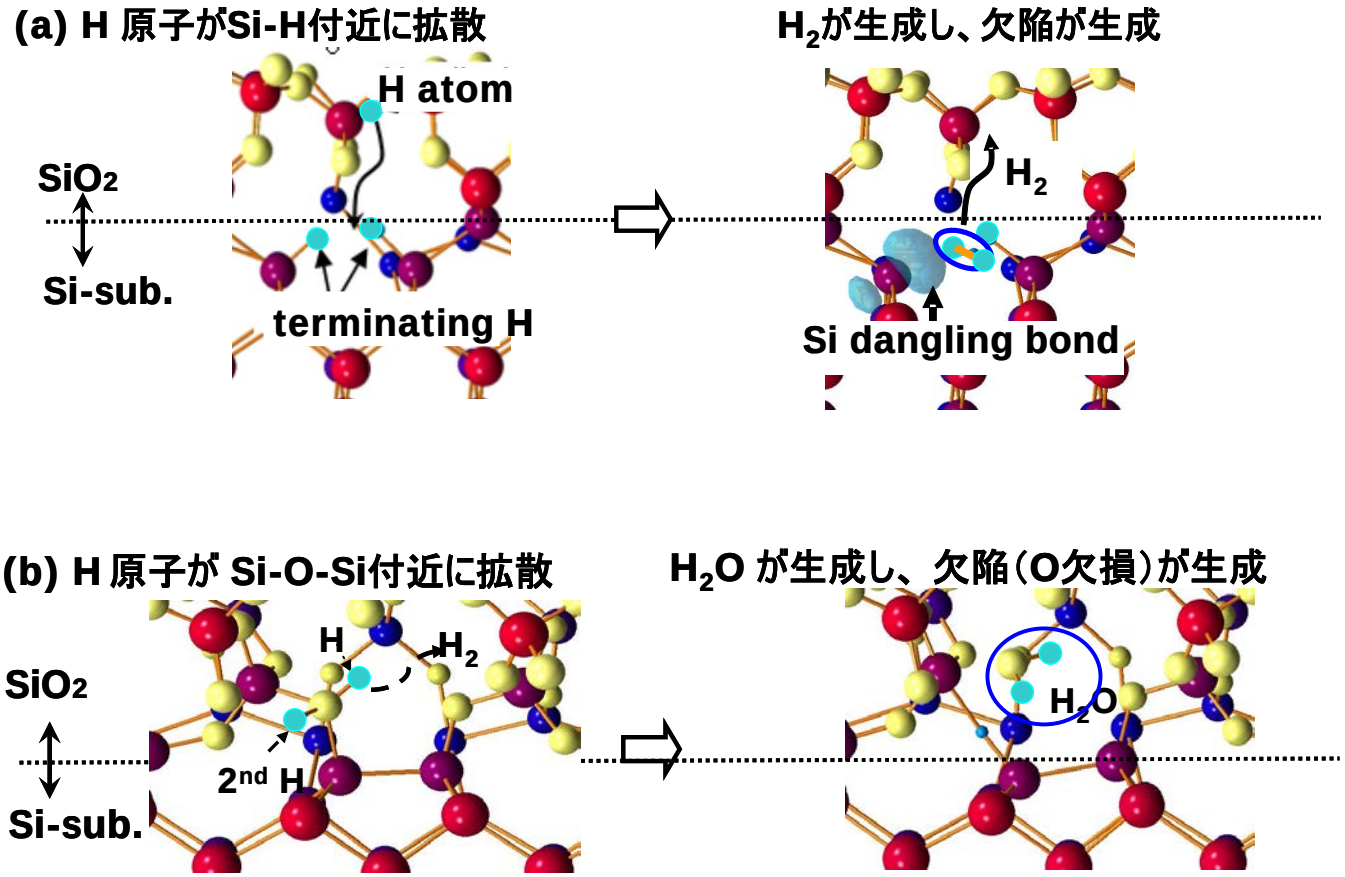


図 4.53：加藤らによって計算された[30]、SiO_2 中で水素原子が欠陥を生成する様子 (a) SiO_2/Si 界面での水素による欠陥生成と(b) SiO_2 膜中での水素による欠陥生成

図 4.54 に上記の実験および計算によって得られた、HfSiON/SiO_2スタックのpMISFETにおける劣化モデルを示す。HfSiON中の水素原子は、負バイアス下において、Si基板側、すなわち、界面SiO_2層に凝集する。ここで、通常の薄膜SiO_2における劣化である、Hydrogen Releaseモデルで説明されるようなSi-HからのHの脱離による劣化に加えて、HfSiON中から拡散してくるH原子が、SiO_2/Si界面のSi-HやSiO_2膜中のSi-O-Siと反応し、欠陥を生成していく、付加的な劣化があると考えられる。このようにして、界面SiO_2が劣化し、pMISFETの絶縁破壊を引き起こすと考えられる。

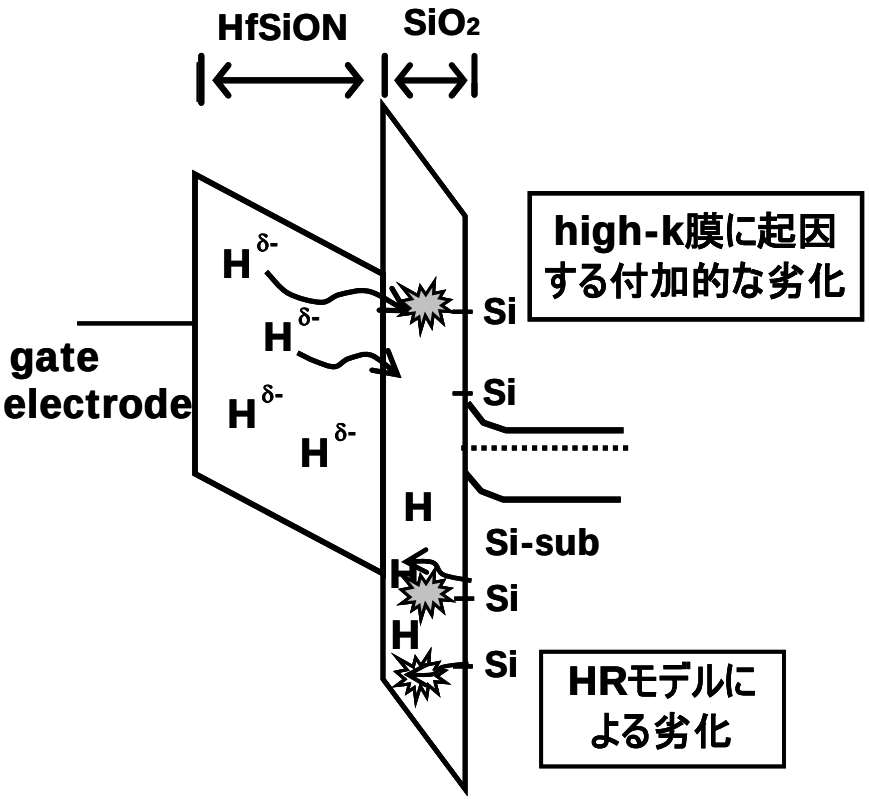


図 4.54：HfSiON/SiO_2 スタックの pMISFET における劣化モデル

4.6.4　HfSiON中の水素がpMISFETの劣化に及ぼす影響

4.6.3 で示したように、第一原理計算の結果から、HfSiON中の水素が界面SiO_2層の劣化を促進ことが示唆された。そこで、HfSiON/ SiO_2スタックのpMISFETの劣化におけるHfSiON中のHの影響を実験的に検証するために、HfSiON中のH量の異なる試料を用いて、界面準位生成、破壊寿命への影響を検証した。ここで、HfSiON膜中のHの量は、HfSiONをMOCVDによって成膜する際、ソースガスを変えることにより制御し、HfSiON中のH濃度の高い試料(以後high [H] HfSiON)とHfSiON中のH濃度の低い試料(以後low [H] HfSiON)を準備した。図 4.55 にそれぞれの試料中のH濃度の深さ方向のSIMS(Secondary Ion Mass Spectrometry)分析によるプロファイルを示す。High [H] HfSiON中のH濃度はlow [H] HfSiON中のH濃度よりも約 1 桁高いことがわかる。ここで、それぞれのHfSiONを用いて、pMISFETの劣化を調べた。ここでデバイスは界面SiO_2層が 1nmでhigh [H] HfSiONが 4nmと 6nm、low [H] HfSiONが 4nmのものを用いた。図 4.56 にそれぞれの試料に負バイアスを印加した際の界面準位生成を示す。ここでストレス印加中の温度は 125℃で、印加した電界は 6MV/cm、ストレス印加時間は 2056 秒である。この結果から、high [H] HfSiONのほうがlow [H] HfSiONよりも界面準位生成が大きい、すなわちHfSiON中のHが界面準位生成を促進していることがわかる。

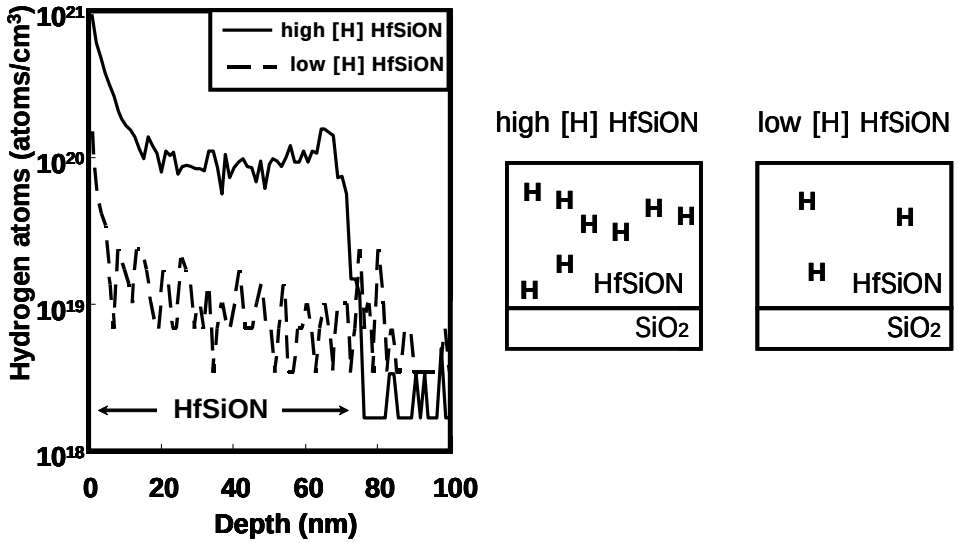


図 4.55：high [H] HfSiON と low [H] HfSiON 中の水素の SIMS 分析によるプロファイル

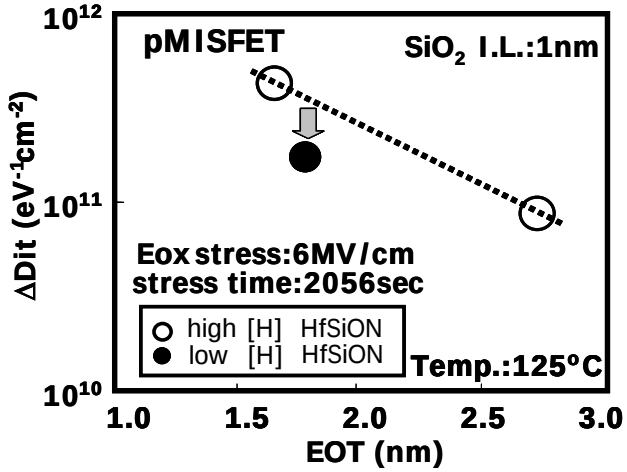


図 4.56：high [H] HfSiON と low [H] HfSiON を用いた pMISFET における、負バイアスストレス下での界面準位増加量(ΔDit)の EOT 依存性

また、図 4.57 にそれぞれの試料の破壊寿命のワイブルβのEOT依存性と 9MV/cmでの破壊寿命の平均値 (63% T_{bd})のEOT依存性を示す。ここでストレス印加時の温度は 125℃である。ワイブルβの値は各試料でほとんどかわらず、SiO_2界面層で決まっていると考えられる。一方で、破壊寿命の平均値は同じEOTで比較するとlow [H] HfSiONの試料のほうがhigh [H] HfSiONよりも 3 桁程度寿命が長くなることがわかった。 これらの結果から、HfSiON中のHを減らすことによって、界面層の劣化を抑制することが出来、pMISFETの寿命を大幅に改善することが出来ることが、実験的にも示された。

図 4.58 にそれぞれの試料において、実験から得られた電圧加速係数を示す。これらの試料において、MVHR モデルから計算される電圧加速係数γは、図中の斜線で塗りつぶした領域で、約-50 程度であるが、実験から得られた γ はそれよりも小さい値となっていることがわかり、図 4.54 で示したように、HfSiON が上の層に存在することにより電圧過疎係数γが小さくなる要因があると考えられる。また、試料間で比較すると、low [H] HfSiON のほうが high [H] HfSiON よりも若干γの値が大きくなっており、MVHR モデルから得られた値により近くなっている。これは、low [H] HfSiON において、HfSiON からの H 起因の付加的な劣化が減ったからであると考えられ、このことからも、HfSiON 膜中の水素に起因する付加的な劣化の存在が裏付けられたと考えている。

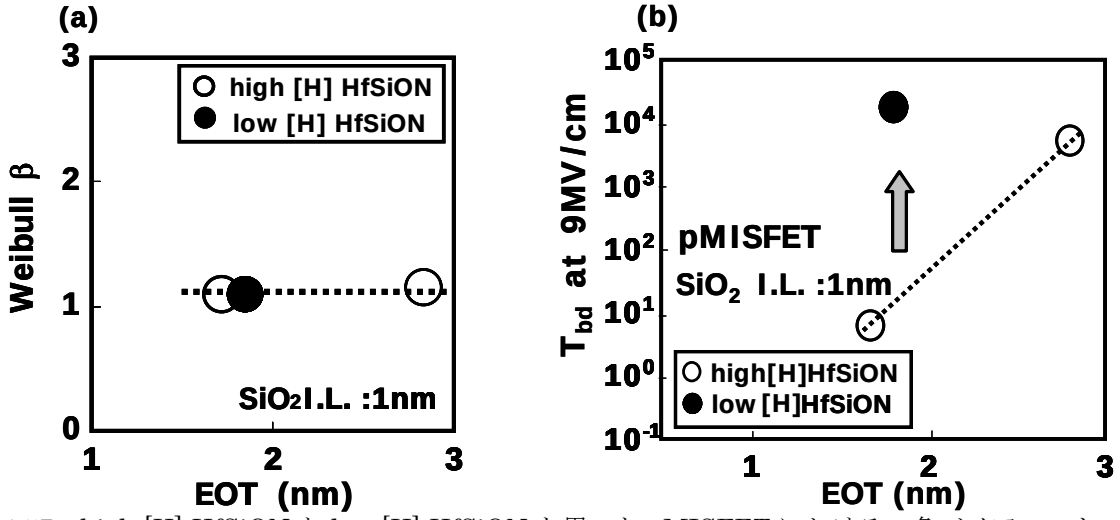


図 4.57 : high [H] HfSiON と low [H] HfSiON を用いた pMISFET における、負バイアスストレス下での(a)破壊寿命のワイブルβの EOT 依存性と(b)破壊寿命の平均値の EOT 依存性

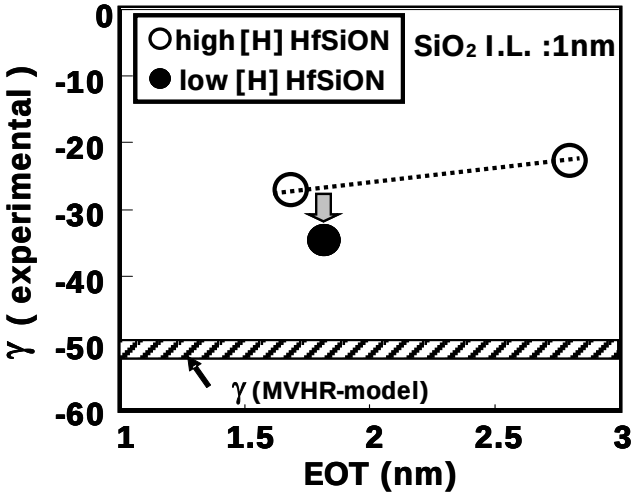


図 4.58 : high [H] HfSiON と low [H] HfSiON を用いた pMISFET における、負バイアスストレス下での破壊寿命の電圧加速係数(γ)の EOT 依存性。斜線で示した領域はこの試料における MVHR モデルから得られた電圧加速係数(γ)を示している。

本節では、HfSiON/ SiO_2スタックのpMISFETの劣化について詳細に検討を行った。破壊寿命の分布、ワイブルβにおいては、nMISFETの場合とは異なり、電極材料や注入電荷は依存せず、界面SiO_2層の破壊が支配的であることがわかった。また、SiO_2層の上部にHfSiON膜が存在することによって、界面準位生成や破壊が促進されることがわかった。第一原理計算により、その促進要因は、HfSiON膜中の水素が拡散して、界面SiO_2層を壊していく描像が考えられ、実際に、HfSiON膜中の水素量を抑制することによって、界面準位生成の抑制や、長寿命化が出来ることがわかった。high-k膜を用いたデバイス(特にpMISFET)の高信頼化を考える上で、high-k膜中の水素の制御、および、界面層の水素耐性の向上が必須であると考える。

4.7 本章のまとめ

本章では、HfSiON をゲート絶縁膜とする MOSFET の信頼性課題の一つである、経時絶縁破壊(Time Dependent Dielectric Breakdown：TDDB)に関する研究について述べた。

基板ホットキャリア注入下でのHfSiON膜の経時絶縁破壊特性についてSiO_2と比較を行い、考察を行った。その結果、HfSiON膜の絶縁破壊寿命は膜に注入される正孔の総量で決まらず、SiO_2の絶縁破壊とは異なることがわかった。また、HfSiONの絶縁破壊寿命は、注入されるキャリアのエネルギーや膜にかかる電界にはあまり依存せず、膜を通過するキャリアの量に強く依存し、正孔電流のほうが電子電流に比べてより破壊を引き起こしやすいことを明らかにした。これらの結果はHfSiON膜中の酸素欠損と電子、正孔との相互作用による、欠陥生成の機構を反映していると考えられる。

F 添加を用いて、HfSiON の初期トラップ、生成トラップの性質とそれらが信頼性(NBTI，TDDB)に与える影響を考察した。その結果、nMISFET では浅い準位と深い準位の電子トラップが存在し、その両方がストレスによって増加する。SILC にはこの両方の準位のトラップ生成が寄与するが、TDDB には浅い準位のトラップのみが寄与していると考えられる。また、pMISFET では初期正孔トラップと生成する正孔トラップは同じであり、それが SILC、TDDB、NBTI に寄与していると考えられる。

このように、それぞれの信頼性の種類(SILC、TDDB、NBTI)や極性によって、寄与するトラップの種類が異なっており、それぞれの信頼性の問題に適合したトラップの抑制が必要であることを明らかにした。

nMISFET において電極材料が異なる HfSiON 膜に対して、正電圧ストレスを印加した際の破壊挙動の違いについて考察を行った。その結果、絶縁膜の材料、膜厚、作り方は同じであるにもかかわらず、電極材料が異なると、破壊寿命の分布が異なり、破壊寿命の分布を表すワイブル β は膜中を流れる電流成分(電子と正孔の流量比)と強く相関をもつことを明らかにした。すなわち、膜中のリーク電流成分を変調するような膜構造を設計することにより、破壊分布の急峻な、より高信頼なデバイスを作ることが出来ると考えられる。

nMISFET において HfSiON 膜に対して、DC ストレスおよび AC ストレス(unipolar ストレス、bipolar ストレス)を印加した際の破壊挙動について調べた。その結果、DC ストレスと unipolar ストレス下では破壊寿命の分布は変わらないが、bipolar ストレス下では、破壊の分布が急峻になり、破壊寿命の分布を表すワイブル β は膜中を流れる電流成分(電子と正孔)の流量比と強く相関をもつことを明らかにした。SILC から求められる欠陥生成の時間依存性はストレスによって変化しないことから、ストレス下での電流成分のバランスが膜中で生成する欠陥の大きさを変調させていると考えている。

この結果は電極材料依存性の結果とも一致し、膜中のリーク電流成分を変調するような使用方法、もしくは膜構造を設計することにより、破壊分布の急峻な、より高信頼なデバイスを作ることが出来ると考えられる。

HfSiON/SiO_2スタックのpMISFETの劣化について詳細に検討を行い、絶縁破壊機構の考察を行った。pMISFETの破壊寿命の分布、ワイブルβにおいては、nMISFETの場合とは異なり、電極材料や注入電荷は依存せず、界面SiO_2層の破壊が支配的であることがわかった。また、SiO_2層の上部にHfSiON膜が存在することによって、界面準位生成や破壊が促進されることがわかった。第一原理計算により、その促進要因は、HfSiON膜中の水素が拡散して、界面SiO_2層を壊していく描像が考えられ、実際に、HfSiON膜中の水素量を抑制することによって、界面準位生成の抑制や、長寿命化が出来ることを明らかにした。high-k膜を用いたデバイス(特にpMISFET)の高信頼化を考える上で、high-k膜中の水素の制御、および、界面層の水素耐性の向上が必須であると考える。

参考文献

[1] K. F. Schuegraf and C. Hu: IEEE Trans. Electron Devices **41** (1994) p.761.

[2] T. Yamaguchi, I. Hirano, R. Iijima, K. Sekine, M. Takayanagi, K. Eguchi, Y. Mitani, and N. Fukushima: IEEE Int. Reliability Physics Symp., 2005, p. 67.

[3] M. Koyama, H. Satake, M. Koike, T. Ino, M. Suzuki, R. Iijima, Y. Kamimuta, A. Takashima, C. Hongo, and A. Nishiyama et al, IEDM p.931(2003)

[4] Y. Kamakura, H. Utsunomiya, T. Tomita, K. Umeda, and K. Taniguchi: IEDM Tech. Dig., 2004, 1997, p. 81.

[5] H. Satake, S. Takagi, and A. Toriumi: IEEE Int. Reliability Physics Symp., 1997, p. 156

[6] S. Zafar, Y. H. Kim, V. Narayanan, C. Cabral, V. Paruchuri, B. Doris, J. Stathis, A. Callegari, and M. Chudzik: Symp. VLSI Technology, 2006, p. 23.

[7] Y. Nakasaki, I. Hirano, K. Kato, and Y. Mitani: Microelectron. Eng. 86 (2009) p.1901.

[8] K. Seo, R. Sreenivasan, P. McIntyre, and K. C. Saraswat: IEDM Tech. Dig., 2005, p.429

[9] H. H. Tseng, P. J. Tobin, E. A. Hebert, S. Kalpat, M. E. Ramon, L. Fonseca, Z. X. Jiang, J. K. Schaeffer, R. I. Hegde, D. H. Triyoso, D. C. Gilmer, W. J. Taylor, C. C. Capasso, O. Adetutu, D. Sing, J. Conner, E. Luckowski, B. W. Chan, A. Haggag, S. Backer, R. Noble, M. Jahanbani, Y. H. Chiu, and B. E. White: IEDM Tech. Dig., 2005, p.713

[10] M. Denais, V. Huard, C. Parthasarathy, G. Ribes, F. Perrier, N. Revil, and A. Bravaix. ; IEEE Trans on Device and Materials Reliability, 4, 4 (2004) p.715

[11] J. K. Schaeffer, C. Capasso, R. Gregory, D. Gilmer, L. R. C. Fonseca, M. Raymond, C. Happ, M. Kottke, S. B. Samavedam, P. J. Tobin, and B. E. White, Jr.: J. Appl. Phys. 101, (2007) 014502

[12] W. S. Hwang, C. Shen, X. P. Wang, D. S. H. Chan, and B. J. Cho: Symp. on VLSI Technology Tech. Dig., 2007, p.156

[13] M. Goto, K. Tatsumura, S. Kawanaka, K. Nakajima, R. Ichihara, Y. Yoshimizu, H. Onoda, K. Nagatomo, T. Sasaki, T. Fukushima, A. Nomachi, S. Inumiya, H. Oguma, K. Miyashita, H. Hrakawa, S. Inaba, T. Ishida, A. Azuma, T. Aoyama, M. Koyama, K. Egichi, Y. Toyoshima: Symp. on VLSI Technology Tech. Dig., 2008, p.132

[14] S. Inumiya, K. Torii, and Y. Nara. : Proc. Int. Reliability Physics Symp., 2006, p.184

[15] W. Gordy and W. J. O. Thomas: J. Chem. Phys., 24, (1956) p.439

[16] L. Pauling : Cornell Univ. Press, Ithaca, New York 1960

[17] S. Fukatsu, I. Hirano, K. Tatsumura, A. Masada, S. Fujii, M. Goto, S. Inumiya, K. Nakajima, S. Kawanaka, T. Aoyama and Y. Mitani: Proceedings of International Reliability Physics Symposium (2009) p.367

[18] K. Tatsumura, M. Goto, S. Kawanaka, K.Nakajima, T. Schimizu, T. Ishihara, and M. Koyama: IEDM Tech. Dig., 2007, p.349

[19] J. Sune: IEEE Electron Deveice Letters, 22, 6 (2001) p.296

[20] W. Y. Loh, B. J. Cho, M. S. Joo, M. F. Li, D. SH, Chan, S. Mathew, and D -L. Kwon: IEDM Tech. Dig., 2003, p.927.

[21] Y. Nakasaki, I. Hirano, K. Kato, and Y. Mitani: Microelectronic Engineering, 86, 7-9, (2009) p.1901

[22] W. Y. Loh, B. J. Cho, M. S. Joo, M. F. Li, D. S,C han, S. Mathew, and D. -L. Kwong: IEDM Tech. Dig., 2003 p.927

[23] K. Torii, T. Aoyama, S. Kamiyama, Y. Tamura, S. Miyazaki, H. Kitajima, and T. Arikado: Symp. on VLSI Technology Tech. Dig., 2004, p.112

[24] E. Y. Wu, J. Sune, W. Lai, A. Vayshenker, E. Nowak, and D. Harmon: Microelectronics Reliability, 43, 8, (2003) p.1175

[25] D. J. Dimaria and J. H. Stathis: Appl. Phys. Lett., 71, 22, (1997) p.3230

[26] J. Sune and E. Y. Wu: IEDM Tech. Dig.,2005, p.388

[27] V. Huard, M. Denais, and F. Mnsieur: Integrated Reliability Workshop, 2004, p.4

[28] G. Ribes, S. Bruyere, M. Denais, F. Monsieur, V. Huard, D. Roy, G. Ghibaudo: Microelectronics Reliability, 45, (2005), p.1842

[29] G. Ribes, M. Rafik, D. Barge, S. Kalpat, M. Denais, V. Huard, and D.Roy: Int. Reliability Physics Symp., 2007, p.578

[30] Y. Nakasaki, I. Hirano, K. Kato, and Y. Mitani: Microelectronic Engineering, 88, 7, (2011) p.1457

[31] K. Kato: Phys. Rev. B 85 (2012) p.085307

第5章　結論

本論文では、CMOSの微細化、高性能化のために導入が進められている、高誘電率ゲート絶縁膜の長期信頼性について研究を行った成果をまとめたものである。以下に本研究の総括を行う。

第 1 章では、LSI のスケーリング、高誘電率ゲート絶縁膜の導入が必要となった背景について述べ、さらに、従来ゲート絶縁膜における信頼性として問題となっている現象や、高信頼化を実現するために検討されてきた技術について述べた。

第 2 章では実際に評価に用いたデバイスの作製プロセスの詳細と評価手法の詳細について述べた。

第3章ではHfSiON膜を用いたデバイスの温度バイアス不安定性(BTI: Bias Temperature Instability)に関する研究結果について述べ、正しく寿命を評価する手法の提案をおこなった。

HfSiONとSiO_2のNBTI現象についての比較を行い、HfSiONのしきい値シフトの時間依存性がSiO_2よりも小さい原因について調べた結果、SiO_2のNBTIはストレスによって界面準位が生成することが主要因であると考えられているが、HfSiON膜では、ストレスによる界面準位の生成だけでなく、HfSiON膜中の初期欠陥に電荷が捕獲されることによってしきい値シフトが起こっていることを実験的に明らかにした。ここで、初期欠陥による電荷の捕獲と界面準位の生成とのストレス時間依存性が異なるため、通常の時間依存性から外挿する方法だと寿命の見積りを大きく見誤る可能性があるため、初期欠陥による影響を取り除く解析手法を提案した。また、その手法を用いて、劣化の電界依存性や温度依存性を評価することから、HfSiON膜のNBTIの劣化機構についての議論を行った。

High-k膜では、膜中にある初期欠陥に電子が捕獲されしきい値シフトが起こってしまうことから、SiO_2膜では見られなかったnMISFETのPBTI(Positive Bias Temperature Instability)も問題となっている。そこで、HfSiON膜のPBTI、NBTIの劣化回復現象について着目し、特に、界面層膜厚の影響や電界依存性から、HfSiON膜のPBTI、NBTIの劣化、回復機構について検討した。その結果、HfSiONのPBTIの劣化回復挙動は、ストレス印加、開放に伴って膜中に電子が捕獲、放出されることが主要因であり、HfSiONのNBTIは界面準位の生成と膜中への電子捕獲、正孔捕獲、電子放出、正孔放出が要因となっていることを明らかにした。このことから、膜中への電荷の捕獲位置や極性によってしきい値シフトの回復率がストレス電界に依存し、DCストレス下とACストレス下とで電界加速係数が異なることから、実動作条件での寿命の予測、特に電界加速を行う場合注意が必要であることを明らかにした。

第 4 章ではHfSiON膜を用いたデバイスの経時絶縁破壊(TDDB: Time-dependent Dielectric Breakdown)に関する研究結果について述べ、nMISFET、pMISFETに対する寿命改善指針を提案した。

基板ホットキャリア注入下でのHfSiON膜の経時絶縁破壊特性についてSiO_2と比較を行い、考察を行った。その結果、HfSiON膜の絶縁破壊寿命は膜に注入される正孔の総量で決まらず、SiO_2の絶縁破壊とは異なることがわかった。また、HfSiONの絶縁破壊寿命は、注入されるキャリアのエネルギーや膜にかかる電界にはあまり依存せず、膜を通過するキャリアの量に強く依存し、正孔電流のほうが電子電流に比べてより破壊を引き起こしやすいことを明らかにした。これらの結果はHfSiON膜中の酸素欠損と電子、正孔との相互作用による、欠陥生成の機構を反映していると考えられる。

F 添加を用いて、HfSiON の初期トラップ、生成トラップの性質とそれらが信頼性(NBTI，TDDB)に与える影響を考察した。その結果、nMISFET では浅い準位と深い準位の電子トラップが存在し、その両方がストレスによって増加する。SILC にはこの両方の準位のトラップ生成が寄与するが、TDDB には浅い準位のトラップのみが寄与していると考えられる。また、pMISFET では初期正孔トラップと生成する正孔トラップは同じであり、それが SILC、TDDB、NBTI に寄与していると考えられる。

このように、それぞれの信頼性の種類(SILC、TDDB、NBTI)や極性によって、寄与するトラップの種類が異なっており、それぞれの信頼性の問題に適合したトラップの抑制が必要であることを明らかにした。

n-FET において電極材料が異なる HfSiON 膜に対して、正電圧ストレスを印加した際の破壊挙動の違いについて考察を行った。その結果、絶縁膜の材料、膜厚、作り方は同じであるにもかかわらず、電極材料が異なると、破壊寿命の分布が異なり、破壊寿命の分布を表すワイブルβは膜中を流れる電流成分(電子と正孔の流量比)と強く相関をもつことを明らかにした。すなわち、膜中のリーク電流成分を変調するような膜構造を設計することにより、破壊分布の急峻な、より高信頼なデバイスを作ることが出来ると考えられる。

nMISFET において HfSiON 膜に DC ストレスおよび AC ストレス(unipolar ストレス、bipolar ストレス)を印加した際の破壊挙動について調べた。その結果、DC ストレスと unipolar ストレス下では破壊寿命の分布は変わらないが、bipolar ストレス下では、破壊の分布が急峻になり、破壊寿命の分布を表すワイブルβは膜中を流れる電流成分(電子と正孔)の流量比と強く相関をもつことを明らかにした。SILC から求められる欠陥生成の時間依存性はストレスによって変化しないことから、ストレス下での電流成分のバランスが膜中で生成する欠陥の大きさを変調させていると考えている。

この結果は電極材料依存性の結果とも一致し、膜中のリーク電流成分を変調するような使用方法、もしくは膜構造を設計することにより、破壊分布の急峻な、より高信頼なデバイスを作ることが出来ると考えられる。

HfSiON/SiO_2スタックのpMISFETの劣化について詳細に検討を行い、絶縁破壊機構の考察を行った。pMISFETの破壊寿命の分布、ワイブルβにおいては、nMISFETの場合とは異なり、電極材料や注入電荷は依存せず、界面SiO_2層の破壊が支配的であることを明らかにした。また、SiO_2層の上部にHfSiON膜が存在することによって、界面準位生成や破壊が促進されることを明らかにした。第一原理計算により、その促進要因は、HfSiON膜中の水素が拡散して、界面SiO_2層を壊していく描像が考えられ、実際に、HfSiON膜中の水素量を抑制することによって、界面準位生成の抑制や、長寿命化が出来ることを

明らかにした。high-k膜を用いたデバイス(特にpMISFET)の高信頼化を考える上で、high-k膜中の水素の制御、および、界面層の水素耐性の向上が必須であると考える。

以上で述べたように、HfSiON の信頼性評価を詳細に行った結果、高誘電率ゲート絶縁膜特有の劣化機構、絶縁破壊機構が存在することがわかり、それらに基づいて正しく寿命予測を行うための指針、および、更に高信頼なデバイスを作製するための指針を提案した。

近年ではフラッシュメモリや抵抗変化メモリにおいても、high-k 膜の適用が広く検討されている。本研究の知見が CMOS 向けデバイスだけでなく、新しいデバイスの開発、高信頼化技術の発展の一助となることを願う。

研究業績

原著論文

1. “Influence of Traps and Carriers on Reliability in HfSiON/SiO_2 Stacks”
Izumi Hirano, Takeshi Yamaguchi, Yasushi Nakasaki, Katsuyuki Sekine and Yuichiro Mitani
IEEE Transactions on Device and Materials Reliability, vol. 9, no. 2 p.163-70, June 2009

2. “A study of dielectric breakdown mechanisms in MG/HK MISFETs：From the viewpoint of TDDB statistics”
Izumi Hirano, Koichi Kato, Yasushi Nakasaki, Shigeto Fukatsu, Masakazu Goto, Seiji Inumiya, Katsuyuki Sekine and Yuichiro Mitani
ECS Transaction vol.33 Issue3 Defect, Traps, and Reliability I (2010)

3. “Effects of Electron Current and Hole Current on Dielectric Breakdown in HfSiON Gate Stacks”
Izumi Hirano, Takeshi Yamaguchi, Yasushi Nakasaki, Ryosuke Iijima, Katsuyuki Sekine, Mariko Takayanagi, Kazuhiro Eguchi and Yuichiro Mitani
Japanese Journal of Applied Physics, Vol.51 Issue 4 pp.041105 (2012)

4. “Characteristics od Defect Generation and Breakdown in SiO2 for Polycrystalline Silicon Channel Field-Effect Transistor ”
Izumi Hirano, Masumi Saitoh, Toshinori Numata, and Yuichiro Mitani
Japanese Journal of Applied Physics, Vol.51 Issue 4 pp.04DA02 (2012)

5. “Time-dependent Dielectric Breakdown (TDDB) Distribution in n-MOSFET with HfSiON Gate Dielectrics under DC and AC Stressing”
Izumi Hirano, Yasushi Nakasaki, Shigeto Fukatsu, Masakazu Goto, Koji Nagatomo, Seiji Inumiya, Katsuyuki Sekine, Yuichiro Mitani and Kikuo Yamabe
Microelectronics Reliability 53 (2013), pp. 1868-1874

(以下共著)

6. “Slow structural relaxation in liquid Te-Se mixture”
Makoto Yao, **Izumi Hirano**, Hiroaki Kajikawa, Hirotaka Kohno, Naoki Itokawa, Yukio Kajihara and Yusuke Hiejima
Journal of Non-Crystalline Solid vol.312-314 (2002) p.361

7. “Effect of Nitrogen Concentration and Post-treatment on Reliability of HfSiON Gate Dielectrics in Inversion State”
Motoyuki Sato, Tomonori Aoyama, Katsuyuki Sekine, Takeshi Yamaguchi, **Izumi Hirano**, Kazuhiro Eguchi and Yoshitaka Tsunashima
Japanese Journal of Applied Physics, Vol.45, No.4B, (2006),p.2949

8. “Impact of Polarity of the Gate Bias and Hf concentration on Breakdown of HfSiON/SiO2 Gate Dielectrics ”
Motoyuki Sato, **Izumi Hirano**, Tomonori Aoyama, Katsuyuki Sekine, Takuya Kobayashi, Takeshi Yamaguchi, Kazuhiro Eguchi and Yoshitaka Tsunashima
IEEE Transaction on Electron Devices, Vol.54, No.9 (2007)p.2445

9. “Method of Decoupling the Bias Temperature Instability Component from Hot Carrier Degradation in Ultrathin High-k Metal-Oxide-Semiconductor Field-Effect Transistors”
Akiko Masada, **Izumi Hirano**, Shigeto Fukatsu and Yuichiro Mitani: Japanese Journal of Applied Physics., 49, 7, (2010). 0711021

10. “Atomic-scale theory on current-assisted thermochemical degradation mode and its field acceleration via charge trapping of O vacancy in $HfSiO_4$”
Yasushi Nakasaki, **Izumi Hirano**, Koichi Kato and Yuichiro Mitani
Microelectronic Engineering vol.86 Isuue 7-9 (2009) p.1901

11. “Atomic-scale theory on degradation of HfSiON gate stacks by atomic hydrogen accompanied by its interaction with oxygen vacancy and substitutional nitrogen”
Yasushi Nakasaki, **Izumi Hirano**, Koichi Kato and Yuichiro Mitani
Microelectronic Engineering vol.88 isuue 7 (2011) p.1457

国際学会発表および proceedings (査読あり)

1. “Significant role of cold carriers for dielectric breakdown in HfSiON”
Izumi Hirano, Takeshi Yamaguchi, Katsuyuki Sekine, Mariko Takayanagi, Kazuhiro Eguchi ,Yoshitaka Tsunashima and Hideki Satake
2004 Symposium on VLSI Technology. Digest of Technical Papers, p.142

2. ” Influences of initial bulk traps on Negative Bias Temperature Instability of HfSiON”
Izumi Hirano, Takeshi Yamaguchi, Yuichiro Mitani, Ryosuke Iijima, Katsuyuki Sekine, Mariko Takayanagi, Kazuhiro Eguchi and Noburu Fukushima,
Extended Abstracts of the 2005 International Conference on Solid State Device and Materials

p.20

3. “Impact of Captured-Carrier Distribution on Recovery Characteristics of Positive- and Negative- Bias Temperature Instability in HfSiON/SiO_2 Gate Stack”
Izumi Hirano, Takeshi Yamaguchi, Yuichiro Mitani, Katsuyuki Sekine, Mariko Takayanagi, Kazuhiro Eguchi and Hideki Satake
Extended Abstracts of the 2006 International Conference on Solid State Device and Materials p.1120

4. “Influence of pre-existing and generated traps on reliability in HfSiON/SiO2/ stacks with fluorine incorporation”
Izumi Hirano, Takeshi Yamaguchi, Yasushi Nakasaki, Katsuyuki Sekine and Yuichiro Mitani,
Proceedings of International Reliability Physics Symposium (2008) p.659

5. “Impact of metal gate electrode on Weibull distribution of TDDB in HfSiON gate dielectrics”
Izumi Hirano, Yasushi Nakasaki, Shigeto Fukatsu, Akiko Masada, Masakazu Goto, Koji Nagatomo, Seiji Inumiya, Katsuyuki Sekine, and Yuichiro Mitani,
Proceedings of International Reliability Physics Symposium (2009) p.355

6. “Novel TDDB Mechanism for p-FET accelerated by Hydrogen from HfSiON Film”
Izumi Hirano, Koichi Kato, Yasushi Nakasaki, Shigeto Fukatsu, Masakazu Goto, Seiji Inumiya, Katsuyuki Sekine Motoyuki Sato and Yuichiro Mitani
Proceedings of International Reliability Physics Symposium (2010) p.424

7. “A study of dielectric breakdown mechanisms in MG/HK MISFETs：From the viewpoint of TDDB statistics”(invite)
Izumi Hirano, Koichi Kato, Yasushi Nakasaki, Shigeto Fukatsu, Masakazu Goto, Seiji Inumiya, Katsuyuki Sekine and Yuichiro Mitani
Abstract of 218th ECS Meeting, (2010)

8. “Influence of channel area scaling on Weibull distribution of TDDB for poly-Si channel FET”
Izumi Hirano, Masumi Saito, Toshinori Numata and Yuichiro Mitani
Extended Abstracts of the 2011 International Conference on Solid State Device and Materials p.897

(以下共著)

9. “Universal thermal activation processand current induced degradation on dielectric breakdown in HfSiO(N) ”
Takeshi Yamaguchi, **Izumi Hirano**, Katsuyuki Sekine, Seiji Inumiya, Kazuhiro Eguchi, Mariko Takayanagi and Noburu Fukushima
Extended Abstracts of the 2004 International Conference on Solid State Device and Materials p.78

10. “Thermochemical understanding of dielectric breakdown in HfSiON with current acceleration”
Takeshi Yamaguchi, **Izumi Hirano**, Ryosuke Iijima, Katsuyuki Sekine, Mariko Takayanagi, Kazuhiro Eguchi, Yuichiro Mitani and Noburu Fukushima
Proceedings of International Reliability Physics Symposium (2005) p.67

11. “Effect of Nitrogen Concentration and Post-treatment on Reliability of HfSiON Gate Dielectrics in Inversion States”
Motoyuki Sato, Tomonori Aoyama, Katsuyuki Sekine, Takeshi Yamaguchi, **Izumi Hirano,** Kazuhiro Eguchi and Yoshitaka Tsunashima
Extended Abstracts of the 2005 International Conference on Solid State Device and Materials p.26

12. “Impact of Polarity and Hf concentration on Breakdown of HfSiON/SiO2 Gate Stack”
Motoyuki Sato, **Izumi Hirano,** Tomonori Aoyama, Katsuyuki Sekine, Takuya Kobayashi, Takeshi Yamaguchi, Kazuhiro Eguchi and Yoshitaka Tsunashima
2006 Symposium on VLSI Technology. Digest of Technical Papers, p.28

12. “Breakdown Voltage Prediction of Ultra-Thin Gate Insulator in Electrostatic Discharge (ESD) Based on Anode Hole Injection”
A. Kinoshita, Y. Mitani, K. Matsuzawa, H. Kawashima, C. Sutoh, J. Kurihara, T. Hiraoka, **I. Hirano,** M. Muta, M. Takayanagi, and N. Shigyo
Proceedings of International Reliability Physics Symposium (2006) p.623

13. “Atomic-scale theory on current-assisted thermochemical degradation mode and its filed acceleration via charge trapping of O vacancy in $HfSiO_4$”
Yasushi Nakasaki, **Izumi Hirano,** Koichi Kato and Yuichiro Mitani
INFOS 2009

14. “Decoupling method of BTI component from hot carrier degradation in ultra-thin HfSiON MOSFETs”
Akiko Masada, **Izumi Hirano,** Shigeto Fukatsu and Yuichiro Mitani
Extended Abstracts of the 2009 International Conference on Solid State Device and Materials p.1022

15. “Dual nature of metal gate electrode effects on BTI and dielectric breakdown in TaC/HfSiON MISFETs”
Shigeto Fukatsu, **Izumi Hirano,** Kosuke Tatsumura, Akiko Masada, Shosuke Fujii, Masakazu Goto, Seiji Inumiya, Kazuaki Nakajima, Shigeru Kawanaka, Tomonori Aoyama and Yuichiro Mitani
Proceedings of International Reliability Physics Symposium (2009) p.367
16. “Atomic-scale theory on c degradation of HfSiON gate stacks by atomic hydrogen accompanied by its interaction with oxygen vacancy and substitutional nitrogen”
Yasushi Nakasaki, **Izumi Hirano,** Koichi Kato and Yuichiro Mitani
INFOS 2011
17. “Comprehensive Investigations on Neutral and Attractive Traps in Random Telegraph Signal Noise Phenomena using (100)- and (110)-Orientated CMOSFETs”
Jiezhi Chen, **Izumi Hirano,** Kosuke Tatsumura and Yuichiro Mitani
2012 Symposium on VLSI Technology. Digest of Technical Papers, p141

18. “Comprehensive Understandings on Reliability Modulations in Compressive Stressed (100)- and (110)-Orientated Silicon CMOSFETs”
Jiezhi Chen, **Izumi Hirano,** Masumi Saitoh, Kosuke Tatsumura and Yuichiro Mitani
Extended Abstracts of the 2012 International Conference on Solid State Device and Materials p.825

日本語論文

1. 「次世代高誘電率ゲート絶縁膜 HfSiO の寿命予測技術」
平野 泉
東芝レビュー 2005 vol.60 no.9

2. 「次世代高誘電率ゲート絶縁膜 HfSiON の閾値劣化機構と寿命予測技術」
平野 泉, 山口 豪, 関根 克行
東芝レビュー 2007 vol.62 no.7 p.43

(以下共著)

3. 「HfSiON 高誘電率ゲート絶縁膜技術」
関根 克行、犬宮 誠治、金子 明生、佐藤 基之、**平野 泉**, 山口 豪, 江口 和弘、 綱島 祥隆
応用物理 2004 73 (9) p.1200

4. 「次世代 LSI に向けたメタルゲート電極/高誘電率ゲート絶縁膜の高信頼化技術」
深津 茂人、**平野 泉**, 三谷 祐一郎
東芝レビュー 2010 vol.65 no.7 p.28

国内学会発表（査読なし）

1. 「液体Se-Te混合系の金属一非金属転移領域における超音波吸収異常 .組成依存性」
平野 泉、梶川 宏明、河野 博高、梶原 行夫、比江嶋 祐介、安部 健一郎、八尾 誠
日本物理学会(立命館大) 2002年3月

2. 「窒素添加 Zr シリケートの耐熱性／比誘電率の評価」
平野 泉、小山 正人、高島 章、鈴木 正道、西山 彰
2003 年 春季応用物理学会

3. 「定電圧ストレス下における Hf シリケート膜の欠陥生成レートと劣化機構の考察」
平野 泉、三谷 祐一郎、山口 豪、関根 克行、高柳 万里子、江口 和弘、綱島 祥隆、佐竹 秀喜
2003 年 秋季応用物理学会

4. 「絶縁破壊に寄与する HfSiON 膜中の欠陥の及ぼす領域と比誘電率の関係」
平野 泉、山口 豪、関根 克行、高柳 万里子、江口 和弘、綱島 祥隆、佐竹 秀喜
2004 年 春季応用物理学会

5. 「HfSiON 膜の絶縁破壊におけるエネルギーに依存しないキャリアの影響」
平野 泉、山口 豪、関根 克行、高柳 万里子、江口 和弘、綱島 祥隆、福島 伸
2004 年 秋季応用物理学会

6. 「HfSiO(N)における欠陥生成と破壊機構の考察」
平野 泉、山口 豪、関根 克行、高柳 万里子、江口 和弘、綱島 祥隆、佐竹 秀喜
2004 年 酸化膜研究会（熱川）

7. 「HfSiO(N)膜の欠陥生成と絶縁破壊機構」
平野 泉、山口 豪、関根 克行、高柳 万里子、江口 和弘、綱島 祥隆、佐竹 秀喜
2004 年 シリコン材料・デバイス研究会(招待講演)

8. 「NBT ストレス下における HfSiON 膜の閾値シフトと界面準位生成の機構」
平野 泉、山口 豪、三谷 祐一郎、関根 克行、高柳 万里子、江口 和弘、福島 伸
2005 年 春季応用物理学会

9. 「NBT ストレス下における HfSiON 膜　の閾値シフトの膜厚および電界依存性」
平野 泉、山口 豪、三谷 祐一郎、関根 克行、高柳 万里子、江口 和弘、福島 伸

2005 年 秋季応用物理学会

10.「HfSiON 膜の絶縁破壊における膜中を流れるキャリアの寄与」
平野 泉、山口 豪、三谷 祐一郎、飯島 良介、関根 克行、高柳 万里子、江口 和弘、福島 伸
2005 年 ゲートスタック研究会（三島）

11.「HfSiON ゲート絶縁膜に特徴的な NBT 劣化・回復挙動」
平野 泉、山口 豪、三谷 祐一郎、飯島 良介、関根 克行、高柳 万里子、江口 和弘、福島 伸
2006 年 春季応用物理学会

12.「HfSiON 膜中の初期欠陥が BT 劣化に及ぼす影響」
平野 泉、山口 豪、三谷 祐一郎、飯島 良介、中崎 靖、関根 克行、高柳 万里子、江口 和弘、佐竹 秀喜
2007 年 春季応用物理学会（招待講演(シンポジウム)）

13.「薄膜 HfSiON の絶縁破壊に対するトンネル電流の寄与」
平野 泉、山口 豪、深津 茂人、関根 克行、三谷 祐一郎
2007 年 秋季応用物理学会

14.「HfSiON 膜中トラップと電流が絶縁破壊に及ぼす影響」
平野 泉、山口 豪、中崎 靖、関根 克行、三谷 祐一郎
2008 年 ゲートスタック研究会(三島)

15.「HfSiON の破壊寿命分布の電極依存性」
平野 泉、中崎 靖、深津 茂人、正田 明子、後藤 正和、長友 浩二、犬宮 誠治、関根 克行、三谷 祐一郎
2009 年 秋季応用物理学会

16.「HfSiON 膜中の電流成分の比が破壊寿命のワイブル分布に及ぼす影響」
平野 泉、中崎 靖、深津 茂人、正田 明子、後藤 正和、長友 浩二、犬宮 誠治、関根 克行、三谷 祐一郎
2009 年 秋季応用物理学会

17.「High-k ゲートスタックにおける p-FET 特有の破壊メカニズム～ High-k 膜中の水素の影響～」
平野 泉、加藤 弘一、中崎 靖、深津 茂人、正田 明子、後藤 正和、長友 浩二、犬宮 誠治、関根 克行、三谷 祐一郎
2010 年 秋季応用物理学会

謝辞

本論文をまとめるにあたり、終始懇切なる御指導と御鞭撻を賜った筑波大学大学院数理物性科学研究科ナノサイエンス・ナノテクノロジー専攻　山部紀久夫教授に心より深く感謝いたします。

また、本論文の作成に当たり、貴重な御助言、御指導をいただきました、筑波大学大学院数理物性科学研究科ナノサイエンス・ナノテクノロジー専攻　白石賢二教授、筑波大学大学院数理物性科学研究科ナノサイエンス・ナノテクノロジー専攻　佐野伸行教授、筑波大学大学院数理物性科学研究科ナノサイエンス・ナノテクノロジー専攻　丹羽正昭教授、筑波大学大学院数理物性科学研究科ナノサイエンス・ナノテクノロジー専攻　山田啓作教授、筑波大学大学院数理物性科学研究科ナノサイエンス・ナノテクノロジー専攻　末益崇教授、筑波大学大学院数理物性科学研究科　蓮沼隆講師に深く感謝いたします。

本論文は、筆者が 2002 年から 2013 年にかけて株式会社東芝研究開発センター、および筑波大学大学院博士課程在籍時において得られた業績をまとめたものです。本研究の遂行に当たり、終始有益なる御指導、御助言をいただいた、東芝研究開発センターLSI 基盤技術ラボラトリー　福島伸　元室長、西山彰　元室長、古賀淳二 室長、加藤弘一 研究主幹、佐竹秀喜 研究主幹、三谷祐一郎 研究主幹、小山正人 研究主幹、村岡浩一 研究主幹、沼田敏典 主任研究員、中崎靖 研究主務、市原玲華　研究主務、正田明子 主事、現東芝研究開発センター電子デバイスラボラトリー　飯島良介 研究主務、　現東芝セミコンダクター&ストレージ社　江口和弘 主幹、高柳万里子 参事、山口豪 参事、関根克行 参事、青山知憲 主査、犬宮誠治 主査、川中 繁 主査、佐藤基之 主務、長友浩二 主務、深津茂人 主務、小林琢也 主務、後藤正和 主事、現東芝セミコンダクター&ストレージ社 新規デバイス開発部　豊島義明 部長に心から感謝いたします。また本研究を進めるにあたり、有益な議論とご協力をいただいた、LSI 基盤技術ラボラトリー、セミコンダクター&ストレージ社の各位に深く感謝いたします。

末筆ながら、筆者を終始支援してくれた、両親、そして、本研究の遂行と論文を執筆する上で支えとなってくれた夫 章輔、娘 樹に心より感謝します。