高集積半導体不揮発性メモリにおける高信頼化技術の研究

石田猛

２０１３年　２月

筑波大学大学院博士課程

数理物質科学研究科博士論文

博士（工学）

高集積半導体不揮発性メモリにおける高信頼化技術の研究

石田猛

ナノサイエンス・ナノテクノロジー専攻

目次

1. 序論 5
1-1 緒言 5
1-1-1 半導体デバイス市場
1-1-2 微細加工技術による集積回路の高集積化
1-2 フラッシュメモリ 8
1-2-1 フラッシュメモリの位置付け
1-2-2 フラッシュメモリの分類
1-2-3 フラッシュメモリの信頼性課題
1-2-4 微細化に伴う信頼性課題の深刻化
1-3 本論文の目的 15
1-4 大容量不揮発性メモリの将来 15
1 章の参考文献

2. 浮遊ゲート型フラッシュメモリ 19
2-1 緒言 19
2-1-1 デバイス構造
2-1-2 動作機構
2-2 信頼性課題 23
2-2-1 RTN によるしきい電圧の動的ゆらぎ
2-2-2 SILC の動的ゆらぎ(V-SILC)
2-3 本研究の目的 26
2-4 V-SILC の解析 27
2-4-1 通常の SILC と V-SILC の関係
2-4-2 実験方法
2-4-3 結果と考察
2-4-3-1 通常の SILC の発生
2-4-3-2 V-SILC の発生
2-4-3-3 V-SILC の発生率
2-4-3-4 V-SILC がフラッシュメモリの信頼性に及ぼす影響
2-4-3-5 フラッシュメモリにおける V-SILC 抑制のガイドライン
2-4-3-6 2 値 V-SILC の詳細解析結果
2-4-3-7 V-SILC の状態遷移機構
2-4-4 まとめ
2-5 今後の高速・高密度化の指針 43
2-6 フラッシュメモリ以外のデバイスにおける動的ゆらぎ問題 43
2-7 2 章のまとめ 45
2 章の参考文献

3. MONOS 型フラッシュメモリ 51
3-1 緒言 51
3-1-1 デバイス構造
3-1-2 動作機構
3-2 信頼性課題 55
3-3 本研究の目的 56
3-4 トラップ分布の解析 56
3-4-1 実験方法
3-4-1-1 アバランシェ注入
3-4-1-2 トラップ分布の解析方法
3-4-1-3 リテンション測定方法
3-4-1-4 試料
3-4-1-5 測定システム
3-4-2 結果と考察
3-4-2-1 電子トラップ分布
3-4-2-2 正孔トラップ分布
3-4-2-3 リテンション特性の窒化膜厚依存性
3-4-3.まとめ
3-5 今後の高速・高密度化の指針 73
3-6 3 章のまとめ 74
3 章の参考文献

4.結論 79

付録 81
付録Ⅰ 新メモリ 81
付録Ⅱ 酸化膜中トラップの評価 89
付録Ⅲ 酸化膜/窒化膜積層構造における窒化膜の比誘電率 91
付録Ⅳ MNOS 構造における電子及び正孔トラップ分布の解析 94
付録の参考文献

研究業績一覧 101

謝辞 105

略称一覧

AG-AND: Assist Gate AND

BiCS: Bit-Cost Scalable

BTBT-HHI: Band to Band Tunneling induced Hot Hole Injection

BTI: Bias Temperature Instability

CHEI: Channel Hot Electron Injection

CIM: Computer Integrated Manufacturing

CMOS: Complementary-MOS

C-V: Capacitance-Voltage

DRAM: Dynamic RAM

DS-CHEI: Drain Side CHEI

DSP: Digital Signal Processor

ECC: Error Correcting Code

EIS: Electron Injection Satistics

EOT: Equivalent Oxide Thickness

EPOQUE: Exponential POtential based QUantum mechanical Extraction

EPROM: Erasable Programmable ROM

FeRAM: Ferroelectric RAM

FG: Floating Gate

FN: Fowler-Nordheim

FNT EE w/FFI: FNT EE with Field-Enhancing tunneling Injector

FNT EE: FNT Electron Ejection

FNT EI: FNT Electron Injection

FNT: FN tunneling

FPLD: Field Programmable Logic Device

HDD: Hard Disk Drive

IC: Integrated Circuit

ITRS: International Technology Roadmap for Semiconductors

LPCVD: Low Pressure Chemical Vapor Deposition

MCP: Multi Chip Package

MCU: Micro Control Unit

MIS: Metal Insulator Semiconductor

MLC: Multiple Level Cell

MNOS: Metal Nitride Oxide Silicon

MONOS: Metal Oxide Nitride Oxide Silicon

MOS: Metal Oxide Semiconductor

MOSFET: MOS-Field Effect Transistor

MPU: Micro Processing Unit

MTJ: Magnetic Tunneling Junction
ONO: Oxide Nitride Oxide
PC: Personal Computer
PCRAM: Phase Change RAM
PROM: Programmable ROM
QLC: Quad Level Cell
RAM: Random Access Memory
ReRAM: Resistance RAM
ROM: Read Only Memory
RTN: Random Telegraph Noise
SILC: Stress Induced Leakage Current
SiN: Silicon Nitride
SLC: Single Level Cell
SNDM: Scanning Nonlinear Dielectric Microscopy
SOC: System on a Chip
SONOS: Silicon Oxide Nitride Oxide Silicon
SRAM: Static RAM
SS-CHEI: Source Side CHEI
SSD: Solid State Drive
STT-RAM: Spin Transfer Torque RAM
TAT: Trap Assisted Tunneling
TEG: Test Element Group
TEM: Transmission Electron Microscopy
TLC: Triple Level Cell
TMR: Tunnel Magneto-resistance
USB: Universal Serial Bus
VJL: Variable Junction Leakage
VRT: Variable Retention Time
V-SILC: Variable SILC

1. 序論

第 1 章では、半導体デバイスの市場規模やその高性能・低価格化を実現するための微細加工技術の推移について説明した後、半導体不揮発性メモリとしてのフラッシュメモリの位置付け、分類、信頼性課題について説明する。その後、微細化に伴う信頼性課題の深刻化について説明し、本論文の目的を示す。更に、大容量不揮発性メモリの将来についても触れる。

1-1 緒言

1-1-1 半導体デバイス市場

集積回路や MPU(Micro Processing Unit)などに代表される半導体デバイスは、情報通信システム、交通システム、都市システム、電力システム、医療システムなど社会のあらゆるシーンで人間社会の生活を支えるインフラ基盤の礎となっている。

半導体デバイスの世界市場は 2001 年には約 1,390 億ドルであったが、2011 年には約 3,000 億ドルの巨大市場に成長しており、今後も拡大していく見込みである（図 1-1）[1]。半導体デバイスをディスクリート、オプトエレクトロニクス、センサー/アクチュエーター、集積回路に分類すると、集積回路が最も市場規模が大きく、8 割以上を占めている。集積回路は更に表 1-1 に示すように、MOS(Metal Oxide Semiconductor)マイクロ、ロジック、MOS メモリ、アナログ IC(Integrated Circuit)に分類できる。各分類の市場規模の推移を図 1-2 に示す。MOS マイクロ、ロジック、MOS メモリで集積回路市場全体の 8 割以上を占めており、特に競争の厳しい市場である。

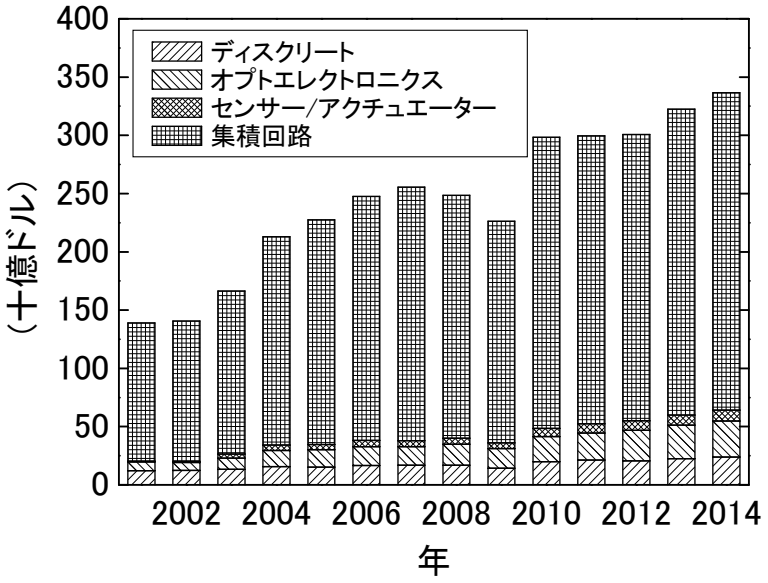


図 1-1 半導体デバイス世界市場の年次推移[1]。2012 年以降は予測

表 1-1 集積回路の分類

分類	種類
MOSマイクロ	MOS MPU、MOS MCU、MOS DSP
ロジック	デジタルバイポーラ、汎用MOSロジック MOSゲートアレイ、 MOSスタンダードセル&FPLD、 MOSディスプレイドライバ、 MOS特定用途向けロジック
MOSメモリ	DRAM、SRAM、マスクPROM、EPROM フラッシュメモリ、その他メモリ
アナログIC	標準リニアIC、専用アナログIC

MCU: Micro Control Unit

DSP: Digital Signal Processor

FPLD: Field Programmable Logic Device

DRAM: Dynamic Random Access Memory

SRAM: Static RAM

PROM: Programmable Read Only Memory

EPROM: Erasable Programmable-ROM

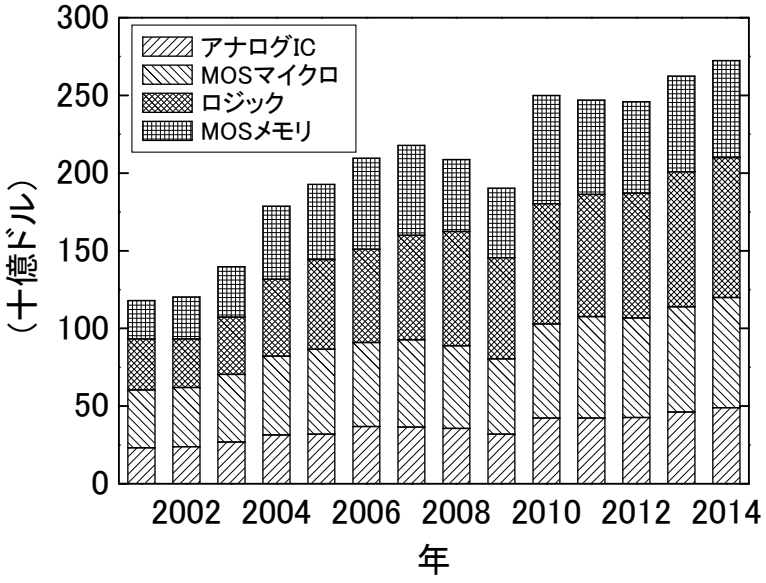


図 1-2 集積回路世界市場の年次推移[1]。2012 年以降は予測

1-1-2 微細加工技術による集積回路の高集積化

集積回路はこれまで40年以上にわたって『集積回路上のトランジスタ数は18～24か月毎に倍になる』という経験則、『ムーアの法則[2]』に従って微細加工技術の進歩と共に高性能・低価格化を実現してきた。微細化を牽引しているDRAM及びフラッシュメモリの最小加工寸法の推移を図1-3に示す[3]。2000年代の初めには100 nmを超えていた最小加工寸法が、2011年には20 nm台となり、2020年代には10 nmを下回ると予測されている。

これまで、微細加工技術の進歩に伴って、集積回路の高集積化が進むと共に、MOS マイクロ及びロジックの高速化、MOSメモリの大容量化が進んできた。例えば、intel社製のPC(Personal Computer)向けMPUでは、2001年から2011年にかけて演算能力は100倍以上に向上しており[1]、フラッシュメモリの1チップ当たりの容量では、同じ期間で約190倍に向上している(図1-4)[3]。今後は、微細加工技術の進歩は鈍るものの、デバイス構造や材料の変更等により引続き集積回路の高性能・低価格化が達成されていく見込みである。

一方、微細化に伴って、半導体デバイスの信頼性を確保することが困難になってきている。本論文では、半導体デバイスの内、特に不揮発性メモリであるフラッシュメモリに焦点を当てて、その信頼性課題、エンジニアリングによる課題克服のためのアプローチについて議論する。

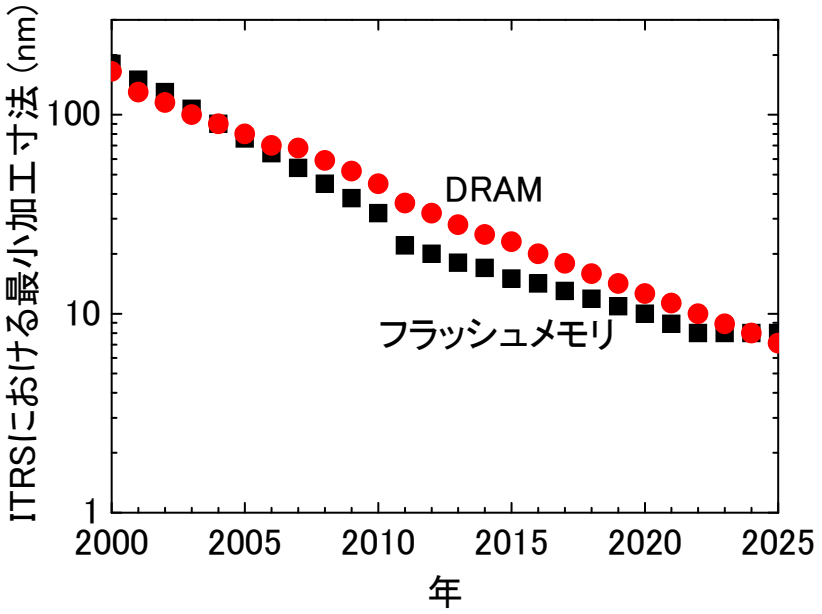


図1-3 半導体微細加工技術による最小加工寸法の推移[3]。2011年以降は予測
ITRS: International Technology Roadmap for Semiconductors

[1] PentiumIII(Tualatin)とCore i7(Sandy Bridge)のFLOPS(Floating-point Operations Per Second)理論値の比較

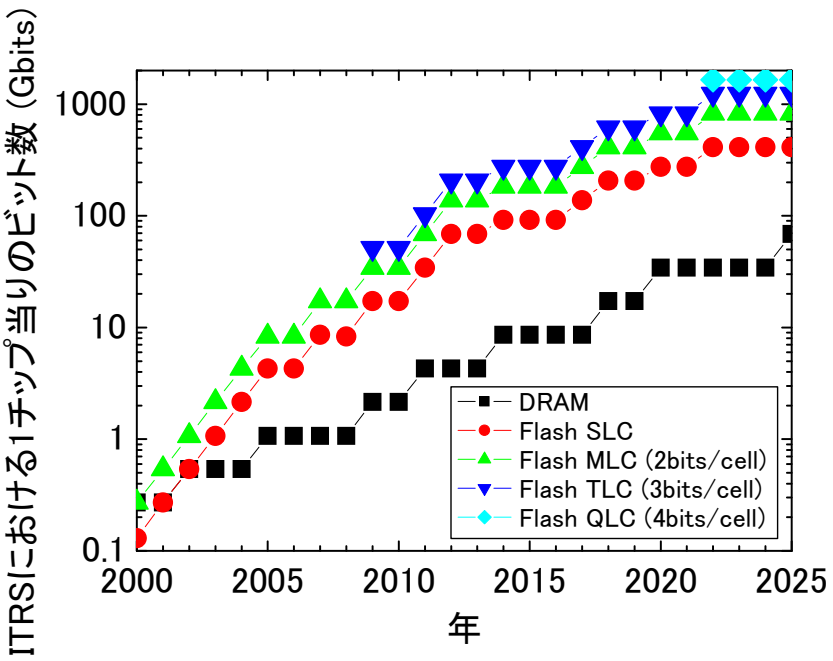


図 1-4 DRAM とフラッシュメモリのチップ当たり容量の年次推移[3]。
2011 年以降は予測
SLC: Single Level Cell
MLC: Multiple Level Cell
TLC: Triple Level Cell
QLC: Quad Level Cell

1-2 フラッシュメモリ

フラッシュメモリは情報ストレージとして幅広く利用されている半導体不揮発性メモリである。半導体の特徴である高速動作、低消費電力、高信頼性、小型軽量といった特徴を活かし、機器組込みメモリとして、あるいは外部記憶装置として、急速に市場を拡大している。その用途は携帯機器のデータやコード(プログラム等)格納、SD(Secure Digital)メモリーカード等の可搬型マルチメディアデータ記憶媒体、MCU や SOC(System on a Chip)のオンチップメモリ、標準インターフェースを備えた SSD(Solid State Drive)など多岐にわたり、産業・民生の両分野でなくてはならないメモリとなっている。本節ではフラッシュメモリの位置付けを説明した後、代表的なフラッシュメモリ技術を動作原理から分類し、信頼性課題について説明する。

1-2-1 フラッシュメモリの位置付け

フラッシュメモリは電源を遮断しても記憶が消えない不揮発性の MOS メモリで、他に同様の分類にはマスク ROM や EPROM、EEPROM(Electrically-EPROM)等の ROM が挙げられる。一方、電源を遮断することにより記憶が消えるものは揮発性メモリと呼ばれ、DRAM や SRAM 等の RAM が分類される(図 1-5)。

各種不揮発性メモリの比較を表 1-2 に示す。マスク ROM は集積回路の配線によって記憶情報を構成するため、製造時にしか記憶できないのに対して、EPROM、EEPROM、フラッシュメモリは製造後にも書換えが可能である。EPROM は消去に紫外線照射を用いるため、システムに搭載した後の書換えに難点があり、現在はあまり使われていない。一方、EEPROM とフラッシュメモリは電気的に消去が可能であり、特にフラッシュメモリは構成がシンプルで低コスト化に向くため、1990 年代以降、半導体不揮発性メモリとして最も大きな市場規模を獲得すると共に、DRAM を凌ぐ小さなメモリセル面積と優れたスケーラビリティにより、テクノロジードライバの 1 つとして半導体産業をリードする存在となっている。現在、フラッシュメモリのうち最も大きな市場を持つのは、NAND に分類されるものである。NAND は外部記憶装置として市場を広げているほか、スマートフォンやタブレット端末の普及により需要が拡大しており、2014 年以降には成熟している DRAM の市場規模を超える可能性もある(図 1-6)[1]。

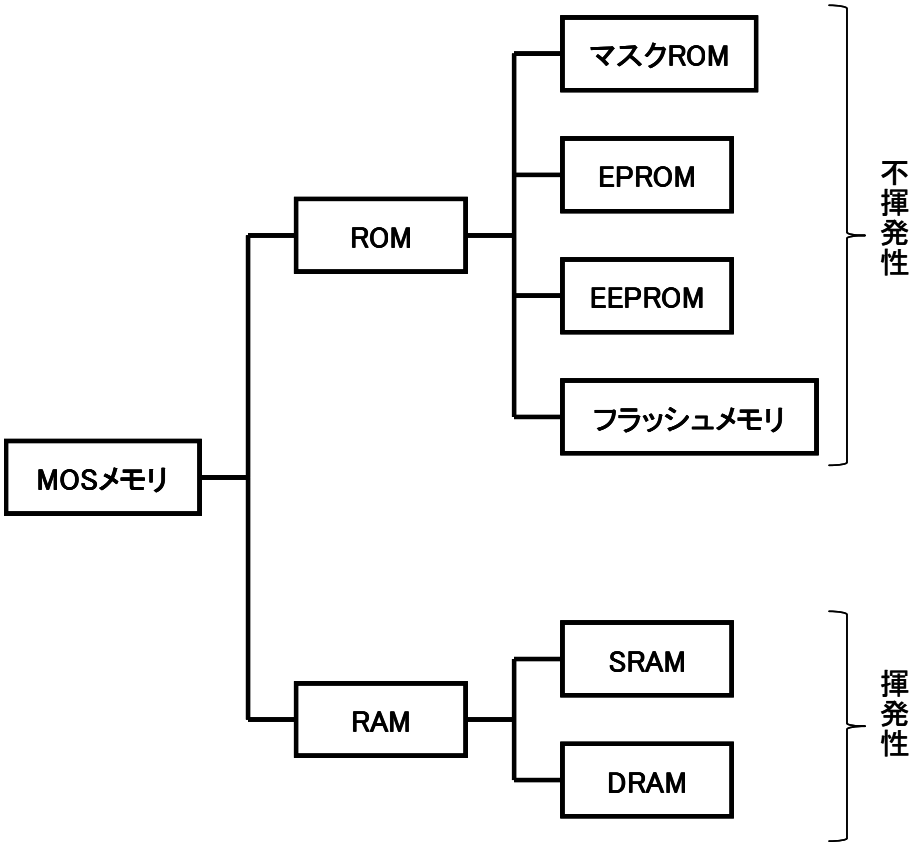


図 1-5 MOS メモリの分類

表 1-2 不揮発性メモリの比較

	不揮発性	書換え 可能回数	消去	システム搭載中 での書換え	低コスト (セル構成)
マスクROM	○	1回@製造時	×	×	○
EPROM	○	約100回	UV照射	×	○ (1T)
EEPROM	○	約10万回	電気的	○	× (2T)
フラッシュメモリ	○	約10万回	電気的	○	○ (1T)
SRAM(参考)	×	無制限	不要	○	× (6T)
DRAM(参考)	×	無制限	不要	○	○ (1T1C)

UV: Ultraviolet, 紫外線

T: Transistor

C: Capacitor

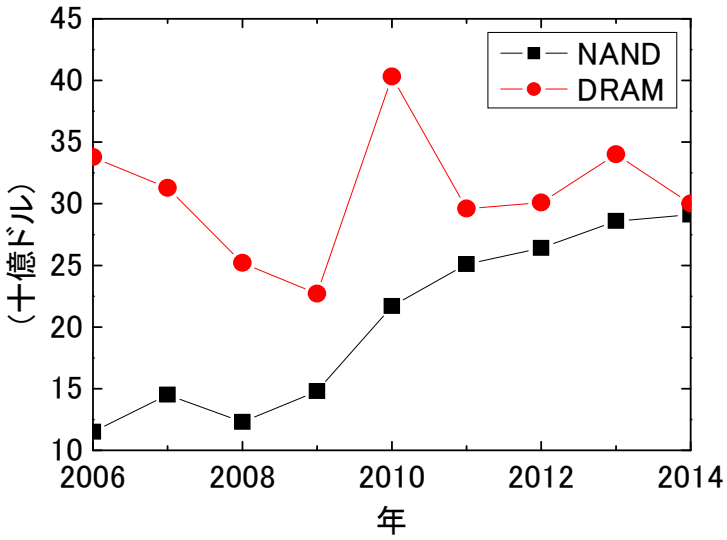


図 1-6 NAND フラッシュメモリと DRAM の市場規模推移[1]。2012 年以降は予測

1-2-2 フラッシュメモリの分類

次に、フラッシュメモリの動作原理と技術の分類について説明する。フラッシュメモリはMOSFET(MOS-Field Effect Transistor)のゲート絶縁膜に電荷を蓄積する領域を作り、それによるしきい電圧の不揮発的な変化を利用して情報を記憶するメモリである。MOSFET のチャネル電流の値からしきい電圧を判定することで、情報の読出しを行う。電荷の蓄積は、周囲を絶縁膜で囲まれた浮遊ゲート電極や、絶縁膜中のトラップ準位を用いて実現している。しきい電圧を変化させるには、本来は電流が流れない絶縁膜を通して電荷蓄積領域との間で電荷のやり取りをする必要があるが、絶縁膜のエネルギー障壁を飛び越えるホットキャリア現象や障壁を通り抜けるトンネル現象を利用して、電荷のやり取りを可能にしている。いずれも DRAM や SRAM では使われない高電界効果であり、それぞれに適したメモリセル構造が考案され、表 1-3 に示すように様々な用途に対応したフラッシュメモリ技術として実用化されている。

NOR[4]は最初に実用化されたフラッシュメモリである。EPROM 技術を基に、浮遊ゲート酸化膜を厚さ 8～10 nm のトンネル酸化膜に置き換えることにより、FN(Fowler-Nordheim)トンネル電子放出による消去動作を行う。並列接続のアレイ構成とすることで寄生抵抗を小さくしており、ランダム読出し性能が重視されるコード格納用途に用いられる。これに対して、NAND[5]は 1984 年に舛岡らが提案したコンセプトに基づいて EEPROM から発展した大容量データ格納用途のフラッシュメモリである。EEPROM の書換え機能を 1 バイト単位からブロック(128 KB～2 MB)単位に緩和することにより、メモリセル構造とアレイ構成を簡略化し、コスト低減を実現した。FN トンネル注入書込みの低電力性を活かした超並列動作により、10 MB/s を超える高速書込みが可能である。また、メモリセルを直列接続することでコントなど面積オーバヘッドの影響を減らすことにより、NOR の 1/2 以下の実効セル面積を実現している。

表 1-3 フラッシュメモリの分類

	NOR	NAND	SuperFlash™	AG-AND	MONOS NROM™
電荷蓄積方式	浮遊ゲート	浮遊ゲート	浮遊ゲート	浮遊ゲート	絶縁膜トラップ
デバイス構造模式図	FG	FG	FG	FG	$SiO_2/Si_3N_4/SiO_2$
書込み方式	DS-CHEI	FNT EI	SS-CHEI	SS-CHEI	DS-CHEI
消去方式	FNT EE	FNT EE	FNT EE w/ FEI	FNT EE	BTBT-HHI
主要用途	コード	データ	コード	データ	データ/コード
特徴	ランダム読出し	高速書込み 低コスト	低電力書込み 混載用途	高速書込み 低コスト	低コスト 混載用途

FG: Floating Gate

DS-/SS- CHEI: Drain Side/Source Side Channel Hot Electron Injection

BTBT-HHI: Band to Band Tunneling induced Hot Hole Injection

FNT EI/EE: Fowler-Nordheim Tunneling Electron Injection/Electron Ejection

FNT EE w/ FFI: FNT EE with Field-Enhancing tunneling Injector

SuperFlash™[6]は、スプリットチャネルと SS-CHEI(Source Side Channel Hot Electron Injection)書込みを特徴とする。また、自己組織的に形成される端部の尖った浮遊ゲートへの電界集中効果を利用した低電圧での FNT EE(FN-Tunneling Electron Ejection)による消去が可能である。しきい電圧制御の制約が小さく、低電力の書込みができることから、混載用途に適している。AG(Assist Gate)-AND[7]は低電力 SS-CHEI による超並列高速書込みと高密度仮想接地アレイを特徴とし、大容量データ格納用途で用いられる。NROM™[8]は NAND や NOR の浮遊ゲートを Si_3N_4(SiN)膜に置換えた構成をしており、SiO_2 膜に挟まれた Si_3N_4 (SiN)膜中トラップに電荷を蓄積する。このような Metal/Oxide (SiO_2)/Nitride (Si_3N_4)/Oxide (SiO_2)/Silicon(MONOS)構造を用いたメモリを MONOS 型フラッシュメモリと呼ぶ[2]。MONOS 型フラッシュメモリはトラップの離散性を活かして、セル内ドレイン及びソース近傍の 2 か所に独立して電荷蓄積することも可能で、大容量データ格納用途に適しているほか、MONOS 構造の製造プロセスが CMOS(Complementary-MOS)プロセス技術と親和性が高いため、MCU 混載用途にも向いている。

1-2-3 フラッシュメモリの信頼性課題

フラッシュメモリの信頼性課題について説明する。主要な信頼性課題としては、書込みディスターブ、読出しディスターブ、パスディスターブ、過書込み、書換え耐性、そして記憶保持寿命が挙げられる。このうち、本論文に関連の深い書込みディスターブ、過書込み、書換え耐性、記憶保持寿命について、現象、不良機構、そして対策を表 1-4 にまとめると共に以下で説明する。

表 1-4 フラッシュメモリの信頼性課題

信頼性課題	現象	不良機構	対策
書込みディスターブ	非選択セルの しきい電圧上昇	寄生的なトンネル注入・放出、 ホットキャリア注入	・セル構造最適化 ・絶縁膜欠陥制御 ・スクリーニング試験 ・高効率欠陥救済
過書込み	指定より高い しきい電圧となる	RTN、エラティックなトンネル電流増加、注入される電子数の統計的なばらつき	・リトライ動作 ・誤り訂正符号 ・絶縁膜欠陥制御
書換え耐性 （エンデュランス）	書込み・消去 時間の変動	絶縁膜中の電荷による電界緩和	・トンネル膜への元素添加 ・ベリファイ制御方式
記憶保持寿命 （リテンション）	放置により データ化け発生	書換え劣化性の漏れ電流(SILC)、 可変SILC(V-SILC)、 酸化膜に捕獲された電子のデトラップ	・トンネル膜への元素添加 ・誤り訂正符号 ・不良ブロック置換 ・絶縁膜欠陥制御

[2] Metal 部分は多結晶シリコンで構成することが多く、Silicon/Oxide/Nitride/Oxide/Silicon (SONOS)構造であることから SONOS 型メモリと呼ぶこともある。

・*書込みディスターブ*

まず、書込みディスターブについて説明する。セルごとに選択素子を持たない NAND フラッシュメモリでは、非選択セルのしきい電圧が上昇する書込みディスターブが発生する。この現象は隣接セル間の干渉によるもので、隣接するセル・トランジスタ同士が容量結合していることによって発生する。浮遊ゲートは同じセル・トランジスタの制御ゲートと強く容量結合しているが、微細化の進展と共に隣接するセル・トランジスタの制御ゲートや浮遊ゲートとの容量結合が大きくなってきた。このため、書込み動作により、隣接セル・トランジスタのしきい電圧が上昇する。対策としては、変動機構解析に基づいたセル構造最適化に加えて、絶縁膜初期欠陥の制御と検出を行っている。

・*過書込み*

次に、過書込みについて説明する。過書込みは、指定したよりも高いしきい電圧となる不良モードである。原因としては、ランダム・テレグラフ雑音(RTN:Random Telegraph Noise)[9]や、エラティックなトンネル電流増加[10]、注入される電子数の統計的なばらつき(EIS:Electron Injection Statistics)[11]が挙げられるほか、書込みディスターブに起因することもある。

RTN は最小加工寸法が 90 nm 以降となってから注目されている不良要因で、しきい電圧及びドレイン電流が時間と共に変動する現象を引き起こす。RTN は絶縁膜中の欠陥と電子の相互作用によるもので、シリコン基板中の電子がゲート絶縁膜中の欠陥に捕獲されたり、放出されてシリコン基板に戻ったりすることによって発生する。RTN はデバイスサイズが小さくなることにより、デバイスに含まれる欠陥の数が 1～数個になると顕在化し、しきい電圧の変動量は微細化と共に大きくなるため、今後大きな問題となる可能性がある(RTN によるしきい電圧の変動については、2-2-1 項にて詳しく説明する)。エラティックなトンネル電流増加は、ゲート絶縁膜中の不安定な正電荷に起因していると考えられる。また、EIS も微細化と共に増加する傾向にある。対策としては、リトライ動作、誤り訂正符号(ECC:Error Correcting Code)[12]、絶縁膜欠陥制御が挙げられる。

・*書換え耐性*

3 番目に書換え耐性について説明する。絶縁膜に電流を流して書込み・消去を行うフラッシュメモリでは、書換えに伴う特性の変動や劣化が避けられない。書換え回数寿命は、メモリセルの書込みと消去を繰り返すことによってしきい電圧が徐々にずれていくことで決まり、しきい電圧がずれるため、書込みや消去時間も長くなっていく。

1 bit/cell の SLC タイプのフラッシュメモリの場合、保証する最大の書換え回数が 10 万回の製品が多いが(製品によっては 20 万回を保証しているものもある)、多値記憶技術を用いた 2 bits/cell の MLC タイプでは 1 万回以下、3 bits/cell の TLC タイプでは 1,000～5,000 回と少なくなる。

セル・トランジスタのゲート絶縁膜には書込みあるいは消去によって高い電界が加えられる。高電界ストレスによってゲート絶縁膜中に欠陥が発生し、電子を捕獲する。すると書込みあるいは消去による電界が緩和される。このため、書込みのしきい電圧は下がり、消去のしきい電圧は上昇する。対策としては、トンネル膜改質のプロセス対策やベリファイによるしきい電圧制御が挙げられる。

・*記憶保持寿命(リテンション寿命)*

最後に記憶保持寿命について説明する。フラッシュメモリは不揮発性メモリであるが、時間の経過と共に記憶は消えていく。記憶保持寿命は、温度にも依存するが SLC タイプの場合は 85℃で 10 年間、MLC タイプでは 5 年以下と短くなる。この記憶保持寿命は書換え回数が増えるほど短くなる傾向にあ

る。記憶保持寿命はメモリセル内から電子が流出するまでの時間によって決まる。電子が流出するケースとしては、書換え劣化性の漏れ電流(SILC:Stress Induced Leakage Current)[13,14]や可変SILC(V-SILC:Variable-SILC)[15]、酸化膜に捕獲された電子のデトラップが挙げられる。

SILC は絶縁膜中にストレスによって生成された欠陥(トラップ)を介して、浮遊ゲートあるいは絶縁膜トラップ中の電子が漏れ出る現象(TAT:Trap Assisted Tunneling)によるもので、書換え回数の増加と共に発生頻度が上昇する。V-SILC については 2 章にて詳しく解析するが、SILC の電流値が時間と共に変動するもので、同一のメモリセルが時間により不良品となったり良品となったりする。酸化膜に捕獲された電子のデトラップは、書換えを繰り返すことによってゲート酸化膜に捕獲された電子が、データ保持の際に浮遊ゲートやシリコン基板などに漏れることによりしきい電圧が変化する現象である。対策としては、トンネル膜改質のプロセス対策や ECC、不良ブロックの置換え、絶縁膜の欠陥制御などが挙げられる。

1-2-4 微細化に伴う信頼性課題の深刻化

1-2-3 項にて説明した信頼性課題はいずれも微細化と共に深刻化すると考えられる。微細化によりフラッシュメモリの信頼性確保が困難となる本質的な理由の一つに格納される電子数の減少が挙げられる。図 1-7 に最小加工寸法と浮遊ゲートに格納される電子数の関係を示す[16]。最小加工寸法が約 70 nm のときには浮遊ゲートに格納される電子数は 1,000 個を超えており、50 個以上の電子流出によりデータが消失するが、最小加工寸法が 20 nm 程度になると、格納される電子数は 100 個程度となり、10 個未満の電子流出によりデータが消失する。更に、加工寸法が 10 nm 程度になると格納電子数は 30 個程度で 1～2 個の電子流出でデータが消失するため、書換え耐性や記憶保持寿命などのスペックを緩めずに、それ以上の微細化を行うことは本質的に困難だと考えられる。

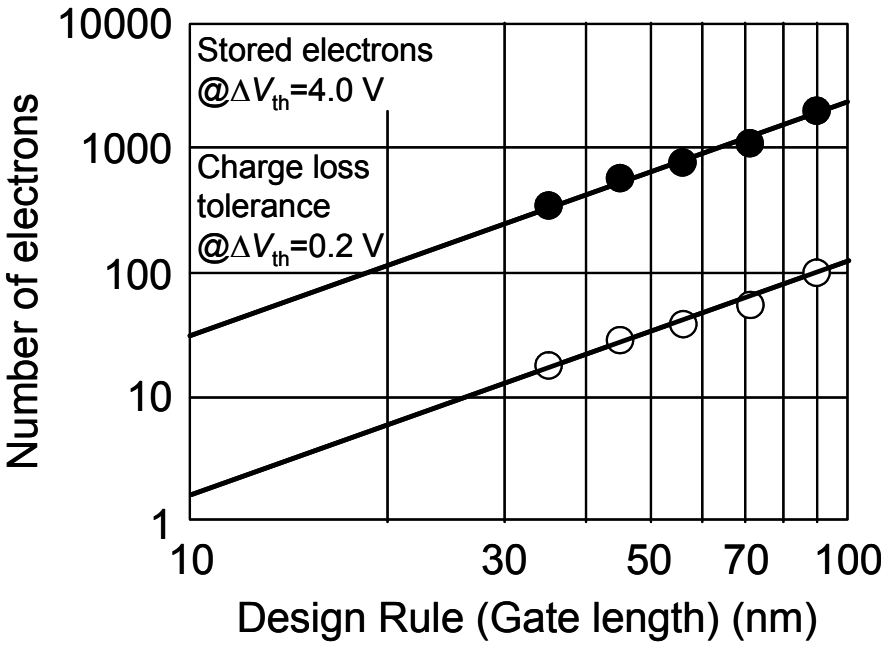


図 1-7 微細化により減少する浮遊ゲートに格納される電子数と、電子流出に対する耐性[16]

微細化が最も進んでいる大容量向けの NAND フラッシュメモリにおいては、微細化に頼らないチップ当りの記憶密度向上方法の研究開発が進められているほか、微細化により今後深刻化が予測される不良モードの解析が行われている。微細化に頼らないチップ当りの記憶密度向上方法としては、更なる多値化や 3 次元積層化が挙げられる。更なる多値化については、図 1-4 に示すように 2012 年現在の製品に適用されている多値記憶技術は 3 bits/cell の TLC までであるが、2022 年頃には 4 bits/cell の QLC が登場すると予測されている。また、3 次元積層化についてはチップを積層する MCP(Multi Chip Package)が既に製品適用されている他、BiCS(Bit-Cost Scalable)[17]のようなデバイスレベルでの 3 次元積層化の研究開発も進められている。

当面の微細化に伴う、フラッシュメモリにおける信頼性課題としては過書込みやリテンションで[18]、その後に書込みディスターブが深刻化すると考えられる。過書込みに関して、RTN やエラティックなトンネル現象、EIS については解析が進んでいるが、リテンション不良を引き起こす可能性があり、スクリーニングしにくい V-SILC については解析が進んでいない。書込みディスターブ対策としては、MONOS 技術を大容量向け NAND フラッシュに適用する研究開発も進められている[19]。MONOS 型フラッシュメモリについては 3 章にて詳しく説明するが、動作メカニズムに不明な点があるものの、書込みディスターブ耐性以外にも浮遊ゲート型に対して信頼性とスケーラビリティにおいてアドバンテージがあるため、ポスト浮遊ゲート型フラッシュメモリとして注目を集めている。

1-3 本論文の目的

本論文では、大容量向けフラッシュメモリの高信頼化への指針を示すことを目的とする。まず、当面の微細化に伴う信頼性課題であるリテンション不良に対して、その原因となる V-SILC の解析を行う。次に、微細化に伴って将来顕在化する書込みディスターブに対して有効なうえ、スケーラビリティの高い MONOS 型の動作メカニズムを解析する。2 章では浮遊ゲート型メモリにおける信頼性課題として V-SILC に焦点を当てる。3 章では、MONOS 型フラッシュメモリの特徴である離散トラップへの電荷捕獲特性について詳しく解析する。

1-4 大容量不揮発性メモリの将来

大容量向けフラッシュメモリは、最小加工寸法 10 nm 程度までは微細化に伴う信頼性課題を表 1-4 の対策や MONOS 技術の適用により克服し、多値記憶技術やデバイスレベルでの 3 次元積層構造化によって大容量化を続けていくと考える。しかし、デカナノメートル領域においては、電荷蓄積による記憶方式では信頼性確保が急激に困難となるため、別方式での新しい不揮発性メモリ(新メモリ)の研究が進められており、将来的には新市場の創出や NAND フラッシュメモリの一部置き換えが行われると考える。今後の大容量不揮発性メモリの将来を図 1-8 に示す。現在、有望視されている新メモリは、FeRAM(Ferroelectric RAM)、STT-RAM(Spin Transfer Torque RAM)、PCRAM(Phase Change RAM)、ReRAM(Resistance RAM)である。これら新メモリの比較や研究開発状況については、付録 I にて解説する。

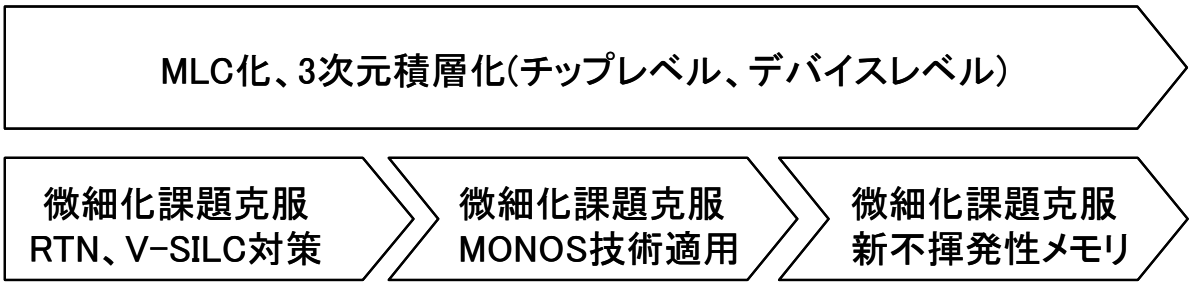


図 1-8 大容量不揮発性メモリの将来

第 1 章の参考文献

[1] WSTS（WORLD SEMICONDUCTOR TRADE STATISTICS：世界半導体市場統計）

[2] G. E. Moore, “Cramming more components onto integrated circuits,” *Electronics*, vol. 38, no. 8, pp. 114-117, April 19, 1965.

[3] International Technology Roadmap for Semiconductors

[4] V. N. Kynett, A. Baker, M. L. Fandrich, G. P. Hoekstra, O. Jungroth, J. A. Kreifels, S. Wells, and M. D. Winston, “An in-system reprogrammable 32K × 8 CMOS Flash memory,” *IEEE J. Solid-State Circuits*, vol.23, no.5, pp.1157-1163, 1988.

[5] F. Masuoka, M. Momodomi, Y. Iwata, and R. Shirota, “New ultra high density EPROM and flash EEPROM with NAND structure cell,” in *IEDM Tech. Dig.*, pp. 552-555, 1987.

[6] S. Kianian, A. Levi, D. Lee, and Yaw-Wen Hu, “A novel 3 volts-only, small sector erase, high density flash E^2PROM,” in *VLSI Symp. Tech. Dig.*, pp. 71-72, 1994.

[7] H. Kurata, S. Saeki, T. Kobayashi, Y. Sasago, T. Arigane, K. Yoshida, Y. Takase, T. Yoshitake, O. Tsuchiya, Y. Ikeda, S. Narumi, M. Kanamitsu, K. Izawa, and K. Furusawa, “A 130-nm CMOS 95-mm^2 1-Gb multilevel AG-AND-type Flash memory with 10-MB/s programming throughput,” *IEICE Trans. Electron*, vol. 89-C, no.10, pp.1469-1479, 2006.

[8] B. Eitan, P. Pavan, I. Bloom, E. Aloni, A. Frommer, and D. Finzi, “NROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell,” *IEEE Electron Device Lett.*, vol. 21, no. 11, pp. 543-545, Nov. 2000.

[9] K. Kandiah, M. O. Deighton, and F. B. Whiting, “A physical model for random telegraph signal currents in semiconductor devices,” *J. Appl. Phys.*, vol. 66, no. 2, pp. 937-948, Jul. 1989.

[10] T. C. Ong, A. Fazio, N. Mielke, S. Pan, N. Righos, G. Atwood, and S. Lai, “Erratic Erase in ETOX™ Flash Memory Array,” in *VLSI Symp. Tech. Dig.*, pp. 83-84, 1993.

[11] C. M. Compagnoni, R. Gusmeroli, A. S. Spinelli, and A. Visconti, “Analytical Model for the Electron-Injection Statistics During Programming of Nanoscale NAND Flash Memories,” *IEEE Trans. Electron Devices*, vol. 55, no. 11, Nov. 2008.

[12] T. Tanzawa, T. Tanaka, K. Takeuchi, R. Shirota, S. Aritome, H. Watanabe, G. Hemink, K. Shimizu, S. Sata, Y. Takeuchi, and K. Ohuchi, “A Compact On-Chip ECC for Low Cost Flash Memories,” *IEEE Journal of Solid-State Circuits*, vol. 32, no.5, pp. 662-669, 1997.

[13] D. Ielmini, A. S. Spinelli, M. A. Rigamonti, and A. L. Lacaita, “Modeling of SILC Based on Electron and Hole Tunneling—Part I: Transient Effects,” *IEEE Trans. Electron Devices*, vol. 47, no. 6, pp. 1258-1265, Jun. 2000.

[14] D. Ielmini, A. S. Spinelli, M. A. Rigamonti, and A. L. Lacaita, “Modeling of SILC Based on Electron and Hole Tunneling—Part II: Steady-State,” *IEEE Trans. Electron Devices*, vol. 47, no. 6, pp. 1266-1272, Jun. 2000.

[15] R. Yamada and T. J. King, “Variable stress-induced leakage current and analysis of anomalous charge loss for flash memory application,” in *Proc. of the IRPS*, pp. 491-496, 2003.

[16] K. Inoh, “Scalling Challenge in NAND Flash,” in *VLSI Symp. Tech. Short Course Program*,

2007.

[17]H. Tanaka, M. Kido, K. Yahashi, M. Oomura, R. Katsumata, M. Kito, Y. Fukuzumi, M. Sato, Y. Nagata, Y. Matsuoka, Y. Iwata, H. Aochi, and A. Nitayama, "Bit Cost Scalable Technology with Punch and Plug Process for Ultra High Density Flash Memory," in *VLSI Symp. Tech. Dig.*, pp. 14-15, 2007.

[18]N. Mielke, T. Marquart, N. Wu, J. Kessenich, H. Belgal, E. Schares, F. Trivedi, E. Goodness, and L. R. Nevill, "Bit Error Rate in NAND Flash Memories," in *Proc. of the IRPS*, pp. 9-19, 2008.

[19]Y. Park, J. Choi, C. Kang, C. Lee, Y. Shin, B. Choi, J. Kim, S. Jeon, J. Sel, J. Park, K. Choi, T. Yoo, J. Sim, and K. Kim, "Highly Manufacturable 32Gb Multi – Level NAND Flash Memory with 0.0098 μm^2 Cell Size using TANOS(Si - Oxide - Al_2O_3 - TaN) Cell Technology," in *IEDM Tech. Dig.*, pp. 1-4, 2006.

2. 浮遊ゲート型フラッシュメモリ

第2章では現在の大容量不揮発メモリにおいて最も利用されている浮遊ゲート型フラッシュメモリについて、その動作機構を説明した後、主要な信頼性課題について説明する。その後、新しい信頼性課題として動的ゆらぎを取り上げる。動的ゆらぎとは、デバイスの特性値が時間と共に変動する現象を指し、反対に寸法ばらつきのような時間の経過に対して不変なゆらぎを静的ゆらぎと呼ぶ。第2章では、特にまだ解析が十分に進んでいない動的ゆらぎとしてV-SILCに着目し、その現象解析結果について浮遊ゲート型フラッシュメモリの信頼性に及ぼす影響の観点から議論する。

2-1 緒言

2-1-1 デバイス構造

浮遊ゲート型セル構造は最も代表的なフラッシュメモリのセル構造である。図2-1に浮遊ゲート型フラッシュメモリの模式図を示す。ゲート電極が2層構造となったMOSトランジスタで、下側のゲートが浮遊ゲート、上側のゲートが制御ゲートと呼ばれている。浮遊ゲートは周囲から電気的に絶縁されたゲート電極であり、浮遊ゲートに電荷を蓄積し、保持することでデータを記憶する。制御ゲートはメモリセルアレイのワード線を兼ねるゲート電極である。浮遊ゲートを多結晶シリコンで、制御ゲートを多結晶シリコン/金属シリサイドで形成することが一般的である。

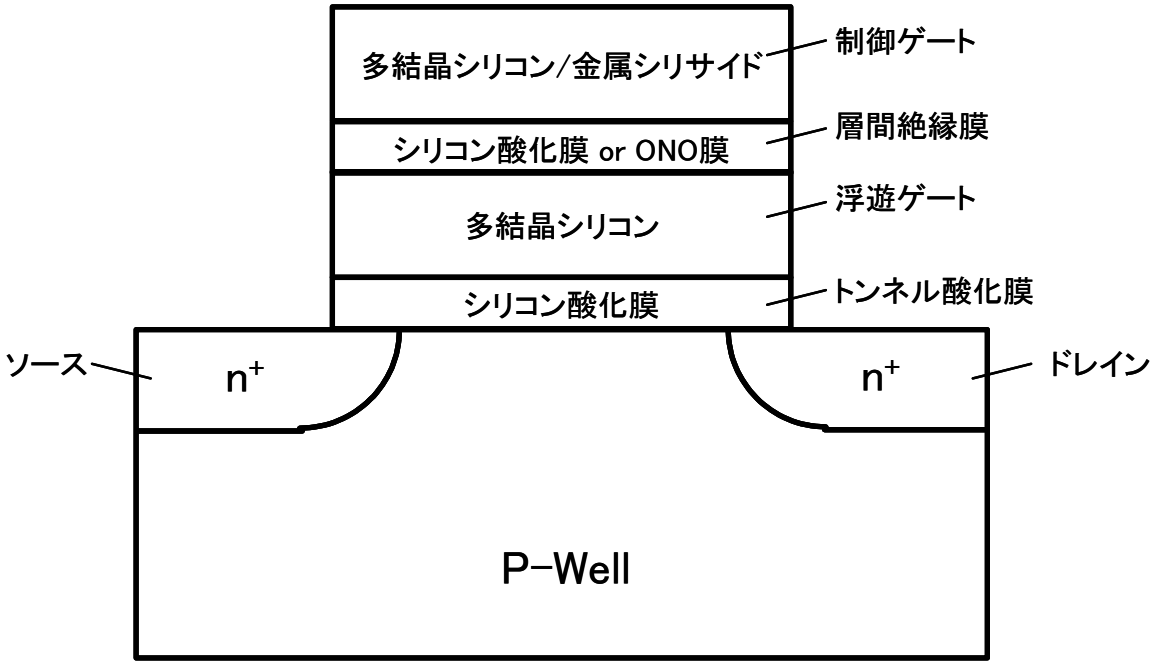


図2-1 浮遊ゲート型フラッシュメモリの断面模式図

ゲート電極が高い(厚い)ほど隣接セルとの容量カップリングが増加し、ディスターブ不良が起きやすくなる。一方、ゲートを低くした場合、浮遊ゲートの場合は電子蓄積容量の減少に繋がり、制御ゲートの場合はワード線の抵抗の増大に繋がる。微細化に伴って、ゲートの長さと幅が縮小し、隣接セルとの間隔が狭まると、浮遊ゲートの電子蓄積容量が減少し、隣接セルとの容量カップリングが増加する。そのため、微細化と共に制御ゲートの高さを抵抗増大を克服しながら低くしているが、浮遊ゲートの高さはあまり変わっていない(図 2-2)[1-7]。

浮遊ゲートとシリコン基板の間の厚さ 6～12 nm の SiO_2 膜をトンネル酸化膜と呼び、浮遊ゲートと制御ゲートの間の SiO_2 膜又は SiO_2/SiN/SiO_2(ONO)の積層膜を層間絶縁膜と呼ぶ。層間絶縁膜は EOT(Equivalent Oxide Thickness、酸化膜換算膜厚)が 10～20 nm でトンネル酸化膜より厚い。ONO 膜は、酸化膜と比べて、浮遊ゲート-制御ゲート間の電界を緩和し、リーク電流を抑制することができるため、現在は層間絶縁膜を ONO 構造とすることが一般的である。浮遊ゲート-制御ゲート間では、浮遊ゲートのエッジ部分や表面の凹凸に起因した電界集中によりリーク電流が生じることがある。ONO 膜中の SiN 膜は多くのトラップ準位を含んでいるため、リーク電流が流れても電荷捕獲により電界を緩和し、電荷のリークを抑制することができる。ONO 膜を構成する酸化膜と窒化膜の厚さはそれぞれ 5～6 nm、10 nm 程度とすることが多い。トンネル酸化膜及び層間絶縁膜が薄いほど低電圧で動作できるが、浮遊ゲート内に蓄積した電子がリークしやすくなるため、両者の厚さはセルサイズの微細化が進んでも大きく減少しない。トンネル酸化膜と層間絶縁膜の薄膜化限界はそれぞれ 6 nm と 8 nm 程度と予測されている(図 2-3)[1-5,8-10]。

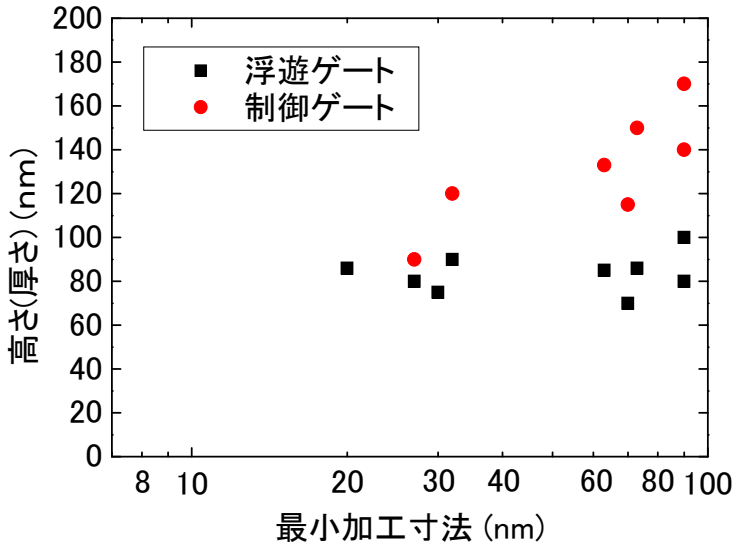


図 2-2 浮遊ゲート･制御ゲート高さの最小加工寸法に対する推移(実績値)[1-7]

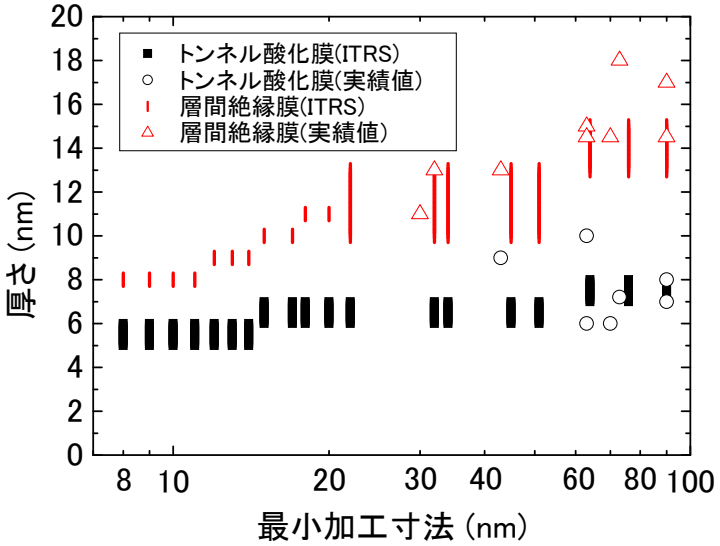


図 2-3 トンネル酸化膜･層間絶縁膜の最小加工寸法に対する推移(実績値)[1-5,8,9]と ITRS における目標値[10]

2-1-2 動作機構

浮遊ゲート型フラッシュメモリの書込み、消去、読出し動作を NAND フラッシュメモリデバイスを用いて説明する。

書込み動作では、図 2-4(a)に示すように、制御ゲートに約 20 V の電圧を印加し、シリコン基板(P-Well)に 0 V にバイアスしておく。こうすることによりトンネル絶縁膜に高電界が加わって P-Well から浮遊ゲートに電子が FN(Fowler-Nordheim)トンネリングにより注入される。書込み時間は 200～500 μs である。書込み時のエネルギーバンド図を図 2-5(a)に示す。電界を印加していない状態では、トンネル酸化膜近傍のシリコン基板中の電子が直接トンネリングにより通過する確率は極めて低いが、制御ゲートへの電圧印加によりトンネル酸化膜に電界が加わると、ポテンシャル障壁が傾き、障壁が薄くなる。これにより、トンネル絶縁膜近傍に位置するシリコン基板中の電子は、矢印で示すように FN トンネリングを起こし、浮遊ゲート側へ注入される。浮遊ゲートに電子が注入され、負の電荷が蓄えられると、トランジスタのしきい電圧が上昇する。以上が書込み動作である。フラッシュメモリでは通常、しきい電圧の高い状態をデータ「0」、低い状態を「1」に割り当てている。

消去動作では、図 2-4(b)に示すように、制御ゲートに 0 V、シリコン基板に約 20 V を印加する。書込み時とは逆向きに高電界が加わり、浮遊ゲートに蓄えられていた電子がシリコン基板へ FN トンネリングにより引き抜かれる。消去時間は 1～2 ms である。この結果、トランジスタのしきい電圧が低下し、消去される。消去時のエネルギーバンド図を図 2-5(b)に示す。

読み出し動作を図 2-6 を用いて説明する。読み出しでは、書込みによるしきい電圧と消去によるしきい電圧の中間の電圧(V_r)を制御ゲートに印加し、ドレイン電流を読み出す。消去されたメモリセル(データ「1」)ではトランジスタがオン状態となり、電流が流れる。書込まれたメモリセル(データ「0」)ではトランジスタはオフ状態であり、電流が流れない。以上のようにドレイン電流の大きさによりデータの 1/0 を判定する。

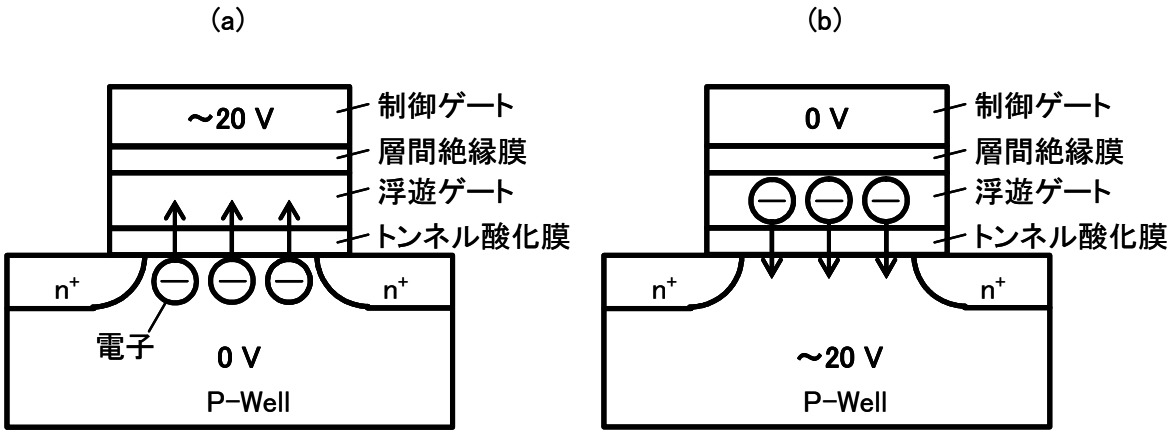


図 2-4 NAND フラッシュメモリの書込み・消去動作。(a)書込み動作、(b)消去動作

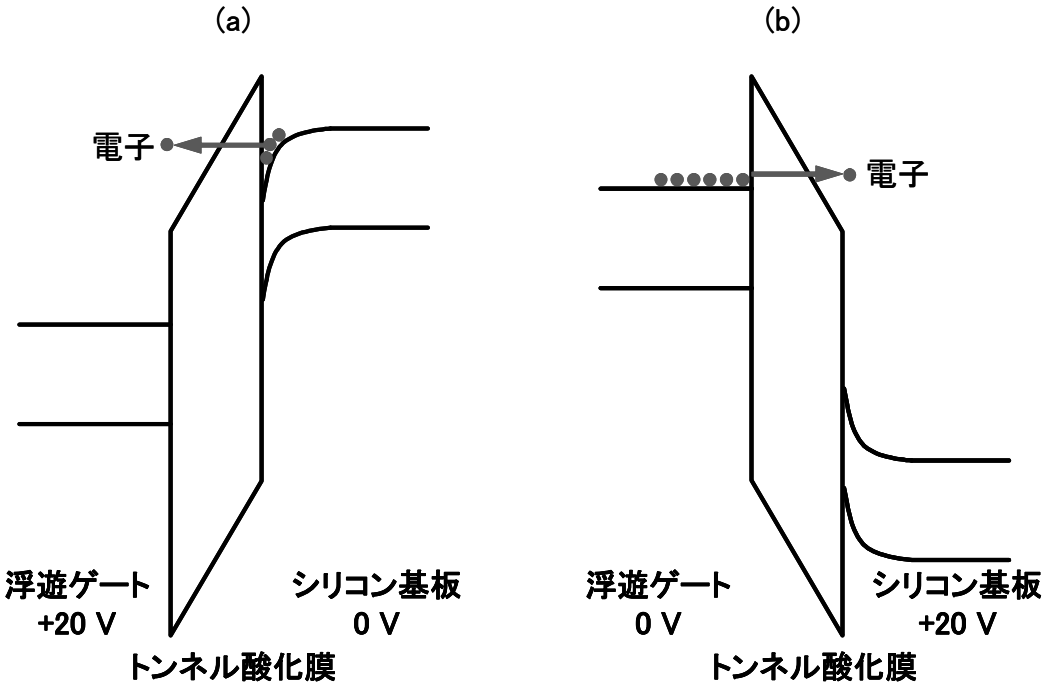


図 2-5 NAND フラッシュメモリの書込み・消去動作時のエネルギーバンド図
(a)書込み動作、(b)消去動作

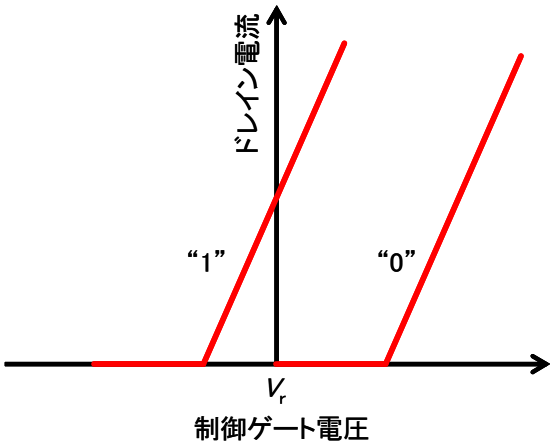


図 2-6 NAND フラッシュメモリの読出し動作

2-2 信頼性課題

1-2-3 項にてフラッシュメモリの信頼性課題について説明した。ここでは、浮遊ゲート型フラッシュメモリにおいて、近年注目されている新しい不良要因である RTN によるしきい電圧の動的ゆらぎについて説明した後、エラティックなリテンション不良の原因となる V-SILC(SILC の動的ゆらぎ)について説明する。

2-2-1 RTN によるしきい電圧の動的ゆらぎ

浮遊ゲート型フラッシュメモリにおける RTN によるしきい電圧の動的ゆらぎは、2006 年に倉田氏らによって初めて報告された[11,12]。この現象は、しきい電圧が時間と共に離散的に変動する現象で、しきい電圧の変動に伴って、読出し時のドレイン電流も時間と共に変動する。図 2-7 に RTN によるドレイン電流の時間変化を示す。しきい電圧の高い状態の間にはドレイン電流が小さく、しきい電圧が低い状態ではドレイン電流は大きい。しきい電圧が 2 値的に変動しているため、ドレイン電流も 2 値の間で変動している。

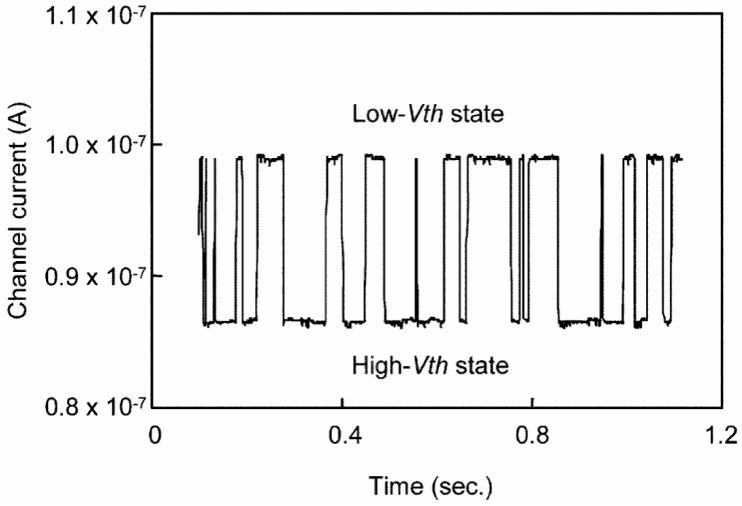


図 2-7 浮遊ゲート型フラッシュメモリにおける RTN によるしきい電圧の動的ゆらぎ[12]。
試料は 90 nm プロセスによる MLC セル

RTN 発生の原理を図 2-8 のデバイス模式図とエネルギーバンド図を用いて説明する。RTN によるしきい電圧の変動は、シリコン基板中の電子がトンネル酸化膜中の欠陥準位(トラップ)に捕獲されたり、捕獲された電子がシリコン基板に放出されたりすることによって発生すると考えられる。トラップに電子が捕獲されるとしきい電圧が上がり、放出されるとしきい電圧が下がり元に戻る。しきい電圧が高い状態にある時間が、電子がトラップに捕獲されている時間に対応し、しきい電圧が低い状態にある時間が、トラップが空の状態にある時間に対応する。チャネル近傍のトンネル酸化膜中に電子を捕獲・放出するトラップが 1 つ有る場合は、しきい電圧が 2 値的に変動し、図 2-7 のようにドレイン電流も 2 値の間で変動する。従って、電子を捕獲・放出するトラップが n 個ある場合は、2^n の離散的な値をとると考えられる。

RTN によりしきい電圧が変動した場合、読出し時にデータ化けとなる恐れがある。また、書込み後に、しきい電圧が所定の範囲にあることを判定するベリファイを行う際にも、誤った判定をしてしまい、データ化けとなる恐れがある。特に多値記憶技術を用いたセルほどしきい電圧の変動に対するマージンが少ないためデータ化けしやすい。また、図 1-7 に示したように、しきい電圧の変動に対するマージンは微細化に伴って少なくなるため、対策が急務となっている。対策としては、絶縁膜の欠陥制御や、ECC によるビットエラー救済などが挙げられる。

RTN の機構解析やフラッシュメモリデバイスへの影響に関する研究は 2006 年以降から盛んに行われており[13-19]、フラッシュメモリ以外のデバイスにおける影響の研究(2-5 節にて紹介する)の他に、長期信頼性の観点からの研究[20]、BTI(Bias Temperature Instability)との関連に着目した研究[21]が注目を集めている。今後も RTN は信頼性課題として注目を集めると共に、機構解明に向けた研究が活発に行われると考える。

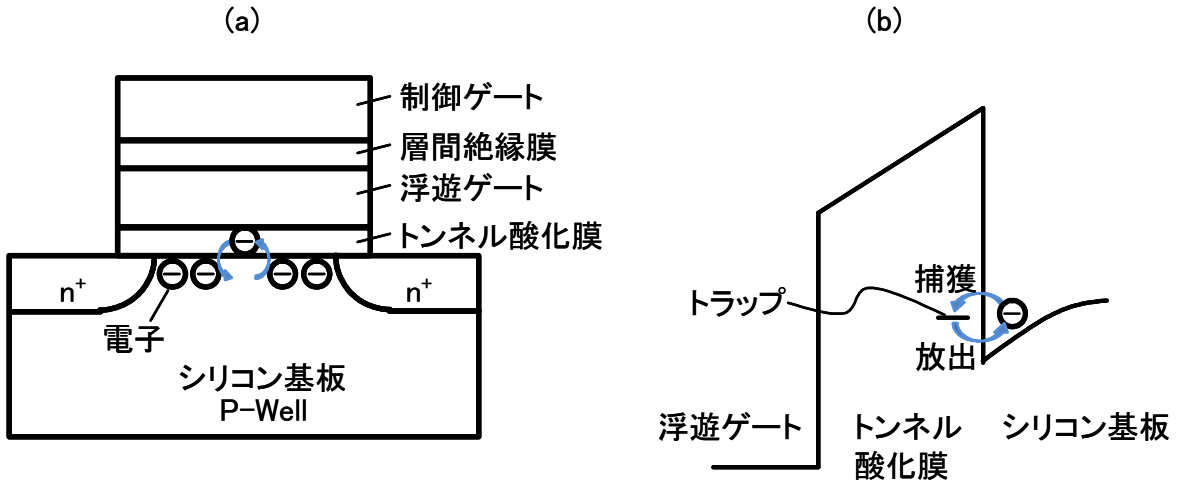


図 2-8 RTN によるしきい電圧の動的ゆらぎの原理。(a)デバイス模式図、(b)エネルギーバンド図

2-2-2 SILC の動的ゆらぎ(V-SILC)

RTN によるしきい電圧の変動と同様に、フラッシュメモリの特性を変動させ、信頼性を低下させる要因と考えられる現象として、V-SILC が挙げられる。V-SILC の説明をする前に SILC について説明する。5 nm 以下の熱酸化膜における SILC は 1987 年に初めて報告され[22]、それ以降 MOS デバイスの信頼性課題として認識されている。SILC は、ストレスに起因して発生した絶縁膜中のトラップを介して電子や正孔が絶縁膜を通過する現象である。浮遊ゲート型フラッシュメモリにおける電子の SILC の原理を図 2-9 を用いて説明する。浮遊ゲート内には書込みにより電子が蓄積されており、トンネル酸化膜には、書換えによるストレスや製造工程においてトラップが生成されている場合、浮遊ゲート内の電子がトラップを介したトンネリングによりシリコン基板側へ移動することでゲートリーク電流が発生することがある。このようなトラップを介した電荷の伝導機構を TAT(Trap-assisted Tunneling)と呼び、SILC の伝導機構と考えられている[23,24]。SILC により浮遊ゲート内の電荷がシリコン基板側へ流出すると、しきい電圧が低下するため、リテンション不良の原因の 1 つと考えられている。

V-SILC は、ゲートを流れる SILC が時間と共に離散的に変動する現象で、2003 年に山田氏らによって報告された[25]。V-SILC の振幅がゲート面積に依存しない(図 2-10)ことから、V-SILC はゲートの面に対して均一に流れる電流ではなく、点欠陥を通して流れるものと考えられる。従って、フラッシュメモリの信頼性に対する V-SILC の影響は、微細化と共に大きくなると考えられる。しかしながら、V-SILC の詳細な解析は行われておらず、V-SILC が RTN に起因した現象であるかどうかを含めた機構の解析や、ストレス条件に対する発生率などの依存性、フラッシュメモリの信頼性への影響の解析については行われていない。

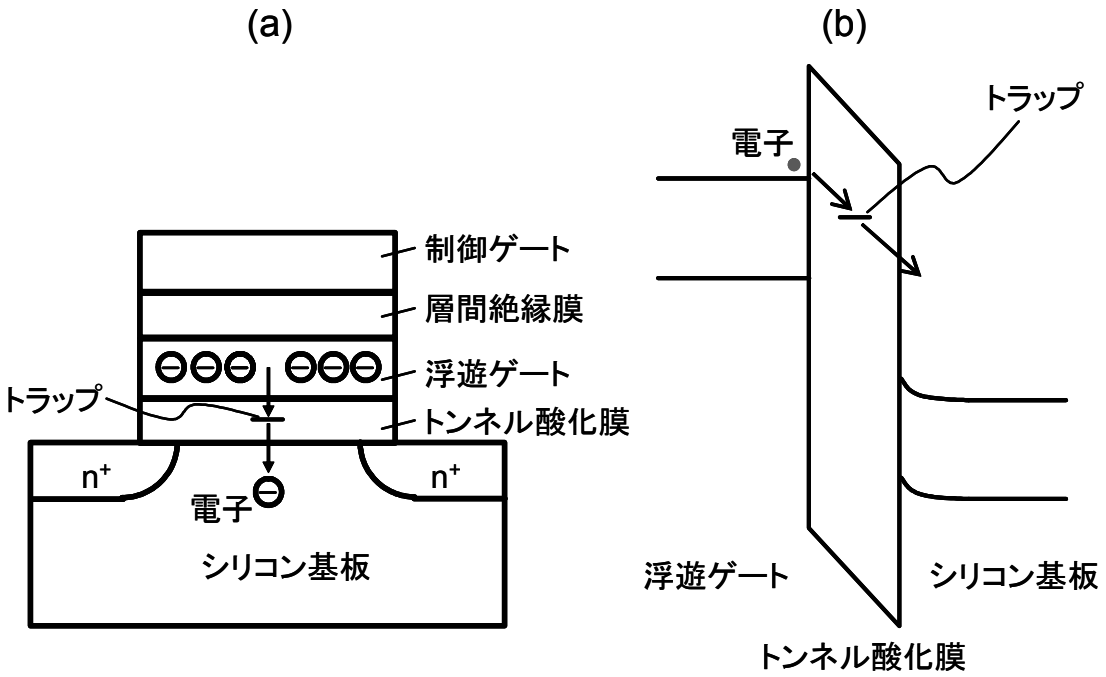


図 2-9 SILC の原理。
(a)トンネル酸化膜中のトラップを介した電子の流出、
(b)Trap-assisted-tunneling による電子の酸化膜通過

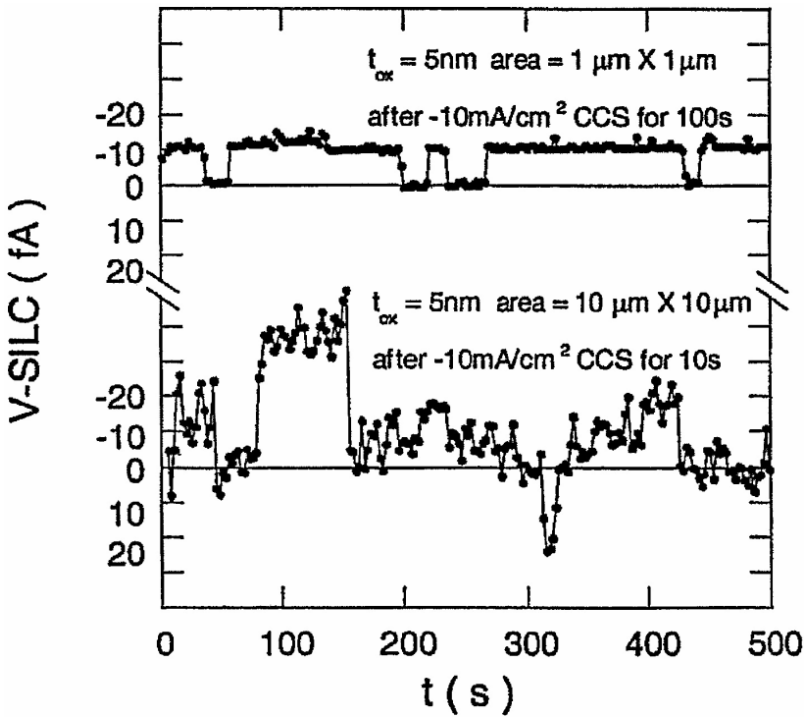


図 2-10 V-SILC 解析の報告結果[25]。上下の V-SILC は試料が MOS キャパシタで、面積のみ異なる。上側が 1 μm²、下側は 100 μm²

フラッシュメモリにおいて V-SILC を起こすビットは、SILC が時間と共に変動するため、あるときには良品として振る舞うが、別のあるときにはリテンション寿命の短い不良品として振る舞う。製品製造時のストレスにより、V-SILC を起こすエラティックなビットがフラッシュメモリのセルアレイに含まれていた場合、製品出荷前の品質保証試験のときにはリーク電流が小さい状態にあった場合、良品と判定されるが、出荷後にリーク電流が大きい状態に遷移し、故障する可能性がある。V-SILC は moving bit[26-30]や fast bit[31]、anomalous cells[32,33]といったエラティックなリテンション不良の起源である可能性がある。

2-3 本研究の目的

浮遊ゲート型フラッシュメモリにおいて、動的ゆらぎが信頼性課題として注目を集めていることを 2-2 節にて説明した。RTN によるしきい電圧の動的ゆらぎは製品開発においても問題となっており、機構解明に向けた研究が活発に行われている。一方、V-SILC はエラティックなリテンション不良の起源である可能性があり、長期信頼性課題にもなると考える。フラッシュメモリの信頼性に対する影響は、微細化と共に大きくなると考えられるが、まだ詳細な解析は行われていない。

そこで本研究では、V-SILC を詳細に解析し、発生率やフラッシュメモリの信頼性に及ぼす影響、フラッシュメモリにおける V-SILC 抑制のガイドライン示すほか、V-SILC の機構を解明することを目的とする。更に、今後の高速・高密度化の指針を示す。

2-4 V-SILC の解析

2-4-1 通常の SILC と V-SILC の関係

まず、現在我々が考えている SILC と V-SILC の関係について説明する。それぞれの電流値を I_{SILC} と $I_{V\text{-}SILC}$ と定義すると、ストレス印加前のゲート酸化膜を通過する電流、即ちゲート電流 I_g はトンネル電流 I_{tunnel} のみである。

$I_g = I_{tunnel}$ (2-1)

ストレス印加後では、I_g に I_{SILC} が加わる。

$I_g = I_{tunnel} + I_{SILC}$ (2-2)

V-SILC が発生した場合、I_g には更に I_{SILC} が加わる。

$I_g = I_{tunnel} + I_{SILC} + I_{V\text{-}SILC}$ (2-3)

I_{tunnel} や I_{SILC} がゲート面に対して均一に流れるのに対し、$I_{V\text{-}SILC}$ は局所的な点欠陥を通じて流れ、その欠陥は導通状態と非導通状態の間で時間と共に変化すると考える。2 つの値の間を遷移する 2 値 V-SILC の場合、導通状態をオン状態と定義し、非導通状態をオフ状態と定義する(図 2-11)。また、オン状態とオフ状態の滞在時間をそれぞれ τ_{on}、τ_{off} と定義する。

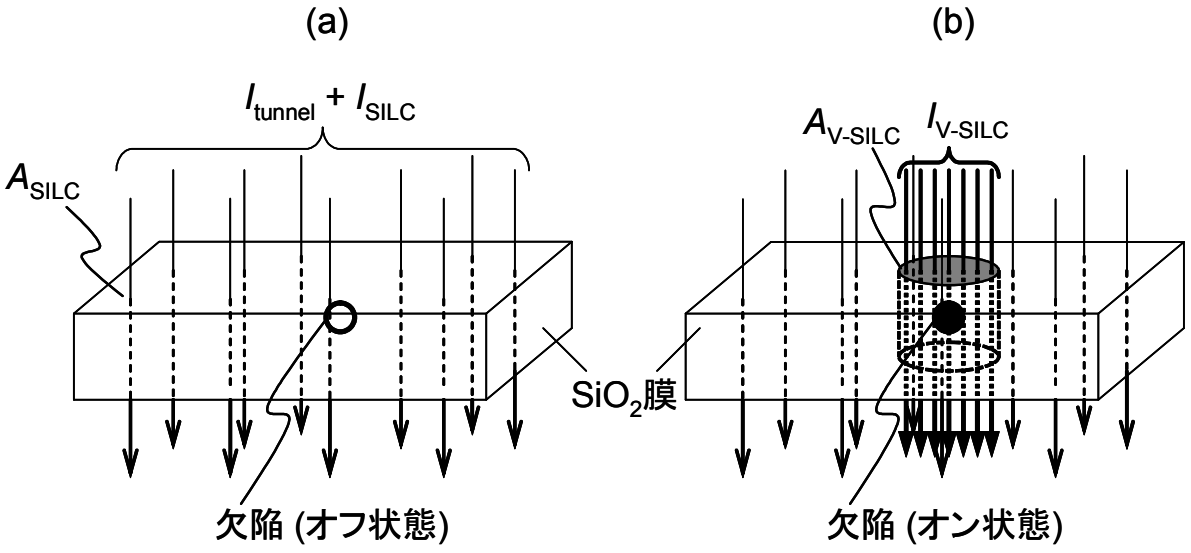


図 2-11 V-SILC を発生させる状態遷移。(a)オフ状態、(b)オン状態

2-4-2 実験方法

試料として、MOS キャパシタを用意した。ゲート酸化膜は p 型シリコン基板を熱酸化することで形成し、ゲートは n^+多結晶シリコンで形成した。

SILC を効率的に発生させるためにはゲート酸化膜厚を 6 nm よりも薄くするべきである。しかしながら、4 nm よりも薄くすると、直接トンネル電流が大きくなっていくため、SILC を検出できなくなる。従って、酸化膜厚は 5 nm とし、一般的な電気炉を用いて、750℃の水蒸気雰囲気中での熱酸化により形成した。また、ゲート面積は 1 μm×1 μm とした。

室温にて定電流ストレスをゲートに加え、その後、定電圧の下でのゲート電流の時間変化を測定した。ゲート電流の測定には、Agilent 社製半導体パラメータアナライザ 4156C を用いた。ウエハプローバーにはカスケードマイクロテック社製 S300 を用いた。本プローバーは電源ノイズとウエハチャックからのリーク電流を抑制する対策を施したカスタム仕様品である。また、測定環境の温度は精密空調により、25℃±0.5℃に制御した。この温度制御により、測定電流値の温度ドリフトの効果を抑制することができる。この計測システムにより測定電流分解能 1 fA を実現した。

2-4-3 結果と考察

2-4-3-1 通常の SILC の発生

ゲートに-100 mA/cm^2 の定電流ストレスを 10 s 印加した後の I_g - V_g 特性を図 2-12 に示す。ゲート電圧が-6～-4 V の範囲において、SILC 発生によるゲート電流の増加が確認できる。通常の SILC の時間変化を図 2-13 に示す。定電流ストレス印加後に、-6～-4 V の定電圧をゲートに印加し、ゲート電流をモニターした。SILC は定電圧印加時間の経過と共に連続的かつ対数関数的に減少し、定電圧印加時間 3,000～4,000 s の間で-150～-200 fA に収束した。SILC の時間変化は、対数関数的な減少を示す部分と収束後の安定状態の部分に分けられる。この定電圧印加時間に対する対数関数的なゲート電流の減少は、定電流ストレス印加時の電荷の捕獲・放出のバランス状態から定電圧印加時のそれに移る過渡現象であると考えられる。従って、V-SILC の解析時には対数関数的な電流の減少の成分を取り除くことが望ましい。SILC の時間変化において、V-SILC による変動のみを観測するために、フィッティングを用いて、対数関数的な減少の成分を取り除いた。図 2-13 において、ゲート電流の収束値とゆらぎは、3,000 s 以降の平均値と標準偏差に対応し、それぞれ-168.9 fA と 2.4 fA と求まった。これより、通常の SILC は収束後において、殆ど一定であることを確認した。

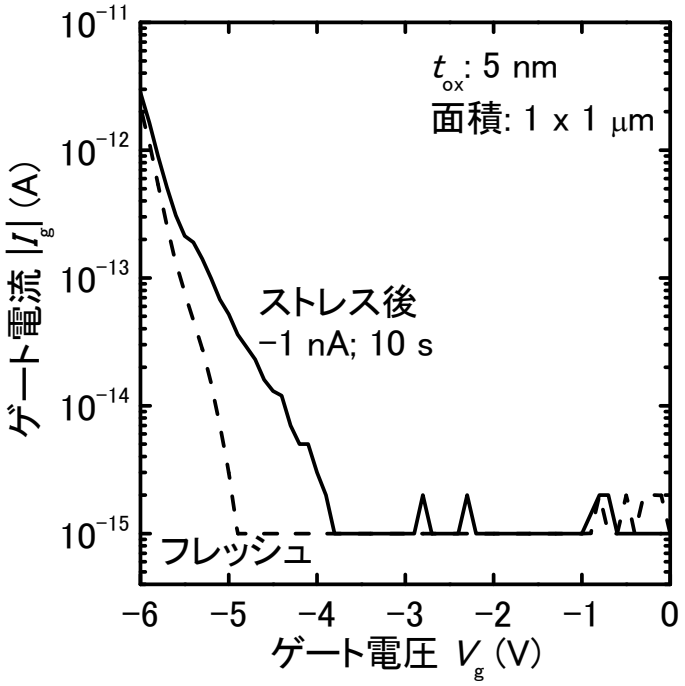


図 2-12 定電流ストレス印加前後の典型的な I_g-V_g 特性

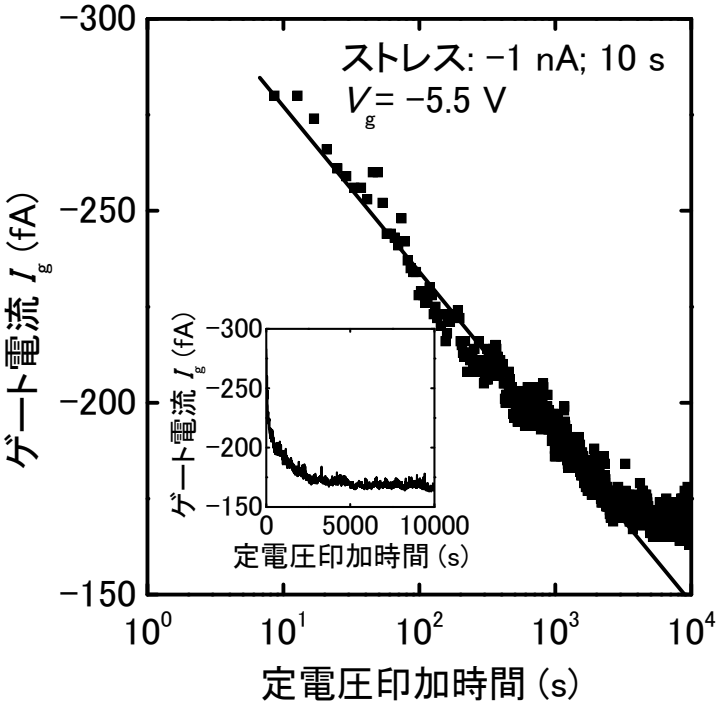


図 2-13 通常の SILC の時間依存性

2-4-3-2 V-SILC の発生

同条件の定電流ストレスを同じシリーズの MOS キャパシタ試料ゲートに加えたところ、いくつかの種類の V-SILC が観測された。V-SILC が発生した場合、V_g 一定という条件の下でも I_g が時間と共に離散的に変動する。

図 2-14 に V-SILC を観測した試料における I_g の時間変化を示す。典型的な V-SILC は、図 2-14(a)に示すように、2 値 V-SILC で振幅が 50 fA 以下であった。図 2-14(a)の V-SILC の場合、約-175 fA と-145 fA の間で遷移しており、振幅は約 30 fA であった。また、遷移の間隔は、測定時間 10,000 s の範囲で、70 s から 1,000 s 以上と広く分布している。遷移の間隔は倉田氏らが報告した RTN によるしきい電圧の揺らぎと比べて 2 桁以上長いため、統計的な解析には非常に長い時間が必要となる。2 値 V-SILC の中には、図 2-14(b)のように 100 fA 以上の振幅を持つものもあった。リーク電流の低い状態における電流値は定電圧ストレス印加後の SILC の収束した値にほぼ一致している一方で、V-SILC の発生によりリーク電流が不規則に 300 fA 以上増加した。更に、図 2-14(c)のように多数の離散的な値の間で遷移する多値 V-SILC も観測された。

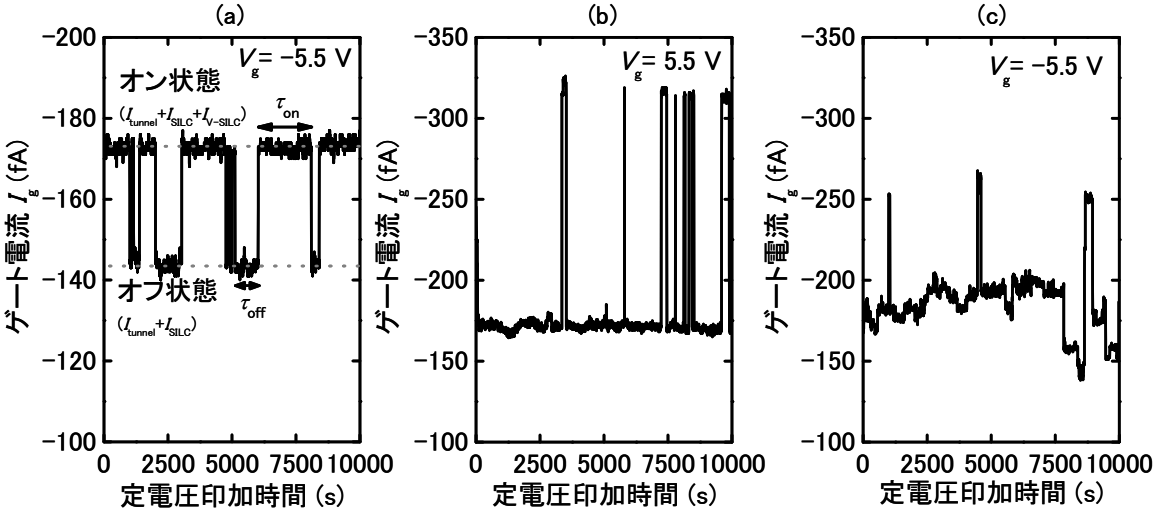


図 2-14 典型的な V-SILC。(a)2 値 V-SILC、(b)100 fA 以上の振幅を持つ 2 値 V-SILC、(c)多値 V-SILC

2-4-3-3 V-SILC の発生率

V-SILC の発生率を V-SILC を観測した試料数と評価した試料数の比と定義する。図 2-15 に V-SILC 発生率のストレス条件依存性を示す。図 2-15(a)は定電流ストレスを-0.1 nA としたときの V-SILC 発生率のストレス時間変化で、図 2-15(b)はトータルの注入電荷量が等しくなるようにストレス時間を調節したときの V-SILC 発生率のストレス電流依存性である。図 2-15(a)では、ストレス時間の増加に比例して注入電荷量が増加する。一方、図 2-15(b)では、ストレス電流が大きいほど、印加電圧も大きくなるため、ストレス電流の大きさに比例して注入される電荷のエネルギーが高いと考えられる。従って、ストレス電流を注入電荷のエネルギーの指標と捉えることができる。V-SILC 発生率(図 2-15 の左縦軸)は注入電荷の量及びエネルギーの増加と共に増加し、その後飽和した。V-SILC 発生率の飽和値は約 50%だった。

発生した V-SILC に占める多値 V-SILC の割合についても解析した(図 2-15 の右縦軸)。V-SILC 発生率が飽和している一方で、多値 V-SILC の割合は増加している。V-SILC は均一な電流ではなく、局所的な電流であり、局所的な点欠陥が V-SILC を発生していると考えられる。従って、多値 V-SILC の原因としては、個々の欠陥の 2 状態遷移の組合せか、1 つの欠陥の多状態遷移のいずれかと考えられる。V-SILC の発生率が飽和した後も多値 V-SILC の割合が増加したことから、筆者は後者が多値 V-SILC の原因と推測している。2 値 V-SILC が追加のストレスによって多値 V-SILC に変わる前後を図 2-16 に示す。この変化により V-SILC の振幅が増加する可能性があることが分かった。

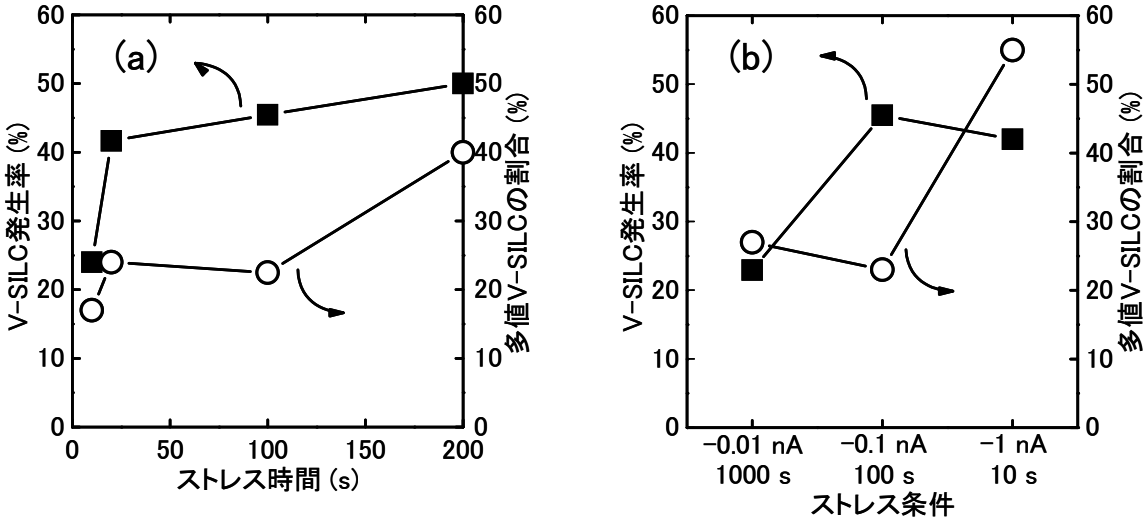


図 2-15 V-SILC 発生率のストレス条件依存性。各測定には 50 以上の試料が使われた。
(a)ゲート電流-0.1 nA のときの V-SILC 発生率のストレス時間依存性 、
(b)V-SILC 発生率のストレス電流依存性(いずれもトータル注入電荷量は-1 C/cm^{2}とした)

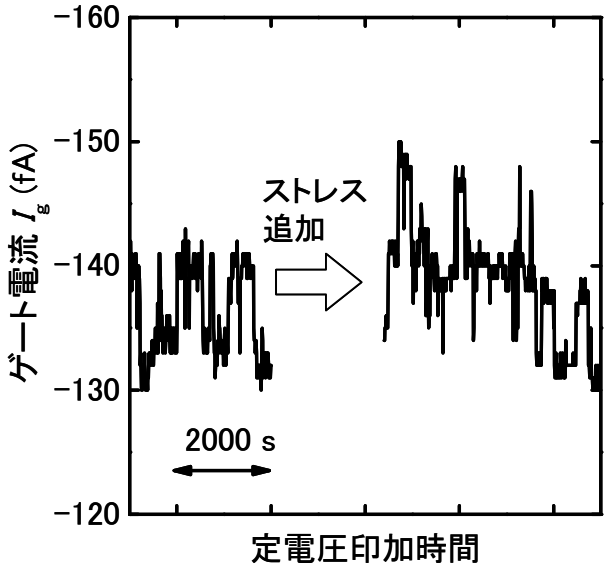


図 2-16 追加のストレスにより 2 値 V-SILC が多値 V-SILC に変化

2-4-3-4 V-SILC がフラッシュメモリの信頼性に及ぼす影響

ここでは、V-SILC がフラッシュメモリの信頼性に及ぼす影響について議論する。メモリセルにおいて V-SILC が発生し、エラティックなリテンション不良を引起すかどうかは、V-SILC の振幅と V-SILC がリーク電流の高い状態にある傾向、そのセルの電荷保持寿命の信頼性マージンに依存する。V-SILC の発生率が不良率にそのまま対応しないが、まず、フラッシュメモリセルにおける V-SILC の発生率を調べた。その後、V-SILC の振幅の分布について調べた。

V-SILC の発生率は酸化膜厚に強く依存すると考えられる。実験試料と同じ酸化膜厚 5 nm の場合、V-SILC は図 2-17(a)のように酸化膜中の 1 つの欠陥を介した TAT に基づく伝導機構(single-defect conduction と呼ぶ)であると考えられる。一方、フラッシュメモリの場合、酸化膜厚は約 8 nm であるので、V-SILC は図 2-17(b)のように 2 つの欠陥を介した伝導機構(double-defect conduction と呼ぶ)であると考えられる。double-defect conduction の発生率は single-defect conduction の発生率に比べて数桁低いと考えられる。

V-SILC の発生率とゲート面積の関係を図 2-18 に示す。V-SILC は局所的な欠陥を介して伝導するため、V-SILC 発生率はゲート面積の減少と共に減少すると考える。double-defect conduction の発生率を以下の条件に基づいて粗く見積もった：2 つ目の欠陥が 1 つ目の欠陥を含んだ 3 nm 角の面積の中に発生したときに double-defect conduction が可能とする。このとき、膜厚方向の欠陥の分布は考慮しない。従って、上記の見積もりによる発生率よりも実際の発生率の方が低いと考えられる。いずれにしても、フラッシュメモリの酸化膜厚が減少し、伝導機構が double-defect conduction から single-defect conduction に変わると、V-SILC 発生率は数桁増加すると考える。この考察は、熊谷らの報告とも一致する[34-36]。彼らは、異常 SILC と呼ぶ電流密度が極めて大きな現象を TEG(Test Element Group)を使って統計的に解析した。その異常 SILC は時間と共に離散的な値の間で揺らぐことから V-SILC と同じ現象と考えられる。彼らは、異常 SILC の発生率が酸化膜厚を 7.7 nm から 5.7 nm に減少させたとき著しく増加したことを報告しており、上記の考察と矛盾しない。

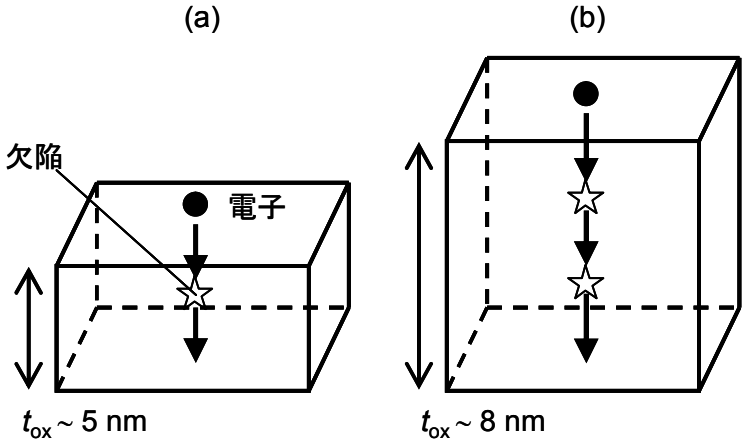


図 2-17 V-SILC の電子伝導モデル。
(a)single-defect conduction、(b)double-defect conduction

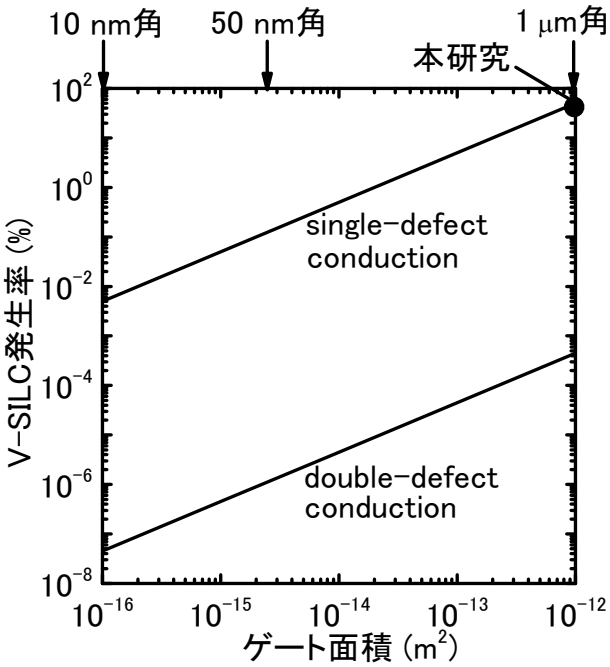


図 2-18 V-SILC 発生率とゲート面積の関係の見積り結果

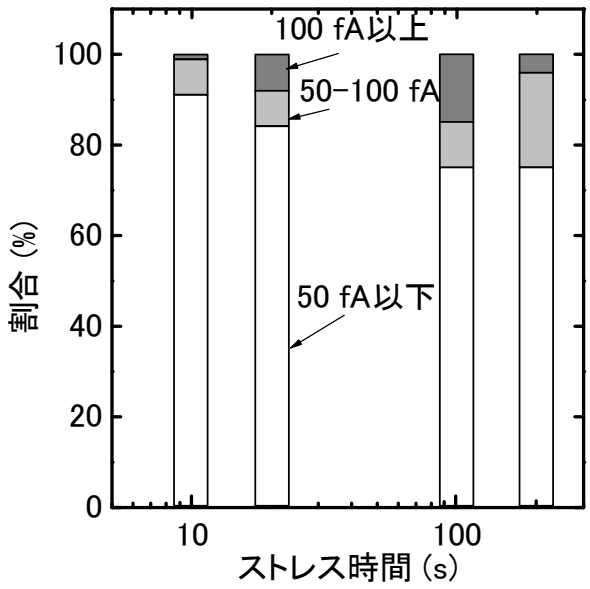


図 2-19 ストレス時間に対する V-SILC の振幅の分布

次に、V-SILC の振幅について調べた。大きな振幅を持った V-SILC ほど深刻なエラティックなリテンション不良を引き起こすと考える。ストレス時間に対する V-SILC の振幅の分布を図 2-19 に示す。大部分の V-SILC は 50 fA 以下であった。大きな振幅を持った V-SILC ほど低い割合にある傾向がある。大きな振幅を持った V-SILC の起源の一つとして、多値 V-SILC が挙げられる。多値 V-SILC が V-SILC 全体に占める割合はストレス時間やストレス電流と共に増加したことから(図 2-15)、フラッシュメモリにおいて深刻なエラティックなリテンション不良は書換え回数の増加や、高速書込み・消去動作によって引き起こされると考える。

2-4-3-5 フラッシュメモリにおける V-SILC 抑制のガイドライン

これまでに、V-SILC の発生確率は注入電荷の量やエネルギーが大きいほど、酸化膜厚が薄いほど増加することが分かった。従って、フラッシュメモリ中の V-SILC 発生率を抑制するためには、書換え回数、書換え速度、そしてトンネル酸化膜厚を電荷保持寿命の信頼性マージンに基づいて決める必要がある。更に、発生した V-SILC をオフ状態に留めるという観点からガイドラインを提案するために、τ_{on} と τ_{off} の比のゲート電圧依存性を図 2-20 に示す。$|V_g|$ の増加と共に τ_{on}/τ_{off} は増加し、V-SILC はオン状態をとりやすい傾向となる。言い換えれば、V-SILC は低い動作電圧の下ではオフ状態をとりやすくなる。従って、フラッシュメモリで発生した V-SILC をオフ状態に留めるためには、書換え速度を適切に制御し、動作電圧を低くすることが挙げられる。これとは反対に、動作電圧を高くすると、オン状態をとりやすくなることから、V-SILC を発生している不良ビットの発見が容易となるため、スクリーニングに応用できる可能性がある。

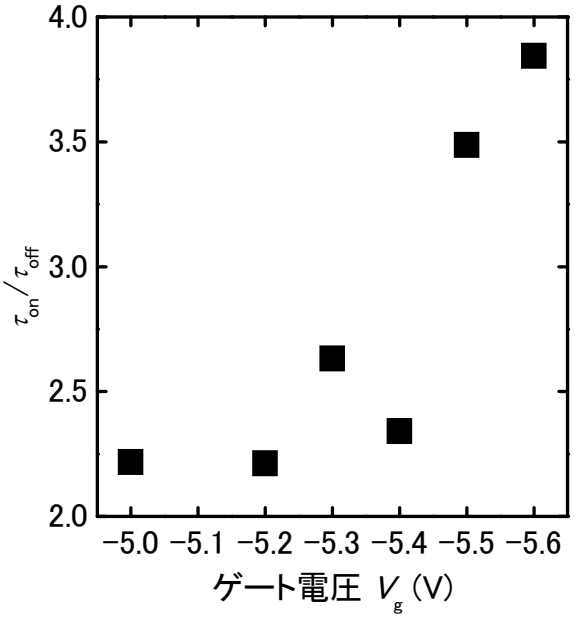


図 2-20 τ_{on} と τ_{off} の比の V_g 依存性

2-4-3-6 2 値 V-SILC の詳細解析結果

ここでは、V-SILC の状態遷移の起源について調べる。図 2-19 に示したように、大部分の V-SILC の振幅は 50 fA 以下であった。そこで、典型的な V-SILC である振幅 50 fA 以下の 2 値 V-SILC について詳細に解析する。図 2-14(a)に示すように$|I_g|$の大きい状態がオン状態、小さい状態がオフ状態に対応し、それぞれの状態における滞在時間と電流値が τ_{on} と τ_{off}、($I_{tunnel}+I_{SILC}+I_{V\text{-}SILC}$)と($I_{tunnel}+I_{SILC}$)に対応する。2 値 V-SILC の τ_{on} と τ_{off} のワイブルプロットを図 2-21 に示す。縦軸の F は滞在時間の累積確率である。τ_{on} と τ_{off} の両方とも傾き 1 の直線にフィットしている。これは、τ_{on} と τ_{off} の両方とも指数分布であることを示している。更に、図 2-22 に示すように、パワースペクトル密度の周波数依存性が $1/f^2$ の傾きの直線にフィットしている。これらの結果は、遷移間の滞在時間がポアソン分布に従うことを示唆しており、各遷移は独立したランダムなイベントである。従って、2 値 V-SILC は RTN によるもので、単一欠陥の状態遷移に起因していることが確認された[37]。

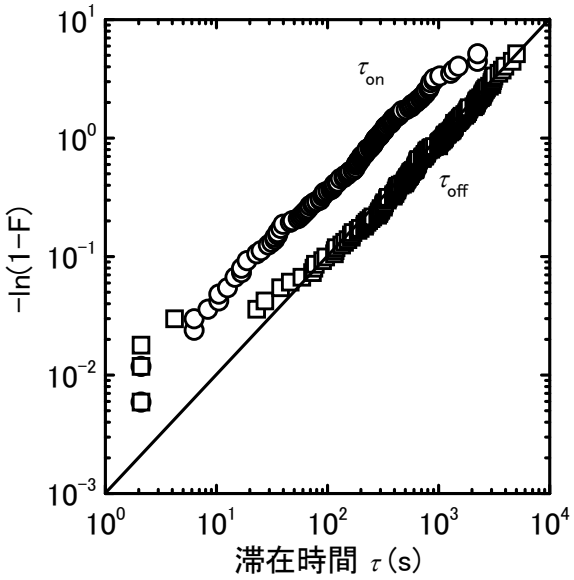


図 2-21 2 値 V-SILC のτ_{on}とτ_{off}のワイブルプロット

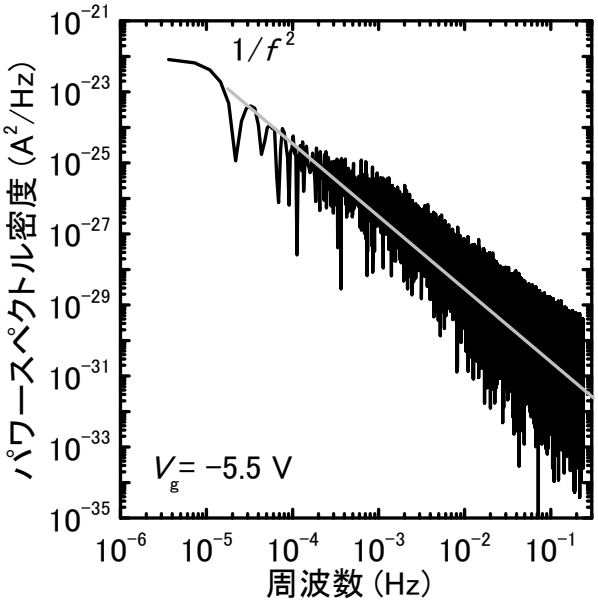


図 2-22 パワースペクトル密度の周波数依存性

2-4-3-7 V-SILC の状態遷移機構

V-SILC は RTN によるもので、RTN は単一欠陥の状態遷移に起因する。そこで、V-SILC を引き起こす状態遷移機構について調べる。V-SILC を引き起こす状態遷移としては、次の 2 つの候補が挙げられる : (a)荷電状態の遷移、(b)欠陥構造の遷移である。状態遷移(a)はエネルギー障壁高さ変調に相当し、2-2-1 項で説明したように、フラッシュメモリにおけるしきい電圧の動的ゆらぎの起源として報告されている。状態遷移(b)の場合、導電率が欠陥構造の遷移により変化すると考える。次に状態遷移を引き起こすトリガーとしては、次の 2 つが挙げられる : (x)電荷注入、(y)電荷注入以外。従って、状態遷移機構の候補としては次の 4 つが挙げられる(表 2-1): (i) 電荷の捕獲・放出によるエネルギー障壁高さ変調、(ii) 電荷注入によらない荷電状態の遷移によるエネルギー障壁高さ変調、(iii) 電荷注入、即ち電荷衝突による欠陥構造遷移、(iv) 電荷注入によらない欠陥構造遷移。機構(i)については 2 種類の電荷放出過程が挙げられる: 熱活性放出と電荷衝突である。例えば、機構(i)の電荷捕獲過程と機構(iii)の電荷衝突過程の場合、遷移確率は注入電流密度に依存する。

V-SILC を引き起こす状態遷移機構を解析するために、V_g を制御することにより遷移確率の I_g 依存性を得た。ここで、遷移確率は滞在時間の逆数で表され、オン状態からオフ状態への遷移確率とオフ状態からオン状態への遷移確率はそれぞれ、$1/\tau_{on}$ と $1/\tau_{off}$ となる。High-k MOSFET における I_g の RTN の場合では、τ_{on} が V_g に依存する一方で、τ_{off} は V_g に依存しないと報告されている[38]。この結果は FN

トンネリングにより捕獲された電子が熱活性過程により放出するモデルにより説明されている。

V_gの範囲を-5.0～-5.6 V としたときの V-SILC を図 2-23 に示す。$|V_g|$の増加と共に$|I_g|$が増加し、τ_{on}と τ_{off}は減少している。τ_{on}と τ_{off}の V_g依存性を抜き出した結果を図 2-24 に示す。シンボルは平均値で、エラーバーは標準偏差、標本数は 42 以上である。図 2-23 では定電圧印加時間が 80,000 s で切れているが、実際の定電圧印加時間は 84,000～400,000 s である。τ_{on}と τ_{off}の両方とも V_gに依存しており、参考文献 38 の依存性とは異なる。

表 2-1 V-SILC を引き起こす状態遷移機構の候補

トリガー	状態遷移	
	(a) 荷電状態	(b) 欠陥構造
(x) 電荷注入	(i) 電荷の捕獲・放出によるエネルギー障壁高さ変調	(iii) 電荷注入による欠陥構造遷移
(y) 電荷注入以外	(ii) 電荷注入によらない荷電状態の遷移によるエネルギー障壁高さ変調	(iv) 電荷注入によらない欠陥構造遷移

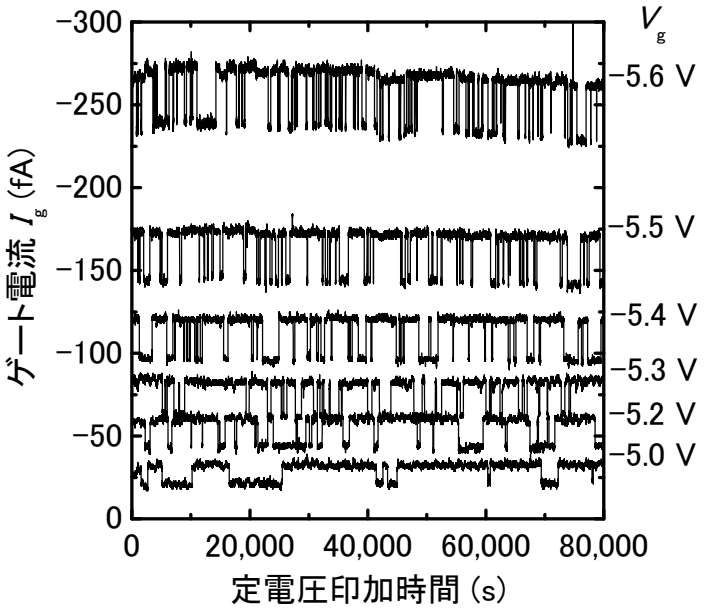


図 2-23 様々なゲート電圧の下での V-SILC。試料は同一のもの。

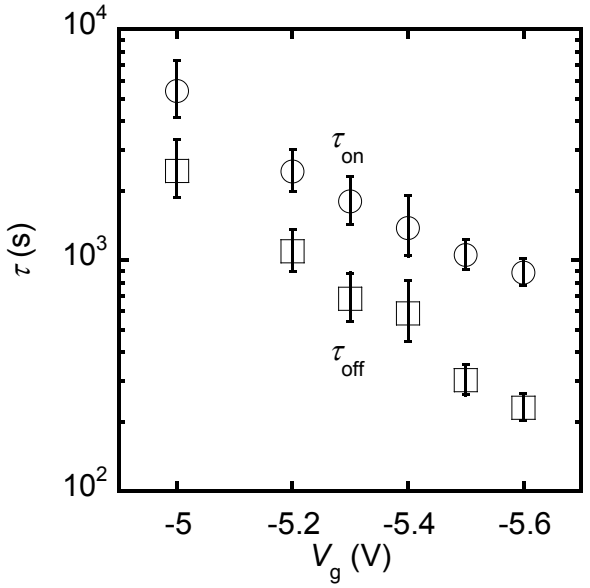


図 2-24 τ_{on} と τ_{off} の V_g 依存性

機構(i)～(iv)のどれが V-SILC を引き起こすのか明らかにするために、図 2-24 を遷移確率の I_g 依存性に変換した(図 2-25)。$1/\tau_{off}$ が I_g に比例している。これは、オフ状態からオン状態への遷移はゲート電流($I_g=I_{tunnel}+I_{SILC}$)注入によって引き起こされていることを示している。従って、トリガー(y) 電荷注入以外により引き起こされる機構(ii)と(iv)は除外される。一方、$1/\tau_{on}$ はゲート電流($I_g=I_{tunnel}+I_{SILC}+I_{V\text{-}SILC}$)に比例せず、直線から逸れている。そこで、$1/\tau_{on}$ を $I_{V\text{-}SILC}$ に対してプロットした(図 2-26)。$1/\tau_{on}$ は $I_{V\text{-}SILC}$ 軸にオフセットを持ちながら、$I_{V\text{-}SILC}$ に比例している。従って、オン状態からオフ状態への遷移は $I_{V\text{-}SILC}$ により引き起こされている。以上より、オフ状態からオン状態への遷移とオン状態からオフ状態への遷移はそれぞれ($I_{tunnel}+I_{SILC}$)と $I_{V\text{-}SILC}$ 注入により引き起こされる(図 2-27)。

図 2-26 において、$1/\tau_{on}$ は $I_{V\text{-}SILC}$ 軸にオフセットを持っている。このオフセットの起源については遷移確率の温度依存性と関連させて後で議論する。遷移確率のアレニウスプロットを図 2-28 に示す。$1/\tau_{on}$ と $1/\tau_{off}$ の両方とも温度の増加と共に増加していることから、オン状態とオフ状態間の遷移には熱活性過程が含まれる。ここで、アレニウスモデルより $1/\tau_{on}$ と $1/\tau_{off}$ は次のように表される。

$$\frac{1}{\tau_{on}} = p_{on} \cdot \exp\left(-\frac{E_{on\text{-}off}}{kT}\right)$$
$$= \frac{\sigma_{on} \cdot I_{V\text{-}SILC}}{q \cdot A_{V\text{-}SILC}} \cdot \exp\left(-\frac{E_{on\text{-}off}}{kT}\right) \qquad (2-4),$$
$$\frac{1}{\tau_{off}} = p_{off} \cdot \exp\left(-\frac{E_{off\text{-}on}}{kT}\right)$$
$$= \frac{\sigma_{off} \cdot (I_{tunnel} + I_{SILC})}{q \cdot A_{SILC}} \cdot \exp\left(-\frac{E_{off\text{-}on}}{kT}\right) \qquad (2-5),$$

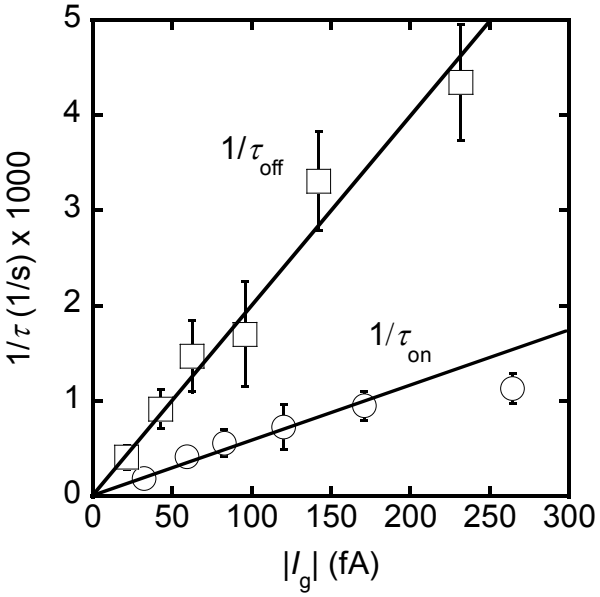


図 2-25 遷移確率の I_g 依存性。 $1/\tau_{off}$ と $1/\tau_{on}$ はそれぞれ(I_{tunnel}+I_{SILC})と(I_{tunnel}+I_{SILC}+$I_{V\text{-}SILC}$)に対してプロットされている。

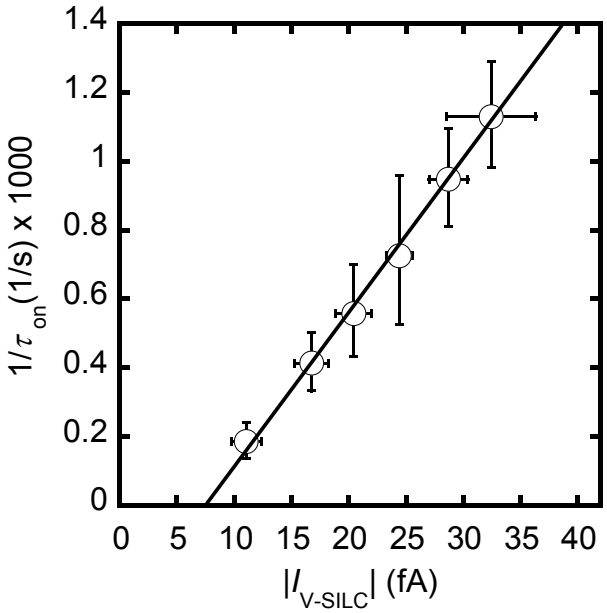


図 2-26 オン状態からオフ状態への遷移確率の $I_{V\text{-}SILC}$ 依存性

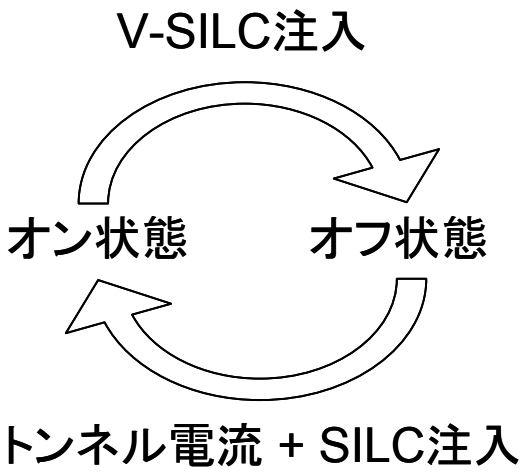


図 2-27 電流注入によるオン状態とオフ状態間の遷移

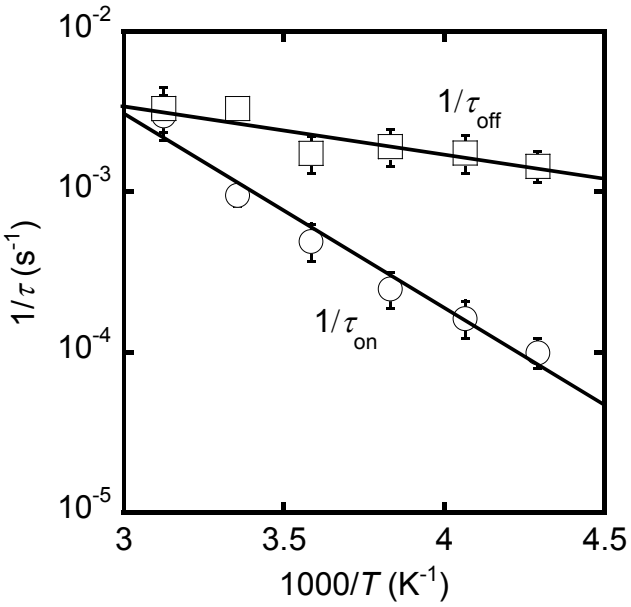


図 2-28 遷移確率のアレニウスプロット。
温度範囲は 233～320 K。ゲート電圧は-5.5 V

ここで、p_{on} と p_{off} はそれぞれオン状態とオフ状態における電荷衝突確率、σ_{on} と σ_{off} はそれぞれオン状態とオフ状態における電荷衝突断面積である。A_{SILC} と $A_{V\text{-}SILC}$ はそれぞれ SILC と V-SILC が流れる面積で、A_{SILC} はゲート面積に対応する。k はボルツマン定数、T は絶対温度、そして $E_{on\text{-}off}$ と $E_{off\text{-}on}$ はそれぞれオン状態からオフ状態とオフ状態からオン状態のエネルギー障壁である。$E_{on\text{-}off}$ と $E_{off\text{-}on}$ は図 2-28 に(2-4)式と(2-5)式をフィッティングすることによりそれぞれ 240 と 60 meV と見積もられた。見積もられた $E_{on\text{-}off}$ と $E_{off\text{-}on}$ に基づく V-SILC を発生させる欠陥の状態遷移のためのエネルギー障壁構成を図 2-29 に示す。

$E_{off\text{-}on}$ は 60 meV と室温の熱エネルギー(kT=26 meV; T=25℃)と同等であるため、室温において $1/\tau_{off}$ はオフセット無しで $I_g(=I_{tunnel}+I_{SILC})$に比例すると考えられる。しかしながら、$E_{on\text{-}off}$ は 240 meV と室温の熱エネルギーより大きいため、オン状態からオフ状態への遷移にはエネルギーアシストが必要となる。図 2-26 に示すように、$I_{V\text{-}SILC}$ がある電流値(オフセットに相当)よりも高いときにオン状態からオフ状態への遷移が起こることから、エネルギーアシスタンスは欠陥への電荷注入により与えられると考える。即ち、電荷衝突により欠陥が高エネルギー状態になった後、低エネルギー状態に戻る緩和時間以内に十分な数の電子が衝突し、欠陥がエネルギー障壁を越えると遷移が起こる。

状態遷移を更に解析するために、遷移確率から欠陥の衝突断面積を見積もる。(2-4)式と(2-5)式によると、$1/\tau_{on}$ と $1/\tau_{off}$ はそれぞれ、$T\rightarrow\infty$ では p_{on} と p_{off} に近づく。σ_{off} は 7.6×10^{-17} と見積もられた。ここで、$T=\infty$ における $1/\tau_{off}$ と$(I_{tunnel}+I_{SILC})$はそれぞれ図 2-28 と図 2-30 から外挿によって求めた。見積もられたσ_{off} の値は中性トラップに対応する[39,40]。一方、$A_{V\text{-}SILC}$ は未知であるため、σ_{off} の値を仮定して$A_{V\text{-}SILC}$を見積もった。荷電トラップと中性トラップの捕獲断面積の典型的なオーダーをそれぞれ 10^{-15} と 10^{-17} cm^{-2} とし、荷電トラップの場合と中性トラップの場合の $A_{V\text{-}SILC}$ をそれぞれ見積もったところ、2,600 と 26 nm^2 が得られた。$A_{V\text{-}SILC}$ は単一欠陥により流れる電流の面積であるので、その面積の直径は数 nm 以下であると考えられる。従って、オン状態は中性であると考えられる。オン状態とオフ状態の両方とも中性であることから、機構(i)、即ち、電荷の捕獲・放出によるエネルギー障壁高さ変調は除

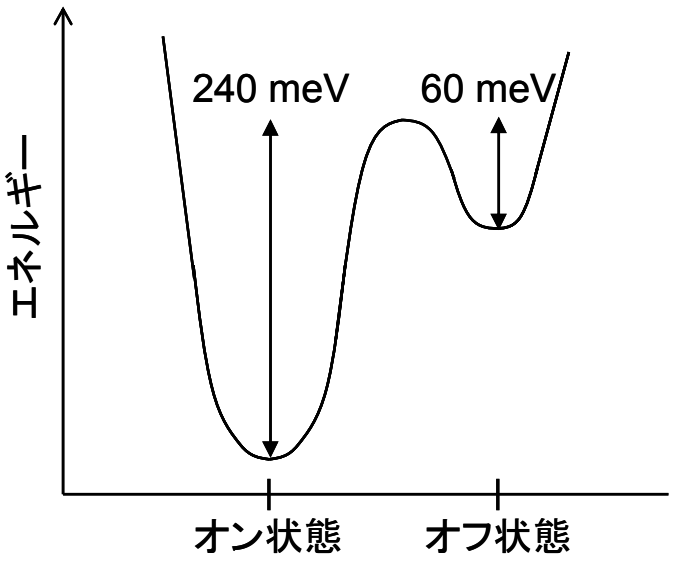


図 2-29 V-SILC を発生させる欠陥の状態遷移のためのエネルギー障壁構成

外される。以上より、V-SILC を引き起こす状態遷移機構は(ii) 電荷衝突による欠陥構造遷移である。

図 2-28 における注意点として、$1/\tau_{on}$ と $1/\tau_{off}$ はそれぞれ異なる電流密度に対してプロットされている。具体的には、$1/\tau_{on}$ と $1/\tau_{off}$ はそれぞれ $I_{V\text{-}SILC}/A_{V\text{-}SILC}$～$10^{-1}$ A/cm^2 と $(I_{tunnel}+I_{SILC})/A_{SILC}$～$10^{-5}$ A/cm^2 に対してプロットされている。従って、$1/\tau_{on}$ を $1/\tau_{off}$ と同じ電流密度でプロットした場合、$1/\tau_{on}$ は 4 桁小さくなり、$1/\tau_{on}$ と $1/\tau_{off}$ は交わらない。

電荷衝突により構造が遷移する欠陥は理論的に生じることが報告されている。一例として ReRAM において酸素空孔が電荷注入により誘起され、導電性のフィラメントを形成することが挙げられる[41]。別の例として、SiO_2 中の酸素空孔が電荷注入により構造変化することが報告されている[42]。

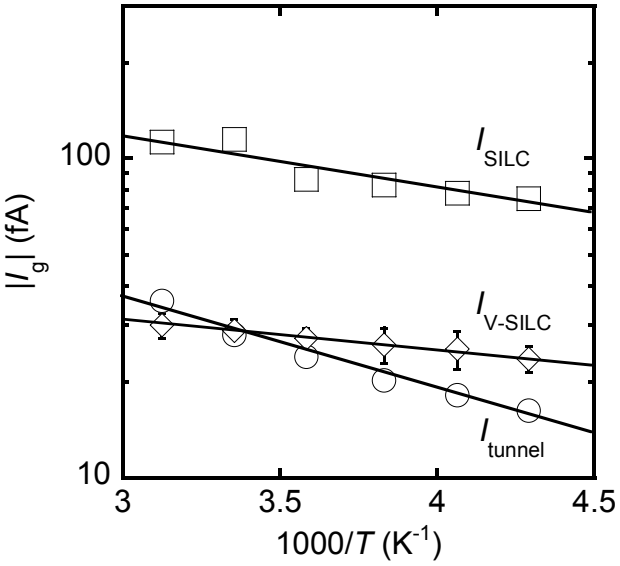


図 2-30 I_{tunnel}、I_{SILC}、と $I_{V\text{-}SILC}$ の温度依存性

2-4-4 まとめ

フラッシュメモリにおけるエラティックなリテンション不良の起源の一つと考えられるゲート SILC の動的ゆらぎである V-SILC を解析した。V-SILC 発生率のストレス条件依存性より、V-SILC 発生率は注入電荷量や注入電荷のエネルギーの増加と共に増加することが分かった。また、TAT に基づく V-SILC の電子伝導モデルを提案し、V-SILC 発生率がゲート酸化膜厚の減少と共に増加することを示した。従って、フラッシュメモリにおける V-SILC 発生率を決める要因としては、書換え回数、書換え速度、そしてトンネル酸化膜厚が挙げられる。更に、オン状態とオフ状態の滞在時間比のゲート電圧依存性より、V-SILC はゲート電圧が高いほどオン状態に滞在しやすいことが分かった。従って、発生した V-SILC をオフ状態に留めるには、動作電圧を適切に制御する必要がある。また、ゲート電圧を上げることで、V-SILC による不良ビットのスクリーニングができる可能性がある。2 値 V-SILC の詳細な解析により、V-SILC は単一欠陥の状態遷移に起因した RTN によるもので、欠陥の状態遷移機構は電荷衝突による欠陥構造遷移であることが分かった。

2-5 今後の高速・高密度化の指針

微細化と共に、電荷保持寿命の信頼性マージンは小さくなるため、V-SILC の発生がエラティックなリテンション不良に繋がりやすくなる。V-SILC 発生率を抑制する観点からは、書換え回数や動作速度を緩和し、トンネル絶縁膜厚は維持することが望ましい。また、動作速度の緩和は、動作電圧の低電圧化にも繋がるため、発生した V-SILC をオフ状態に留めやすくなる。信頼性の向上と高速・高密度化はトレードオフの関係にあるが、ここでは、信頼性を確保しながら高速・高密度化を達成するための指針を MONOS 型適用以外の観点から示す。

トンネル絶縁膜については、酸化膜から酸窒化膜や High-k 膜に置き換え、物理膜厚を増しながら EOT を薄膜化することにより、SILC や V-SILC に対する信頼性を確保しながら高速化や動作電圧の低電圧化を達成できる可能性がある。層間絶縁膜についても、現在の ONO 構造から酸窒化膜や High-k 膜に置き換えることによる EOT 薄膜化が望まれる。トンネル絶縁膜には、電荷保持寿命を確保するために、初期欠陥や書換えによる欠陥の発生が無いことが求められることから、高品質な High-k 膜の開発が急務となっている。

制御ゲート及び浮遊ゲートについては、メタルゲートを採用することにより薄膜化されるため、隣接セルとのカップリングを減少でき、ディスターブ耐性が向上する。また、制御ゲートと浮遊ゲートの容量結合比も向上することから、高速化にも寄与する。

信頼性を確保しながら高速・高密度化を達成するためには上記のような材料レベル・デバイスレベルでの対策に加え、ECC のようなシステムレベルでの対策もより重要になる。また、故障検知には、本研究で得られた τ_{on}/τ_{off} のゲート電圧依存性の知見も重要となる。

これらの対策によっても浮遊ゲート型フラッシュメモリを延命できない場合には、MONOS 型のような新方式を適用することが必要となると考えられる。

2-6 フラッシュメモリ以外のデバイスにおける動的ゆらぎ問題

2-2 節では、浮遊ゲート型フラッシュメモリにおける動的ゆらぎとしてしきい電圧の動的ゆらぎに触れ、2-3 節ではゲート SILC の動的ゆらぎ(V-SILC)の詳細な解析結果を示した。これら 2 つの動的ゆらぎは MONOS 型フラッシュメモリにおいても信頼性課題となる[43-45]。但し、MONOS 型は離散記憶型であることから、V-SILC に対する電荷保持寿命の信頼性マージンは浮遊ゲート型よりも高いと考える(離散記憶型の利点については次章で説明する)。ここでは、フラッシュメモリ以外のデバイスにおける動的ゆらぎ問題について触れる。

まず、RTN によるしきい電圧の動的ゆらぎがフラッシュメモリ以外のデバイスにおいても信頼性課題となることを説明する。フラッシュに次いで微細化が進んでいる SRAM においても RTN によるしきい電圧の動的ゆらぎが発生するため、今後大きな信頼性課題になると考えられる(図 2-31)。デバイスへの影響を評価する研究[46-48]だけでなく、しきい電圧変動の抑制方法[49]、シミュレーションによる見積もり方法[50]、信頼性確保のための設計方法に関する研究[51]や加速試験や製品信頼性評価等に向けた直接観測の研究[52,53]も行われている。また、CMOS イメージセンサーにおいても暗状態におけるランダムノイズに RTN が関わっているとの報告がある[54,55]。

次に、しきい電圧以外の動的ゆらぎ現象について説明する。古くから知られている動的ゆらぎとして、DRAM のリテンション時間の動的ゆらぎである可変リテンション時間(VRT:Variable Retention

Time)[56,57]が挙げられる。DRAM はキャパシタに電荷を蓄え、電荷の有無によって情報を記憶するが、電荷は漏えいによりやがて失われるため、ある時間間隔で再び記憶し直すリフレッシュが必要である。リテンション時間とは、電荷の漏えいにより情報が無くなるまでの時間である。リフレッシュの間隔は、リテンション時間よりも短くする必要があるが、 VRT が発生すると、リテンション時間が動的に変動し、リフレッシュ間隔より短くなった場合には記憶が消失する。VRT の起源はキャパシタからの電荷の漏れ電流である接合リーク電流の動的ゆらぎである可変接合リーク電流(VJL:Variable Junction Leakage)(図 2-32)と考えられており[58]、p-n 接合付近の欠陥[59]の状態遷移に起因していると考えられている。

SRAM においては、最低動作電圧(V_{min})が動的にゆらぐ現象が観測されており、ゲートリーク電流の動的ゆらぎが起因していることが分かった[60]。ゲート酸化膜の厚さは 2 nm 以下であることから、ゲート電流は直接トンネル電流が支配的であると考えられる。ゲートリーク電流の動的ゆらぎは、ゲート絶縁膜中トラップの電子捕獲・放出により直接トンネル電流が変動することが原因と考えられる。

上記のように、動的ゆらぎはフラッシュメモリだけではなく、DRAM や SRAM に加えて CMOS イメージセンサーにおいても信頼性課題となっており、今後の微細化の進行と共に深刻化していく可能性が高い。また、動的ゆらぎは、微細な FET を高密度に集積したデバイスにおいて発生しやすい。フラッシュメモリにおける動的ゆらぎ対策と同様に、現象の解析、機構の解明、デバイスレベル及びシステムレベルでの対策が重要である。

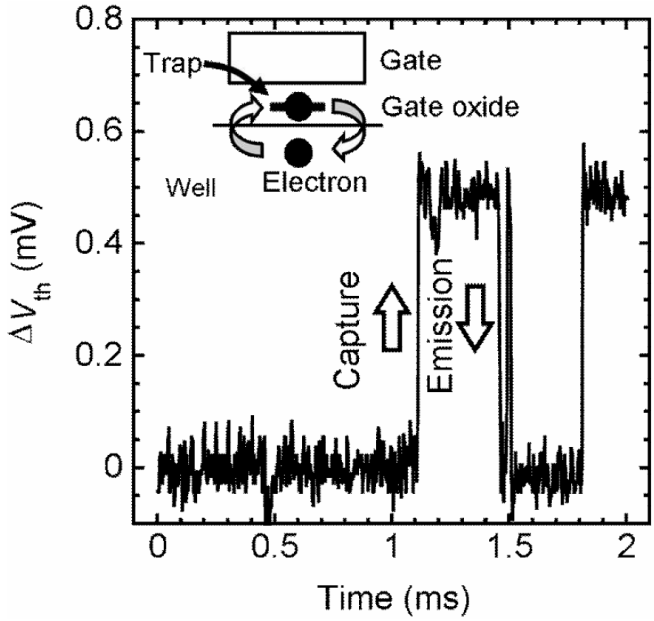


図 2-31 n-MOSFET における RTN によるしきい電圧の動的ゆらぎ[46]

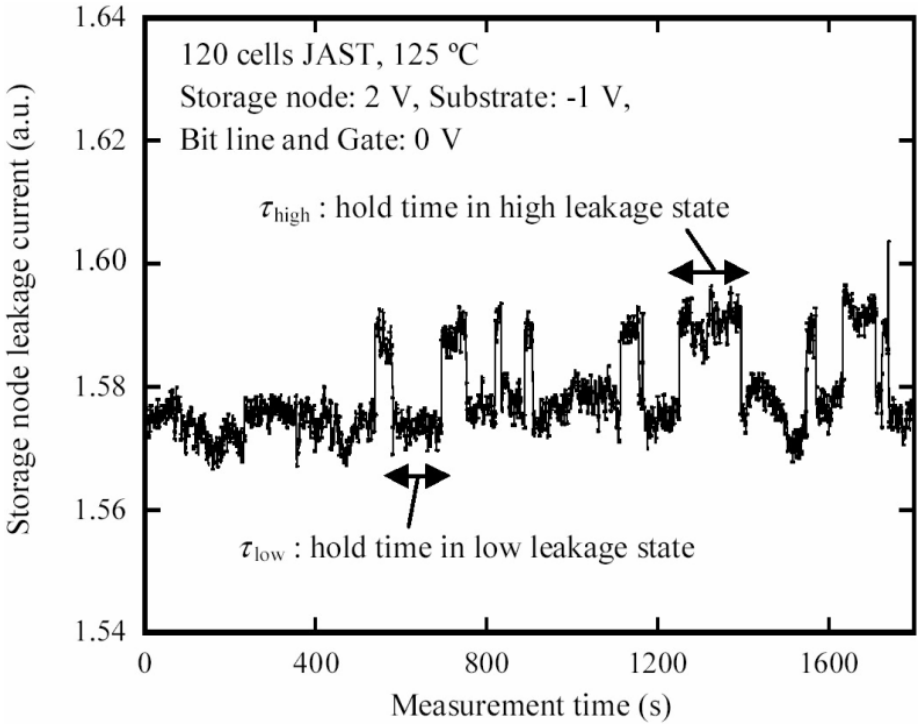


図 2-32 DRAM における p-n 接合リーク電流の動的ゆらぎ[58]

2-7 2 章のまとめ

2 章では、浮遊ゲート型フラッシュメモリにおいて顕在化している新しい信頼性課題として動的ゆらぎを取り上げた。RTN によるしきい電圧の動的ゆらぎはチャネル近傍のトンネル酸化膜中のトラップが電子を捕獲・放出することにより発生する。発生した場合、読出し時やベリファイ時にデータ化けとなる恐れがあり、2006 年以降から機構解析やデバイス信頼性への影響に関する研究が盛んに行われている。一方、SILC の動的ゆらぎである V-SILC はエラティックなリテンション不良の原因であると考えられるが、その詳細な解析は行われていなかった。そこで、2-4 節では V-SILC に着目し、その現象解析結果についてフラッシュメモリの信頼性に及ぼす影響や V-SILC 抑制の観点から議論した。その結果、V-SILC の発生率を決める要因として、書換え回数、書換え速度、トンネル酸化膜厚が挙げられること、動作電圧が高いほどリーク電流の大きい状態をとりやすいことを明らかにした。更に、V-SILC は単一欠陥の状態遷移に起因した RTN によるもので、状態遷移機構は電荷衝突による欠陥構造遷移であることが分かった。2-5 節では、今後の浮遊ゲート型フラッシュメモリの高速・高密度化の指針を MONOS 型適用以外の観点から議論し、絶縁膜の High-k 膜置換えや多結晶シリコンゲートのメタルゲート化が有効であることと、ECC のようなシステムレベルでの対策がより重要となることを示した。3 章では、信頼性を保ちながら、更なる高速・高密度化を実現できる可能性を持つ MONOS 型フラッシュメモリについて詳しく議論する。

第 2 章の参考文献

[1] Dong-Chan Kim, Wang-Chul Shin, Jae-Duk Lee, Jin-Hyun Shin, Joon-Hee Lee, Sung-Hoi Hur, Ihn-Gee Baik, Yoo-Choel Shin, Chang-Hyun Lee, Jae-Sun Yoon, Heon-Guk Lee, Kwon-Soon Jo, Seung-Wook Choi, Byung-Kwan You, Jeong-Hyuk Choi, D. Park, and K. Kim, "A 2Gb NAND Flash Memory with 0.044 μm Cell Size using 90 nm Flash Technology," in *IEDM Tech. Dig.*, pp. 37.1.1-37.1.4, 2002.

[2] Yong-Sik Yim, Kwang-Shik Shin, Sung-Hoi Hur, Jae-Duk Lee, Ihn-Gee Baik, Hong-Soo Kim, Soo-Jin Chai, Eun-Young Choi, Min-Cheol Park, Dong-Seok Eun, Sung-Bok Lee, Hye-Jin Lim, Sun-Pi1 Youn, Sung-Hun Lee, Tae-Jung Kim, Han-Soo Kim, Kyu-Cham Park, and Ki-Nam Kim, "70 nm NAND Flash Technology with 0.025 μm^2 Cell Size for 4Gb Flash Memory," in *IEDM Tech. Dig.*, pp. 34.1.1-34.1.4, 2003.

[3] http://www.electroiq.com/articles/sst/2007/07/sst-july-07-samsungs-nand-flash-evolution.html, "Samsung's NAND Flash evolution," Solid State TECHNOLOGY, 07/06/2007.

[4] T. Kamigaichi, F. Arai, H. Nitsuta, M. Endo, K. Nishihara, T. Murata, H. Takekida, T. Izumi, K. Uchida, T. Maruyama, I. Kawabata, Y. Suyama, A. Sato, K. Ueno, H. Takeshita, Y. Joko, S. Watanabe, Y. Liu, H. Meguro, A. Kajita, Y. Ozawa, T. Watanabe, S. Sato, H. Tomiie, Y. Kanamaru, R. Shoji, C.H. Lai, M. Nakamichi, K. Oowada, T. Ishigaki, G. Hemink, D. Dutta, Y. Dong, C. Chen, G. Liang, M. Higashitani, and J. Lutze, "Floating Gate Super Multi Level NAND Flash Memory Technology for 30 nm and Beyond," in *IEDM Tech. Dig.*, pp. 1-4, 2008.

[5] E. S. Cho, H. J. Kim, B. T. Kim, J. H. Song, D. H. Song, Jeong-Hyuk Choi, Kang-Deog Suh, and C. Chung, "Optimal Cell Design for Enhancing Reliability Characteristics for sub 30 nm NAND Flash Memory," in *Proc. of the IRPS*, pp. 611-614, 2010.

[6] Choong-Ho Lee, Suk-Kang Sung, D. Jang, S. Lee, S. Choi, J. Kim, S. Park, M. Song, Hyun-Chul Baek, E. Ahn, J. Shin, K. Shin, K. Min, Sung-Soon Cho, Chang-Jin Kang, J. Choi, K. Kim, Jeong-Hyuk Choi, Kang-Deog Suh, Tae-Sung Jung, "A highly manufacturable integration technology for 27 nm 2 and 3bit/cell NAND flash memory," in *IEDM Tech. Dig.*, pp. 5.1.1-5.1.4, 2010.

[7] K. W. Lee, S. K. Choi, S. J. Chung, H. L. Lee, S. M. Yi, B. I. Han, B. I. Lee, D. H. Lee, J. H. Seo, N. Y. Park, H. S. Kim, H. S. Kim, T. U. Youn, K. H. Noh, M. K. Lee, J. Y. Lee, K. H. Han, W. S. Woo, S. W. Cho, S. C. Lee, S. S. Kim, C. S. Hyun, W. J. Suh, S. D. Kim, M. K. Ahn, H. S. Kim, K. S. Kim, G. S. Cho, S. K. Park, S. Aritome, J. W. Kim, S. K. Lee, S. J. Hong, and S. W. Park, "A Highly Manufacturable Integration Technology of 20 nm Generation 64Gb Multi-Level NAND Flash Memory," in *VLSI Symp. Tech. Dig.*, pp. 70-71, 2010.

[8] Jong-Ho Park, Sung-Hoi Hur, Joon-Hee Lee, Jin-Taek Park, Jong-Sun Sel, Jong-Won Kim, Sang-Bin Song, Jung-Young Lee, Ji-Hwon Lee, Suk-Joon Son, Yong-Seok Kim, Min-Cheol Park, Soo-Jin Chai, Jung-Dal Choi, U-In Chung, Joo-Tae Moon, Kyeong-Tae Kim, K. Kim, and Byung-Il Ryu, "8Gb MLC (Multi-Level Cell) NAND Flash Memory using 63 nm Process Technology," in *IEDM Tech. Dig.*, pp. 36.1.1-36.1.4, 2004.

[9] M. Noguchi, T. Yaegashi, H. Koyama, M. Morikado, Y Ishibashi, S. Ishibashi, K. Ino, K. Sawamura, T. Aoi, T. Maruyama, A. Kajita, E. Ito, M. Kishida, K. Kanda, K. Hosono, S. Miyamoto, F. Ito, Y. Hirata, G. Hemink, M. Higashitani, A. Mak, J. Chan, M. Koyanagi, S. Ohshima, H. Shibata, H. Tsunoda, and S. Tanaka, "A High-performance Multi-level NAND Flash Memory with 43nm-node Floating-gate Technology," in *IEDM Tech. Dig.*, pp. 445-448, 2007.

[10]International Technology Roadmap for Semiconductors

[11]H. Kurata, K. Otsuga, A. Kotabe, S. Kajiyama, T. Osabe, Y. Sasago, S. Narumi, K. Tokami, S. Kamohara, and O. Tsuchiya, "The Impact of Random Telegraph Signals on the Scaling of Multilevel Flash Memories," in *VLSI Symp. Tech. Dig.*, pp. 112-113, 2006.

[12]H. Kurata, K. Otsuga, A. Kotabe, S. Kajiyama, T. Osabe, Y. Sasago, S. Narumi, K. Tokami, S. Kamohara, and O. Tsuchiya, "Random Telegraph Signal in Flash Memory: Its Impact on Scaling of Multilevel Flash Memory Beyond the 90-nm Node," *IEEE J. Solid-State Circuits*, vol.42, no.6, pp.1362-1369, 2007.

[13]K. Fukuda, Y. Shimizu, K. Amemiya, M. Kamoshida, and C. Hu, "Random Telegraph Noise in Flash Memories - Model and Technology Scaling," in *IEDM Tech. Dig.*, pp. 169-172, 2007.

[14]C. M. Compagnoni, A. S. Spinelli, S. Beltrami, M. Bonanomi, and A. Visconti, "Cycling Effect on the Random Telegraph Noise Instabilities of NOR and NAND Flash Arrays," *IEEE Electron Device Lett.*, vol. 29, no. 8, pp. 941-943, Aug. 2008.

[15]Sing-Rong Li, W. McMahon, Yin-Lung R. Lu, and Yung-Huei Lee, "RTS Noise Characterization in Flash Cells," *IEEE Electron Device Lett.*, vol. 29, no. 1, pp. 106-108, Jan. 2008.

[16]A. Ghetti, C. M. Compagnoni, F. Biancardi, A. L. Lacaita, S. Beltrami, L. Chiavarone, A. S. Spinelli, and A. Visconti, "Scaling trends for random telegraph noise in deca-nanometer Flash memories," in *IEDM Tech. Dig.*, pp. 1-4, 2008.

[17]C. M. Compagnoni, R. Gusmeroli, A. S. Spinelli, A. L. Lacaita, M. Bonanomi, and A. Visconti, "Statistical Model for Random Telegraph Noise in Flash Memories," *IEEE Trans. Electron Devices*, vol. 55, no. 1, Jan. 2008.

[18]A. Ghetti, C. M. Compagnoni, A. S. Spinelli, and A. Visconti, "Comprehensive Analysis of Random Telegraph Noise Instability and Its Scaling in Deca–Nanometer Flash Memories," *IEEE Trans. Electron Devices*, vol. 56, no. 8, Aug. 2009.

[19]C. M. Compagnoni, M. Ghidotti, A. L. Lacaita, A. S. Spinelli, and A. Visconti, "Random Telegraph Noise Effect on the Programmed Threshold-Voltage Distribution of Flash Memories," *IEEE Electron Device Lett.*, vol. 30, no. 9, pp. 984-986, Sep. 2009.

[20]K. Takeuchi, T. Nagumo, and T. Hase, "Comprehensive SRAM Design Methodology for RTN Reliability," in *VLSI Symp. Tech. Dig.*, pp. 130-131, 2011.

[21]H. Miki, M. Yamaoka, N. Tega, Z. Ren, M. Kobayashi, C. P. D'Emic, Y. Zhu, D. J. Frank, M. A. Guillorn, D. Park, W. Haensch, and K. Torii, "Understanding Short-term BTI Behavior through Comprehensive Observation of Gate-voltage Dependence of RTN in Highly Scaled High-k /

Metal-gate pFETs," in *VLSI Symp. Tech. Dig.*, pp. 148-149, 2011.

[22]T. N. Nguyen and P. Olivo, "A NEW FAILURE MODE OF VERY THIN (< 50A) THERMAL SiO_2 FILMS," in Proc. of the IRPS, pp. 66-71, 1987.

[23]D. Ielmini, A. S. Spinelli, M. A. Rigamonti, and A. L. Lacaita, "Modeling of SILC Based on Electron and Hole Tunneling—Part I: Transient Effects," *IEEE Trans. Electron Devices*, vol. 47, no. 6, pp. 1258-1265, Jun. 2000.

[24]D. Ielmini, A. S. Spinelli, M. A. Rigamonti, and A. L. Lacaita, "Modeling of SILC Based on Electron and Hole Tunneling—Part II: Steady-State," *IEEE Trans. Electron Devices*, vol. 47, no. 6, pp. 1266-1272, Jun. 2000.

[25]R. Yamada and T. J. King, "Variable stress-induced leakage current and analysis of anomalous charge loss for flash memory application," in *Proc. of the IRPS*, pp. 491-496, 2003.

[26]G. Tempel, J. Hermann, M. Kerber, T. Kern, R. Strenz, and R. Wiesner, "Abnormal charge loss of Flash cells at medium temperatures," in *Proc. of the Non-Volatile Semiconductor Memory Workshop (NVSMW)*, pp. 105-107, 1999.

[27]D. Wellekens, P. Hendrickx, F. Schuler, and J. V. Houdt, "Field and Cycling dependence of Anomalous Charge Loss in Flash Memory Cells," in *Proc. of the NVSMW*, pp. 120-122, 2001.

[28]R. Degraeve, F. Schuler, M. Lorenzini, D. Wellekens, P. Hendrickx, J. van Houdt, L. Haspeslagh, G. Groseneken, and G. Tempel, "Analytical model for failure rate prediction due to anomalous charge loss of flash memories," in *IEDM Tech. Dig.*, pp. 699-702, 2001.

[29]F. Schuler, R. Degraeve, P. Hendrickx, and D. Wellekens, "Physical description of anomalous charge loss of floating gate based NVM's and identification of its dominant parameter," in *Proc. of the IRPS*, pp. 26-33, 2002.

[30]R. Degraeve, F. Schuler, B. Kaczer, M. Lorenzini, D. Wellekens, P. Hendrickx, M. van Duuren, G. J. M. Dormans, J. van Houdt, L. Haspeslagh, G. Groseneken, and G. Tempel, "Analytical percolation model for predicting anomalous charge loss in Flash memories," *IEEE Trans. Electron Devices*, vol. 51, no. 9, pp. 1392-1400, Jun. 2004.

[31]A. Scarpa, G. Tao, J. Dijkstra, and F. G. Kuper, "Fast-bit-limited lifetime modeling of advanced floating gate non-volatile memories," in *Proc. of the IRW*, pp. 24-28, 2000.

[32]A. Modelli, F. Gilardoni, D. Ielmini, and A. S. Spinelli, "A new conduction mechanism for the anomalous cells in thin oxide flash EEPROMs," in *Proc. of the IRPS*, pp. 61-66, 2001.

[33]D. Ielmini, A. S. Spinelli, A. L. Lacaita, and A. Modelli, "A new two-trap tunneling model for the anomalous SILC in flash memories," Microelectron. Eng. 59, pp. 189-195, 2001.

[34]Y. Kumagai, A. Teramoto, S. Sugawa, T. Suwa, and T. Ohmi, "Statistical evaluation for anomalous SILC of tunnel oxide using integrated array TEG," in *Proc. of the IRPS*, pp. 219-224, 2008.

[35]Y. Kumagai, A. Teramoto, T. Inatsuka, R. Kuroda, T. Suwa, S. Sugawa, and T. Ohmi, "Evaluation for Anomalous Stress-Induced Leakage Current of Gate SiO_2 Films Using Array Test Pattern," *IEEE Trans. Electron Devices*, vol. 58, no. 10, pp. 3307-3313, Oct. 2011.

[36]T. Inatsuka, Y. Kumagai, R. Kuroda, A. Teramoto, S. Sugawa, and T. Ohmi, "Recovery Characteristics of Anomalous Stress-Induced Leakage Current of 5.6nm Oxide Films," *Jpn, J. Appl. Phys.*, 51, 04DC02, 2012.

[37]Z. Celik-Butler and N. V. Amarasinghe, in Noise and Fluctuations Control in Electronic Devices, ed. by A. A. Balandin (ASP, Los Angeles), pp. 187-199, 2002.

[38]C. M. Chang, Steve S. Chung, Y. S. Hsieh, L. W. Cheng, C. T. Tsai, G. H. Ma, S. C. Chien, and S. W. Sun, "The Observation of Trapping and Detrapping Effects in High-k Gate Dielectric MOSFETs by a New Gate Current Random Telegraph Noise (I_G-RTN) Approach," in *IEDM Tech. Dig.*, pp. 1-4, 2008.

[39]H. Uchida and T. Ajioka, "Electron trap center generation due to hole trapping in SiO_2 under Fowler–Nordheim tunneling stress," *Appl. Phys. Lett.*, vol. 51, pp. 433-435, 1987.

[40]J. F. Zhang, S. Taylor, and W. Eccleston, "Electron trap generation in thermally grown SiO_2 under Fowler–Nordheim stress," *J. Appl. Phys.*, vol. 71, pp. 725-734, 1992.

[41]K. Kamiya, M. Y. Yang, Seong-Geon Park, B. Magyari-Köpe, Y. Nishi, M. Niwa, and K. Shiraishi, "ON-OFF switching mechanism of resistive-random-access-memories based on the formation and disruption of oxygen vacancy conducting channels," *Appl. Phys. Lett.*, vol. 100, 073502, 2012.

[42]A. Oshiyama, "Hole-Injection-Induced Structural Transformation of Oxygen Vacancy in α-Quartz," *Jpn. J. Appl. Phys.* vol. 37, pp. L232-L234, 1998.

[43]S.H. Gu, C.W. Li, T. Wang, W.P. Lu, K.C. Chen, J. Ku, and Chih-Yuan Lu, "Read Current Instability Arising from Random Telegraph Noise in Localized Storage, Multi-Level SONOS Flash Memory," in *IEDM Tech. Dig.*, pp. 1-4, 2006.

[44]H. C. Ma, Y. L. Chou, J. P. Chiu, T. Wang, S. H. Ku, N. K. Zou, V. Chen, W. P. Lu, K. C. Chen, and Chih-Yuan Lu, "Program Trapped-Charge Effect on Random Telegraph-Noise Amplitude in a Planar SONOS Flash Memory Cell," *IEEE Electron Device Lett.*, vol. 30, no. 11, pp. 1188-1190, Nov. 2009.

[45]J. P. Chiu, Y. L. Chou, H. C. Ma, T. Wang, S. H. Ku, N. K. Zou, V. Chen, W. P. Lu, K. C. Chen, and Chih-Yuan Lu, "Program Charge Effect on Random Telegraph Noise Amplitude and Its Device Structural Dependence in SONOS Flash Memory," in *IEDM Tech. Dig.*, pp. 1-4, 2009.

[46]N. Tega, H. Miki, M. Yamaoka, H. Kume, T. Mine, T. Ishida, Y. Mori, R. Yamada, and K. Torii, "Impact of Threshold Voltage Fluctuation due to Random Telegraph Noise on Scaled-down SRAM," in *Proc. of the IRPS*, pp. 541-546, 2008.

[47]K. Takeuchi, T. Nagumo, S. Yokogawa, K. Imai, and Y. Hayashi, "Single-Charge-Based Modeling of Transistor Characteristics Fluctuations Based on Statistical Measurement of RTN Amplitude," in *VLSI Symp. Tech. Dig.*, pp. 54-55, 2009.

[48]N. Tega, H. Miki, F. Pagette, D. J. Frank, A. Ray, M. J. Rooks, W. Haensch, and K. Torii, "Increasing Threshold Voltage Variation due to Random Telegraph Noise in FETs as Gate Length Scale to 20 nm," in *VLSI Symp. Tech. Dig.*, pp. 50-51, 2009.

[49]N. Tega, H. Miki, Z. Ren, C. P. D'Emic, Y. Zhu, D. J. Frank, J. Cai, M. A. Guillorn, D.-G. Park, W. Haensch, and K. Torii, "Reduction of Random Telegraph Noise in High-k / Metal-gate Stacks for 22 nm Generation FETs," in *IEDM Tech. Dig.*, pp. 771-774, 2009.

[50]M. Tanizawa, S. Ohbayashi, T. Okagaki, K. Sonoda, K. Eikyu, Y. Hirano, K. Ishikawa, O. Tsuchiya, and Y. Inoue, "Application of a Statistical Compact Model for Random Telegraph Noise to Scaled-SRAM V_{min} Analysis," in *VLSI Symp. Tech. Dig.*, pp. 95-96, 2010.

[51]K. Takeuchi, T. Nagumo, and T. Hase, "Comprehensive SRAM Design Methodology for RTN Reliability," in *VLSI Symp. Tech. Dig.*, pp. 130-131, 2011.

[52]K. Takeuchi, T. Nagumo, K. Takeda, S. Asayama, S. Yokogawa, K. Imai, and Y. Hayashi, "Direct Observation of RTN-induced SRAM Failure by Accelerated Testing and Its Application to Product Reliability Assessment," in *VLSI Symp. Tech. Dig.*, pp. 189-190, 2010.

[53]M. Yamaoka, H. Miki, A. Bansal, S. Wu, D. J. Frank, E. Leobandung, and K. Torii, "Evaluation Methodology for Random Telegraph Noise Effects in SRAM Arrays," in *IEDM Tech. Dig.*, pp. 745-748, 2011.

[54]Jun-Myung Woo, Hong-Hyun Park, H. S. Min, Y. J. Park, Sung-Min Hong, and C. H. Park, "Statistical Analysis of Random Telegraph Noise in CMOS Image Sensors," *International Conference on Simulation of Semiconductor Processes and Devices*, pp. 77-80, 2008.

[55]B. C. Kim, J. Jeon, and H. Shin, "Temporal Noise Analysis and Reduction Method in CMOS Image Sensor Readout Circuit," *IEEE Trans. Electron Devices*, vol. 56, no. 11, pp. 2489-2495, Nov. 2009.

[56]D. S. Yaney, C. Y. Lu, R. A. Kohler, M. J. Kelly, and J. T. Nelson, "A meta-stable leakage phenomenon in DRAM charge storage — Variable hold time," in *IEDM Tech. Dig.*, pp. 336-339, 1987.

[57]P. J. Restle, J. W. Park, and B. F. Lloyd, "DRAM Variable Retention Time," in *IEDM Tech. Dig.*, pp. 807-810, 1992.

[58]Y. Mori, K. Ohyu, K. Okonogi, and R. Yamada, "The Origin of Variable Retention Time in DRAM," in *IEDM Tech. Dig.*, pp. 1034-1037, 2005.

[59]K. Okonogi, K. Ohyu, A. Toda, and H. Kobayashi, "Lattice Strain Design in W/WN/Poly-Si gate DRAM for Improving Data Retention Time," in *IEDM Tech. Dig.*, pp. 65-68, 2004.

[60]M. Agostinelli, J. Hicks, J. Xu, B. Woolery, K. Mistry, K. Zhang, S. Jacobs, J. Jopling, W. Yang, B. Lee, T. Raz, M. Mehalel, P. Kolar, Y. Wang, J. Sandford, D. Pivin, C. Peterson, M. DiBattista, S. Pae, M. Jones, S. Johnson, and G. Subramanian, "Erratic Fluctuations of SRAM Cache V_{min} at the 90 nm Process Technology Node," in *IEDM Tech. Dig.*, pp. 655-658, 2005.

3. MONOS 型フラッシュメモリ

第 3 章では次世代の NAND 型フラッシュメモリに適用される可能性の高い、MONOS 技術を用いたフラッシュメモリに焦点を当てる。デバイス構造と動作機構を説明した後、浮遊ゲート型との比較を行い、利点と欠点を説明した後で信頼性課題について説明する。MONOS 型フラッシュメモリはトラップに電荷を蓄積して記憶するため、トラップ特性がデバイスの性能や信頼性に大きく影響する。具体的には、トラップの分布、密度、捕獲断面積、準位の深さが挙げられる。第 3 章では特にトラップの分布に着目し、電子トラップと正孔トラップを別々に解析する手法を提案し、解析結果を示すと共に、今後のスケーリングの指針についても議論する。

3-1 緒言

3-1-1 デバイス構造

MONOS 型フラッシュメモリのデバイス構造は、図 3-1 に示すように、断面構造において上からゲート、ブロック酸化膜(トップ酸化膜)、電荷蓄積膜、トンネル酸化膜(ボトム酸化膜)、基板という積層構造をしており、浮遊ゲート型フラッシュメモリの浮遊ゲートを電荷蓄積膜に置換えた構造をとっている。上からメタリックな多結晶シリコン(Metal 又は Silicon)、シリコン酸化膜(Oxide)、シリコン窒化膜(Nitride)、シリコン酸化膜(Oxide)、シリコン基板(Silicon)構造であるため、MONOS 型又は SONOS 型と呼ばれる。高速化や動作電圧の低電圧化を狙って、ゲートに仕事関数の高い金属窒化物を用いる場合[1,2]や、ブロック酸化膜や電荷蓄積膜に High-k 材料を用いる場合[1,3-8]、トンネル酸化膜をバンドエンジニアリングに基づいた ONO 構造とする場合[9]、電荷蓄積膜をバンドエンジニアリングに基づいた積層構造とする場合[10]もあるが、本研究では、最も一般的な多結晶シリコンとシリコン酸化膜、シリコン窒化膜を用いた MONOS 型フラッシュメモリについて議論する。

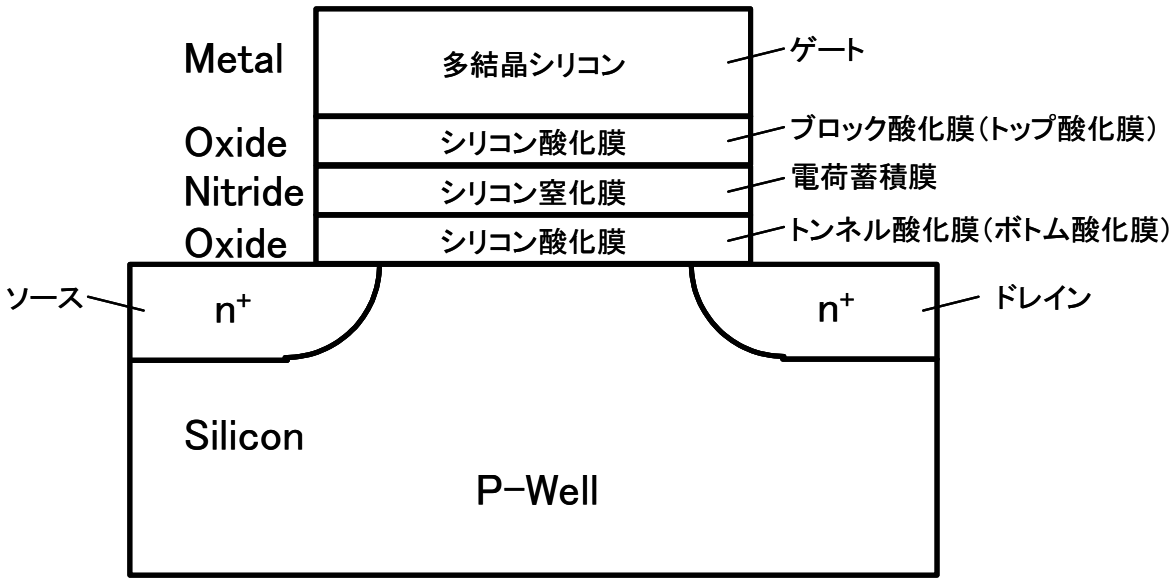


図 3-1 MONOS 型フラッシュメモリの断面模式図

浮遊ゲート型フラッシュメモリが電気的に絶縁された浮遊ゲートに電荷を蓄積することで記憶するのに対し、MONOS 型は絶縁膜中の離散トラップに電荷を蓄積することで記憶する。このようなメモリをチャージトラップメモリと呼ぶ。MONOS 型以外のチャージトラップメモリとしては、絶縁膜中のシリコン微結晶等に電荷を蓄積するナノクリスタルメモリ[11]が挙げられる。

MONOS 型フラッシュメモリの絶縁膜の膜厚構成としては、NROM™[12,13]を例にすると、ボトム酸化膜を 7 nm、窒化膜を 6 nm、トップ酸化膜を 9 nm としている。酸化膜の厚さは 4～5 nm まで薄くしても不揮発性を保つことができるが、それより薄くすると直接トンネリングによる電荷漏れが問題となる。窒化膜の厚さは 5～十数 nm とすることが多い。

3-1-2 動作機構

NROM™ を例に用いて、MONOS 型フラッシュメモリの書込み・消去動作を説明する。書込みには DS-CHEI(Drain Side Channel Hot Electron Injection)を用いる。図 3-2(a)に示すように、ゲートに 9 V、ドレインに 4.5 V を印加し、ソースを GND とすると、ドレイン電圧によりドレイン端の酸化膜のエネルギー障壁が下がり、チャネルを流れる電子の一部が酸化膜のエネルギー障壁を超えてシリコン窒化膜に注入される。書込み時間は 200 ns～数 μs 程度である。これにより、しきい電圧が上がり、書込み状態となる。

消去には、BTBT-HHI(Band to Band Tunneling induced Hot Hole Injection)を用いる。図 3-2(b)に示すように、ゲートに-5 V、ドレインに 5 V を印加すると、ドレイン端で Band-to-band トンネリングにより発生させた高エネルギーの正孔が酸化膜のエネルギー障壁を超えてシリコン窒化膜に注入される。消去時間は 100 μs～数 ms である。これにより、しきい電圧が下がり、消去される。

読み出しは、浮遊ゲート型フラッシュメモリの場合と同様にトランジスタ動作させ、そのときのしきい電圧の大きさによりデータの判定を行う。

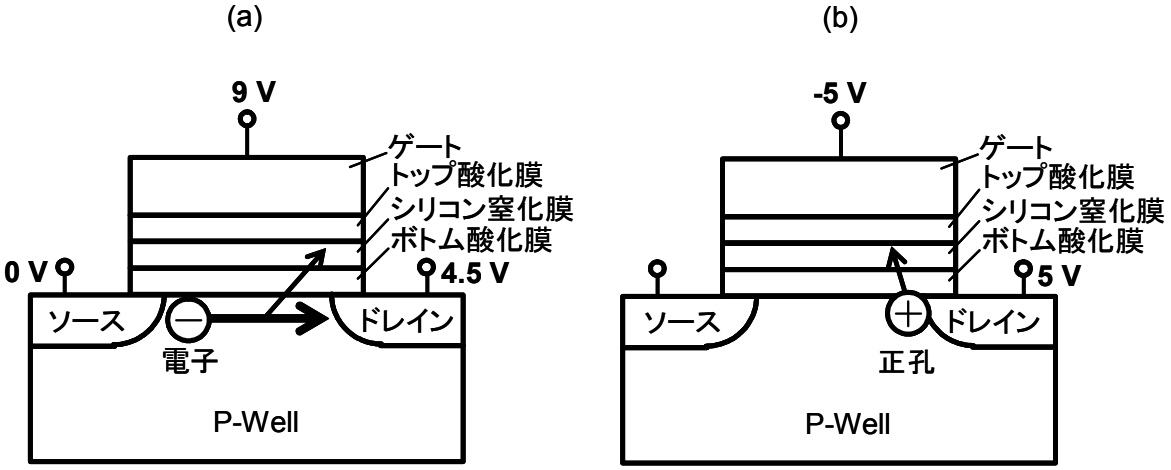


図 3-2 NROM™ の書込み・消去動作。(a)書込み動作、(b)消去動作

注入された電荷は離散したトラップに捕獲されるため、注入された領域から動きにくいことから、図3-2 のように書込み・消去した場合、電荷はドレイン近傍に局在する。従って、ドレインとソースを入れ替えて書込み・消去を行うことにより、ソース近傍にも電荷を局在させることができる。即ち、トラップの離散性を活かしてドレイン及びソース近傍の 2 カ所に独立して電荷蓄積を行うことができる(図3-3)。空間的にビットを分離することに加え、各ビットを MLC とすることで、QLC を実現することもできる[13]。

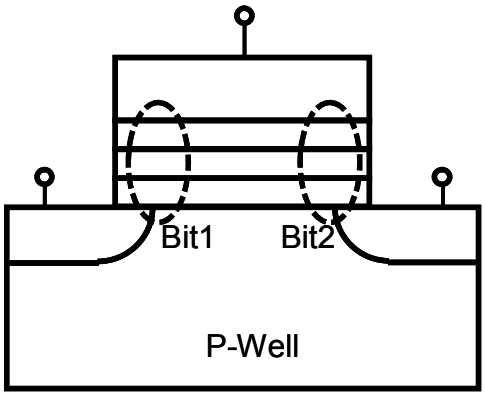


図 3-3 トラップの離散性による 2 bits/cell の実現

3-1-3　浮遊ゲート型との比較による MONOS 型の特徴

浮遊ゲート型フラッシュメモリと MONOS 型フラッシュメモリを比較した結果を表 3-1 にまとめる。両者の最も大きな違いは電荷蓄積領域で、浮遊ゲート型がゲート電極内であるのに対し、MONOS 型は絶縁膜中トラップであることである。この違いが MONOS 型フラッシュメモリの様々な利点や信頼性課題に繋がる。

まず、MONOS 型が浮遊ゲートを持たないことに着目すると、隣接セルとのカップリングが小さく、ディスターブに対する耐性が高い。加えて、浮遊ゲートを持たず、ゲート電極が 1 層であるため、FinFET 構造の適用が容易でスケーラビリティが高いほか、CMOS プロセスとの親和性が高く、混載メモリへの応用が容易である。

次に、電荷の蓄積方式に着目すると、浮遊ゲート型がゲート電極のコンダクションバンドに電荷を蓄積するのに対して、MONOS 型は絶縁膜中の離散トラップの準位に電荷を蓄積する。図電荷蓄積領域を取り囲む絶縁膜に電荷の流出を引起す欠陥があった場合、浮遊ゲート型の場合は、コンダクションバンドに蓄積しているため、全電荷の流出に繋がる[図 3-4(a)]。これに対し、MONOS 型の場合は、欠陥の近くに蓄積された一部の電荷が流出するのみで[図 3-4(b)]、欠陥から離れた電荷ほど漏れにくいことから、欠陥に対する電荷保持寿命の信頼性が高い。このため、MONOS 型フラッシュメモリは、浮遊ゲート型フラッシュメモリよりも電荷蓄積領域を囲む絶縁膜を薄くすることができるため、高速・低電圧動作が可能である。

表 3-1 浮遊ゲート型と MONOS 型フラッシュメモリの比較

比較項目	浮遊ゲート型フラッシュメモリ	MONOS型フラッシュメモリ
電荷蓄積領域	浮遊ゲート (コンダクションバンド)	絶縁膜中トラップ (トラップ準位)
隣接セル間カップリング	大きい	小さい
混載メモリへの応用の容易さ	MONOS型より劣る	良好
FinFET構造の適用	困難	容易
絶縁膜中欠陥による電荷流出	全電荷の流出に繋がる	一部の電荷のみ流出
絶縁膜厚	厚い トンネル酸化膜 ～8 nm	薄い トンネル酸化膜 ～5 nm
書込み・消去後の電荷の分布	均一	トラップ分布と注入位置に依存
書込み・消去後の電荷の再分布	瞬時に完了	時間をかけて発生

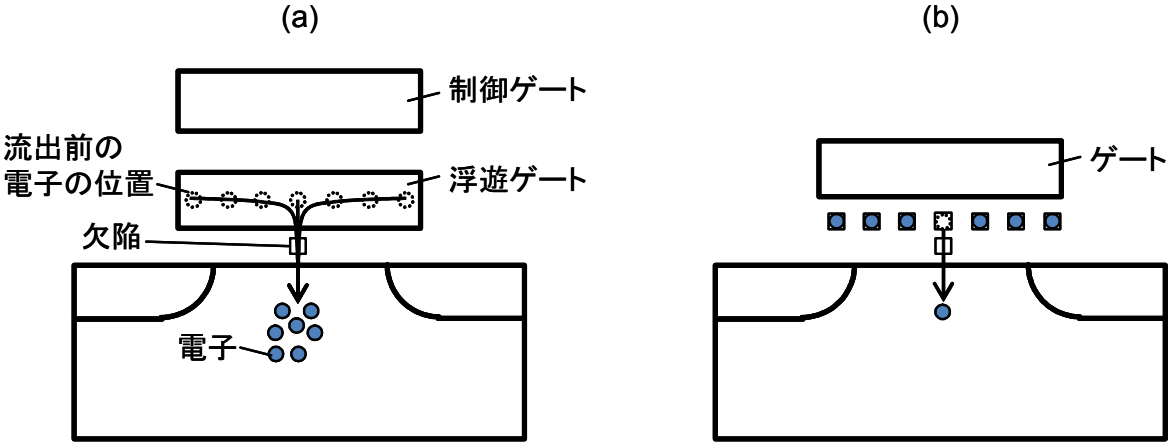


図 3-4 欠陥による電荷流出モデル

(a)浮遊ゲート型フラッシュメモリ、(b)MONOS 型フラッシュメモリ

最後に信頼性課題に繋がる MONOS 型の特徴について説明する。書込み・消去後の電荷の分布に着目すると、浮遊ゲート型の場合は、電子は導体中にあるため、比較的自由に動けることから、均一に分布している。一方、MONOS 型の場合は、3-1-2 項で説明したように、電荷は絶縁膜中の離散的なトラップ準位に捕獲されるため、自由に動きにくいことから、電荷分布はトラップ分布と電荷注入位置に依存する。書込み・消去により、電子や正孔の注入や電子の引き抜きが行われると、電荷蓄積領域内で電荷の再分布が起こる。浮遊ゲート型の場合、電荷の再分布は、導体内での電荷の移動であるため、書込み・消去の完了と共に瞬時に完了する。一方、MONOS 型の場合は、電荷はトラップ準位に捕獲されるため、動きにくく、時間をかけて再分布する。この電荷の再分布が MONOS 型フラッシュメモリの信頼性課題となる。詳細については次節で説明する。

3-2 信頼性課題

MONOS 型フラッシュメモリに書込み・消去を行った後に時間をかけて発生する電荷の再分布が信頼性課題となることを説明する。

図 3-5 を用いて電荷の再分布を説明する。図 3-5(a)は DS-CHEI により電子を ONO 膜に注入した直後のチャネル方向の電子分布を模式的に示したものである。注入直後では、注入した位置の付近に電子密度の急峻なピークを持っている。これに対して、時間の経過に伴って電荷の再分布が発生した後の電子分布は、図 3-5(b)のように電子密度のピークが低く、裾の広がりが大きくなり、なだらかなピークに変わる。この再分布により、しきい電圧が変化するため、信頼性の課題となる。

電荷の再分布は微視的にはトラップ間での電荷の配置転換(図 3-6)によるものと考えられる。従って、チャネル方向を含んだデバイスの水平方向の電荷の配置転換[図 3-6(a)]だけでなく、垂直方向の配置転換[図 3-6(b)]も発生することが考えられる。いずれの方向でも、しきい電圧の変化を引き起すことから、水平方向と垂直方向の両方の電荷の再分布の物理を理解することが MONOS 型フラッシュメモリの信頼性物理の解明に繋がる。例えば、リテンション寿命の予測シミュレーションには電荷の流出だけでなく、再分布の効果も考慮する必要がある。

再分布後も含めた電荷の分布はトラップ分布に依存する。従って、電荷の再分布を理解するためには電荷蓄積膜におけるトラップ分布を解析する必要がある。水平方向では電荷蓄積膜は均質であるためトラップ分布は均一と考えられるが、垂直方向(膜厚方向)は電荷蓄積膜が ONO 膜と積層構造であるためトラップ分布が均一ではない可能性が高い。従って、本研究では MONOS 型フラッシュメモリにおける垂直方向におけるトラップ分布を解析する。

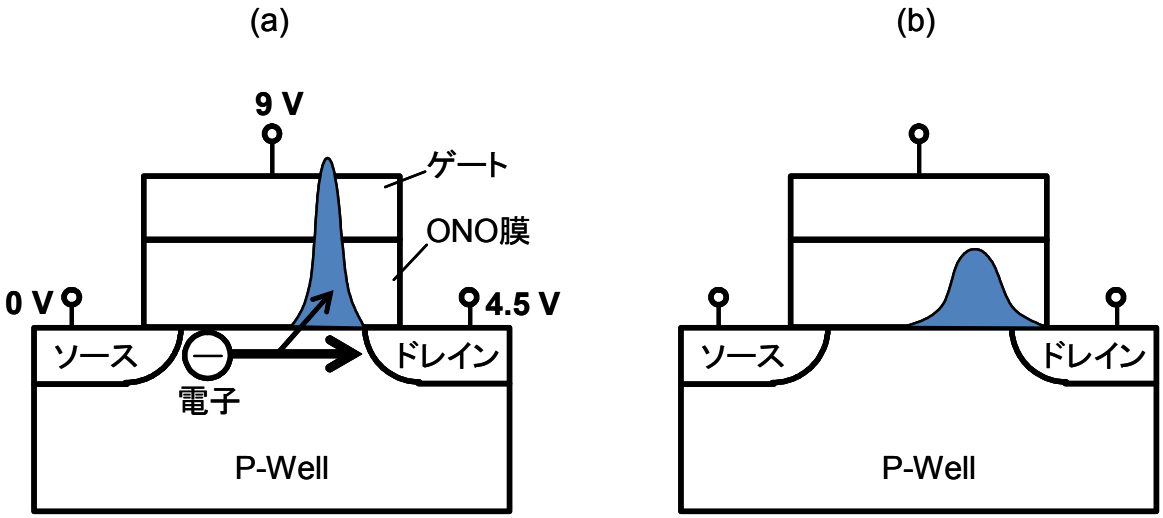


図 3-5 チャネル方向の電荷の再分布の模式図。
(a)注入直後の電子分布、(b)再分布後の電子分布

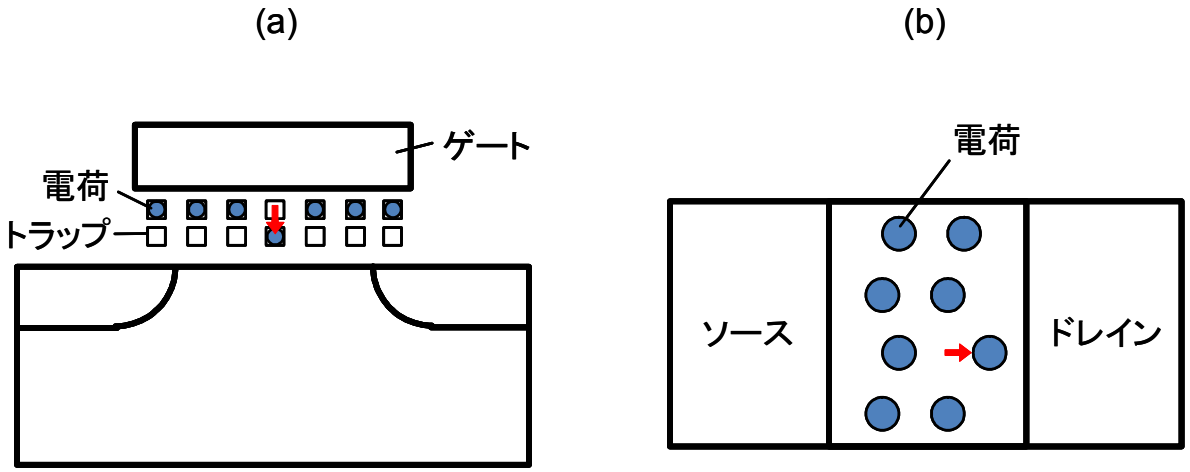


図 3-6 電荷の配置転換の模式図
(a)垂直方向の電荷の配置転換、(b)水平方向の電荷の配置転換

3-3 本研究の目的

本研究の目的は MONOS 型フラッシュメモリにおける電荷蓄積膜の垂直方向のトラップ分布を解析することである。MONOS 型フラッシュメモリは書込みに電子注入を、消去に正孔注入を利用することから、電子と正孔それぞれに対するトラップ分布を解析する。更に、解析結果からトラップの起源についての議論も行う。

また、膜厚スケーリングに対する長期信頼性の観点から、リテンション特性の窒化膜厚依存性についても評価し、トラップ分布の解析結果と合わせて、今後のスケーリングの指針を示す。

3-4 トラップ分布の解析

これまで、MONOS 型フラッシュメモリにおける捕獲電荷の分布を解析するために様々な方法が提案されてきた。ゲートから電荷を FN 注入したときの過渡解析や書込み時のゲートから見た容量とチャネルから見た容量の過渡解析から垂直方向のトラップの重心を求める手法[14,15]や、走査型非線形誘電率顕微鏡(SNDM:Scanning Nonlinear Dielectric Microscopy)を用いて直接電荷を観測する手法[16]が提案されてきた。これらの解析方法は実用的で、MONOS 型フラッシュメモリの開発において非常に強力なツールとなる。しかしながら、過渡解析による手法は詳細な分布は解析できないほか電子と正孔を別々に解析することが困難であり、SNDM による手法は試料を機械的に削り込む必要があるため加工により電荷分布が変化する可能性がある。そこで、本研究では電子トラップと正孔トラップを別々に解析する手法を確立し、MONOS 構造内のトラップ分布を解析する。

3-4-1 実験方法

本研究では MONOS キャパシタのトラップ分布とリテンション特性を解析した。水平方向のデバイス構造の効果を取り除き、解析を簡便にするために MONOS キャパシタを試料とした。MONOS 構造内の電子トラップと正孔トラップの特性を別々に解析するために、アバランシェ注入法と *C-V*(Capacitance-Voltage)測定を組合わせて MONOS キャパシタに適用した。以下では、アバランシェ注入の原理やトラップ分布の解析方法、リテンションの測定方法、試料と測定システムについて詳しく説明する。

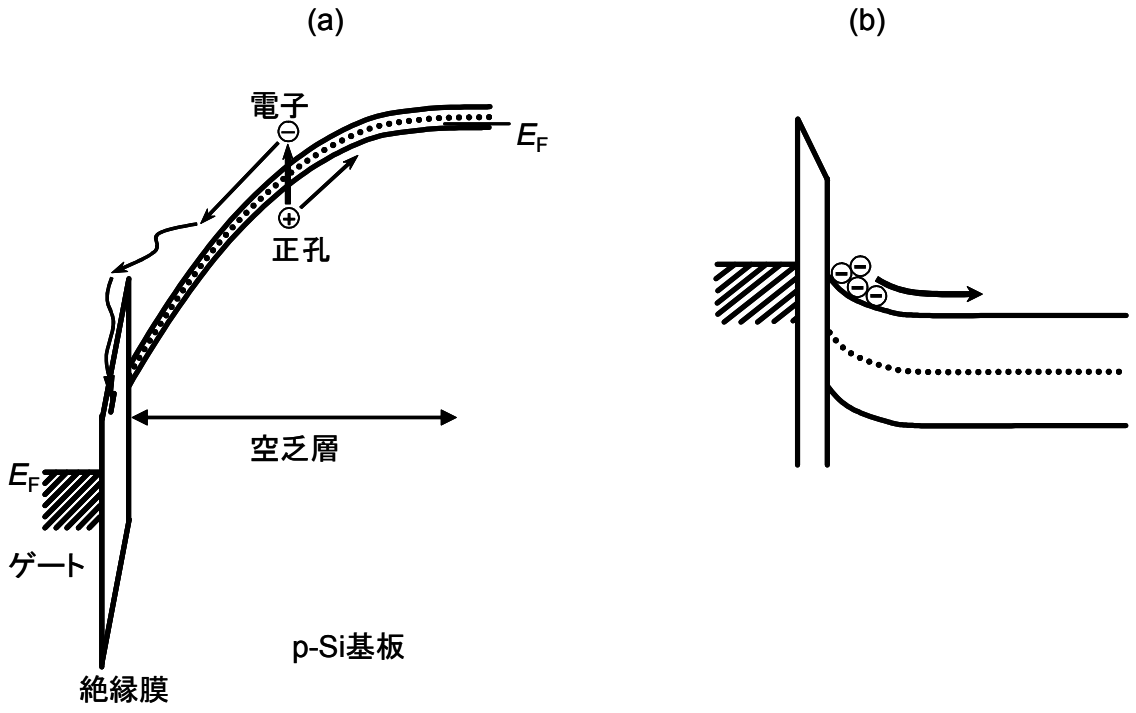
3-4-1-1 アバランシェ注入

アバランシェ注入[17]は、シリコン基板から電子または正孔を選択的に絶縁膜に注入する方法である。基板の少数キャリアを注入するため、電子を注入する場合は、“ゲート/絶縁膜/p 型シリコン基板”の MIS(Metal Insulator Semiconductor)キャパシタ構造の試料を用意し、正孔を注入する場合はシリコン基板を n 型とする。ここでは、電子注入を例にアバランシェ注入の原理を説明する。

ゲートに正電圧を印加すると空乏層がシリコン基板中へ伸びていく。ゲート電圧を反転層形成の時定数よりも短い時間で増加させると空乏層は基板中へ伸び続けて、深い空乏状態となる。この空乏層内でシリコン内殻から励起された電子が順次シリコン内殻電子を衝突励起し、多数の電子が発生する。この現象をアバランシェ降伏と呼ぶ。アバランシェ降伏により発生した電子は、空乏層内電界により加速され絶縁膜へ注入される。アバランシェ注入時の MIS キャパシタのエネルギーバンド図を図 3-7(a)に示す。深い空乏状態を利用したアバランシェ注入では、印加電圧の大部分がシリコン基板にかかり、絶縁膜電界が低いため、ゲートからの電荷注入は殆ど無いことから、基板からの少数キャリアの注入のみとみなすことができる。

アバランシェ注入を行うと、絶縁膜付近のシリコン基板表面に電子が溜まるため、ゲートの電界が基板表面でシールドされてシリコン基板に電界がかからなくなる。そのため、深い空乏状態でなくなり、アバランシェ注入が起こらなくなる。そこで、図 3-7(b)のようにフラットバンド状態から蓄積の状態にすることにより少数キャリアである電子をシリコン基板に拡散させると、再びアバランシェ注入を発生させることができる。本研究では交流電圧をシリコン基板に印加することにより連続的なアバランシェ注入を実現した。

連続的なアバランシェ注入を行うための基板電圧波形と各電圧における状態、アバランシェ注入電流を図 3-8 に示す。基板に図 3-8(a)に示すような負電圧にバイアスされた正弦波の交流電圧を印加し、正側のピーク電圧はフラットバンド電圧(V_{fb})よりも高い電圧とし、負側のピーク電圧と正弦波の周波数で注入電流の大きさを決める。①の状態でシリコン基板を深い空乏状態とし、②でアバランシェ注入を発生させた後、③で少数キャリアである電子を基板に拡散させるという手順を繰り返すことで連続的なアバランシェ注入を実現できる。その結果、図 3-8(b)に示すような電流が流れ、電子がアバランシェ注入される。



E_F:フェルミエネルギー

図 3-7 アバランシェ電子注入を説明するエネルギーバンド図。
(a)アバランシェ注入時、(b)少数キャリア拡散時

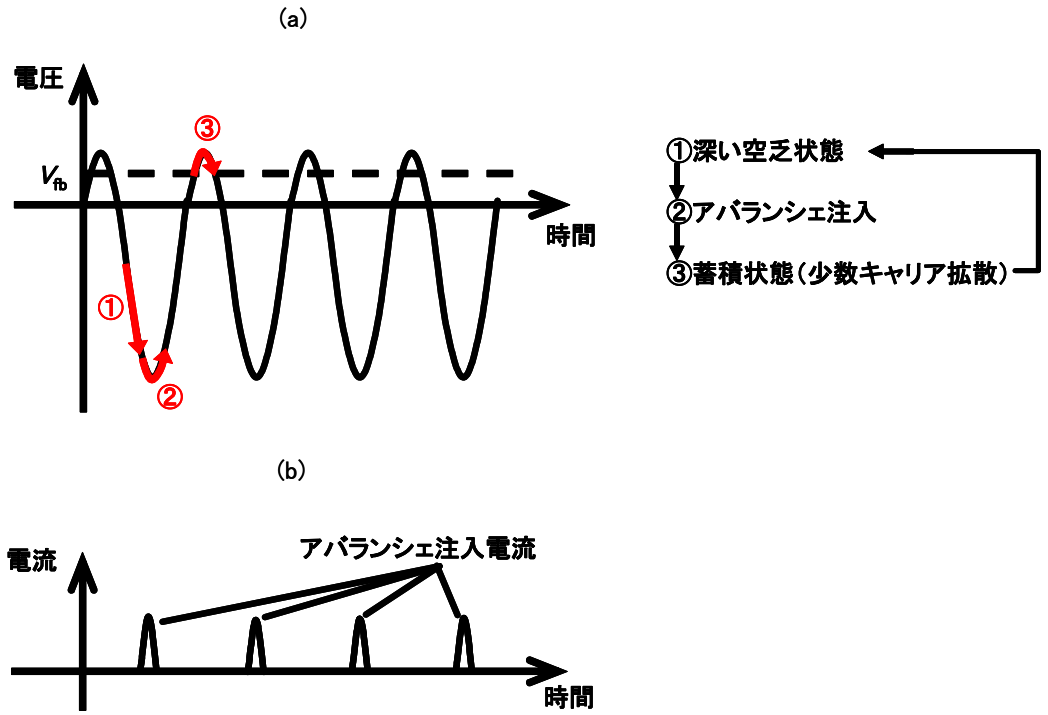


図 3-8 連続的なアバランシェ注入を実現する基板電圧制御。
(a)基板に印加する電圧と各電圧における状態、(b)注入電流の時間依存性

3-4-1-2 トラップ分布の解析方法

MONOS 構造内のトラップ分布の解析は、窒化膜厚の異なる MONOS キャパシタにアバランシェ注入と *C-V* 測定を適用して行った。電荷を注入するとトラップに電荷が捕獲されることにより *C-V* カーブがシフトする。具体的には、電子注入の場合は正電圧方向にシフトし、正孔注入の場合は負電圧方向にシフトする。この *C-V* カーブのシフト量(ΔV_{cap})は電荷を捕獲したトラップの比率が増加するのに比例して増加し、最終的に全てのトラップが電荷を捕獲すると飽和する(図 3-9)。このΔV_{cap}の飽和値をΔV_{sat}と定義する。

電荷注入によって、ONO 膜/シリコン基板界面に界面準位が発生した場合、そこへ電荷が捕獲されることによって *C-V* カーブの形状が歪む。その場合、ΔV_{cap}は基準とする容量値によって異なってしまう。一般的に、ミッドギャップ状態では、界面準位の帯電状態がほぼ中性であるため、界面準位の電荷捕獲による *C-V* カーブの歪みの影響が少ないと考えられる。そこでミッドギャップ状態の容量 C_{mg} を基準とした *C-V* カーブのシフト量ΔV_{mg}をΔV_{cap}とした(図 3-10)。

解析を簡便に行うために、MONOS 構造内のトラップの領域を以下の 3 つと仮定した(図 3-11)。(i)トップ酸化膜/窒化膜界面(トップ界面)、(ii)窒化膜中、(iii)窒化膜/ボトム酸化膜界面(ボトム界面)。トップ及びボトム酸化膜中のトラップは無視した。酸化膜中のトラップが MONOS 構造内のトラップと比較して無視できることは付録Ⅱに示す。更に、上記 3 領域におけるトラップ分布は均一であると仮定し、各領域のトラップ密度をそれぞれ N_t、N_{bulk}、そして N_b と定義する。ここで、N_t と N_b は面積密度で、N_{bulk} は体積密度である。すると、ΔV_{sat} は以下のように表される。

$$\Delta V_{sat} = \frac{qx_t N_t}{\varepsilon_{ox}\varepsilon_0} + \frac{q}{\varepsilon_{SiN}\varepsilon_0}\int_0^{x_{SiN}} xN_{bulk}(x)\,dx + \frac{qx_t}{\varepsilon_{ox}\varepsilon_0}\int_0^{x_{SiN}} N_{bulk}(x)\,dx + \left(\frac{x_{SiN}}{\varepsilon_{SiN}\varepsilon_0} + \frac{x_{top}}{\varepsilon_{ox}\varepsilon_0}\right)qN_b$$

$$= \frac{qN_{bulk}}{2\varepsilon_{SiN}\varepsilon_0}x_{SiN}^2 + \left(\frac{qx_t N_{bulk}}{\varepsilon_{ox}\varepsilon_0} + \frac{qN_b}{\varepsilon_{SiN}\varepsilon_0}\right)x_{SiN} + \frac{qx_t N_t}{\varepsilon_{ox}\varepsilon_0} + \frac{qx_t N_b}{\varepsilon_{ox}\varepsilon_0}, \qquad (3-1)$$

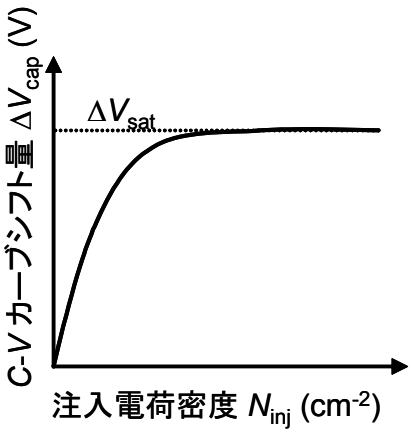


図 3-9 電荷注入による *C-V* カーブのシフト

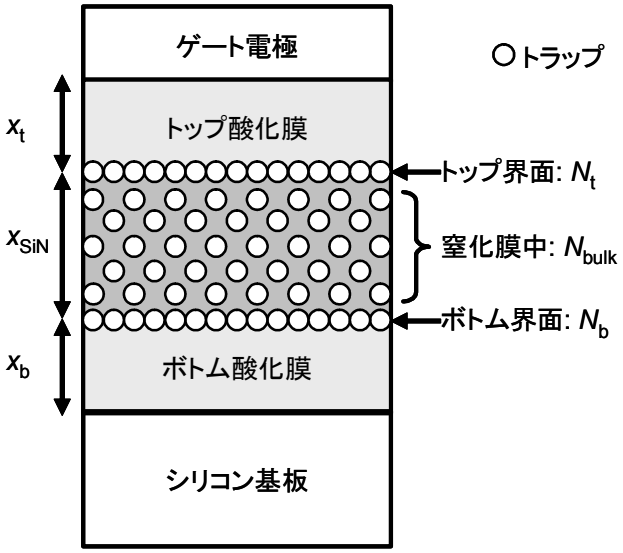


図 3-11 MONOS 積層膜の断面図。
3 つのトラップ領域を仮定した

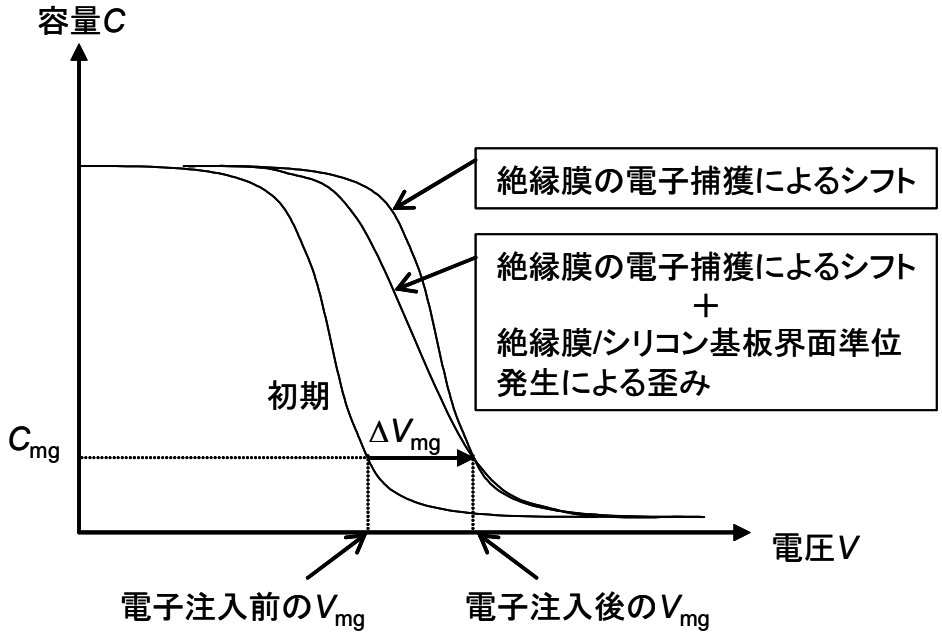


図 3-10 MIS キャパシタの *C*–*V* 特性に対する界面トラップの影響

ここで、q は素電荷(1.6×10^{-19} C)、ε_0 は真空の誘電率(8.85×10^{-14} F/cm)、ε_{ox} は酸化膜の誘電率、ε_{SiN} は窒化膜の誘電率、x_t はトップ酸化膜厚、x_{SiN} は窒化膜厚、x_b はボトム酸化膜厚である。N_{bulk}、N_b、N_t の 3 つのパラメータはΔV_{sat} の x_{SiN} 依存性に(3-1)式をフィッティングすることで、それぞれ 2 次項、１次項、定数項から求められる。

3-4-1-3 リテンション測定方法

リテンション特性は電荷を MONOS キャパシタに *C*-*V* カーブシフト量が飽和するまでアバランシェ注入した後、*C*-*V* カーブシフト量(ΔV_{emi})の時間変化から評価した。電荷注入と *C*-*V* 測定は室温で行うが、放置は、温度加速のために espec 社製産業用オーブンを用いて大気圧、空気中、250～300℃の高温下で行った。

3-4-1-4 試料

試料に用いた MONOS キャパシタの断面模式図を図 3-12 に示す。トップ及びボトム酸化膜厚はそれぞれ 6 nm と 5 nm で固定し、窒化膜厚は 2～50 nm と変化させた。ボトム酸化膜は水蒸気雰囲気中での熱酸化により形成し、窒化膜はソースガスにジクロロシラン(SiH_2Cl_2)とアンモニア(NH_3)を用いた一般的な LPCVD(Low-pressure Chemical Vapor Deposition)法により形成した。トップ酸化膜はモノシラン(SiH_4)と一酸化二窒素(N_2O)の反応により形成した。ゲート電極は n^+多結晶シリコンで形成し、ゲート面積は 10^4 μm^2 とした。シリコン基板の不純物濃度はイオン注入法により 10^{17} cm^{-3} 台とすることで比較的低電圧でのアバランシェ注入を可能にした。

作製した MONOS キャパシタの断面 TEM(Transmission Electron Microscopy)像を図 3-13 に示す。観測した酸化膜及び窒化膜の物理膜厚は設計膜厚とほぼ一致した。ONO 膜の酸化膜換算膜厚(EOT:Equivalent Oxide Thickness)と窒化膜厚設計値の関係を図 3-14 に示す。ONO 膜の EOT は *C-V* 測定結果から EPOQUE(Exponential POtential based QUantum mechanical Extraction)法[18]を用いて計算した。ONO 膜の各膜厚と EOT の関係は以下のように表される。

$$\mathrm{EOT} = x_{\mathrm{t}} + x_{\mathrm{b}} + \frac{\varepsilon_{\mathrm{ox}}}{\varepsilon_{\mathrm{SiN}}} x_{\mathrm{SiN}} . \qquad (3-2)$$

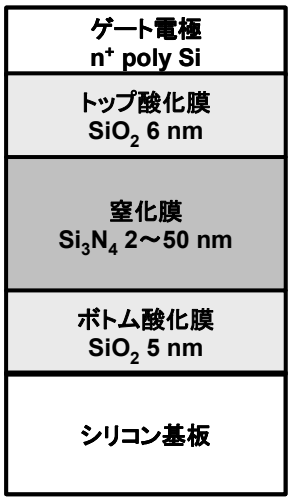


図 3-12 MONOS キャパシタの断面模式図

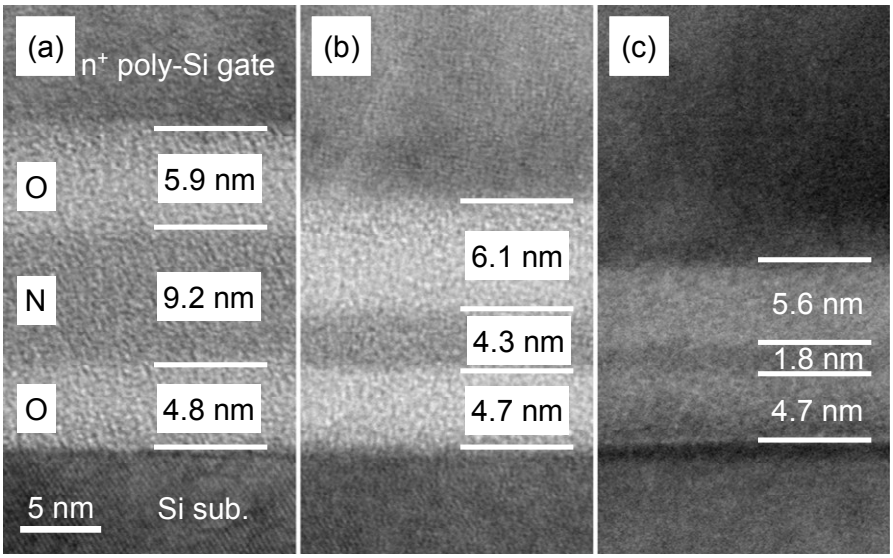


図 3-13 MONOS キャパシタの断面 TEM 像。トップとボトム酸化膜はそれぞれ 6 nm と 5 nm に固定した。(a)窒化膜厚 9 nm、(b)窒化膜厚 4 nm、(c)窒化膜厚 2 nm

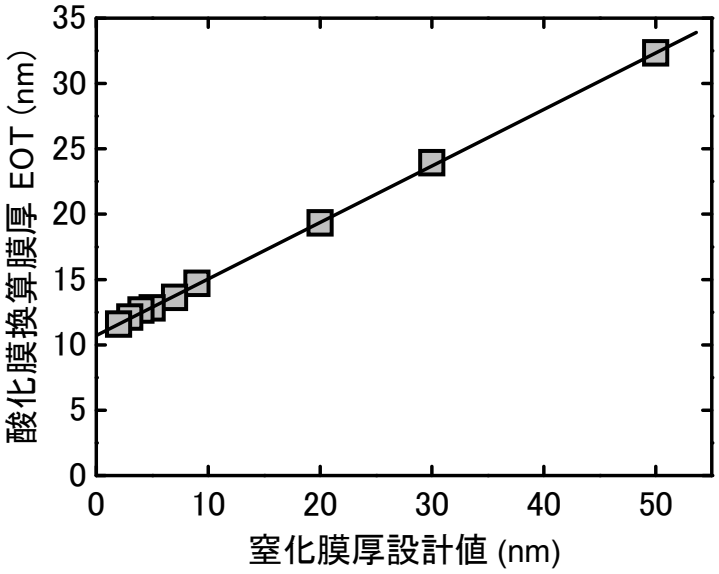


図 3-14 ONO 膜の EOT と窒化膜厚設計値との関係

図 3-14 に示すように EOT は窒化膜厚設計値の増加と共に線形増加している。この結果は、TEM 観察の結果を踏まえて、全ての MONOS キャパシタの窒化膜厚が窒化膜厚設計値と一致していることを示している。窒化膜厚設計値ゼロにおける EOT、即ち縦軸切片はトップとボトム酸化膜厚の合計値に対応する。外挿すると約 10.8 nm となり、トップとボトム酸化膜厚の設計値の合計 11 nm とほぼ一致した。窒化膜の比誘電率 ε_{SiN} は酸化膜の比誘電率を 3.9 と仮定すると、9.0 と求まった。この値は一般的に報告されている窒化膜単膜の値(6～7)[19]と比べて高いが、MONOS 構造での値としては、従来の報告値(5.3～14.2[20-29])の範囲に入っている。酸化膜と窒化膜の積層構造が ε_{SiN} に影響を与えることについては付録Ⅲに示す。

3-4-1-5 測定システム

図 3-15 に測定システムのブロック図を示す。ファンクションジェネレータ(アジレント社製 8116A)の交流電圧出力をアンプ(エヌエフ回路設計ブロック社製 4055)により増幅し、シリコン基板に印加することで連続的なアバランシェ降伏を実現した。半導体パラメータアナライザ(アジレント社製 4155A)を MONOS キャパシタのゲート電極に接続し、注入電流密度が時間平均で一定となるよう制御した。*C-V* 測定は LCR メータ(アジレント社製 4275A)を用いて行った。アバランシェ注入と *C-V* 測定の切り替えはスイッチングコントローラ(アジレント社製 4083A、16057A)を用いて行った。

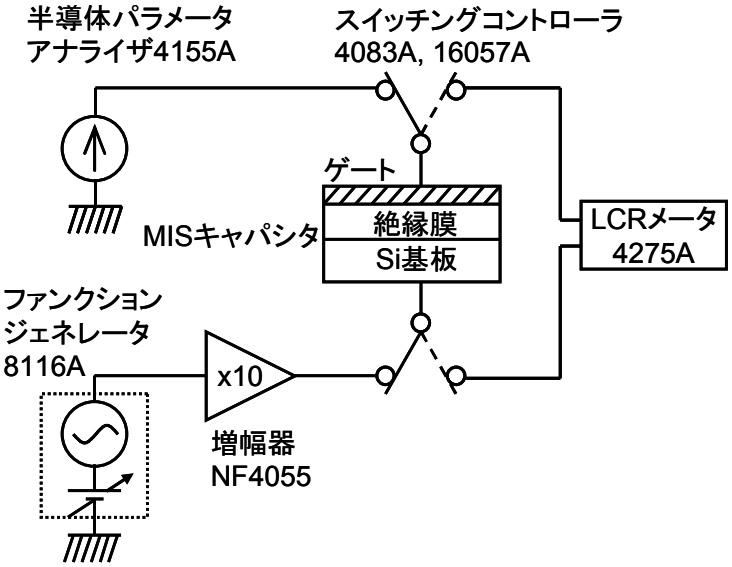


図 3-15 測定システムのブロック図

3-4-2 結果と考察

3-4-2-1 電子トラップ分布

窒化膜厚 2～50 nm の MONOS キャパシタにアバランシェ電子注入を行った場合におけるΔV_{cap}の注入電子密度 N_{inj_e}依存性を図 3-16 に示す。定電流制御の下で注入しているので、注入電荷密度はゲート電流密度と注入時間の掛け算から見積もった。いずれの窒化膜厚の試料においても、ΔV_{cap}は N_{inj_e}の増加と共に増加し、その後飽和している。

電子注入の場合のΔV_{sat}と x_{SiN}の関係を図 3-17 に示す。x_{SiN}が 4～50 nm の範囲ではΔV_{sat}は x_{SiN}の減少と共に 1 次関数的に減少しているが、x_{SiN}が 4 nm より薄い領域で異常な低下を示している。x_{SiN}が 4～50 nm の範囲におけるΔV_{sat}と x_{SiN}の 1 次関数的な関係は(3-1)式における 2 次項が無視できることを意味している。従って、x_{SiN}が 4～50 nm の範囲では電子は窒化膜中ではなくトップ及びボトム界面に捕獲される。言い換えると、N_{bulk}のΔV_{sat}への寄与は N_t及び N_bの寄与に比べて無視できると言える。(N_{bulk}の寄与が N_tや N_bの寄与に比べて小さいことは MNOS 構造の試料を用いた解析においても確認している。詳細は、付録Ⅳに示す。)N_tと N_bは図 3-17 の x_{SiN}が 4～50 nm の範囲において、N_{bulk}をゼロとした(3-1)式をフィッティングすることによりそれぞれ$(5.4\pm0.9)\times10^{12}$ cm^{-2} と$(2.2\pm0.1)\times10^{13}$ cm^{-2}と求まった。

一方、x_{SiN}が 4 nm より薄い領域におけるΔV_{sat}の異常な低下は N_tと N_bを定数とした(3-1)式では説明できない。ΔV_{sat}の異常な低下を説明できる仮説は 3 つあると考える。1 つ目としては、2 つの界面の電子間におけるクーロン反発によるデトラップ(『クーロン反発モデル』)が挙げられる。2 つ目は、電子が理想的な酸化膜/窒化膜界面に捕獲されるのではなく、遷移層と呼ばれる有限の厚さを持った領域に捕獲される場合、窒化膜厚が遷移層の厚さより薄いほど捕獲電子の面積密度が減少する、『遷移層モデル』である。3 つ目は、4 nm より薄い窒化膜は均一な膜ではなく、粒状の膜である[30]ため、実効的な膜厚が減少する『不均一な窒化膜モデル』である。

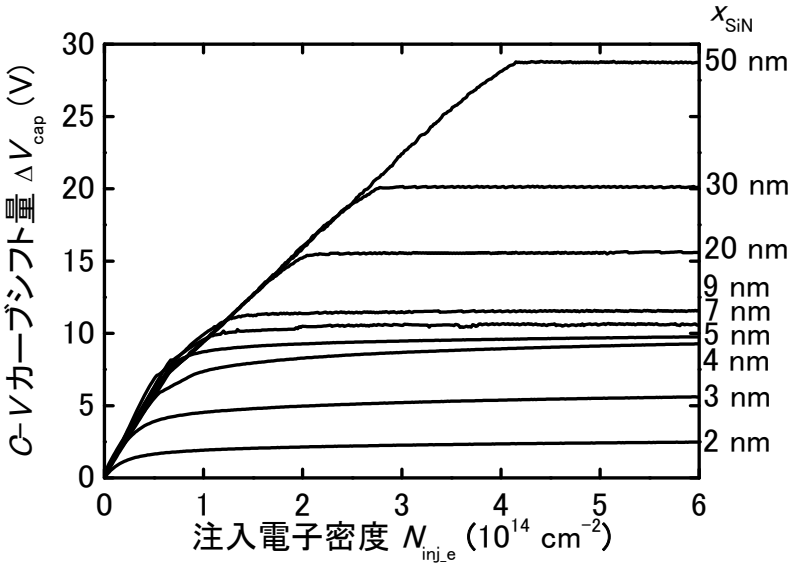


図 3-16 MONOS キャパシタに電子注入した場合におけるΔV_{cap}の N_{inj_e} 依存性

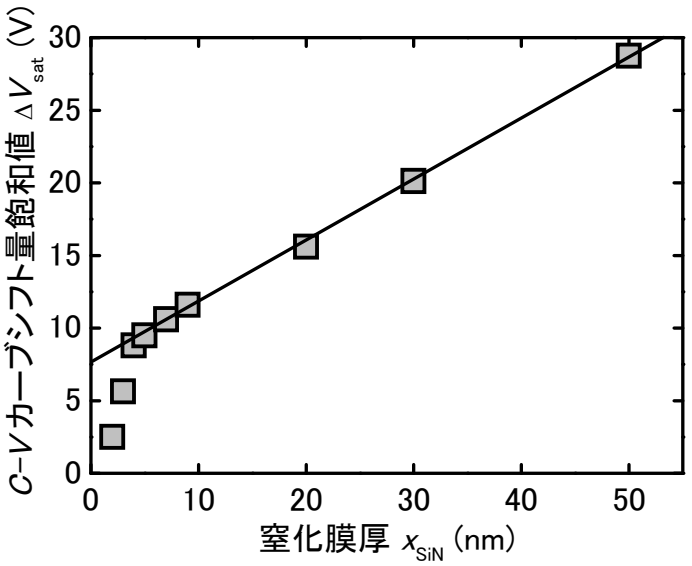


図 3-17 MONOS キャパシタに電子注入した場合におけるΔV_{sat}の x_{SiN} 依存性

クーロン反発モデルについて説明する。酸化膜/窒化膜界面における捕獲電子密度は電子間のクーロン反発により実際のトラップ密度よりも低く制限されており、電子間の最小距離は捕獲電子が熱的にデトラップされない最小のエネルギー障壁高さに対応していると仮定する。2 つの界面間の距離が電子間の最小距離よりも十分大きい場合、キャパシタの平行平板間の電界は平板間の距離に依らないため、2 つの界面が近づいてもエネルギー障壁高さは減少せず、捕獲電子密度も一定である。しかしながら、2 つの界面間の距離が電子間の最小距離と同程度の場合、界面に捕獲されている電子はもはや均一な帯電電荷ではなく、離散的な電子として見なせるため、平行平板キャパシタ近似は妥当でなくなる。その結果、トップ界面に捕獲されている電子とボトム界面の電子との間のクーロン反発によりエネルギー障壁高さが低下し、捕獲電子がデトラップされる。

捕獲電子の飽和値は 2.2×10^{13} cm^{-2} と見積もられたことから、捕獲電子間の距離は 2.1 nm と求められる。この値は、ΔV_{sat} が異常な低下を示した窒化膜厚と同等の大きさであることから、ΔV_{sat} の低下はクーロン反発モデルで説明できる。しかしこのモデルでは、2 つの界面間の距離がゼロに近づくにつれて電子トラップの能力が 1 つの界面による捕獲能力に近づいていき、最大で捕獲能力は半分に減少する。図 3-17 より、x_{SiN} が 2 nm のときのΔV_{sat} が近似直線の外挿による縦軸切片の半分の値よりも低いことから、ΔV_{sat} の異常な低下はクーロン反発モデルのみでは説明できない。

次に遷移層モデルについて議論する。電子が厚さ x_{tran} の遷移層内に捕獲される場合、ΔV_{sat} の窒化膜厚依存性は $x_{SiN}>2x_{tran}$ の領域では線形となる。このモデルに基づいた電子トラップの領域を図 3-18(a) に示す。このモデルでは界面から窒化膜中に形成される遷移層に電子が捕獲されると仮定する。$x_{SiN}>2x_{tran}$ の領域では一定の厚さ(x_{tran})を持った 2 つの遷移層が存在し、ΔV_{sat} は以下のように表わされる。

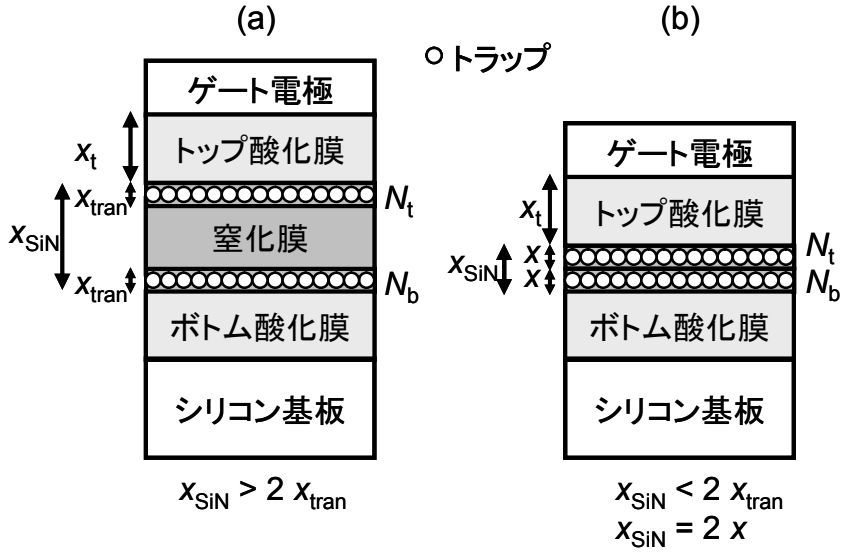


図 3-18 遷移層モデルに基づいた MONOS 構造内の電子トラップ領域。
(a)$x_{SiN} > 2x_{tran}$ の場合、(b) $x_{SiN} < 2x_{tran}$ の場合

$$\Delta V_{\mathrm{sat}} = \frac{qN_{\mathrm{b}}x_{\mathrm{tran}}}{\varepsilon_{\mathrm{SiN}}\varepsilon_0}x_{\mathrm{SiN}} + N_{\mathrm{t}}\left(\frac{qx_{\mathrm{tran}}^2}{2\varepsilon_{\mathrm{SiN}}\varepsilon_0} + \frac{qx_{\mathrm{t}}x_{\mathrm{tran}}}{\varepsilon_{\mathrm{ox}}\varepsilon_0}\right) - N_{\mathrm{b}}\left(\frac{qx_{\mathrm{tran}}^2}{2\varepsilon_{\mathrm{SiN}}\varepsilon_0} - \frac{qx_{\mathrm{t}}x_{\mathrm{tran}}}{\varepsilon_{\mathrm{ox}}\varepsilon_0}\right). \qquad (3\text{-}3)$$

ここで、N_{t} と N_{b} はトップ及びボトム遷移層のトラップ体積密度で、x_{SiN} が 4～50 nm の範囲における ΔV_{sat} の x_{SiN} 依存性から求めることができる。トラップ体積密度 N_{t}、N_{b} と x_{tran} の関係を図 3-19 に示す。$x_{\mathrm{SiN}}<2x_{\mathrm{tran}}$ の領域では、電子トラップ領域は図 3-18(b)のように 2 つの遷移層は結合し、遷移層厚さ(x)は x_{SiN} の減少と共に減少する。この場合、ΔV_{sat} は以下のように表わされる。

$$\Delta V_{\mathrm{sat}} = \left(\frac{qN_{\mathrm{t}}}{2\varepsilon_{\mathrm{SiN}}\varepsilon_0} + \frac{3qN_{\mathrm{b}}}{2\varepsilon_{\mathrm{SiN}}\varepsilon_0}\right)x^2 + \left(\frac{qN_{\mathrm{t}}}{\varepsilon_{\mathrm{ox}}\varepsilon_0}x_{\mathrm{t}} + \frac{qN_{\mathrm{b}}}{\varepsilon_{\mathrm{ox}}\varepsilon_0}x_{\mathrm{t}}\right)x.$$

$$\text{Here, } x = \frac{x_{\mathrm{SiN}}}{2}$$

$$\Delta V_{\mathrm{sat}} = \left(\frac{qN_{\mathrm{t}}}{8\varepsilon_{\mathrm{SiN}}\varepsilon_0} + \frac{3qN_{\mathrm{b}}}{8\varepsilon_{\mathrm{SiN}}\varepsilon_0}\right)x_{\mathrm{SiN}}^2 + \left(\frac{qN_{\mathrm{t}}}{2\varepsilon_{\mathrm{ox}}\varepsilon_0}x_{\mathrm{t}} + \frac{qN_{\mathrm{b}}}{2\varepsilon_{\mathrm{ox}}\varepsilon_0}x_{\mathrm{t}}\right)x_{\mathrm{SiN}}. \qquad (3\text{-}4)$$

遷移層の減少を考慮したΔV_{sat} と x_{SiN} の関係を(3-4)式から求め、実験結果と共に図 3-20 に示す。x_{tran} を 2～3 nm とした計算結果が実験結果と近いことから、遷移層の厚さは 2～3 nm であると考える。図 3-13 に示すように、酸化膜/窒化膜界面は酸化膜/シリコン基板界面に比べて不明瞭であることから遷移層が存在する可能性がある。同図において、窒化膜は x_{SiN}=2 nm においても粒状ではなく均質に見える。また、次項において詳しく説明するが、正孔注入の場合では、x_{SiN} が 4 nm より薄い領域でのΔV_{sat} の異常な低下が認められなかったことから、粒状であるとは考えにくい。以上より、不均一な窒化膜モデルは除外される。従って、電子注入の場合における x_{SiN} が 4 nm より薄い領域でのΔV_{sat} の異常な低下はクーロン反発モデルと遷移層モデルに基づいていると考える。

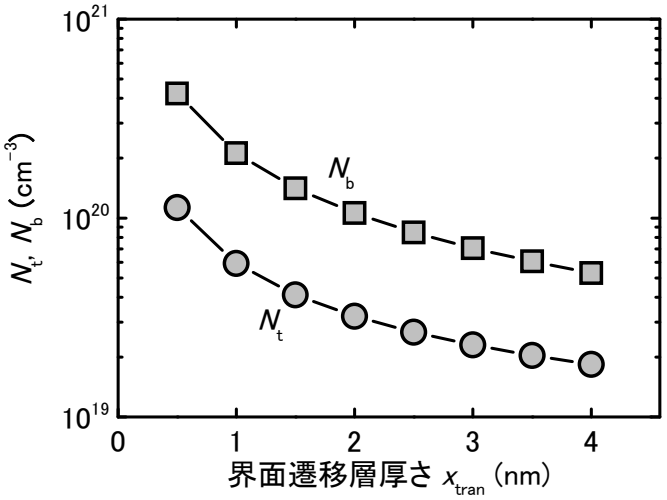


図 3-19 遷移層モデルにおける N_{t}、N_{b} と x_{tran} の関係

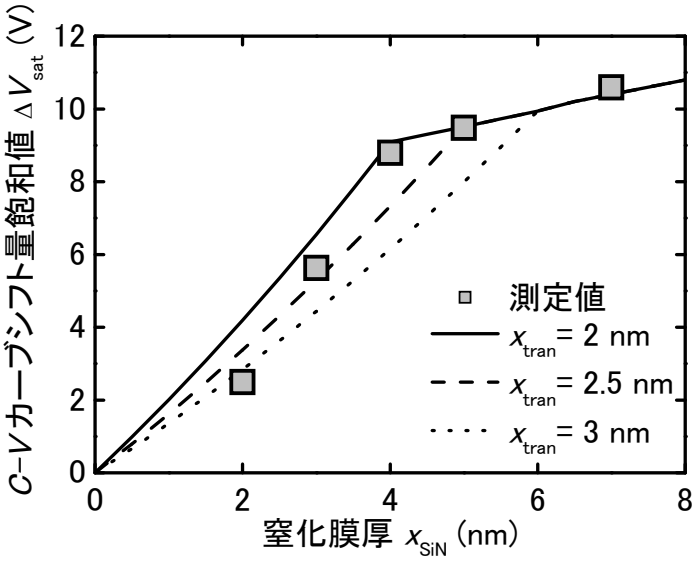


図 3-20 遷移層モデルに基づくΔV_{sat}の計算値(線)と測定値(プロット)

3-4-2-2 正孔トラップ分布

MONOS キャパシタの正孔トラップ分布の解析を電子トラップ分布の場合と同様に行った。ΔV_{cap}の正孔注入密度(N_{inj_h})に対する依存性を図 3-21 に示す。電子注入の場合とは逆の負電圧方向に C-Vカーブがシフトし、その後飽和している。$|\Delta V_{sat}|$と x_{SiN}の関係を図 3-22 に示す。電子注入の場合とは異なり、$|\Delta V_{sat}|$が x_{SiN}の増加に対して 2 次関数的に増加している。この結果は、窒化膜中の正孔トラップ密度(N_{bulk})の$|\Delta V_{sat}|$への寄与が無視できないことを示唆している。(同様の結果を MNOS 構造の試料を用いた解析においても確認している。詳細は、付録Ⅳに示す。)各正孔トラップ密度 N_t、N_{bulk}、N_bは(3-1)式の 2 次項、1 次項、定数項からそれぞれ$(8.7\pm2.1)\times10^{12}$ cm^{-2}、$(2.2\pm0.3)\times10^{18}$ cm^{-3}、$(2.4\pm1.4)\times10^{12}$ cm^{-2}と求まった。電子トラップと正孔トラップの分布の違いはそれぞれのトラップの起源が異なることを示唆している。第一原理計算に基づいたミクロスコピックなトラップの起源についての議論を 3-4-2-4 項にて行う。

正孔注入の場合では、x_{SiN}が 4 nm より薄い領域でのΔV_{sat}の異常な低下が認められなかった。この結果は、不均一な窒化膜モデルを除外したことと矛盾しない。もしも x_{SiN}が 4 nm より薄い領域で粒状になるならば、正孔注入の場合においてもΔV_{sat}の異常な低下を示すはずである。また、x_{SiN}が 4 nm より薄い領域でのΔV_{sat} の異常な低下が認められなかったことから、正孔トラップ分布は電子トラップ分布の場合と全く同じ遷移層モデルでは説明できない。しかしながら、x_{SiN}が 0～2 nm の範囲でΔV_{sat}が異常な低下を示す可能性はある。正孔注入の場合では x_{SiN}が 2～4 nm の範囲でΔV_{sat}が異常な低下を示さなかった原因としては、正孔の界面トラップが電子トラップの場合よりも薄い領域に局在している可能性や正孔トラップ密度が電子トラップ密度よりも低いためにクーロン反発の効果が小さい可能性が挙げられる。

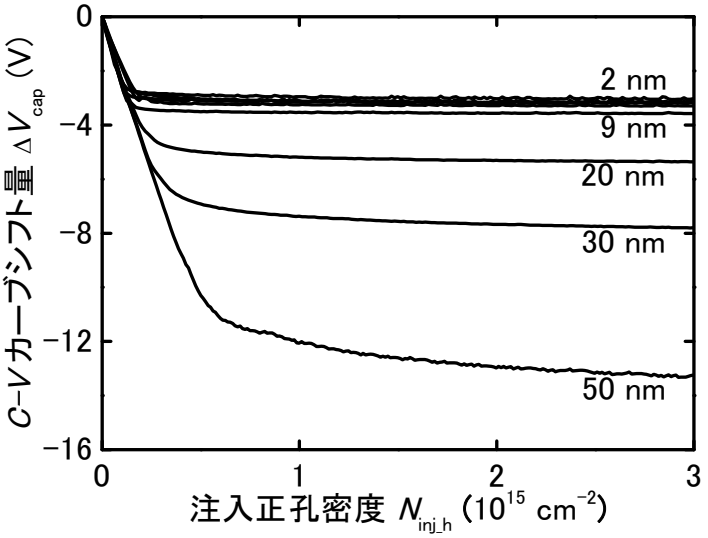


図 3-21 MONOS キャパシタに正孔注入した場合におけるΔV_{cap}の $N_{\mathrm{inj_h}}$ 依存性

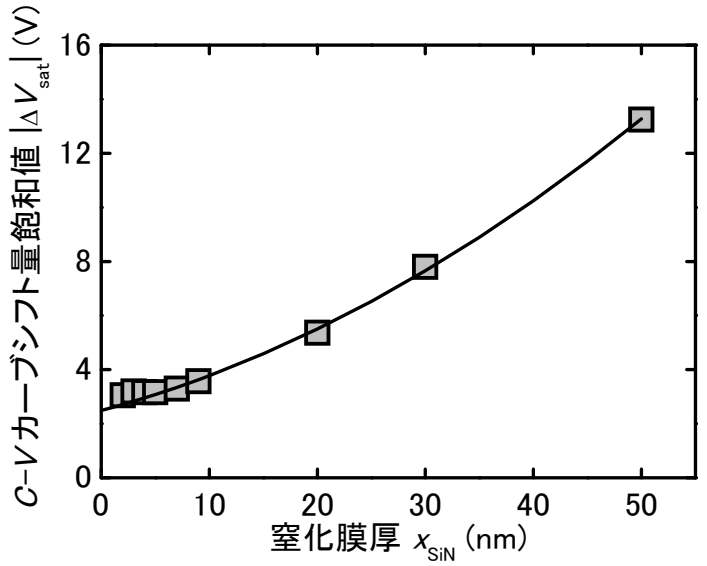


図 3-22 MONOS キャパシタに正孔注入した場合におけるΔV_{sat}の x_{SiN} 依存性

3-4-2-3 リテンション特性の窒化膜厚依存性

長期信頼性の観点から膜厚スケーリングの指針を示すために、窒化膜厚 2～10 nm の MONOS キャパシタに電子注入を行った後のリテンション特性から捕獲電子の活性化エネルギーの窒化膜厚依存性を評価した。活性化エネルギーが大きいほどトラップの準位が深く、リテンション寿命が長い。図 3-23 に窒化膜厚 10 nm と 2 nm の MONOS キャパシタにおけるリテンション特性を示す。窒化膜厚が 10 nm の場合、ΔV_{emi} は放置時間の経過により減少しており、この減少は温度により加速されている[図 3-23(a)]。一方、窒化膜厚 2 nm の場合、10 nm の場合と明らかに異なり、リテンション特性に殆ど温度依存性が無い[図 3-23(b)]。リテンション特性の温度依存性を定量的に評価するために、捕獲電子の大部分は熱活性過程により放出されると仮定すると、捕獲電子の放出レートはボルツマン分布に従う。本来、電子トラップのエネルギー準位を正確に評価するためには Frenkel-Poole 過程やトンネル過程、エネルギー準位の分布を考慮する必要がある。しかしながら、温度依存性における変化をおおまかに評価するには、簡略的な熱活性過程を用いることで十分と考える。熱活性過程では、捕獲電子の放出レート(r)は次のように表わされる。

$$r \propto \frac{1}{t} = A \cdot \exp\left(-\frac{E_a^*}{kT}\right), \qquad (3-5)$$

ここで、E_a^*は活性化エネルギー、k はボルツマン定数、T は絶対温度、A は比例定数、t は放出時間である。放出時間 t の逆数が放出レート r に対応する。t はΔV_{emi} が初期値からある割合減少した時間と定義し、本研究では「ある割合」を 30%とした。

放出時間の逆数のアレニウスプロットを図 3-24 に示す。プロットは測定値、直線は(3-5)式によるフィッティング結果である。E_a^*は直線の傾きから求めた。正規化した E_a^*の窒化膜厚依存性を図 3-25 に示す。E_a^*は x_{SiN} が 5 nm 以上の範囲では殆ど一定であるが、5 nm より薄い領域では減少している。この結果はクーロン反発モデルや遷移層モデルにも矛盾しない。

クーロン反発モデルの場合、実効的な活性化エネルギーは窒化膜厚の減少と共にトラップの障壁高さの低下により減少する。障壁高さの低下は界面間の距離が捕獲されている電子間の距離と同程度になったときに、界面間の電子のクーロン反発により引き起こされる。

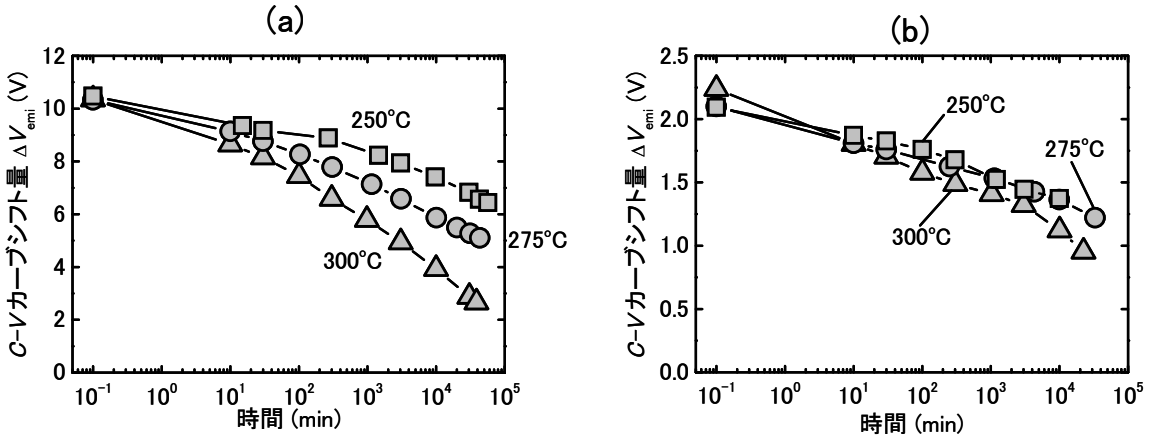


図 3-23 MONOS キャパシタにおけるリテンション特性。
(a)窒化膜厚 10 nm、(b)窒化膜厚 2 nm

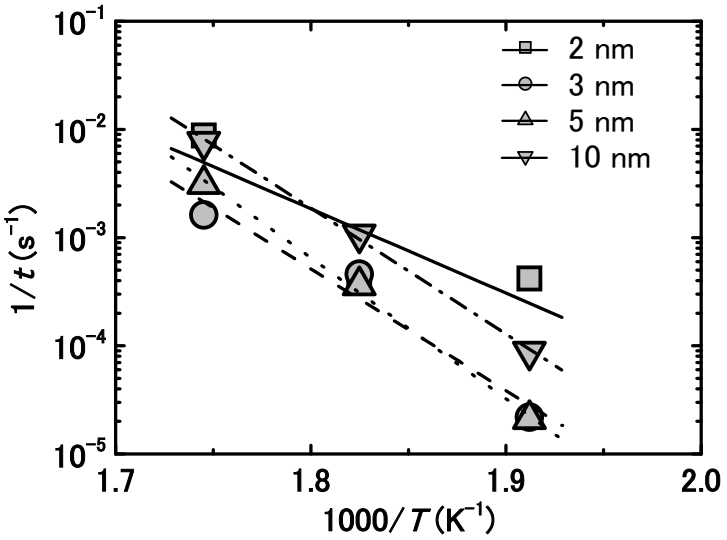


図 3-24 放出時間の逆数のアレニウスプロット

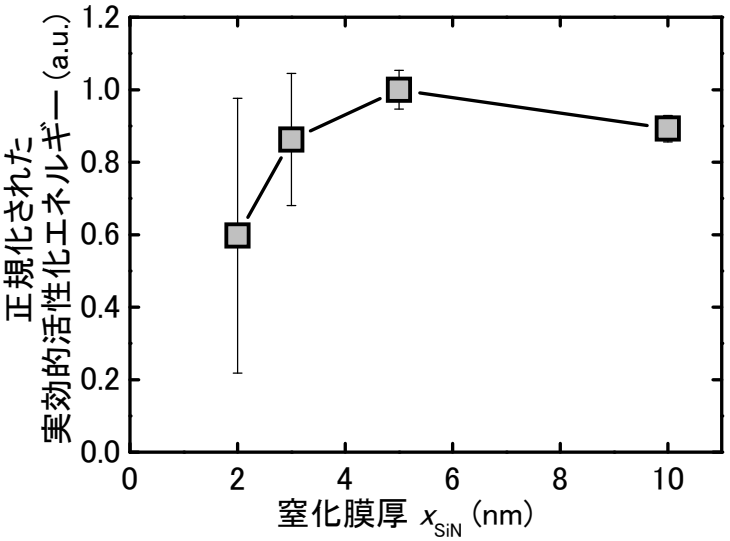


図 3-25 正規化した活性化エネルギーの窒化膜厚依存性

遷移層モデルの場合、電子は遷移層に捕獲され、捕獲電子と酸化膜間の距離の分布は遷移層の厚さが薄いほど減少する。酸化膜に近い捕獲電子は遠い捕獲電子よりも放出されやすいため、実効的な活性化エネルギーは遷移層の厚さが減少すると共に低くなる。

MONOS 型フラッシュメモリデバイスの観点より、窒化膜の薄膜化は低電圧動作としきい電圧シフトのトレードオフ関係に繋がる。従って、窒化膜厚は要求性能を満たすように決める必要があるが、4 nm より薄くすると、電子捕獲能力やリテンション寿命が異常に低下する。そのため、トレードオフ関係は従来のトレンドから逸脱し、性能と信頼性を同時に保証することがより困難になる。以上より、窒化膜厚は 4 nm より厚くするべきだと結論する。

3-4-2-4　トラップの起源

ONO 膜中のミクロスコピックなトラップの起源を実験結果と理論計算の両面から検討する。実験によるトラップの起源の報告としては、広島大学の宮崎教授らのグループから、窒化膜中の窒素(N)原子が酸素(O)原子に置換されることが原子レベルでの欠陥の起源であると報告されている[31]。具体的には、厚さ 11.4 nm の SiN 膜を持つ MONOS 型フラッシュメモリに対し、光電子収率分光を行い、欠陥の空間分布に対して以下のような知見を得た。

(a)　SiO_2 に近い SiN 膜内では約 20%の O 原子が混入し、N 原子と置換している。

(b)　SiN 膜中心付近では約 5%以下の O 原子が N 原子と置換している。

(c)　O 原子が多く分布している界面領域には電子占有欠陥が多く分布している。

これに基づいて、本学の白石教授らのグループは MONOS 型フラッシュメモリの電子トラップと正孔トラップの分布の違いの解明に向けた第一原理計算による詳細な解析を行い、トラップの起源の考察と、書換え耐性の高い欠陥の特定、書換え耐性向上のための指針を示した[32-42]。

トラップの起源としては、SiN の N 原子を O 原子に置換した欠陥や N 原子空孔が挙げられる。これらは、更に分類され、N 原子を O 原子に置換した欠陥には、N 原子 1 個を O 原子に置換した欠陥と N 原子 2 個を O 原子に置換したものがあり、N 原子空孔においても、N 原子空孔と N 原子 1 個を O 原子に置換した欠陥の組み合わせや、N 原子空孔と H 原子の複合欠陥などがある。トラップの起源として考えられる欠陥を表 3-2 にまとめる。

N 原子 1 個を O 原子に置換した欠陥の場合、SiN は rigit で構造変化しにくいため、N 原子を 1 個 O 原子に置き換えただけでは、O 原子は 3 配位構造のままで、この場合は正孔トラップとなる[32]。これに対し、N 原子 2 個を O 原子に置換した欠陥の場合は、電子トラップ、正孔トラップの双方が形成される[33,39]。構造変化により O 原子が 2 配位構造をとると電子トラップとなり、3 配位構造を保つ場合には正孔トラップとなる。構造変化は酸素含有量が多いほど起きやすい。宮崎教授グループの実験結果と照らし合わせると、N 原子を O 原子に置換した欠陥は SiN/SiO_2 界面と SiN 中の両方に存在することができ、N 原子 1 個を O 原子に置換した欠陥はいずれも正孔トラップとなる。これに対し、N 原子を 2 個 O 原子に置換した欠陥は、窒化膜中では O 原子が 3 配位構造を保ち、正孔トラップとなり、SiN/SiO_2 界面では構造変化が起きやすいため、電子トラップにも正孔トラップにもなる。この結果は本研究におけるトラップ分布の解析結果と矛盾しない。一方、N 原子空孔は O 原子付近にできやすいため、SiN/SiO_2 界面近傍に生成されやすく、電子トラップと正孔トラップの両方を生成する[32-35,37,39]。この結果もトラップ分布の解析結果と矛盾しない。

表 3-2 トラップの起源として考えられる欠陥

トラップの起源	トラップ	構造変化
N原子1個をO原子に置換した欠陥	正孔トラップ [32]	可逆的 [35]
N原子2個をO原子に置換した欠陥	電子トラップ・正孔トラップ [33, 39]	不可逆的 [33, 34, 35, 37, 39]
N原子空孔	電子トラップ・正孔トラップ [32, 33, 34, 35, 37, 39]	可逆的 [33, 34, 35, 37, 39]
N原子空孔 ＋N原子1個をO原子で置換した欠陥	電子トラップ・正孔トラップ [34, 35, 38]	可逆的 [34, 35, 38]
N原子空孔＋H原子　の複合欠陥	電子トラップ・正孔トラップ [36, 38, 39, 41]	可逆的 [36, 38, 39, 41]

いずれの欠陥においても、荷電状態により原子構造が変化する。欠陥には、書込み・消去に相当する電子又は正孔の注入や引き抜きを繰り返し行ったときに、元の構造に戻る可逆的な構造変化を示す欠陥と、別の安定な構造をとるために元の構造に戻らない不可逆的な構造変化を示す欠陥とがある。N 原子 2 個を O 原子に置換した欠陥は不可逆的な構造変化を示す[33-35,37,39]のに対し、N 原子 1 個を O 原子に置換した欠陥や N 原子空孔に関連した欠陥は可逆的な構造変化を示す[33-39,41]ことがわかった。高い書換え耐性を持つトラップは、可逆的な構造変化を示す欠陥によるものである。従って、高い書換え耐性を持つ MONOS 型フラッシュメモリを実現するためには、不可逆的な構造変化を示す N 原子 2 個を O 原子に置換した欠陥の発生を抑制するために、SiN/SiO_2 界面や SiN 中の過剰な O 原子を抑制することが重要である。また、N 原子空孔型欠陥の構造変化は荷電状態の変化に伴う Jahn-Teller 効果によるもので、ボンドの組み換えのような大きな原子変位を伴うものではないため、可逆的であると考えられる。以上より、N 原子空孔型の欠陥が高い書換え耐性を持ち、MONOS 型フラッシュメモリに最適な欠陥であると考える。

過剰 O 原子を抑制する方法としては、Si-rich SiN[43,44]のような O 原子のアブソーバーを SiN 膜の中心に挿入することが挙げられる。また、Si-rich SiN は N 原子空孔を増加させる効果的な方法でもある[34,35,37,39]ことから、Si-rich SiN を用いた MONOS 型フラッシュメモリには、高い書換え耐性を実現する期待が大きい。また、O 原子に関係した欠陥生成を抑制する方法としては、O 原子の化学ポテンシャルを低下させることが挙げられる。SiN/SiO_2 界面における O 原子の化学ポテンシャルを低下させるには、SiN/SiO_2 界面と SiO_2/Si 界面間の距離を減少させることが挙げられるが、SiO_2 の膜厚を減少させた場合、リテンション特性に影響する。そこで、SiO_2 膜中の SiN/SiO_2 界面近くに薄い Si 膜や Si ナノワイヤ、Si ナノドット等を挿入することにより SiN/SiO_2 界面における O 原子の化学ポテンシャルを減少させる方法が提案されている[40,42]。

3-4-3.まとめ

MONOS 構造内のトラップ分布を電子トラップと正孔トラップとに分離して解析した。その結果、電子はトップ及びボトム酸化膜と窒化膜との界面に捕獲される一方、正孔は両界面に加えて窒化膜中にも捕獲されることが分かった。更に、窒化膜を 4 nm 以下に薄くすると電子捕獲能力やリテンション寿命が従来のトレンドから外れて異常に低下することを明らかにした。この原因は、電子が有限の厚さを持つ界面遷移層に捕獲されており、窒化膜の薄膜化により遷移層が薄くなることと、2 つの界面の電子間におけるクーロン反発によるデトラップが挙げられる。

トラップの分布は電荷注入後の電荷分布と、その後の再分布の効果も含んだリテンション特性の予測に必要不可欠なデバイスパラメータである。また、電子捕獲能力やリテンション寿命の窒化膜依存性についても、今後のスケーリング指針を示すための重要な知見である。

更に、広島大学の宮崎教授らのグループが行った SiN 膜の光電子収率分光解析結果に基づいて、第一原理計算による欠陥のモデル化を行い、トラップの起源を考察し、SiN の N 原子を O 原子に置換した欠陥や N 原子空孔に関連した欠陥がトラップとなることを明らかにした。また、N 原子空孔型の欠陥が高い書換え耐性を持ち、MONOS 型フラッシュメモリに最適な欠陥であることから、O 原子に関係した欠陥を抑制し、N 原子空孔を増加させることが重要であることが分かった。具体的な方法としては、SiN 膜の中心に Si-rich SiN のような O 原子のアブソーバーを挿入することや、SiO_2 膜中に Si 膜や Si ナノワイヤ、Si ナノドット等を挿入することにより O 原子の化学ポテンシャルを減少することが挙げられる。

3-5 今後の高速・高密度化の指針

MONOS 型フラッシュメモリは FinFET 構造の適用が可能なだけでなく、多値記憶技術や、3 次元積層技術の適用も可能であるため、浮遊ゲート型を超えるスケーラビリティを持つ。また、電荷蓄積領域を囲む絶縁膜を薄くしやすいことから、動作電圧の低電圧化や高速動作にも有利である。しかしながら、チャージトラップメモリであるために、浮遊ゲート型では起きなかった電荷の局在とその後の再分布などの現象を考慮した信頼性設計が必要となる。従って、スケーリングを行う際にも、トラップ特性の理解に基づく必要がある。

本研究により、窒化膜厚を 4 nm 以下とすると電子捕獲能力やリテンション寿命が従来のトレンドから外れて異常に低下することが分かった。これは、非常に重要な知見であり、MONOS 型フラッシュメモリにおいて、窒化膜を 4 nm 以下とすると信頼性確保が困難となることを示唆している。しかしながら、この結果は電荷蓄積膜を窒化膜とした場合の結果であるため、EOT の薄膜化のために電荷蓄積膜やそれを囲む絶縁膜を High-k 材料に置き換えた場合には異なる結果が得られる可能性がある。実際に、濱村らは HfO_2 を電荷蓄積膜としたとき、HfO_2 の EOT を 1 nm 以下としても電子捕獲能力の異常な低下が無いことを報告している[45]。従って、今後は EOT のスケーリングを狙った絶縁膜の High-k 材料の置き換えが進むと考えられる。その場合、トラップの起源が窒化膜とは異なり、トラップ特性が変わる可能性が高いため、改めてトラップ特性の理解に基づいた信頼性設計とスケーリングの指針を定める必要がある。

3-6 3 章のまとめ

3 章では、信頼性を保ちながら浮遊ゲート型フラッシュメモリを超える高速・高密度化を実現できる可能性を持つ MONOS 型フラッシュメモリについて、その性能と信頼性を司るトラップ特性のうち、特にトラップ分布に着目した。電子トラップと正孔トラップを別々に解析したところ、電子トラップと正孔トラップは分布が異なることを明らかにした。トラップ分布の解析結果は電荷の再分布の効果を含んだリテンション寿命を予測するために必須のパラメータである。更に、窒化膜を 4 nm 以下にしたとき電子捕獲能力とリテンション寿命が異常に低下し、性能と信頼性の確保が困難となることを明らかにし、窒化膜厚の薄膜化に対する重要な指針を示すことができた。

更に、第一原理計算による欠陥のモデル化からトラップの起源を考察すると共に、MONOS 型フラッシュメモリに最適な欠陥を突き止めると共に、高い書換え耐性を実現するための構造や組成についても示すことができた。

本研究で提案したトラップ特性の解析手法は、今後進展する High-k 材料を用いたチャージトラップメモリに適用できる他、トラップの分布及び密度だけでなく、捕獲断面積や準位深さの評価にも用いることができる汎用性の高い手法である。

第 3 章の参考文献

[1] Y. Shin, J. Choi, C. Kang, C. Lee, Ki-Tae Park, Jang-Sik Lee, J. Sel, V. Kim, B. Choi, J. Sim, D. Kim, Hag-ju Cho, and K. Kim, "A Novel NAND-type MONOS Memory using 63nm Process Technology for Multi-Gigabit Flash EEPROMs," in *IEDM Tech. Dig.*, pp. 327-330, 2005.

[2] S. Jeon, J. H. Han, J. H. Lee, S. Choi, H. Hwang, and C. Kim, "High Work-Function Metal Gate and High-k Dielectrics for Charge Trap Flash Memory Device Applications," *IEEE Trans. Electron Devices*, vol. 52, no. 12, pp. 2654-2659, Dec. 2005.

[3] T. Sugizaki, M. Kohayashi, M. Ishidao, H. Minakata, M. Yamaguchi, Y. Tamura, Y. Sugiyama, T. Nakanishi, and H. Tanaka, "Novel Multi-bit SONOS Type Flash Memory Using a High-k Charge Trapping Layer," in *VLSI Symp. Tech. Dig.*, pp. 27-28, 2003.

[4] V. A. Gritsenko, K. A. Nasyrov, Yu. N. Novikov, A. L. Aseev, S. Y. Yoon, Jo-Won Lee, E. -H. Lee, and C. W. Kim, "A new low voltage fast SONOS memory with high-k dielectric," *Solid-State Electronics*, vol. 47, issue 10, pp. 1651-1656, Oct. 2003.

[5] Yan-Ny Tan, Wai-Kin Chim, B. J. Cho, and Wee-Kiong Choi, "Over-Erase Phenomenon in SONOS-Type Flash Memory and its Minimization Using a Hafnium Oxide Charge Storage Layer," *IEEE Trans. Electron Devices*, vol. 51, no. 7, pp. 1143-1147, Jul. 2004.

[6] Y. N. Tan, W. K. Chim, W. K. Choi, M. S. Joo, T. H. Ng, and B. J. Cho, "High-K HfAlO Charge Trapping Layer in SONOS-type Nonvolatile Memory Device for High Speed Operation," in *IEDM Tech. Dig.*, pp. 889-892, 2004.

[7] Chang-Hyun Lee, Sung-Hoi Hur, You-Cheol Shin, Jeong-Hyuk Choi, Dong-Gun Park, and K. Kim, "Charge-trapping device structure of SiO_2/SiN/high-k dielectric Al_2O_3 for high-density flash memory," *Appl. Phys. Lett.*, vol. 86, 152908, 2005.

[8] J. Liu, Q. Wang, S. Long, M. Zhang, and M. Liu, "A metal/Al_2O_3/ZrO_2/SiO_2/Si (MAZOS) structure for high-performance non-volatile memory application," *Semicond. Sci. Technol.*, vol. 25, 055013, 2010.

[9] Hang-Ting Lue, Szu-Yu Wang, Erh-Kun Lai, Yen-Hao Shih, Sheng-Chih Lai, Ling-Wu Yang, Kuang-Chao Chen, J. Ku, Kuang-Yeu Hsieh, R. Liu, and Chih-Yuan Lu, "BE-SONOS: A Bandgap Engineered SONOS with Excellent Performance and Reliability," in *Proc. 22nd Non-Volatile Semiconductor Memory Workshop*, pp. 88-89, 2007.

[10] Z. L. Huo, J. K. Yang, S. H. Lim, S. J. Baik, J. Lee, J. H. Han, In-Seok Yeo, U-In Chung, J. T. Moon, and Byung-Ii Ryu, "Band Engineered Charge Trap Layer for highly Reliable MLC Flash Memory," in *VLSI Symp. Tech. Dig.*, pp. 138-139, 2007.

[11] J. D. Blauwe, "Nanocrystal Nonvolatile Memory Devices," *IEEE Trans. nanotechnology*, vol. 1, no. 1, Mar. 2002.

[12] B. Eitan, P. Pavan, I. Bloom, E. Aloni, A. Frommer, and D. Finzi, "NROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell," *IEEE Electron Device Lett.*, vol. 21, pp. 543-545, Nov. 2000.

[13] B. Eitan, G. Cohen, A. Shappir, E. Lusky, A. Givant, M. Janai, I. Bloom, Y. Polansky, O.

Dadashev, A. Lavan, R. Sahar, and E. Maayan, "4-bit per Cell NROM Reliability," in *IEDM Tech. Dig.*, pp. 539-542, 2005.

[14]H. T. Lue, Y. H. Shih, K. Y. Hsieh, R. Liu, and C. Y. Lu, "A transient analysis method to characterize the trap vertical location in nitride-trapping devices," *IEEE Electron Device Lett.*, vol. 25, pp. 816-818, Dec. 2004.

[15]P. Y. Du, H. T. Lue, S. Y. Wang, E. K. Lai, T. Y. Huang, K. Y. Hsieh, R. Liu, and C. Y. Lu, "Study of the gate-sensing and channel-sensing transient analysis method for monitoring the charge vertical location of SONOS-type devices," *IEEE Trans. Electron Devices*, vol. 7, pp. 407-419, Sep. 2007.

[16]K. Honda and Y. Cho, "Visualization using scanning nonlinear dielectric microscopy of electrons and holes localized in the thin gate film of a metal-SiO_2-Si_3N_4-SiO_2-semiconductor flash memory," *Appl. Phys. Lett.*, vol. 86, 013501, 2005.

[17]E. H. Nicollian and J. R. Brews, MOS (Metal Oxide Semiconductor) Physics and Technology, John Wiley & Sons, Inc., New York NY, pp. 495-508, 1982.

[18]S. Saito, K. Torii, M. Hiratani, and T. Onai, "Analytical quantum mechanical model for accumulation capacitance of MOS structures," *IEEE Electron Device Lett.*, vol. 23, pp. 348-350, June 2002.

[19]S. Franssila, Introduction to micro fabrication, John Wiley & Sons Ltd, England, p.59, 2004.

[20]H. S. Momose, T. Morimoto, Y. Ozawa, K. Yamabe, and H. Iwai, "An impro- vement of hot-carrier reliability in the stacked nitride-oxide gate n- and p-MISFET's," *IEEE Trans. Electron Devices*, vol. 42, pp. 704-712, 1995.

[21]Y. Takahashi and K Ohnishi, "Estimation of insulation layer conductance in MNOS structure," *IEEE Trans. Electron Devices*, vol. 40, pp. 2006-2010, 1993.

[22]H. C. Chien, K. H. Wu, J. W. Chang, C. H. Kao, and T. S. Chen, "Endurance and data retention improvement of silicon-oxide-nitride-oxide-silicon nonvolatile semiconductor memory devices with partially bottom-silicon-rich nitride structure," *Jpn. J. Appl. Phys.*, vol. 44, pp. 6380-6384, 2005.

[23]S. Fujii, J. Fujiki, N. Yasuda, R. Fujitsuka, and K. Sekine, "Transition of erase mechanism for MONOS memory depending on SiN composition and its impact on cycling degradation," in *Proc. of the IRPS*, pp. 956-959, 2010.

[24]P. Candelier, B. D. Salvo, F. Martin, B. Guillaumot, F. Mondon, and G. Reimbold, "Thinning oxide-nitride-oxide interpoly dielectric (11-13 nm) for 0.25 um flash cell memories," in *Proc. 27th ESSDERC*, pp. 264-267, 1997.

[25]C. Friederich, M. Specht, T. Lutz, F. Hofmann, L. Dreeskornfeld, W. Weber, J. Kretz, T. Melde, W. Rosner, E. Landgraf, J. Hartwich, M. Stadele, L. Risch, and D. Richter, "Multi-level p^+ tri-gate SONOS NAND string arrays," in *IEDM Tech. Dig.*, pp. 1-4, 2006.

[26]T. S. Chen, K. H. Wu, and C. H. Kao, "Performance improvement of SONOS memory by bandgap engineering of charge-trapping layer," *IEEE Electron Device Lett.*, vol. 25, pp. 205-207, 2004.

[27]C. H. Lee, W. H. Tu, L. H. Chong, S. H. Gu, K. F. Chen, Y. J. Chen, J. Y. Hsieh, I. J. Huang, N. K. Zous, T. T. Han, M. S. Chen, W. P. Lu, K. C. Chen, T. Wang, and C. Y. Lu, "Overall operation considerations for a SONOS-based memory," in *VLSI Symp. Tech. Dig.*, pp. 150-151, 2009.

[28]S. S. Chung, P. Y. Chiang, G. Chou, C. T. Huang, P. Chen, C. H. Chu, and C. C. H. Hsu, "A novel leakage current separation technique in a direct tunneling regime gate oxide SONOS memory cell," in *IEDM Tech. Dig.*, pp. 26.6.1-26.6.4, 2003.

[29]J. L. Wu, H. C. Chien, C. W. Liao, C. Y. Wu, C. Y. Lee, H. C. Wei, S. H. Chen, H. P. Hwang, S. Pittikoun, T. Cho, and C. H. Kao, "Comparison of electrical and reliability characteristics of different tunnel oxides in SONOS flash memory," in *Proc. IEEE MTDT*, pp. 81-84, 2006.

[30]H. Sunamura, K. Masuzaki, M. Terai, S. Kotsuji, T. Onizawa, A. Morioka, T. Ikarashi, N. Ikarashi, S. Fujieda, and H. Watanabe, "Ultra-uniform threshold voltage in SONOS-type non-volatile memory with novel charge trap layer formed by plasma nitridation," in *Proc. 21st IEEE Nonvolatile Semiconductor Memory Workshop*, pp. 70-71, 2006.

[31]M. Miura, A. Ohta, H. Murakami, S. Higashi, S. Miyazaki, M. Kohno, T. Nishida, and T. Nakanishi, "Depth Profiling of Chemical Composition and Defect State Density of SiNx Formed by Plasma CVD," *IEICE Technical Committee Conferences SDM*, pp. 17-22, 2007.

[32]小林 賢司、白石 賢二、「MONOS 型メモリの劣化の原子レベルの機構の第一原理計算による考察」 ゲートスタック研究会, pp. 203-208, 2008.

[33]大竹 朗、山口 慶太、小林 賢司、白石 賢二、「MONOS 型メモリの電荷蓄積機構の第一原理計算による考察」 ゲートスタック研究会, pp. 69-72, 2009.

[34]K. Yamaguchi, A. Otake, K. Kobayashi, and K.Shiraishi, "Atomistic Guiding Principles for MONOS-Type Memories with High Program/Erase Cycle Endurance," in *IEDM Tech. Dig.*, pp. 275-278, 2009.

[35]山口 慶太、大竹 朗、小林 賢司、白石 賢二、「MONOS 型メモリの書込み/消去の繰り返しに対する理論的検討」 ゲートスタック研究会, pp. 11-14, 2010.

[36]大竹 朗、山口 慶太、小林 賢司、白石 賢二、「MONOS 型メモリの電荷蓄積機構における水素混入効果の理論的検討」 ゲートスタック研究会, pp.257-260, 2010.

[37]K. Yamaguchi, K. Shiraishi, A. Otake, and K, Kobayashi, "Atomistic Guideline for MONOS-Type Memories with High Program/Erase Cycle Endurance," *ECS Trans.* , vol. 28, no. 2, pp. 403-410, 2010.

[38]K. Yamaguchi, A. Otake, and K. Shiraishi, "Effect of Heteroatom for Nitrogen Vacancy in SiN/SiO2 Interface Layer in MONOS-Type Memories," *ECS Trans.* , vol. 33, no. 6, pp. 243-251, 2010.

[39]K. Shiraishi, K. Yamaguchi, A. Otake, K. Kamiya, and Y. Shigeta, "Guiding Principles for Charge Trap Memories -A Theoretical Approach-," in *Proc. IEEE International Conference on Solid-State and Integrated Circuits Technology (ICSICT-2010)*, pp. 1096-1099, Nov. 2010.

[40]K. Yamaguchi, A. Otake, K. Kamiya, Y. Shigeta, and K.Shiraishi, "Universal Guiding Principle for the Fabrication of Highly Scalable MONOS-Type Memory -Atomistic Recipes Based on

Designing Interface Oxygen Chemical Potential-," in *IEDM Tech. Dig.*, pp. 122-125, 2010.

[41]A. Otake, K. Yamaguchi, K. Kamiya, Y. Shigeta, and K. Shiraishi, "An Atomistic Study on Hydrogenation Effects toward Quality Improvement of Program/Erase Cycle of MONOS-Type Memory," *IEICE Trans. on Electron.*, vol. E94-C, no. 5, pp. 693-698, 2011.

[42]K. Kamiya, K. Yamaguchi, A. Otake, Y. Shigeta, and K. Shiraishi, "Efficient Guiding Principle of Highly Scalable MONOS-Type Memories," *ECS Trans.* , vol. 41, no. 7, pp. 71-79, 2011.

[43]T. Mine, K. Fujisaki, T. Ishida, Y. Shimamoto, and K. Torii, "Electron Trap Characteristics of Silicon Rich Silicon Nitride thin films," *Ext. Abst. of IWDTF*, pp. 19-20, 2006.

[44]T. Mine, K. Fujisaki, T. Ishida, Y. Shimamoto, R. Yamada, and K. Torii, "Electron Trap Characteristics of Silicon Rich Silicon Nitride Thin Films," *JJAP*, vol. 46, pp. 3206-3210, 2007.

[45]H. Hamamura, T. Ishida, M. Toshiyuki, Y. Okuyama, D. Hisamoto, Y. Shimamoto, S. Kimura, K. Torii, "Electron trapping characteristics and scalability of HfO_2 as a trapping layer in SONOS-type flash memories," in *Proc. of the IRPS*, pp. 412-416, 2008.

4. 結論

本論文では半導体不揮発性メモリの信頼性に関わる研究成果を説明してきたが、ここでは筆者の所属する日立製作所における製品開発の観点から本論文の内容を総括する。本論文では 2004 年から 2009 年にわたる半導体不揮発メモリの信頼性物理の理解に向けた取組みについて述べた。

前半の第 2 章では、動的ゆらぎの物理機構の解明に向けた研究結果について述べた。RTN という物理現象自体は古くから知られていたが、実際の製品レベルの電子デバイスの信頼性を脅かし始めたのは、最小加工寸法が 90 nm になってからである。2005 年頃、日立製作所及び当時のルネサステクノロジは AG-AND フラッシュメモリと呼ばれる多値技術を用いた浮遊ゲート型フラッシュメモリの信頼性確保に苦しんでいた。不良要因は、しきい電圧の RTN であることを特定するが、これをきっかけに AG-AND フラッシュメモリを用いた大容量フラッシュメモリ事業からは撤退した。日立とルネサスの共著にて 2006 年にしきい電圧の RTN に関する報告を VLSI シンポジウムにて報告したところ、その後から競合他社からも同様の報告が相次いで報告され、FET における新たな信頼性課題として広く世に認知されるに至った。DRAM においても、1980 年代からリテンション時間が動的にゆらぐ現象、VRT が確認されており、2000 年代においても信頼性を脅かしていた。日立製作所とエルピーダメモリは 2005 年に VRT の原因を接合リーク電流の動的ゆらぎと特定した。

上記のように、2000 年代中頃は各種半導体デバイスにおける動的ゆらぎが注目を集めており、いずれも著者の所属するグループが関与していた。そうした背景の中、我々はゲート SILC の動的ゆらぎの解析を開始した。この現象の解析は 2003 年から始まり、状態遷移の機構や V-SILC の発生率、抑制の指針などを明らかにした。しかしながら、2005 年に日立製作所が AG-AND フラッシュメモリから撤退したため、社内でその知見を生かすことは無かったが、今後も継続するフラッシュメモリの研究開発の中で生かされれば幸いだと考えている。動的ゆらぎの対策は、解析による現象の理解から始まり、効果的な検出方法や抑制方法の提案に繋げることが求められる。特に、製造プロセスの改良による抑制が望ましいが、ビットコストの急激な低下により不良ビットの置換えなどのシステムレベルでの対応が主流となっていく可能性もある。大容量不揮発性メモリにおける動的ゆらぎ対策では、最小コスト最大効果となる対策の提案が重要となる。V-SILC を含む動的ゆらぎにおいてもこのような視点での提案が今後の課題となる。

後半の第 3 章では MONOS 型フラッシュメモリの性能と信頼性を司るトラップ特性について、特にトラップ分布に着目した解析を行った。日立製作所及び旧ルネサステクノロジ・現ルネサスエレクトロニクスにおける MONOS 技術開発の歴史は深く、1980 年代には MNOS 型を、1990 年代には MONOS 型フラッシュメモリを他社に先駆けて開発し、IC(Integrated Circuit)カード用、CIM(Computer Integrated Manufacturing)カード用のチップとして実用化してきている。2000 年代になると MONOS 型フラッシュメモリはマイコン混載用フラッシュとしてルネサスの主力製品に使われ、特に車載用途に求められるスペックである、動作速度 100 MHz、書換え回数 10 万回以上、記憶寿命 10 年以上、動作温度 125℃を満たす高性能・高信頼フラッシュメモリ向けに開発が行われてきた。性能と信頼性はトレードオフの関係にあるため、信頼性保証が大きな課題の一つとなった。特に、高速動作のために DS-CHEI による書込みと BTBT-HHI による消去を行った場合には、リテンション特性を予測するために注入後の各電荷の分布とその後の再分布の特性を知ることが急務となり、トラップの特性を評価するために本研究がスタートした。その結果、電子と正孔に対するトラップの分布が明らかとなり、リテン

ション予測の精度が向上し、製品開発に貢献した他、窒化膜厚のスケーリング指針を示すことができた。また、白石教授らのグループとの共同研究によりトラップの起源となる欠陥をモデル化し、理論的に高性能・高信頼化の指針を導くことができた。

本研究で明らかにした MONOS 構造内のトラップ分布の解析結果は MONOS 型フラッシュメモリの信頼性保証だけでなく、設計や開発指針にとって重要である。更に、本研究で提案したトラップ特性の評価手法は、電荷蓄積膜やそれを取り囲む絶縁膜を High-k 材料に置換えた構造に対しても適用可能であるため、今後もチャージトラップ型メモリの開発にとって有用である。

付録

付録 I　新メモリ

フラッシュメモリについて、微細化に伴って信頼性課題が深刻化することを 1-2-4 項にて説明した。フラッシュメモリの微細化については最小加工寸法が 10 nm 前後になったときに行き詰まると予想した。一方、量産品においてフラッシュメモリに次ぐチップ当たりの容量を実現している DRAM においても、微細化の限界が近づいている。DRAM では微細化と共にセルキャパシタの容量を維持することが困難になっている。セルキャパシタの静電容量は過去から 20～25 fF を維持しており、これ以上のセルキャパシタの薄膜化ができないため、微細化と共に円柱状のセルキャパシタをシリコンダイと垂直方向に伸ばしている。3X nm 世代の縦横の比率(アスペクト比)は 25 にも達しており、更に上げることは極めて難しい。解決策として、キャパシタの絶縁膜を極めて高い誘電率を備えた材料(例えば ZrO_2、TiO_2、$SrTiO_3$ など)に変更するという手法があるが、リーク電流の問題などがあり、実際に使えるのかどうかは未知数である。

上記のようにフラッシュメモリと DRAM のいずれもが、微細化限界に近付いているため、新メモリへの期待が高まっている。新メモリには大きく 3 つの方向性がある。1 つ目は、既存のメモリである DRAM や SRAM、フラッシュメモリの置換えである。2 つ目は、レイテンシ(デバイスに対してデータ転送などを要求してから、その結果が返送されるまでの遅延時間)の短縮や低消費電力化などに代表されるシステムの性能向上である。最後は微細化を更に進めて、ビットコストを下げると共に、物理的寸法を小さくすることである。新メモリに対する具体的な要求項目は以下の通り。

(i)不揮発性であること

(ii)NAND フラッシュメモリと同等以上の記憶保持寿命

(iii)NAND フラッシュメモリと同等以上の書換え耐性

(iv)SRAM、DRAM のようにアクセス速度が速い。ランダムアクセスが可能。

(v)DRAM、NAND フラッシュメモリと同等以上の大容量化が可能

(vi)低電圧/低消費電力駆動

現時点で、上記の要求項目を全て満たす新メモリは登場していないが、これらの要求項目を複数実現する新メモリとして、FeRAM(Ferroelectric RAM)、STT-RAM(Spin Transfer Torque RAM)、PCRAM(Phase-Change RAM)、ReRAM(Resistance RAM)が挙げられる。表 A1-1 を用いて新メモリと SRAM、DRAM、NAND フラッシュを比較する。これら 4 種類の新メモリは、いずれも浮遊ゲート型フラッシュメモリとは異なる物理現象を原理とした不揮発メモリで、新材料を用いる必要がある。いずれもフラッシュメモリと同等以上の記憶保持寿命、フラッシュメモリを超える書換え回数、フラッシュメモリを超え、DRAM と同等以上かそれに準ずる動作速度を持つ。また、フラッシュメモリよりも低い電圧で書込み・消去が可能である。FeRAM を除く新メモリはセルサイズを小さくし易く、記憶原理がフラッシュメモリと異なるため、加工寸法が 10 nm 以下となっても不揮発性メモリの動作が可能である。更に、多値記憶やデバイスレベルでの 3 次元積層も可能なため、NAND フラッシュメモリを超える高密度化を実現できる可能性がある。

以下にて、各新メモリの動作原理、特徴、技術的課題について説明した後、新メモリの今後の展望について述べる。

表 A1-1 新メモリの比較

	SRAM	DRAM	NAND フラッシュ	FeRAM	STT-RAM	PCRAM	ReRAM
記憶 メカニズム	フリップ フロップ	キャパシタ 充放電	電荷蓄積	強誘電体 分極反転	スピン トルク転移	カルコゲナ イド相転移	電界誘起 抵抗変化
セル構造	6T	1T1C	FG	1T1C	1T1MTJ	1T1R 1D1R	1T1R 1D1R
セルサイズ	大 50–130F^2	小 4–8F^2	小 1–4F^2	中 12–25F^2	小 4–6F^2	小 4–8F^2	小 4–6F^2
動作速度 書込み 消去 読出し	高速 0.4 ns 0.4 ns 0.4 ns	中速 $<$15 ns $<$15 ns $<$15 ns	低速 200 ms 2 ms 15–50 ms	中速 $<$10 ns $<$10 ns $<$50 ns	中速 10–40 ns 10–40 ns 10–20 ns	中速 50–100 ns 80–300 ns 10–100 ns	中速 5–50 ns 5–50 ns 10–50 ns
書込み電圧	1.2 V	1–2.5 V	15–20 V	1–1.5 V	1.5 V	1.5–5 V	1.5–4 V
ランダム アクセス	○	○	×	○	○	○	○
不揮発性	×	×	○	○	○	○	○
書換え回数	∞	∞	10^3–10^5	10^{12}–10^{16}	10^9–10^{16}	10^6–10^{15}	10^6–10^{10}
記憶保持寿命	0.1 s	0.1 s	10年	10年	10年	10年	10年
多値記憶	No	No	Yes	–	Yes [8]	Yes [9–13]	Yes [7, 16–18]
3次元積層	No	No	Yes	–	Yes [8]	Yes [14–15]	Yes [7, 19–22]
消費電力	高	中	低	低	低	中	中
新材料	なし	高誘電体膜	なし	強誘電体膜	トンネル 磁気膜	カルコゲ ナイド膜	強相関 電子系膜
主な用途	キャッシュ	メイン メモリ	ストレージ	ICカード	メイン メモリ? キャッシュ？	コードスト レージ?	ストレー ジ?
学会発表 Process Tech. チップ容量 セルサイズ チップサイズ その他特徴	ISSCC2012 [1] 22 nm 162 Mbit 0.108 mm^2 6.72 Mb/mm^2 4.6 GHz@1 V	ISSCC2012 [2] 30 nm 4 Gb – 76 mm^2 3.2 Gbps	ISSCC2012 [3] 19 nm 128 Gb – 170.6 mm^2 3 bit/cell	ISSCC2009 [4] 130 nm 128 Mb 0.252 mm^2 87.7 mm^2 書換え10^{13}	IEDM2010 [5] 54 nm 64 Mb 0.041 mm^2 23.4 mm^2 Read 20 ns	ISSCC2012 [6] 20 nm 8 Gb 0.00168 mm^2 59.4 mm^2 書換え10^6	ISSCC2010 [7] 130 nm 64 Mb 0.168 mm^2 3.27 mm^2 4層積層

FeRAM

FeRAM は強誘電体のヒステリシスを利用し、正負の自発分極を 1 と 0 に対応させた強誘電体メモリである。強誘電体膜の分極反転時間は 1 ns 以下と速いため、DRAM 並みの高速書換えが期待できる。セル構造は 1T1C で、NAND フラッシュメモリよりもセルサイズは大きい。強誘電体膜(PZT など)やこれを挟む金属(Pt や Ir など)の微細加工は難易度が高いため、DRAM を超える高密度化は困難と考える。セル構造の模式図を図 A1-1 に示す。動作原理は DRAM に似ている。DRAM と異なるのは、キャパシタが常誘電体ではなく強誘電体であることで、FET にリーク電流が流れることと、電源をオフにしてもキャパシタの情報が消えない不揮発性である点と、リフレッシュが不要な点である。

書込み・消去時には、ワード線でセルを選択し、ビット線-プレート線間に電圧を印加し、強誘電体キャパシタを上向き又は下向きに分極させる。読出し時はパルス電圧を印加し、分極反転による電流の有無により 1/0 判定を行う。読出しにより分極方向は元の状態によらず電圧方向を向く。同じ方向の場合は電流は流れず、反対の場合は分極方向が反転して電流が流れる。このため、データを読出すことによりデータ内容が破壊される破壊読出しであるため、読出しの度にデータを再度書込む必要がある。従って、読出しにも素子の書換え劣化が伴う。

書換え回数や動作速度において NAND フラッシュより優れており、低電圧動作が可能なため、NAND では昇圧のために必要なチャージポンプ回路が不要で、電源投入してから使用可能となる時間も速い。書換え回数 10^{10}～10^{12}、4 Kbit～4 Mbit の製品が量産されているが、容量当たりの単価が高いため、IC カードなど限られた用途で使用されている。

技術的課題としては、インプリント現象(同一方向に複数回パルス電圧を印加した場合、逆方向のパルス電圧を印加しても完全に反転しない現象)の抑制、キャパシタ加工ダメージ抑制、配線工程におけるダメージ抑制、書換え回数改善、3 次元キャパシタ実現、セル微細化などが挙げられる。

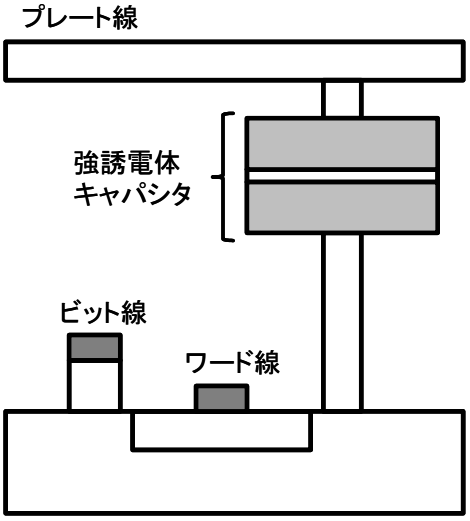


図 A1-1 FeRAM メモリセルの模式図

STT-RAM

STT-RAM はトンネル磁気抵抗効果(TMR: Tunnel Magneto-resistance)を利用したメモリである。TMR とは、磁気トンネル接合(MTJ: Magnetic Tunneling Junction)素子に電圧を印加し、絶縁体にトンネル電流が流れ、抵抗値が変化する現象である。MTJ は、2 つの強磁性金属層の間に厚さ 1～2 nm の絶縁膜を挟み込んだ構造としており、2 つの強磁性金属層の磁化方向が同じ場合は抵抗が低くなり、磁化方向が異なる場合は抵抗が高くなる。

STT-RAM のメモリセルは図 A1-2 のように MTJ 素子とセル選択トランジスタで構成する。MTJ 素子を構成する 2 つの強磁性金属層のうち、一方を磁化方向の固定された固定層とし、他方を磁化方向が可変な自由層とする。自由層の磁化方向によりトンネル電流に対する抵抗が異なるため、1/0 を記憶できる。

書込み、即ち自由層の磁化方向の変化は、MTJ 素子への電流注入によって行う。強磁性体中の伝導電子はスピンの方向が同じ方向に揃うという性質があるため、固定層から絶縁膜に向かってスピンの向きの揃った電子を注入することにより磁気モーメントを変えるトルクを発生させ、自由層の磁化の方向を変える。

磁化の反転に要する時間は数 ns であるため、STT-RAM には DRAM を超え、SRAM 並みの動作速度を実現できる可能性がある。また、微細化すると書込みに必要な電流値が小さくなるという高密度化に適した特性を備えている。更に、磁化方向を長手方向から垂直方向にした垂直磁気記憶とすることで、DRAM よりも小さなセルサイズを実現できる可能性もある。従って、不揮発性メインメモリとしての応用が期待されている。

技術的課題としては、書込み電流の削減、MTJ の MR 比(最大の抵抗値と最小の抵抗値の比)の向上、スイッチング特性のセル間ばらつきの抑制、垂直磁気記憶技術の確立、配線工程の低温化などが挙げられる。

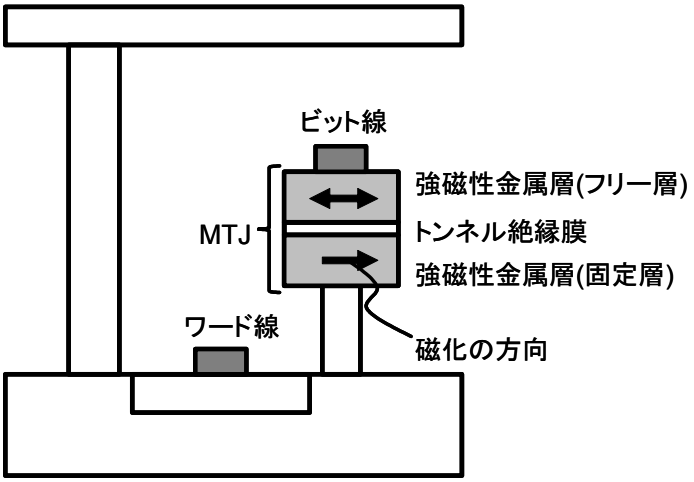


図 A1-2 STT-RAM メモリセルの模式図

PCRAM

PCRAM は相変化材料(カルコゲナイド)のアモルファス状態と結晶状態の電気抵抗の違いを利用したメモリである。記憶部は図 A1-3 に示すように、相変化材料を金属のヒーター下部電極と上部電極で挟んだ構造を用いている。数百 ns と長めの中電流パルスの印加により、アモルファスの高抵抗状態から結晶性の低抵抗状態に遷移(セット)し、短い大電流パルスの印加により結晶性の低抵抗状態からアモルファスの高抵抗状態に戻る(リセット)。

PCRAM のメモリセルは図 A1-4 のように相変化材料による可変抵抗素子と選択素子で構成する。新メモリの中では最も高密度化で先行しており、選択素子をトランジスタからダイオードとし、更に抵抗素子と選択素子をクロスポイント型の積層配置とすることでセルサイズを理論限界の $4F^2$(F:最小加工寸法、minimum feature size)とし、最先端 DRAM を超える記憶密度とチップ容量を実現した PCRAM が報告されている[6]。書込み・消去・読出し速度では DRAM には劣るものの、NAND フラッシュメモリより圧倒的に速く、書換え回数も多い。しかし、書換えに必要なジュール熱を発生させるために百～数百 μA の電流を流す必要があり、消費電力が比較的高い。

現在、携帯端末向けに 512 Mbit～1 Gbit の製品が量産されており、起動時間の短縮に寄与しているほか、コードストレージや新しいキャッシュ階層としての応用にも期待されている。

技術的課題としては、書換え電流の低減、書換え耐性の改善、隣接セル干渉抑制、蓄熱効果抑制、記憶保持寿命改善、セット時間高速化などが挙げられる。

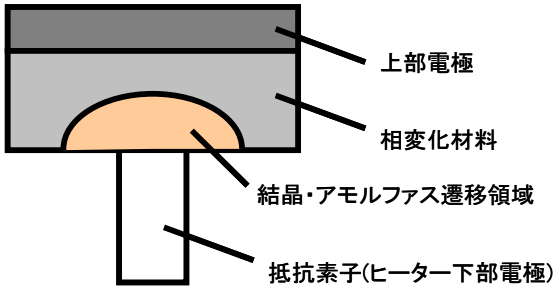


図 A1-3 PCRAM 記憶部の構造

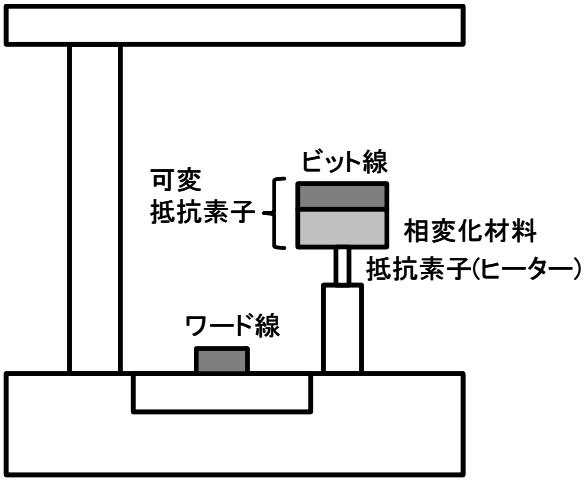


図 A1-4 PCRAM メモリセルの模式図

ReRAM

ReRAM はスイッチング特性を持つ抵抗素子を使ったメモリで様々な材料のメモリが研究されている。ReRAM のメモリセルは PCRAM と同様に可変抵抗素子と選択素子で構成する(図 A1-5)。可変抵抗素子は金属酸化物を電極で挟んだキャパシタ構造であり、セルにパルス電圧を印加することによりセルの抵抗値を変化させて情報を記憶する。セル構造が簡単なため、微細化や積層化が容易で、1 桁以上の抵抗変化が得られることから多値化が可能であるなどの特徴を持つ。そのため、NAND フラッシュメモリを超える高密度化を実現できる可能性を持つ。更に DRAM と同等以上の書込み・消去速度を実現できる可能性も持つ。

ReRAM の動作特性は、抵抗変化材料に用いる金属酸化物の種類や、電極材料の違いを含むセル構造に依存しており、その動作特性は図 A1-6 に示すような電流-電圧特性の違いにより、ユニポーラ型とバイポーラ型の 2 種類に分類される。また、提案されている動作機構も抵抗変化材料やセル構造に依存しており、図 A1-7 に示すように抵抗変化領域の違いにより、フィラメント型(ヒューズ・アンチヒューズ型)と界面型の 2 種類に分類されている。

まず、ユニポーラ型とバイポーラ型について説明する。ユニポーラ型は書込み・消去に印加する電圧が極性によらず、電圧の大きさで抵抗状態を切り替えて、情報を書込み・消去する。読出しは消去電圧よりも低い電圧で行う。一方、バイポーラ型は、印加する電圧の大きさに加え、極性により抵抗状態を切り替える。読出しは書込み・消去電圧よりも低い電圧で行う。

次に、フィラメント型と界面型について説明する。フィラメント型の動作機構は、比較的絶縁性の高い金属酸化物を抵抗変化材料に用いたセルで多く観測され、その多くがユニポーラ型の動作特性を示す。金属酸化物内に導電性のフィラメントが形成され、電圧印加により導電性のフィラメントの一部が開閉することで抵抗が変化すると考えられる。フィラメントの開閉は金属電極近傍の一部で起こっており、ジュール熱や電気化学的効果による金属酸化物の酸化還元現象が起源と考えられている。ユニポーラ型では、セルの抵抗値が素子面積に依存せずほぼ一定であることから、微細化による消費電力抑制効果は殆ど無いが、微細化したときにも大きなオン電流(低抵抗状態における読み出し電流)を得ることができる。

一方、界面型は半導体的な金属酸化物を用いたセルで多く観測される機構であり、金属電極との界面全体で抵抗変化が起こる。界面型の多くはバイポーラ型の動作特性を示す。抵抗変化の起原としては、空間電荷制限電流の効果、界面の電荷トラップ効果、電気化学的効果による酸素欠陥の移動などが提案されている。これらのモデルでは、界面近傍の電荷量が変化することで界面電子状態に変化が生じ、結果として界面抵抗が変化する。界面型ではセルの抵抗値は素子面積にほぼ反比例して変化するが、書込み・消去電圧は面積に依存しないため、微細化により消費電力が抑制される。

ReRAM の技術的課題としては、詳細メカニズムの解明、抵抗変化材料と電極材料の最適な組み合わせの選択、書換え耐性改善などが挙げられる。特に、抵抗変化の機構を解明することが実用化に向けた技術開発において求められている。

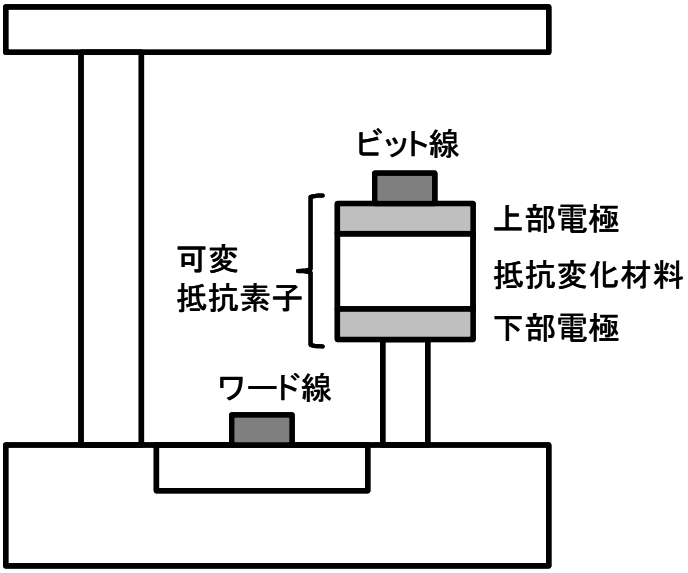


図 A1-5 ReRAM メモリセルの模式図

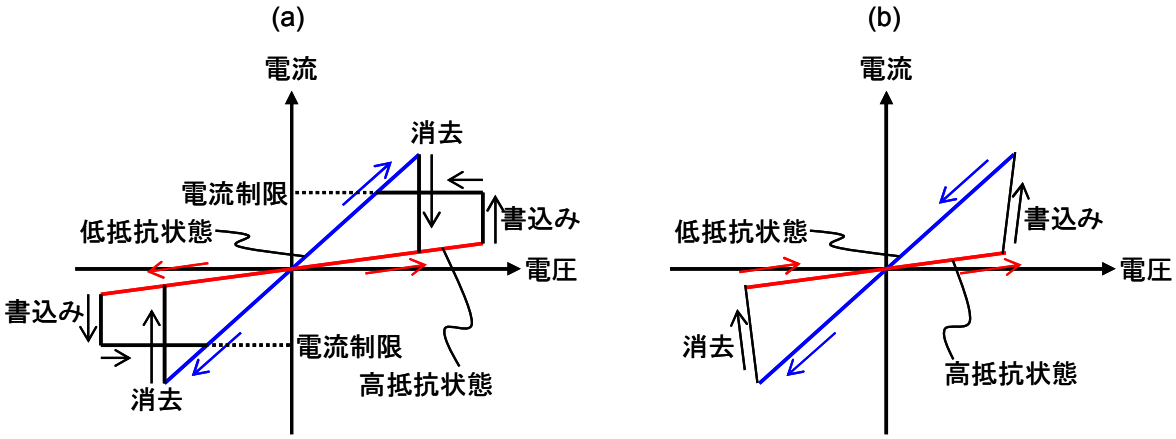


図 A1-6 ReRAM の動作特性。(a)ユニポーラ型、(b)バイポーラ型

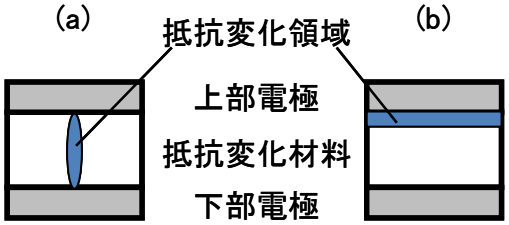


図 A1-7 ReRAM の動作機構。(a)フィラメント型、(b)界面型

新メモリの今後の展望

4 種の新メモリのうち、FeRAM はセルサイズが大きく、容量当りの単価が高いため、有望な新メモリは STT-RAM、PCRAM、ReRAM に絞られつつある。セルサイズや構造の簡単さや、3 次元積層化や多値化の容易さの観点から高密度化のし易さを比較すると、

ReRAM > PCRAM > STT-RAM

の順に高密度化が容易と考える。一方、動作速度や動作原理から性能及び信頼性を比較すると、

STT-RAM > PCRAM > ReRAM

の順に高性能・高信頼な不揮発性メモリであると考える。以上をまとめ、NAND フラッシュメモリや DRAM と比較した新メモリの位置付けを図 A1-8 に示す。NAND フラッシュメモリと DRAM はそれぞれ、大容量不揮発と高速・高信頼(書換え回数無制限)というそれぞれの特徴の違いから棲み分けしている。一方、新メモリは両者の中間あるいは一部置換えを狙えると考える。ReRAM はその高密度化の容易さから NAND フラッシュメモリの領域であるデータストレージの一部を置き換える可能性がある。STT-RAM はその動作速度の速さと書換え耐性の高さから DRAM の領域であるメインメモリを不揮発メインメモリに置き換える可能性がある。PCRAM は ReRAM と STT-RAM の中間的な領域であるためコードストレージ用の不揮発メモリとして利用される可能性がある。また、いずれの新メモリも NAND フラッシュメモリに比べて遥かに高速に動作することから、新たなキャッシュ階層を形成することによりシステムの高速化と不揮発記憶による低消費電力化に寄与できる可能性がある。

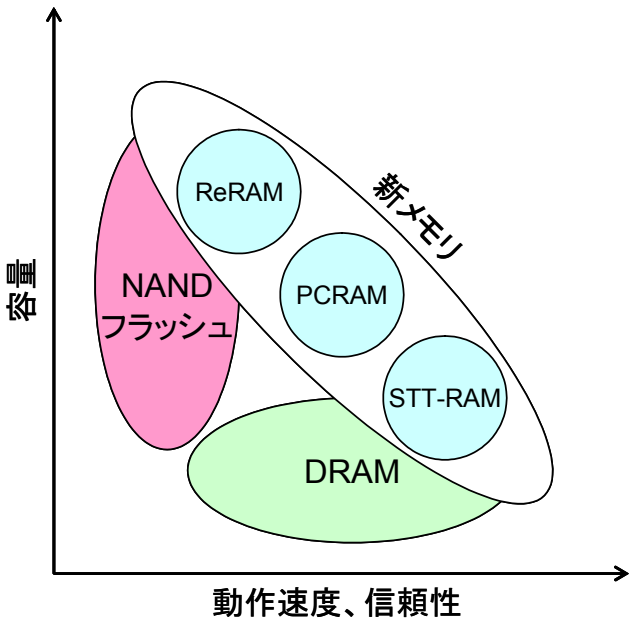


図 A1-8 新メモリの位置付け

新メモリの研究開発が開始されて 10 年以上の年月が経過し、Mbit や Gbit クラスの実用的な容量のチップが報告されてきており、その一部は市販されている。しかしながら、既存の NAND フラッシュメモリや DRAM、SRAM の置換えは殆ど進んでいない。

ここで、NAND フラッシュメモリの市場規模が爆発的に広がり、HDD(Hard Disk Drive)の一部を置換えたきっかけを振り返ると、2000 年前後にデジタルカメラや USB(Universal Serial Bus)メモリ、デジタル音楽プレーヤのデータストレージとして採用されたことが大きいと考える。当時のデータストレージの主流である HDD に対して、NAND フラッシュメモリは書換え回数や記憶保持寿命といった信頼性では劣っていたが、小型化・軽量化が可能という利点を最大限に活かした破壊的イノベーションにより、新たな市場を創生できたと考える。その後に SSD の登場により HDD の一部を置き換えたことは、先立つ成功があった結果であると考える。同様に、新メモリが今後大きな市場を形成するには、新市場の創生が鍵になると考える。特に新メモリの持つ不揮発性や高速動作、高い書換え耐性といった特徴を最大限に活かせるシステムやアプリケーションの登場が新メモリの市場規模を爆発的に広げるきっかけになると考える。

付録Ⅱ 酸化膜中トラップの評価

3-4-1-2 項にて MONOS 構造内のトラップ分布を解析する際に、本研究ではトラップの領域を(ⅰ)トップ界面、(ⅱ)窒化膜中、(ⅲ)ボトム界面と仮定し、酸化膜中のトラップを無視した。ここでは、酸化膜中のトラップが(ⅰ)～(ⅲ)のトラップと比べて無視できることを実験的に示す。

MOS キャパシタと MONOS キャパシタの電荷捕獲特性を比較するために、酸化膜厚 20 nm の MOS キャパシタと EOT が 20 nm の MONOS キャパシタを用意した。それぞれのキャパシタに電荷を注入した際の C-V カーブシフト量 ΔV_{cap} と注入電荷密度の関係を比較した。

MOS キャパシタと MONOS キャパシタに電子を注入した際の注入電子密度 $N_{\mathrm{inj_e}}$ と ΔV_{cap} の関係を図 A2-1 に示す。MOS キャパシタの ΔV_{cap} を飽和させるのに必要な $N_{\mathrm{inj_e}}$ は MONOS キャパシタのそれよりも 3 桁以上大きい。これに対して、同じ膜厚の MOS キャパシタと MONOS キャパシタに正孔を注入した際の正孔注入密度 $N_{\mathrm{inj_h}}$ と ΔV_{cap} の関係を図 A2-2 に示す。MOS キャパシタの ΔV_{cap} を飽和させるのに必要な $N_{\mathrm{inj_h}}$ は MONOS キャパシタのそれよりも 1 桁以上大きい。

上記の結果では、MONOS 構造内のトラップ分布解析において、酸化膜中の電子トラップは無視できると判断できるが、酸化膜中の正孔トラップが無視できるかどうかは判断できない。そこで、トップ酸化膜厚を変化させた MONOS キャパシタを用いて、MONOS キャパシタにおける、酸化膜中正孔トラップの ΔV_{cap} に対する寄与分を解析した。トップ酸化膜厚 x_{top} は 5 nm から 50 nm まで変化させる一方で、窒化膜厚とボトム酸化膜厚はそれぞれ 10 nm と 5 nm に固定した。ΔV_{sat} の x_{top} 依存性は以下のように表される。

$$\Delta V_{\mathrm{sat}} = \frac{qN_{\mathrm{t_bulk}}}{2\varepsilon_{\mathrm{ox}}\varepsilon_0}x_{\mathrm{top}}^2 + \left(\frac{qN_{\mathrm{t}}}{\varepsilon_{\mathrm{ox}}\varepsilon_0} + \frac{qx_{\mathrm{SiN}}N_{\mathrm{bulk}}}{\varepsilon_{\mathrm{ox}}\varepsilon_0} + \frac{qN_{\mathrm{b}}}{\varepsilon_{\mathrm{ox}}\varepsilon_0} + \frac{qx_{\mathrm{b}}N_{\mathrm{b_bulk}}}{\varepsilon_{\mathrm{ox}}\varepsilon_0}\right)x_{\mathrm{t}} + \frac{qx_{\mathrm{SiN}}^2N_{\mathrm{bulk}}}{2\varepsilon_{\mathrm{SiN}}\varepsilon_0} + \left(\frac{qN_{\mathrm{b}}}{\varepsilon_{\mathrm{SiN}}\varepsilon_0} + \frac{qx_{\mathrm{b}}N_{\mathrm{b_bulk}}}{\varepsilon_{\mathrm{SiN}}\varepsilon_0}\right)x_{\mathrm{SiN}} + \frac{qx_{\mathrm{b}}^2}{2\varepsilon_{\mathrm{ox}}\varepsilon_0}N_{\mathrm{b_bulk}}. \quad \text{(A2-1)}$$

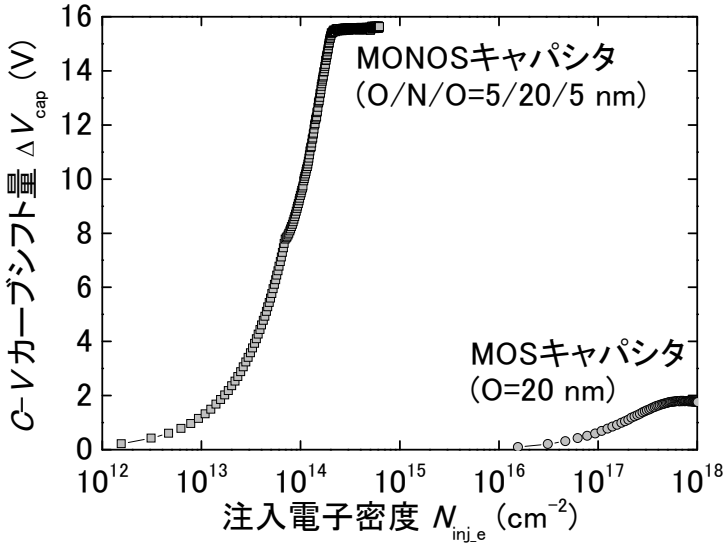


図 A2-1 MOS 及び MONOS キャパシタへの電子注入

ここで、N_{t_bulk}はトップ酸化膜中のトラップ体積密度、N_{b_bulk}はボトム酸化膜中のトラップ体積密度である。もしも、N_{t_bulk}のΔV_{sat}への寄与が無視できない場合、(A2-1)式よりΔV_{sat}の x_{top}依存性は 2 次関数的となる。図 A2-3 にトップ酸化膜厚保を変化させた MONOS キャパシタにおけるΔV_{sat}の x_{top}依存性を示す。ΔV_{sat}は x_{top}の増加と共に線形に増加している。従って、(A2-1)式における 2 次項は無視できるため、トップ酸化膜中の正孔トラップは無視できることが分かった。

トップ酸化膜は LPCVD で形成しているのに対し、ボトム酸化膜は熱酸化により形成している。一般的に熱酸化膜の方が LPCVD による酸化膜より高品質であるため、ボトム酸化膜中の正孔トラップも無視できると考えられる。以上より、MONOS 構造内のトラップ分布解析において、トップ及びボトム酸化膜中の正孔トラップを無視できることが明らかとなった。

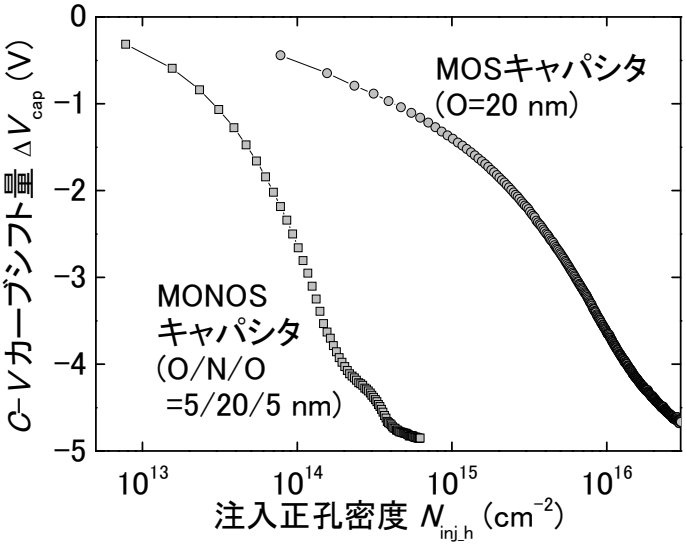


図 A2-2 MOS 及び MONOS キャパシタへの正孔注入

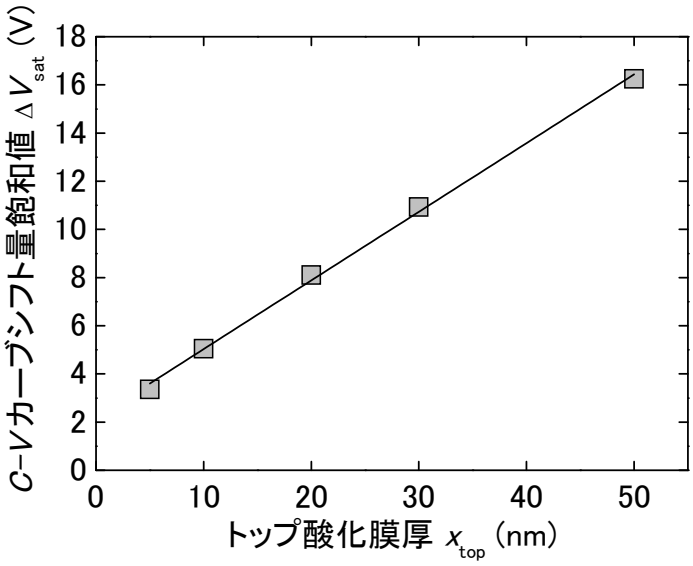


図 A2-3 MONOS キャパシタにおけるΔV_{sat}の x_{top}依存性

付録Ⅲ 酸化膜/窒化膜積層構造における窒化膜の比誘電率

3-4-1-4 項にて、MONOS キャパシタの ε_{SiN} を求めたところ、9.0 であった。この値は一般的なストイキオメトリなシリコン窒化膜(Si_3N_4)の報告値である 6～7[23]と比べて高い。ここでは、ε_{SiN} が高い原因について調べる。

まず、MNS(Metal Nitride Silicon)キャパシタと MNOS(Metal Nitride Oxide Silicon)キャパシタを用いて ε_{SiN} を求め、MNS、MNOS、MONOS キャパシタの ε_{SiN} を比較することで、MONOS キャパシタの ε_{SiN} が高い理由を調べる。NMOS、MONOS 構造の場合の ε_{SiN} については、文献調査も行う。全ての窒化膜は一般的な LPCVD 法により形成した。成膜時の温度は 770℃、圧力は 66.7 Pa、ソースガス及び流量比は、SiH_2Cl_2:NH_3:N_2=1:25:10 である。まず、MNS キャパシタを作製し、ε_{SiN} を求めた。シリコン基板上に 20 nm 厚の窒化膜を成膜し、その上に n^+多結晶シリコンゲートを形成した。ゲート面積は 100×100 μm である。MNS キャパシタの *C-V* 測定を行い(図 A3-1)、EPOQUE 法[24]から EOT は 11.04 nm と求まったため、ε_{SiN} は 7.1 と見積もられる。

次に、MNOS キャパシタを作製し、EOT の窒化膜厚依存性から ε_{SiN} を見積もった。酸化膜は水蒸気雰囲気中での熱酸化により形成した。酸化膜厚は 5 nm に固定(エリプソメータで膜厚は管理されている)する一方で、窒化膜厚は 5 nm から 50 nm まで変化させた。作製した MNOS キャパシタの断面模式図を図 A3-2 に示す。MNOS キャパシタの場合、EOT は以下のように表される。

$$\mathrm{EOT} = x_{\mathrm{b}} + \frac{\varepsilon_{\mathrm{ox}}}{\varepsilon_{\mathrm{SiN}}} x_{\mathrm{SiN}}. \qquad \text{(A3-1)}$$

EOT と窒素膜厚設計値との関係を図 A3-3 に示す。EOT は窒化膜厚設計値の増加と共に一次関数的に増加している。窒化膜厚設計値ゼロにおける EOT、即ち縦軸切片は酸化膜厚に対応し、傾きから ε_{SiN} が求まる。縦軸切片は外挿すると 5.0 nm となり、酸化膜厚と一致している。ε_{SiN} は ε_{ox} を 3.9 と仮定すると、8.4 と求まった。

上記の結果に基づいて MONOS キャパシタの場合に ε_{SiN} が高い理由を検討する。MNS キャパシタの場合には、ε_{SiN} は 7.1 と 6～7 という報告値とほぼ一致しているが、MNOS と MONOS キャパシタの場合では報告値よりも高かった。更に、MONOS キャパシタの場合の方が MNOS キャパシタの場合よりも高い。従って、酸化膜と窒化膜の積層構造が ε_{SiN} を増加させていると考えられる。窒化膜が酸窒化膜(SiON)となった場合は、比誘電率は低下するため、実験結果を説明できない。積層構造により ε_{SiN} が増加するメカニズムについては不明であるが、酸化膜/窒化膜界面や界面遷移層において分極が増加することが推測される。

MNOS 及び MONOS キャパシタの場合に ε_{SiN} が高いことが、本研究の我々の試料のみにおける結果なのか、他の研究においても起こっているのかを確認するために文献調査を行った[25-34]。文献における MNS、MNOS、MONOS 構造での ε_{SiN} を図 A3-4 にて比較する。MNOS 及び MONOS 構造の場合、ε_{SiN} はそれぞれ 8.3～9.8[25,26]、5.3～14.2[27-34]の範囲で分布している。多くの文献値が我々と同様に 6～7 という一般的な ε_{SiN} の報告値よりも高い値である。高い ε_{SiN} は積層構造による効果と考えられる。一方、低い ε_{SiN} も見られるが、低い ε_{SiN} は窒化膜が酸窒化膜へと組成が変わったことによるものと考えられる。上記の文献調査結果より、MNOS 及び MONOS 構造の場合において、ε_{SiN} が 6～7 よりも高いのは、一般的な事実であると考える。

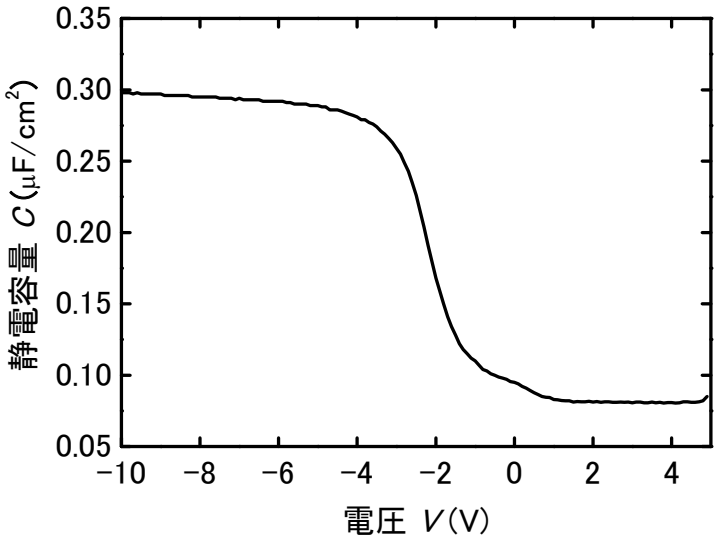


図 A3-1 MNS キャパシタにおける *C*-*V* 測定結果

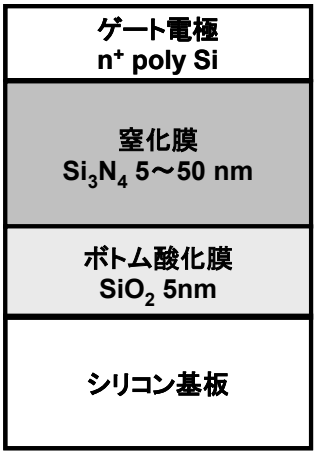


図 A3-2 MNOS キャパシタの断面模式図

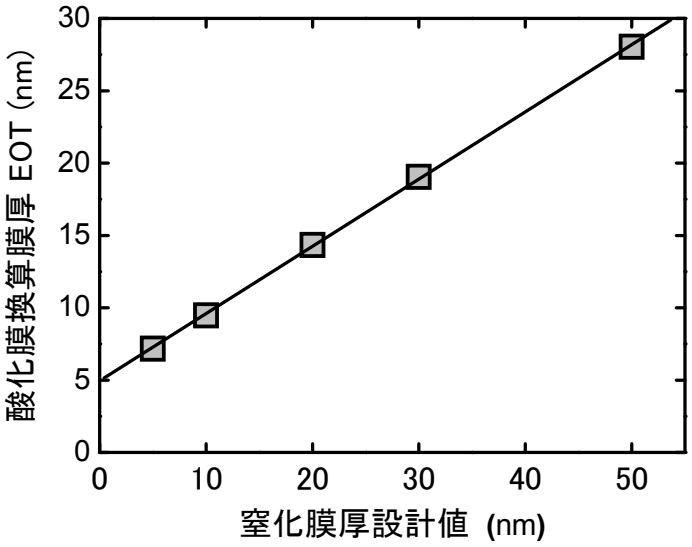


図 A3-3 NO 膜の EOT と窒化膜厚設計値との関係

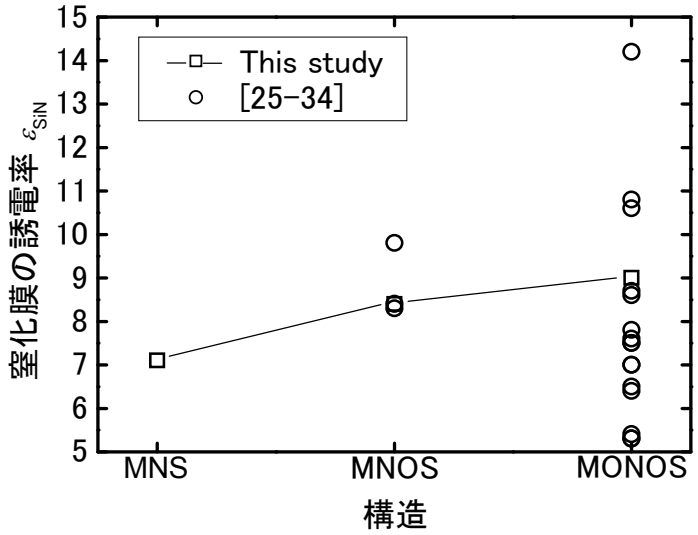


図 A3-4 MNS、MNOS、MONOS 構造における ε_{SiN} の比較

付録Ⅳ　MNOS 構造における電子及び正孔トラップ分布の解析

MONOS 構造よりも構造がシンプルな MNOS 構造内における電子及び正孔トラップ分布についても解析した。MNOS 構造とすることで、フィッティングパラメータが少なくなるため、解析が容易となるほか、フィッティング誤差が減少することが期待される。ここでは、MNOS キャパシタを用いた電子及び正孔トラップ分布の解析結果について示す。

試料の作製方法は、トップ酸化膜を成膜しないこと以外は、同じである。膜厚については、酸化膜の厚さを 5 nm に固定する一方、窒化膜の厚さを 10 nm から 50 nm と変化させた。窒化膜厚を 10 nm より薄くしなかった理由は、MNOS 構造の場合、トップ酸化膜が無いために、アバランシェ注入中にゲートからの電荷注入が MONOS 構造よりも起きやすいため、絶縁膜電界が高くならないようにある程度厚くする必要があるためである。ゲートからの電荷注入が支配的な場合、絶縁膜にストレスがかかるため、絶縁膜の劣化や絶縁破壊が発生する。絶縁膜の劣化や絶縁破壊が発生した場合は、界面準位密度が急激に増加するほか、*C*-*V*カーブの形状が歪むため、界面準位密度と *C*-*V*カーブの形状を注視しながら測定を行った。MNOS 構造におけるΔV_{sat}と x_{SiN}の関係は下式のように表される。

$$\frac{\Delta V_{\mathrm{sat}}}{x_{\mathrm{SiN}}} = \frac{qN_{\mathrm{bulk}}}{2\varepsilon_{\mathrm{SiN}}\varepsilon_0} x_{\mathrm{SiN}} + \frac{qN_{\mathrm{b}}}{\varepsilon_{\mathrm{SiN}}\varepsilon_0}. \qquad \text{(A4-1)}$$

まず、MNOS キャパシタにアバランシェ電子注入を行った場合のΔV_{cap}の $N_{\mathrm{inj_e}}$依存性を図 A4-1 に示す。いずれの試料においてもΔV_{cap}は飽和しているほか、飽和するまでの間に界面準位密度の急激な増加や *C*-*V* カーブの形状の歪みは認められなかった。$\Delta V_{\mathrm{sat}}/x_{\mathrm{SiN}}$の x_{SiN}依存性は図 A4-2 に示すように傾きの小さな一次関数的な依存性である。(A4-1)式を用いてフィッティングを行い、N_{bulk}と N_{b}は、傾きと縦軸切片よりそれぞれ$(4.30\pm1.38)\times10^{17}$ cm^{-3}、$(1.11\pm0.02)\times10^{13}$ cm^{-2}と求まった。次に、電子トラップにおける N_{bulk}と N_{b}のΔV_{sat}への寄与分を比較する。x_{SiN}が 10 nm のとき、N_{bulk}のΔV_{sat}への寄与分は 1.9%であった。N_{bulk}のΔV_{sat}への寄与分は x_{SiN}が小さいほど小さくなる。これより、N_{bulk}は N_{b}に比べて、ΔV_{sat}への寄与は十分小さく無視できると考える。この結果は、MONOS 構造における電子トラップ分布の結果と矛盾しない。

次に、MNOS キャパシタにアバランシェ正孔注入を行った場合の$\Delta V_{\mathrm{sat}}/x_{\mathrm{SiN}}$の x_{SiN}依存性を図 A4-3 に示す。x_{SiN}が 10 nm の試料においては、*C*-*V*カーブが飽和するまでの間に界面準位密度の著しい増加と *C*-*V*カーブの歪みが観測されたことから、ゲートからの電荷注入により絶縁膜が劣化したと考え、データプロットには加えていない。$\Delta V_{\mathrm{sat}}/x_{\mathrm{SiN}}$の x_{SiN}依存性は一次関数的であるが、電子注入の場合よりも傾きが大きいことから、窒化膜中正孔トラップ密度のΔV_{sat}への寄与が電子トラップの場合よりも大きいことを示唆している。N_{bulk}と N_{b}は(A4-1)式にフィッティングを行い、それぞれ$(2.9\pm0.2)\times10^{18}$ cm^{-3}、$(4.2\pm0.3)\times10^{12}$ cm^{-2}と求まった。正孔トラップにおける N_{bulk}と N_{b}をΔV_{sat}への寄与分を比較する。N_{bulk}のΔV_{sat}への寄与分は、x_{SiN}が 10 nm のときに 25.7%であり、x_{SiN}を 5 nm としても 14.7%であることから、窒化膜中正孔トラップ密度は界面のトラップ密度と比べて無視できない。この結果は MONOS 構造における正孔トラップ分布の結果と矛盾しない。

以上より、MNOS 構造におけるトラップ解析より、電子トラップは酸化膜/窒化膜界面が支配的であり、正孔トラップは界面に加えて窒化膜中にも無視できない密度で存在することが明らかとなった。これらの結果は MONOS 構造におけるトラップ解析結果と一致している。

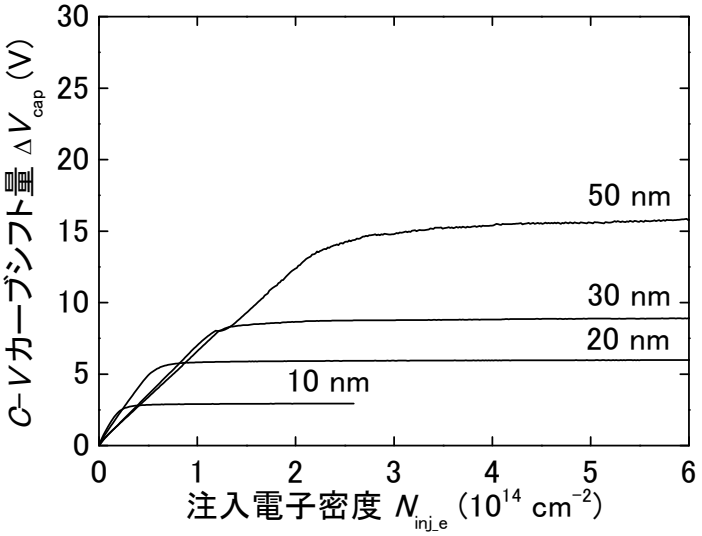


図 A4-1 MNOS キャパシタに電子注入した場合におけるΔV_{cap}の $N_{\mathrm{inj_e}}$依存性

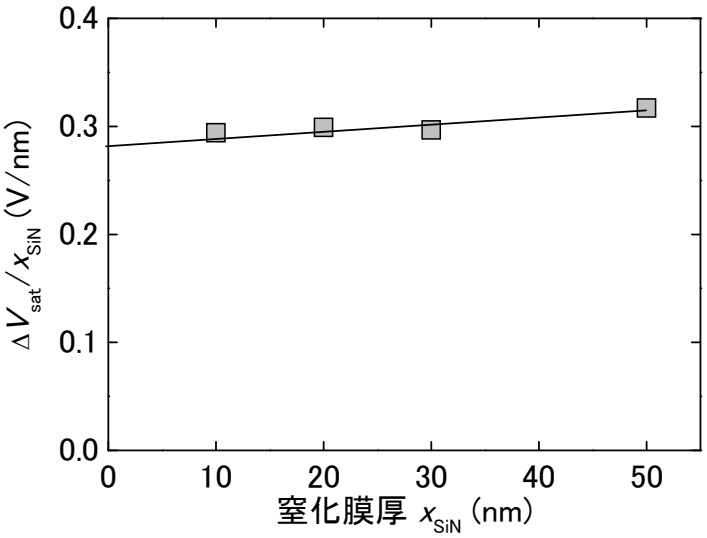


図 A4-2 MNOS キャパシタに電子注入した場合における$\Delta V_{\mathrm{sat}}/x_{\mathrm{SiN}}$の x_{SiN}依存性

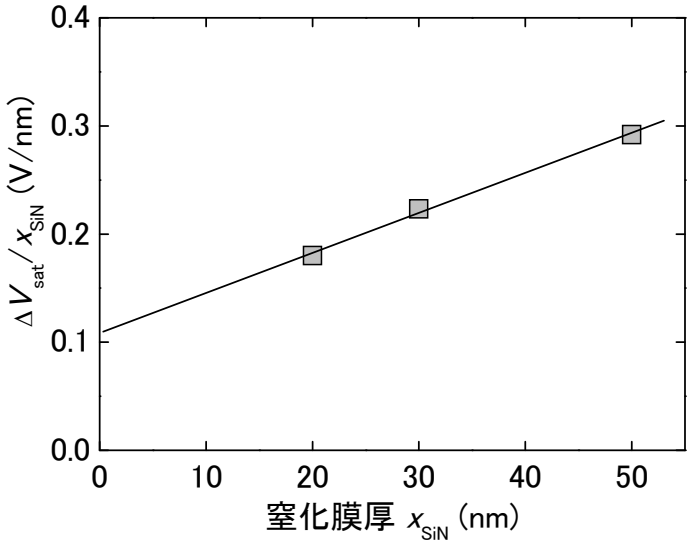


図 A4-3 MNOS キャパシタに正孔注入した場合における$\Delta V_{\mathrm{sat}}/x_{\mathrm{SiN}}$の x_{SiN} 依存性

付録の参考文献

[1] E. Karl, Y. Wang, Yong–Gee Ng, Z. Guo, F. Hamzaoglu, U. Bhattacharya, K. Zhang, K. Mistry, and M. Bohr, "A 4.6GHz 162Mb SRAM Design in 22nm Tri-Gate CMOS Technology with Integrated Active V_{MIN}-Enhancing Assist Circuitry," *ISSCC Dig. Tech. Papers*, pp. 230-232, 2012.

[2] K. Sohn, T. Na, I. Song, Y. Shim, W. Bae, S. Kang, D. Lee, H. Jung, H. Jeoung, Ki–W. Lee, J. Park, J. Lee, B. Lee, I. Jun, J. Park, J. Park, H. Choi, S. Kim, H. Chung, Y. Choi, Dae–Hee Jung, J. S. Choi, B. Moon, Jung–Hwan Choi, B. Kim, Seong–Jin Jang, J. S. Choi, and K. S. Oh, "A 1.2V 30nm 3.2Gb/s/pin 4Gb DDR4 SDRAM with Dual-Error Detection and PVT-Tolerant Data-Fetch Scheme," *ISSCC Dig. Tech. Papers*, pp. 38-40, 2012.

[3] Y. Li, S. Lee, K. Oowada, H. Nguyen, Q. Nguyen, N. Mokhlesi, C. Hsu, J. Li, V. Ramachandra, T. Kamei, M. Higashitani, T. Pham, M. Honma, Y. Watanabe, K. Ino, B. Le, B. Woo, K. Htoo, Tai–Yuan Tseng, L. Pham, F. Tsai, Kwang-ho Kim, Yi–Chieh Chen, M. She, J. Yuh, A. Chu, C. Chen, R. Puri, Hung–Szu Lin, Yi–Fang Chen, W. Mak, J. Huynh, J. Chan, M. Watanabe, D. Yang, G. Shah, P. Souriraj, D. Tadepalli, S. Tenugu, R. Gao, V. Popuri, B. Azarbayjani, R. Madpur, J. Lan, E. Yero, F. Pan, P. Hong, J. Y. Kang, F. Moogat, Y. Fong, R. Cernea, S. Huynh, C. Trinh, M. Mofidi, R. Shrivastava, and K. Quader, "128Gb 3b/Cell NAND Flash Memory in 19nm Technology with 18MB/s Write Rate and 400Mb/s Toggle Mode," *ISSCC Dig. Tech. Papers*, pp. 436-437, 2012.

[4] H. Shiga, D. Takashima, S. Shiratake, K. Hoya, T. Miyakawa, R. Ogiwara, R. Fukuda, R. Takizawa, K. Hatsuda, F. Matsuoka, Y. Nagadomi, D. Hashimoto, H. Nishimura, T. Hioka, S. Doumae, S. Shimizu, M. Kawano, T. Taguchi, Y. Watanabe, S. Fujii, T. Ozaki, H. Kanaya, Y. Kumura, Y. Shimojo, Y. Yamada, Y. Minami, S. Shuto, K. Yamakawa, S. Yamazaki, I. Kunishima, T. Hamamoto, A. Nitayama, and T. Furuyama, "A 1.6GB/s DDR2 128Mb Chain FeRAM with Scalable Octal Bitline and Sensing Schemes," *ISSCC Dig. Tech. Papers*, pp. 464-465, 2009.

[5] S. Chung, K. -M. Rho, S. -D. Kim, H. -J. Suh, D. -J. Kim, H. -J. Kim, S. -H. Lee, J. -H. Park, H. -M. Hwang, S. -M. Hwang, J. -Y. Lee, Y. -B. An, J. -U. Yi, Y. -H. Seo, D. -H. Jung, M. -S. Lee, S. -H. Cho, J. -N. Kim, G. -J. Park, G. Jin, A. Driskill-Smith, V. Nikitin, A. Ong, X. Tang, Y. Kim, J. -S. Rho, S. -K. Park, S. -W. Chung, J. -G. Jeong, and S. -J. Hong, "Fully integrated 54nm STT-RAM with the smallest bit cell dimension for high density memory application," in *IEDM Tech. Dig.*, pp. 304-307, 2006.

[6] Y. Choi, I. Song, Mu–Hui Park, H. Chung, S. Chang, B. Cho, J. Kim, Y. Oh, D. Kwon, J. Sunwoo, J. Shin, Y. Rho, C. Lee, M. G. Kang, J. Lee, Y. Kwon, S. Kim, J. Kim, Yong–Jun Lee, Q. Wang, S. Cha, S. Ahn, H. Horii, J. Lee, K. Kim, H. Joo, K. Lee, Yeong–Taek Lee, J. Yoo, and G. Jeong, "A 20nm 1.8V 8Gb PRAM with 40MB/s Program Bandwidth," *ISSCC Dig. Tech. Papers*, pp. 46-48, 2012.

[7] C. J Chevallier, C. H. Siau, S. F. Lim, S. R. Namala, M. Matsuoka, B. L Bateman, and D. Rinerson, "A 0.13μm 64Mb Multi-Layered Conductive Metal-Oxide Memory," *ISSCC Dig. Tech.*

Papers, pp. 260-261, 2010.

[8] T. Ishigaki, T. Kawahara, R. Takemura, K. Ono, K. Ito, H. Matsuoka, and H. Ohno, "A Multi-Level-Cell Spin-Transfer Torque Memory with Series-Stacked Magnetotunnel Junctions," in *VLSI Symp. Tech. Dig.*, pp. 47-48, 2010.

[9] F. Bedeschi, R. Fackenthal, C. Resta, E. M. Donze, M. Jagasivamani, E. Buda, F. Pellizzer, D. Chow, A. Cabrini, G. M. A. Calvi, R. Faravelli, A. Fantini, G. Torelli, D. Mills, R. Gastaldi, and G. Casagrande, "A Multi-Level-Cell Bipolar-Selected Phase-Change Memory," *ISSCC Dig. Tech. Papers*, pp. 428-625, 2008.

[10] G. H. Oh, Y. L. Park, J. I. Lee, D. H. Im, J. S. Bae, D. H. Kim, D. H. Ahn, H. Horii, S. O. Park, H. S. Yoon, I. S. Park, Y. S. Ko, U-In. Chung, and J. T. Moon, "Parallel Multi-Confined (PMC) Cell Technology for High Density MLC PRAM," in *VLSI Symp. Tech. Dig.*, pp. 220-221, 2009.

[11] Y. N. Hwang, C. Y. Um, J. H. Lee, C. G. Wei, H. R. Oh, G. T. Jeong, H. S. Jeong, C. H. Kim, and C. H. Chung, "MLC PRAM with SLC write-speed and robust read scheme," in *VLSI Symp. Tech. Dig.*, pp. 201-202, 2010.

[12] G. F. Close, U. Frey, M. Breitwisch, H. L. Lung, C. Lam, C. Hagleitner, and E. Eleftheriou, "Device, circuit and system-level analysis of noise in multi-bit phase-change memory," in *IEDM Tech. Dig.*, pp. 660-663, 2010.

[13] G. F. Close, U. Frey, J. Morrish, R. Jordan, S. Lewis, T. Maffitt, M. Breitwisch, C. Hagleitner, C. Lam, and E. Eleftheriou, "A 512Mb Phase-Change Memory (PCM) in 90nm CMOS achieving 2b/cell," in *VLSI Symp. Tech. Dig.*, pp. 202-203, 2011.

[14] DerChang Kau, S. Tang, I. V. Karpov, R. Dodge, B. Klehn, J. A. Kalb, J. Strand, A. Diaz, N. Leung, J. Wu, S. Lee, T. Langtry, Kuo-wei Chang, C. Papagianni, J. Lee, J. Hirst, S. Erra, E. Flores, N. Righos, H. Castro, and G. Spadini, "A stackable cross point phase change memory," in *IEDM Tech. Dig.*, pp. 1-4, 2009.

[15] M. Kinoshita, Y. Sasago, H. Minemura, Y. Anzai, M. Tai, Y. Fujisaki, S. Kusaba, T. Morimoto, T. Takahama, T. Mine, A. Shima, Y. Yonamoto, and T. Kobayashi, "Scalable 3-D vertical chain-cell-type phase-change memory with $4F^2$ poly-Si diodes," in *VLSI Symp. Tech. Dig.*, pp. 35-36, 2012.

[16] W. C. Chien, Y. R. Chen, Y. C. Chen, A. T. H. Chuang, F. M. Lee, Y. Y. Lin, E. K. Lai, Y. H. Shih, K. Y. Hsieh, and Chih-Yuan Lu, "A Forming-free WO_x Resistive Memory Using a Novel Self-aligned Field Enhancement Feature with Excellent Reliability and Scalability," in *IEDM Tech. Dig.*, pp. 440-443, 2010.

[17] Shyh-Shyuan Sheu, Meng-Fan Chang, Ku-Feng Lin, Che-Wei Wu, Yu-Sheng Chen, Pi-Feng Chiu, Chia-Chen Kuo, Yih-Shan Yang, Pei-Chia Chiang, Wen-Pin Lin, Che-He Lin, Heng-Yuan Lee, Pei-Yi Gu, Sum-Min Wang, F. T. Chen, Keng-Li Su, Chen-Hsin Lien, Kuo-Hsing Cheng, Hsin-Tun Wu, Tzu-Kun Ku, Ming-Jer Kao, and Ming-Jinn Tsai, "A 4Mb Embedded SLC Resistive-RAM Macro with 7.2ns Read-Write Random-Access Time and 160ns MLC-Access Capability," *ISSCC Dig. Tech. Papers*, pp. 200-202, 2011.

[18]S. R. Lee, Young-Bae Kim, M. Chang, K. M. Kim, C. B. Lee, J. H. Hur, Gyeong-Su Park, D. Lee, Myoung-Jae Lee, C. J. Kim, U-In Chung, In-Kyeong Yoo, and K. Kim, "Multi-level Switching of Triple-layered TaOx RRAM with Excellent Reliability for Storage Class Memory," in *VLSI Symp. Tech. Dig.*, pp. 71-72, 2012.

[19]X. A. Tran, B. Gao, J. F. Kang, L. Wu, Z. R. Wang, Z. Fang, K. L. Pey, Y. C. Yeo, A. Y. Du, B. Y. Nguyen, M. F. Li, and H. Y. Yu, "High Performance Unipolar $AlO_y/HfO_x/Ni$ based RRAM Compatible with Si Diodes for 3D Application," in *VLSI Symp. Tech. Dig.*, pp. 44-45, 2011.

[20]A. Kawahara, R. Azuma, Y. Ikeda, K. Kawai, Y. Katoh, K. Tanabe, T. Nakamura, Y. Sumimoto, N. Yamada, N. Nakai, S. Sakamoto, Y. Hayakawa, K. Tsuji, S. Yoneda, A. Himeno, K. Origasa, K. Shimakawa, T. Takagi, T. Mikawa, and K. Aono, "An 8Mb Multi-Layered Cross-Point ReRAM Macro with 443MB/s Write Throughput," *ISSCC Dig. Tech. Papers*, pp. 432-434, 2012.

[21]W. C. Chien, F. M. Lee, Y. Y. Lin, M. H. Lee, S. H. Chen, C. C. Hsieh, E. K. Lai, H. H. Hui, Y. K. Huang, C. C. Yu, C. F. Chen, H. L. Lung, K. Y. Hsieh, and Chih-Yuan Lu, "Multi-Layer Sidewall WO_X Resistive Memory Suitable for 3D ReRAM," in *VLSI Symp. Tech. Dig.*, pp. 153-154, 2012.

[22]S. Kim, X. Liu, J. Park, S. Jung, W. Lee, J. Woo, J. Shin, G. Choi, C. Cho, S. Park, D. Lee, Eui-jun Cha, Byoung-Hun Lee, H. D. Lee, S. G. Kim, S. Chung, and H. Hwang, "Ultrathin (<10nm) Nb_2O_5/NbO_2 Hybrid Memory with Both Memory and Selector Characteristics for High Density 3D Vertically Stackable RRAM Applications," in *VLSI Symp. Tech. Dig.*, pp. 155-156, 2012.

[23]S. Franssila, Introduction to micro fabrication, John Wiley & Sons Ltd, England, p.59, 2004.

[24]S. Saito, K. Torii, M. Hiratani, and T. Onai, "Analytical quantum mechanical model for accumulation capacitance of MOS structures," *IEEE Electron Device Lett.*, vol. 23, pp. 348-350, June 2002.

[25]H. S. Momose, T. Morimoto, Y. Ozawa, K. Yamabe, and H. Iwai, "An improvement of hot-carrier reliability in the stacked nitride-oxide gate n- and p-MISFET's," *IEEE Trans. Electron Devices*, vol. 42, pp. 704-712, 1995.

[26]Y. Takahashi and K Ohnishi, "Estimation of insulation layer conductance in MNOS structure," *IEEE Trans. Electron Devices*, vol. 40, pp. 2006-2010, 1993.

[27]H. C. Chien, K. H. Wu, J. W. Chang, C. H. Kao, and T. S. Chen, "Endurance and data retention improvement of silicon-oxide-nitride-oxide-silicon nonvolatile semiconductor memory devices with partially bottom-silicon-rich nitride structure," *Jpn. J. Appl. Phys.*, vol. 44, pp. 6380-6384, 2005.

[28]S. Fujii, J. Fujiki, N. Yasuda, R. Fujitsuka, and K. Sekine, "Transition of erase mechanism for MONOS memory depending on SiN composition and its impact on cycling degradation", in *Proc. of the IRPS*, pp. 956-959, 2010.

[29]P. Candelier, B. D. Salvo, F. Martin, B. Guillaumot, F. Mondon, and G. Reimbold, "Thinning oxide-nitride-oxide interpoly dielectric (11-13 nm) for 0.25 um flash cell memories," in *Proc. 27th ESSDERC*, pp. 264-267, 1997.

[30]C. Friederich, M. Specht, T. Lutz, F. Hofmann, L. Dreeskornfeld, W. Weber, J. Kretz, T. Melde, W. Rosner, E. Landgraf, J. Hartwich, M. Stadele, L. Risch, and D. Richter, "Multi-level p^+ tri-gate SONOS NAND string arrays," in *IEDM Tech. Dig.*, pp. 1-4, 2006.

[31]T. S. Chen, K. H. Wu, and C. H. Kao, "Performance improvement of SONOS memory by bandgap engineering of charge-trapping layer," *IEEE Electron Device Lett.*, vol. 25, pp. 205-207, 2004.

[32]C. H. Lee, W. H. Tu, L. H. Chong, S. H. Gu, K. F. Chen, Y. J. Chen, J. Y. Hsieh, I. J. Huang, N. K. Zous, T. T. Han, M. S. Chen, W. P. Lu, K. C. Chen, T. Wang, and C. Y. Lu, "Overall operation considerations for a SONOS-based memory," in *VLSI Symp. Tech. Dig.*, pp. 150-151, 2009.

[33]S. S. Chung, P. Y. Chiang, G. Chou, C. T. Huang, P. Chen, C. H. Chu, and C. C. H. Hsu, "A novel leakage current separation technique in a direct tunneling regime gate oxide SONOS memory cell," in *IEDM Tech. Dig.*, pp. 26.6.1-26.6.4, 2003.

[34]J. L. Wu, H. C. Chien, C. W. Liao, C. Y. Wu, C. Y. Lee, H. C. Wei, S. H. Chen, H. P. Hwang, S. Pittikoun, T. Cho, and C. H. Kao, "Comparison of electrical and reliability characteristics of different tunnel oxides in SONOS flash memory," in *Proc. IEEE MTDT*, pp. 81-84, 2006.

研究業績一覧

原著論文

主著

[1] T. Ishida, N. Tega, Y. Mori, H. Miki, T. Mine, H. Kume, K. Torii, R. Yamada, and K. Shiraishi, ”State Transition of a Defect Causing Random-telegraph-noise Fluctuation in Stress-Induced Leakage Current of Thin SiO_2 Films in a Metal-Oxide-Silicon Structure,” *Jpn. J. Appl. Phys.* vol. 52, p. 110203, 2013.

[2] T. Ishida, T. Mine, D. Hisamoto, Y. Shimamoto, and R. Yamada, “Electron-trap and Hole-trap Distributions in Metal/oxide/nitride/oxide/silicon Structures,” *IEEE Trans. Electron Devices*, vol. 60,no. 2, pp. 863-869, 2013.

[3] T. Ishida, T. Mine, D. Hisamoto, Y. Shimamoto, and R. Yamada, “Anomalous electron storage decrease in MONOS’ nitride layers thinner than 4 nm,” *IEEE Electron Device Lett.*, vol. 29, pp. 920-922, 2008.

原著論文

共著

[1] Y. Ishige, Y. Goto, I. Yanagi, T. Ishida, N. Itabashi, and M. Kamahori, “Feasibility Study on Direct Counting of Viruses and Bacteria by Using Microelectrode Array,” *Electroanalysis*, vol. 24, pp. 131-139, 2012.

[2] T. Mine, K. Fujisaki, T. Ishida, Y. Shimamoto, R. Yamada, and K. Torii, “Electron Trap Characteristics of Silicon Rich Silicon Nitride Thin Films,” *JJAP*, vol. 46, pp. 3206-3210, 2007.

[3] T. Furusawa, S. Machida, D. Ryuzaki, K. Sameshima, T. Ishida, K. Ishikawa, N. Miura, N. Konishi, T. Saito, and H. Yamaguchi, “Dual-Damascene Cu/Low-k Interconnect Fabrication Scheme using Dissoluble Hard Mask Material,” *J. Electrochem, Soc.*, 153, G160, 2006.

[4] D. Ryuzaki, T. Ishida, and T. Furusawa, “Time-Dependent Dielectric-Constant Increase,” *J. Electrochem, Soc.*, 150, F203, 2003.

[5] T. Kimura, H. Isshiki, S. Ide, T. Shimizu, T. Ishida, and R. Saito, “Suppression of Auger deexcitation and temperature quenching of the Er-related 1.54 μm emission with an ultrathin oxide interlayer in an Er/SiO_2/Si structure,” *Journal of Applied Physics*, vol. 93, no. 5, pp. 2595-2601, Mar. 2003.

[6] T. Kimura, H. Isshiki, T. Ishida, T. Shimizu, S. Ide, R. Saito, and S. Yugo, “Preferential suppression of Auger energy backflow by separation of Er ions from carriers with a thin oxide interlayer in Er-doped porous silicon,” *J. Luminescence* 102-103, pp.156-161, 2003.

[7] H. Katagiri, N. Ishigaki, T. Ishida, and K. Saito, “Characterization of Cu_2ZnSnS_4 Thin Films Prepared by Vapor Phase Sulfurization,” *Jpn. J. Appl. Phys.* vol. 40, pp. 500-504, 2001.

主要国際学会発表

主著

[1] T. Ishida, N. Tega, Y. Mori, H. Miki, T. Mine, H. Kume, K. Torii, R. Yamada, and K. Shiraishi, "State Transition Mechanism of Defect causing Random-telegraph-noise (RTN) Fluctuation in SILC of SiO_2 Films," *Ext. Abst. of IWDTF*, pp. 97-98, 2013.

[2] T. Ishida, N. Tega, Y. Mori, H. Miki, T. Mine, H. Kume, K. Torii, M. Muraguchi, Y. Takada, K. Shiraishi, and R. Yamada, "A new insight into the dynamic fluctuation mechanism of stress-induced leakage current," in *Proc. of the IRPS*, pp. 604-609, 2008.

[3] T. Ishida, Y. Okuyama, and R. Yamada, "Characterization of charge traps in metal-oxide-nitride-oxide-semiconductor (MONOS) structures for embedded flash memories," in *Proc. of the IRPS*, pp. 516-522, 2006.

[4] T. Ishida, K. Hinode, K. Takeda, T. Furusawa, K. Tagiri, T. Nakayama, and M. Fujita, "Resistance-Ratio Measurement as a Monitor of the Electromigration Reliability of Commercial ICs," *Advanced Metallization Conference (AMC), MRS Conference Proceedings*, p.289, 2003.

主要国際学会発表

共著

[1] H. Hamamura, T. Ishida, M. Toshiyuki, Y. Okuyama, D. Hisamoto, Y. Shimamoto, S. Kimura, and K. Torii, "Electron trapping characteristics and scalability of HfO_2 as a trapping layer in SONOS-type flash memories," in *Proc. of the IRPS*, pp. 412-416, 2008.

[2] N. Tega, H. Miki, M. Yamaoka, H. Kume, T. Mine, T. Ishida, Y. Mori, R. Yamada, and K. Torii, "Impact of threshold voltage fluctuation due to random telegraph noise on scaled-down SRAM," in *Proc. of the IRPS*, pp. 541-546, 2008.

[3] T. Mine, K. Fujisaki, T. Ishida, Y. Shimamoto, and K. Torii, "Electron Trap Characteristics of Silicon Rich Silicon Nitride thin films," *Ext. Abst. of IWDTF*, pp. 19-20, 2006.

[4] T. Furusawa, S. Machida, D. Ryuzaki, K. Sameshima, T. Ishida, K. Ishikawa, N. Miura, N. Konishi, T. Saito, and H. Yamaguchi, "Novel dissoluble hardmask for damage-less Cu/low-k interconnect fabrication," in *Proc. of the IITC*, pp. 195-197, 2003.

[5] T. Kimura, H. Isshiki, T. Ishida, T. Shimizu, S. Ide, R. Saito, and S. Yugo, "Preferential suppression of Auger energy backflow by separation of Er ions from carriers with a thin oxide interlayer in Er-doped porous silicon," in *Proc. of the 2002 International Conference on Luminescence and Optical Spectroscopy of Condensed Matter*, vol. 102-103, pp. 156-161, 2003.

[6] T. Kimura, H. Isshiki, T. Ishida, T. Shimizu, S. Ide, R. Saito, and S. Yugo, "Preferential suppression of Auger energy backflow by separation of Er ions from carriers with a thin oxide interlayer in Er-doped porous silicon," *International Conference of Luminescence and Related Materials*, 8.24-29, 2002.

[7] T. Kimura, H. Toda, T. Ishida, H. Isshiki, and R. Saito, "Study of the radiative and nonradiative processes of rare earth implanted semiconductors at low temperatures," International

Conference of Ion Beam Modification of Materials, vol. 175-177, pp. 286-291, 2001.
[8] H. Katagiri, N. Ishigaki, and T. Ishida, "Characterization of Cu_2ZnSnS_4 thin films prepared by vapor phase sulfurization," in *Proc. of the WCPEC-2*, pp. 640-643, 1998.

主要国内学会発表

主著

[1] 石田 猛, 柳 至, 大浦 剛, 板橋 直志, 山本 治朗, 赤堀 玲奈, 小沢 理, 穴沢 隆, 高口 雅成, 三井 敏之, "電子ビームによるナノポア形成プロセスの検討," 2011 年秋季第 72 回応用物理学会学術講演会
[2] 石田 猛, 柳 至, 大浦 剛, 板橋 直志, 山本 治朗, 赤堀 玲奈, 小沢 理, 穴沢 隆, 高口 雅成, 三井 敏之, "TEM ビームによるナノポア形成機構の解析," 2011 年春季第 58 回応用物理学関係連合講演会
[3] 石田 猛, 手賀 直樹, 毛利 友紀, 三木 浩史, 峰 利之, 久米 均, 鳥居 和功, 村口 正和, 高田 幸宏, 白石 賢二, 山田 廉一, "可変ストレス誘起リーク電流（V-SILC）の機構解析," ゲートスタック研究会-材料・プロセス・評価の物理-（第 14 回研究会）
[4] 石田 猛, 手賀 直樹, 毛利 友紀, 三木 浩史, 峰 利之, 久米 均, 鳥居 和功, 村口 正和, 高田 幸宏, 白石 賢二, 山田 廉一, "可変ストレス誘起リーク電流（V-SILC）の機構解析," 2008 年秋季第 69 回応用物理学会学術講演会
[5] 石田 猛, 三木 浩史, 濱村 浩孝, 山田 廉一, "アバランシェ注入法を用いた MONOS 型メモリのトラップ解析と信頼性評価," ゲートスタック研究会-材料・プロセス・評価の物理-（第 13 回研究会）
[6] 石田 猛, 山田 廉一, 鳥居 和功, 白石 賢二, "MONOS 型不揮発メモリーの電子および正孔トラップ解析," 電子情報通信学会技術研究報告. SDM, シリコン材料・デバイス 107(85), pp. 1-6, 2007.
[7] 石田 猛, 山田 廉一, 奥山 裕, "MONOS 積層膜電子トラップからの電子放出機構とトラップ準位の解析," 2007 年春季第 54 回応用物理学会関係連合講演会
[8] 石田 猛, 山田 廉一, "MONOS 構造が持つ Si_3N_4 バルク中及び Si_3N_4/SiO_2 界面の電子及び正孔トラップ密度の解析," 2006 年秋季第 67 回応用物理学会学術講演会
[9] 石田 猛, 山田 廉一, "アバランシェ注入による $Si3N_4/SiO_2$ 界面トラップ特性の評価," 2006 年春季第 53 回応用物理学関係連合講演会
[10] 石田 猛, 日野出 憲治, 武田 健一, 田切 克典, 中山 貴弘, 藤田 藩, "電気抵抗比による市販 IC のエレクトロマイグレーション信頼度評価," 2005 年春季第 52 回応用物理学関係連合講演会
[11] 石田 猛, 日野出 憲治, 武田 健一, 古澤 健志, 田切 克典, 中山 貴弘, 藤田 藩, "電気抵抗比による市販 IC のエレクトロマイグレーション信頼度評価," 電子情報通信学会技術研究報告, SDM, シリコン材料・デバイス 103（638）, pp. 19-22, 2004.
[12] 石田 猛, 一色 秀夫, 湯郷 成美, 齋藤 理一郎, 木村 忠正, "SiO_2:Er/SiO_2/Si 構造での Er1.53 μm フォトルミネッセンス(part2)," 2002 年春季第 49 回応用物理学関係連合講演会
[13] 石田 猛, 一色 秀夫, 齋藤 理一郎, 木村 忠正, "SiO_2:Er/SiO_2/Si 構造でのEr1.53 μmフォトルミネッセンス," 2001年秋季第62 回応用物理学会学術講演会
[14] 石田 猛, 上中 敦史, 一色 秀夫, 齋藤 理一郎, 湯郷 成美, 木村 忠正, "ゾル-ゲル法により作製し

た Er 添加 ZnO における Er^{3+}の発光”，2000 年秋季第 61 回応用物理学会学術講演会

[15] 石田 猛, “同時スパッタ・気相硫化法による Cu_2ZnSnS_4 薄膜の作製と評価,” 1997 年電気学会東京支部新潟支所大会

招待講演

[1] 応用物理学会　第 35 回薄膜・表面物理分科会セミナー『次世代ナノスケールメモリーの薄膜・ドット・界面制御』、「MONOS 型メモリーの電子および正孔トラップの解析」、2007.

米国特許一覧

国	登録番号	登録日	発明の名称	権利者	発明者
米国	P7852420	2010/12/14	液晶表示装置	日立ディスプレイズ	山口伸也、小島恭子、豊田善章、石田猛
中国	PZL200810171358.5	2010/11/17	液晶表示装置	日立ディスプレイズ	山口伸也、小島恭子、豊田善章、石田猛
日本	P05075583	2012/08/31	液晶表示装置	日立ディスプレイズ	豊田善章、山口伸也、小島恭子、石田猛
米国	P7791695	2010/09/07	液晶表示装置	日立ディスプレイズ	豊田善章、山口伸也、小島恭子、石田猛
中国	PZL200810174636.2	2011/04/27	液晶表示装置	日立ディスプレイズ	豊田善章、山口伸也、小島恭子、石田猛
日本	P05103279	2012/10/05	液晶表示装置	日立ディスプレイズ	山口伸也、小島恭子、豊田善章、石田猛
米国	P8154699	2012/04/10	液晶表示装置	日立ディスプレイズ	山口伸也、小島恭子、豊田善章、石田猛

謝辞

本論文の作成にあたり、ご指導とご教示を賜りました筑波大学数理物質科学研究科の白石賢二教授、山部紀久夫教授、山田啓作教授、都倉康弘教授、並びに東北大学の丹羽正昭教授に厚く感謝致します。株式会社日立製作所中央研究所において、本研究を進めるにあたり、終始ご指導、ご支援を頂きました山田廉一主管研究員と鳥居和功氏に深く感謝致します。

V-SILC の解析及び MONOS 構造内のトラップ解析の研究において共同研究者として多大な協力を頂きました、株式会社日立製作所中央研究所の手賀直樹氏、毛利友紀氏、三木浩史氏、久米均氏、峰利之氏、久本大氏、嶋本泰洋氏、奥山裕氏、濱村浩孝氏、木村紳一郎氏、並びに筑波大学の村口正和氏、高田幸宏氏、小林賢司氏、大竹朗氏、山口慶太氏に感謝致します。

最後に、論文の作成において、生活面から支えてくれた妻や子どもたち、家族の皆様に感謝致します。