

科学研究費助成事業（学術研究助成基金助成金）研究成果報告書

平成 25 年 5 月 30 日現在

機関番号：12102

研究種目：挑戦的萌芽研究

研究期間：2011～2012

課題番号：23650023

研究課題名（和文） 無線アドホックネットワーク向きクロスレイヤ型負荷制御の
データ駆動型実現法の研究研究課題名（英文） Study on Data-Driven Implementation of Cross-Layer Load Control
in Wireless Ad-Hoc Network

研究代表者

西川 博昭 (NISHIKAWA HIROAKI)

筑波大学・システム情報系・教授

研究者番号：60180593

研究成果の概要（和文）：本研究は、無線アドホックネットワーク向きのクロスレイヤ型負荷制御を、同時並行処理性を活用して従来の 1/10 程度の低消費電力で実現するデータ駆動チップマルチプロセッサアーキテクチャを明らかにした。さらに、クロスレイヤ型負荷制御を実現するデータ駆動プログラムの定量的評価を通じて、IEEE802.11 a/g における 54Mbps 程度の伝送速度を実現する実時間多重処理性などの要件を満足する見通しが得られた。

研究成果の概要（英文）：This research demonstrated data-driven chip multiprocessor architecture which makes it possible to realize cross-layer load control processes in wireless ad-hoc network with approximately 1/10 power consumption by fully exploiting concurrency inherent in the processes. Furthermore, quantitative evaluation of the data-driven program of the cross-layer load control processes showed it was possible to satisfy the requirements on real-time multiprocessing capability to achieve 54 Mbps transmission throughput defined in IEEE 802.11a/g.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
交付決定額	2,900,000	870,000	3,770,000

研究分野：コンピュータ・アーキテクチャ

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：計算機アーキテクチャ，データ駆動プロセッサ

1. 研究開始当初の背景

広帯域ネットワークが隔々まで行き渡った情報流通環境、いわゆるユビキタス・ネットワーク社会の実現が期待されている。通信の本来の目的が距離・時間の克服にあることを鑑みれば、通信手段を全く意識しない、即ち直接の面談と同等の安心感が、いつでもどこでも維持される環境は、通信の究極の形のひとつであり、これまで多様な研究開発が進められてきた。しかし、多くの研究が平常時を対象に行われてきたのも事実であろう。昨今、異常気象や人為的な問題により地球規模で災害が頻発するようになっている。比較的インフラストラクチャが整備された我が国

においても、地震や台風などの自然災害は不可避であり、ますます災害生起時への対処が重要になっており、緊急時に安心して使用できる情報流通環境の整備は焦眉の急である。同時に、ただつながりさえすればよい訳ではなく、緊急時にも最低限のセキュリティ確保など安全性の維持が本質的に必要となる。

現在、情報流通環境の安全性、セキュリティの向上に関して多くの研究が進められてはいるが、最終的にユーザの安心感が得られているとは言い難い。安心して使える情報流通環境の実現には、これまで進められてきた試み、例えば、アプリケーション層、ネットワーク層など各階層毎の検討だけでなく、プラット

フォームを含めた統合的な観点からの検討が不可欠になる。即ち、従来、通信システムを階層的に構造化して捉えてきた目的は、その設計・開発の効率化にあり、緊急時への対応、異常なトラフィックへの対処や悪意の攻撃への防御をも含めた情報流通環境の構築には、新たな視点、特に昨今の携帯端末の普及を考慮すれば、無線環境を前提とした層横断的な検討が求められる。

2. 研究の目的

研究代表者は、インフラストラクチャの利用が困難となる災害時に、最低限の通信手段を維持するためには、無線アドホックネットワーク向きクロスレイヤ型負荷制御の高効率な並列実現法が本質となると着想した。

本研究は、研究代表者が研究してきたデータ駆動ネットワークングプロセッサ CUE(Coordinating Users' requirements and Engineering constraints) 上に実現された実行時のオーバヘッドを極小化した実時間多重処理方式など、ネットワークングアーキテクチャのデータ駆動型 VLSI 実現法に関する一貫した研究成果を基礎として、災害時における異常トラフィックによる輻輳を回避し、従来のアドホックネットワークング環境に比較して、1/10 程度の低消費電力化を実証する。その上で、無線アドホックネットワーク向きクロスレイヤ型負荷制御の高効率な並列実現法を明らかにすることを目的にしている。

3. 研究の方法

データ駆動ネットワークングプロセッサ CUE の最大の特徴は、従来型プロセッサにみられる文脈切替オーバヘッドがない実時間多重処理性、データ駆動原理の受動性による実時間応答性にある。また、チップマルチプロセッサコアとしての拡張性についても、CUE-v2/3 の性能評価を通じて実証されている。本研究では、これらの特徴を最大限に活用し、無線アドホックネットワーク向きクロスレイヤ型負荷制御の実現法として、データ駆動チップマルチプロセッサアーキテクチャを検討し評価する。

これまでに、CUE-v2 の設計・試作を通してより改善が可能な点が明らかとなっているため、CUE-v2 を発展させチップマルチプロセッサコアとしての能力向上をめざす。同時に、コア内およびコア間の同時並行多重処理性を格段に向上させる接続構造を考察する。具体的には、無線アドホックネットワーク向きクロスレイヤ型負荷制御をネットワーク処理に擾乱を与えないで同時並行処理を実現するデータ駆動チップマルチプロセッサアーキテクチャを検討する。具体的には、これまで多くのネットワークプロセッサで導

入されてきた、制御プレーンとデータプレーンの同時並行処理をその実時間処理性について同時並行処理性を高める観点から検討し、無線アドホックネットワーク向きクロスレイヤ型負荷制御のための超同時並行処理型データ駆動チップマルチプロセッサアーキテクチャを明らかにする。また、超同時並行型チップマルチプロセッサでは、特に、各々のプロセッサを結合する方式が重要となる。現在の処、マルチ CUE-v2 の同時並行処理型アーキテクチャが有望であると考えている。本研究では、研究代表者がこれまで VLSI 実現してきた自己同期型環状エラスティックパイプラインを用いた結合方式、いわゆる GALS(Globally Asynchronous Locally Synchronous)型実現法などを、実験的に検討する。この環状エラスティックパイプラインは、局所的な配線で実現でき、非常に VLSI 向きであるとともに、通常の受動的金属バスでは不可能な時分割転送と空間分割転送が混在して生起し、非常に有機的な転送系が構成されることが既にわかっている。さらに、無線アドホックネットワーク向きクロスレイヤ型負荷制御のための命令セットアーキテクチャを検討する。言うまでもなく、CUE-v2 自身は、基本的な IP 処理を行うには十分な命令セットを実行できるよう設計されている。本研究ではさらに、無線アドホックネットワーク向きクロスレイヤ型負荷制御の実現法として検討を進める。即ち、暗号処理、高度なパケットモニタリングや QoS 制御を実時間超同時並行処理型無線アドホックネットワーク向きクロスレイヤ型負荷制御に実現できるよう、命令セットアーキテクチャを最適化する。

さらに、設計したチップマルチプロセッサアーキテクチャを評価し、ハードウェア記述言語を用いて再設計する。この設計には、RTL シミュレーションを行って、想定するアーキテクチャが所望の性能を達成することを確認する。この RTL シミュレーションでは VDEC によって提供されている Synopsys 社の Verilog HDL シミュレータを用いる。また、動作確認を行った後 VDEC で提供されているライブラリ等を用いて論理合成を行い、想定するプロセッサが VLSI 実現可能であることを検証する。

4. 研究成果

(1) データ駆動チップマルチプロセッサ

アーキテクチャの検討とその設計

まず、データ駆動チップマルチプロセッサアーキテクチャを検討して、ハードウェア記述言語(HDL)による設計を進め、レジスタトランスファレベル(RTL)シミュレーションによる評価とこれを反映した再設計・評価を行った。

これまで研究してきた CUE シリーズデータ駆動ネットワークングプロセッサの設計・試作を通して改善が可能な点が明らかとなっていたため、その最新版である超低消費電力化データ駆動ネットワークングプロセッサ (Ultra-Low-Power Data-Driven Networking Processor; ULP-CUE) [雑誌論文 (1), 学会発表 (4) 参照] を発展させ、チップマルチプロセッサコアとしての能力向上をめざした。同時に、コア内およびコア間の同時並行多重処理性を格段に向上させる接続構造を考察した。

具体的には、無線アドホックネットワーク向きクロスレイヤ型負荷制御をネットワーク処理に擾乱を与えないで同時並行処理を実現するデータ駆動チップマルチプロセッサアーキテクチャを検討した。即ち、これまで多くのネットワークプロセッサに導入されてきた、制御プレーンとデータプレーンの同時並行処理を、その実時間処理性について同時並行処理性を高める観点から検討し、無線アドホックネットワーク向きクロスレイヤ型負荷制御のための超同時並行処理型データ駆動チップマルチプロセッサアーキテクチャを目標とした。

また、超同時並行型チップマルチプロセッサでは特に、各々のプロセッサを結合する方式が重要となる。本研究では、これまで VLSI 実現してきた自己同期型環状エラスティックパイプラインを用いた結合方式、いわゆる GALS (Globally Asynchronous Locally Synchronous) 型実現法などを、実験的に検討した。この環状エラスティックパイプラインは、局所的な配線で実現でき非常に VLSI 向きであるとともに、通常の受動的金属バスでは不可能な時分割転送と空間分割転送が混在して生起し、非常に有機的な転送系が構成されることなどその優位性が確認できた。

本研究成果を反映した、超低消費電力化データ駆動チップマルチプロセッサ ULP-DDCMP (Ultra-Low-Power Data-Driven Chip MultiProcessor) は、従来型組み込みプロセッサ (Intel 社 Atom E660) に比べて、通信処理実行時と待機時の消費電力をそれぞれ $1/20$ 以下と $1/5$ 以下に削減すると結果が得られている [雑誌論文 (2) 参照]。よって、実効的な伝送速度が $2/3$ 以上となる通信処理において、消費電力を $1/10$ ($=1/20 \times 2/3 + 1/5 \times 1/3$) 以下に削減できることが確認された。

さらに、ULP-DDCMP による低消費電力化効果と、トラフィック抑制型アドホックネットワークング方式による低消費電力化効果、ならびに、自己同期型パイプラインに実現した細粒度パワーゲーティングと実行時電圧制御による低消費電力化効果との相乗効果を総合的に評価した結果、従来の $1/180$ 程度の超低消費電力で輻輳への耐力を有するネットワークングシステムを実現可能との結果

が得られている [雑誌論文 (2), 学会発表 (1)-(3), (5)-(9) 参照]。

(2) チップマルチプロセッサアーキテクチャの評価・再設計・総合評価

無線 LAN MAC を実現するデータ駆動プログラムを実現しデータ駆動型実現法の実時間多重処理性や実時間応答性を定量的に評価した。

まず、無線 LAN-MAC の送受信処理を解析した結果、無線 LAN-MAC の時間制約を満足する上で、データフレームを受信後に ACK フレームを返信する処理がクリティカルパスとなることが明らかになった。よって、この処理のデータ駆動プログラムを、上述した ULP-DDCMP を対象に記述して、IEEE802.11a/g の 54Mbps を対象に処理時間を評価した。記述したデータ駆動プログラムのトップレベルのモジュール図を付録の図 1 に示す。

記述したデータ駆動プログラムの検証のため、ULP-DDCMP のゲートレベルシミュレーション環境を構築した。このゲートレベルシミュレーション環境は、データ駆動プログラム、データフレーム、および、期待値から、ULP-DDCMP へ投入する、命令アドレスなどをタグとして付帯したデータ (トークン) を自動的に生成する。さらに、トークンを投入した後に出力されたトークンと期待値の一致を確認し、検証の可否を出力する。本環境を用いて、記述したデータ駆動プログラムの検証として、IEEE802.11a/g の規格に従って、①データフレームの MAC ヘッダの各フィールドに誤りがなかった場合に ACK フレームを出力すること、および、②フレームボディを、0~2312Byte の範囲において 1byte 単位で変更できることを確認した。

データフレームを受信後に ACK フレームを返信する処理では、PHY からデータフレームが入力され、PHY へ ACK フレームを出力するが、PHY とのデータ授受の時間制約を満足する必要がある。IEEE802.11a/g 規格の実 PHY チップの仕様を調査した結果、PHY から MAC 処理へパケットが到着する時間間隔は 592ns/32bit であり、また、データフレームの入力が完了した時点から ACK フレームを出力し終える時間は 1050ns に収まっている必要があることがわかった。一方、記述したデータ駆動プログラムのクリティカルパスを、データの流れに沿って追跡 (トレース) した結果、入力されるトークンが持つデータの種類により異なる、9 通りのクリティカルパスが存在した。入力されるトークン毎のクリティカルパスの実行時間すなわち応答時間を表 1 に示す。表中の n は、入力される 32bit トークンの数を示している。フレームは、ヘッダ 32Byte、フレームボディ 0~2312Byte ならびに CRC コード 4Byte より構成されること

表1 入力トークン毎の応答時間

入力トークン		応答時間	
入力 順	入力データ (データフレーム中の 位置)	許容され る最大値 [nsec.]	評価 結果 [nsec.]
1	PHY ヘッダ (上位 32bit)	592.0	113.9
2	PHY ヘッダ (下位 8bit)	592.0	295.6
3	フレームコントロー ル (0~15bit), デュレーション/ID (16~31bit)	3072.0	1846.5
4	MAC アドレス (96~127bit 目)	592.0	442.0
5	MAC アドレス (64~95bit 目)	592.0	435.6
6	MAC アドレス (32~63bit 目)	592.0	449.1
7	MAC アドレス (16~31bit 目)	592.0	462.7
8	MAC アドレス (0~15bit 目),	592.0	476.2
9~ n-2	フレームボディ (32bit)	592.0	460.2
n-1	フレームボディ (32/24/16/8bit)	592.0	475.7
n	巡回冗長検査コード (32/24/16/8bit)	1050.0	711.7
n+1	送信禁止時間経過		330.2

から、

$$n = \lceil (32 + \text{body} + 4) \div 4 \rceil$$

である。ここで、body はフレームボディの Byte 数である。なお、3 番目の入力データに対するクリティカルパスは、ACK フレームの返信が必要と判った時点で ACK フレームの生成を開始するためのものであり、処理時間は、n 番目（最小の場合 9 番目）のデータが到着するまでに収めれば十分であることから、

3072ns { = (9 - 3) × 512ns } に収めればよい。

上述したゲートレベルシミュレーション環境を用いて、入力トークン毎の処理時間を求めた結果、1~3 番目の入力トークン以外について、時間制約を満足していなかった。よって、実行時間を短縮するために、命令セットならびにプログラム構成を見直し、処理時間の短縮を検討した。具体的には、クリティカルパスの大半を占める CRC (巡回冗長検査) 計算、ならびに頻出する操作を見直し、処理時間の短縮方法として、下記の 3 点を着想した。

① “Slicing-by-4” アルゴリズムによる CRC 計算

CRC には、RFC 1952 に記載されている Sarwate のアルゴリズムを用いていた。この Sarwate のアルゴリズムでは、8bit 毎に CRC 計算用のテーブル参照を逐次的に行う。これに対して、Intel 社が開発した Slicing-by-4 アルゴリズムは、テーブルに格納されるデータを工夫することで、8bit 毎の CRC 計算用のテーブル参照を同時並行に実現する。よって、実行時間の短縮が期待できる。

② ロード命令とストア命令における即値によるアドレッシング

ULP-DDCMP のロード命令とストア命令は、即値を直接的に指定できない。このため、定数読み出し命令 (CST) により即値を取得した後に、ロード命令/ストア命令を実行する必要がある。これに対して、即値を指定できるロード命令/ストア命令を導入した場合、CST 命令と、CST 命令のトリガを生成するコピー命令が削減でき、さらに、即値を指定できるロード命令/ストア命令は、待合せなく実行できることから、単項演算の 1 命令で実現できる。よって、処理時間の短縮が期待できる。

③ 世代番号により行き先を指定可能なジャンプ命令

入力されるトークンは、タグの比較により、対応する処理へジャンプしている。この比較では、複数の条件を逐次的に評価している。これに対して、任意のオフセット値に対して、トークンの種別を示す特定のフィールド値を加算したものを次命令のアドレスとするジャンプ命令を追加すれば、逐次的な条件の評価なしにジャンプが可能となる。よって、処理時間の短縮が期待できる。

上述の①~③の手法を適用した場合の処理時間を見積った結果を表 1 に示す。見積りでは、時間制約を満足するまで、効果の大きい①→②→③の順で手法を適用した。結果、導出したデータ駆動プログラムは、時間制約を満足している。

以上より、本研究では最終的に、このデータ駆動プログラムの定量的評価を通じて、目標とするクロスレイヤ型負荷制御のデータ駆動型実現法が、チップマルチプロセッサを構成するコア数程度の実時間多重処理性やIEEE802.11a/gが規定する54Mbps程度の実時間応答性などを満足する見通しが得られた。

5. 主な発表論文等

[雑誌論文] (計2件)

- (1) 西川博昭, 青木一浩, 三宮秀次, 宮城桂, 岩田誠, 宇津圭祐, 石井啓之, “超低消費電力化データ駆動ネットワークングシステムとその評価,” 電子情報通信学会論文誌B (2013年6月掲載予定) 査読有
- (2) 三宮秀次, 青木一浩, 宮城桂, 岩田誠, 西川博昭, “超低消費電力化データ駆動ネットワークングプロセッサULP-CUEの試作とその評価,” 情報処理学会論文誌コンピューティングシステム (ACS), Vol.6, No.1, pp.78-86, 2013. 査読有

[学会発表] (計9件)

- (1) Keisuke Utsu, Hiroshi Sano, Hiroaki Nishikawa, and Hiroshi Ishii, “A Broadcast Streaming method over Ad Hoc Networks enabling High Packet Reachability and Long Battery Lifetime,” Proceedings of the 9th Asia-Pacific Symposium on Information and Telecommunication Technologies (APSITT 2012), SELECTED SESSION 5, SL-5-1, 2012年11月8日, Santiago and Valparaiso, Republic of Chile.
- (2) Naoya Imaizumi, Keisuke Utsu, Hiroaki Nishikawa and Hiroshi Ishii, “Effective Flooding Over Ad Hoc Network Based on Neighbor Information Exchange,” Proceedings of the 9th Asia-Pacific Symposium on Information and Telecommunication Technologies (APSITT 2012), REGULAR SESSION 1, RE-1-1, 2012年11月6日, Santiago and Valparaiso, Republic of Chile.
- (3) Kazuhiro Aoki, Hiroshi Ishii, Makoto Iwata and Hiroaki Nishikawa, “A Comprehensive Evaluation of ULP-DDNS by Platform Simulator,” Proceedings of the 2012 International Conference on Parallel and Distributed Processing Techniques and Applications (PDPTA’12), pp.445-451, 2012年7月18日, Las Vegas, U.S.A.
- (4) Hiroshi Ishii, Keisuke Utsu, and Hiroaki Nishikawa, “Integrated Evaluation on Effectiveness of ULP-DDNS Networking Layer,” Pro-

ceedings of the 2012 International Conference on Parallel and Distributed Processing Techniques and Applications (PDPTA’12), pp.452-457, 2012年7月18日, Las Vegas, U.S.A.

- (5) Keisuke Utsu, Hiroaki Nishikawa, and Hiroshi Ishii, “Performance Evaluation of Load and Battery Charge Oriented Broadcast Streaming Method over Ad Hoc Networks,” Proceedings of the 2012 International Conference on Parallel and Distributed Processing Techniques and Applications (PDPTA’12), pp.458-464, 2012年7月18日, Las Vegas, U.S.A.
- (6) Shuji Sannomiya, Kazuhiro Aoki, Makoto Iwata, and Hiroaki Nishikawa, “Power-Performance Verification of Ultra-Low-Power Data-Driven Networking Processor: ULP-CUE,” Proceedings of the 2012 International Conference on Parallel and Distributed Processing Techniques and Applications (PDPTA’12), pp.465-471, 2012年7月18日, Las Vegas, U.S.A.
- (7) Kei Miyagi, Shuji Sannomiya, Makoto Iwata, and Hiroaki Nishikawa, “Low-Powered Self-Timed Pipeline with Runtime Fine-Grain Power Supply,” Proceedings of the 2012 International Conference on Parallel and Distributed Processing Techniques and Applications (PDPTA’12), pp.472-478, 2012年7月18日, Las Vegas, U.S.A.
- (8) Yukikuni Nishida and Hiroaki Nishikawa, “A study on Overload-Avoidance Scheme of ULP-DDNS for Congestion-Free Networking System,” Proceedings of the 2012 International Conference on Parallel and Distributed Processing Techniques and Applications (PDPTA’12), pp.479-485, 2012年7月18日, Las Vegas, U.S.A.
- (9) Hideki Yamauchi, Hiroaki Nishikawa, “Proposal of Applying ULP-DDNS to Congestion-Free Networking System,” Proceedings of the 2012 International Conference on Parallel and Distributed Processing Techniques and Applications (PDPTA’12), pp.486-492, 2012年7月18日, Las Vegas, U.S.A.

6. 研究組織

(1) 研究代表者

西川 博昭 (NISHIKAWA HIROAKI)
筑波大学・システム情報系・教授
研究者番号：60180593

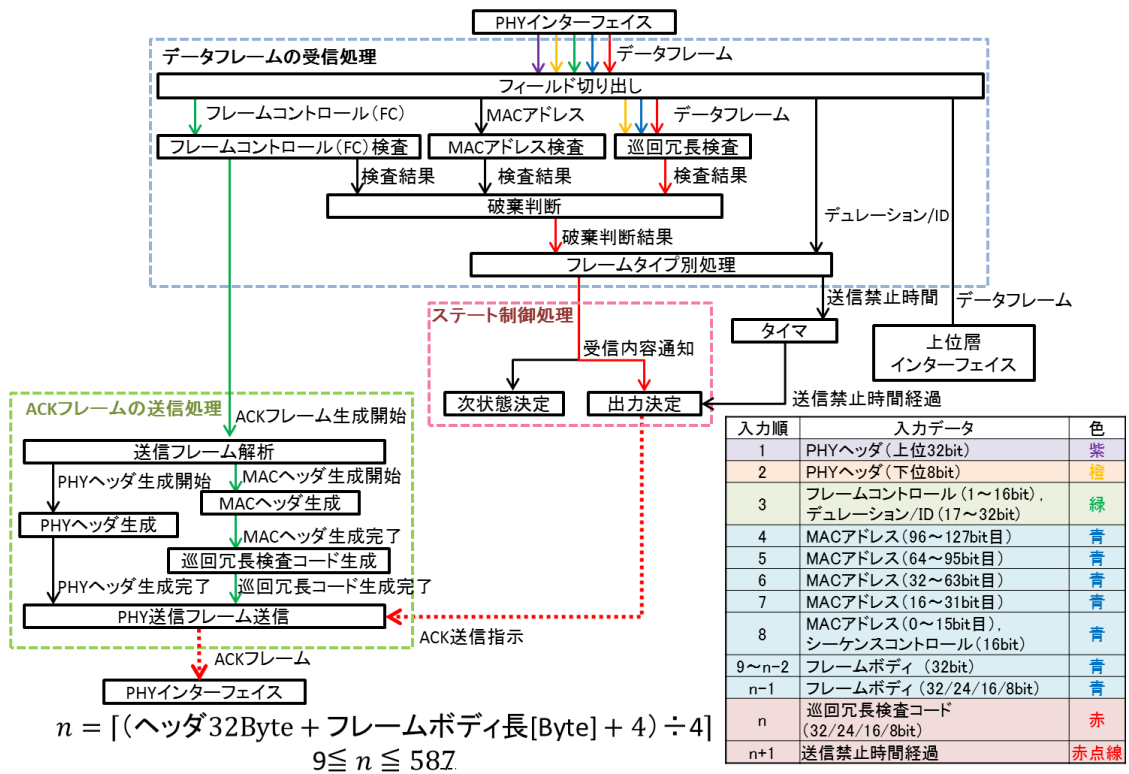


図1 入力データ別クリティカルパス

無線 LAN-MAC の応答時間の制約を満足できることを確認するために、無線 LAN-MAC の送受信処理のクリティカルパスである、データフレームを受信後に ACK フレームを返信する処理のデータ駆動プログラムを記述し、その応答時間を評価した。図1は、記述したデータ駆動プログラムのトップレベルのモジュール図である。

記述したデータ駆動プログラムは、データフレームの受信処理、ステート制御処理ならびに ACK フレームの送信処理から成る。データフレームは、32bit 毎のデータに分割され、各データは、命令アドレスなどのタグを付帯したトークンとして入力される。

記述したデータ駆動プログラムのクリティカルパスを、トークンの流れに沿って追跡（トレース）した結果、クリティカルパスは、入力されるトークンの持つデータフレームのフィールドにより異なり、9通りであった。具体的には、図中、紫・橙・緑・青・赤・赤点線の6通りのクリティカルパスに加えて、巡回冗長検査モジュールにおいて、n-1番目のトークンを持つフレームボディが24bit/16bit/8bitのそれぞれの場合における3通りのクリティカルパスが存在した。

研究成果のひとつとして、これらのクリティカルパスすべてにおいて応答時間の制約を満足できるように、プログラム構成ならびに ULP-DDCMP の命令セットをチューニングして処理時間を短縮すれば、チップマルチプロセッサを構成するコア数程度の実時間多重処理性や IEEE802.11a/g が規定する 54Mbps 程度の実時間応答性を満足する見通しが得られた。