

筑波大学大学院博士課程

数理物質科学研究科博士論文

博士（工学）

ナノスケールSi半導体デバイスの  
コンポーネントレベルESDに関する研究

鈴木輝夫

ナノサイエンス・ナノテクノロジー専攻

# 目次

第1章 序論	1
1-1. はじめに	2
1-2. 本論文の構成	4
第2章 コンポーネントレベル ESD	5
2-1. コンポーネントレベル ESD 試験	6
2-1-1. HBM と MM の試験方法	6
2-1-2. CDM の試験方法	9
2-2. ESD 保護回路	11
2-2-1. NMOS による ESD 保護回路	12
2-2-2. PMOS による ESD 保護回路	16
2-2-3. バラスト抵抗	17
2-3. ESD 設計手法	18
2-3-1. ESD Design Window	19
2-4. まとめ	20
第3章 エピタキシャル基板	21
3-1. エピタキシャル基板の利点	22
3-2. 実験に用いたサンプルと試験方法	22
3-2-1. 測定サンプル	22
3-2-2. 試験方法	24
3-3. MM 実験結果	24
3-3-1. 放電容量(C)振りの実験結果	25
3-3-2. 放電容量(C)振りの考察	26
3-4. HBM 試験結果	28
3-4-1. 放電容量(C)振り	28
3-4-2. 放電抵抗(R)振り	28
3-4-3. 高温放置によるリーク電流の変化	31
3-5. ブレークダウン特性	31
3-6. 深さ方向のシミュレーション	33
3-7. まとめ	34
第4章 ボロンの追加注入による ESD 改善	35
4-1. 5V トレラント IO セルの必要性	36
4-1-1. 5V トレラント IO セル回路	36
4-2. ESD 改善実験	38
4-2-1. HBM と MM の測定結果	38
4-2-2. TLP 測定結果	38
4-2-3. 物理解析結果	38
4-2-4. ESD 改善実験結果	38
4-3. TCAD Simulation	41

4-4. ボロン(B+)の追加注入実験.....	42
4-5. 製品への適用.....	44
4-6. まとめ.....	48
第5章 カスケード接続回路のゲートバイアス最適化.....	49
5-1. はじめに.....	50
5-2. ESD デザイン手法.....	50
5-2-1. 電源クランプ.....	50
5-2-2. 水晶発振 I0 セル.....	51
5-3. 実験結果.....	53
5-3-1. ESD 測定結果.....	53
5-3-2. 物理解析結果.....	54
5-3-3. カスケード回路のゲート電圧依存性調査.....	55
5-4. 回路による解決策の検討.....	57
5-4-1. NMOS ゲート容量による検討.....	57
5-4-2. レベルアップ・シフト回路に追加した NMOS による検討.....	58
5-4-3. 改善効果の確認.....	60
5-5. Technology CAD (TCAD)による考察.....	61
5-5-1. シミュレーションモデルと等価回路.....	61
5-5-2. シミュレーション結果の考察.....	63
5-6. まとめ.....	66
第6章 電源とグランド間の寄生容量の電源 ESD への影響.....	67
6-1. はじめに.....	68
6-2. 電源クランプの構造.....	68
6-3. 測定及び解析結果.....	71
6-3-1. ESD 測定結果.....	71
6-3-2. TLP 測定結果.....	71
6-3-3. 物理解析結果.....	73
6-4. Simulation 結果.....	74
6-4-1. H-SPICE の改良.....	74
6-4-2. H-SPICE simulation 結果.....	74
6-4-2-1. 1 pF 時の結果.....	74
6-4-2-2. 40 nF 時の結果.....	74
6-4-2-3. 100 pF 時の結果.....	74
6-4-3. TCAD Simulation.....	76
6-5. 原因の考察.....	76
6-6. 解決手段.....	79
6-6-1. 電源クランプの断面図.....	79
6-6-2. プロセス工程の改善.....	79
6-7. まとめ.....	83
第7章 結論.....	85

謝辭.....	89
參考文獻.....	91
研究業績.....	97

# 図表目次

## 1. 図

### 第1章

図 1-1. スーパーコンピュータ“京”とウェーハ状態の CPU 用チップ.....	3
--	---

### 第2章

図 2-1. HBM と MM の試験回路.....	7
図 2-2. JEDEC HBM 波形規定.....	7
図 2-3. JEDEC MM 波形規定.....	8
図 2-4. CDM 試験方法 (JEDEC:FI-CDM).....	9
図 2-5. JEDEC CDM 波形規定.....	10
図 2-6. 信号部の ESD 保護回路と電源クランプ回路図と信号 IO セルのレイアウト例..	11
図 2-7. NMOS の回路図, 断面図, 及び I-V 特性.....	12
図 2-8. NMOS の通常状態.....	13
図 2-9. $V_d < V_{t1}$ の状態.....	13
図 2-10. $V_d = V_{t1}$ の状態.....	14
図 2-11. $V_{t1} < V_d < V_{hold}$ の状態.....	14
図 2-12. $V_d = V_{hold}$ の状態.....	15
図 2-13. $V_d > V_{hold}$ の状態.....	15
図 2-14. PMOS の回路図, 断面図, 及び I-V 特性.....	16
図 2-15. バラスト抵抗.....	17
図 2-16. シリサイドブロック構造.....	18
図 2-17. ESD Design Window.....	19

### 第3章

図 3-1. 実験サンプル基板の断面図.....	23
図 3-2. ESD 保護回路の断面図と等価回路図.....	23
図 3-3. MM プラスサージ試験結果.....	24
図 3-4. MM マイナスサージ試験結果.....	25
図 3-5. 放電容量 vs. 破壊エネルギー.....	26
図 3-6. MM=±200 V の校正波形: JEDEC 無負荷状態 (プラス印加とマイナス印加) .....	27
図 3-7. HBM 試験結果 (上図: マイナス印加、下図: プラス印加).....	29
図 3-8. 放電容量振り (HBM).....	30
図 3-9. 放電抵抗振り (HBM).....	30
図 3-10. 高温放置によるリーク電流の変化.....	31
図 3-11. 3 種類の基板のスナップバック特性.....	32
図 3-12. Epi5 基板の濃度プロファイルシミュレーション結果.....	33

## 第 4 章

図 4-1. 5 V トレラントの回路図.....	37
図 4-2. 5 V トレラント I0 セルの断面図.....	37
図 4-3. シリサイドブロック レイアウト振り実験.....	39
図 4-4. TLP 測定結果 (フルシリサイド、シリサイドブロックタイプ 1).....	40
図 4-5. HBM (300 V 不良) の物理解析結果.....	40
図 4-6. TCAD Simulation 結果(HBM: 3000 V).....	41
図 4-7. ボロン(B+) 追加注入領域.....	42
図 4-8. ボロンの追加注入をおこなった場合の TLP 特性.....	43
図 4-9. ボロンの追加注入を行った場合の断面図.....	44
図 4-10. シリサイドブロック下にボロンの追加注入しない方法とシリサイドブロック下にボロンの追加注入する方法.....	45
図 4-11. ボロンの追加注入を実施した場合の USB. 2.0 マクロの EYE パターン.....	46
図 4-12. テクノロジーノード 3 世代におけるボロンの DOSE 量と BVSD の関係.....	47

## 第 5 章

図5-1. 電源クランプの回路図(GG-NMOS(左図)とTimed MOS-FET(右図)).....	51
図5-2. 水晶発振I0セルの回路図(左図)とレイアウトの概要図(右図).....	52
図5-3. 水晶発振I0セルの使用例(左図)とストップ機能を有しない水晶発振I0セル例(中央図),及び多段接続となり発振しない例(右図).....	52
図 5-4. カスケード NMOS ドライバーのレイアウト例.....	53
図 5-5. シングル構造した NMOS_ESD 保護回路の TLP 特性.....	54
図 5-6. 物理解析による破壊箇所の表面 SEM 観測結果.....	54
図 5-7. ゲートバイアス依存を調査した TEG の回路図.....	56
図5-8. 図5-7に示した回路のTLP測定結果.....	56
図5-9. NMOS容量付加,及びレベルアップ・シフト回路にNMOSを追加した解決策.....	57
図5-10. NMOSゲート容量を付加した場合のH-spiceシミュレーション結果.....	58
図 5-11. Q ノードと NMOS カスケード接続の下側のゲートノードの H-spice シミュレーション結果.....	59
図 5-12. 破壊耐圧改善前後の TLP 測定結果.....	60
図5-13. TCADに用いた等価回路図.....	61
図5-14. TCADに用いたデバイスの断面図.....	62
図5-15. No. 1とNo. 3のI-V特性のTCADシミュレーション結果.....	62
図5-16. カスケードNMOSドライバーの各部位のポテンシャル.....	64
図 5-17. 図 5-7 に示した回路における中間ノードのポテンシャル差.....	65
図 5-18. 図 5-7 に示したカスケード NMOS 回路を流れる電流値.....	65

## 第 6 章

図 6-1. VSS 端子を基準とした、電源(VDD)端子への ESD 印加例.....	69
図 6-2. 電源クランプの回路図と寄生 ESD 保護素子.....	69
図 6-3. GG-NMOS の断面図(ツインウェル構造(上図)とトリプルウェル構造(下図)).....	70

図 6-4. TLP 特性: Rise Time=10 nS (上図)と Rise Time=200 pS (下図) .....	72
図 6-5. 電源クランプのイメージ図と破壊箇所.....	73
図 6-6. 物理解析結果.....	73
図 6-7. ~6-15. 電源クランプの I-V 特性 と それぞれの容量負荷時の電流, 及び電圧の過渡特性.....	75
図 6-16. $V_g=0$ V 時の電流の過渡特性.....	77
図 6-17. $V_g=1$ V 時の電流の過渡特性.....	77
図 6-18. LNPN まわりの寄生素子.....	78
図 6-19. シリサイドブロック部の断面図.....	80
図 6-20. 1.2 V_電源クランプの I-V 特性.....	80
図 6-21. プロセス変更後の断面図.....	81
図 6-22. NMOS_1 フィンガーの I-V 特性(プロセス変更前後) .....	81
図 6-23. 改善後の電源クランプの I-V 特性 (36finger).....	82

## 第 7 章

図 7-1. テクノロジーノード vs. SRMA 1bit の面積, ESD 保護回路の面積.....	87
--	----

## 2. 表

### 第2章

表 2-1. JEDEC HBM 波形規定	7
表 2-2. JEDEC MM 波形規定	8
表 2-3. JEDEC CDM 波形規定	10

### 第3章

表 3-1. 放電容量振り結果 (MM)	25
----------------------	----

### 第4章

表 4-1. シリサイドブロック レイアウト振り ESD 測定結果	39
表 4-2. ボロン追加注入実験の ESD 測定結果	43

### 第5章

表 5-1. ESD 測定結果	53
表 5-2. 図 5-7 に示した回路のゲート電圧	56
表 5-3. 対策前後の ESD 測定結果	60

### 第6章

表 6-1. MM と HBM の ESD 測定結果	71
表 6-2. プロセス変更前後の ESD 耐圧	82



# 第 1 章 序論

---

### 1-1. はじめに

半導体デバイスの製造工程・出荷後において、静電気放電：Electro-Static Discharge (ESD)による破壊を静電気破壊と呼ぶ。そのため、半導体ベンダーでは、ESDを、静電気破壊耐圧そのものの意味で使うことが多い。

ESDは、信頼性試験の範疇であるが、HCI, EM, NBTIといった寿命試験とは区別する必要があり、“使用の信頼性”に位置づけされる[1]。つまり、組み立て時のストレス、ESDサージ流入、デバイス稼動中での外乱ノイズなどは、稼動中の劣化現象ではなく、使用上これらのストレスが印加された時に、半導体デバイスが損傷されないように、耐性設計を実施することによって守られる使用上の信頼性となる。半導体デバイスにおいて、その代表的なものがESDである。

固体における静電気の発生は、2つの物体の接触・分離によって起こる[2]。異なった物体が接触・分離すると、電子を取り込む力の差によって電荷の移動が起こり、双方の接触表面に静電気が発生する。帯電した物体が導体の場合、他の電位の異なる導体に近付けると気中放電現象を起こし、双方の電位が同じになるまで電荷が移動し続ける。例えば、カーペットの上を歩いている人が、金属製のドアノブに触れたとたん“ビシッ”と手に電撃を感じることもある。人体もドアノブも導体のため、双方の電位が同じになるまで、電荷が移動したためである。もし、ドアノブでなく半導体デバイスの端子であれば、デバイス内部へESDサージが流入し損傷する可能性がある。このように、ESDは自然現象であり、発生しうる静電気放電をモデル化したものを試験規格化し、半導体デバイスのESD試験として実施している。

現在、あらゆる電子機器に半導体は搭載されている。そのため、半導体デバイスにおけるESD保護は、半導体には不可欠な技術である。ESD試験には規格値があり、その値を満足していないと、市場で破壊に至る可能性が高くなる。とりわけ、医療、自動車などに使われているLSIがESDにより破壊すれば、命に関わる大惨事につながりかねない。そのため、ESDからの半導体の保護は非常に重要である。

半導体デバイスの微細化&高集積化は、留まることなく進み続けている。また、サイズだけではなく、高速化、低消費電力化、高信頼性といった特性の向上要求を実現するため、新たなデバイス構造を次々に採用してきた。その進歩により、今日、高度な電子機器やシステムが実現し、現代社会に貢献しているのは事実である。例えば、図1-1に示した、スーパーコンピュータ“京”も、その中の一つであり、最適なESD保護回路を設計し搭載した。

しかしながら、新たなデバイス構造はESDに対して脆弱なものが多く、その結果、ESD耐圧不足が新規テクノロジー立ち上げ時に幾度も発生した。そのため、その度に原因を解明し、対策を講じてきた。本論文は、それらを研究成果としてまとめたものである。

## 第1章 序論

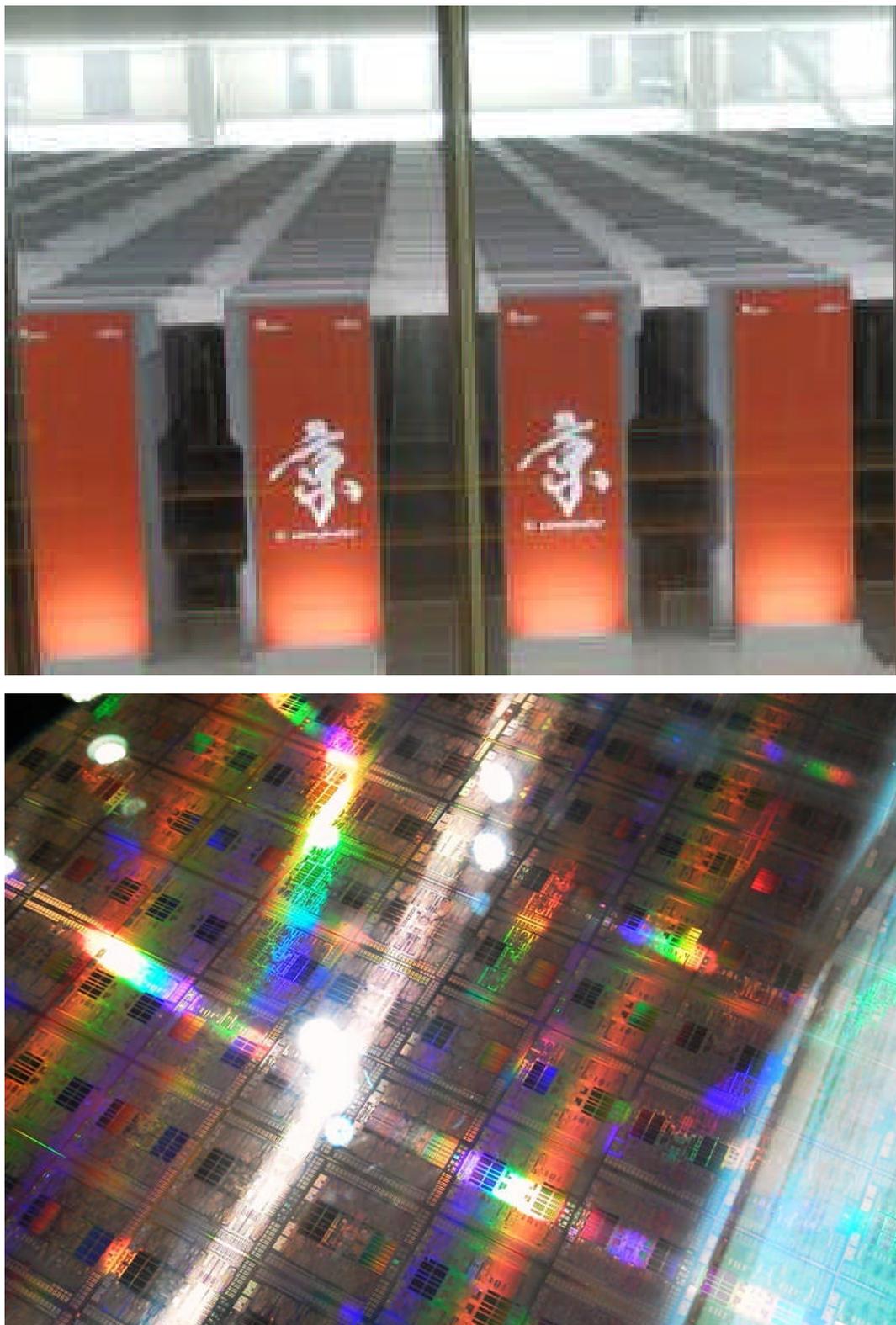


図 1-1.スーパーコンピュータ“京”(上図)とウェーハ状態の CPU 用チップ(下図)  
(神戸医療産業都市・京コンピュータ 一般公開にて。  
「京」は理化学研究所の登録商標です。)

### 1-2. 本論文の構成

半導体デバイスの微細化や高集積化、また、特性の改善（高速化、低消費電力化、高信頼性）のために使うプロセスの新構造や新回路トポロジーは、ESD の耐圧低下を招くケースが多い。まず第2章にて、ESD 試験と ESD 保護の考え方について述べ、第3章から第6章にて、ESD 耐圧の低下を招くケースに関して、原因と講じてきた対策について述べた。第7章で本論文を総括した。

第2章：コンポーネントレベル ESD 試験方法について説明する。ESD 保護回路のうち、特に、寄生バイポーラ素子について詳しく説明する。また、ESD 設計の要となる ESD Design Window の考え方を述べる。

第3章：LSI の超微細化により、シリコン結晶中の細微な欠陥の歩留まりへの影響が無視できなくなってきたため、エピタキシャル基板が使用されるようになった。そこで、P/P+の Epi 基板を使った場合の ESD の問題点と、その原因を調査した結果を述べる。

第4章：スケールリングにより、電源電圧が下がり 5 V から 3.3 V が主流になっても、5 V の信号は根強く使われている。そのため、3.3V トランジスタを使った半導体デバイスが、5V の信号を受けても破壊しない様に、Over Voltage tolerant として 5 V トレラント I/O セルが必要となる。しかしながら、5 V トレラント I/O セルに必要なカスケード接続回路を ESD 保護回路に使った場合、ESD に対して非常に脆弱であり、ボロンをドレインコンタクト直下に追加注入して ESD 耐圧を改善した研究成果を述べる。

第5章：前章で述べたように、カスケード接続回路は、ESD保護回路として使うには脆弱である。そのため、水晶発振用 I/Oセルにて、カスケード接続した NMOS ドライバーを、ESDサージからの被保護回路として ESD設計する際に、重要となるポイントと、ESD耐圧を強くするために考案したトレードオフが全く無い手法について述べる。

第6章：通常、電源 ESD は、電源-GND間に配置する電源クランプを、電源-GND間の寄生容量が助けるため、分離帯が大きいほど ESD は強くなる。しかしながら、電源 ESD が、単に電源分離帯の大きさ（寄生容量の大きさ）に比例しないケースがあることを発見した。ESD耐圧と電源分離帯の大きさとの関係について考察し、その原因の解明とプロセス工程が増加しない解決策について述べる。

第7章：第2章から第6までの結果を総括する。また、半導体業界の社外ファブ化の流れと、それに伴い、シミュレーション（H-Spice, TCAD）の精度がますます重要になってきていることや、後工程の ESD コントロールが進歩してきたため、最適な ESD 規格を新たに採用すべき現状について述べる。

## 第2章 コンポーネントレベルESD

---

### 2-1. コンポーネントレベル ESD 試験

コンポーネントレベル ESD 試験は、半導体デバイスがボードに実装されるまでの非導電のハンドリング中に印加される ESD を想定しており、その耐性は実装工程の静電気管理区域(EPA) [3-5]の ESD に対応している。一方、製品筐体へのシステムレベル ESD 試験(規格: IEC 61000-4-2) [6]は、電子機器の通電、使用過程での ESD による誤動作を想定したもので、市場の電磁妨害(EMC)に対する耐性試験として規格化されている。そのため、目的が違う、これらコンポーネントレベル ESD 試験とシステムレベル ESD 試験とは、区別して扱う必要がある。

コンポーネントレベル ESD 試験の種類には、人体モデル(HBM) [7]、マシンモデル(MM) [8]、及びデバイス帯電モデル(CDM) [9]があるが、これらの試験を PASS するための ESD 設計は、1章で述べた様に段々と難しくなっている。

本章では、まず、コンポーネントレベル ESD 試験の方法、及び ESD 保護回路の種類とその動作について説明した。更に、ESD Design Window[10]の考え方を示し、微細化が進むと ESD 設計が何故難しくなるかについて説明した[11]。

#### 2-1-1. HBM とMM の試験方法

HBM 及びMMの試験方法は、図2-1に示した様に、帯電物体を静電気が蓄積した容量 (C) とし、蓄えた静電気を、それぞれのモデルに応じた放電抵抗 (R) を介して被測定デバイス(DUT)に印加する。

HBMは、帯電した人体から半導体デバイスのピンに放電する現象である。MIL[12], JEDEC, ESDA[13], JEITA[14]などで試験方法が標準化されている。平均的なアメリカ人の人体の帯電量が100 pF程度、及び指先と半導体デバイスのピンの接触抵抗が1500 Ωとしてモデル化したものである。

一方、MMは帯電した金属筐体から半導体デバイスのピンへの放電をモデル化したものであるとの説明が多い。これは、放電抵抗が0 Ωのため“マシンモデル”と欧米にて名付けられたことから、金属と半導体デバイスとの接触をイメージしてしまうためである。しかしながら、元はと言えば、日本で人体モデルとして普及したモデルである。技術的に向上した今般の静電気コントロール下では、存在し難いモデルのため、現在ではJEDEC, JEITAとも規格から格下げしている。ただし、特に日本国内の顧客からの根強い需要が残っている。

測定値の装置間差を無くすために、HBM 及びMMともに波形規定がある。図2-2 及び表2-1にJEDECにおけるHBMの波形規定[7]を示した。また、図2-3 及び表2-2にJEDECにおけるMMの波形規定[8]を示した。波形確認時には、印加部と基準部の間を短絡するか、500 Ωの抵抗体を使って測定する。

第2章 コンポーネントレベル ESD

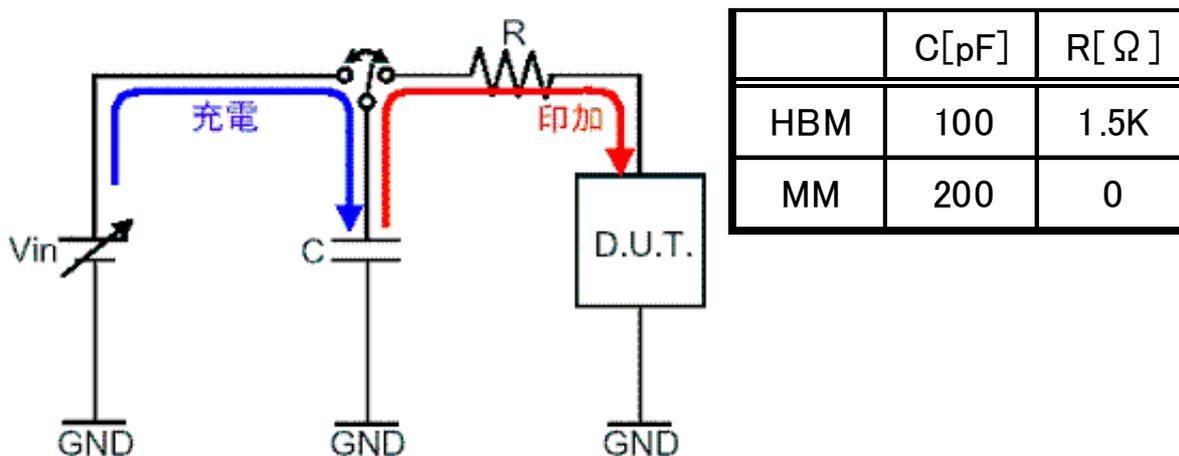


図 2-1. HBM と MM の試験回路

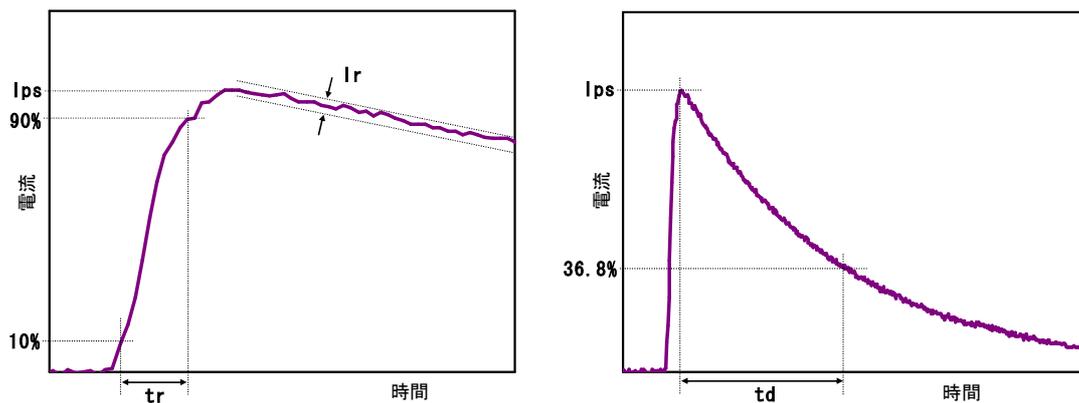


図 2-2. JEDEC HBM 波形規定

表 2-1. JEDEC HBM 波形規定

Voltage Level [V]	I <sub>peak</sub> for Short, I <sub>ps</sub> [A]	I <sub>peak</sub> for 500 Ω, I <sub>pr</sub> [A]	Rise Time for Short, tr [ns]	Rise Time for 500 Ω, tr [ns]	Decay Time for Short, td [ns]	Maximum Ringing Current IR [A]
250	0.15-0.19	N/A	2.0-10	N/A	130-170	15% of I <sub>ps</sub>
500	0.30-0.37	N/A		N/A		
1000	0.60-0.74	0.37-0.55		5.0-25		
2000	1.20-1.48	N/A		N/A		
4000	2.40-2.96	1.5-2.2		5.0-25		
8000 (Option)	4.80-5.86	N/A		N/A		

## 第2章 コンポーネントレベル ESD

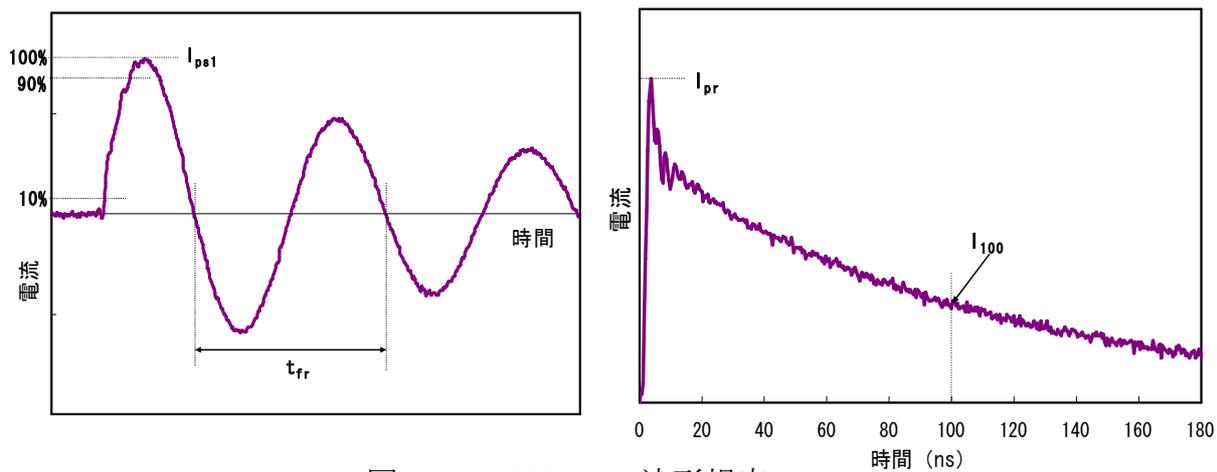


図 2-3. JEDEC MM 波形規定

表 2-2. JEDEC MM 波形規定

Voltage Level [V]	Positive I <sub>peak</sub> for Short, I <sub>ps1</sub> [A]	Positive I <sub>peak</sub> for 500 Ω, I <sub>pr</sub> [A]	Current at 100 ns for 500 Ω, I <sub>100</sub> [A]	Maximum Ringing Current, I <sub>R</sub> [A]	Resonance Frequency for Short, FR 1/t <sub>fr</sub> [MHz]
100	1.5-20	N/A	N/A	I <sub>ps1</sub> X 30%	11-16
200	2.8-3.8	N/A	N/A		
400	5.8-8.0	I <sub>100</sub> X 4.5 maximum	0.29 ± 20%		

## 2-1-2. CDM の試験方法

CDM試験には、JEDEC, JEITA[15], ESDA[16], AEC[17] の4種類があるが、図2-4に、JEDECの試験方法を示した。JEDECでは、パッケージを帯電させる事でデバイスを間接的に帯電させるFI-CDM法が適用されている。試験の手順は、まず(1)のスイッチをオンしHVにてMetal Planeを介して、DUTを誘導帯電させる。次にプローブを半導体デバイスのピンに直接接触させ試験を実施する(2)。試験実施後に、HVを試験系から切り離し(3)、最後にMetal Planeを除電する(4)。

測定値の装置間差を無くすために、CDMにも波形規定がある。図2-5及び表2-3にJEDECにおけるCDMの波形規定[9]を示した。波形確認時には、DUTではなくデバイスの容量に近いコイン形状のモジュールを用いる。

CDMは、自動搬送機などでの摩擦による帯電や、帯電物体からの誘導帯電により、半導体デバイス自体が帯電し、デバイスのピンがテスターや治工具などの金属体のグラウンドに接触し、帯電していた電荷が放電されるモデルである。

CDMが HBM やMM と大きく違うところは、HBM や MMが外部から半導体デバイスへ静電気を放電する試験に対して、CDMは、パッケージ自体をまず帯電させ、ピンを通じて外部金属へ放電させることにより試験を行うことである。半導体デバイス自身の容量値は、HBM やMMの試験時の放電容量に比べてはるかに小さく、また放電経路のインダクタンスが極めて小さいため、周期約1 ns 幅の放電電流波形になる。そのため、MMやHBMと比較すると、ESD保護回路の動作が、そのスピードに追い付き難く、PADの電圧が上昇し、過電圧により内部回路が破壊しやすい。特に、薄膜トランジスタのゲート酸化膜が破壊しやすい。

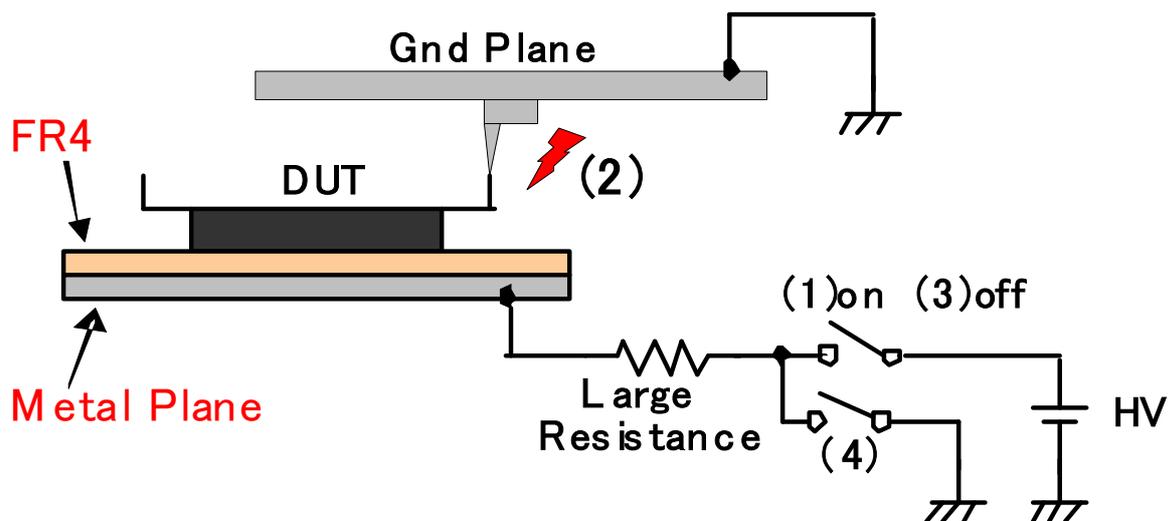


図 2-4. CDM 試験方法 (JEDEC:FI-CDM)

## 第2章 コンポーネントレベル ESD

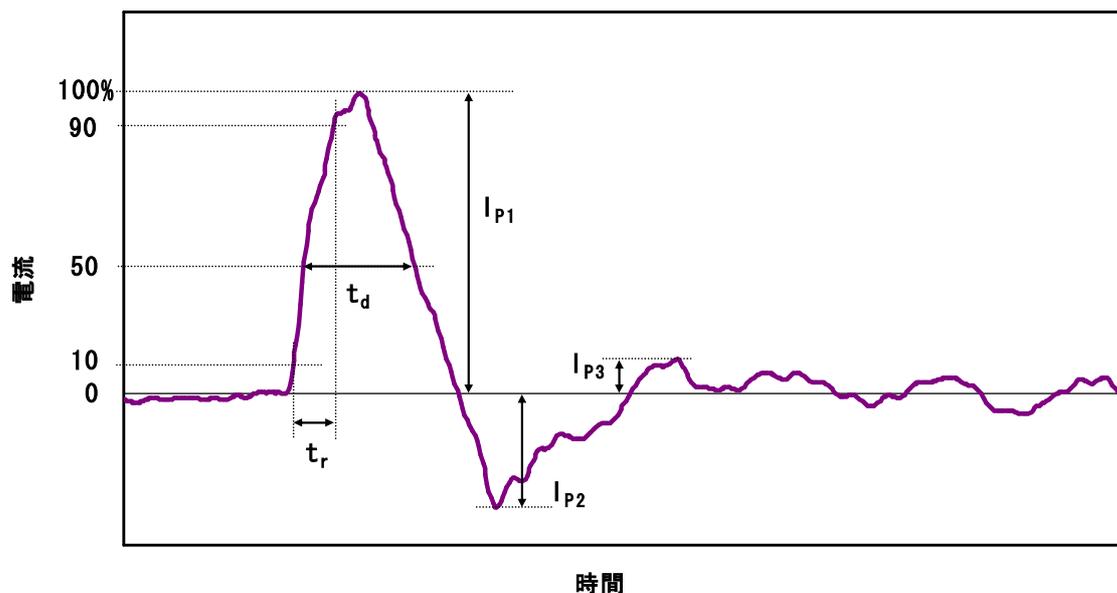


図 2-5. JEDEC CDM 波形規定

表 2-3. JEDEC CDM 波形規定

Test Number	Symbol	#1	#2	#3	#4
Standard test module	-	small	small	large	large
Test voltage [V]	-	500(±5%)	1000(±5%)	200(±5%)	500(±5%)
Capacitance at 1 MHz	-	6.8pF±5%	6.8pF±5%	55pF±5%	55pF±5%
Peak current magnitude [A]	$I_{p1}$	5.75(±15%)	11.5(±15%)	4.5(±15%)	11.5(±15%)
Rise time [ps]	$t_r$	<400	<400	—	—
Full width at half height [ns]	$t_d$	1.0±0.5	1.0±0.5	—	—
Undershoot [A, max]	$I_{p2}$	<50% $I_{p1}$	<50% $I_{p1}$	<50% $I_{p1}$	<50% $I_{p1}$
Overshoot	$I_{p3}$	<25% $I_{p1}$	<25% $I_{p1}$	<25% $I_{p1}$	<25% $I_{p1}$

2-2. ESD保護回路

図2-6にESD保護回路と0.18  $\mu\text{m}$ テクノロジーの信号IOセルのレイアウト例を示した。ESD印加には、

- ①電源端子、もしくはGND端子を基準にして信号端子にESD印加する信号ESD試験
- ②電源端子とGND端子間でESD印加する電源ESD試験

がある。それゆえに、信号部分と、電源-GND間のそれぞれに、ESD保護回路を配置する必要がある。②のために配置するESD保護回路を、電源クランプと呼ぶ。電源クランプは、内部回路（被保護回路）のESD破壊を防ぐ役割を果たす。信号部のESD保護回路は、信号-VSS間にはNMOSを、信号-電源間にはPMOSを配置している。また、電源クランプは、信号-VSS間と同じNMOSであるが、トランジスタ幅を信号部よりも2倍程度に大きくするのが一般的なESD設計手法である。

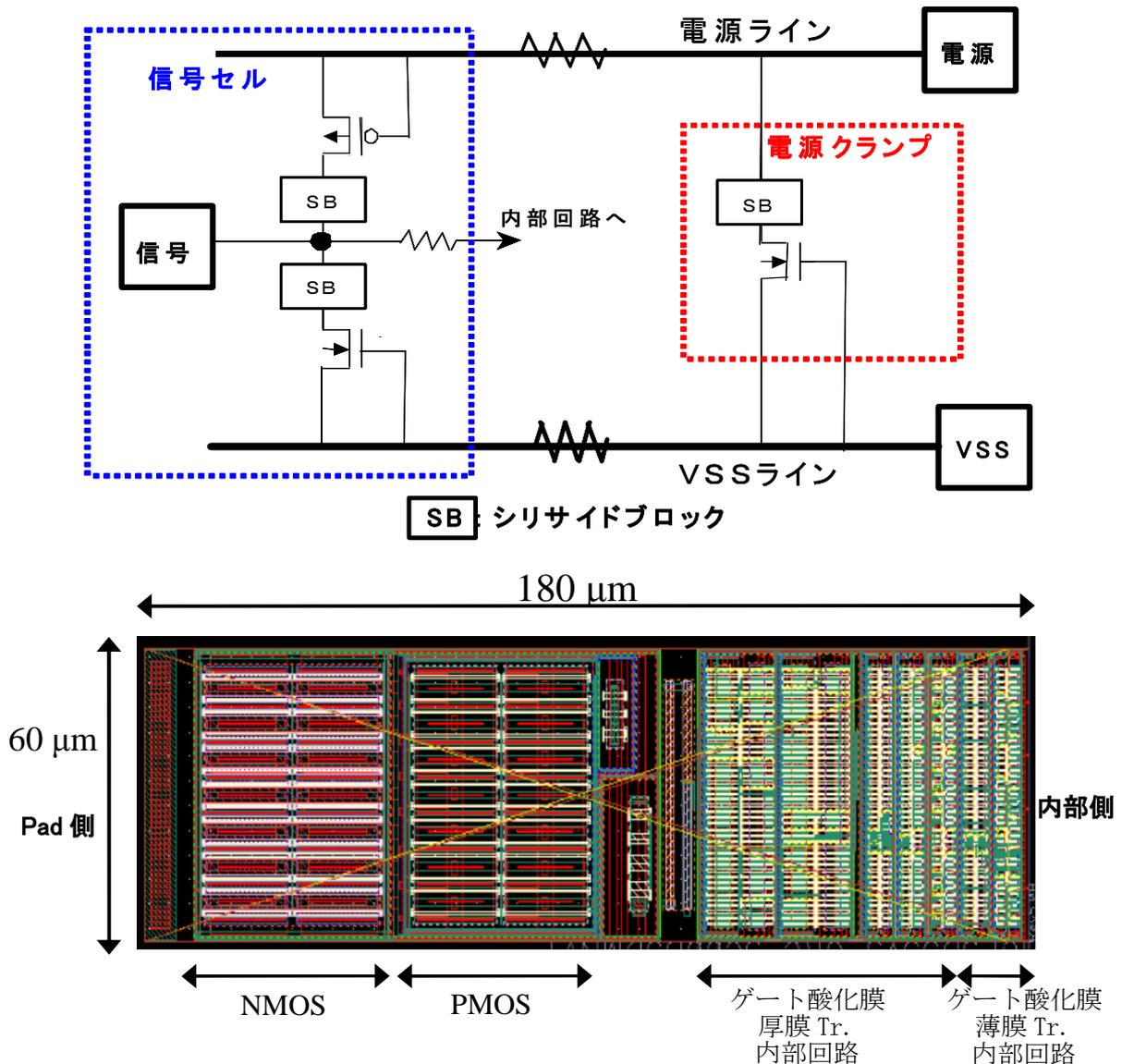


図 2-6. 信号部の ESD 保護回路と電源クランプ回路図（上図）と、信号 IO セルのレイアウト例(下図)

2-2-1. NMOSによるESD保護回路

図2-7の回路図, 断面図, 及びI-V特性を用いて、NMOSのESD保護回路の動作を説明する。VSSを基準として、信号端子にマイナス極性のESDサージを印加することをVSS(-)と表記する。VSS(-)では、P型基板(VSS)からNMOSのドレイン(信号端子)へ電流が流れる。ダイオードの順方向は、PN接合面全体で電流を流すので、熱の発生が分散されるためESDに強い保護素子である。

また、VSSを基準として、信号端子にプラス極性のESDサージを印加することVSS(+)と表記する。VSS(+)では、寄生横型NPNバイポーラトランジスタ(LNPN)でESDサージを放電する。ドレイン電圧が上昇すると、①ドレイン-P型基板間でアバランシェブレークダウンにより、電流が基板へ流れる。その結果、②局所的に基板の電位が上昇する事により、ベース-エミッタ間に0.6Vの電位差が生じ、③LNPNがオンして大電流(コレクタ電流)が流れESDサージを放電する。④寄生バイポーラ動作は、局所的に高電界が掛かりやすく、ドレインと基板の間で、局所的に破壊しやすくなる[18]。

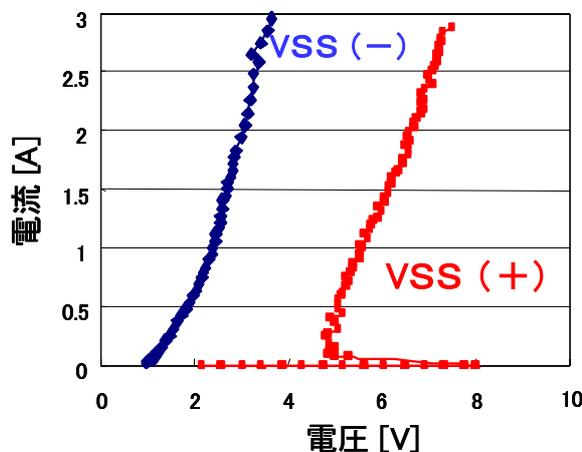
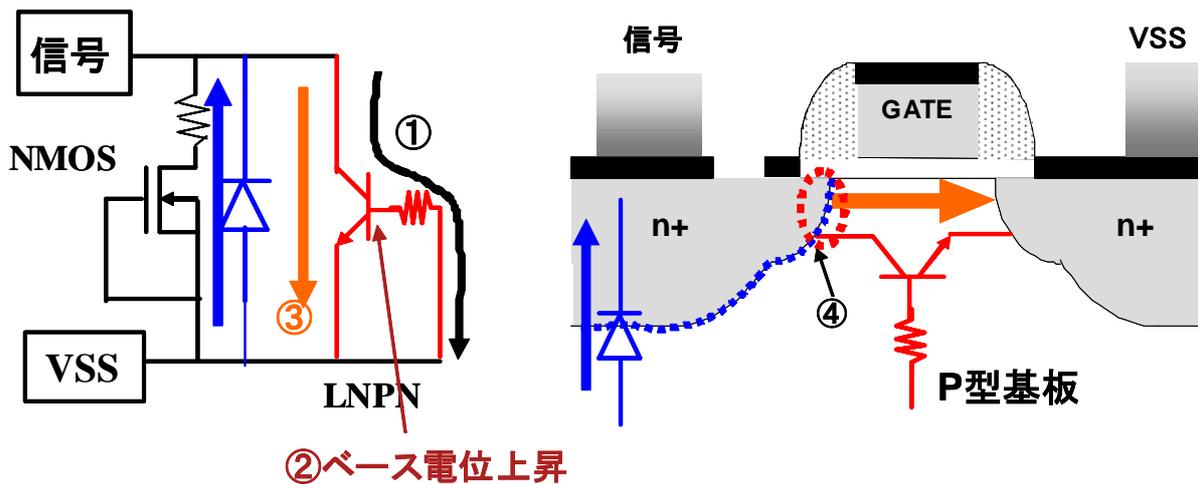


図 2-7. NMOS の回路図(左上図), 断面図(右上図), 及び I-V 特性(下図)

図2-8から図2-13にて、NMOSの寄生バイポーラ素子：LNPBがどのようにESDサージを放電[19]するかを、断面図、potential、及びI-Vカーブを用いて説明した。

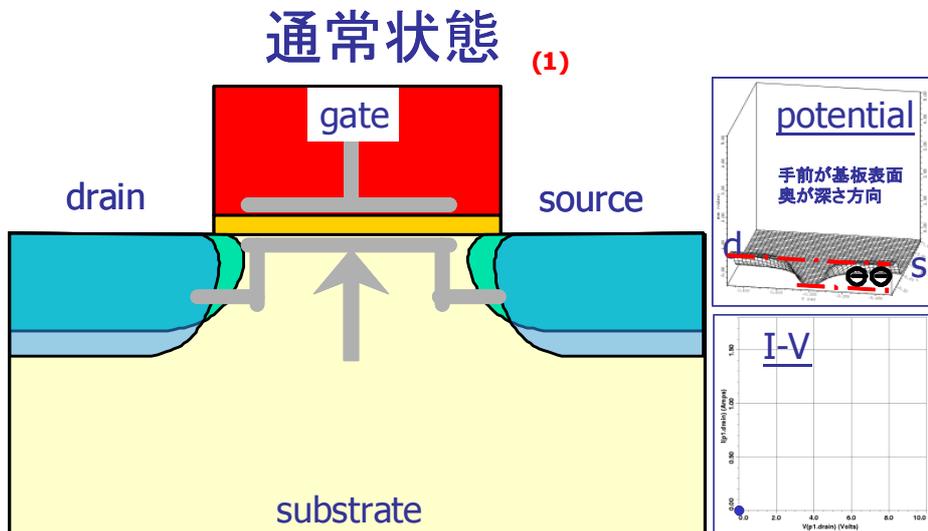


図 2-8. NMOS の通常状態  
(1)NMOS はオフ状態。

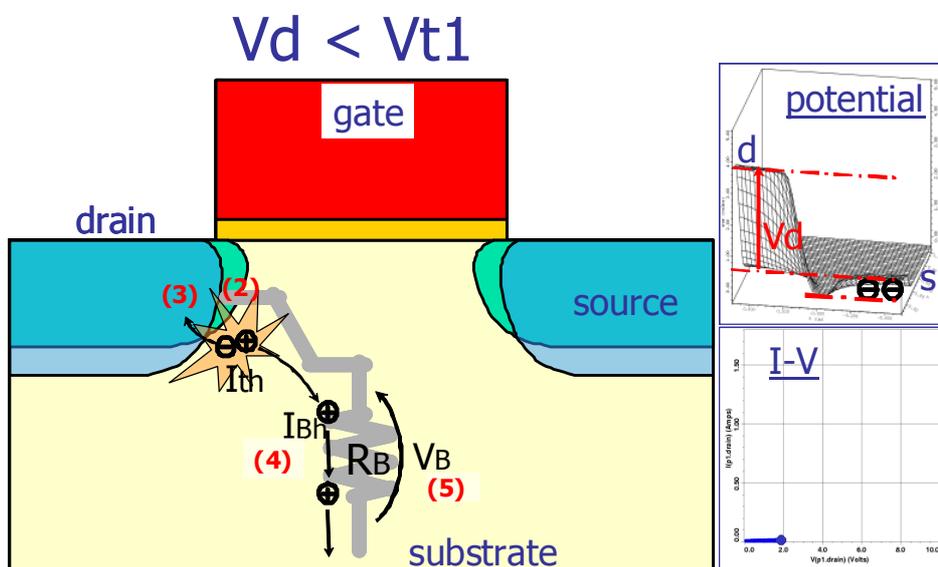


図 2-9.  $V_d < V_{t1}$  の状態

- (2) 電界により弱いアバランシェ増倍(衝突電離)が発生し、電子・正孔対を生成。
- (3) 電子はドレインに向かって流れる。
- (4) 正孔 ( $I_{Bh} = (M-1) \times I_{th}$ ) が基板に向かって流れる ( $M$  はアバランシェ増倍係数)。
- (5)  $V_B = I_{Bh} \times R_B$  によりベース電位が徐々に上昇する。

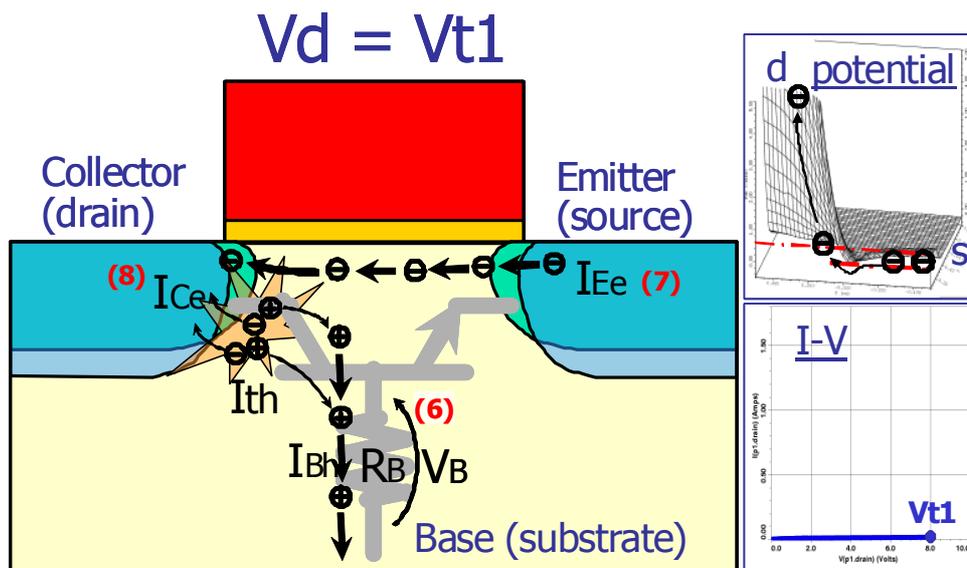


図 2-10.  $V_d = V_{t1}$  の状態

- (6) ベース電位  $V_B$  が約 0.6 V に上昇。
- (7) E-B 接合障壁が無くなり (順バイアスされ)、エミッタから電子が注入され始める。
- (8)  $I_{ce} (= I_{Ee})$  によるバイポーラ放電開始。

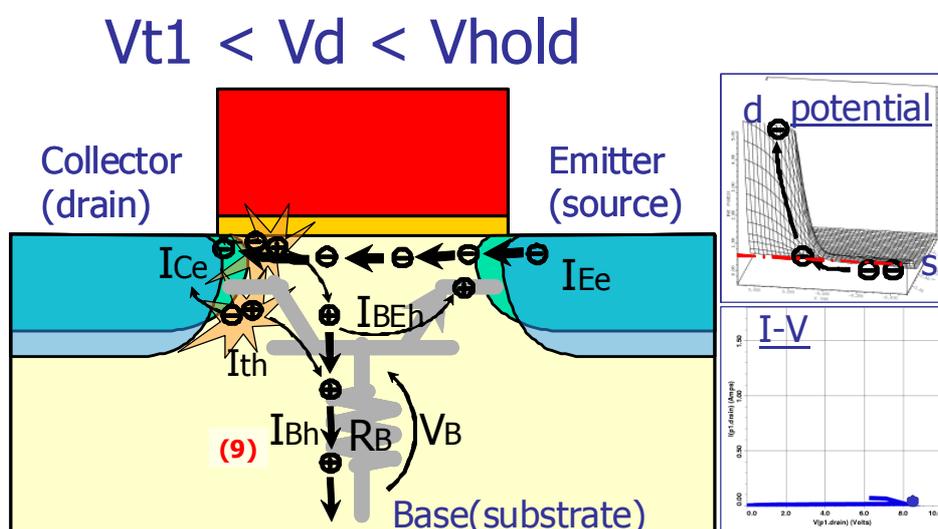


図 2-11.  $V_{t1} < V_d < V_{hold}$  の状態

- (9)  $I_{Bh} = (M-1) \times (I_{Ce} + I_{th})$  となり、M 小でも  $I_{Bh}$  は供給可能となる。  
従って  $V_d$  は低くなり、スナップバック現状になる。

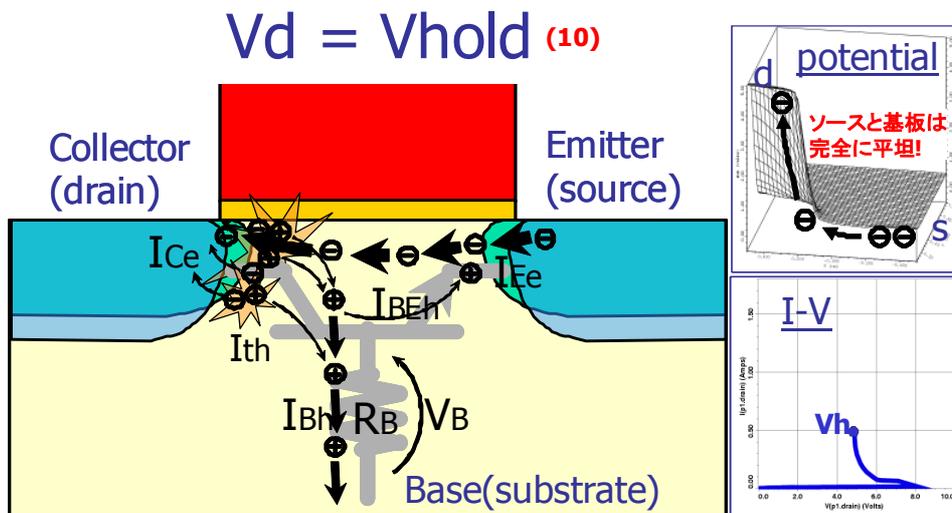


図 2-12.  $V_d = V_{hold}$  の状態

(10)  $V_{hold}$  の時点で寄生バイポーラ素子が完全にオンする。

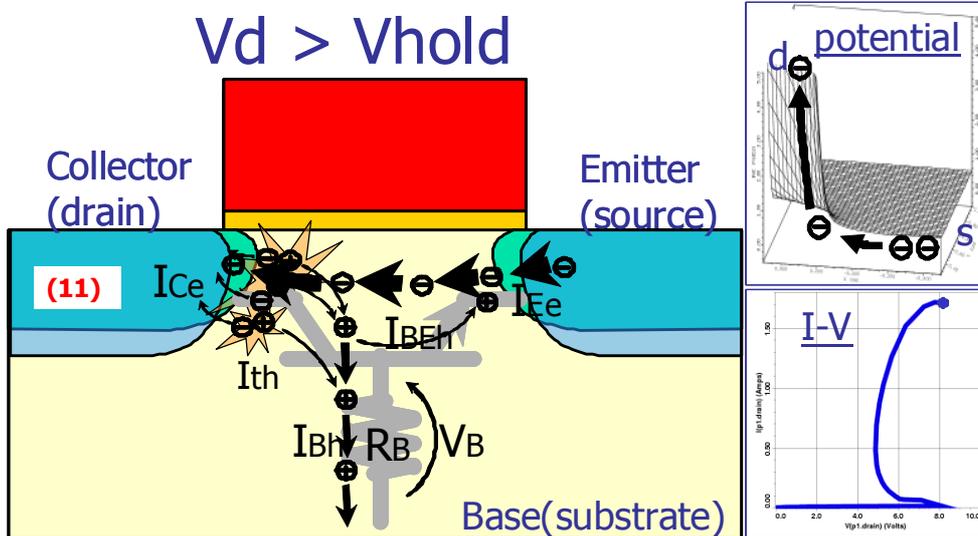


図 2-13.  $V_d > V_{hold}$  の状態

(11) 更にオン電流を増加させるため、 $V_d$  (VCE) は再び高くなる。

2-2-2. PMOSによるESD保護回路

図2-14の回路図, 断面図, 及びI-V特性を用いて、PMOSのESD保護回路としての動作を説明する。2-2-1項と比較して、P型とN型が逆になる。

VDDを基準として、信号端子にプラス極性のESDサージを印加することをVDD(+)と表記する。PMOSのドレイン(信号端子) からNWell(電源)へESDサージを放電する。また、VDDを基準として、信号端子にマイナス極性のESDサージを印加することVDD(-)と表記する。VDD(-)では、寄生横型PNPバイポーラトランジスタ(LPNP)でESDサージを放電する。NMOSのLNPNと比較して、LPNPでは多数キャリアが正孔になるため、寄生バイポーラの $h_{fe}$ が低く、LNPNよりも電流を流すことができない[20, 21]。

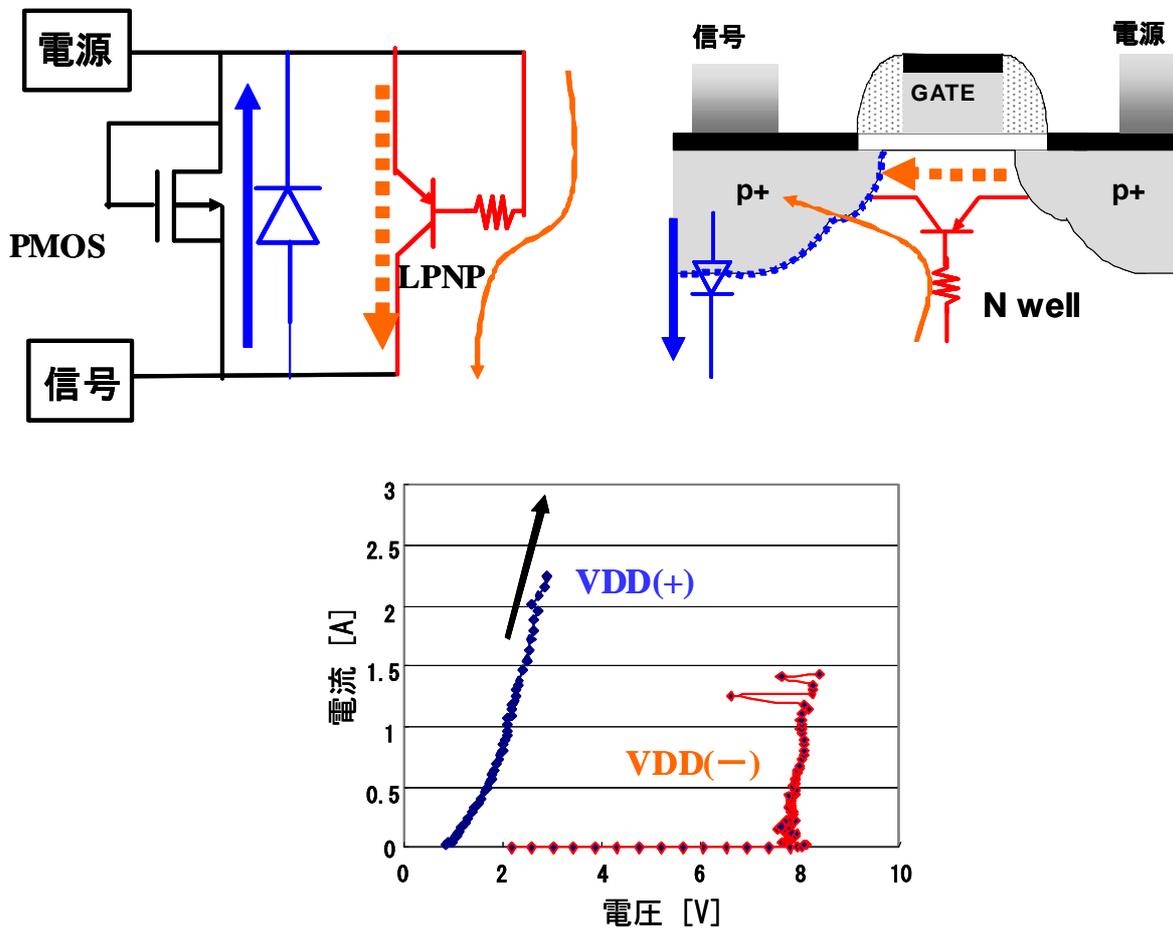


図 2-14. PMOS の回路図(左上図), 断面図(右上図), 及び I-V 特性(下図)

### 2-2-3. バラスト抵抗

半導体デバイスの高速化のため、ドレイン、ゲート、及びソース上を、例えばTi, Co, Niにて、 $TiSi_2$ ,  $CoSi_2$ ,  $NiSi$ にメタル化した構造をシリサイド構造と呼ぶ。しかしながら、このシリサイド構造は、ESDに対して脆弱である。例えば、シリサイド構造ではドレインやソースの接合の深さが実効的に浅くなる[22]とか、実効的に接合が浅いとLNPNのエミッタ注入効率が減少してESD耐圧が低下する[23, 24]などの報告がある。エミッタ注入効率が低いとESD保護回路としての寄生バイポーラトランジスタのオン状態を保つために、より多くの基板電流が必要となり、電力消費が増大しESD耐圧が低下する。

一般的に、ESD保護回路のトランジスタ幅“W”は大きく、1本ではとてもレイアウトしきれないので、均等な幅に分割して図2-15のようにフィンガー回路にする。分割した形状が人の指に似ているのでフィンガーと呼ばれる。シリサイド構造では、ドレイン抵抗が非常に小さく、ESD印加時に全ての並列接続されたESD保護回路が動作せず、ある保護回路に電流が集中してESD耐圧が低下することが報告されている[25]。そのような状態を回避するため、ドレイン側に付ける抵抗をバラスト抵抗と呼ぶ。ある1本のトランジスタのESD保護回路：LNPNがオンすると、PAD電位が下がるが、PAD-ドレイン間にバラスト抵抗を挿入することにより、PAD電位の電圧降下を抑制し、ファンガー・トランジスタ全体がオンしやすくなる。一般的によく使われるバラスト抵抗は、シリサイドブロック[26-28]である。シリサイドブロックは、図2-16に示した様に、ドレイン上にシリサイド化しない部位を設けた構造である。

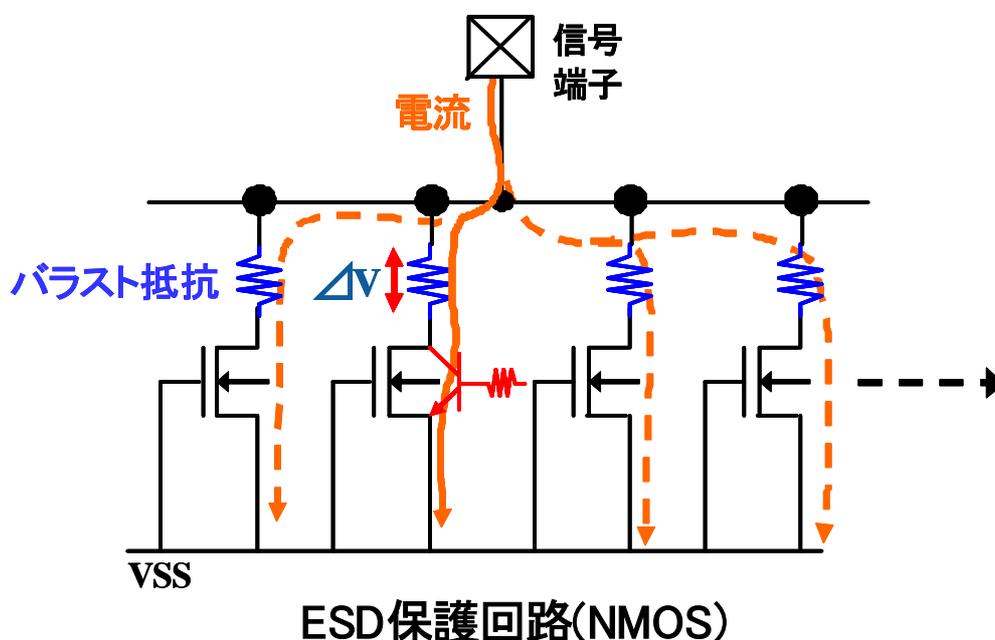


図 2-15. バラスト抵抗

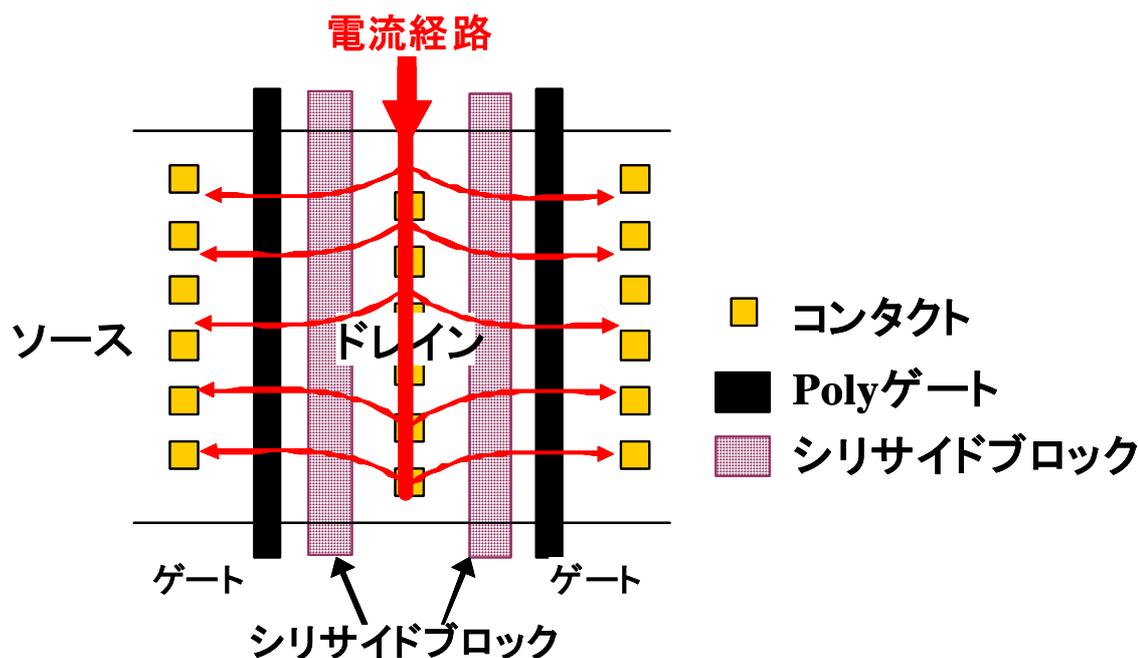


図 2-16. シリサイドブロック構造

### 2-3. ESD設計手法

HBM の場合、放電抵抗 $1.5\text{ K}\Omega$  に対して、DUT の ESD 保護回路のオン抵抗が数 $\Omega$  であることから、放電抵抗 $1.5\text{ K}\Omega \gg$  DUT の ESD 保護回路のオン抵抗の関係が成り立つ。したがって、測定系の抵抗値を $\approx 1.5\text{ K}\Omega$  と考えることができる。例えば、 $2000\text{ V}$  の HBM 試験は、オームの法則から $2000\text{ V} \div 1.5\text{ K}\Omega = 1.33\text{ A}$  になるため、 $1.33\text{ A}$  の電流を流す定電流試験と見なすことができる。

また、MM の場合は、放電抵抗が $\text{DC}=0\ \Omega$  であるものの、ESD 印加の周波数は高く、各規格に沿った印加電流波形を実現するためには、印加装置や評価ボードのインダクタンス値が数百 $\text{nH}$  になる。試験系のインピーダンスは、HBM 程ではないが、DUT の ESD 保護回路のオン抵抗よりも十分に高く、MM もほぼ低電流試験と見なすことができる。ただし、プロセス構造や ESD 保護回路構造によって ESD 保護回路のオン抵抗が変わるため、MM の場合は、目標とする ESD 耐圧に対して、何アンペア流す必要があるかの目安はわかるものの、定量的には決めることができない。

2-3-1. ESD Design Window

図2-17 にESD Design Window[10]を示した。ESD Design Window とは、①, ②, ③, と X 軸（電圧軸）で囲んだ領域のことである。①, ②, ③は、次の条件を満たす必要がある。

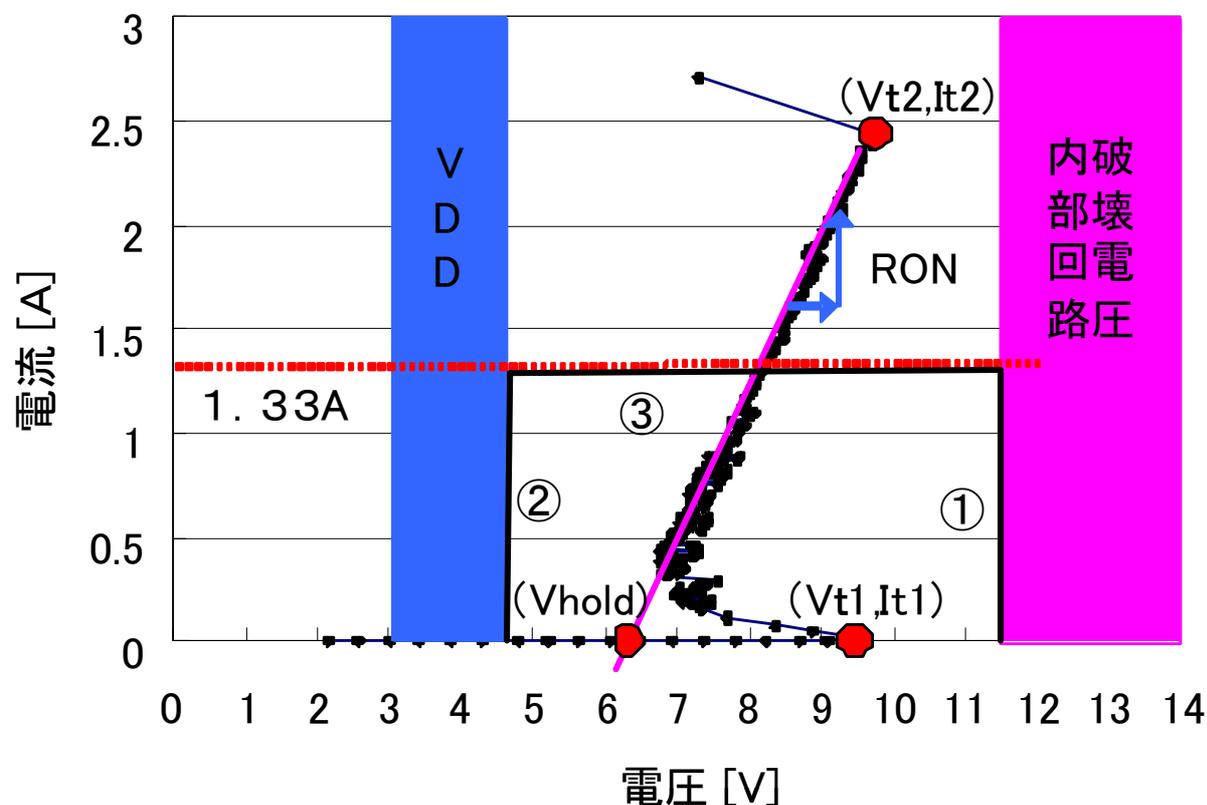


図 2-17. ESD Design Window

①：内部回路（被保護回路）の破壊電圧値

この電圧値よりも低い電圧域でESD保護回路が動作することが必要である。さもなければ、内部回路が破壊する。内部回路の破壊電圧は、ゲート酸化膜耐圧や、ゲート電位が不定なインバーターのドレイン-ソース間電圧で決まる場合が多い。いずれにしても、被保護回路のうち、一番低い電圧に決まる。また、内部回路破壊電圧は、ESDライクな電圧波形をTransmission Line Pulse (TLP) [29-33]装置を使って印加し測定して求めることが一般化している。何故なら、ESD は周波数が非常に高い放電現象のため、DC測定によって求めた破壊電圧は、実際よりも弱い値になるためである。内部回路破壊電圧は、テクノロジーの進化に伴い、段々と低下しており、ESD保護が難しくなっている[11]。

### ②通常使用時の最大定格値

ホールド電圧 ( $V_{hold}$ ) が、通常使用時の最大定格値よりも高いことが必要である。つまり、CHIPの動作中に、万が一にESD 保護回路 (図2-17 に示した様な寄生バイポーラ素子) がON した場合でも、ON 状態が保持され続けることを回避する必要がある。例えば、図2-17において、 $V_{hold}$ が通常動作時の電圧よりも低いと、もしON してしまった場合は、 $V_{hold}$ 時に流れる電流 (図2-17 では約0.3 A) が、電圧が $V_{hold}$  よりも低くなるまで流れ続けてしまう。

### ③ESD放電電流値

一般的に、破壊電圧を $V_{t2}$ , 破壊電流を $I_{t2}$ と呼ぶ。 $I_{t2}$ はESD耐圧の目安であり高いほどESD耐圧も大きくなる[34]。ESD設計では、内部回路破壊を起こす電圧よりも低い電圧で、ESD 印加時に流れる所定の電流を流す必要がある。図2-17では、HBM=2000 V 印加時に放電される約1.33 Aを越えた2.4 AでESD保護回路が破壊しており、ESD保護回路の放電能力として問題はない。また、内部回路破壊に関しても、1.33 A を放電したときの電圧値は8 V であり、内部破壊電圧の11.5 V よりも十分に低いため、ESD 設計として問題ない。

以上、①、②、③で説明したように、ESD 保護回路において、被保護回路が破壊するまでに、ESD設計により構築した経路で所定の電流を放電すれば破壊は起こらない。その結果、ESD 規格を満足させることができる。ESD 設計において重要なポイントを列記すると、

- ESD保護回路の放電能力を把握する
  - ESDサージの放電ルートを構築する
  - 被保護回路の破壊電圧を把握しESD設計を行う
- である。

## 2-4. まとめ

各種コンポーネントレベルのESD試験方法と波形規定を示した。ESD保護回路について、特にLNPNの動作を詳細に説明した。更に、バラスト抵抗としてのシリサイドブロックの役割、ESD Design Windowの考え方についても説明した。ESD Design Window は、ESD設計にとっての要であり非常に重要である。

## 第3章 エピタキシャル基板

---

### 3-1. エピタキシャル基板の利点

近年、エピタキシャル(以下Epi)基板がMOS型半導体デバイスの量産に用いられるようになってきた。その理由は、LSIの超微細化により、シリコン結晶中の細微な欠陥の歩留まりへの影響が、無視できなくなったためである。Epi基板の利点は多い。それらを挙げると、酸化膜質の改善による信頼性の向上[35]、DRAMのリフレッシュ特性などのリーク特性の改善[36]、更に、基板濃度の構造がP/P+の場合は、ラッチアップ特性の改善[37-39]、デバイス領域からのFeのゲッタリング効果[40]、300 mmなどの大口径ウェーハで、高温プロセス中に発生するスリップラインの回避[41]などである。

本研究では、従来からのczochralski method(CZ)基板とEpi基板を用いてESD耐圧を比較し、Epi基板の問題点を明らかにすることを目的とする。

### 3-2. 実験に用いたサンプルと試験方法

#### 3-2-1. 測定サンプル

実験に用いた Epi 基板と CZ 基板の構造を、断面図(図 3-1)を用いて説明した。Epi 基板は、比抵抗  $\rho \doteq 0.01 \sim 0.02 \text{ } \Omega \text{ cm}$  の低抵抗基板上に、厚さが  $5 \text{ } \mu\text{m}$  もしくは  $10 \text{ } \mu\text{m}$  で比抵抗が  $\rho \doteq 10 \text{ } \Omega \text{ cm}$  の Si 層を Epi 成長させた 2 種類(以下それぞれ Epi5 基板、Epi10 基板)を用いた。また、CZ 基板の比抵抗は Epi 層と同一の  $\rho \doteq 10 \text{ } \Omega \text{ cm}$  である。ESD の保護回路は、 $0.35 \text{ } \mu\text{m}$  テクノロジーで作成したフィールドトランジスタを用いた。図 3-2 はその断面図と ESD 保護回路の等価回路である。フィールドトランジスタは、ゲート酸化膜を使わないため、ゲート酸化膜破壊、バンド間トンネリングによるリーク電流の発生が少ない。また入力容量を低く抑えられるなど特性面での利点もある。

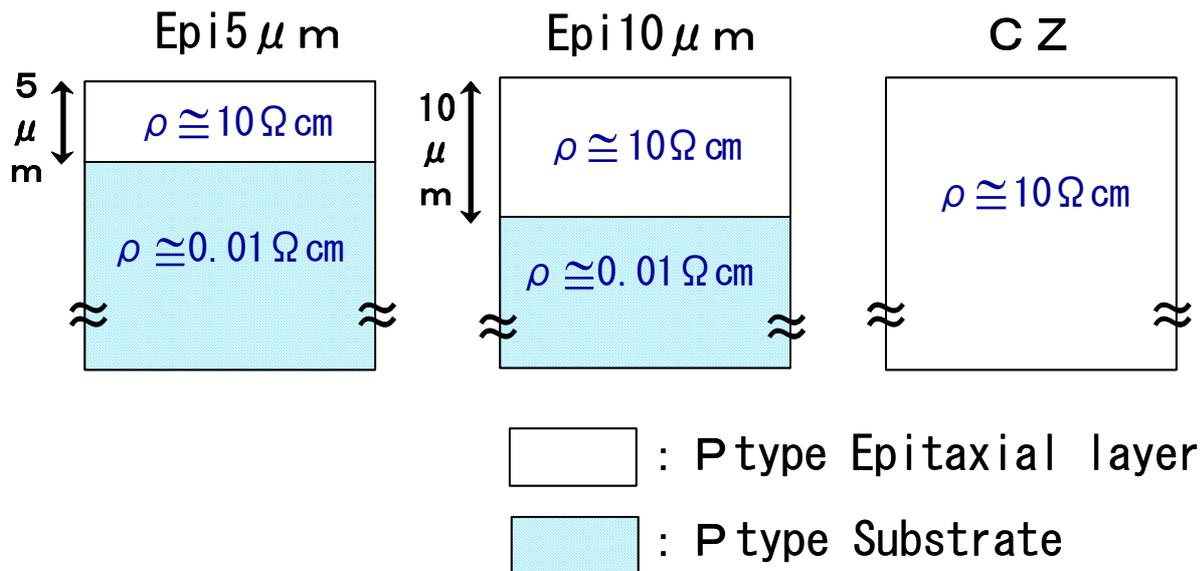


図 3-1. 実験サンプル基板の断面図

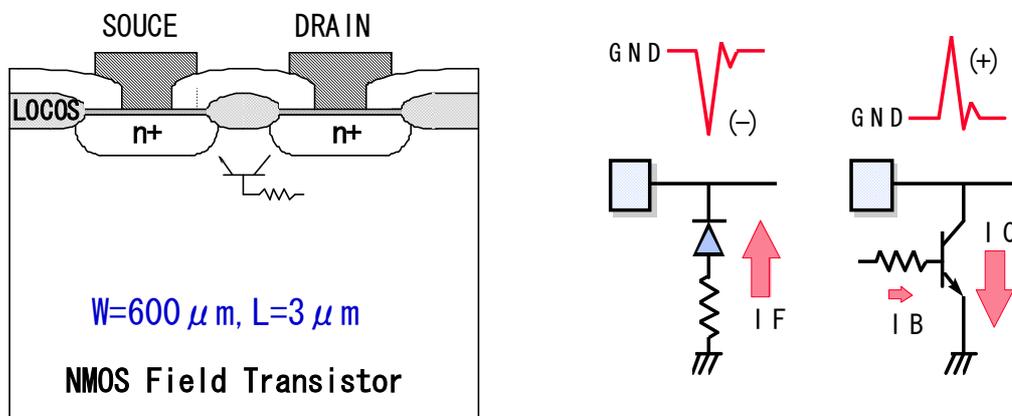


図 3-2. ESD 保護回路の断面図と等価回路図

### 3-2-2. 試験方法

実施したESD試験はMMとHBMである。信号端子に、プラス極性、またはマイナス極性のサージを、VSSを基準として印加した。印加後、端子-VSS間のリーク電流を測定し、急激にリーク電流が増加した電圧を破壊電圧と判断した。

### 3-3. MM 実験結果

3種類のウェーハのDUTにMM試験を実施した。プラス極性の場合(図3-3)、CZ基板は450V、Epi10基板は400V、またEpi5基板は350Vで急激にリーク電流が増加し破壊したことが確認できる。マイナス極性の場合(図3-4)、CZ基板は600Vで、Epi10基板は500V、またEpi5基板は450Vで急激にリーク電流が増加し破壊したことが確認できる。総じて、プラス極性印加のMMの結果は、マイナス極性印加と比較して100V程度低い耐圧になった。ただし、Epi基板がCZ基板よりESDに弱い傾向は同一であった。実験結果をまとめると、両印加サージとも、ESD耐量はCZ基板 > Epi10基板 > Epi5基板となり、CZ基板よりもEpi基板が、Epi基板内ではEpi膜厚が薄いほど、ESD耐量が低いことが分かった。

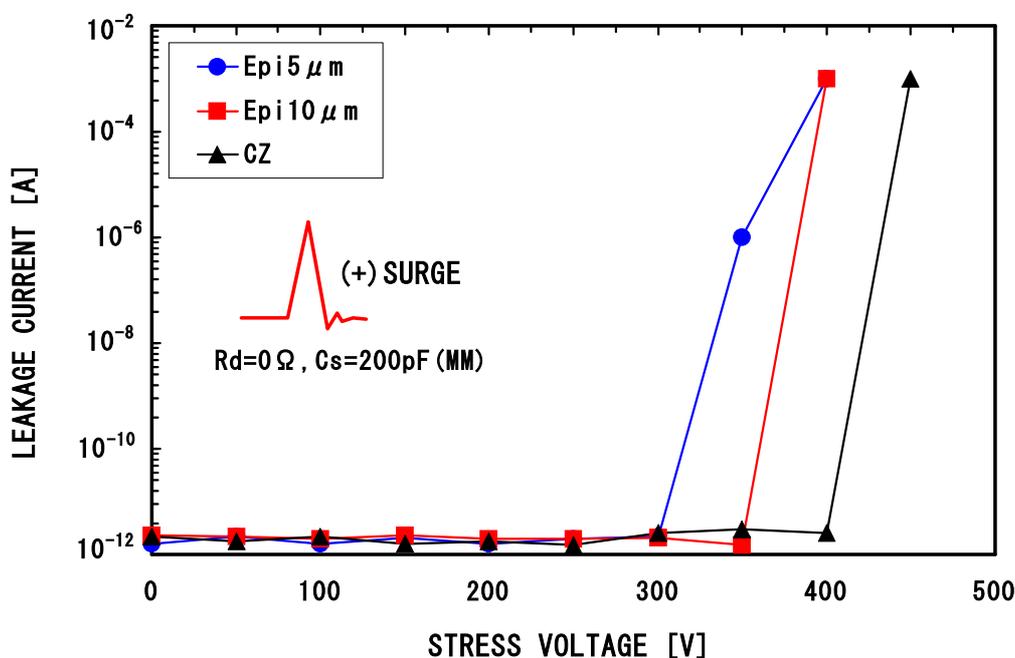


図 3-3. MM プラスサージ試験結果

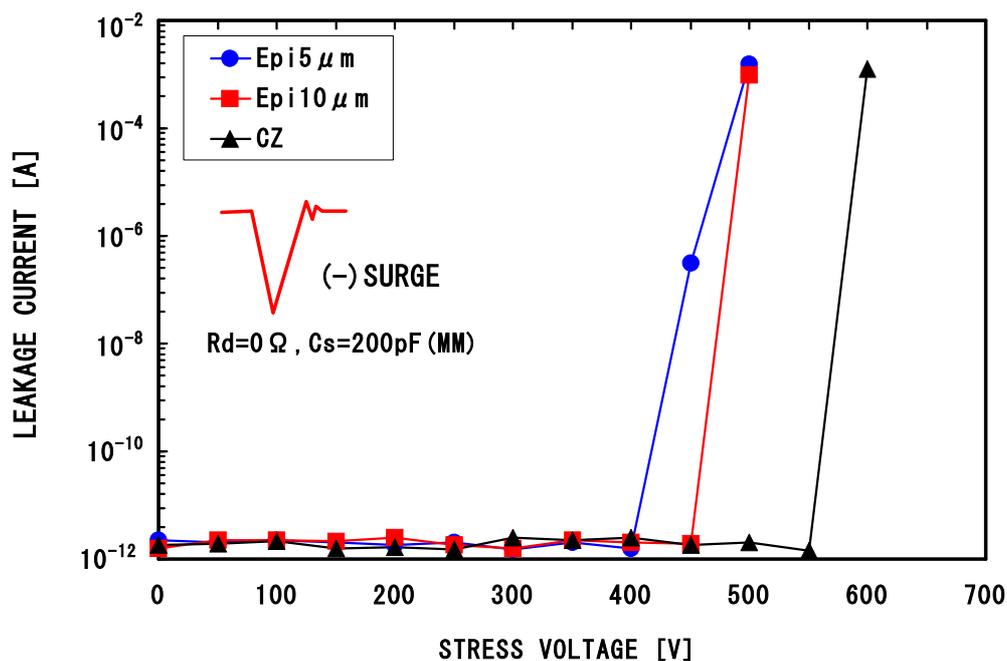


図 3-4. MM マイナスサージ試験結果

### 3-3-1. 放電容量(C)振りの実験結果

3-3 節の MM の破壊モードを解析するために、MM において規格化された放電容量は 200 pF であるが、10, 100, 200, 600, 1000 pF の放電容量振りを実施し、リーク電流が 1 μA を越えた時を破壊と判定し、破壊電圧を求めた。その結果を表 3-1 にまとめた。

表 3-1. 放電容量振り結果 (MM)

放電容量 [pF]	Epi5μm		Epi10μm		CZ	
	プラス 印加 [V]	マイナス 印加 [V]	プラス 印加 [V]	マイナス 印加 [V]	プラス 印加 [V]	マイナス 印加 [V]
10	1200	2800	1600	3000	1600	3000
100	600	650	650	700	700	800
200	350	500	400	500	450	600
600	250	300	300	350	300	400
1000	200	250	200	300	250	350

放電容量によって変化するのは、3-1 式に示したエネルギー E と、ESD 試験方法と DUT に  
よって決まる ESD 印加のパルス幅である[42]。

$$E[J] = CV^2/2 \quad (3-1).$$

表 3-1 の結果から、3-1 式を用いて、破壊時のエネルギーを求め、横軸に放電容量、  
縦軸に破壊時のエネルギーを表したのが図 3-5 である。

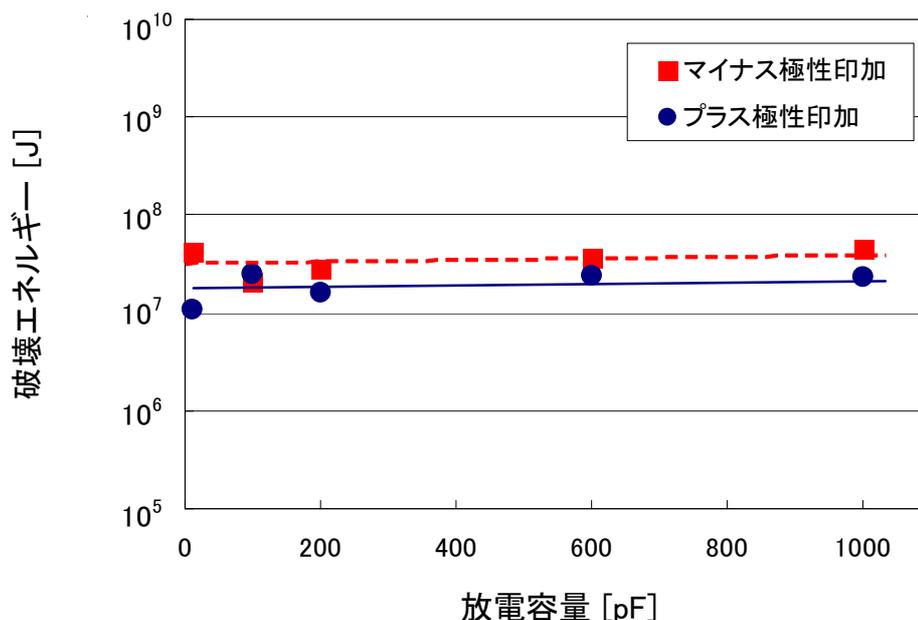


図 3-5. 放電容量 vs. 破壊エネルギー

### 3-3-2. 放電容量 (C) 振りの考察

図 3-5 より、破壊時のエネルギーは放電容量によらずほぼ一定であることが分かった。  
DUT の破壊は、ESD 印加の際のジュール熱による温度上昇が一定値を越えると起こるが、  
Wunsch-Bell モデル[43]によれば、放熱の時定数と ESD 印加のパルス幅の関係によって  
破壊に要するエネルギーは変化する。今回は、図 3-5 に示した様にエネルギーが一定で  
破壊に至るため、放熱の時定数よりも ESD 印加のパルス幅が小さい場合に相当する  
[43-46]。放熱の時定数よりも ESD 印加のパルス幅が小さいと、放熱する間がなく、すな  
わち断熱状態になるため、DUT が Si の融点に達した時点で破壊に至る。ESD 印加の場合、  
このような、エネルギー一定で破壊に至るモードは、局所的に PN 接合、あるいは抵抗部  
が一定のジュール熱によって破壊した事が考えられる。

### 第3章 エピタキシャル基板

プラス極性印加とマイナス極性印加において、破壊に至るエネルギー量を比較すると、プラス印加の場合は $1\sim 3\times 10^{-5}$  [J]、マイナス印加の場合は $2\sim 6\times 10^{-5}$  [J]であり、約2倍以上の差があることがわかった。この理由は、MMの場合、図3-6に示したように放電電流波形が発振し、マイナス極性印加の場合でもピーク電流は減るものの、プラス極性のサージがセカンドピークとして印加される。NMOSの保護回路の放電能力は、Diodeの方がLNPNよりも高い。そのため、プラス印加の場合はファーストピークで破壊し、マイナス印加の場合はセカンドピークで破壊したと考えられる[47]。

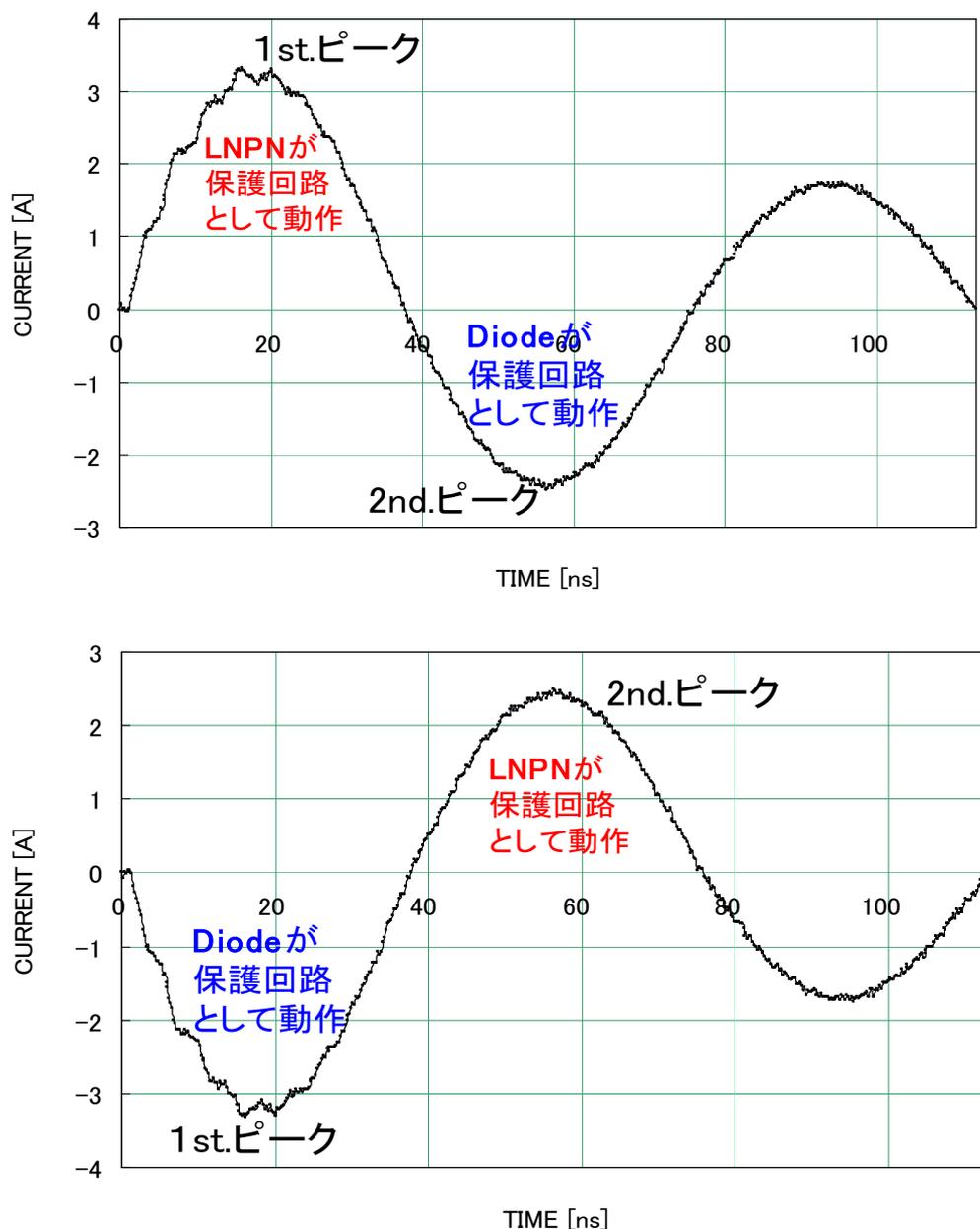


図3-6. MM=±200 Vの校正波形:JEDEC 無負荷状態  
(プラス印加(上図)とマイナス印加(下図))

### 3-4. HBM 試験結果

次に、3種類のウェーハの被測定デバイス DUT に HBM 試験を実施した。マイナス極性の場合、3種類のウェーハとも印加装置の限界電圧の 2800 V まで破壊しなかった。また、プラス極性の場合、CZ 基板、及び Epi10 基板も、印加装置の電圧限界の 2800 V まで破壊しなかった。しかしながら、Epi5 基板は、低い電圧から nA オーダーの微小なリーク電流が発生した。その結果を図 3-7 に示した。

微小なリーク電流は、印加電圧を上げると増加する傾向にあるものの、急激な増加ではなく 100 nA オーダーで飽和した。また、リーク電流が印加毎に若干ながらも増減する不安定な振る舞いを示した。

#### 3-4-1. 放電容量(C)振り

MM でも実施したが、不良モードを解明するために、HBM で規格化された放電容量は、100 pF であるが、10, 100, 1000 pF の放電容量振りを実施した。その結果を図 3-8 に示した。微小リーク電流に放電容量値との依存はなく、印加したエネルギーの大きさ ( $E=CV^2/2$ ) に比例しない不良モードであることがわかった。

#### 3-4-2. 放電抵抗(R)振り

Epi5 基板を用いて、放電抵抗を 0 Ω ~ 5000 Ω まで振った時の結果を図 3-9 に示した。放電抵抗が 0 Ω までは微小リークは発生しなかったが、100 Ω 以上では微小リークが発生した。また、印加電圧が 1000 V 程度では、微小リーク電流は放電抵抗が高いほうが小さくなる結果が得られた。

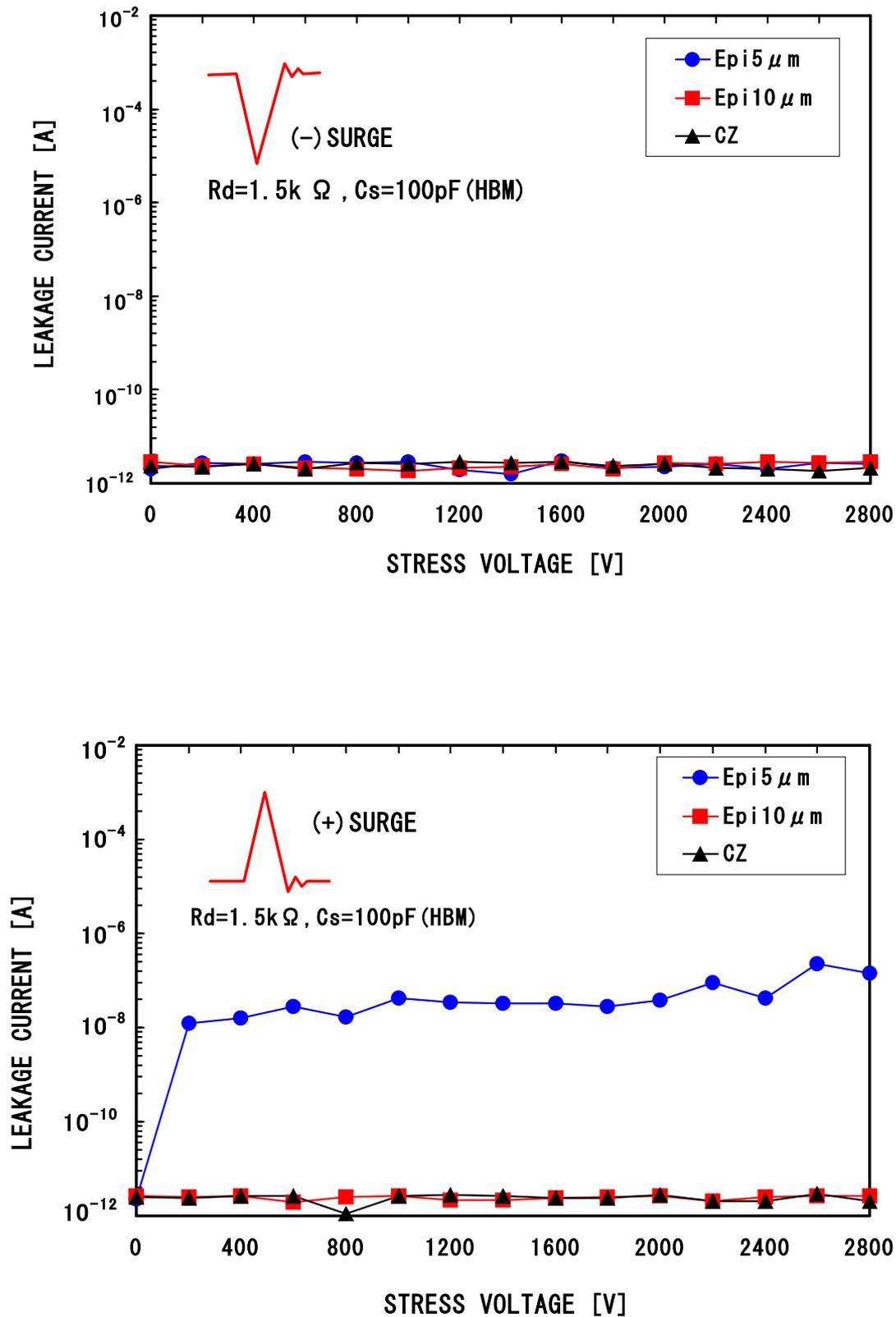


図 3-7. HBM 試験結果 (上図：マイナス印加、下図：プラス印加)

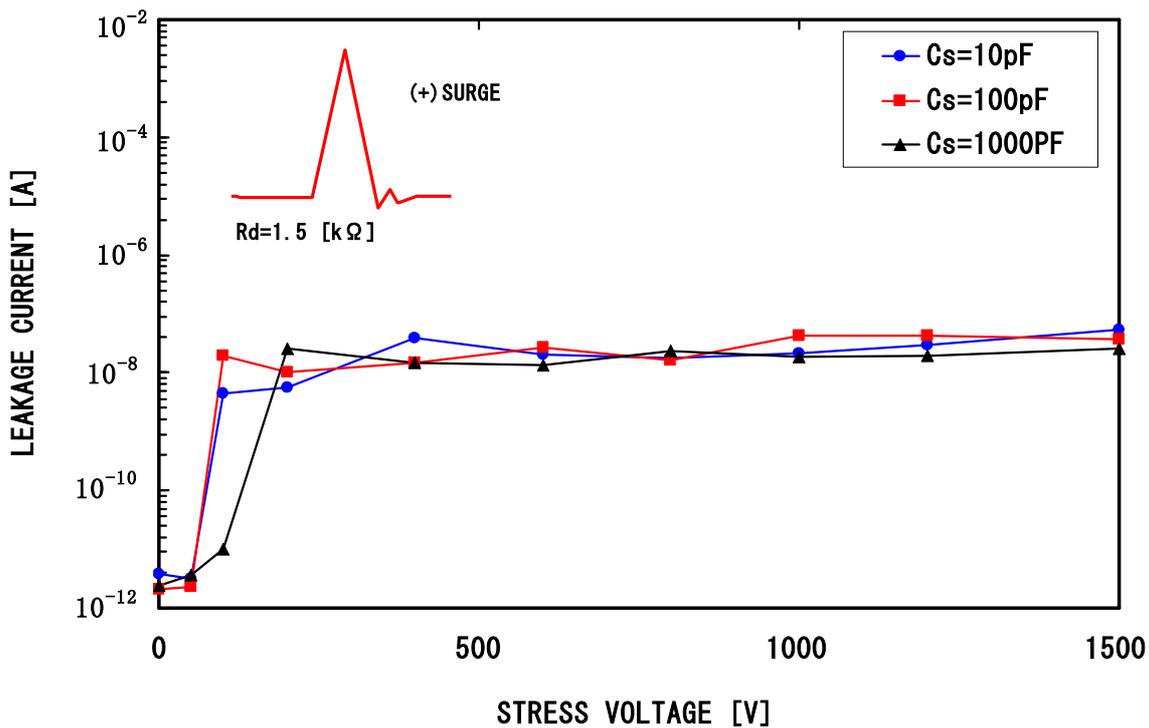


図 3-8. 放電容量振り (HBM)

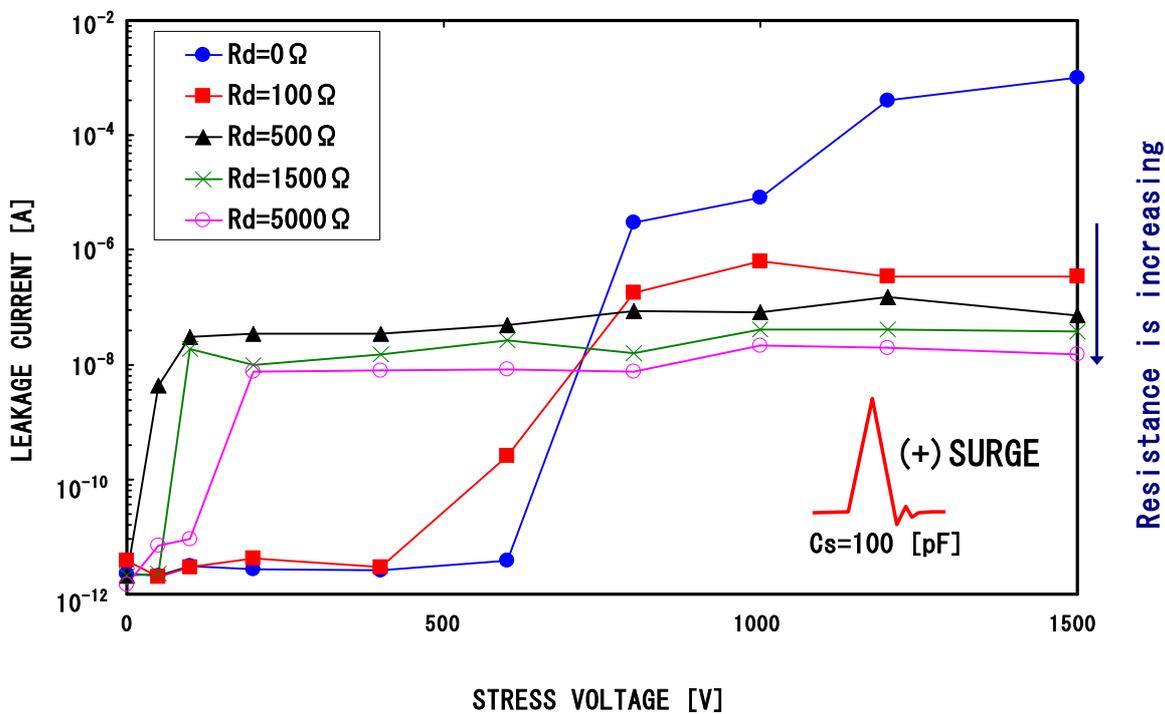


図 3-9. 放電抵抗振り (HBM)

### 3-4-3. 高温放置によるリーク電流の変化

微小リークが発生したサンプルを、高温放置（200℃、1時間）し、その前後のリーク電流を測定したところ、イニシャル値まで回復することは無かったが、一桁以上の減少を確認した。この結果を図3-10に示した。

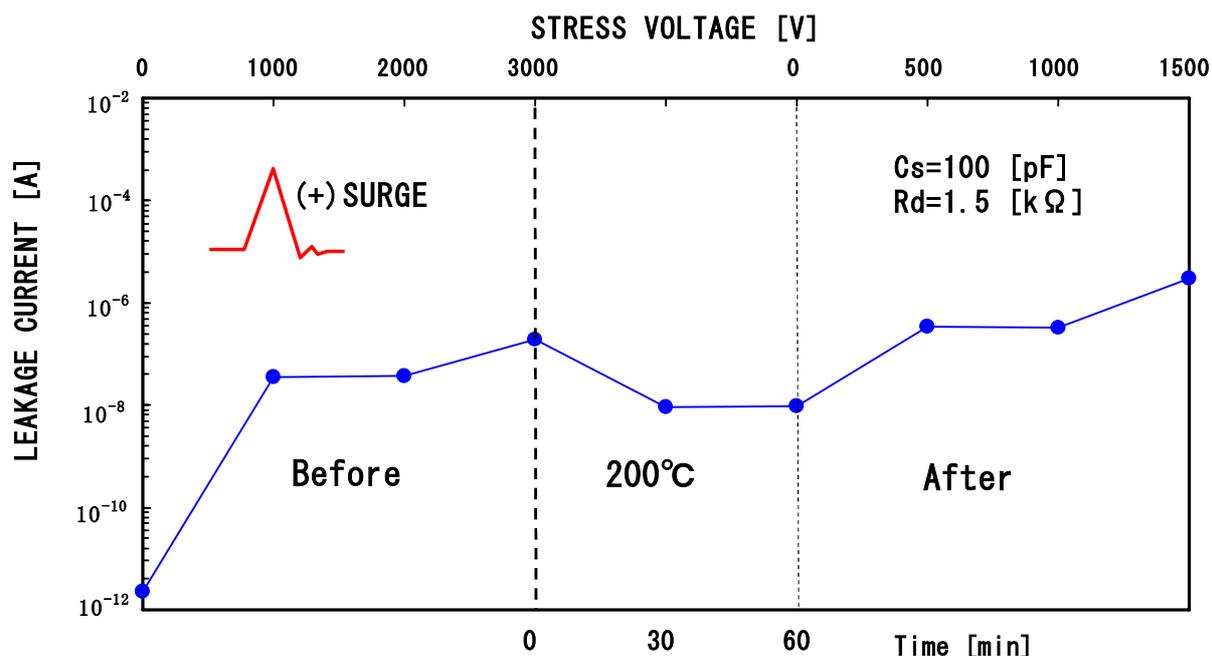


図3-10. 高温放置によるリーク電流の変化

### 3-5. ブレークダウン特性

被測定端子-GND間のブレークダウン特性を図3-11に示した。ブレークダウン電圧は、3種類の基板とも約12Vで差はないが、LNPNがターンオンする電流 $I_{t1}$ がCZ基板:3mAに対して、Epi10基板:10mA、Epi5基板:30mAであった。また、ブレークダウン時の波形の傾きから読み取った抵抗値は、Epi5基板は約20Ω、Epi10基板は約60Ω、CZ基板は約200Ωであった。3種類の基板とも、 $I_{t1}$ との乗算が約0.6Vとなり、LNPNがスナップバックするために必要なベース・エミッタ間電圧となった。以上から、基板の比抵抗が低いほど（Epi膜厚が薄いほど）多くの電流を基板に流さないと、LNPNはオンしない（スナップバック動作しない）事がわかった。アバランシェによって基板に注入される

### 第3章 エピタキシャル基板

電流は、基板の比抵抗が低い方が流れやすく、流れやすさは Epi5 基板>Epi10 基板>CZ 基板となる。ところが、基板の比抵抗が高い方が、効率良く LNPN のベースが順方向にバイアスされるため、スナップバックのしやすさは、CZ 基板>Epi10 基板>Epi5 基板となる。基板抵抗が下がると、ESD 保護回路(LNPN)を動作させるのに多くの電流( $I_{t1}$ )が必要となり、ESD サージが効率的にバイパスされ難くなる。

図 3-11 に示した基板の違いによるスナップバック動作の振る舞いの違いや、図 3-8 に示したようにエネルギー依存の無い不良モードであることや、微小リークが発生したサンプルを Emission Microscope にて調査しても発光を確認できないこと、更に、図 3-10 に示した様に高温にてリーク電流が減少することから、微小リークの原因は、LOCOS 付近の酸化膜へのキャリアのトラッピングによるものではないかと考える。なお、高温放置にて、リーク電流がイニシャル値まで戻らなかった理由は、ESD 印加により生成されたトラップ準位は、200°Cでは回復しないためであると考えられる。

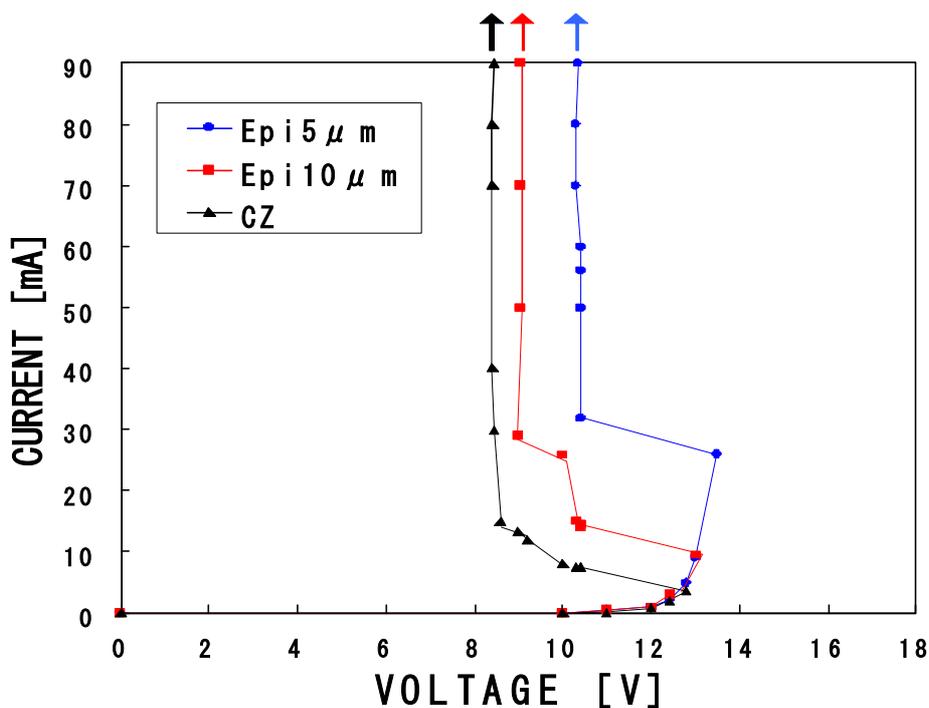


図 3-11. 3 種類の基板のスナップバック特性

3-6. 深さ方向のシミュレーション

微小リークが発生するのは Epi5 基板のみであることから、Epi5 基板の濃度プロファイルのシミュレーションを内製ツールを使っておこなった。その結果を図 3-12 に示した。プロセス中の熱拡散によって、深さ 2  $\mu\text{m}$  付近でウェルと高濃度にドーパされた基板から熱拡散した不純物が接触しており、基板の比抵抗は更に低くなり、ESD 耐量の減少(微小リークの発生)を助長していることが分かった。このような熱拡散を最低限に押さえるためには、プロセス中に掛かる温度を下げる必要がある。

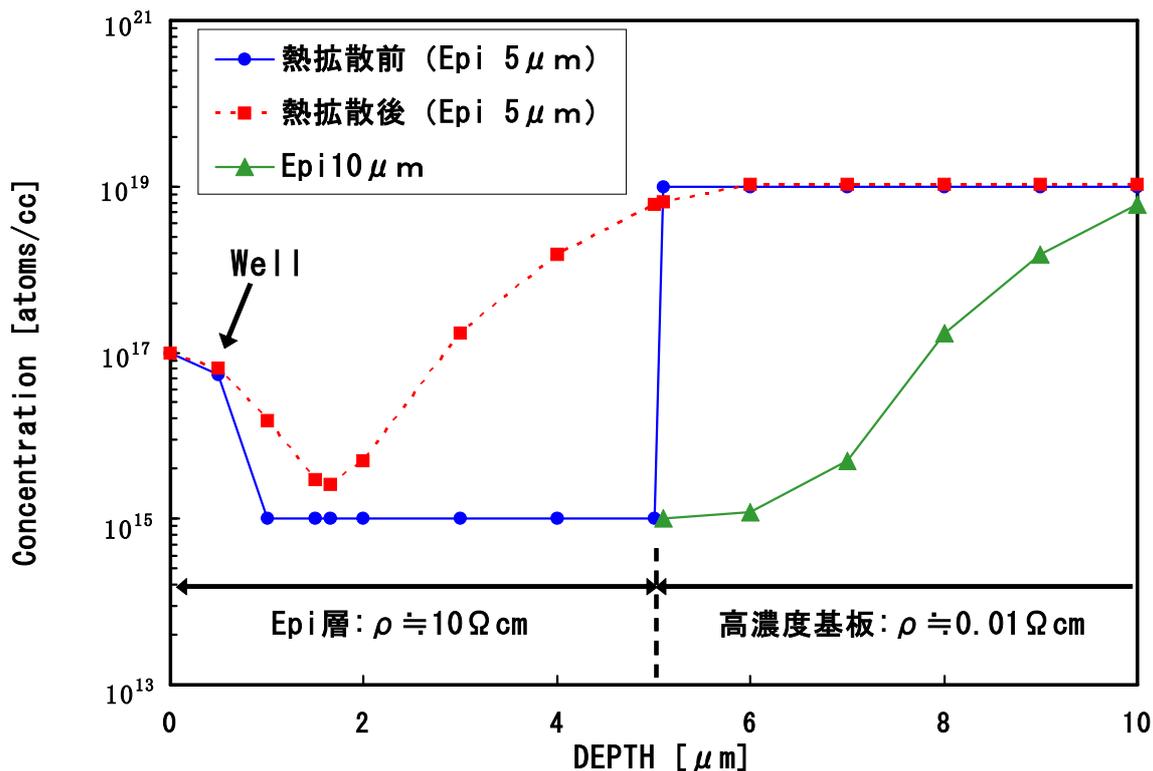


図 3-12. Epi5 基板の濃度プロファイルシミュレーション結果

### 3-7. まとめ

歩留まり向上のため、今後ますます Epi 基板が使用されると考えるが、基板が低抵抗化すると ESD 保護回路(LNPN)を動作させるために多くの基板電流が必要となりスムーズに保護回路がオンしない。その結果、熱の消費が多くなり ESD に弱くなる。よって、低抵抗基板の Epi 基板を使った場合に ESD 耐圧の低下を防ぐためには、

- 1) 高濃度基板（低抵抗基板）からの熱拡散が起きても、その影響が少なくなる様に Epi 層を厚くする
- 2) 高濃度基板からの熱拡散をできるだけ起こさないように低温プロセスを採用する
- 3) Epi 層下の基板を低濃度化して基板抵抗を上げる  
などの対策が必要となる。

## 第4章 ボロンの追加注入による ESD 改善

---

### 4-1. 5 Vトレラント I/Oセルの必要性

スケーリングにより、半導体デバイスの電源電圧は年々下がっている。しかしながら、5 V電源の時代が非常に長かったため、マザーボード上では5V用LSIが混載されている。例えば、3.3 V電源用トランジスタを駆使して回路を作りこみ、5 V入力を受ける必要がある。この様なI/Oセルを、総称してオーバー・ボルテージ・トレラントI/Oセルと呼ぶ。3.3 V用トランジスタを用いて、5V信号を受ける5VトレラントI/Oセルは、信頼性上問題にならない様、カスケード接続した構造を必要とするが、カスケード接続した構造のNMOSトランジスタをESD保護回路とした場合、ESD耐圧が非常に弱く問題である。

本研究では、ボロン(B+)をドレインコンタクト直下[48]に追加注入し、劇的にESD耐圧を改善させたので、その結果を報告する。

#### 4-1-1. 5 VトレラントI/Oセル回路

図4-1は、5 Vトレラント回路のNMOS部分の等価回路図である。また、図4-2は図4-1の断面図である。トップ側のトランジスタとボトム側のトランジスタのそれぞれのPOLY-Gate長は $0.35\ \mu\text{m}$ とした。トップ側とボトム側のトランジスタ間のフローティングノードの長さは $0.35\ \mu\text{m}$ とした。1フィンガー $25\ \mu\text{m}$ のトランジスタ24本により、総トランジスタ幅は、 $600\ \mu\text{m}$ ある。テクノロジーノードは、 $0.25\ \mu\text{m}$ \_CMOSテクノロジーである。5 Vトレラントが必要になったテクノロジー世代は、 $0.25\ \mu\text{m}$ テクノロジー以降であり、ボロン注入によるESD改善報告が、本研究の後にいくつか行われている[49-52]。

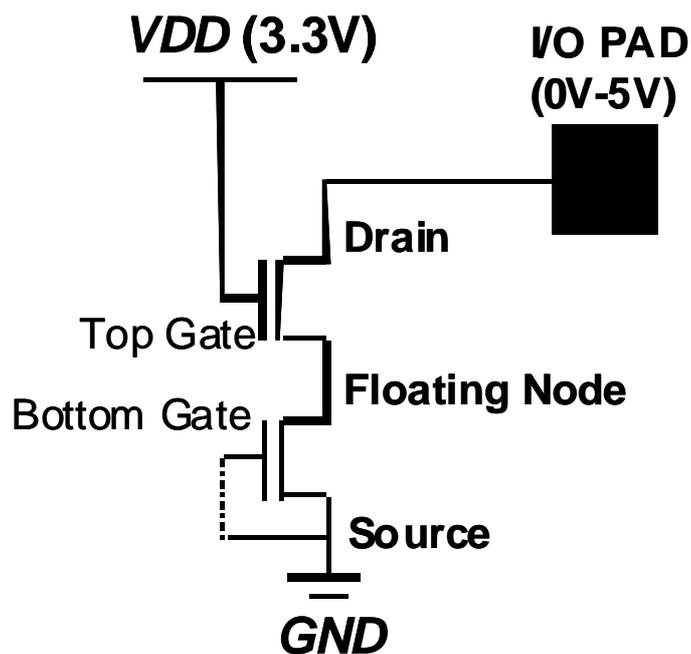


図 4-1. 5 V トレラントの回路図

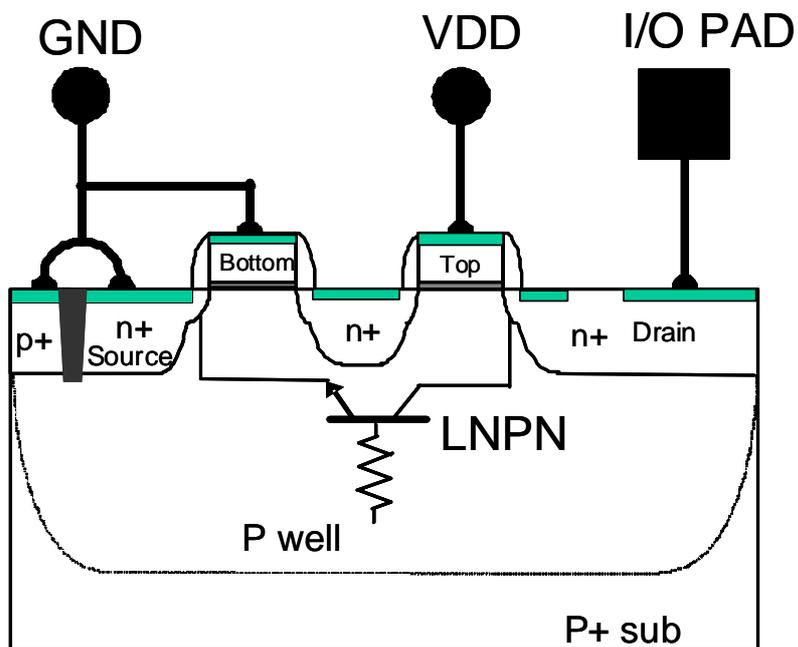


図 4-2. 5 V トレラント I/O セルの断面図

### 4-2. ESD改善実験

実験に用いたシリサイドブロック構造を図4-3に示した。1つはフルシリサイドである。シリサイドブロックの方法は次の3種類である。それらは、ドレインコンタクトとトップのゲートの上にシリサイド化される領域が残っているもの (TYPE1)、トップのゲートまでをシリサイドブロックしたもの (TYPE2)、ソースまで全体的にシリサイドブロックしたもの (TYPE3) である。なお、TYPE1は、ゲート上がシリサイド化されるので、通常使用時にAC特性が悪くなることなく、ドライバー回路として使うことができる。

#### 4-2-1. HBM と MM の測定結果

HBM と MM のそれぞれの ESD 測定結果を表 4-1 に示した。フルシリサイドは、非常に弱い結果になった。シリサイドブロック構造では、TYPE1 よりも TYPE2 や TYPE3 の方がやや強いが、HBM<2000 V、MM<200 V を満たすことができなかった。

#### 4-2-2. TLP 測定結果

図 4-4 は、フルシリサイドとシリサイドブロック TYPE1 の場合の TLP 結果である。フルシリサイドは、スナップバックすることなく破壊している。TYPE 1 は、Vhold 電圧が高く、また RON も大きいので、動作電圧域が非常に高い。

#### 4-2-3. 物理解析結果

図 4-5 は、シリサイドブロックが TYPE1 の場合の HBM=300 V で不良に至ったサンプルの物理解析結果である。不良は、トップ側のゲートの脇に多数発見された。カスケード接続された場合、ESD 保護回路の寄生バイポーラトランジスタの能力が低く、効率的に ESD サージを放電する前に、図 4-5 に示したようにドレイン側の LDD 部分で発熱し破壊に至ったと考えられる。

#### 4-2-4. ESD 改善実験結果

前項までの結果から、シリサイドブロックのみでは十分な ESD 耐量が得られないことが分かった。ESD 耐圧が向上するためには、Vhold を下げて、RON を小さくする必要があるが、カスケード接続された NMOS は、Vhold が非常に高い。つまり、 $V_{hold} \approx V_{t1}$  となるので、Vhold を下げることは  $V_{t1}$  を下げることと同意と考えてよい。よって、 $V_{t1}$  を下げるために、PN ジャンクションの接続勾配を急峻にすることが必要である。

#### 第4章 ボロンの追加注入による ESD 改善

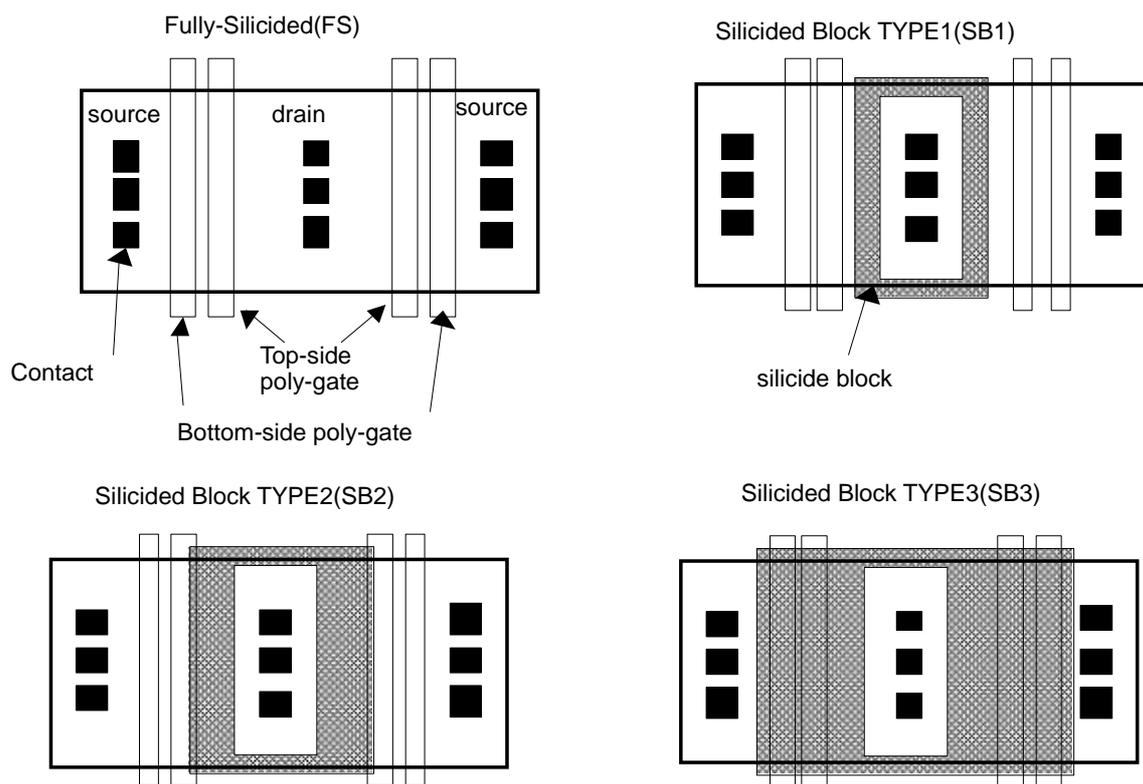


図 4-3. シリサイドブロック レイアウト振り実験

表 4-1. シリサイドブロック レイアウト振り ESD 測定結果

### ESD Results of HBM & MM (NO B+ II)

	HBM	MM
Fully Silicided	100V~ 600V	20V~ 40V
Silicided Block TYPE1	300V~ 1400V	80V~ 120V
Silicided Block TYPE2	1000V~ 1800V	100V~ 160V
Silicided Block TYPE3	1200V~ 1800V	100V~ 160V

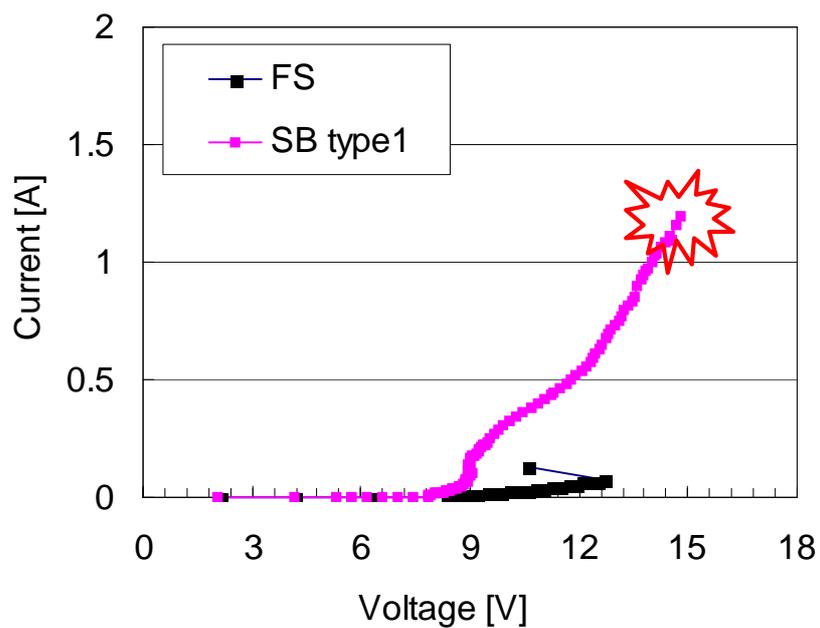


図 4-4. TLP 測定結果 (フルシリサイド、シリサイドブロックタイプ 1)

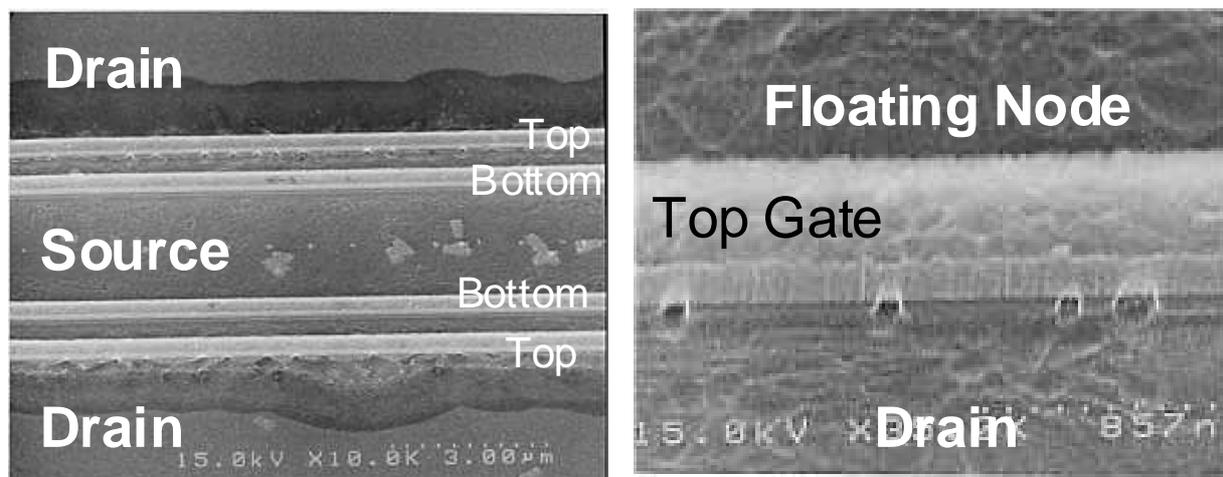


図 4-5. HBM (300 V 不良) の物理解析結果

### 4-3. TCAD Simulation

プロセスシミュレータ「T-SUPREM4」、及びデバイスシミュレータ「MEDICI」を用いて、HBM: 3000 V 時のシミュレーションを実施し I-V 特性を取得した。図 4-6 にその結果を示した。黒いラインは、シリサイドブロックの TYPE1 でありリファレンスである。赤いラインは NMOS の LDD の注入エネルギー量を 2 倍にしたものである。RON は若干ではあるが急峻になった。また、青いラインは、LDD のドーズ量を 1 桁上昇(10 倍)させたものである。Vhold(Vt1)が下がり、RON も急峻になった。ただし、信頼性評価を本構造のトランジスタで実施する必要があり、工数と時間が掛かかるため、コストの面から避けたい対策であり、また、トレードオフの関係にある HCI が合格するも不明である。

緑のラインとピンクのラインは、図 4-7 の TYPE-A, 及び TYPE-B の領域に、ボロンを追加でイオン注入したものである。特に緑のラインの TYPE-A は、ボロンのイオン注入領域が、トランジスタ領域に重なっていないため、ボロンを追加で注入したトランジスタでの信頼性評価が不要である。ゆえに、このイオン注入方法は、工数の削減の効果が大きい。更に、シリサイドブロック領域にも重ならないように、イオン注入するため、シリサイドブロック抵抗も上昇せず、AC 特性を損なわない。また、製品になってから、ESD 耐圧が不足していることが分かった場合の対策期間が非常に短いことを、利点として挙げることもできる。

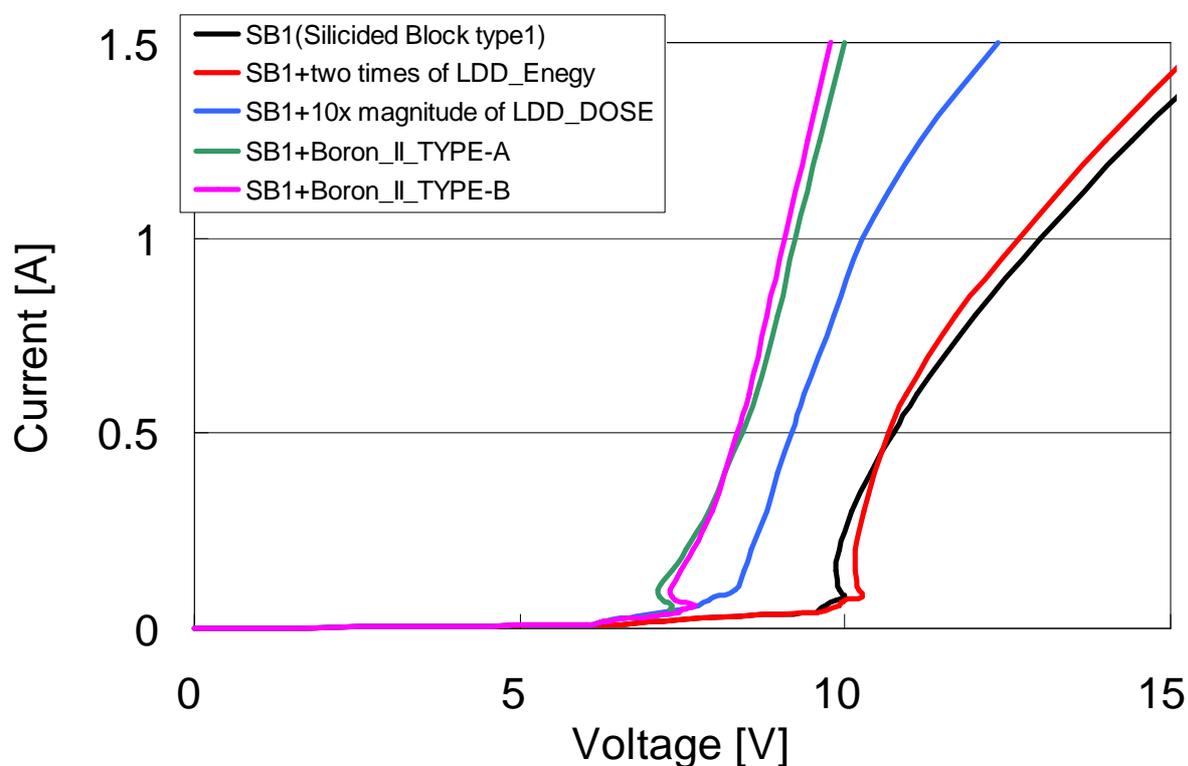


図 4-6. TCAD Simulation 結果(HBM: 3000 V)

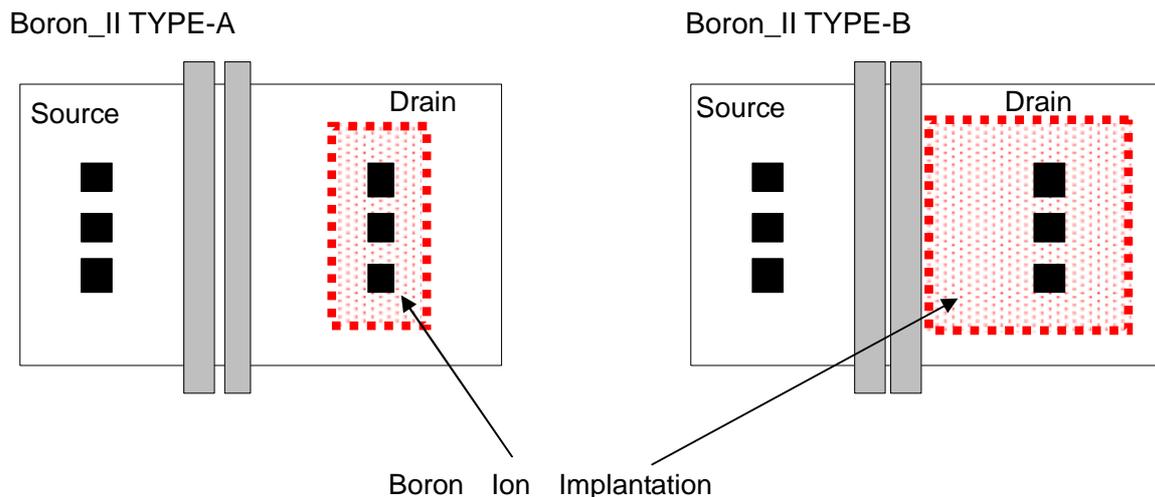


図 4-7. ボロン(B+)追加注入領域

#### 4-4. ボロン(B+)の追加注入実験

ボロン(B+)の追加注入をTYPE-Aのレイアウトにして実施した。エネルギー量は、60 KeVと80 KeVの2種類を、DOSE量は、13乗のオーダーで何種類か条件振りし、ESD耐圧とTLP特性を測定した。そのときのESD結果を表4-2に示した。同表には、別途用意したモニターでのBVSDモニター(PNジャンクションのブレイクダウン開始電圧: 0.1  $\mu\text{A}$ )を併記した。シリサイドブロックがTYPE2とTYPE3では、ボロンの追加注入を実施することで、HBMは3000 V以上、MMは300 V以上の十分なESD耐量を得ることができた。TYPE1も、BVSDが高くなければ十分なESDが得られた。

図4-8は、ボロンをイオン注入した場合のTLP特性(I-Vカーブ)である。緑色のラインが60 KeV,  $3 \times 10^{13}$ である。青色のラインが80 KeV,  $3 \times 10^{13}$ である。 $V_{\text{hold}}$ 及び $V_{t1}$ が小さくなり、RONも急峻になっており、ESDが強くなったことと相関がとれている。5 VトレラントIOセルの $V_{\text{in\_MAX}}$ は6 Vであり、量産マージンとTYPE1のシリサイドブロック構造が実用的であることを考えると、 $BVSD < V_{\text{hold}} < V_{t1}$ が7 V程度が狙い値として適正である。

## 第 4 章 ボロンの追加注入による ESD 改善

表 4-2. ボロン追加注入実験の ESD 測定結果

### ESD Results of MM

Boron_II Energy[KeV]	NO	60		80		
Boron_II Dose[cm <sup>2</sup> ]	No	3.0E+13	5.0E+13	1.0E+13	3.0E+13	5.0E+13
Fully Silicided	20V~40V	20V~60V	20V~60V	20V~40V	20V~40V	20V~60V
Silicided Block TYPE1	80V~120V	>300V	>300V	60V~120V	>300V	>300V
Silicided Block TYPE2	100V~160V	>300V	>300V	>300V	>300V	>300V
Silicided Block TYPE3	100V~160V	>300V	>300V	>300V	>300V	>300V

### ESD Results of HBM

Boron_II Energy[KeV]	NO	60		80		
Boron_II Dose[cm <sup>2</sup> ]	No	3.0E+13	5.0E+13	1.0E+13	3.0E+13	5.0E+13
Fully Silicided	100V~600V	400V~1000V	400V~1400V	200V~800V	200V~1300V	300V~1200V
Silicided Block TYPE1	300V~1400V	>3000V	>3000V	300V~1200V	800V~2500V	>3000V
Silicided Block TYPE2	1000V~1800V	>3000V	>3000V	>3000V	>3000V	>3000V
Silicided Block TYPE3	1200V~1800V	>3000V	>3000V	>3000V	>3000V	>3000V
BVSD Monitor[V]@0.1uA	9.7	7.2	6.5	9.5	7.7	7.0

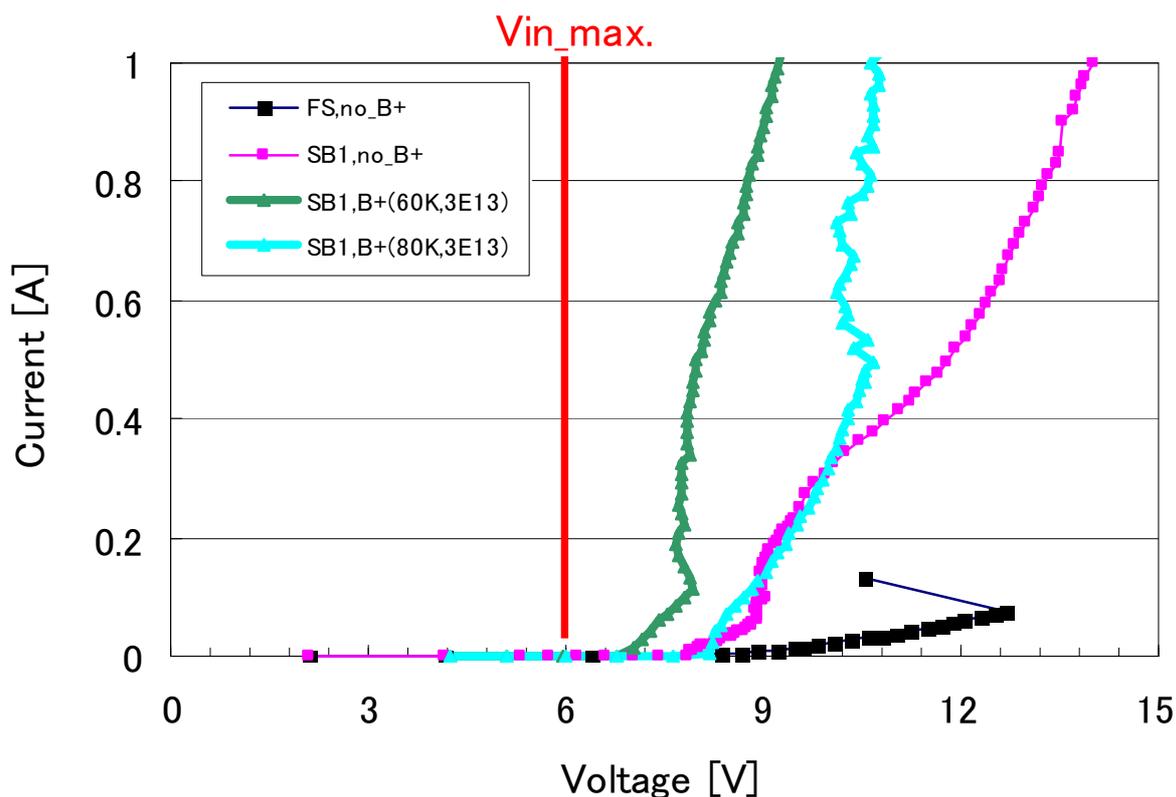


図 4-8. ボロンの追加注入をおこなった場合の TLP 特性

#### 4-5. 製品への適用

図 4-9 は、ボロン追加注入を行った場合の断面の概略図であり、N+ドレイン領域下に逆通電型の拡散領域を形成することによって、ドレイン領域下に急峻な PN 接合が形成され、ESD が印加されても容易にアバランシェ降伏が生じる構造である。その結果、ESD サージの放電経路が多岐になり、PN 接合面への熱の集中が緩和され、ESD サージの集中による熱破壊が回避されたと考えられる。更に  $V_{hold}(V_{t1})$  は小さくなり  $R_{ON}$  も急峻になった。

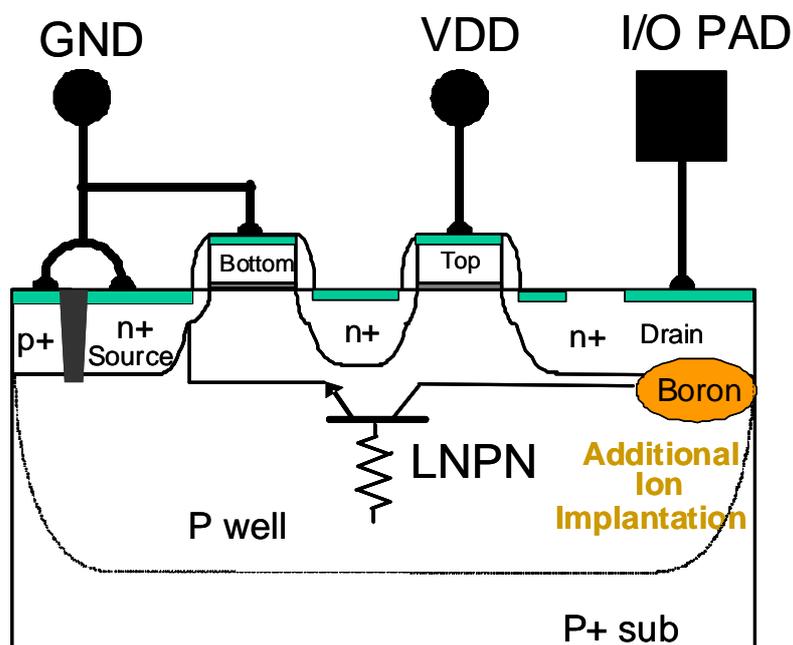


図 4-9. ボロンの追加注入を行った場合の断面図

図 4-10 にボロンのイオン注入方法を示した。どちらの方法も、ESD 耐圧は向上するが、図 4-10 の上図の様に、シリサイドブロック下にボロンが入らないように位置合わせしイオン注入することにより、シリサイドブロック抵抗が上昇せず、AC 特性が厳しいマクロにも適用することができる。

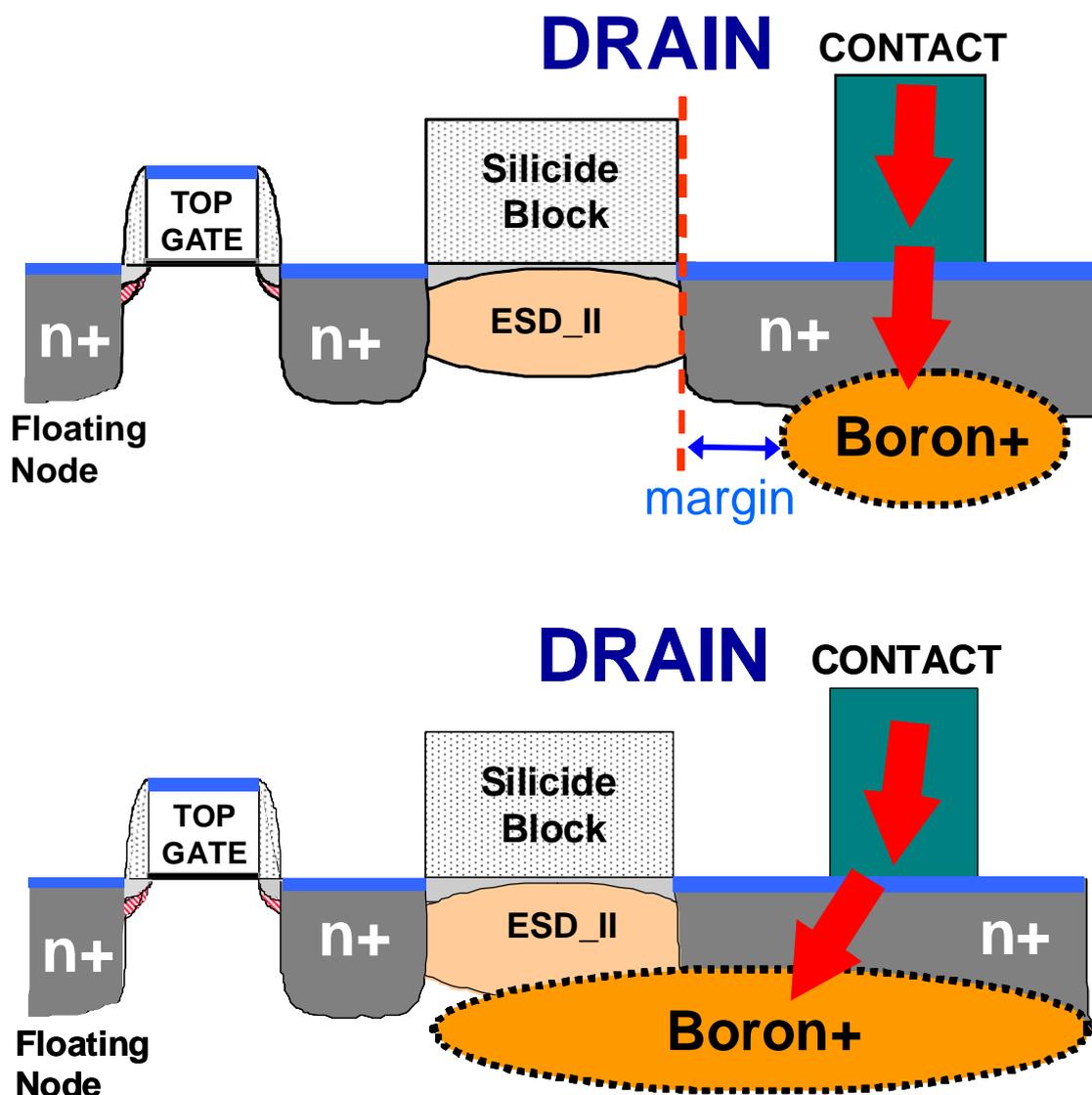


図 4-10. シリサイドブロック下にボロンの追加注入しない方法（上図）とシリサイドブロック下にボロンの追加注入をする方法（下図）

#### 第4章 ボロンの追加注入による ESD 改善

シリサイドブロック抵抗を変化させないことによる利点は、図 4-11 に示した様に、USB2.0 のような小振幅 IO セルにおいても、EYE パターンなどの AC 特性を変化させることなく適用が可能なことである。図 4-11 の上図は、図 4-10 の上図の方法でボロンのイオン注入を実施した場合の USB. 2.0 の出力波形の EYE パターン ( $\pm 0.4$  V, 480 Mbps) [53] であり、規格を満足していることが分かる。一方、図 4-11 の下図は、図 4-10 の下図の方法でボロンのイオン注入を実施した場合の USB. 2.0 の出力波形の EYE パターンである。規格ぎりぎりまで AC 特性が悪化していることが分かる。

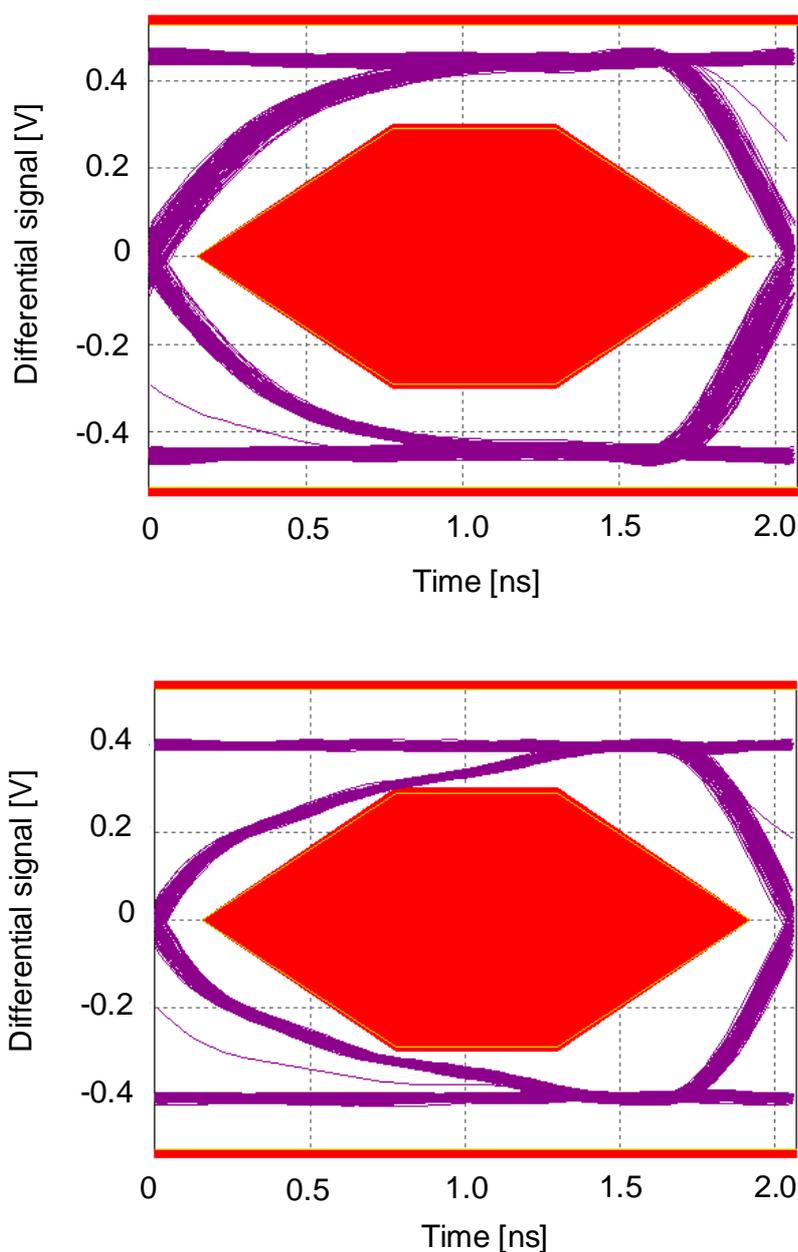


図 4-11. ボロン注入を実施した場合の USB. 2.0 マクロの EYE パターン

#### 第4章 ボロンの追加注入による ESD 改善

図 4-12 は、0.25  $\mu\text{m}$  世代、0.18  $\mu\text{m}$  世代、及び 130 nm 世代の 3 世代に渡って、ボロンを追加注入した場合の、ボロンの DOSE 量と BVSD の関係を示した図である。適切な BVSD を 7 V とした場合、 $2 \times 10^{13} \sim 5 \times 10^{13}$  にボロンの DOSE 量の最適値が存在し、どのテクノロジーの世代でも使える技術であることが分かった。

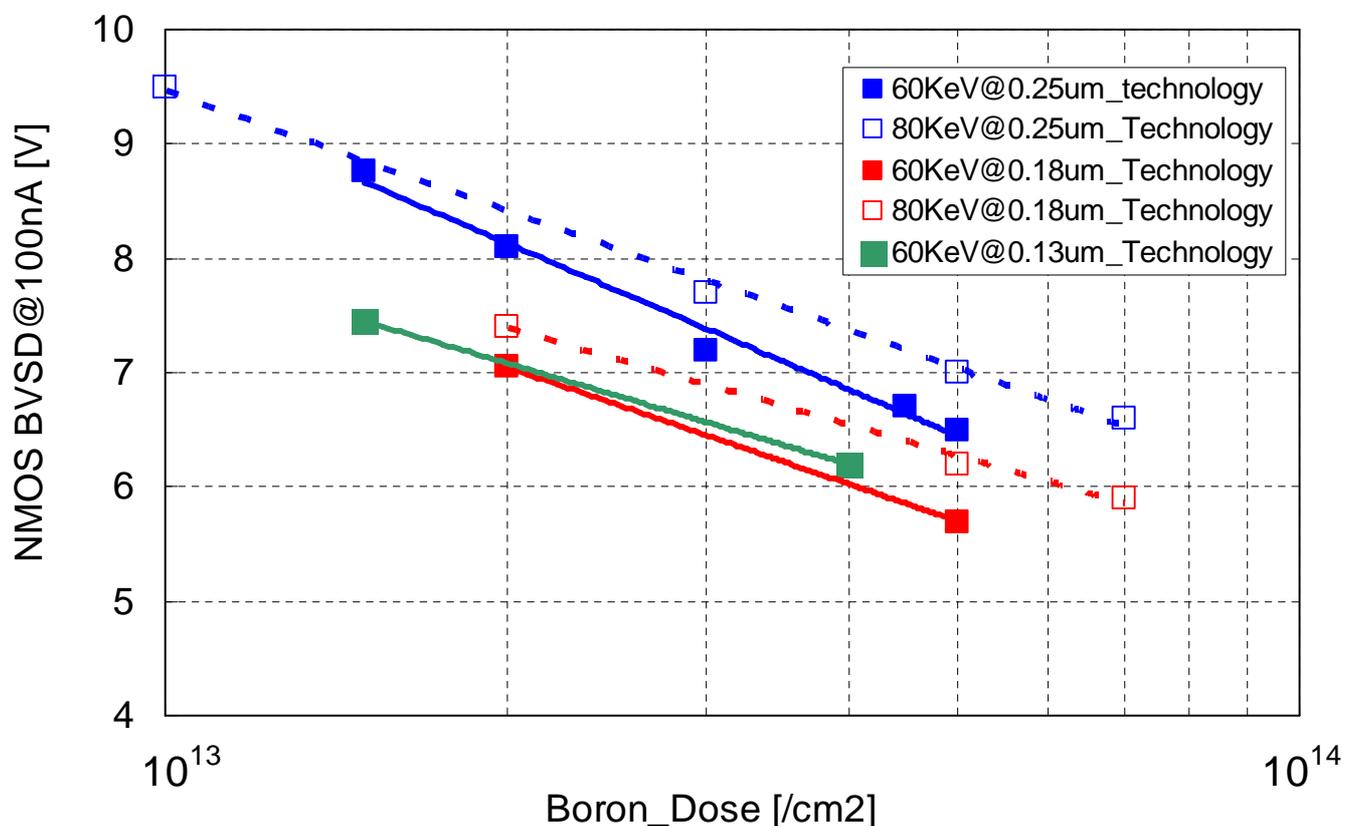


図 4-12. テクノロジーノード 3 世代におけるボロンの DOSE 量と BVSD の関係

### 4-6. まとめ

5V トレラントなどのオーバー・ボルテージ・トレラント IO セルのカスケード接続された NMOS の ESD 保護回路の ESD 耐圧の向上を試みた。そして、トランジスタ領域から離れた部分(ドレインコンタクト下)にボロンを追加注入する手法を考案した。この手法にて、 $V_{hold}(V_{t1})$  を小さくすることができ、RON が急峻になることにより ESD 耐圧が改善し、HBM: 3000 V 以上、MM: 300 V 以上を得ることができた。

この手法は、トランジスタ特性に影響を与えないので、ボロンを追加でイオン注入する際、信頼性評価を実施する必要がなく、量産中の品種の ESD 耐圧向上に適している。また、シリサイドブロック下にボロンを注入しないように位置あわせすることによって、USB. 2.0 などの小振幅 IO セルの AC 特性を変化させることなく適用することができる利点もある。

更に、0.25  $\mu\text{m}$ , 0.18  $\mu\text{m}$ , 及び 130 nm の 3 世代に渡って適用が可能であることが確認できた。つまり、この技術は、テクノロジー世代を限定することなく使える技術である。

本技術は、0.18  $\mu\text{m}$  の全品種に適用中である。

# 第5章 カスケード接続回路の ゲートバイアス最適化

---

### 5-1. はじめに

半導体はあらゆる電子機器に搭載され、多種多様なインターフェイスへ対応した特殊用途向けのIOセルの需要が年々高まっている。そのため、コンポーネントレベル試験用のESD保護回路は、それぞれの用途に合ったものを用意する必要がある。例えば、カスケード接続したNMOS ドライバー[54-63]（以後、カスケードNMOS と呼ぶ。）は、そのうちの一つであり、バッテリー駆動するアプリケーションで使用した場合を考慮し消費電力を抑えるために用いられる場合がある。

本章では、そのようなアプリケーションとして水晶発振IOセルのESD保護について検討した。しかしながら、前章で述べたように、カスケードNMOSをESD保護回路として使うには脆弱である。そのため、カスケードNMOSを被保護回路として使いESD設計を行った。その場合に重要なことは、ESD保護回路の放電特性と、被保護回路のカスケードNMOSの破壊耐圧の両方を勘案しESD設計を行うことである。既に、カスケードNMOSの破壊耐圧を向上させるためのレイアウトテクニックがMillerら[54]により報告されている。しかしながら、同報告は、カスケードNMOSの下側のゲート電圧が常にVSSレベルになる状態でデータ取得されており、十分な調査でなかったことが今回の研究で明らかになった。

本章では、カスケードNMOSの破壊耐圧向上のために最も重要なことは何かを調べるため、ESD測定、TLP特性取得、破壊箇所の物理解析をTest Element Group (TEG)を用いて行った。そして、H-Spiceシミュレーションを駆使し、一般的なアップレベル・シフトに一つのNMOSをつなげ、劇的にESD耐圧が改善する方法を考案した。また、ESD印加時のカスケードNMOSの振る舞いをTCADシミュレーションにて解析し、カスケードNMOSのアクティブエリアを分離したレイアウトが、破壊耐圧向上に有効であることをTCADにて証明した。更に、この方法が何のトレードオフも生じないことを水晶発振IOセルを例として示した。

### 5-2. ESDデザイン手法

#### 5-2-1. 電源クランプ

電源クランプ回路は、図5-1(左図)の GG-NMOS [64, 66]と、右図のTimed MOS-FET [65, 66]がよく使われる。GG-NMOSでは、LNPNとPWell-Nsdダイオードの寄生的な回路がESD保護回路になる。また、Timed MOS-FETでは、Big-NMOS と寄生PWell-NsdダイオードがESD保護回路として動作し、LNPNはESD保護回路として期待できない。両者に必要なトランジスタ幅を比較すると、GG-NMOSは、LNPNがESD保護回路となるために、数百  $\mu\text{m}$ のNMOSが必要になるのに対し、Timed MOS-FETはMOSFETのオン電流で放電するために、数千  $\mu\text{m}$ のNMOSが必要になる。水晶発振IOセルでは、ノイズの伝播による誤動作を防ぐために電源分離が行われる場合が多く、その場合は、数IOセルの小さな領域になる。Timed MOS-FETはGG-NMOS と比べて低い電圧でESDサージを放電できるため、ESD保護の視点からは利点を見出せるが、今回は、電力消費を抑えることを優先し GG-NMOS (width/Length=600

$\mu\text{m}/0.35\ \mu\text{m}$ , シリサイドブロック構造)を用いた。なお、使用テクノロジーノードは CMOS 90 nm であり、3.3 V 向けのゲート酸化膜が厚いトランジスタを用いた。

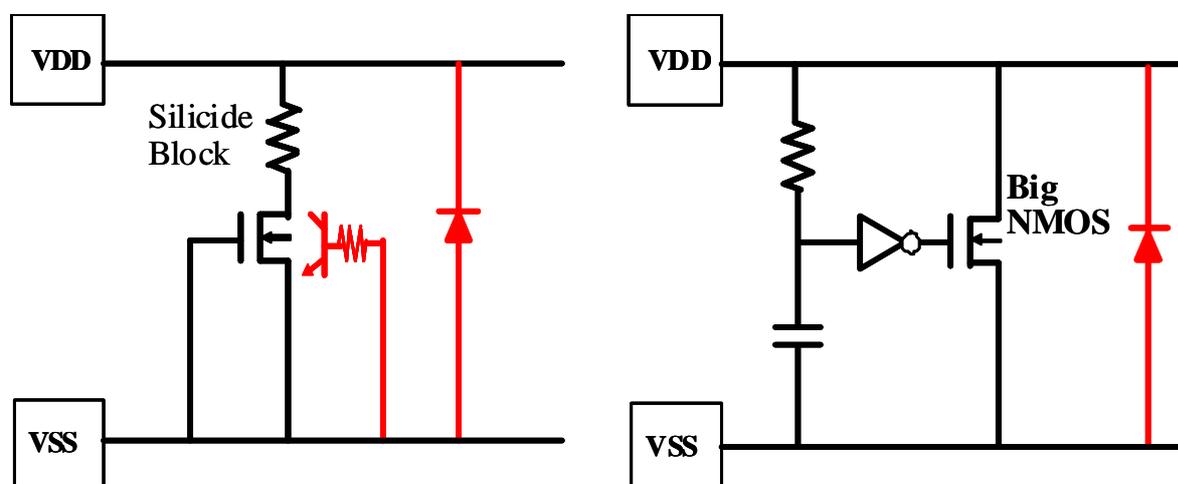


図5-1. 電源クランプの回路図(GG-NMOS(左図)とTimed MOS-FET(右図))

### 5-2-2. 水晶発振I/Oセル

図5-2に、水晶発振I/Oセルの回路図とレイアウトの概要図を示した。停止時には、stop\_signalにより電源消費を抑えることができる。カスケードNMOSは、width/Length=60  $\mu\text{m}/0.35\ \mu\text{m}$  のフルシリサイド構造を適用した[54]。ESD保護回路は、被保護回路であるカスケードNMOSを確実に保護するために、シングル構造のNMOS (width/Length = 400  $\mu\text{m}/0.35\ \mu\text{m}$ 、シリサイドブロック構造)を使い設計した。

図5-3に、図5-2に示した水晶発振I/Oセルの実際の使用例を示した。帰還抵抗は内部素子であるが、水晶発振子と容量は外部部品である。ストップ機能を有し、かつ水晶発振を正常に動作させるためには、今回の回路が必要である。ストップ機能を有しない水晶発振I/Oセルの場合(図5-3の中央の図)水晶発振はする。ただし、カスケード接続回路をPADに直接つなげない場合(図5-3の右図)は、被保護回路の耐圧に注意を払う必要はなくなるが、多段接続となるため水晶発振しない。

カスケードNMOSのレイアウトは、図5-4に示した様に、上側と下側のNMOSの拡散領域を別々の領域にレイアウトし、それぞれのアクティブエリアの間にもガードリングを配置した[54]。また、レイアウト面積縮小のためシリサイドブロックは使っていない。

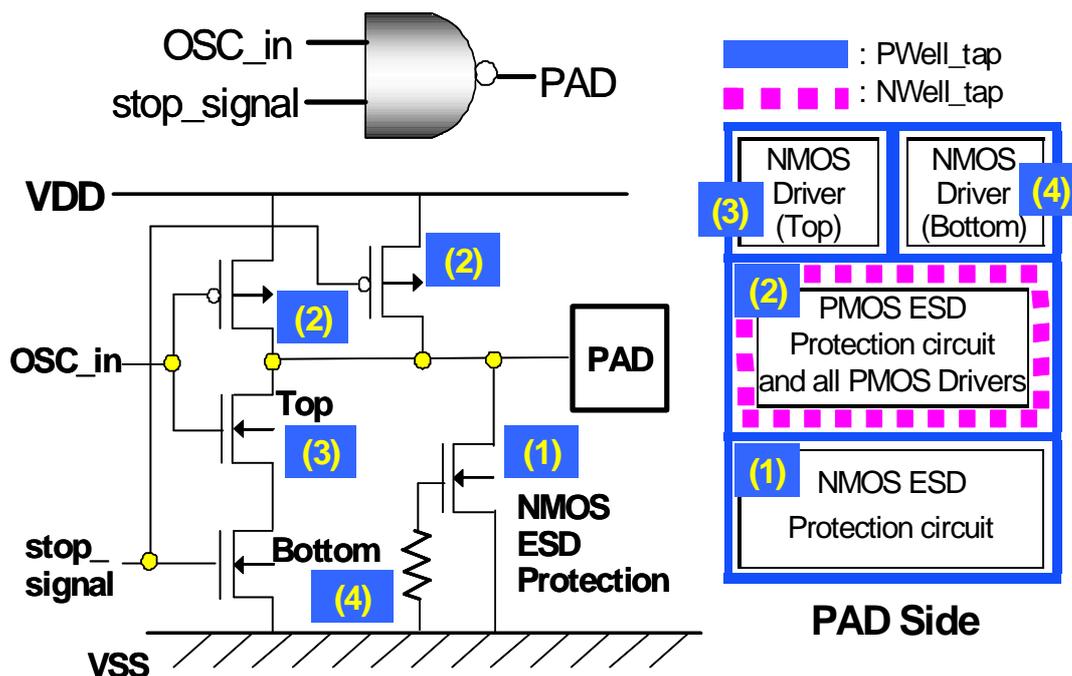


図5-2. 水晶発振I/Oセルの回路図(左図)とレイアウトの概要図(右図)

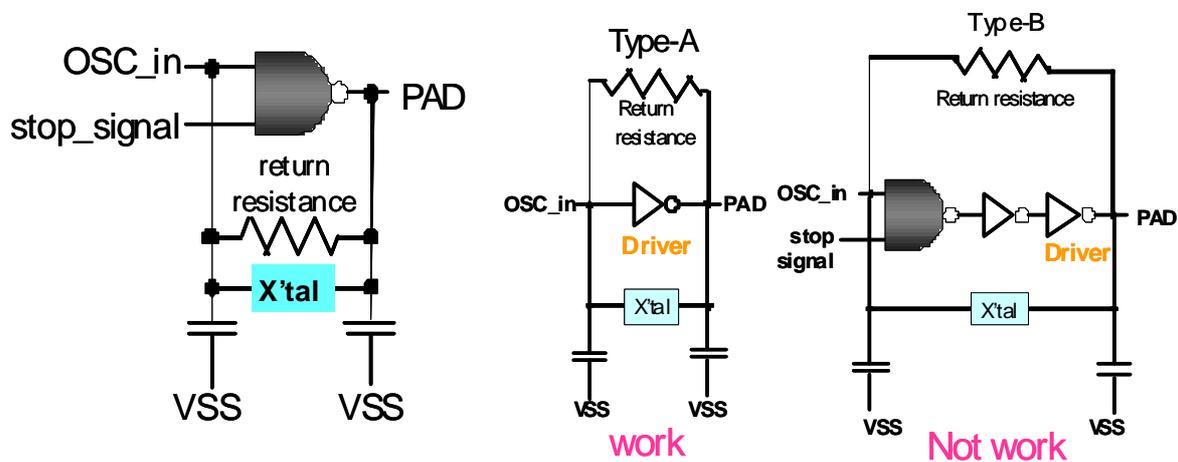


図5-3. 水晶発振I/Oセルの使用例(左図)とストップ機能を有しない水晶発振I/Oセル例(中央図), 及び 多段接続となり発振しない例(右図)

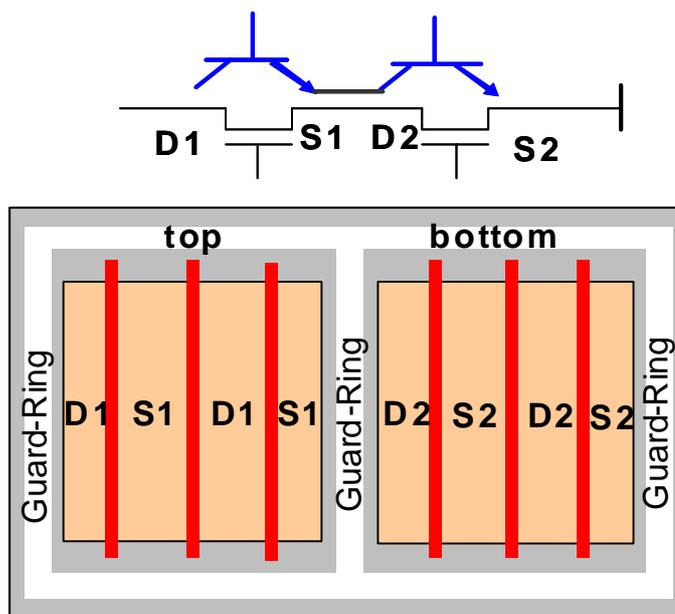


図 5-4. カスケード NMOS ドライバーのレイアウト例

### 5-3. 実験結果

#### 5-3-1. ESD 測定結果

ESD印加装置 (HANWA製HED-S5256A) を用いて、VSSを基準として信号端子に正の極性の ESD サージを印加し、HBMとMMを測定した。ESD印加後、LSIテスターで試験しFailした場合を破壊とみなし、ひとつ前のPassした印加電圧をESD耐圧とした。その結果を表5-1に示した。表5-1から分かるように、ESD耐圧は、HBM 及びMMともに大きくばらつく結果が得られた。この原因を5-3-3項で解明した。また、TLPテスター (Barth社製 Model-4002) を用いて、シングル構造のNMOSのESD保護回路にてI-V特性を取得し、図5-5に示した。TLPの印加波形のパルス幅は100 ns、立ち上がり時間は10 nsである。また、破壊した時点で測定をストップしたため、I-Vカーブの先端が破壊したポイントになる。9.2 VでLNPNがオン ( $V_{t1}$ ) し、約3.3 A ( $I_{t2}$ ) を流した時点で、9 V付近で破壊することが確認できた。この結果は、当初の設計通りであった。

表 5-1. ESD 測定結果

HBM	MM
From 250 V to 2750 V	From 160 V to >400 V

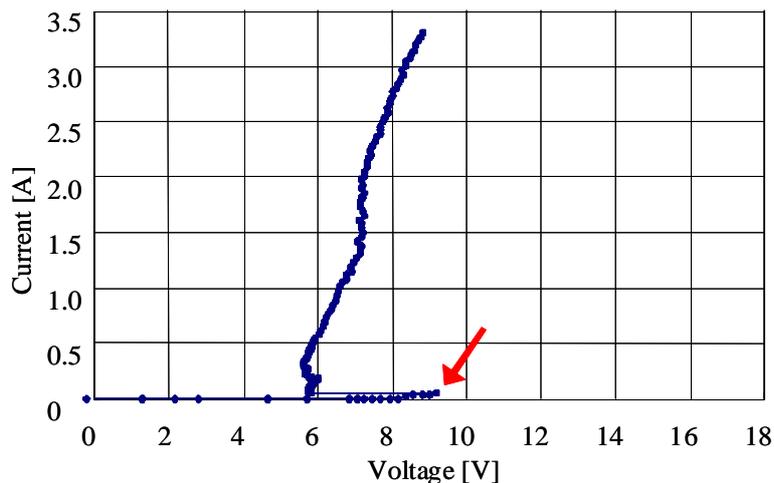


図 5-5. シングル構造した NMOS\_ESD 保護回路の TLP 特性

### 5-3-2. 物理解析結果

HBM試験時に250 V の印加で破壊したサンプルを用いて物理解析をおこなった。コンタクトまで表面剥離した後にScanning Electron Microscope (SEM)で観測したところ、図 5-6に示した様に、上側のNMOS ドライバーのアクティブエリアのほぼ中央部で、ドレインソース間のショート(メルトフィラメント)[67]が発生していることを確認した。

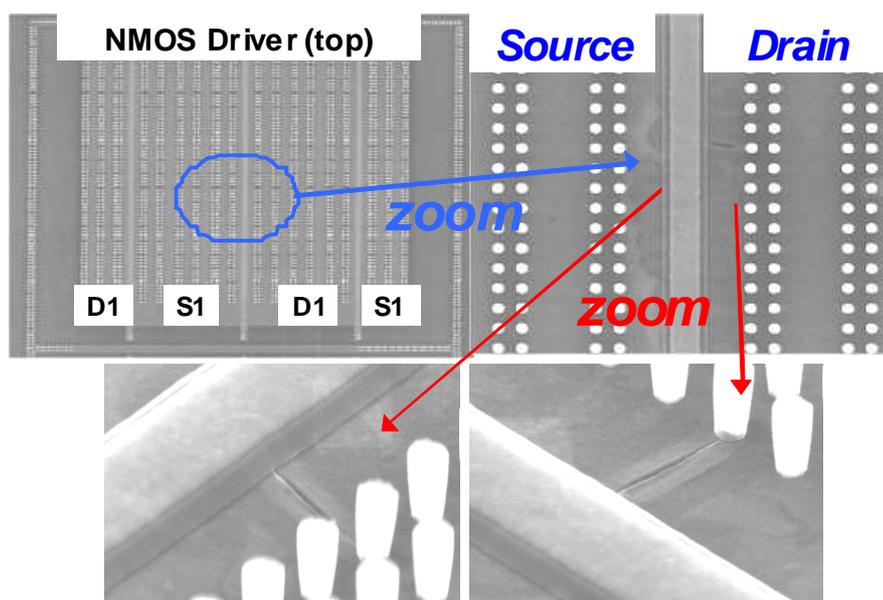


図 5-6. 物理解析による、破壊箇所の表面SEM観測結果

## 5-3-3. カスケード回路のゲート電圧依存性調査

TEG を用いて、カスケードNMOS (Width/Length = 60  $\mu\text{m}$ /0.35  $\mu\text{m}$ ) の上側 及び下側のゲート電圧を変化させI-V 特性を調査した。その測定回路を図5-7 に示した。また、図5-7 に示した回路のゲート電圧を表5-2に示した。NO. 1~NO. 4 の回路のTLP測定結果、及び、比較のために信号部のカスケードNMOS (Width/Length = 60  $\mu\text{m}$ /0.35  $\mu\text{m}$ ) のTLP測定もTEG を作成して実施し図5-8 に示した。破壊した後、直ちに測定を停止しているため、測定データの最終値が破壊ポイントである。

NO. 4 の場合、両方のゲートがPad 接続なので両方のNMOSがオンする回路である。そのため、電流は約2 V の低い電圧から流れ始め、その電流が基板へ流れ込むことにより、ドレイン近傍のpn 接合近傍でのインパクトイオンの発生率が高くなり、基板へ注入されるhole の量が多くなり、LNPN がオンしやすくなったと考えられる。その結果、破壊電圧は約8V と低くなった。

逆にNO. 1 の場合、両方のゲートがVSS 接続なので、両方のNMOS がオフする回路である。そのため、流れる電流が少ないためLNPN はオンし難く、破壊電圧は約16 V と高くなった。

またNO. 3 では、上側のゲートをPad に接続しても下側のゲートをVSS に接続すれば、同じく破壊電圧が約16 V になる結果が得られた。つまり、カスケードNMOS の破壊電圧を上昇させるためには、下側のゲート電圧をVSS レベルにすることが重要であることが確認できた。

最後にNO. 2 であるが、上側のゲートがVSS 接続、下側のゲートがPad 接続なので、片方がオフする点においてはNO. 3 と同じであるものの、破壊電圧は8 V 程度と低くなった。これらの理由を5-5節にて掘り下げて考察する。

ところで、カスケードNMOS のI-V カーブをNO. 1~4 と比較してみると、NO. 2 とNO. 4 の間の波形カーブを描くことが分かった。従って、上側と下側の両ゲート共に電位が確定せず中間電位となり、約9 V 程度で破壊に至ったと考えることができる。

以上から、カスケードNMOS が破壊に至る電圧:約9 V と、図5-4 に示した信号ESD 保護回路がオンする電圧(9.2 V)が非常に接近しており、両者間のマージンを十分に取った設計ができていなかったことが分かった。つまり、カスケードNMOS が破壊する前に、信号ESD 保護回路がオンするor オンしないによって、大きくESD 耐圧が変わることを推測できる測定結果を得た。これが表5-1に示したESD 測定値が大きくばらつく原因であった。

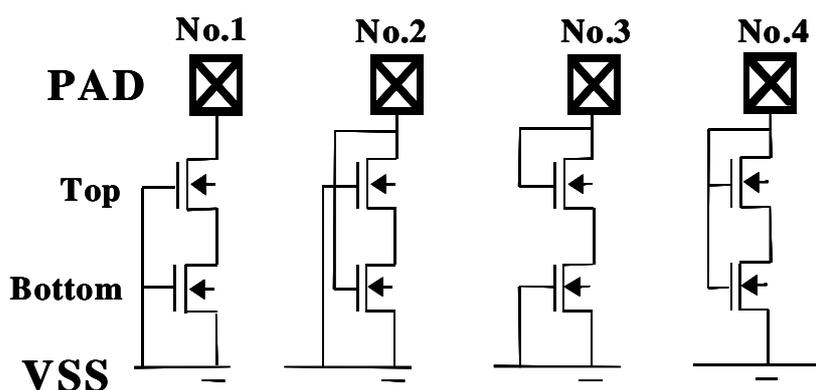


図5-7. ゲートバイアス依存を調査したTEGの回路図

表 5-2. 図 5-7 に示した回路のゲート電圧

Cascoded NMOS	Voltage of gate			
	No.1	No.2	No.3	No.4
Top	VSS	VSS	PAD	PAD
Bottom	VSS	PAD	VSS	PAD

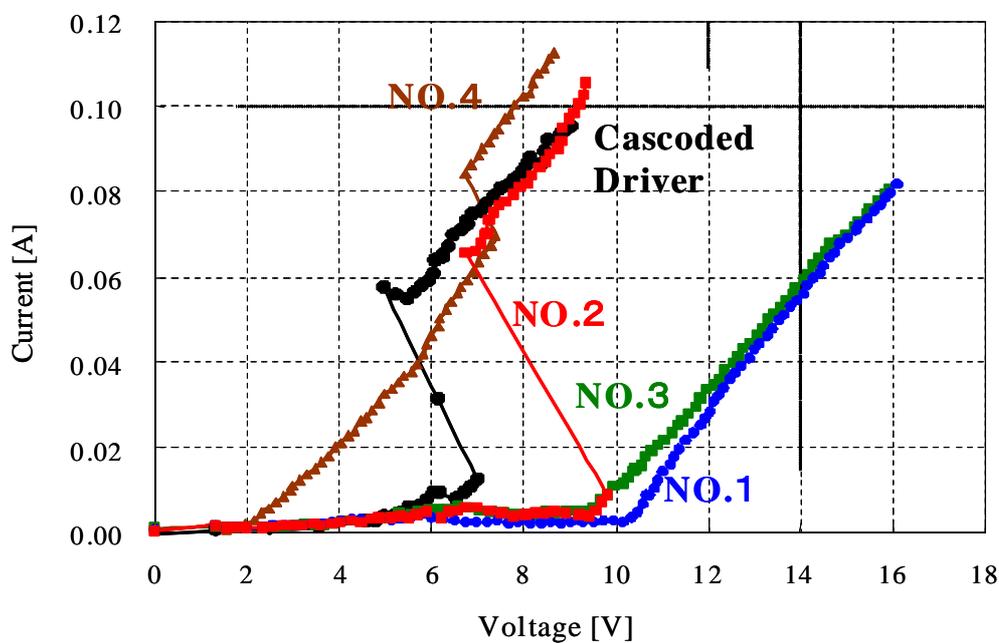


図5-8. 図5-7に示した回路のTLP測定結果

## 5-4. 回路による解決策の検討

### 5-4-1. NMOSゲート容量による検討

ESD試験時に、カスケード接続したNMOSの下側のゲートノードをVSSレベルにするため、同ゲートノードとVSSの間にNMOSゲート容量を挿入することを検討した。その回路図を図5-9に示した。また、5-4-2項で検討した一般的なレベルアップ・シフタ回路にNMOSを追加した解決策の回路も図5-9に示した。

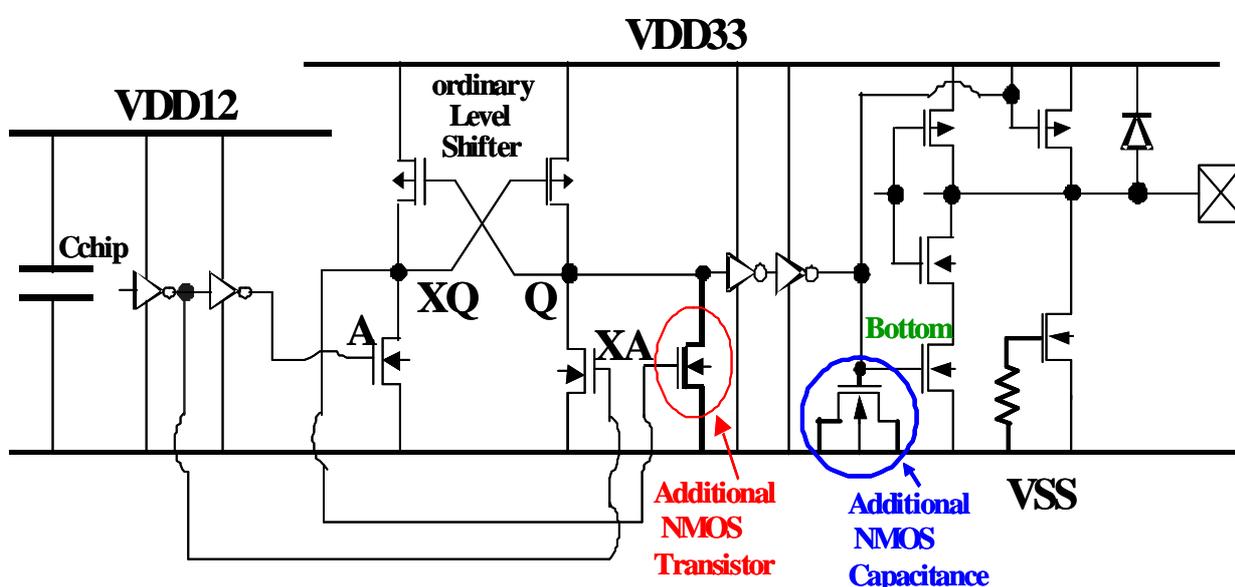


図5-9. NMOS容量付加, 及びレベルアップ・シフタ回路にNMOSを追加した解決策

10pF, 100pF, 1nF, 10nFのそれぞれの容量を付加し、それぞれの値で、カスケード接続した下側のNMOSのゲートノードの電圧がどのような値になるかを、HBM=2000 Vを印加した場合のH-Spiceシミュレーションを実施し調査した。その結果を図5-10に示した。図からわかる様に、100 pFの容量を付加しても、同ノードをVSSレベルに固定することはできない結果を得た。100 pFの容量に必要なNMOSの面積は、10000  $\mu\text{m}^2$ 以上であり、水晶発振I/Oセルよりも大きな面積が必要となり、解決策として不適切であった。

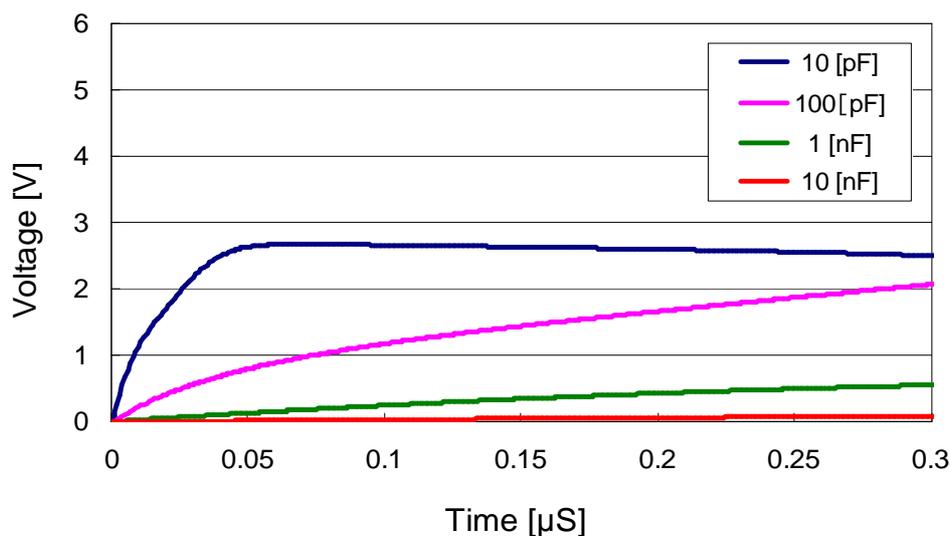


図5-10. NMOSゲート容量を付加した場合のH-spiceシミュレーション結果

#### 5-4-2. レベルアップ・シフト回路に追加したNMOSによる検討

ここまでに得た知見から、ESD耐圧を改善するために、ESD印加時は、回路を論理的に動作させて、カスケード接続した下側のNMOSのゲートノードにVSSレベルを供給することができれば対策となると考えられる。そのため、水晶発振IOセル内の一般的なレベルアップ・シフト回路(1.2 V→3.3 V)に、NMOS (Width/Length=2 μm/0.35 μm)を追加する方法をH-spiceシミュレーションで検討した(図5-9参照)。予想した動作は、次の通りである。通常、レベルシフト回路は、1.2 V(VDD12)系の信号をAノード、及びXAノードで受け、3.3 V系の信号に変換して出力段へ送る。外部端子にVSSを基準として正極性のESDサージを印加した場合、VDD12はフローティングとなり、VDD12とVSS間の主に寄生的な容量(Cchip)の影響によりVSSレベルとなる。そのため、Aノード、及びXAノードもVSSレベルとなる。外部端子の電圧が上昇すると、PMOSドライバーに付随したPsd-Nwellで構成される寄生ダイオードを経由してVDD33の電位も上昇する。更に、レベルシフト部のQ、及びXQノードの電位も同じく上昇する。レベルシフト部のQ、及びXQノードの電位は不安定な状態であったが、追加したNMOSにより、Qノードが“L”レベルに、XQが“H”レベルに確定し安定な状態になる。よって、ESD印加時に、Qノードが“L”レベルに固定されることから、同ノードをカスケードNMOSの下側のNMOSのゲートに接続する。予想どおり動作するかを、H-spiceシミュレーションした結果を、図5-11に示した。レベルアップ・シフトにNMOSを追加した場合は、Qノード、及びカスケード接続した下側のNMOSのゲートノード共に、予想どおりVSSレベルになることが分かった。以上から、レベルアップ・シフト回路にNMOSを追加することにより、ESD耐圧を改善できることが期待できる。

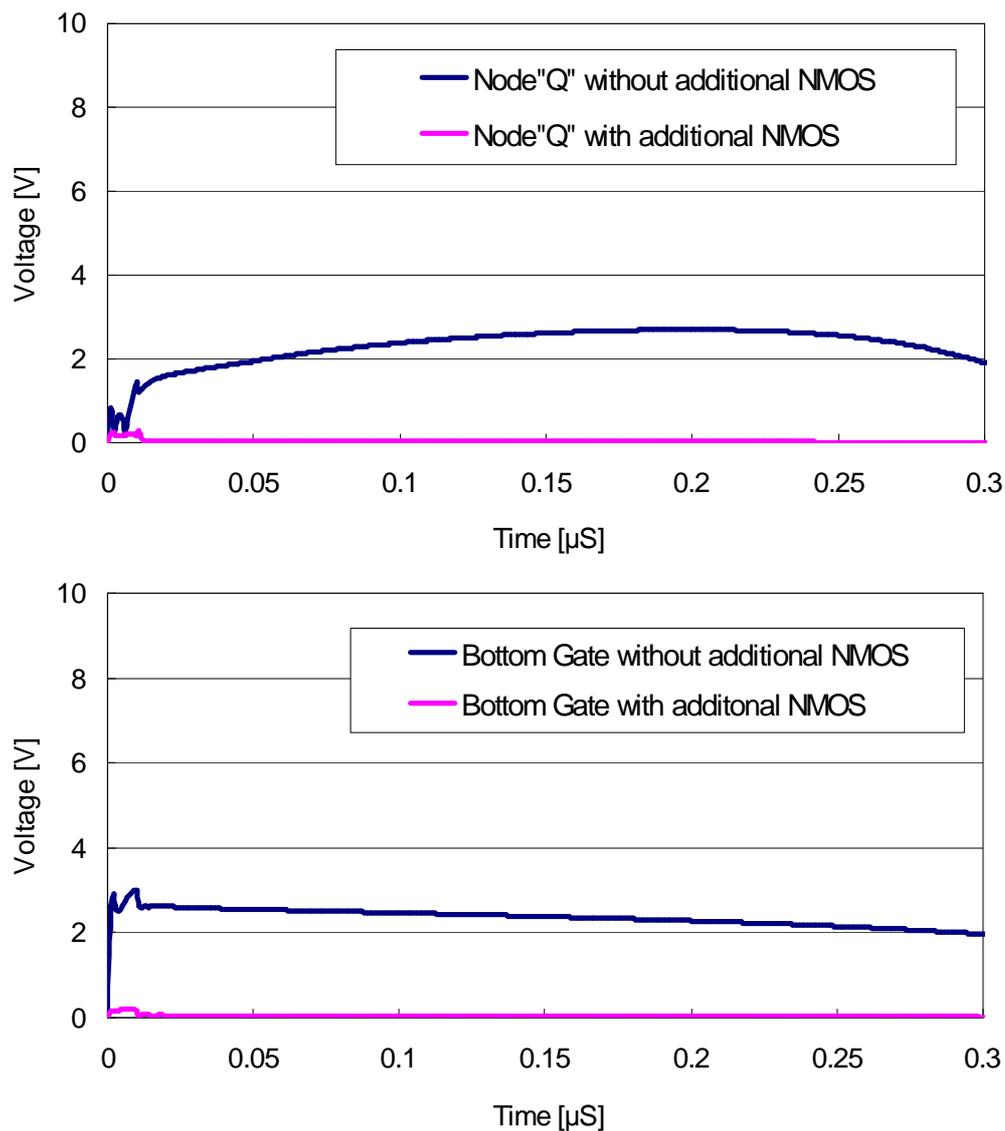


図 5-11. Q ノードと NMOS カスケード接続の下側のゲートノードの H-spice シミュレーション結果

### 5-4-3. 改善効果の確認

図5-12に、今回の対策を実施する前と後のTLP測定結果を示した。破壊電圧が約9 Vから約15 V以上に改善したことが確認できた。図5-5に示した様に、信号部のESD 保護回路の放電開始電圧は9.2 Vであり、カスケードNMOS が破壊する前にESD保護回路でESD サージを流し切るための十分なマージンが確保できたと言える。表5-3に、対策前後のHBMとMMのESD試験結果を示した。対策前は非常にばらつく結果であったが、対策後、ESD耐圧はコンスタントにHBM>4000 V、MM>400 V を満足するまで改善した。

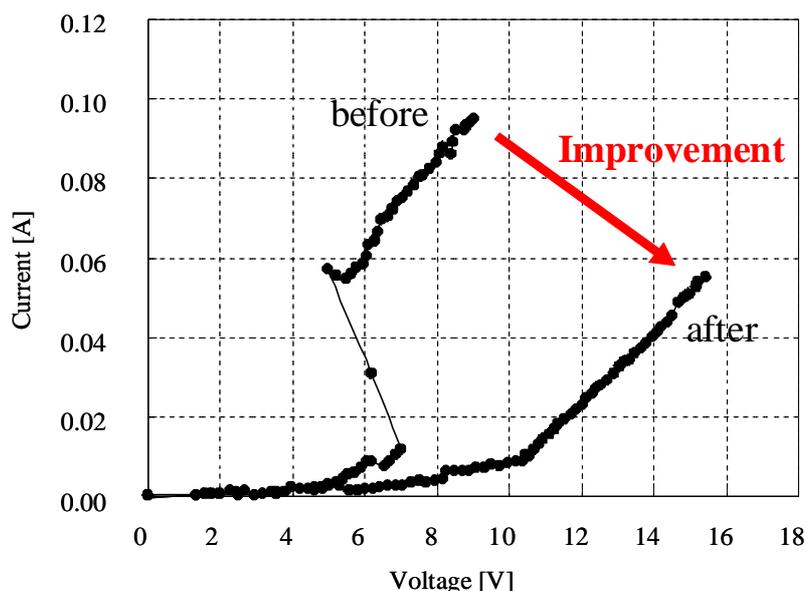


図 5-12. 破壊耐圧改善前後の TLP 測定結果

表 5-3. 対策前後の ESD 測定結果

	Before	After
HBM	From 250V to 2750V	>4000V
MM	From 160V to >400V	>400V

今回、アップレベル・シフトに追加したNMOSトランジスタは、トランジスタサイズが、Width/Length=2  $\mu\text{m}$ /0.35  $\mu\text{m}$  と非常に小さいため、水晶発振10セル内の隙間に入れ込むことが可能である。そのため、この解決策は面積ペナルティーを負わない。更に、追加したNMOSにより、通常使用時に内部回路の信号の伝播が数ns遅延することが考えられるが、水晶発振の場合前述の信号の遅延は水晶発振特性に影響を与えない。よって、何のトレードオフも無い対策であると言える。

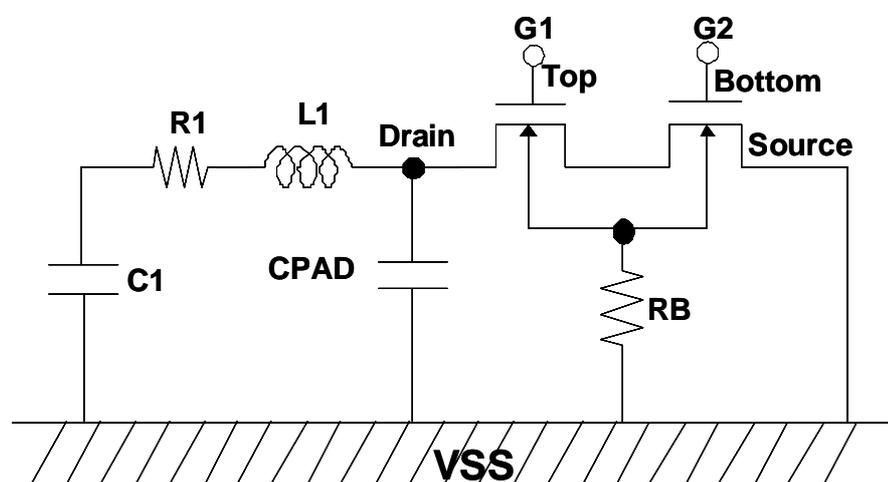
## 5-5. Technology CAD (TCAD) による考察

プロセスシミュレータ「T-SUPREM4」、及びデバイスシミュレータ「MEDICI」を使って、回路は図5-7に示したカスケードNMOS、レイアウトは図5-4に示した上側と下側のアクティブエリアを分離した場合を想定したものと、分離していない場合のシミュレーションを実施した。

### 5-5-1. シミュレーションモデルと等価回路

図5-13にシミュレーションに用いた等価回路図と各パラメータ値を示した。また、図5-14にシミュレーションに用いたデバイスの断面図を示した。実際のシミュレーションでは、収束性向上のために、アクティブエリアを分離せずに、一つのアクティブエリアに上側と下側のNMOSを配置した。そのため、アクティブエリアを分離した場合を想定して、上側と下側のNMOS間でLNPNがオンしない様に20  $\mu\text{m}$  離した。また、分離していない場合のシミュレーションは、上側と下側のNMOSを5  $\mu\text{m}$  離して実施した。

図5-15に示した様に、NO. 1とNO. 3の回路を用いてI-V特性を調査したところ、上側と下側のNMOSを5  $\mu\text{m}$  離した場合はスナップバックしたが、20  $\mu\text{m}$  離した場合はスナップバックしなかった。従って、実際にはアクティブエリアを分離していないが、上側と下側のNMOSを20  $\mu\text{m}$  離せば、分離した場合と同等の効果が得られることが確認できた。



#### HBM Model : Transient Simulation

C1 : 100pF, R1 : 1500ohm, L1 : 10  $\mu\text{H}$ ,  
CPAD : 0.3pF, RB : 10ohm

図5-13. TCADに用いた等価回路図

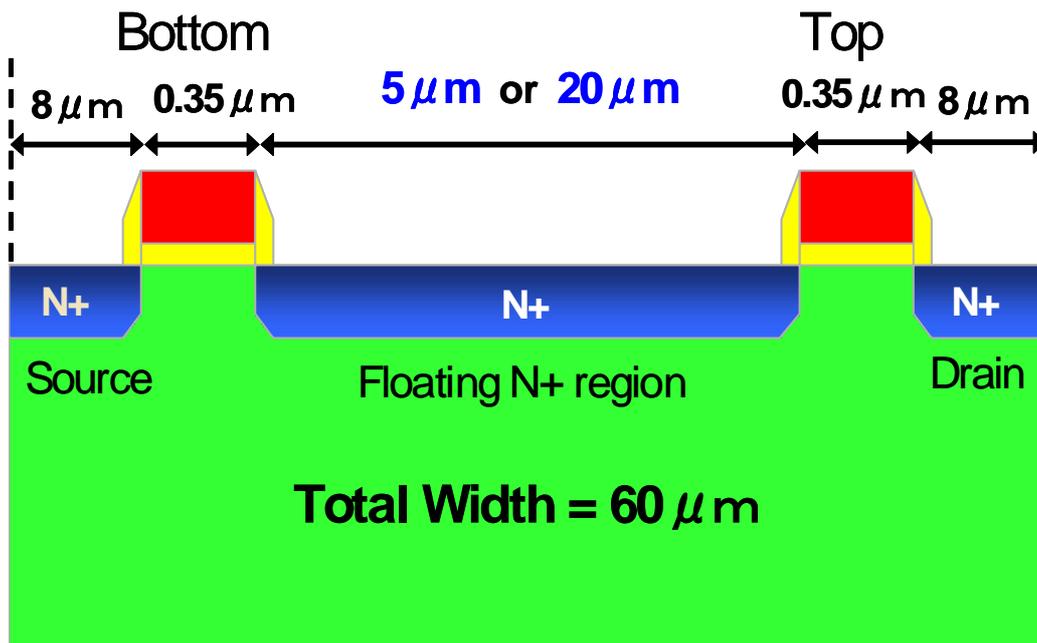


図5-14. TCADに用いたデバイスの断面図

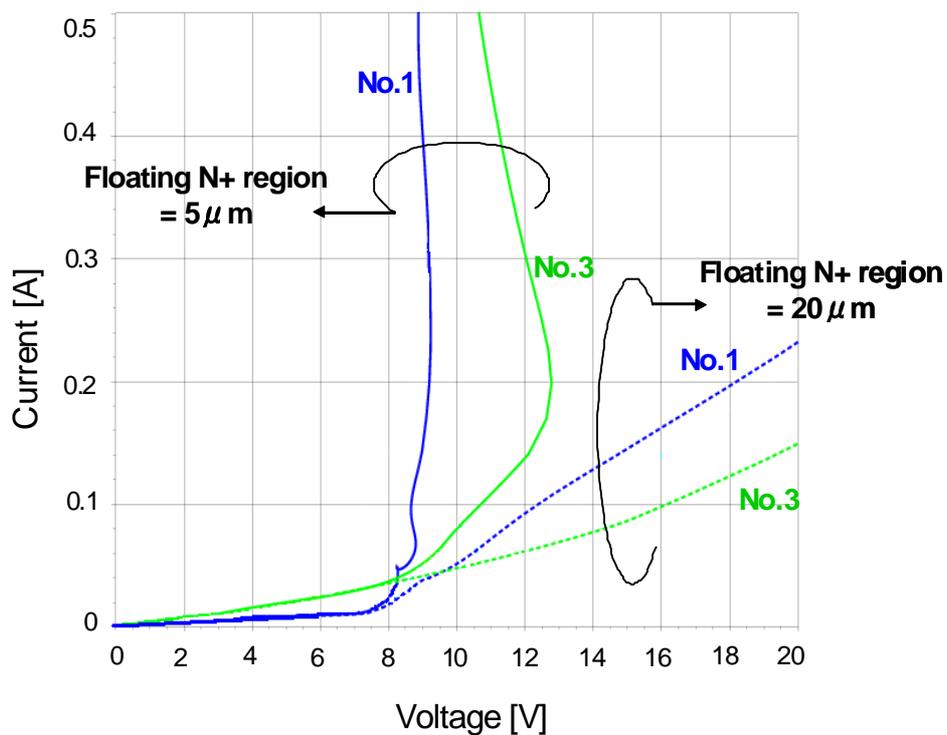


図5-15. No. 1とNo. 3のI-V特性のTCADシミュレーション結果

## 5-5-2. シミュレーション結果の考察

ESD試験時に、カスケードNMOSがどのような振る舞いをするかを調べるため、HBM: 2 KVの正の極性のESD サージを VSS を基準としてPAD に印加した場合を想定したトランジェント解析を実施した。具体的には、10 ns 経過時にドレイン電圧が5 V のときの Floating\_N+\_region領域(以降、中間ノードと記す。)が5  $\mu\text{m}$ と20  $\mu\text{m}$ の時のポテンシャルを調べ、それらの結果を図5-16に示した。

NO. 1からNO. 4の場合でシミュレーション結果を見てみると、まず、NO. 4の中間ノードの両端間のポテンシャルの差が非常に大きいことが分かる。NO. 4の場合、両方のNMOSがオンする回路のため、NMOSトランジスタのオン電流が多く中間ノード領域で電圧ドロップが発生しやすいためである。

次に、NO. 1 の場合は両方のNMOS がオフする回路である。そのため、電流はNMOS のオフブリークのみであり、中間ノード両端間のポテンシャルの差は一番小さい。中間ノードのポテンシャルは、上側と下側のNMOS の容量比で決まる。

更に、NO. 3 の様に上側NMOS のゲートのみをPad 接続にした場合、ドレインと中間ノード間の電圧差が一番小さくなることが確認できた[54]。そのため、破壊し難いと言える。

最後に NO. 2 であるが、下側のゲートのみをPad 接続するため、下側のNMOSがオンする。その場合、中間ノードとソース間にポテンシャル差が付き難く、その分ドレインと中間ノード間のポテンシャル差が大きくなった。そのため、NO. 2 は上側のNMOS がシングル構造として動作し、スナップバック動作を起こすと考えられる。NO. 2 とNO. 3 は、片方のNMOS がオフすることは同じでも、上側と下側のどちらのNMOS がオフするかによって中間ノードのポテンシャルに大きな差ができ、その結果、破壊電圧も違う結果になることが分かった。

また、中間ノードが5  $\mu\text{m}$ と20  $\mu\text{m}$ の時のポテンシャル差は、No. 1～No. 4 全てにおいて、5  $\mu\text{m}$ よりも20  $\mu\text{m}$ の方が大きいことが分かった。通常、ポテンシャル差が小さいほど、電界強度は小さくなる。したがって、中間ノードが20  $\mu\text{m}$ の場合、アバランシェブレークダウンが起こり難く、LNPNが容易にオンし難いと言える。つまり、拡散領域を分離した方がカスケードNMOSの破壊電圧が向上する[54]ことを、TCADを用いて示すことができた。

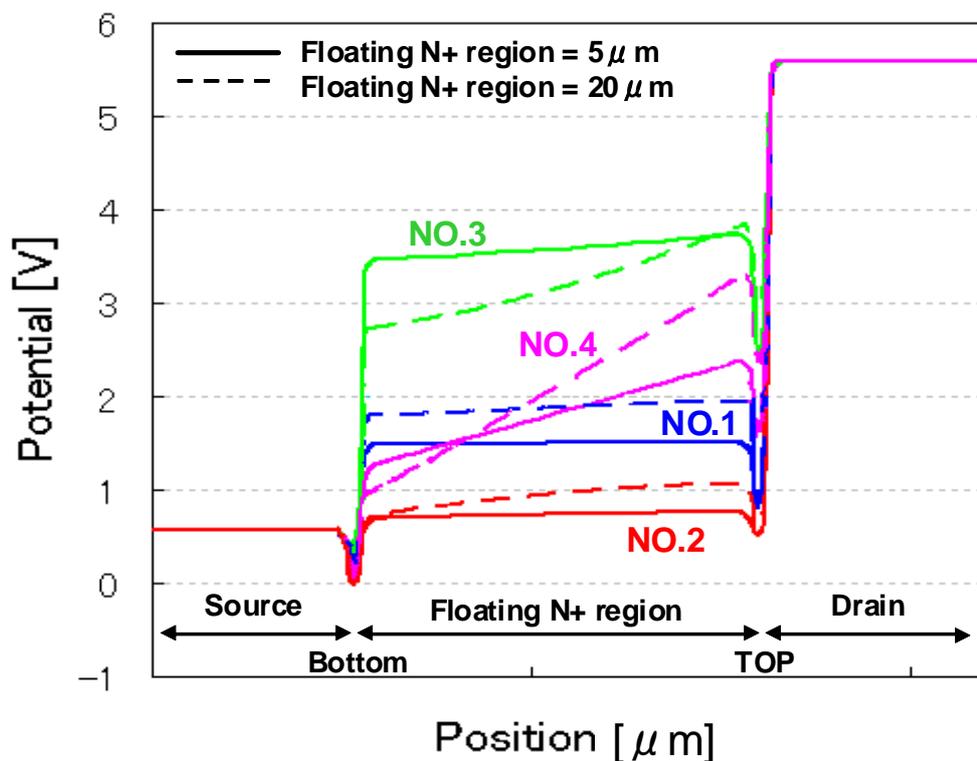


図5-16. カスケードNMOSドライバーの各部位のポテンシャル

中間ノードが  $5\ \mu\text{m}$  と  $20\ \mu\text{m}$  の際、ポテンシャル差に違いが出ることにに関して、更に詳しく分析するため、NO.1. ~NO.4 のポテンシャル差を図 5-17 に示した。また、その際、カスケード NMOS ドライバーを流れる電流値を図 5-18 に示した。

NO.2 と NO.3 は、中間ノードの長さが  $5\ \mu\text{m}$  と  $20\ \mu\text{m}$  の時のポテンシャル差が約 4 倍であった。これらの回路は、カスケード NMOS の上側か下側どちらかの NMOS がオフしており、流れる電流は少なく中間ノードの長さが  $5\ \mu\text{m}$  であろうと  $20\ \mu\text{m}$  であろうと同等の値であった。そのため、中間ノードの長さの差とポテンシャル差が同じになったと考えられる。次に NO.4 であるが、中間ノードの長さが  $5\ \mu\text{m}$  と  $20\ \mu\text{m}$  の時のポテンシャルの差は、約 2.5 倍になった。NO.4 は上側と下側の両方の NMOS がオンする。流れる電流差は、中間ノードの長さが  $5\ \mu\text{m}$  に対して、 $20\ \mu\text{m}$  は約 0.6 倍であった。つまり抵抗に換算すると約 4 倍であり、中間ノードの長さの影響を大きく受けていると言える。最後に NO.1 であるが、ポテンシャル差は約 10 倍であった。上側と下側の両方の NMOS がオフしているため、上側と下側の NMOS の容量比もポテンシャル差の決定要因となり、単純に中間ノードの距離では決まらなると考えられる。

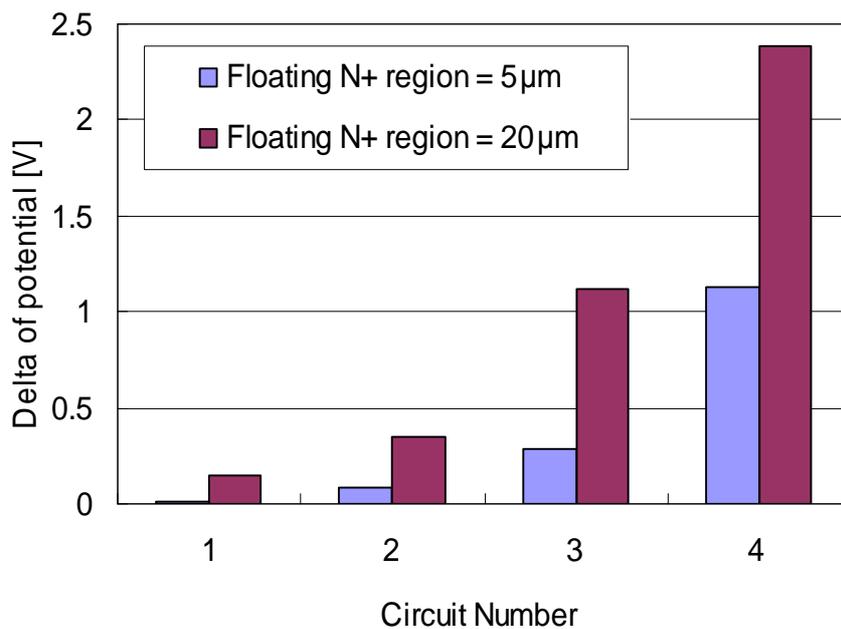


図 5-17. 図 5-7 に示した回路における中間ノードのポテンシャル差

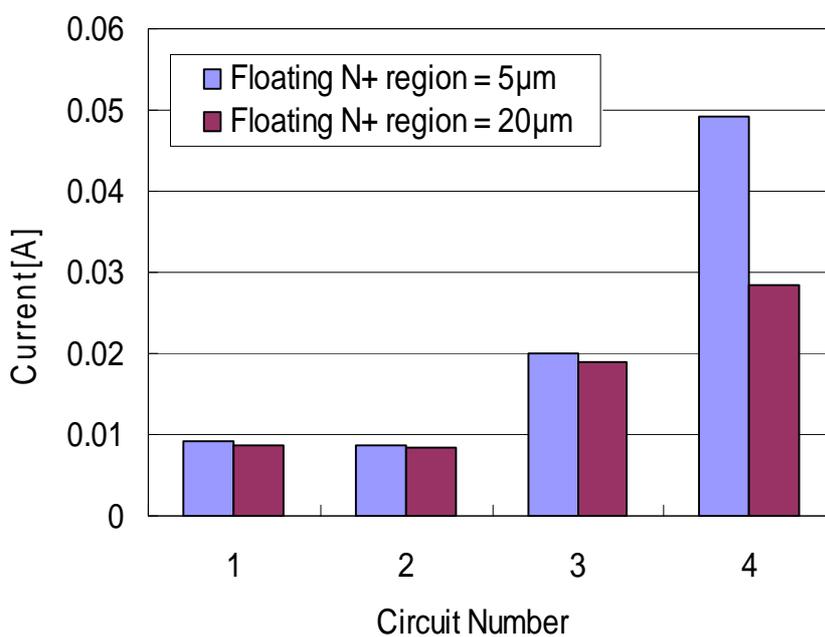


図 5-18. 図 5-7 に示したカスケード NMOS 回路を流れる電流値

### 5-6. まとめ

水晶発振用 IO セルにて、ESD の被保護回路として使ったカスケード NMOS ドライバーの ESD 耐圧を改善するため、TEG を用いて、ESD 測定、TLP 特性取得、破壊箇所の物理解析、H-spice シミュレーション、TCAD シミュレーションを実施した。カスケード NMOS の下側の NMOS のゲート電圧が重要なパラメータであり、同ゲート電圧を VSS レベルにすることで、カスケード NMOS の破壊電圧を 8~9 V から約 16 V (約 2 倍) に向上できる結果を見出した。更に、水晶発振 IO セル内の一般的なレベルアップ・シフト回路に、一つの NMOS を追加し、何のトレードオフもなく ESD を改善する方法を考案した。ESD 印加時に、一般的なレベルアップ・シフト回路から、VSS レベルを出力させ、その信号を ESD 保護のために使用するこの手法は、他の IO セルでも現在使用中である。

## 第6章 電源とグラウンド間の寄生容量の 電源ESDへの影響

---

### 6-1. はじめに

ESD 印加試験には大きく分けて、信号端子への印加試験と、図6-1に示した様な電源 (VDD) 端子への印加試験の2種類がある。VSS端子を基準として、電源 (VDD) 端子へESDサージを印加した場合には、チップ自体の寄生容量によってESD サージを流すことができるので、チップサイズが大きい程、ESD 耐圧が向上することが一般的に知られている。しかしながら、昨今のLSI は、多電源化や、ノイズの伝搬を阻止する目的のため、電源がメタル配線で分離される場合が多い。電源が分離されると、電源 (VDD) - VSS 間の寄生容量が小さくなる。そのため、この寄生容量をESDの放電パスとしてあてにできない場合が多く、ESD 設計者は、電源分離について神経質とならざるを得ない。

本研究では、ESD 耐圧が、単に電源分離帯の大きさ (寄生容量の大きさ) に比例しないケースがあることを発見し、ESD 耐圧と電源分離帯の大きさとの関係について実験・調査し、その結果を考察した。更に、VDD-VSS間の寄生容量のためにESD が低耐圧になった場合の解決方法の一つを紹介した。

### 6-2. 電源クランプの構造

図6-2に2つのタイプの電源クランプを示したが、今回は、携帯電話などのバッテリーアプリケーションで低消費要求が強いため、timed MOS-FETを用いずにGG-NMOSを用いた。GG-NMOSは、バラスト抵抗としてシリサイドブロック、及びソフトクリップ回路を有するものを用いた。VDD-VSS 間の印加極性が、順バイアス時にはPwell-Nsd の寄生的なダイオードが、逆バイアス時には LNPnが形成される。そこで、130 nm\_CMOS テクノロジーの3.3 Vトランジスタと1.2 Vトランジスタを用いて実験を実施した。基板はP/P+のEpi厚が5  $\mu\text{m}$ [68-72] を用い、ウェル構造は、ツインウェル構造とトリプルウェル構造を測定に用いた。図6-3に、各ウェル構造の断面図を示した。

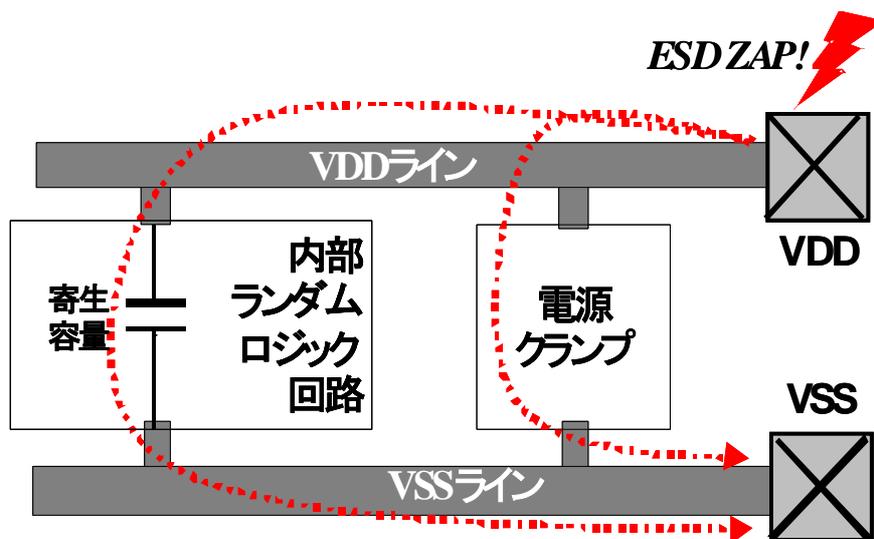


図 6-1. VSS 端子を基準とした、電源 (VDD) 端子への ESD 印加例  
本研究では、図中の寄生容量の ESD 耐圧への影響を検討した。

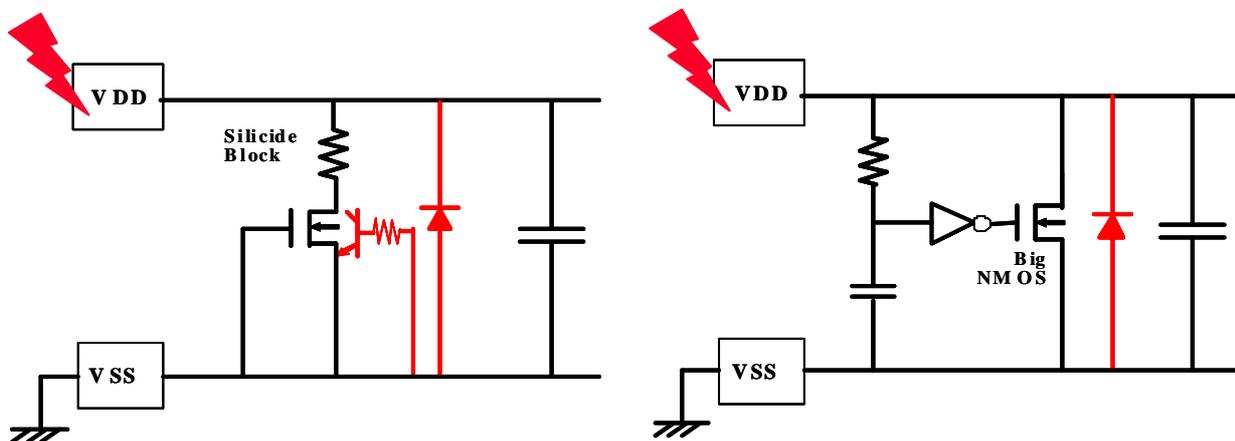


図 6-2. 電源クランプの回路図と寄生 ESD 保護素子

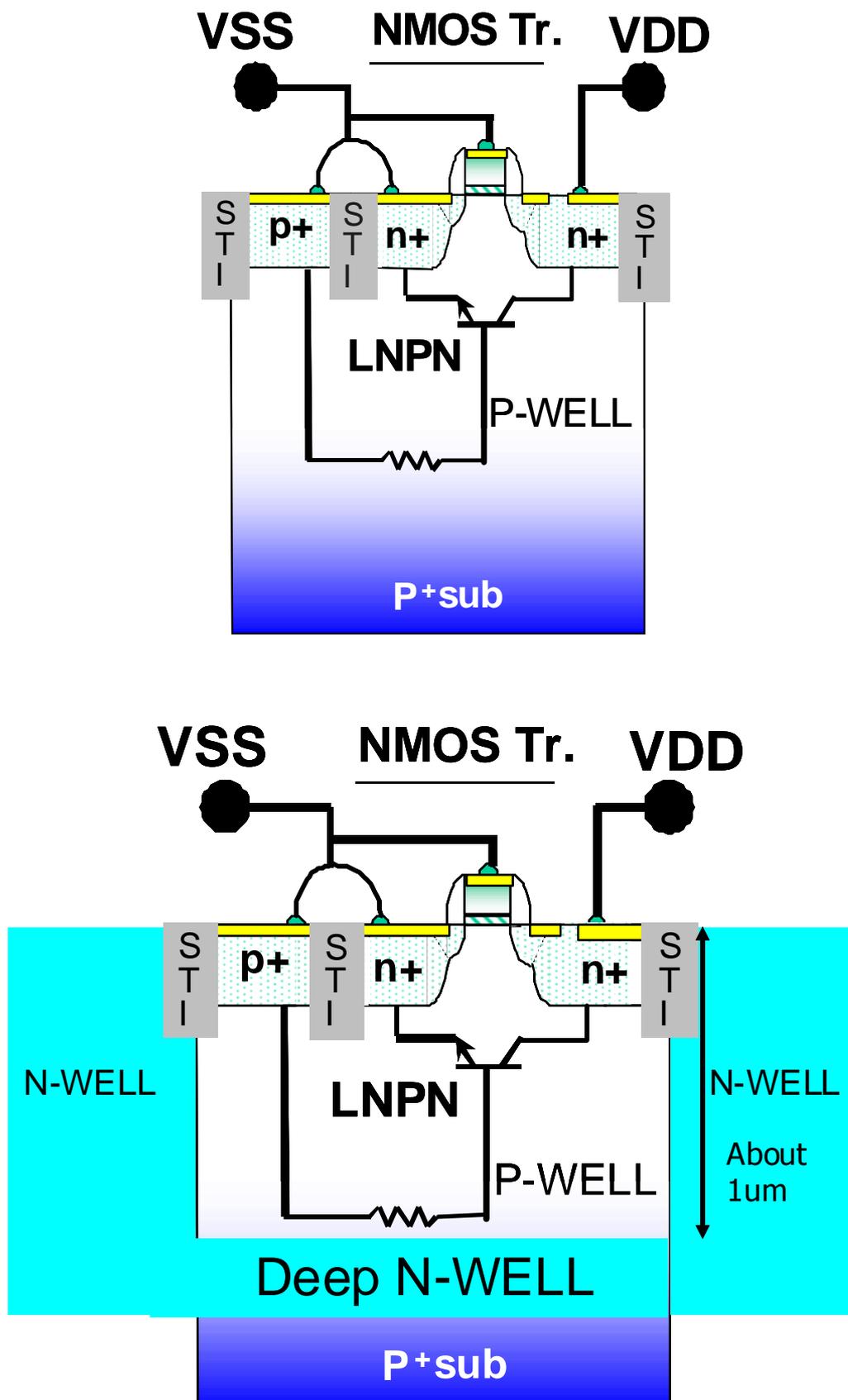


図 6-3. GG-NMOS の断面図(ツインウェル構造(上図)とトリプルウェル構造(下図))

### 6-3. 測定及び解析結果

#### 6-3-1. ESD測定結果

HANWA 製の ESD 印加装置 HED-S5256A を用いて、VDD と VSS 間に、Pwell-Nsd 間の PN 接合の極性が逆バイアスになるように、VSS(+): VSS 基準の (+) 極性の印加と、VDD(-): VDD 基準の (-) 極性の印加の MM 及び HBM のそれぞれの ESD 試験を実施した。印加後、LSI テスターで IDDQ 試験が Fail した場合を破壊と判断し、ひとつ前の PASS した印加電圧を ESD 耐圧とした。調査では、端子数で電源分離帯の大きさを 3 通りに場合分けし、それぞれ、極小規模 (~5 端子まで)、小~中規模 (~100 端子) と大規模 (数百端子以上) で行った。また、それぞれにおいて、ツインウェル構造とトリプルウェル構造のサンプルで ESD 測定を行った。その測定結果を表 6-1 に示した。トリプルウェル構造は、全条件で MM > 200 V, HBM > 2000 V を満たすことが分かった。しかしながら、ツインウェルツインウェル構造で、電源分離帯が小~中規模の場合は、MM = 50 V ~ 200 V, HBM = 500 V ~ 2000 V の ESD 耐圧しかなく、極小帯よりも ESD 耐圧が劣ることが分かった。つまり、ツインウェル構造では、電源分離帯が大きくても、電源 ESD が強くならないケースがあることが分かった。この理由について、次項以降で検討 及び考察を行った。なお、小~中規模の実際の容量値を LCR メーターで測定したところ 60 ~ 200 pF であった。

表 6-1. MM と HBM の ESD 測定結果

	Power supply separation (The number of I/O)	small (until 5)	medium (until 100)	large (more than 100)
MM	Twin-WELL	>200V	50V-200V	>200V
	Deep N-WELL	>200V	>200V	>200V
HBM	Twin WELL	>2000V	500V-2000V	>2000V
	Deep N-WELL	>2000V	>2000V	>2000V
Capacitance between supply lines		-----	60pF-200pF	-----

#### 6-3-2. TLP 測定結果

Barth社の TLP 装置 (Model-4002) を用いて、ツインウェルの小~中規模分離帯と、極小分離帯の VDD-VSS 間の IV カーブを取得し (VSS 基準で VDD にプラス極性を印加した)、それぞれ図 6-4 に示した。TLP のパルス幅は 100 nS であり、パルスの立ち上がり時間 (rise\_time) は上図が 10 nS で、下図が 200 pS である。小~中規模分離帯では、rise\_time が 10 nS の時は、0.3 A 程度の電流を流した時点で破壊した。つまり、TLP でも 6-3-1 項

## 第6章 電源とグランド間の寄生容量の電源 ESD への影響

のESD 測定結果と同様に弱い結果が得られた。rise\_time を200 pS へと短くし、マルチフィンガー・ターンオンを促進[73]させても、流すことができる電流は0.5 A 程度であり、大幅な改善は得られなかった。一方、極小分離帯では、rise\_time が10 nS の時は、1.6 Aを流す事ができるのに対して、200 pS 時は約2 倍の3.1 Aを流すことができた。このことから、極小分離帯のESD 耐圧は、MM>200 V & HBM>2000 V を満たしているものの、マルチフィンガー・ターンオンは完全にはおこなわれていないと考えられる。

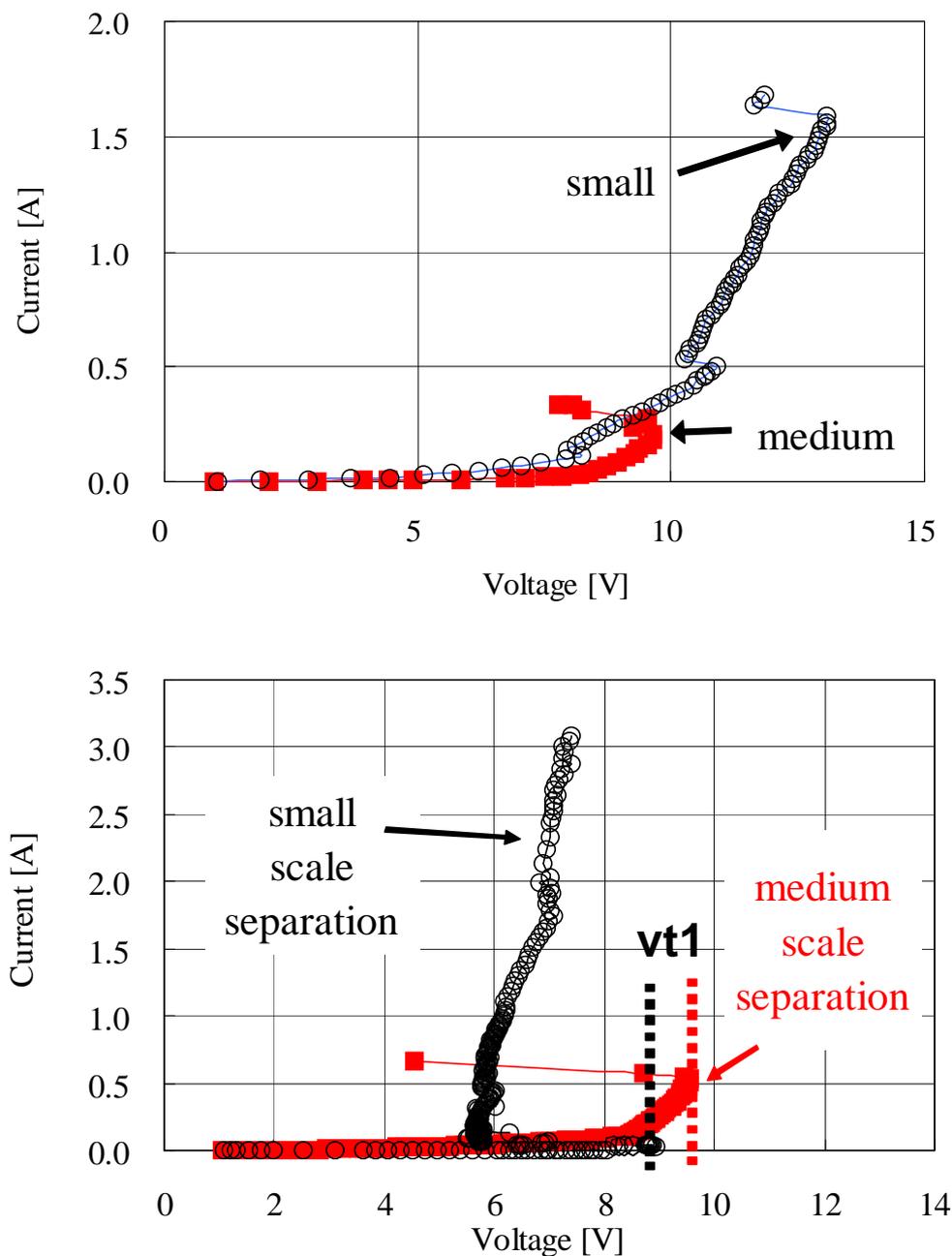


図 6-4. TLP 特性: Rise Time=10 nS(上図)と Rise Time=200 pS(下図)

### 6-3-3. 物理解析結果

図6-5に、今回の実験に用いた電源クランプのイメージ図を示した。破壊箇所には”×”印を付した。破壊箇所は、POLY-Gate 部分で、Pad に近い側に集中しており、電源クランプ全体で、マルチフィンガー・ターンオンしていない様子が分かる。破壊箇所のSEM写真を図6-6に示した。破壊モードは、過電流によりPN接合部のSiが融点に達し破壊に至るフィラメントメルトによる熱破壊であった。

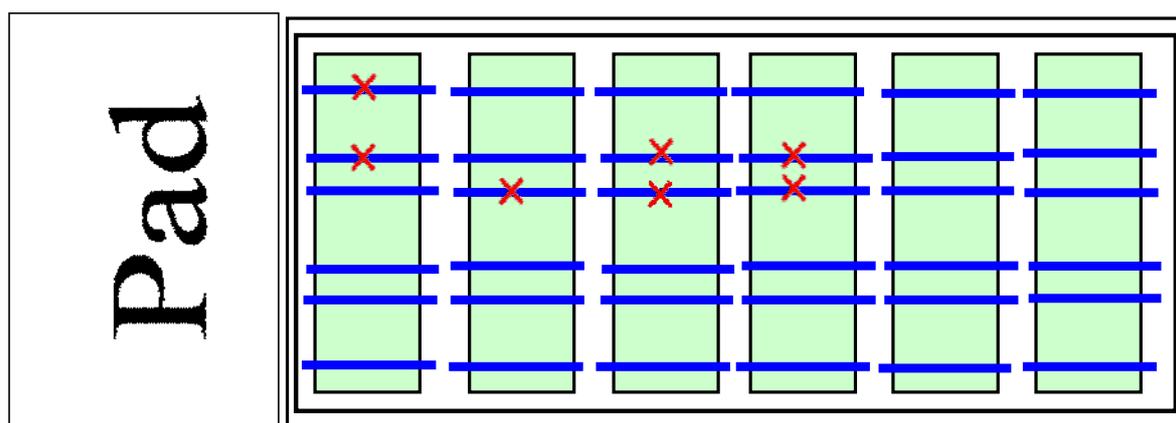


図 6-5. 電源クランプのイメージ図と破壊箇所

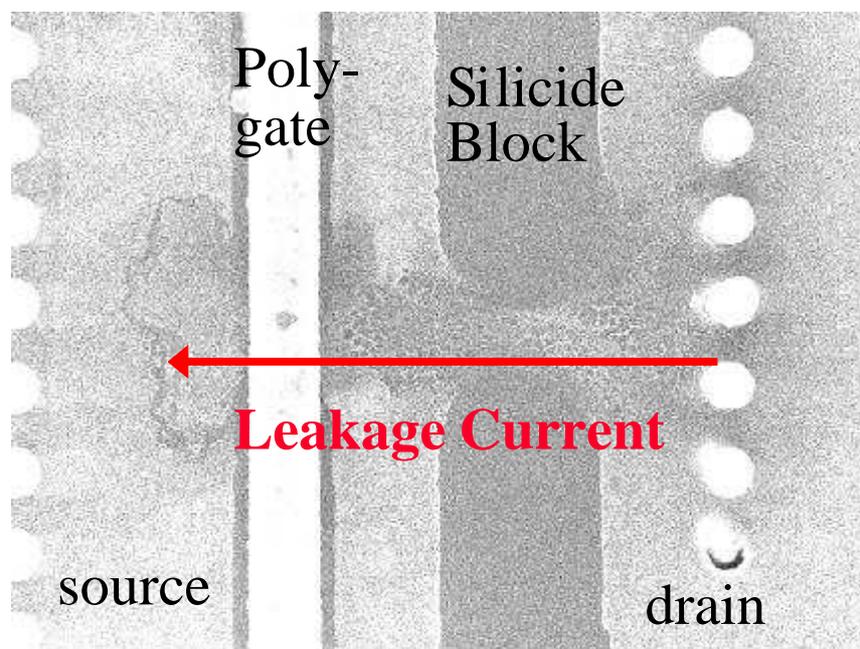


図 6-6. 物理解析結果

ドレイン-ソース間でフィラメントメルトが発生した様子が分かる。

## 6-4. Simulation 結果

### 6-4-1. H-Spiceの改良

通常、H-Spiceには寄生バイポーラ動作するモデルが入っていないため、寄生バイポーラ動作シミュレーションはできない。しかしながら、I0セルの様な素子数の多いマクロレベルで、寄生バイポーラ動作させてシミュレーションできると、ESD保護回路の回路方式やレイアウトの検討に活用できるため非常に有益である。そのため、寄生バイポーラ動作モデルを入れたH-Spiceを用いてシミュレーションを行った[74-78]。しかしながら、TCADのように半導体素子の基本方程式をメッシュ切りに対して数値解析していないため、大規模な回路で寄生バイポーラ動作解析をできるメリットとのトレードオフとして、TCADほどの精度がでない場合がある。

### 6-4-2. H-SPICE simulation 結果

VDD-VSS 間に、パワークランプとパラレルに、それぞれ 1 pF, 100 pF, 40 nF の容量をつけて、HBM: 3000 Vの条件でH-SPICE Simulation を行った。それぞれの条件から得られた、I-V 特性と、電流 及び電圧の過渡特性を用いて考察を行った。

#### 6-4-2-1. 1 pF 時の結果(図6-7～図6-9)

図6-7 のIV カーブから、 $V_{t1}$  は7 V,  $V_{hold}$  は5 V 程度であった。図6-8 の 電流の過渡特性から、トータルの電流量と、LNPN による電流量がほぼ一致していることが分かった。つまり、VDD-VSS 間の容量は、電流を全くというほど流していない。図6-9 から、 $dV/dt$ は約12 [V/ns]であった。

#### 6-4-2-2. 40 nF時の結果(図6-13～図6-15)

40 nF時の電流の過渡特性は、1 pF時とは逆に、VDD-VSS 間の容量が流す電流が支配的になり、トータルの電流量とほぼ一致した。LNPN は電流を全くといってよいほど流していない。図6-13から、容量が流したピーク電流値は、1.8 A @ 約0.5 V であった。NMOS がスナップバック動作をするまでもなく、容量のみで電流を流し切ってしまうことができた。

#### 6-4-2-3. 100 pF時の結果(図6-10～図6-12)

100 pF 時は、電流の過渡特性から、まずVDD-VSS間容量で電流が流れ始めることが分かった。その後、LNPN による電流が支配的となりトータルの電流量とほぼ一致した。そのため、スナップバック動作が1 pF 時よりも遅れ、 $V_{t1}$  は8 Vになった。図6-12 から、 $dV/dt$  は約5 [V/ns]であった。また図6-11 からわかるように、スナップバック開始時に、VDD-VSS間容量にたまった電荷がデバイスに一気に流れ込むため、一瞬だけ、VDD-VSS 間に流れる電流値が負の値を示した。トータルの電流量は変わらないので、LNPN の電流量がその分増し、正のピーク値を持つようになった。

## 第 6 章 電源とグランド間の寄生容量の電源 ESD への影響

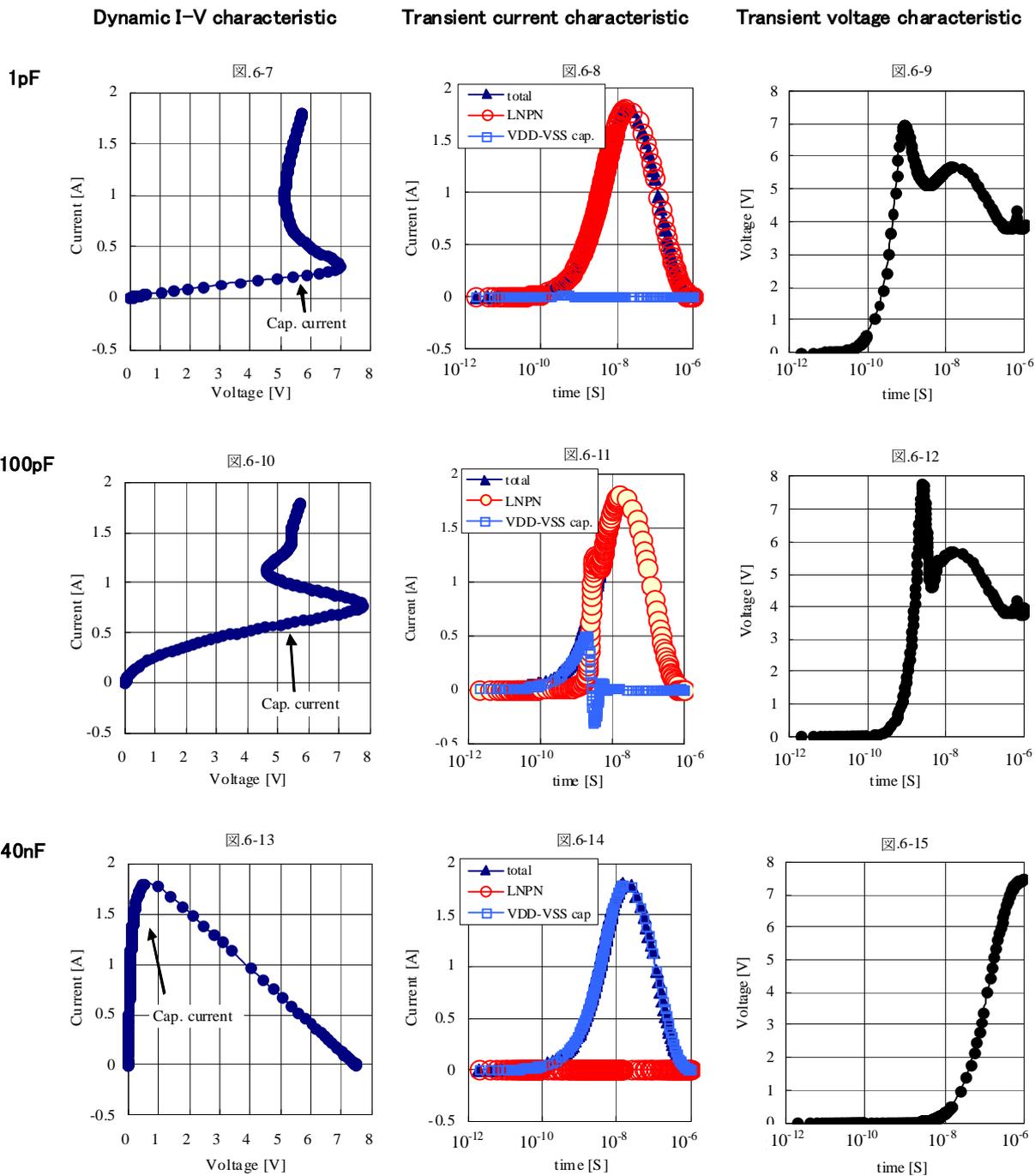


図 6-7. ～6-15. 電源クランプの I-V 特性 と それぞれの容量負荷時の電流, 及び電圧の過渡特性

## 6-4-3. TCAD Simulation

図6-11 で、LNPN に正のピーク電流が現れたことに関して、プロセスシミュレータ「T-SUPREM4」、及びデバイスシミュレータ「MEDICI」を用いて数値解析を実施した。VDD-VSS 間の容量値を、1 pFから1 μFまで1桁ずつ変更し、ゲートの電位をGNDにつなげた場合:  $V_g=0$  V と、1 V にバイアスした場合:  $V_g=1$  Vの 2通りのシミュレーションを実施した。図6-16に前者の、図6-17に後者の電流の過渡特性を示した。 $V_g=0$  Vの場合、容量値が10 pF, 100 pF, 1 nF, 及び10 nF の場合にピーク電流を確認できた。そのピーク電流値は、10 nF の場合には7 A にも及んだ。一方、 $V_g=1$  V の場合には、全体的にピーク電流は小さくなり、例えば10 nF の場合で、約3.5 A まで軽減した。 $V_g=1$  V の場合は、 $V_{t1}$  が下がる[81]ので、VDD-VSS 間に蓄えられる電荷が減り、そのためにピーク電流が下がると考えられる。

## 6-5. 原因の考察

電源分離帯が小～中規模だと、ESD が極小帯よりも弱い理由を図6-18にて考察した。VDD-VSS 間の容量( $C_{VDD-VSS}$ )が、100 pF 程度の大きさになると、印加されたESD 波形が鈍り、VDDの電位の立ち上がりが遅くなる。つまり、変位電流 ( $C_{drain-bulk} \times dV/dt$ ) が減る[73]。一方で電源クランプのESD 保護素子LNPN がオンするためには、ベース電位 ( $V_{BE}$ )が0.7 V になる必要がある。 $V_{BE}$  は次式 6-1で表される。従って、アバランシェ

$$V_{BE} = R_{bulk} \times (I_{avalanche} + C_{drain-bulk} \times dV/dt) \quad (6-1).$$

電流( $I_{avalanche}$ )で、変位電流が減った分を補う必要がある。同アバランシェ電流が増えた結果、PN 接合温度が上昇し、ESD破壊(PN 接合の熱破壊)に至るのが早まったと考えられる。

容量 $C_{VDD-VSS}$  が大きく(10 pF～10 nF)になると、同容量はより多くのESD サージを放電できるものの、全電流を流しきるまでにLNPN: 寄生バイポーラ素子に逆流し、正のピーク電流は、10 pF～10 nF の範囲では容量 $C_{VDD-VSS}$  が大きくなればなるほど多くなった。更に、 $C_{VDD-VSS}$ とLNPN の間のインピーダンスは小さいので、逆流電流は一気に流れ込む。したがって、この正のピーク電流が、中～小規模帯@ツインウエルのESD 低耐圧の主原因であると考えられる。この現象は、ESDテストボードの容量により、デバイスが不良に至る現象[79, 80]によく似ている。極小分離帯であれば、前記した変位電流が大きくなり、LNPN がオンするために必要なアバランシェ電流は減り、PN 接合が熱破壊し難くなる。また、 $C_{VDD-VSS}$  が更に大きく40 nF 以上になれば、その容量自身にてESD サージを放電するので、VDD-VSS 間の電圧は、デバイスが破壊するような高い電圧には至らなかったと考えられる。

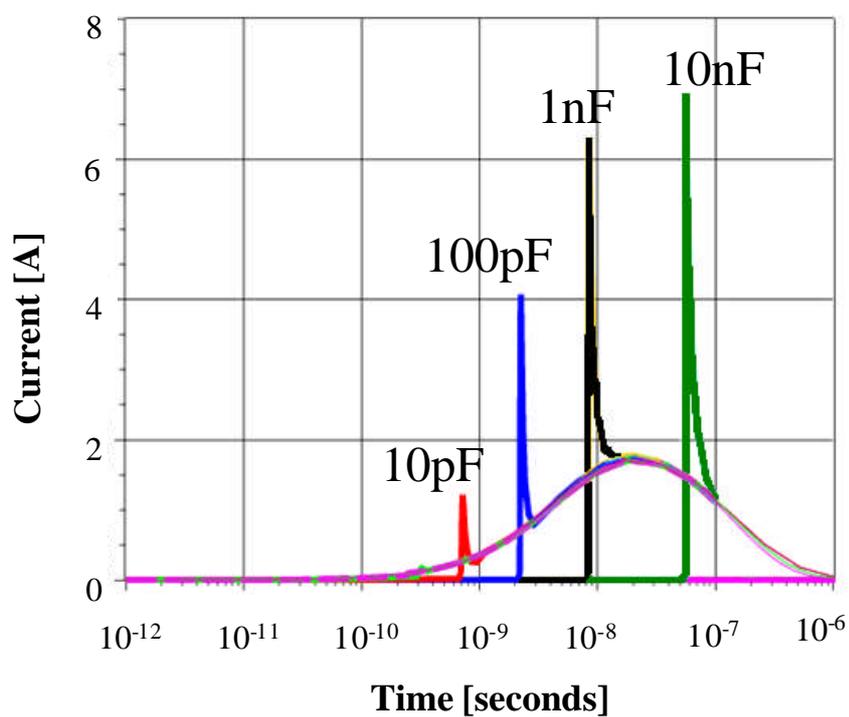


図 6-16.  $V_g=0$  V 時の電流の過渡特性

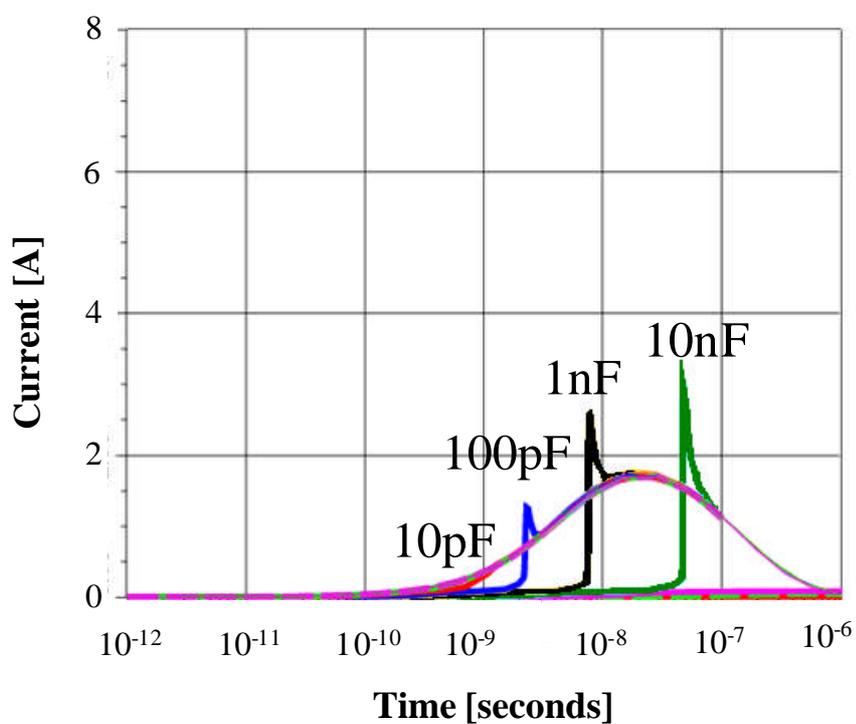


図 6-17.  $V_g=1$  V 時の電流の過渡特性

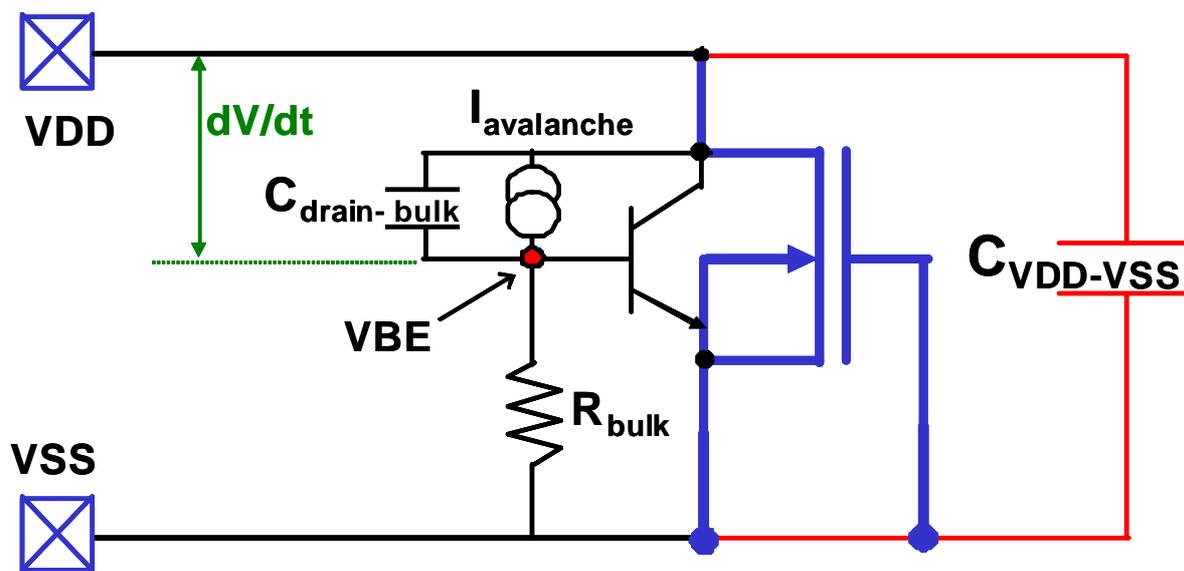


図 6-18. LTPN まわりの寄生素子

## 6-6. 解決手段

6-3-2節のTLP 調査から、中～小規模帯@ツインウェルの電源ESD 耐圧を改善するためには、ESD 保護回路のマルチフィンガー・ターンオンが確実におこなわれる対策が必要であると言える。6-4-3節から、ESD 印加時のみGate 電位を1 V程度上げることが対策の一つとして考えられる。その代表的な回路としてGCNMOS [81]があるが、通常使用時に、電源ラインからのノイズによって、ESD保護回路のNMOSがオンしリーク電流が発生する可能性があり、携帯電話などのバッテリー消費を気にするアプリケーションでは望ましくない。そこで、プロセス変更による解決方法を検討し適用した。

### 6-6-1. 電源クランプの断面図

図6-19に、この実験で用いた電源クランプの断面図を示した。プロセス工程を削減しコストダウンするために、シリサイドブロックはPoly-ゲートのサイドウォールと同じプロセス工程で形成している。それゆえに、ドレインやソース用のn+ 拡散がシリサイドブロックの真下には注入されない。そのため、シリサイドブロック下の拡散抵抗を下げるために、P(リン)をイオン注入 (ESD\_II) している。図6-20 に1.2 V 内部トランジスタのスナップバック特性を示した。別調査で、内部回路の破壊電圧のワースト値は6 V であることが分かっており、前述したESD\_II を実施することにより、放電能力が向上し1.2 V 電源-VSS間の電源ESD は ESD 規格を満足している。

### 6-6-2. プロセス工程の改善

3.3 Vトランジスタは、現行のプロセスでは中～小規模帯@ツインウェルの場合、ESD 耐圧が低下する。改善するためには、NMOSの寄生バイポーラ動作時に、必ず $V_{t2} > V_{t1}$  を満たすようになれば、確実にマルチフィンガー・ターンオンしESD耐圧は向上する。今回、図6-21 に示した様に、ESD\_IIを3.3 Vトランジスタのみ実施しない試作を試みた。この構造では、シリサイドブロック下の $R_{bulk}$ 抵抗は上昇し、I-VカーブのRON も大きくなる。シリサイドブロックの抵抗値が高い場合、LNPN のスナップバックは、まずPoly-Gate 付近のPN 接合部で起こるが、電流が流れ始めると、次にシリサイドブロック部分のPN 接合部でも発熱し、発熱ポイントが2ヶ所になることが今までの調査で分かっている [82]。そのため、熱の発生が緩和され、Poly-Gate 付近のPN 接合部分での発熱は緩和され $I_{t2}$ は上昇する。図6-22に、NMOS\_1フィンガーのI-V特性を示した。この図から、 $V_{t2} > V_{t1}$  となり、確実にマルチフィンガー・ターンオンすることが確認できた。表6-2に、中～小規模帯@ツインウェルでのプロセス変更前後のESD 耐圧を示した。プロセス変更後に、ESD耐圧が  $MM > 200$  V,  $HBM > 2000$  V に改善したことを確認できた。

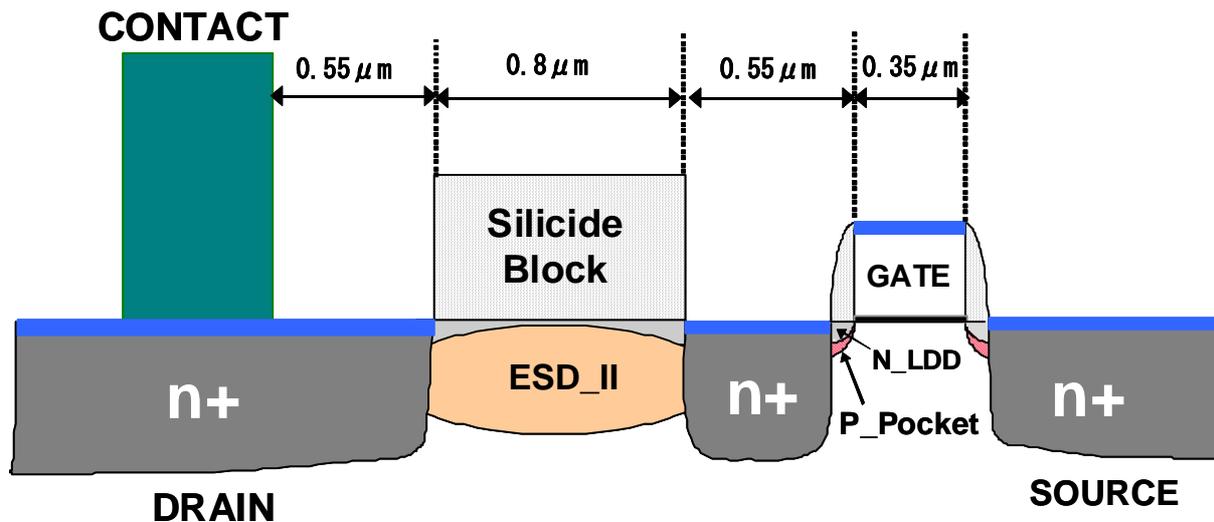


図 6-19. シリサイドブロック部の断面図

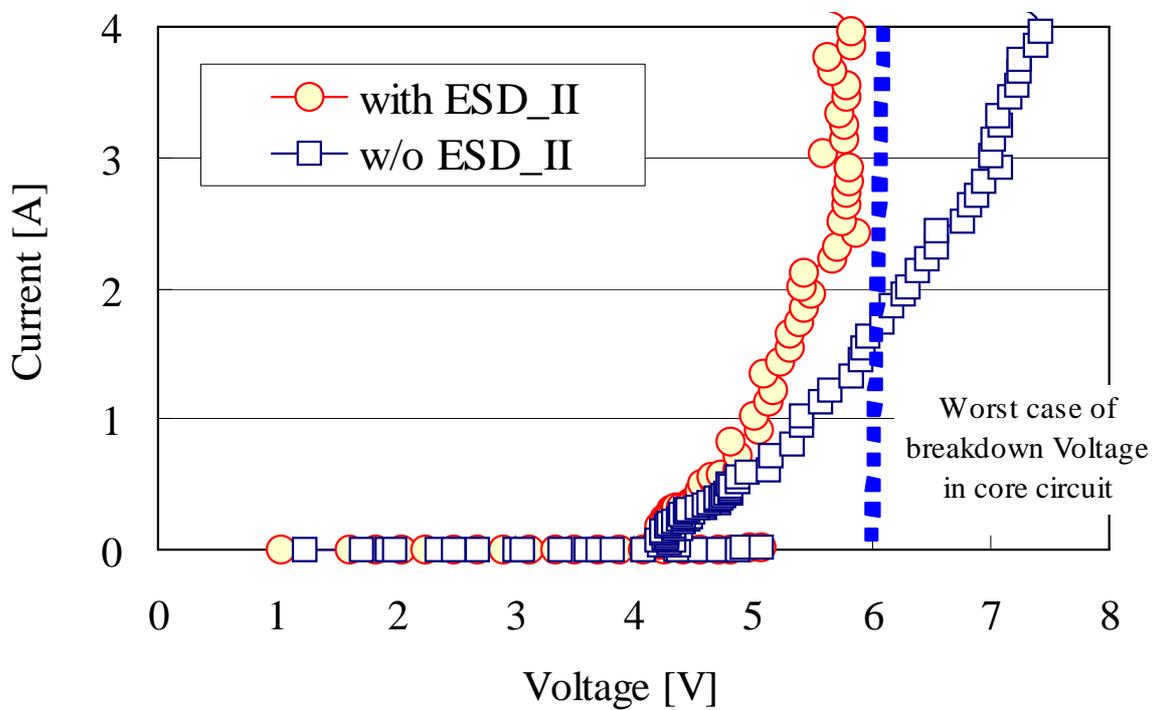


図 6-20. 1.2 V\_電源クランプの I-V 特性

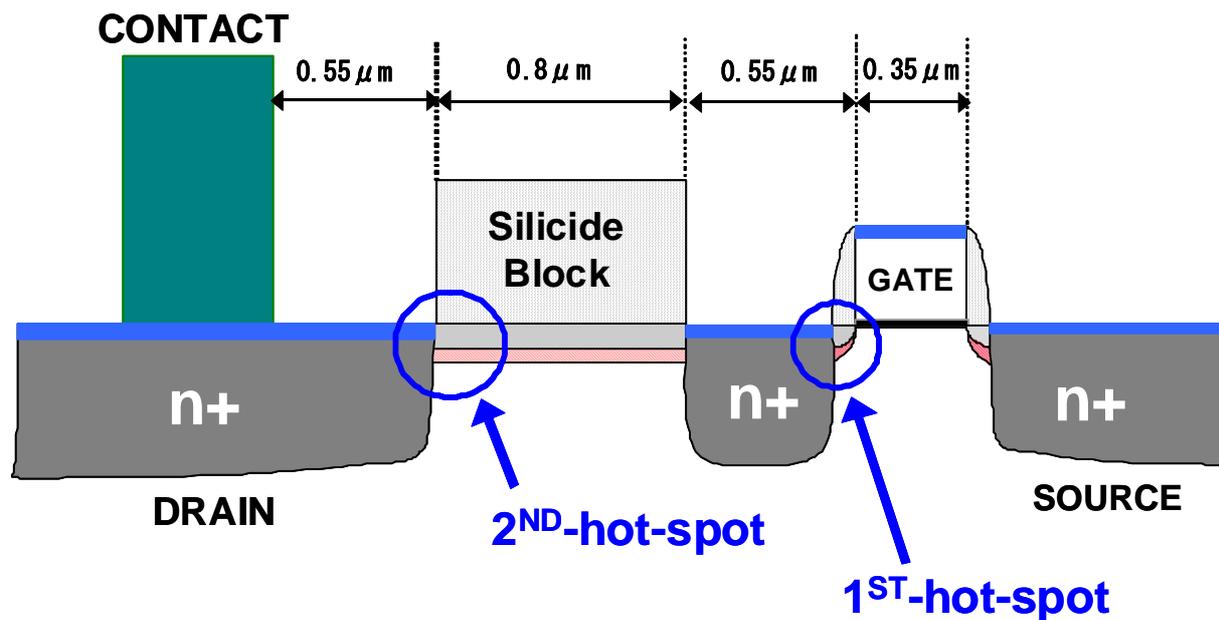


図 6-21. プロセス変更後の断面図

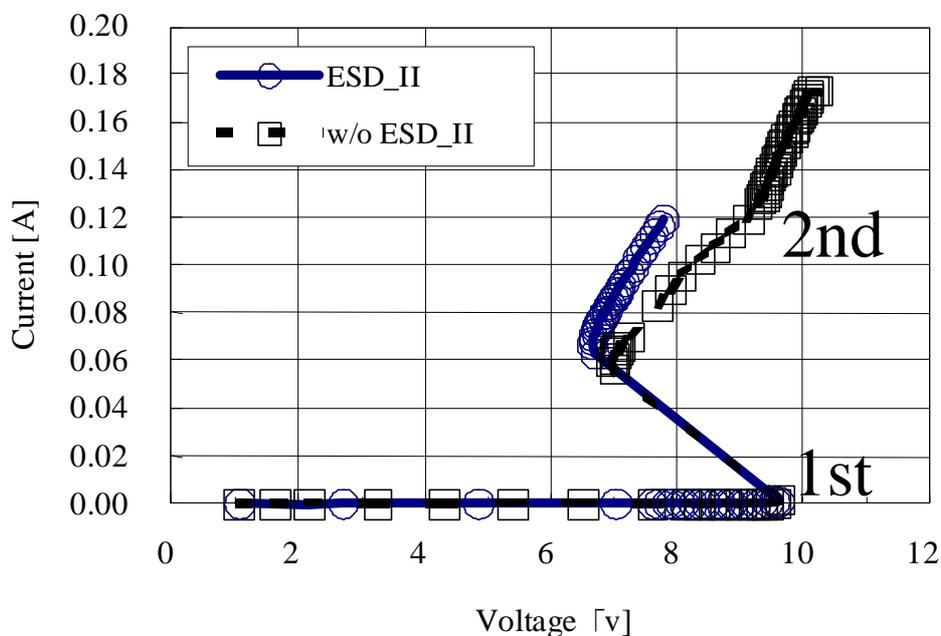


図 6-22. NMOS\_ 1 フィンガ-の I-V 特性(プロセス変更前後)

第 6 章 電源とグランド間の寄生容量の電源 ESD への影響

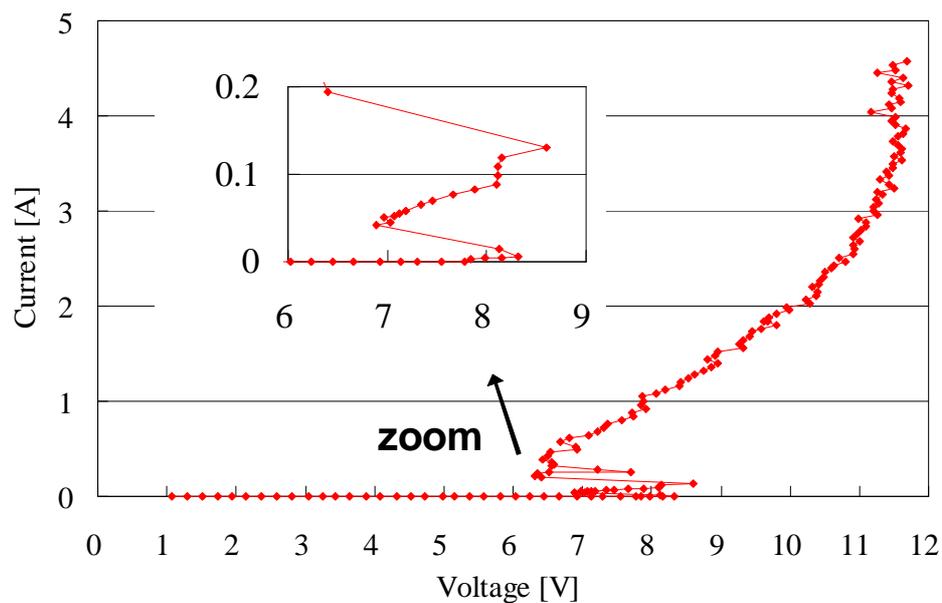


図 6-23. 改善後の電源クランプの I-V 特性 (36finger)

表 6-2. プロセス変更前後の ESD 耐圧

Process Solution	Aditional ESD_II		Power Supply ESD robustness in the medium-scale separation		
	1.2v power-clamp	3.3v power-clamp	MM	HB M	TLP(It2)
B efore	execute	execute	50-200V	500-2000V	0.3A
A fter		Not execute	>200V	>2000V	4.5A

### 6-7. まとめ

電源ESDの耐圧が、単に電源分離帯の大きさ（寄生容量の大きさ）に比例しないケースがあることを発見し、ESD 耐圧と電源分離帯の大きさとの関係について考察した。電源分離帯のVDD-VSS 間の容量がある程度大きいと(100 pF 程度)、変位電流( $C_{\text{drain-bulk}} \times dV/dt$ ) が減り、LNPN をオンさせるために減った変位電流をアバランシェ電流で補うために、PN 接合が熱破壊に至るのが早まると考えられる。また、特に、VDD-VSS 間容量からの電流の逆流が、更にESD 耐圧を低下させていると考えられる。トリプルウェルであれば、この現象は発生しないため、P/P+のEpi 基板が原因の一つとして考えられる。

また、電源分離帯が、小～中規模かつツインウェルの場合でも、ESD\_II を3.3 Vトランジスタのシリサイドブロック部にのみイオン注入しない手法により、ESD 耐圧を改善できた。この手法では、もともと1.2 V Tr. には必要なプロセス工程であるため、プロセス工程の増加がなく、製造コストはアップしない。



## 第 7 章 結論

---

## 第7章 結論

半導体デバイスの特性改善（高速化、低消費電力化、高信頼性）のための新たなデバイス構造は、ESD に対して脆弱な場合が多く、新規テクノロジー立ち上げ時に起こった ESD 耐圧不足の事例、及び原因解明と対策についてまとめた。

まず、2章のコンポーネントレベル ESD では、試験方法、ESD 保護回路について説明し、ESD 設計では、ESD Design Window の考え方が要になることを示した。また、NMOS の寄生横型 NPN バイポーラトランジスタによる ESD 保護メカニズムを説明した。

3章では、歩留まり向上のため使用され始めた Epi 基板の基板抵抗が低下すると、ESD が弱くなるメカニズムについて説明した。更に、対策方法を3つ示した。

- ・高濃度基板（低抵抗基板）からの熱拡散が発生しても、その影響が少なくなる様に Epi 層を厚くする
- ・高濃度基板からの熱拡散をできるだけ起こさないように、低温プロセスを採用する
- ・Epi 層下の基板を低濃度化して基板抵抗を上げる

4章では、5V トレラントなどのオーバー・ボルテージ・トレラント IO セルに使われるカスケード接続した NMOS の ESD 耐圧の向上を試みた。トランジスタ領域から離れた部分（ドレインコンタクト下）にボロンを追加注入する手法を考案し、

- ・信頼性評価をこのために実施する必要がないこと
- ・量産中の品種の ESD 耐圧向上に適していること
- ・USB. 2.0 などの小振幅 IO セルにも、AC 特性を変化させることなく適用できること

などの利点を示した。本技術は、0.18  $\mu\text{m}$  テクノロジーの全製品に適用中である。

5章では、水晶発振用 IO セルにて、ESD の被保護回路として使ったカスケード NMOS ドライバーの ESD 耐圧を改善するためには、カスケード NMOS の下側の NMOS のゲート電圧が重要なパラメータであることを示した。また、解決策として、一般的なレベルアップ・シフト回路に一つの NMOS を追加し、何のトレードオフもなく ESD を改善する方法を示した。更に、この手法で他のマクロの ESD 保護も実施中である。

6章では、電源 ESD 耐圧が単に電源分離帯の大きさ（寄生容量の大きさ）に比例しないケースがあることを発見した。ESD 耐圧と電源分離帯の大きさとの関係について考察し、電源分離帯の VDD-VSS 間の容量がある程度大きいと、電源クランプの変位電流が減り、LNPN 動作をアバランシェ電流で補うために、PN 接合の熱破壊しやすくなることを示した。また、ESD\_II を 3.3 V トランジスタのシリサイドブロック部にのみイオン注入しないことにより、製造コストのアップ無しで ESD 耐圧を改善させた。

現在、半導体業界では、ごく一部の会社を除き、各社ともプロセス工場を持ち製品を作っているのは製造設備への投資を回収できなくなるため、最先端プロセス品を社外ファブで作るようになってきている。その流れの中で、ESD 設計に求められるものは、工場が変わっても ESD 設計通りに動作する回路設計をおこなうことである。ESD 耐圧が不足した場合は、プロセス変更ではなく、回路変更でのソリューションを考える必要がある。更に、コスト面では、開発用の TEG を流す回数はレチクルの高騰により制限されるため、ますますシミュレーション（H-Spice, TCAD）の精度が重要になってきている。

## 第7章 結論

また、LSI の微細化が進むに従い、ESD Design Window が、ますます狭くなってきている。図7-1は、130 nmテクノロジーノード時のSRAMの1bitの面積、及びESD保護回路の面積をそれぞれ”1”として、各テクノロジーノードの面積比率を示したものである。この図からわかることは、SRAMのサイズ縮小のペースに、ESD保護回路のサイズ縮小は着いていくことができていないことである。つまり、“ESD保護回路は、ムーアの法則に従わない。”後工程のESD コントロールが進歩していることを考慮し、半導体ベンダーが最適なESD規格を示し、半導体ユーザーは、その最適なESD規格を採用していくべきである。

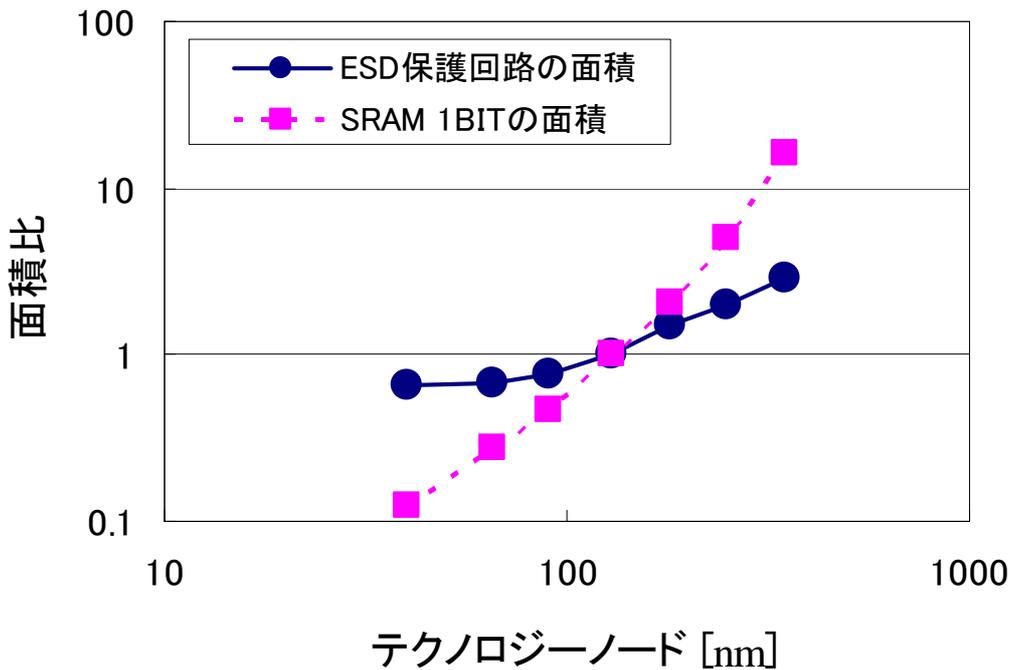


図 7-1. テクノロジーノード vs. SRAM 1bit の面積, ESD 保護回路の面積  
(JEITA; セミナー資料より)

コストダウンのために、最適なESD耐圧はいくつか?の研究がIndustry Council on ESD Target Levels[83]で行われている。今まで、HBM $\geq$ 2000 V, MM $\geq$ 200 V, CDM $\geq$ 500 Vが、20年以上の間、何の疑いもなく業界標準のESD規格として採用されてきたが、同councilが提出したwhite paperにより、HBM $\geq$ 1000 V, MM: 参考規格, CDM $\geq$ 250 Vが、新しい規格として、JEDECにてそれぞれJEP155A[84], JEP157[85]として採択されている。海外のユーザーでは、この新規格の採用が増えているが、日本国内は保守的で、特に車載業界、アミューズメント業界に新規格を採択してもらうには相当に高い壁がある。今後も、粘り強く啓蒙していくことが、日本の産業界発展のためにも必要である。



# 謝辞

筑波大学大学院 数理物質科学研究科 白石賢二教授には、指導教官として終始暖かく、様々なご指導を頂きました。社会人学生として、ここまでやって来られたのは、白石賢二教授のご指導とご助言、更に激励の賜物です。謹んで感謝の意を表します。

本論文について、貴重なご教示、ご討論を頂きました、筑波大学大学院 数理物質科学研究科 大野裕三教授、佐野伸行教授、山田啓作教授、丹羽正昭教授に心よりお礼申し上げます。

また、木川田代美様には、社会人学生としての大学院在学において、数々のフォローをして頂きました。心より感謝いたします。

本論文は、著者が富士通セミコンダクター株式会社 アドバンストプロダクト事業本部 共通テクノロジー開発統括部、更に、筑波大学大学院後期課程 数理物質科学研究科 ナノサイエンス・ナノテクノロジー専攻にて行った研究をまとめたものであり、本論文をまとめる機会を与えて頂いた、富士通セミコンダクター株式会社 岡田晴基社長、八木春良副社長、三宅富本部長、内藤貢副本部長、横田昇統括部長、山口清一郎統括部長代理、池田裕部長、伊藤優部長、奈良安雄部長、田中琢爾課長、富田充広課長、更に、富士通 VLSI 株式会社の日野陽司社長、市野尚治常務取締役、高岡晴義取締役に深く感謝いたします。



# 参考文献

- [1] N.Shiono, S.Yokogawa, Y.Fukuda, Y.Mitsui, “LSI の信頼性”, 株式会社日科技連出版社, 2010
- [2] M.Nisawa, “MIL 規格に基づく静電気管理”, 株式会社工業調査会, 2008
- [3] ANSI/ESD S20.20-2007: “Control Program for –Protection of Electrical and Electronic Parts, Assemblies and Equipment (Excluding Electrically Initiated Explosive Devices)”
- [4] IEC 61340-5-1 ed.1 (2007): ELECTROSTATICS –Part 5-1: Protection of electronic device from electrostatic phenomena- General requirements
- [5] M.Nisawa, “静電気管理の基礎”, 株式会社プラスチック・エージ, 2009
- [6] IEC 61000-4-2 (2008): “Electromagnetic compatibility (EMC) - Part 4-2: Testing and measurement techniques - Electrostatic discharge immunity test”
- [7] JEDEC STANDARD, Electrostatic Discharge (ESD) Sensitivity Testing Human Body Model (HBM), JESD22-A114D, 2006
- [8] JEDEC STANDARD, Electrostatic Discharge (ESD) Sensitivity Testing Machine Model (MM), JESD22-A115C, 2010
- [9] JEDEC STANDARD, Field-Induced Charged-Device Model Test Method for Electrostatic-Discharge-Withstand Thresholds of Microelectronic Components JESD22-C101C, 2004
- [10] M.Mergens, C.Russ, K.Verhaege, J.Armer, P.Jozwiak, and R.Mohn “HHI-SCR for ESD Protection and Latch-up Immune IC Operation”, EOS/ESD Symposium Proceedings, pp.10-17, 2002
- [11] T.Suzuki, “Trend of the component Level ESD Protection Technology of the Semiconductor Product”, Journal of the Institute of Electrostatics Japan, Vol.36, No.5, pp.272-275, 2012
- [12] MIL-STD-883B method 3015.7, “Electrostatic discharge sensitivity classification”, 2006
- [13] ANSI/ESD STM5.1-2007, For Electrostatic Discharge Sensitivity Testing –Human Body Model (HBM) Component Level
- [14] EIAJ ED4701/300, 試験方法 304, 人体モデル静電気破壊試験(HBM/ESD), 2001
- [15] EIAJ ED4701/300-2, 試験方法 305A, デバイス帯電モデル静電破壊試験(CDM/ESD), 2005
- [16] ANSI/ESD S5.3.1-2009 Electrostatic Discharge Sensitivity Testing - Charged Device Model (CDM) - Component Level
- [17] AEC-Q100- 011- Rev-C: CHARGED DEVICE MODEL (CDM) ELECTROSTATIC DISCHARGE (ESD) TEST
- [18] Y.Tajima and I.Shinohara, “ESD Improvement of Input and Output Protection Circuits in CMOS LSI”, RCJ EOS/ESD/EMC Symposium Proceedings, pp.13-20, 1993
- [19] Fu-Chieh Hsh, Ping-Keung Ko, Simon Tam, Chenming Hu and Richard S.Muller ,“An Analytical Breakdown Model for Short-Channel MOSFET’s”,IEEE Trans. Electron Device, Vol ED-29, No.11, pp.1735-1740,1982

- [20] T.Suzuki, J.Iwahori, T.Morita, H.Mochizuki and H.Takaoka, "The research on ESD destruction of PMOS in the advanced technology", RCJ EOS/ESD/EMC symposium Proceedings, pp.205-208, 2003
- [21] B.Gianluca, D.Charvaka and R.Vijay, "Efficient pnp characteristics of pMOS transistors in sub-0.13 $\mu$ m ESD protection circuits", EOS/ESD symposium Proceedings, pp.260-269, 2002
- [22] K.-L.Chen, "The effects of interconnect process and snapback voltage on the ESD failure threshold of NMOS transistors", EOS/ESD Symposium Proceedings, pp.212-219, 1988
- [23] A.Amerasekera, C.Duvvury, V.Reddy and M.Rodder, "Substrate Triggering and Salicide Effects on ESD Performance and Protection Circuit. Design in deep submicron CMOS process", Tech.Dig.IEDM, pp.547-550, 1995
- [24] A.Amerasekera, V.Mcneil and M.Rodder, "Correlating drain junction scaling, silicide thickness and lateral npn behavior with the EOS/ESD performance of a 0.25 $\mu$ m CMOS process", Tech.Dig.IEDM, pp.893-896, 1996
- [25] T.Polgreen and T.Chatterjee, "Improving the ESD failure threshold of silicided n-MOS output transistors by ensuring uniform current flow", EOS/ESD Symposium Proceedings, pp.167-174, 1989
- [26] D.Krakauer, K.Mistry, "ESD protection in a 3.3V sub-micron silicided CMOS technology", EOS/ESD Symposium of Proceedings, pp. 250-257,1992
- [27] A.Amerasekera and C.Duvvury, "ESD in Silicon Integrated Circuits Second Edition", John Wiley & Sons, Ltd., 2002
- [28] C.H.Dias, S.M.Kang and C.Duvvury, "Modeling of electrical overstress in integrated circuits", Kluwer Academic Publishers, 1995
- [29] T. Maloney and N. Khurana, "Transmission line pulsing techniques for circuit modeling of ESD phenomena", EOS/ESD Symposium, pp.49-54, 1985
- [30] J.Barth, K.Verhaege, L.Henry and J.Richner, "TLP Calibration, Correlation, Standards, and New Techniques", EOS/ESD Symposium, pp.85-96, 2000
- [31] S.H.Voldman, R.Ashton, J.Barth, D.Bennett, J.Bernier, M.Chaine, J.Daughton, E.Grund, M.Farris, H.Gieser, L.G.Henry, M.Hopkins, H.Hyatt, M.I. Natarajan, P.Juliano, T.J.Maloney, B.McCaffrey, L.Ting, and E.Worley, "Standardization of the Transmission Line Pulse (TLP) Methodology for Electrostatic Discharge (ESD)", EOS/ESD Symposium, pp.1-10, 2003
- [32] M.Sawada, "Study of Device Waveform for TLP Measurement", RCJ EOS/ESD/EMC Symposium Proceedings, pp.185-190, 2004
- [33] T.Suzuki and K.Shiraishi, "Examination of Short Calibration Problem of Transmission Line Pulse", IEICE Electronics Express, Vol.10, No.5, pp1-8, 2013
- [34] A.Amerasekera, L.V.Roozendaal, J.Bruines, and F.Kuper, "Characterization and Modeling of Second Breakdown in NMOST's for the Extraction of ESD-Related Process and Design Parameters", IEEE Transactions on Electron Devices, pp.2161-2168, 1991
- [35] H.Abe, F.Kiyosumi, K.Yoshioka, and M.Ino, "ANALYSIS OF DEFECTS IN THIN SiO<sub>2</sub> THERMALLY GROWN ON Si SUBSTRATE", IEDM, pp.372-375, 1985

- [36] S.S.Kim and W.Wijaranakula, "The Effect of the Crystal Grown-in Defects on the Pause Tail Characteristics of Megabit Dynamic Random Access Memory Devices", *Journal of Electro Chemical Society*, Vol.141, No.7, pp.1872-1878, 1994
- [37] G.J.Hu, and R.H.Bruce, "A CMOS Structure with High Latchup Holding Voltage", *IEEE ELECTRON DEVICE LETTERS*, Vol.EDL-5, No.6, pp.211-214, 1984
- [38] J.A.Seitchik, A.Chatterjee, and P.Yang, "An Analytic Model of Holding Voltage for Latch-Up in Epitaxial CMOS", *IEEE ELECTRON DEVICE LETTERS*, Vol.EDL-8, No.4, pp.157-159, 1987
- [39] T.Itakura, M.Kojima and M.Aoki, "Advantages of Epitaxial Wafers for Suppressing Latchup and Threshold Voltage Variation in CMOSFETs", *Fujitsu Scientific and Technical Journal*, 32, pp.111-118, 1996
- [40] M.Aoki, T.Itakura and N.Sasaki, "Gettering of Iron Impurities in P/P+ epitaxial silicon wafers with heavily boron-doped substrates", *Applied Physics Letters*, Vol.66, No.20, pp.2709-2711, 1995
- [41] K.Hikazutani, K.Irino and T.Fukuda, "Mechanical Properties of 300mm Wafers at High Temperatures", *The 193<sup>RD</sup> Meeting of The Electrochemical Society, Inc., Meeting Abstracts No.518*, 1998
- [42] K.Shono, T.Kuroti, T.Kanda, M.Hirano and H.Sekiya "Origin of machine dependency of electrostatic discharge test of LSIs", *電子情報通信学会秋季大会講演論文集*, p.5, 1991
- [43] D.C.Wunsch and R.R.Bell, "DETERMINATION OF THRESHOLD FAILURE LEVELS OF SEMICONDUCTOR DIODES AND TRANSISTORS DUE TO PULSE VOLTAGES", *IEEE NS-15 NO.6*, pp.251-259, 1969
- [44] K.Suzuki, Y.Yaguti and M.Sato, "Elimination of Electrostatic Problems for LSI", *RCJ EOS/ESD/EMC Symposium*, pp.27-37, 1994
- [45] N.Maeda, Y.Kataoka, K.Matsushita and T.Wada, "ESD Phenomena in Scaled Semiconductor Device", *TECHNICAL REPORT OF IEICE, R90-65*, pp.53-58, 1991
- [46] M.Satsutani, Y.Kataoka and T.Wada, "Study of the Leakage Current on ESD Phenomena", *RCJ EOS/ESD/EMC Symposium*, pp.41-46, 1995
- [47] H.Ishizuka, K.Okuyama, K.Kubota, M.Komuro and Y.Hara, "A Study of ESD protection devices for input pins", *RCJ EOS/ESD/EMC symposium Proceedings*, pp.37-44, 1996
- [48] United States Patent Application Publication, US 2008/0211028 A1, Electro-Static Discharge protection device and method for manufacturing Electro-Static Discharge protection device
- [49] H. Tang, S. Chen, S. Liu, M. Lee, C. Liu, M. Wang and M. Jeng, "ESD protection for the tolerant I/O circuits using PESD implantation, *Journal of Electrostatics*, 54, pp.293-300, 2002
- [50] G. Zimmermann, P. Reiss, W. T. Chang, H. Tang, H. Ou and H. Cerva, "Dislocation Induced leakage of P+ Implanted ESD Test Macros in 90nm Technology", *Proceedings of ISTFA*, pp.120-125, 2004
- [51] D. Alvarez, M. J. Abou-Khalil, C. Russ, K. Chatty, R. Gauthier, D.Kontos, J. Li, C. Seguin and R. Halbach, "Analysis of ESD failure mechanism in 65nm bulk CMOS ESD NMOSFETs with ESD implant" *Microelectronics Reliability* 46, pp.1597-1602, 2006

- [52] K. Chatty, D. Alvarez, R. Gauthier, C. Russ, M. Abou-Khalil and B. J. Kwon, "Process and Design Optimization of a Protection Scheme based on NMOSFETs with ESD Implant in 65nm and 45nm CMOS Technologies" EOS/ESD symposium Proceedings, pp.385-394, 2007
- [53] Universal Serial Bus Specification, Revision 2.0, 2000
- [54] J.W.Miller, M.G.Khazhinsky, and J.C.Weldon, "Engineering the cascoded NMOS output buffer for maximum  $V_{t1}$ ," EOS/ESD Symposium Proceedings, pp.308-317, 2000
- [55] W.R.Anderson and D.B.Krakauer, "ESD protection for mixed-voltage I/O using NMOS transistors stacked in a cascode configuration," EOS/ESD symposium Proceedings, pp.54-62, 1998
- [56] J. H. Lee et al., The Failure Mechanism of High Voltage Tolerance I/O Buffer under ESD, IRPS Proceedings, pp269-276, 2003
- [57] M. Khazhinsky et al, "Engineering single NMOS and PMOS output buffers for maximum failure voltage in advanced CMOS technologies", EOS/ESD Symposium, pp.1-10, 2004
- [58] B.Serneels, T.Piessens, M.Steyaert, and W.Dehaene, "A high-voltage output driver in a 2.5-V 0.25- $\mu$ m CMOS technology," IEEE J. Solid-State Circuits, vol.40, no.3, pp.576-583, 2005
- [59] J. T. Jang et al., "A New High Voltage Tolerant I/O for Improving ESD Robustness", Microelectronics Reliability, pp1634-1637, vol. 46, 2006
- [60] M.-D.Ker, S.-L.Chen, and C.-S.Tsai, "Overview and design of mixedvoltage I/O buffers with low-voltage thin-oxide CMOS transistors," IEEE Trans. Circuits Syst. I, Reg. Papers, vol.53, no.9, pp.1934-1945, 2006
- [61] D. Alvarez et al., Design optimization of gate-silicided NMOSFETs in a 45nm CMOS technology, EOS/ESD Symposium, pp.28-36, 2007
- [62] D. Seo,H. Dabag,Y. Guo,M. Mishra, and G.McAllister, "High-voltage-tolerant analog circuits design in deep-submicrometer CMOS technologies," IEEE Transaction on Circuits and System, I, Reg. Papers, vol.54, no.10, pp.2159-2166, 2007
- [63] K.Chatty, D.Alvarez, M.J.Abou-Khalil, C.Russ, J.Li and R.Gauthier, "Investigation of ESD Performance of Silicide-Blocked Stacked NMOSFETs in a 45nm Bulk CMOS Technology", EOS/ESD Symposium, pp.304-311,2008
- [64] G. Boselli, A.J. Mouthaan and F.G. Kuper, "Rise-time effects in ggnMOS<sub>t</sub> under TLP stress", proceedings of Microelectronics, pp. 355-357, 2000
- [65] R.Merrill and E.Issaq, "ESD Design Methodology," EOS/ESD Symposium proceedings, pp.233-237, 1993
- [66] T.Suzuki, J.Iwahori, T.Morita, H.Takaoka, T.Nomura, K.Hashimoto and S.Ichino, "A study of relation between a power supply ESD and parasitic capacitance," Journal of Electrostatics 64, pp.760-767, 2006
- [67].T.Suzuki, O.Yoshiaki, S.Mitarai, S.Ito, and H.Monma, "A Study of Optimum ESD Protection Circuit with Semiconductor Device processed by CMOS 0.18 $\mu$ m technology", RCJ EOS/ESD/EMC symposium, pp.135-142, 1998
- [68] T.Suzuki, S.Ito and H.Monma, "ESD Characteristics of Semiconductor Device with Epitaxy on P+ Substrate", RCJ EOS/ESD/EMC Symposium, pp.53-60, 1996

- [69] T.Suzuki, S.Ito and H.Monma, “ESD characteristics of a lateral NPN protection device in epitaxial and non-epitaxial substrates”, Microelectronics Reliability Volume 37, pp.1453-1456, 1997
- [70] T. Suzuki, et al., “ESD and latch-up characteristics of semiconductor device with thin epitaxial substrate”, EOS/ESD Symposium Proceedings, pp.199–207, 1998
- [71] T. Suzuki, “今後多用されるエピタキシャル型半導体デバイスのESD特性“, クリーンテクノロジー, Vol.10, No.6, pp.8-12, 2000
- [72] A.Amerasekera, V.McNeil and M.Rodder, “Correlating Drain Junction Scaling, Salicide Thickness, and Lateral NPN Behavior, with the ESD/EOS Performance of a 0.25 $\mu$ m CMOS Process”, IEDM, pp.893-896, 1996
- [73] B. Keppens, M.Mergens, J.Armer, P.Jozwiak, G.Taylor, R.Mohn, C.Trinh, C.Russ, K.Verhaege and F.Ranter, “Active-area-segmentation (AAS) technique for compact ESD robust fully silicided NMOS design”, EOS/ESD Symposium, pp.250-258, 2003
- [74] K. Suzuki, et al., New scheme of electrostatic discharge circuit simulations using protection device model with generated-hole-dependent base resistance, Jpn. J. Appl. Phys. 43 pp.1673–1676, 2004
- [75] K.Suzuki, H.Anzai, T.Nomura and S.Satoh, “Parasitic Bipolar Transistor Model Using Generated-Hole-Dependent Base Resistance”, 39th Annual International Reliability Physics Symposium, pp.246-252, 2001
- [76] H.Anzai, Y.Tosaka, K.Suzuki, T.Nomura and S.Satoh, “Equivalent circuit model of ESD protection devices”, Fujitsu Scientific and Technical Journal, 39, pp.119-127, 2003
- [77] Y.Tosaka and T.Nomura, “信頼性シミュレーション-ESDとソフトウェア-“, 応用物理,第72巻,第4号, pp.474-478, 2003
- [78] H.Anzai, Y.Tosaka, K.Suzuki and H.Oka, "Investigation of Equivalent Circuit Model of ESD Protection Devices" IEIC Technical Report (Institute of Electronics, Information and Communication Engineers) pp.25-29, 2002
- [79] K. Verhage, et al., “Analysis of HBM testers and specifications using a 4th order lumped element model”, in: EOS/ESD Symposium, pp.129-137, 1993
- [80] C. Russ, et al., “ESD protection elements during HBM stress tests—further numerical and experimental results”, EOS/ESD Symposium, pp. 97–105, 1994
- [81] A. Amerasekera, et al., The impact of technology scaling on ESD robustness and protection circuit design, in: EOS/ESD Symposium, pp.237–245, 1994
- [82] T.Nomura, T.Suzuki and S.Sato, “A study of ESD characteristics by 2D Device simulation”, RCJ EOS/ESD/EMC Symposium, pp.165–171, 2000
- [83] <http://esda.org/IndustryCouncil.html>
- [84] JEDEC PUBLICATION, Recommended ESD Target Levels for HBM/MM Qualification, JEP155A.01, 2012
- [85] JEDEC PUBLICATION, Recommended ESD-CDM Target Levels, JEP157, 2009



# 研究業績

## 1. 学術論文

- ESD characteristics of a lateral NPN protection device in epitaxial and non-epitaxial substrates, T.Suzuki, S.Ito and H.Monma, Microelectronics Reliability Volume 37, pp.1453-1456, 1997
- A study of relation between a power supply ESD and parasitic capacitance, T.Suzuki, J.Iwahori, T.Morita, H.Takaoka, T.Nomura, K.Hashimoto and S.Ichino, Journal of Electrostatics 64, pp.760-767, 2006
- Examination of Short Calibration Problem of Transmission Line Pulse, T.Suzuki and K.Shiraishi, IEICE Electronics Express, Vol.10, No.5, pp1-8, 2013

## 2. 国際学会 及びシンポジウム

- **Invited:** CHARACTERISTICS OF A LATERAL NPN PROTECTION DEVICE IN EPITAXIAL AND NONEPITAXIAL SUBSTRATES, T.Suzuki, S.Ito and H.Monma, The 8<sup>th</sup> ESREF, pp.1453- 1456, 1997.
- ESD and latch-up characteristics of semiconductor device with thin epitaxial substrate, T. Suzuki, S.Sekino, S.Ito and H.Monma, EOS/ESD Symposium, pp.199–207, 1998
- **Invited:** A Study of Fully Silicided 0.18 $\mu$ m CMOS ESD Protection Devices, T. Suzuki, S.Mitarai, S.Ito, H.Monma and N.Higashi, EOS/ESD Symposium, pp.78–87, 1999
- **Invited:** A Study of relation between a power supply ESD and parasitic capacitance, T.Suzuki, J.Iwahori, T.Morita, H.Takaoka, T.Nomura, K.Hashimoto and S.Ichino, EOS/ESD Symposium, pp.290-297, 2005
- A Study of ESD Robustness of Cascoded NMOS Driver, T.Suzuki, M.Kojima, J.Iwahori, T.Morita, N.Isomura, K.Hashimoto and N.Yokota, EOS/ESD Symposium, pp.403–407, 2007
- CDM analysis on 65nm CMOS: Pitfalls when correlating results between IO test chips and product level, T.Suzuki, K.Hashimoto, N.Isomura, N.Yokota, O,Marichal, B.Sorgeloos, B.V.Camp and B.Keppens, EOS/ESD Symposium, pp.325–331, 2008
- **Invited:** Introduction of the solutions to the problems due to the Electro-static Discharge, T.Suzuki, IEEE Electron Devices Society Mini Colloquium in Chengdu, Caina,2012

### 3. 国内学会 及びシンポジウム

- **Best Paper:** ESD Characteristics of Semiconductor Device with Epitaxy on P+ Substrate, T.Suzuki, S.Ito and H.Monma, RCJ EOS/ESD/EMC Symposium, pp.53-60, 1996
- Latch up Characteristics of Semiconductor Device with Thin Epitaxy on P+ Substrate, T.Suzuki, S.Sekino, S.Ito and H.Monma, RCJ EOS/ESD/EMC Symposium, pp.119-126, 1997
- **Best Paper:** A Study of Optimum ESD Protection Circuit with Semiconductor Device processed by CMOS 0.18 $\mu$ m technology, T.Suzuki, O.Yoshiaki, S.Mitarai, S.Ito, and H.Monma, RCJ EOS/ESD/EMC symposium, pp.135-142, 1998
- A Study of ESD Characteristics for Semiconductor Device in thin Epitaxy, T.Suzuki, S.Ito and H.Monma, RCJ EOS/ESD/EMC Symposium, pp.165-170, 1999
- A study of ESD characteristics by 2D Device simulation, T.Nomura, T.Suzuki and S.Sato, RCJ EOS/ESD/EMC Symposium, pp.165–171, 2000
- The research on ESD destruction of PMOS in the advanced technology, T.Suzuki, J.Iwahori, T.Morita, H.Mochizuki and H.Takaoka, RCJ EOS/ESD/EMC symposium, pp.205-208, 2003
- **Best Paper:** A Study of Power-Clamp ESD protection circuit, T.Suzuki, J.Iwahori, T.Morita, H.Takaoka, N.Saito, K.Aizawa, K.Hashimoto and K.Hirochi, RCJ EOS/ESD/EMC symposium, pp.155-158, 2004
- Consideration of Power-Clamp ESD protection circuit, T.Suzuki, J.Iwahori, T.Morita, H.Takaoka, T.Nomura, K.Hashimoto and S.Ichino, RCJ EOS/ESD/EMC symposium, pp.185-190, 2005
- A Study of Cascaded NMOS Drivers for their ESD robustness, T.Suzuki, M.Kojima, J.Iwahori, T.Morita, N.Isomura, K.Hashimoto and N.Yokota, RCJ EOS/ESD/EMC symposium, pp.199-202, 2006
- Consideration concerning problems of calibration of TLP, T.Suzuki, H.Mizuno, M.Kojima, N. Isomura, K.Hashimoto and N.Yokota, RCJ EOS/ESD/EMC symposium, pp.105-108, 2007
- CDM analysis on 65nm CMOS: Pitfalls when correlating results between IO test chips and product level, T.Suzuki, M.Kojima, K.Hashimoto, B.Sorgeloos, O.Marichal and B.Keppens, RCJ EOS/ESD/EMC symposium, pp.115-121, 2008

## 4. その他

- 今後多用されるエピタキシャル型半導体デバイスのESD特性, T. Suzuki, クリーンテクノロジー, Vol.10, No.6, pp.8-12, 2000
- 半導体デバイスの ESD 対策, T.Suzuki, Next Generation Device ESD Extensible Technology in Nagoya,2-1, 2011
- Trend of the component Level ESD Protection Technology of the Semiconductor Product, T.Suzuki, Journal of the Institute of Electrostatics Japan, Vol.36, No.5, pp.272-275, 2012

