

氏名(本籍)	木本賢治(福岡県)		
学位の種類	博士(工学)		
学位記番号	博甲第4581号		
学位授与年月日	平成20年3月25日		
学位授与の要件	学位規則第4条第1項該当		
審査研究科	数理物質科学研究科		
学位論文題目	シリコンへの電荷移動型ドーピングとそのデバイス応用に関する研究		
主査	筑波大学教授	工学博士	金山敏彦
副査	筑波大学教授	工学博士	村上浩一
副査	筑波大学教授	工学博士	山部紀久夫
副査	筑波大学教授	Ph.D	佐野伸行

論文の内容の要旨

近年, LSI の集積化の進展は目覚しく, 構成要素である MOS トランジスタのサイズは益々縮小されている。トランジスタのゲート長が縮小されると, 閾値電圧の低下やオフ電流の増大といった短チャネル効果が顕著となるが, この抑制のためにはソース・ドレイン領域 (S/D) の浅接合化が不可欠である。例えば, 2010 年頃に実用化されるゲート長 20nm 程度の MOSFET の S/D には, 10nm 以下の極浅接合が求められる。しかしながら, Si 基板中への不純物 (As, B 等) イオン注入及びアニーリングをベースとする従来の接合形成技術では, イオン注入時のストラグリング, イオン注入時の基板へのダメージに起因する増速拡散等のために, このような極浅接合の形成は非常に困難である。そこで本研究では, 新規接合形成技術として, シリコン基板中に不純物をドーピングする代わりに, イオン化エネルギーの小さい不純物, または, 電子親和力の大きい不純物をシリコン基板表面直上に配置し, その結果起こる不純物とシリコン基板間での電荷移動によってキャリア層を誘起する電荷移動型ドーピングを提案し, これを用いた極限的浅接合形成を試み, その有効性について議論した。

本論文では, 始めに, 第1章で LSI 技術の進展における極浅接合の必要性を議論した後に, 第2章で, 電荷移動型ドーピングの原理について説明し, 電荷移動型ドーピングによって得られるシート抵抗, キャリア密度等に関する計算結果について議論した。その結果, キャリア密度の増加と移動度の劣化が競合することによって, 電子キャリア層のシート抵抗は最小値 $3.6\text{k}\Omega/\text{sq.}$ を示し, 正孔キャリア層のシート抵抗は, $4\text{k}\Omega/\text{sq.}$ への漸近傾向を示すことがわかった。このように, 電荷移動型ドーピングでは, 極限的浅接合が形成可能となる一方で, 誘起されるキャリア層のシート抵抗は比較的高くなることを予想した。

第3章では, 電荷移動型ドーピングによって形成したソース・ドレインエクステンションを持つ MOSFET (CTE-MOS: charge-transfer-doped source/drain extension MOSFET) のデバイスシミュレーションを行い, 通常構造の MOSFET に対する特性メリットについて議論した。特性比較の方法として, ゲート長ばらつき $L_g = L_{\text{nom}} \pm 20\%$ を仮定し, $L_g = L_{\text{nom}} - 20\% = L_-$ におけるオフ電流 $I_{\text{off}}(L_-)$ が ITRS (国際半導体技術ロードマップ) の要求値を満たすように基板中の p 型不純物濃度を決め, $L_g = L_{\text{nom}} + 20\% = L_+$ におけるオン電流 $I_{\text{on}}(L_+)$ をデバイス性能の指標とする方法を用いた。その結果, CTE-MOS は通常 MOS よりも, 基板不純物濃度を低濃

度化し、ゲート長ばらつきによる閾値電圧シフト ΔV_{th} を低減し、ワーストケースのオン電流 $I_{on}(L_+)$ を増大させることがわかった。また、CTE-MOS は通常 MOS よりも厚いゲート酸化膜厚において $I_{on}(L_+)$ を最大化し、また、 $I_{on}(L_+)$ の最大値も CTE-MOS の方が通常 MOS よりも大きくなることを示した。これは、CTE-MOS は、MOSFET のスケーリングに要求されるゲート酸化膜厚の極端な薄膜化への要求を緩和する可能性を有することを示している。

第4章では、イオン化エネルギーの小さい不純物として Cs を用いることにより、電荷移動型ドーピングによって極限的浅接合が形成されることを実験的に実証した。Cs のシリコン酸化膜へのイオン注入後のアニールにより、 SiO_2/Si 界面に Cs を偏析させることによって、電荷移動型ドーピングが実現できることを Hall 測定に基づいて実証した。Cs 偏析量の増加と共に誘起される電子キャリア密度は増加し、 $1.8 - 2.6 \times 10^{13} \text{cm}^{-2}$ のキャリア密度と $2.2 - 2.6 \text{k}\Omega/\text{sq}$ のシート抵抗が得られることを明らかにした。このシート抵抗値は、ソース・ドレインエクステンション極浅接合化によるデバイス性能向上効果を得るために必要なシート抵抗 $5 \text{k}\Omega/\text{sq}$ よりも低いため、十分に低いシート抵抗値である。

第5章では、Cs を用いた電荷移動型ドーピングをソース・ドレインエクステンションの形成に適用した CTE-MOS を実際に作製し、得られたデバイス特性について議論した。その結果、ゲート長 57nm の微細 CTE-MOS において、リークレベルの低いドレイン接合特性、約 9 桁のオン/オフ比、 $101 \text{mV}/\text{dec}$ ($V_d = 50 \text{mV}$ のとき) のサブスレッショルド係数等、良好なトランジスタ特性を得られることを示した。また、作製した CTE-MOS の V_{th} ロールオフ特性がデバイスシミュレーション結果と良く一致することから、Cs 偏析を用いることによって理想に近い CTE 構造が得られることがわかった。

次に、第6章では、電荷移動型ドーピングのメタルソース・ドレイン構造への適用を想定し、電荷移動型ドーピングによるショットキーバリア変調について議論した。 SiO_2/Si 界面への Cs 偏析を利用した電荷移動型ドーピングを $\text{CoSi}_2/n\text{-Si}$ ショットキーダイオードに適用したところ、バイアス電圧 0V のときのショットキーバリア高さ $\phi_{SBO} = 0.52 \text{eV}$ は、Cs イオン注入量の増加と共に減少し、Cs イオン注入量 $5 \times 10^{13} \text{cm}^{-2}$ のとき、 $\phi_{SBO} = 0.06 \text{eV}$ にまで減少した。Cs イオン注入量を更に増加すると、 $\text{CoSi}_2/n\text{-Si}$ ショットキーダイオードの逆バイアス電流が更に増加し、Cs イオン注入量 $5 \times 10^{14} \text{cm}^{-2}$ 以上では、ほぼオーミック特性が得られた。Hall 測定で得られた電子面密度が急激に増加する Cs イオン注入量の範囲と、ショットキーバリア高さ ϕ_{SBO} が急激に減少する Cs イオン注入量の範囲とがよく一致することから、観測されたショットキーバリア高さの減少が Cs 偏析による電荷移動型ドーピングに起因していることが明確に示された。

最後に、Cs 偏析を利用した電荷移動型ドーピングをメタルソース・ドレイン構造に適用した MSD-CTE-MOS を作製し、デバイス動作を実証した。ゲート長 140nm の MSD-CTE-MOS において、ドレイン接合リーク、GIDL 電流が共によく抑制され、また、CTE-MOS に比べて、非常に大きなドレイン電流が得られることを示した。この結果は、電荷移動型ドーピングによる CTE 形成とショットキーバリア変調の結果、 CoSi_2 とチャネル反転層が CTE を介してオーミックに接続され、低抵抗・極浅接合ソース・ドレインが形成されたことを示す。このように、電荷移動型ドーピングをメタルソース・ドレインに適用することにより、ソース・ドレインの極浅接合化と超低抵抗化を同時に実現できることが示された。

以上のように、電荷移動型ドーピングは、冶金学的接合深さゼロの極限的浅接合の形成を可能とする技術であり、これを MOSFET のソース・ドレインエクステンションに適用することによって短チャネル効果の極限的抑制が可能となることを示した。更に、電荷移動型ドーピングをメタルソース・ドレイン構造に適用することにより、ソース・ドレインの極浅接合化と超低抵抗化を両立することができ、短チャネル効果の極限的抑制と、駆動電流の大幅な向上の可能性を実証した。

審査の結果の要旨

本論文は、電荷移動型ドーピングと言う、極限的な浅接合の形成技術を提案し、実際にこの手法を適用した微細トランジスタを試作することによって特性向上を実証した、独創的な研究成果の報告である。単に理論的な考察に基づく提案に留まらず、詳細なシミュレーションを経て、ゲート長 100nm 以下の微細トランジスタの試作により、有効性を実証したことは、本論文に高い完成度を与えている。さらに、この技術が金属/シリコン間のショットキー障壁の変調にも適用可能であり、メタルソース・ドレイン構造に適用することにより、極浅接合化と超低抵抗化を両立することができることを実証した。これは、電荷移動型ドーピングが、現行の planar bulk 構造のトランジスタだけでなく、将来的なデバイス構造にも有効な技術であることを示す、特筆すべき知見である。

今後の課題として、電荷移動型ドーピングが実際の LSI 製造に使われるためには、十分な信頼性が確できることを示す必要がある。また、本論文では、電子反転層の形成について実証が行われたが、同様に正孔反転層についても、有効性を実際に検証しなければならない。今後の研究の発展に期待するところである。

よって、著者は博士（工学）の学位を受けるに十分な資格を有するものと認める。