

平成 22 年 3 月 31 日現在

研究種目：基盤研究 (B)  
 研究期間：2006 ~ 2009  
 課題番号：18300013  
 研究課題名 (和文) リコンフィギュラブルコンピューティングシステムにおける高速計算方式の確立  
 研究課題名 (英文) Establishing methods for high performance computing on reconfigurable computing systems

研究代表者  
 丸山 勉 (MARUYAMA TSUTOMU)  
 筑波大学・大学院システム情報工学研究科・教授  
 研究者番号：00292532

研究成果の概要 (和文)：FPGA を用いたリコンフィギュラブルコンピューティングシステムの高速度化手法を確立するために、応用問題をその探索空間の形状とメモリ参照パターンに基づき分類し、それらの問題に対する高速化手法を検討し、国際学会、論文誌での発表を行った。また、同様の問題に対する回路の作成をより容易なものとするために、回路のライブラリ化を進めるとともに、画像処理問題を対象とした、より C 言語のレベルに近いハードウェア記述言語の仕様検討を行い、その処理系の開発を行った。

研究成果の概要 (英文)：In order to establish methods for high performance computing on reconfigurable computing systems, we grouped application problems according to the shapes of their search spaces and memory access patterns, and developed the computation methods for the problems in each group. The results were published in journals and international conferences. We also developed libraries for the problems, and a C-like hardware description language for image processing and its processing environments.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2006年度	2,700,000	810,000	3,510,000
2007年度	1,400,000	420,000	1,820,000
2008年度	1,700,000	510,000	2,210,000
2009年度	1,100,000	330,000	1,430,000
年度			
総計	6,900,000	2,070,000	8,970,000

研究分野：コンピュータシステム

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：リコンフィギュラブルコンピューティングシステム, FPGA, 高速計算

## 1. 研究開始当初の背景

近年、FPGA (Field Programmable Gate Array) に代表されるリコンフィギュラブルデバイス (書き換え可能な LSI) から構成されるリ

コンフィギュラブルシステムにおいて、多くの分野の実用的な問題に対し、最新のマイクロプロセッサを著しく上回る性能が実現可能であることが、数多くの研究によって示されて来ている。これは、近年の LSI にお

る集積度の向上に伴い、FPGA 数個程度からなる小規模リコンフィギュラブルシステムにおいても、様々な実用的な問題に対して、十分に高い並列度を実現することが可能となってきたことによるものである。今後の、集積度の更なる向上を考えたとき、このような小規模リコンフィギュラブルシステムは、性能面、価格面から考えて、パーソナルアクセラレータとして非常に魅力的なものであると言える。

しかし、この集積度の著しい向上とは対照的に、FPGA のデータ入出力性能の向上には遅々たるものがあり、その性能差は大きくなる一方である。さらに、リコンフィギュラブルシステムでは、様々な問題を同一のハードウェアプラットフォーム上で実現することが重要であるため、応用問題毎の特徴を反映した外部回路(特にデータ入出力)をシステム上に実現することは現実的ではない。

このため、リコンフィギュラブルシステム上で、効率的な処理を実現するためには、この性能差をカバーしつつ、より高い並列度を実現して行く必要がある。マイクロプロセッサにおいては、この問題は主にキャッシュメモリ等により解決されて来たが、リコンフィギュラブルシステムでは、回路構成自体を自由に変えることができるため、より柔軟かつ効率的な対応が可能となる。しかし、これは回路の設計を非常に複雑なものとし、現状のリコンフィギュラブルシステムにおける回路の設計は、state-of-the-arts の段階にあると言える。リコンフィギュラブルシステムのより発展とその普及を現実のものとするためには、様々な問題における回路設計手法の基礎を確立し、state-of-the-arts からの脱却を図ることが不可欠である。

## 2. 研究の目的

本研究では、リコンフィギュラブルシステムにおける高速計算手法の明確化、また、それら高速化手法を様々な問題に対してより容易に適用可能とするための設計サポートシステムの構築を目指す。

具体的には、

(1) 最新の FPGA を搭載したシステムを用いて、これまで評価を行って来た問題、および新たな問題の高速化の研究を行い、新たな高速化手法を含め、様々な高速化手法の評価を行う。この評価においては、各問題の対象空間の次元と形状、その空間を走査する演算ユニット間の接続状態、各演算ユニットにより参照される対象空間の部分集合の次元と形状、FPGA の回路規模、複数の FPGA 間の接続形態等をパラメータとして、各種問題に対する各高速化手法の有効性を詳細に評価する。これらの評価に用いる回路の設計におい

て、問題固有の計算部分と、問題の次元/探索方式等により、ある程度一般化可能なデータ参照部分とに回路を分離し、一般化可能な部分を設計テンプレートとして、ライブラリ化する。

(2) 上記の評価結果をもとに、新たな問題に対する回路を作成する際に、問題の特徴に応じて、各高速化手法の有効性、そのとき必要となる回路規模等の見積もりを行い、利用可能なライブラリを提示することのできるサポートシステムの構築を目指す。これには、問題の探索空間の形状、演算ユニットの結合方式、各演算ユニットにおけるデータアクセスパターン等の類型化、また、それ等に対して、どのような高速化方式を用いた場合に、どの程度の回路規模が必要となり、どの程度の高速化が可能とであったかというデータベースが必要であり、このデータベースを、上記の応用問題の評価を継続して行うことにより、改善して行く。また、他の研究者による多くの研究成果の解析/分類を通して、よりデータベースの拡充を目指す。

(3) 上記の評価をより容易とするために、各種演算ユニット間の動作タイミングを記述するためのハードウェア記述言語の開発を行う。この言語は、パイプライン動作するユニット間の動作タイミングの記述のみを C like なシンタックスで実現することを目指したものであり、処理のタイミングの制御のみに特化している点が従来の汎用的なハードウェア記述言語とは大きく異なるものである。

## 3. 研究の方法

FPGA を搭載した FPGA ボードとその拡張メモリ、そのマザーボード、それらのホストコンピュータとなるパーソナルコンピュータを複数台購入し、小規模なリコンフィギュラブルシステムを構築し、従来評価を行ってきた問題の評価を引き続き行う。リコンフィギュラブルシステムにより適した FPGA ボードを研究の中で自作することも可能であるが、作成自体に時間/費用がかかること、また、作成した回路を他の研究者等と共有して行くためには、他の研究者も容易に入手可能なメジャーな市販ボードを使った方が有益である。

購入する FPGA ボードは、マザーボード(PCI インタフェスとコネクタのみが実装されている)/ドータボード(FPGA とメモリが搭載されている)構成となっており、マザーボードに 2 枚までのドータボードが装着可能であるため、購入したドータボード 2 枚を 1 枚のマザーボードに載せることにより密結合の並列処理の評価が、それぞれのマザーボードにドータボードを 1 枚ずつ載せることにより疎

結合の並列処理の評価を行うことができる。さらに、これらのボードでは、部分書き換えが可能であるため、動的な回路再構成による高速化の検討を、より拡張した形で評価することが可能となる。

順次、最新のFPGAボードを購入することにより、FPGAの回路規模を数倍程度とすることができる(入出力性能は同程度)。これにより、高速化に有効な手法が従来のFPGAを用いた場合とは、異なるものとなる。このため、従来から評価を行ってきた問題に対する高速計算の評価を新しいボードを用いて、引き続き行い、回路規模をパラメータとして、どのような手法が、より有効であるかの検証を進める。

この評価過程において、より多くの種類の問題の評価を行うことが望ましいが、実際には、時間的な制約から、評価することのできる問題の種類は限られる。このため、評価を行う問題を類型化し、絞り込む必要がある。これまでに評価を行って問題は以下のように分類することができる。

(1) N次元空間を1次元的に接続された演算ユニットで走査し、計算を行うもの(多次元空間におけるダイナミックプログラミングに基づくホモロジー検索が対応)

(2) N次元空間を2次元的(アレイ)に接続された演算ユニットで走査し、計算を行うもの(PIV法による流体の流れ計測、ステレオビジョン、オプティカルフロー等の画像処理の問題が対応)

(3) 入力データを基にN次元空間における投票を並列に行い最も適切な候補の選択を行うもの(ハフ変換による直線抽出、一般化ハフ変換による任意形状の抽出が対応)

(4)  $2^N$ の大きさの探索空間に対し、N個の演算ユニットを用いて最適解の探索を行うもの(充足可能性問題が対応)

(5) N次元空間における1次元パターン、2次元パターンの検出(パターンマッチングによる物体の3次元位置推定問題が対応)

以上の問題を用いて、問題の対象空間(個体)の次元とその形状、その空間を走査する演算ユニットの接続状態、各演算ユニットにおいて参照される対象空間の一部の次元と形状、FPGAの回路規模、複数のFPGA間の接続形態等をパラメータとして、これまでの研究成果を基に有望であると考えている各高速化手法の有効性の評価を行う。また、新たな高速化手法の検討/評価を行う。これらの評価に用いる回路の設計において、問題固有の計算

部分と、問題の次元/探索方式等により、ある程度一般化可能なデータ参照部分とに回路を分離し、一般化可能な部分を設計テンプレートとして、ライブラリ化する。

これらの評価と平行して、各評価に用いる回路の設計をより容易なものとするために、各種演算ユニット間の動作タイミングを記述するためのハードウェア記述言語の開発を進める。この言語は、パイプライン動作するユニット間の動作タイミング(制御回路)の記述のみをC likeなシンタックスで実現することを目指したものであり、処理のタイミングの制御のみに特化している点が従来の汎用的なハードウェア記述言語とは大きく異なる。データパス(演算パス)の自動生成は、最高性能の実現を目指す限り非常に困難であるため、本ハードウェア記述言語では対象としない。本ハードウェア記述言語では、各演算ユニットの動作タイミングを制御する制御回路の自動生成を対象とし、演算ユニットのパイプライン段数等を変更した場合の、タイミングに関する煩雑な回路変更を避けることを狙う。

#### 4. 研究成果

以下、各年度における研究成果について述べる。

[平成18年度] まず、N次元空間を1次元的に接続された演算ユニットで走査し、計算を行う問題として、多次元空間におけるダイナミックプログラミングに基づくホモロジー検索の研究を進めた。この問題においては、1次元のチェーン状に配置された演算ユニットが、N次元空間を走査することにより、計算が行われる。この時、既に計算されたN-1次元の近傍データを参照することが必要となるため、参照されるデータ量は非常に大きく、全てをFPGA内部に保持することはできない。また、マッチングの評価において、スコアテーブルの参照が必要となるが、このテーブルも非常に大きく、FPGA内部には保持することができないため、各種データの効率的な取り扱いが不可欠となる。次に、N次元空間を2次元的(アレイ)に接続された演算ユニットで走査し、計算を行う問題として、2次元画像のセグメンテーション問題の高速計算の研究を進めた。 $2^N$ の大きさの探索空間に対し、N個の演算ユニットを用いて最適解の探索を行う問題として、充足可能性問題の高速化の研究を行った。探索空間の大きさは $2^N$ となるため、適切な探索方式、探索に必要なとされるメモリ空間の適切な分割とそのキャッシング等が必要となる。以上の問題に関して、国際学会において発表を行うとともに、国際学会、論文誌への投稿を行った。

[平成 19 年度] 2 次元画像のデータを非連続的に参照する問題として、watershed アルゴリズムに基づく画像セグメンテーション問題の高速化を行った。連続的に参照する問題としては、K-means クラスタリングアルゴリズムに基づくカラー画像のセグメンテーション問題と、大規模な画像データに対する大規模なフィルターの適用問題を扱った。また、本年度は、最新の CPU を持つパーソナルコンピュータを購入し、FPGA による高速化の評価を行った。最新の CPU では、128 ビット幅のデータを 8b×16 個、16b×8 個、32b×4 個等と分割し、それらのデータに対して同一の演算を並列に行うことができる。また、複数(最大 4 個)のコアを持つため、それらの並列演算を 4 個同時に行うことも可能である。これまでに FPGA を用いて評価を行ってきた幾つかの問題に対して、CPU と FPGA の性能比較を行い、どの程度の回路規模を用いることにより、どの程度の高速化が可能であるかを明らかにした。また、 $2^N$  の大きさの探索空間に対し、 $N$  個の演算ユニットを用いて最適解の探索を行う問題として、充足可能性問題の高速化の研究を行った。これらの問題に関して、論文誌および国際学会において発表を行うとともに、来年度の国際学会への投稿を行った。

[平成 20 年度] 様々な問題の評価を通した高速化手法の検討/評価を行うために、(1)  $N$  次元空間を 1 次元的に接続された演算ユニットで走査し計算を行う問題として、多次元空間におけるダイナミックプログラミングに基づくホモロジー検索の研究、(2)  $N$  次元空間を 2 次元(アレイ)に接続された演算ユニットで走査し計算を行う問題として、2 次元画像のセグメンテーション問題、フィルタリング処理、ローカルコントラストの補正問題、パターンマッチング問題、(3)  $2$  の  $N$  乗の大きさの探索空間に対し  $N$  個の演算ユニットを用いて最適解の探索を行う問題として、充足可能性問題等の高速化の研究を行って来た。これらの研究の評価結果をもとに、問題の対象空間の特徴、その空間を走査する演算ユニットの接続状態の特徴、各演算ユニットにおいて参照される対象空間の一部の次元と形状をパラメータとして、高速化回路の一般化をはかり、そのライブラリ化の検討を行った。これらの検討結果をもとに、画像処理問題を対象とした、より C 言語のレベルに近いハードウェア記述言語の仕様検討を行い、その処理系の開発を開始した。また、SIMD 命令をサポートした複数のコアを持つマイクロプロセッサ、多数のコアを持つ GPU 等の最新の LSI との性能差を明らかにするために、これらの LSI の性能評価を行った。

[平成 21 年度] 引き続き、(1)  $N$  次元空間を 1 次元的に接続された演算ユニットで走査し計算を行う問題として、多次元空間におけるダイナミックプログラミングに基づくホモロジー検索の研究、(2)  $N$  次元空間を 2 次元(アレイ)に接続された演算ユニットで走査し計算を行う問題として、線分抽出問題、ローカルコントラストの補正問題、パターンマッチング問題、(3)  $2$  の  $N$  乗の大きさの探索空間に対し  $N$  個の演算ユニットを用いて最適解の探索を行う問題として、充足可能性問題、数独ソルバの高速化等の研究を行った。また、これらと並行して、SIMD 命令をサポートした複数のコアを持つマイクロプロセッサ、多数のコアを持つ GPU 等の最新の LSI との性能差を明らかにするために、これらの LSI の性能評価を進めた。これらの問題に関して、論文誌および国際学会において発表を行うとともに、国際学会、論文誌への投稿を行った。これらの研究の評価結果をもとに、問題の対象空間の特徴、その空間を走査する演算ユニットの接続状態の特徴、各演算ユニットにおいて参照される対象空間の一部の次元と形状をパラメータとして、高速化回路の一般化をはかり、そのライブラリ化の検討を進めた。また、画像処理問題を対象とした、より C 言語のレベルに近いハードウェア記述言語の仕様検討を行い、その処理系の開発を継続して行った。

#### 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 4 件)

- ① 金沢 健治, 丸山 勉,  
``FPGA を用いた大規模な充足可能性問題の高速計算``  
電子情報通信論文誌, 査読有,  
Vol. J90-D No. 10, 2007, pp. 2713-2722
- ② Dang Ba Khac Trieu and Tsutomu Maruyama,  
``Real-time image segmentation based on a parallel and pipelined watershed algorithm``,  
Journal of Real-Time Image Processing, Springer, 査読有,  
Vol. 2, No. 4, 2007, pp. 319-329
- ③ Takashi Saegusa, Tsutomu Maruyama,  
``An FPGA implementation of real-time K-means clustering for color images``,  
Journal of Real-Time Image Processing, Springer, 査読有, Vol. 2, No. 4, 2007, pp. 309-318

- ④ 金沢 健治, 丸山 勉, ``FPGA を用いた WSAT アルゴリズムの高速計算'', 電子情報通信学会論文誌 D, 査読有, Vol. J89-D No. 6, 2006, pp. 1173-1181

[学会発表] (計 14 件)

- ① Shuichi Asano, Tsutomu Maruyama and Yoshiki Yamaguchi, ``Performance Comparison of FPGA, GPU and CPU in Image Processing'', International Conference on Field Programmable and Applications, pp. 126-131, 2009/08/31, Prague Czech Republic
- ② Kentaro Kokufuta and Tsutomu Maruyama, ``Real-time processing of local contrast enhancement on FPGA'', International Conference on Field Programmable and Applications, pp. 288-293, 2009/09/01, Prague Czech Republic
- ③ Yoshifumi Tanida and Tsutomu Maruyama, ``Real-time Detection of Rotated Patterns using FPGA'', International Conference on Field Programmable Technology, pp. 316-319, 2009/12/09, Sydney Australia
- ④ Takashi Saegusa, Tsutomu Maruyama and Yoshiki Yamaguchi, ``How fast is an FPGA in image processing ?'', International Conference on Field Programmable and Applications, pp. 77-82, 2008/09/08, Heidelberg Germany
- ⑤ Dang Ba Khac Trieu and Tsutomu Maruyama, ``An implementation of a watershed algorithm based on connected components on FPGA'', International Conference on Field Programmable Technology, pp. 265-268, 2008/12/08, Taipei Taiwan
- ⑥ Yoshifumi Tanida and Tsutomu Maruyama, ``An Approach for Downscaling Images for Real-time Pattern Detection'', International Conference on Field Programmable Technology, pp. 253-256, 2008/12/08, Taipei Taiwan
- ⑦ Dang Ba Khac Trieu and Tsutomu Maruyama, ``A Pipeline Implementation of a Watershed Algorithm on FPGA'', International Conference on Field Programmable and Applications, pp. 714-717, 2007/08/28, Amsterdam Netherland
- ⑧ Kenji Kanazawa and Tsutomu Maruyama, ``An FPGA Solver for Very Large SAT Problems'', International Conference on Field Programmable and Applications, pp. 493-496, 2007/08/27, Amsterdam Netherland
- ⑨ Shingo Kawada, Tsutomu Maruyama, ``An Approach for Applying Large Filters on Large Images using FPGA'', International Conference on Field Programmable Technology, pp. 201-208, 2007/12/14, Kitakyushu Japan
- ⑩ Takashi Saegusa, Tsutomu Maruyama, ``Real-time Segmentation of Color Images Based on K-means Clustering on FPGA'', International Conference on Field Programmable Technology, pp. 329-332, 2007/12/13, Kitakyushu Japan
- ⑪ Tsutomu Maruyama, ``Real-time K-Means Clustering for Color Images on Reconfigurable Hardware'', International Conference on Pattern Recognition, pp. 816-819, 2006/08/22, Hong Kong
- ⑫ T. Saegusa and T. Maruyama, ``An FPGA Implementation of K-Means Clustering for Color Images Based on Kd-Tree'', 16th International Conference on Field-Programmable Logic and Applications, pp. 567-572, 2006/08/30, Madrid Spain
- ⑬ K. Kanazawa and T. Maruyama, ``An FPGA Solver for Large SAT Problems'', 16th International Conference on Field-Programmable Logic and Applications, pp. 303-308, 2006/08/29, Madrid Spain
- ⑭ Dang Ba Khac Trieu and Tsutomu Maruyama, ``Implementation of a Parallel and Pipelined Watershed Algorithm on FPGA'', 16th International Conference on Field-Programmable Logic and Applications, pp. 561-566, 2006/08/30, Madrid Spain

[その他]  
ホームページ等  
<http://darwin.esys.tsukuba.ac.jp>

6. 研究組織

(1) 研究代表者

丸山 勉 (MARUYAMA TSUTOMU)  
筑波大学・大学院システム情報工学研究  
科・教授  
研究者番号：00292532

(2) 研究分担者

なし

(3) 連携研究者

なし