

氏名(本籍)	おお つか ふみ お 大塚文雄(栃木県)		
学位の種類	博 士(工 学)		
学位記番号	博 甲 第 4921 号		
学位授与年月日	平成 21 年 3 月 25 日		
学位授与の要件	学位規則第 4 条第 1 項該当		
審査研究科	数理物質科学研究科		
学位論文題目	微細 CMOS トランジスタの高性能化プロセスとその評価技術の研究		

主査	筑波大学教授	工学博士	山 部 紀久夫
副査	筑波大学教授	工学博士	村 上 浩 一
副査	筑波大学教授	理学博士	名 取 研 二
副査	筑波大学教授	Ph. D.	佐 野 伸 行
副査	筑波大学准教授	博士(工学)	末 益 崇

論 文 の 内 容 の 要 旨

最先端 LSI での微細 CMOS トランジスタの特性を精密に制御するための研究であり、論文の内容は、①フルメタルデュアル仕事関数 CMOS トランジスタプロセスの構築、②低熱負荷プロセスによる浅接合化と High-k メタルゲートへの適用、③メタルゲートに起因した縦方向ひずみによる PMOS 性能向上、④関連した種々の評価技術からなっている。

① CMOS での p チャネルトランジスタと n チャネルトランジスタに対して、HIGH-k ゲート絶縁膜として HfSiON を共通に用いているが、仕事関数制御メタルとしてそれぞれに TiN と TaSiN を用いた CMOS プロセスを構築した。片方のチャンネルのゲート絶縁膜上のゲート電極を一旦剥離した後、ゲート電極を被着するというプロセスは、絶縁膜の信頼性上リスクを伴うため避けられてきたが、本構造では、不可避であることから、その清浄プロセスを構築した。

CMOS において、両チャンネルでゲート電極を異なる材料とすることは、信頼性上、プロセスコスト上大きな負担を強いることが懸念され、従来、高濃度リン多結晶シリコン添加、リン/ボロン多結晶シリコンと変遷してきた。High-k ゲート絶縁膜に対しては、従来技術の踏襲を中心に多結晶シリコンの採用が検討されてきたが High-k 絶縁膜では、理論に不可能であることが報告され、断念された。つづいて、シリコン基板のバンドギャップ中心付近に仕事関数をもつ金属電極が上がったが、やはりしきい電圧制御が困難であり、両チャンネルに対応するメタル電極が検討され、本研究では、上記メタル電極を用いることを提案し、周辺プロセスとの整合性を構築してきた。

② 固相成長とフラッシュランプアニールの組み合わせにより、浅い pn 接合によるエクステンション構造をつくり、良好なトランジスタ特性を実現した。

従来のランプアニール技術では、1 秒の間にドーパント不純物の再拡散により、微細化を阻害することが判明し、改良が求められた。イオン注入により非晶質化したシリコンを低温の固相成長によりある程度シリコンの結晶性を回復した後、数ミリ秒程度の短時間に高温まで昇降温するフラッシュランプアニールを追加で行うことで、ドーパント不純物の活性化率を落とすことなくシリコンの結晶性をより回

復し、接合特性を改善することに成功した。

- ③ タングステンゲート電極の形成をスパッタからイオンビームデポジションに切り替えることにより、膜厚方向の歪を強調することに成功し、トランジスタ特性の改善に成功した。

シリコン単結晶基板の移動度を高くする方法として、歪を加えることが提案されて久しい。その間、種々の方法が提案されてきた。もっとも従来技術と整合性に優れているのが、トランジスタ構造の上層の絶縁膜の成膜応力およびシリコン基板との熱膨張係数差による応力を利用した方法であり、すでに製品段階に利用されている。応力を効果的に作用させるには、よりシリコン基板に近の位置する膜で制御することであり、該当するのはゲート電極である。本研究では、仕事関数制御用金属に接するタングステン膜の形成方法を検討し、その成膜方法として、従来のスパッタリングよりもタングステンターゲットにイオンビームを当て、スパッタリングされたタングステン原子をシリコンウエハに飛来させる方法が適当であることを見出し、微細トランジスタに適用したところ、トランジスタ特性の改善に成功した。本研究では、縦方向の歪が導入されていることで説明している。

- ④ ホットエレクトロンによる発生界面準位の定式化、シリコン酸化膜換算膜厚の簡易抽出法、パルス I-V を用いた High-k・メタルゲートの BTI 信頼性評価技術についてまとめている。

審 査 の 結 果 の 要 旨

本論文は、最先端 LSI での心臓部であるトランジスタのゲート絶縁膜とゲート電極、高性能化のための極浅 pn 接合の形成および歪印加技術にかかわる。

本論文の研究は、開発期間が限定されているだけでなく、新規の材料、それもゲート絶縁膜と電極というもっとも高い信頼性が求められる技術にかかわっている。本論文の研究としては、製品化に先駆けて、技術の選択肢として、可能性のある技術の精度を高めておく必要がある。つまり、学術的なデータの新規性だけでなく、学術的な裏づけを固めておくことが必要である。その点でも、博士学位論文としてターゲットを一にしている。

本論文では、デュアルメタル電極の選択の根拠、形成プロセスが議論されている。High-k ゲートメタルとして、もっとも重要なことはしきい値電圧制御であり、プロセスはできるだけシンプルに、かつ、低電圧化に対応する技術であることが求められる。High-k ゲート絶縁膜である HfO_2 などの金属酸化物では、フェルミレベルピンニングと呼ばれる現象があることが報告され、理論的にも説明され、多結晶シリコン電極を用いることが困難である。また、シリコンのバンドギャップ中心付近に仕事関数を有するゲート電極材料が検討されたが、結果として、採用しがたい。よって、ここで述べるデュアルゲート電極が提案された。実用化には、いくつかの技術的壁を克服することが必須であるが、本論文では、その一つを提案している。いくつかの懸念点を挙げ、妥当な選択であることが述べられている。実用的には、まだ克服すべきことが予想されるが、基本的に合理的な選択であると判断される。

極浅 pn 接合の形成として、ドーパント不純物イオン注入後に固相成長と高速昇降温のフラッシュランプアニールにより、ドーパント不純物の拡散を抑制しつつ残留欠陥の排除が可能となっており、有効な技術であると共に、学術的にも理解できるものである。

また、ゲート電極タングステン膜の制御による歪印加についても、論理的な選択がなされていると判断できる。

評価方法については、微細 MOS トランジスタの評価として有効な技術であるだけでなく、論理的である。よって、著者は博士（工学）の学位を受けるに十分な資格を有するものと認める。