

微細 CMOS トランジスタの高性能化プロセスと その評価技術の研究

大塚 文雄

2009年 2月

筑波大学大学院博士課程

数理物質科学研究科博士論文

博士（工学）

微細 CMOS トランジスタの高性能化プロセスと
その評価技術の研究

大塚 文雄
（電子・物理工学専攻）

目次

略号一覧	p.3
1. 序論	p.4
2. ストレスライナーを用いた CMOS トランジスタの性能向上と LSI への適用	p.10
(1) 第2章概説	p.10
(2) 引っ張り応力を有する SiN ライナーによる NMOS オン電流向上	p.10
(3) 狭チャネル CMOS への引っ張り応力 SiN ライナーの効果	p.11
(4) ストレスライナーのナノメーターCMOS への適用に関する今後の展望	p.11
3. ゲートファースト High-k・メタルゲートトランジスタの性能向上	
3.1. フルメタルデュアル仕事関数 CMOS トランジスタプロセスの構築	p.18
(1) 第3.1節概要	p.18
(2) Poly-Si ゲート HfSiON トランジスタの構築	p.18
(3) フルメタルデュアル仕事関数 CMOS トランジスタプロセスの構築	p.19
3.2. SPE+FLA を用いた低熱負荷プロセスによる浅接合化と High-k・メタルゲートへの適用	p.31
(1) 第3.2節概要	p.31
(2) 低熱負荷メタル/HfSiON-FET 形成プロセス	p.31
(3) 低熱負荷 Poly-Si/SiON トランジスタにおける移動度低下	p.32
(4) 低熱負荷メタル/HfSiON トランジスタ特性	p.33
(5) 第3.2節まとめ	p.34
3.3. メタルゲートに起因した縦方向ひずみによる PMOS 性能向上	p.46
(1) 第3.3節概要	p.46
(2) IB-W によるフルメタル/HfSiON トランジスタ特性	p.46
(3) IB-W を用いたフルメタル/HfSiON トランジスタ特性	p.47
(4) 縦方向引っ張りひずみの電氣的観測と PMOS 移動度向上のメカニズム考察	p.48
(5) メタルゲートにおけるひずみ形成方法に関する今後の展望	p.50
4. 微細 CMOS トランジスタに固有な評価技術の研究	
4.1. ホットエレクトロンによる界面準位発生現象の定式化	p.62

(1)第4.1節概要	p.62
(2)発光現象から見たホットエレクトロン効果	p.62
(3)ホットエレクトロンによる界面準位発生現象の活性化エネルギー	p.63
(4)水素離脱モデルの定式化	p.64
(5)ナノメータートランジスタのホットエレクトロン効果に関する今後の展望	p.65
4.2.EOT(実効ゲート酸化膜厚)の簡易抽出方法	p.74
(1)第4.2節概要	p.74
(2)EOT の簡易抽出方法(漸近法)	p.74
(3)漸近法の適用例	p.75
(4)EOT 抽出方法に関する今後の展望	p.76
4.3.パルスIVを用いた High-k・メタルゲートの BTI 信頼性評価技術	p.81
(1)第4.3節概要	p.81
(2)BTI パルス評価の概要	p.81
(3)メタル/High-k ゲートの BTI パルス評価結果	p.82
(4)BTI 評価手法に関する今後の展望	p.83
5.結言	p.97
6.研究業績一覧	p.100
7.謝辞	p.106

略号一覧

略号	完全表記	略号	完全表記
BTI	Bias Temperature Instability	LSTP	Low Standby Power
CET	Capacitance Equivalent Thickness	NBTI	Negative Bias Temperature Instability
Cinv	Gate capacitance at inversion	Nit	Interface state density
CMOS	Complementary Metal Oxide Semiconductor	NMOS	N-Metal Oxide Semiconductor
CV	Capacitance-Voltage	PBTI	Positive Bias Temperature Instability
CVD	Chemical Vapor Deposition	PMOS	P-Metal Oxide Semiconductor
DHF	Diluted hydrofluoric acid	Poly-Si	Polycrystalline Silicon
DRAM	Dynamic Random Access Memory	PVD	Physical Vapor Deposition
Eimp	Impact ionization energy	RCS	Remote Coulomb Scattering
Eit	Activation energy for interface state generation	RTA	Rapid Thermal Anneal
EOT	Equivalent Oxide Thickness	S value	Substheshold swing
FLA	Flash Lamp Anneal	SD	Source/Drain
FLP	Fermi-Level Pinning	SDE	Source/Drain Extension
FN	Fowler-Nordheim	SiON	Nitrided Silicon Oxide
FUSI	Fully silicided	SOI	Silicon on Insulator
Gm	Transconductance	SPE	Solid Phase Epitaxy
HC	Hot Carrier	SRAM	Static Random Access Memory
HCD	Hexa-chloro-disilane	STI	Shallow Trench Isolation
IB	Ion Beam	Te	Electron temperature
Id	Drain current	Tox	Oxide thickness
Ids	Source-to-drain current	tpd	Propagation delay time
Ig	Gate current	V (3.2.2節)	Vacancy
Ioff	Off-current	Vcc	Supply voltage
Ion	On-current	Vd	Drain voltage
Is	Source current	VFB	Flat Band Voltage
Isub	Substrate current	Vg	Gate voltage
ITRS	International Technology Roadmap for Semiconductors	VO	Oxide Vacancy
KB	Boltzmann constant	Vs	Source voltage
LDD	Lightly Doped Drain	Vsub	Substrate voltage
Leff	Effective gate length	VTH	Threshold Voltage
Lg	Gate length	WF	Work Function
LSI	Large Scale Integration	WFM	Work Function Metal

1. 序論

マイクロプロセッサ、DRAM(Dynamic Random Access Memory)、SRAM(Static Random Access Memory)等メモリに代表される LSI(Large Scale Integration: 集積回路) はここ 35 年間 Moore[1.1]の法則と呼ばれるトレンドに従って集積化されてきた。即ち、1チップ辺りのトランジスタ数は 2 年で約 2 倍になるという指針であり、この指針のもとに LSI の集積化が行われてきた。これを達成するには LSI を構成する CMOS(Complementary Metal Oxide Semiconductor)トランジスタを微細化する必要がある。このため、次の世代の LSI の集積度を 2 倍にする必要性から、CMOS トランジスタのゲート長は前世代と比較して約 0.7 倍に縮小された。事実、著者が CMOS トランジスタの開発に従事した 1983 年のゲート長は 1.3 μm であったが、本稿の執筆時点の 2008 年時点での最先端 LSI のゲート長は 35nm であるので、2.5 年で 0.7 倍のゲート長の縮小率が 25 年間維持されたことになる。このような CMOS トランジスタの微細化はプロセス技術の進歩に負うところが大きい。集積化=微細化が達成された背景には所謂スケール則の存在がある。このスケール則の基本的な考えは、スケール前後でトランジスタを動作させる物理現象を同じとするという考えである[1.2]。即ち、電気伝導は次式に示すようにポアソン方程式と輸送方程式で決定される：

$$\nabla^2(\phi) = -\rho \quad (1.1)$$

$$J_n = q n v_n = -q (G - R) \quad (1.2)$$

$$J_p = -q p v_p = q (G - R) \quad (1.3)$$

ここに、 ϕ はポテンシャル、 ρ は誘電率、 ρ は半導体中の空間電荷密度、 n は電子密度、 p はホール密度、 J_n は電子電流密度、 J_p はホール電流密度、 t は時間、 q は素電荷、 G はキャリア生成率、 R はキャリア再結合率である。

スケール則とは、電気ポテンシャルを決めるポアソン方程式がスケール前後で保存されるように構造パラメータを設定すればスケールが達成されるという考えに基づいている。より具体的には、ポアソン方程式(1.1)を書き直した式：

$$\nabla^2 \phi / X^2 = -qN / \epsilon \quad (1.4)$$

(ϕ は電位、 X はサイズ、 N は基板濃度)

に対して、電位、サイズ、基板濃度に対するスケール則をそれぞれ a 、 b 、 c とすると、 $a/b^2 = c$ となるように a 、 b 、 c を設定するとスケール後でもトランジスタは正常に動作するという考え方である。たとえば、電源電圧を従来のみままでサイズを 0.7 倍に縮小しようとするれば基板濃度を $1/0.7^2 = 2$ 倍とすればよい。また、電源電圧も 0.7 倍に縮小すると基板濃度は $1/0.7 = 1.4$ 倍となる。実際には基板濃度は一様ではなく 0.35 μm 以降はソース・ドレイン間のパンチスルーを効率よく抑えるためソース・ドレイン近傍のみ高濃度層(Halo)が設定されたが、マクロにはこの原則に基づいていた。

このように、CMOS トランジスタは容易にスケールダウンされるというスケール則が Moore の法則を支えていたが、実際にはスケールダウンの過程では様々な課題に直面した。一つにはホットエレクトロンによる信頼性劣化現象である。ゲート電圧を 5V のままゲート長を縮小するとドレイン近傍の電界が強くなり、高エネルギーを有する電子、所謂ホットエレクトロンが発生する。このホットエレクトロンがゲート絶縁膜中に注入されると電荷のトラップおよび界面準位が発生し、トランジスタのドレイン電流を低下させる。この対策として、ドレイン濃度を低下させることで電界を緩和させた構造である LDD(Lightly Doped Drain)構造が提案された。この LDD 構造は、ゲートエッジでは低濃度のソース・ドレインを形成することで電界を緩和し、ゲートの側面に絶縁膜のスペーサを形成し、スペーサエッジには高濃度のソース・ドレインを形成した構造であり、1.3 μm から 0.5 μm の CMOS トランジスタの主流を占めた。しかしながら、電界緩和だけではホットエレクトロン効果を抑制することが出来ないため、0.35 μm 以降、電源電圧が低下され、これによりトランジスタのスケールダウンが可能となった。第 4.1 節では、ホットエレクトロン効果に評価手法に関し

て、ホットエレクトロン効果を実効電子温度に着目して定式化し、電源電圧低下の必要性を議論する。また、界面準位発生のメカニズムを考察した結果、界面準位密度の時間変化は飽和関数となることを見出し、飽和性を考慮した寿命予測方法の必要性を議論する。

また、トランジスタのスケールダウンには、ゲート長の縮小もさることながらソース・ドレイン(SD)の深さとゲート酸化膜厚の縮小も重要である。ソース・ドレインの浅接合化にはトータルの熱処理時間(Thermal budget)の低減が必要であり、SD のイオン注入後の活性化アニール時間の低下は特に重要となった。このため、0.35 μm 世代から従来の炉体アニールに代わって 1sec ~ 10sec のランプ加熱を用いた RTA(Rapid Thermal Anneal) が用いられた。0.25 μm 世代から電源電圧も 2.5V に低電圧化され、前述のホットキャリア効果も低減されたため、LDD に代わり、ゲートエッジ部分のソース・ドレイン、すなわち SDE(Source Drain Extension)の濃度が高くなり、且つ浅く設定された。この世代から、SDE を、より濃く且つ浅く形成される技術の研究が活発に行われ、RTA の処理時間もスケールダウンに伴い、より短時間化され、65nm 世代では Xe ランプを光源とした msec アニールである FLA(Flash Lamp Anneal)が実用化された。第3章の前半では FLA の実用化に関して、FLA を Poly-Si(多結晶 Si)ゲートに用いた問題点と対策を議論する。

ゲート酸化膜厚もスケールダウンに伴い薄膜化され、0.25 μm の世代から従来の SiO_2 から窒素が混入された SiON 絶縁膜が用いられた。SiON が用いられた主な背景としては窒素を混入することにより酸化膜中の拡散定数が低下するのでゲートからのドーパント漏れが防止されたことによる。特に、0.25 μm 以降一般的に使われるようになったデュアルゲート CMOS、すなわち、NMOS には N ゲート、PMOS には P ゲートを用いて NMOS、PMOS とともに表面チャネル化し短チャネル特性を改善した CMOS においては、SiON ゲート絶縁膜の適用は必須となった。すなわち、デュアルゲート CMOS における P ゲートは多結晶 Si にボロンを注入することにより形成されるが、ボロンは拡散定数が大きいので容易にゲート酸化膜を拡散し基板に到達する。このため、しきい電圧(V_{TH})のバラツキが大きくなる。この対策としてボロンの拡散定数の小さい SiON 膜がゲート絶縁膜に用いられた。SiON のもう一つの利点は、従来の SiO_2 に窒素を混入させることで誘電率が大きくなるので、実効ゲート酸化膜厚(EOT: Equivalent Oxide Thickness)が同じ場合は物理膜厚が SiO_2 より厚くなり、リーク電流が小さくなる点である。特に、130nm 世代以降、EOT は 2nm を下回るのでトンネルリーク電流が見え始め、チップ全体のスタンバイリーク電流のうちゲートリーク電流の占める割合が大きくなる。このため 130nm 世代以降、SiON 膜の開発が加速した。このようにゲート絶縁膜に SiON を用いるようになると EOT の抽出方法が議論されるようになった。 SiO_2 の時代には誘電率が決まっているので光学的に膜厚が測定されていた。しかしながら、誘電率が特定できない SiON の場合は、CV 特性から酸化膜に換算した実効酸化膜厚を抽出する必要があった。従来の EOT 抽出方法は CV 特性をフィッティングし基板濃度と共に抽出していたが基板濃度が不均一の場合はフィッティング自体が不可能となる場合がある。第 4.2 節では、CV 特性全体のフィッティングは行わず、蓄積領域のみから EOT を抽出する手法(漸近法)に関して議論する。

このように、スケールアップそのものはポアソン方程式が一定というランドルルールに基づいておりポアソン方程式が支配するサイズまではトランジスタは縮小可能であることは過去 35 年間の実績により実証されつつある。しかしながらトランジスタの性能という観点では、スケールダウンに伴いソース・ドレイン間オン電流の低下という障害が発生した。スケールアップ則によると基板不純物濃度がスケールダウンに伴い高くなり不純物散乱によりチャネル移動度が低くなる。具体的には、ソース・ドレイン領域にパンチスルーストップを形成した Halo を用いた構造においてはゲート長の縮小に伴い、Halo がゲート下で重なり、チャネル部分の基板濃度が $1 \times 10^{18} / \text{cm}^3$ を超える。このため 100nm 以下のゲート長においては移動度の低下

が重量な問題となる。このようなオン電流低下の問題のうち、移動度低下の問題に関してはプロセスひずみの導入により対策する必要性が生じた。第2章では引っ張り応力を有するライナー(コンタクトエッチングストップ)をLSIに適用することによりNMOSのオン電流が向上した点と、狭チャネルPMOSに引っ張り応力を有するライナーを適用する利点に関して議論する。この引っ張り応力ライナーは筆者らが2000年に始めて発表し、その後幅広く使われるようになった技術である。

また、EOT(実効ゲート酸化膜厚)が縮小されるとゲート電極であるPoly-Si(多結晶Si)の空乏層容量が全体のゲート容量に占める割合が大きくなり、EOT縮小率に対するゲート容量の増加率が小さくなる。このため、チャネル中のキャリア密度はゲート容量に比例するので十分なキャリア密度が確保できないという問題が発生する。例えば、2005年度版のITRS(International Technology Roadmap for Semiconductors)によれば32nmノードのLSTP(Low Standby Power)版のEOTは1.2nm、Poly-Si電極を用いた場合の反転状態のゲート容量は1.8nmであるのに対し、ゲート空乏層膜厚は酸化膜換算で0.3nmであるので、ゲート空乏層容量が全体のゲート容量の17%を占めることになる。このようなゲート空乏化の問題に関してはメタルゲートの導入が必要である。第3章では、SPE(Solid Phase Epitaxy)+FLA(Flash Lamp Anneal)を用いた低熱負荷プロセスの問題点であるゲート空乏化に起因した移動度の低下という問題に対して、メタルゲートを適用することによってオン電流を改善したことを報告する。また、ゲート電極を弱い圧縮応力を有するタングステン膜で形成することでPMOSのオン電流が向上することを見出したので、この現象を縦方向(深さ方向)のひずみとの関連性に着目して解析した結果に関しても論ずる。

一方、EOTが1.2nm以下と薄くなるとゲートリーク電流増加の問題に対してはSiON膜では対応できなくなる。このため、より誘電率の高いHigh-k膜の導入が必要となる。High-kの導入時期はメタルゲート導入時期と重なるのでHigh-kとメタルゲートは同時に議論される場合が多い。45nm世代のHigh-k膜としてはHfを用いた材料が候補として挙げられており既に実用化した半導体メーカーもある。このようなHigh-k世代においては絶縁膜の信頼性を評価する手法の開発が必要となる。従来SiONゲート絶縁膜では高温でゲート電極に負バイアスを印加した状態で放置するとPMOSの V_{TH} が変化するというNBTI(Negative Bias Temperature Instability)が発生していた。High-k膜ではPMOSで起きるNBTIの他にNMOSの V_{TH} が高温・正バイアスで変化するPBTI(Positive Bias Temperature Instability)も重要な問題として浮上した。NBTI、PBTIのメカニズムは学会での議論的であるが、High-kゲートの場合、劣化がゲート絶縁膜のどこで起こっているのかも重要な研究課題である。筆者はNBTI、PBTIの劣化領域を特定するため100nsec以下のパルス幅で I_{ds} を評価する技術を立ち上げ、これによりSi側界面の情報をそれ以外の領域の情報から分離できることを見出した。BTI評価手法として、パルスIVのBTI評価への適用は第4.3節で論ずる。

以上、スケールリング則に裏打ちされたMooreの法則、および筆者が関与した世代のトランジスタの主要課題に関して概説した。次章以降は筆者の寄与に関する技術に関して詳しく説明する。

第2章の「ストレスライナーを用いたCMOSトランジスタの性能向上とLSIへの適用」は130nm世代の技術として2000年のIEDM(International Electron Devices Meeting)へ発表した内容[1.3]をベースとしている。ひずみ技術は現時点でも重要課題であり開発段階であるが、引っ張り応力を有するストレスライナーそのものは技術としては完成されており、筆者の発表以降、どのように完成されたかを論ずる。

第3章の「ゲートファースト High-k・メタルゲートトランジスタの性能向上」に関しては、前半部分は、SPE(Solid Phase Epitaxy)+FLA(Flash Lamp Anneal)を用いたPoly-Si/SiONトランジスタ特性のうちPMOS

トランジスタのオン電流向上と NMOS トランジスタのゲート空乏化に起因した移動度の低下に関して 2003 年の IEDM で発表した内容[1.4]をベースとして議論する。この章では Poly-Si ゲートの移動度低下のメカニズムに関する考察と、最近の研究結果であるメタルゲートに低熱負荷プロセスを用いることの利点を論じる。特に、SPE+FLA のメタルゲートへの適用に関しては、2008 年発行の IEEE Transaction on Electron Devices へ投稿論文[1.5]に基づいている。また、ゲート電極として、圧縮応力の弱いタングステン膜を用いることで PMOS のオン電流が増加することが見出された。この現象を、縦方向(深さ方向)の引張りひずみの増加という観点から論ずる。この縦方向引張りひずみの影響に関しては Japanese Journal of Applied Physics への投稿論文[1.6]に基づいている。

第4章では「微細 CMOS トランジスタに固有な評価技術の研究」と題し、第4.1節の「ホットエレクトロンによる界面準位発生現象の定式化」に関しては、1991 年に筆者が IEEE Transaction on Electron Devices へ投稿した論文[1.7]に基づいている。特に界面準位密度の時間依存性に関する飽和性に関しては、活性化エネルギーを伴う水素拡散モデルに関して議論する。第4.2節では「EOT(実効ゲート酸化膜厚)の簡易抽出方法」を、第4.3節では「パルスIVを用いた High-k・メタルゲートの BTI 信頼性評価技術」を説明する。前者は 2002 年の IEEE Transaction on Electron Devices への投稿論文[1.8]、後者は 2006 年の 211th-ECS(Electrochemical Society)会合での発表論文[1.9]に基づいている。

以上、第2章と第3章、第4章第1節および第2節は完成された技術である。第4章第3節の BTI 信頼性評価手法そのものは、「高速 on-the-fly 法」、もしくは「高速パルス評価」といった、より高速な評価手法に決着しつつあるが、NBTI/PBTI モデルに関しては現在進行中の技術課題である。今後の進展に期待したい。

第 1.1 図にはゲート長の縮小に対して電源電圧がどのように下がったか、およびトランジスタ構造がどのように変遷したかを概説してある。ゲート長の縮小に伴い電源電圧が低下し、ドレイン構造も LDD(Lightly Doped Drain)から Extension/Halo に代わり、ストレスライナー等のひずみが導入され、さらには、メタル/High-k ゲートへと推移していった。図中、筆者が本稿で扱う技術はアンダーラインで記載した。

参考文献

[1.1] <http://www.intel.com/technology/mooreslaw>

[1.2] G. Bacarani, M. R. Wordemon, R. H. Dennard, "Generalized scaling theory and its application to a 1/4 micrometer MOSFET design", IEEE Transaction on Electron Devices, Vol. 31, No. 4, pp.452-462, April 1984.

[1.3] F. Ootsuka, S. Wakahara, K. Ichinose, A. Honzawa, S. Wada, H. Sato, T. Ando, H. Ohta, K. Watanabe, T. Onai, "A highly dense, high-performance 130 nm node CMOS technology for large scale system-on-a-chip applications", IEDM Technical Digest, pp. 575-578, Dec. 2000.

[1.4] F. Ootsuka, H. Ozaki, T. Sasaki, K. Yamashita, H. Takada, N. Izumi, Y. Nakagawa, M. Hayashi, K. Kiyono, M. Yasuhira, T. Arikado, "Ultra-low thermal budget CMOS process for 65nm-node low-operation-power applications", IEDM Technical Digest, pp. 647-650, Dec. 2003.

[1.5] Fumio Ootsuka, Akira Katakami, Kiyoshi Shirai, Toshinari Watanabe, Hiroyuki Nakata, Masami Kitajima, Takayuki Aoyama, Takahisa Eimori, Yasuo Nara, Yuzuru Ohji, Masayasu Tanjyo, "Ultra-low thermal budget CMOS process using flash lamp annealing for 45nm metal/high-k FETs", IEEE Transactions on Electron Devices, Vol. 55, No. 4, pp.1042-1049, April 2008.

[1.6] Fumio Ootsuka, Akira Katakami, Kiyoshi Shirai, Hiroyuki Nakata, Takahisa Eimori, Yasuo Nara, Yuzuru Ohji, Kazuhiro Shimura, Sadayoshi Horii, Nobuyuki Sano, Kikuo Yamabe, "Hole mobility enhancement caused by gate-induced vertical strain in gate-first full-metal High-k pFETs using ion-beam W", to be published in Japanese Journal of Applied Physics.

[1.7] Fumio Ootsuka, "The evaluation of the activation energy of interface state generation by hot-electron injection", IEEE Transactions on Electron Devices, Vol. 38, No. 6, pp.1477-1483 June 1991.

[1.8] Fumio Ootsuka, "An engineering method to extract equivalent oxide thickness and its extension to channel mobility evaluation", IEEE Transactions on Electron Devices, Vol. 49, No. 12, pp. 2345-2348, Dec. 2002.

[1.9] Fumio Ootsuka, Takahisa Eimori, Yasuo Nara, and Yuzuru Ohji, "Inverse-V_g dependence of PBTI lifetime of HfSiON gate dielectrics measured by a high-temperature pulsed-IV method", Advanced gate stack, source/drain and channel engineering for Si-based CMOS s; new materials, processes and equipment, in ECS 211th Meeting; pp. 205-218, May 2007.

アンダーレイは筆者が寄与した技術

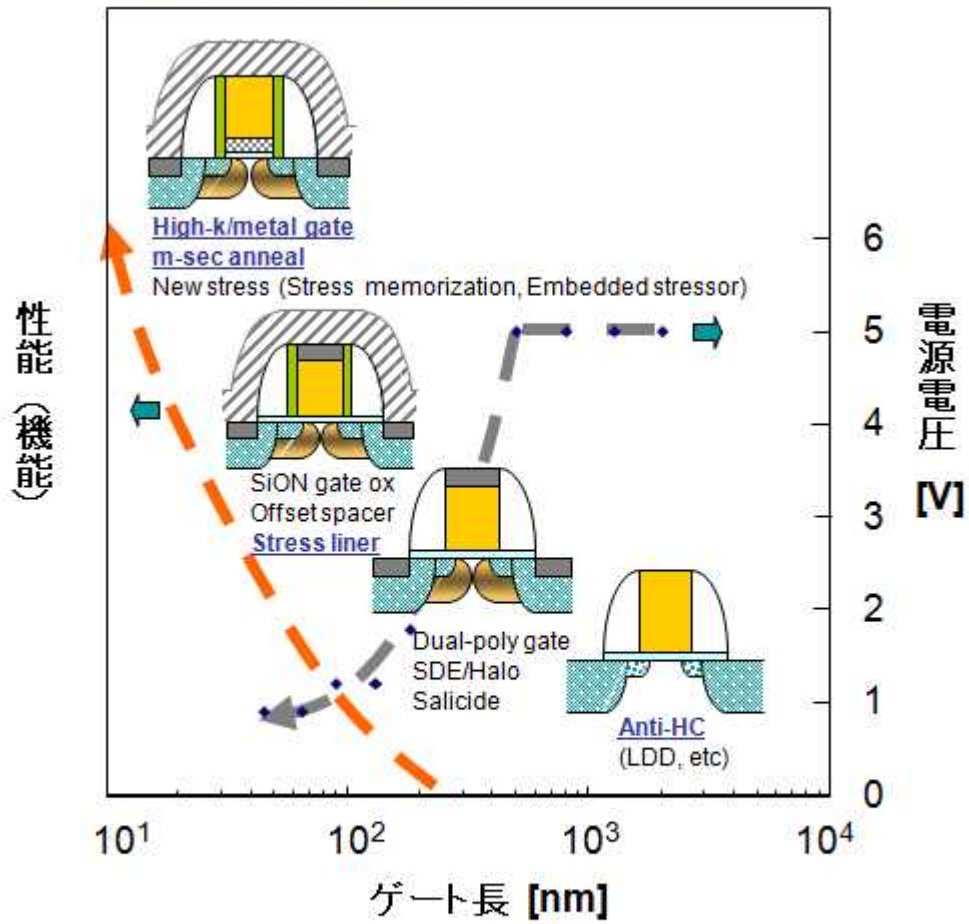


図1.1 トランジスタ構造の変遷と性能向上

LDD: Lightly Doped Drain
SDE: Source Drain Extension

2. ストレスライナーを用いた CMOS トランジスタの性能向上と LSI への適用

(1) 第 2 章概要

前章では Moore の法則とスケールゲージに基づき CMOS のスケールダウンが進行してきたことを述べた。また、ホットキャリア効果の抑制の観点から、実質的には電源電圧を下げることで CMOS の微細化が進行してきたことを述べた。しかしながら、電源電圧を下げると I_{ds} (ソース・ドレイン間オン電流)の低下という、スケールダウンの必要性さえ疑問視される問題が生じる。すなわち、経験則では、 I_{ds} は $V_g - V_{TH}$ の約 1.5 乗に比例し(V_g はゲート電圧、 V_{TH} は MOS が駆動するためのゲート電圧のしきい値)、 L_g (ゲート長)の約 0.5 乗に反比例しており、 V_g のスケールダウン以上に L_g をスケールダウンしない限りスケールゲージのメリットは損なわれることになる。しかしながら L_g を縮小すると短チャネル効果抑制のため Well 濃度(基板のドーパント濃度)を増加する必要があり、ドーパントとの散乱により移動度が低下するという問題が生じる。従って、移動度を上げる技術の研究・開発が必要であった。

移動度向上技術としては従来からグローバルひずみが検討されていた。すなわち、シリコンウエハ上に SiGe 層を成長させ、SiGe 層の上部に Si を成長させることで強い引っ張りひずみを Si 層内に形成することで電子移動度を向上させていた[2.1]。この技術はウエハが高価である点、CMOS 形成プロセス中に Ge が拡散しドーパントの拡散を増長させる点という弊害があり実用化に至っていなかった。筆者らはトランジスタ形成後のコンタクト加工工程におけるエッチングストップパとして用いられている SiN ライナーの膜種を変えることで I_{ds} が変調することを見出し、膜応力との関係に着目した解析を行い、コンタクトエッチングストップ膜(ライナー膜)の応力によって I_{ds} が制御できることを見出した[2.2, 2.3]。本章では、引っ張り応力を有するライナー膜を用いた LSI の構築に関して論ずる。

(2) 引っ張り応力を有する SiN ライナーによる NMOS オン電流向上

以下の 2 節では、ライナー膜として引っ張り応力の強い膜を用いることで NMOS のオン電流が増加すること、および狭チャネルにおける PMOS のオン電流の低下が防止できることを報告し、SRAM(Static Random Access Memory)等の高密度 LSI に適したトランジスタ特性が取得できることを論ずる。

図 2.1 にチャネル部の応力のシミュレーションの結果を示す。コンタクトエッチングストップパはゲート電極とソース・ドレインの上面に形成される。チャネル部応力は、コンタクトエッチングストップパである SiN 膜の応力を膜厚と材質を変えることで変化させることができ、それぞれの場合のチャネル部の X 方向(ソース・ドレイン方向)の応力値を応力シミュレーションで求めたのが図 2.1 である。Poly-Si(多結晶 Si)ゲートの場合、チャネル部はゲートからの圧縮(Compressive: 負)応力が掛かっているが、エッチングストップ膜を引っ張り(Tensile: 正)応力の強い熱 CVD-SiN で形成することでゲート端から横方向の引っ張り応力が加わり、チャネル部の応力が引っ張り側にシフトする。この X 方向の引っ張り応力に対応して NMOS の I_{ds} (ソース・ドレイン間オン電流)が増加するのが判った(図 2.2(a))。一方 PMOS の場合は、圧縮応力の強いプラズマ CVD-SiN 膜のほうが、引っ張り応力の強い熱 CVD-SiN 膜よりも高い G_{mmax} (最大トランスコンダクタンス)が得られるが(図 2.3)、チャネルの X 方向応力と I_{ds} との関係に対しては明確な依存性は見出せなかった(図 2.2(b))。PMOS の場合は、3.2 節で述べるように Z 方向(深さ方向)の応力も関与していると考えられる。

なお、ライナー膜の応力とチャネル部の応力との関係は以下のように説明できる。すなわち、一般に膜応力とは膜が受ける応力を意味し、ライナー膜が引っ張り応力を有するということは、ライナー膜自体は収縮することを意味する。ライナー膜はゲート端部にあるスペーサに接しているため、ライナー膜が収縮するとゲート下のチャネルは引っ張り応力を受ける。従って、ゲート周辺にある膜の有する局所的な応力

のバランスによってチャンネル下のひずみ量が決定される。この点が、ウエハ自体にひずみを持たせる「グローバルひずみ」と異なり「局所ひずみ」と呼ばれている理由である。

また、NMOS の移動度が X 方向の引っ張り応力で増加する理由はグローバル応力と同様、サブバンドのスプリットであると考えられる。6重縮退が2重縮退と4重縮退にスプリットし、有効質量の小さい2重縮退への遷移率が増加するというモデルが提案されている[2.1]。このモデルは Si/SiGe 基板を用いた X-Y 両方向、すなわち Biaxial ひずみによる NMOS 移動度向上を説明するために提案されたが、ライナー膜による引っ張りひずみは X 方向、すなわち Uniaxial であるので、Uniaxial ひずみに対してもサブバンドスプリットが起きているものと考えられる。

(3) 狭チャンネル CMOS への引っ張り応力 SiN ライナーの効果

このように、NMOS では引っ張り応力を有する熱 CVD-SiN 膜をコンタクトエッチングストップパに用いることで I_{ds} が増加することが見出されたが、LSI への適用に関しては STI(Shallow Trench Isolation: シリコン酸化膜で形成される素子分離)からの応力の影響も考慮する必要がある。図 2.4 には、コンタクトエッチングストップパとして熱 CVD-SiN を使った場合と、プラズマ CVD-SiN を使った場合の L_g (ゲート長)=80nm での I_{ds} (ソース・ドレイン間オン電流)のチャンネル幅(W_g)依存性を示す。NMOS は熱 CVD-SiN を用いるとチャンネル幅が広い領域と狭い領域の両方において I_{ds} の増加が見られたが、PMOS においては狭チャンネルのみにおいて I_{ds} の増加が見られた。また、狭チャンネル($W_g=0.2 \mu m$)の I_{ds} と広チャンネル($W_g=15 \mu m$)の I_{ds} との比をとると、プラズマ CVD-SiN では PMOS- I_{ds} の低下が大きく約 80%であるが、熱 CVD-SiN では NMOS 同様約 90%となる。このような NMOS と PMOS の I_{ds} の増加・低下とチャンネル幅との関係を纏めると以下ようになる。すなわち、NMOS の広チャンネルにおいては、圧縮応力の強いプラズマ CVD-SiN より引っ張り応力の強い熱 CVD-SiN のほうが I_{ds} が高い。一方、狭チャンネル NMOS では広チャンネル NMOS に比べて、プラズマ CVD-SiN、熱 CVD-SiN とともに I_{ds} が低下する。この理由は、狭チャンネルにおいては STI の圧縮応力の影響を受け、NMOS の I_{ds} が低下するためである。 I_{ds} 低下の度合いは NMOS の場合、ライナー膜の膜種に依存しない。一方 PMOS においては I_{ds} のチャンネル幅依存性は NMOS より大きい。特にプラズマ CVD-SiN を用いた場合の狭チャンネルの I_{ds} は広チャンネル比較、約 20%の低下となる。しかしながら、熱 CVD-SiN を用いた場合は I_{ds} の狭チャンネルにおける低下は改善し、NMOS 並みの 10%程度の低下となる。

このような I_{ds} のチャンネル幅依存性は、チャンネル幅方向(Y 方向)の圧縮応力によって NMOS、PMOS 共に I_{ds} が低下すると仮定することで理解される。STI は圧縮応力を与えるため、チャンネル幅が短くなると Y 方向の圧縮応力が大きくなり、 I_{ds} が低下する。実際、チャンネル幅方向にウエハを反らせることでチャンネル幅方向に圧縮応力を掛けると、NMOS、PMOS 共に I_{ds} が低下することは確認されている[2.4]。従って、ライナー膜に引っ張り応力の強い熱 CVD-SiN を用いることで STI の圧縮応力は緩和され、特に PMOS において I_{ds} 低下が抑制されたと考えられる。すなわち、PMOS においてはチャンネル幅方向(Y 方向)の圧縮応力の影響を NMOS より強く受けるため、プラズマ SiN を用いると狭チャンネルにおける I_{ds} の低下が著しく低下する。このため、熱 CVD-SiN を用いることで Y 方向の圧縮応力が緩和され、 I_{ds} の低下量が小さくなる。より良い理解のため、表 2.1 には狭チャンネルにおける I_{ds} の変化を、図 2.5 にライナー膜と STI の応力の方向と I_{ds} の増減との関係の定性的な関係をそれぞれ示す。

(4) ストレスライナーのナノメーター CMOS への適用に関する今後の展望

以上、引っ張り応力を有するコンタクトエッチングストップパライナーを用いることで NMOS の I_{ds} (ソース・ドレイン間オン電流)が増加し、PMOS では狭チャンネルの I_{ds} の低下が防止される利点を論じた。本手法は

130nm 世代の技術として 2000 年に筆者らが発表したが、その後「ストレスライナー」として定着し、より高い応力を有するライナー膜の開発が進められた。本技術の問題点として広チャネル PMOS の I_{ds} が低下するという点が挙げられるが、その対策としてチャネル方位を $\langle 110 \rangle$ から $\langle 100 \rangle$ に変更することで PMOS のみ移動度を増加する手法[2.5]、および、NMOS には引っ張り応力を有するライナー、PMOS には圧縮応力を有するライナーを形成するデュアルストレスライナー[2.6]が実用化された。さらには、ソース・ドレイン領域に SiGe を選択的に成長させ、強い圧縮応力をチャネル部に形成する手法が提案され、90nm 世代以降で実用化されている[2.7]。ただし、ホールの移動度向上の原因に関しては、第 3.3 節で述べるように、単なる X 方向(ソース・ドレイン方向)の圧縮ひずみだけでは説明できず、Z 方向(深さ方向)のひずみが関与しているという結果を得ている。また、PMOS の移動度向上のメカニズムに関しても、有効質量の低下、サブバンドスプリッティングによるライトホールの存在確率の増加、状態密度の変化による緩和時間の増加などの可能性があり、PMOS の移動度向上のメカニズムに関しては今後も議論が必要である。

一方、LSI 設計の観点からは STI(Shallow Trench Isolation)からの圧縮応力の影響が微細化に伴い着目されてきており、レイアウトの工夫により性能バラツキを低減する工夫が行われている[2.8、2.9]。さらには、STI の圧縮応力を低減するプロセスも検討されている[2.10、2.11]。今後、プロセスひずみをどう最大にするか、もしくは最小にするかは、プロセス設計にとって重要な課題である。

参考文献

- [2.1] J. Welser, J. L. Hoyt, S. Takagi, and J. F. Gibbons, “Strain dependence of the performance enhancement in strained-Si nMOSFETs”, IEDM Technical Digest, pp.373-376, Dec. 1994.
- [2.2] F. Ootsuka, S. Wakahara, K. Ichinose, A. Honzawa, S. Wada, H. Sato, T. Ando, H. Ohta, K. Watanabe, T. Onai, “ A highly dense, high-performance 130 nm node CMOS technology for large scale system-on-a-chip applications”, IEDM Technical Digest, pp. 575-578, Dec. 2000.
- [2.3] A. Shimizu, K. Hachimine, N. Ohki, H. Ohta, M. Koguchi, Y. Nonaka, H. Sato, and F. Ootsuka, “Local Mechanical-Stress Control (LMC) :A new technique for CMOS-performance enhancement”, IEDM Technical Digest, pp.433-436, Dec. 2001.
- [2.4] Y. Kumagai, H. Ohta, H. Miura, F. Ito, K. Maekawa, A. Shimizu, “Evaluation of change in drain current due to strain in 0.13- μm -node MOSFETs”, International Conference on Solid State Devices and Materials 2002, pp.14-15, 2002.
- [2.5] F. Boeuf , F. Arnaud, C. Boccaccio, F. Salvetti, J. Todeschini , L. Pain , M. Jurdit , S. Manakli, B. Icard, N. Planes , N. Gierczynski, S. Denorme, B. Borot, C. Ortolland, B. Duriez, B. Tavel, P. Gouraud, M. Broekaart , V. Dejonghe, P. Brun, F. Guyader, P. Morin, C. Reddy, M. Aminpur , C. Laviron , S. Smith, J.P. Jacquemin, M. Mellier, F. André, N. Bicaïs-Lepinay, S. Jullian, J. Bustos, T. Skotnicki, “0.248 μm^2 and 0.334 μm^2 conventional bulk 6T-SRAM bit -cells for 45nm node Low cost - general purpose applications”, VLSI Symp., pp.130-131, 2005.
- [2.6] H. S. Yang, R. Malik, S. Narashima, Y. Li, R. Divakaruni, P. Angello, S. Allen, A. Antreasyan, J. C. Arnold, et al., “Dual stress liner for high performance sub-45nm gate length SOI CMOS manufacturing”, IEDM Technical Digest, pp.1075-1077, Dec. 2004.
- [2.7] S. E. Thompson, M. Armstrong, C. Auth, M. Alvi, M. Buehler, R. Chau, S. Cea, T. Ghani, et al., “A 90-nm logic technology featuring strained-silicon”, IEEE Transaction on Electron Devices, Vol.51, No.11, pp.1790-1797, 2004.
- [2.8] M. Miyamoto, H. Ohta, Y. Kumagai, Y. Sonobe, K. Ishibashi, Y. Tanaka, “Impact of reducing STI-induced stress on layout dependence of MOSFET characteristics”, IEEE Transaction on Electron Devices, Vol.51, No.3, pp.440-443, 2004.
- [2.9] Y. Sheu, C. S. Chang, H. C. Lin, S.S. Lin, C. H. Lee, C. C. Wu, M. J. Chen, C. H. Diaz, “Impact of STI mechanical stress in highly scaled MOSFETs”, International Symposium on VLSI technology, System and Applications, pp.269-272, 2003.
- [2.10] K. Ota, T. Yokoyama, H. Kawasaki, M. Moriya, T. Kanai, S. Takehashi, T. Sanuki, E. Hasumi, T. Komoguchi, et al., “Stress controlled shallow trench isolation technology to suppress the novel anti-isotropic impurity diffusion for 45nm-node high-performance CMOSFETs”, VLSI Symp., pp.138-139, 2005.
- [2.11] M. Okuno, K. Okabe, T. Sakuma, K. Suzuki, T. Miyashita, T. Yao, H. Morioka, M. Terahara, Y. Kojima, H. Watatani, et al., “45-nm node CMOS integration with a novel STI structure and full-NCS/Cu interlayers for low operation-power (LOP) applications”, IEDM Technical Digest, pp. 52-55, Dec. 2005.

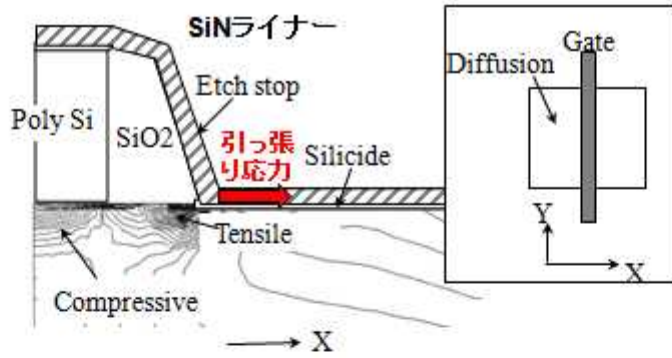


図2.1 ゲート下のX方向応力分布

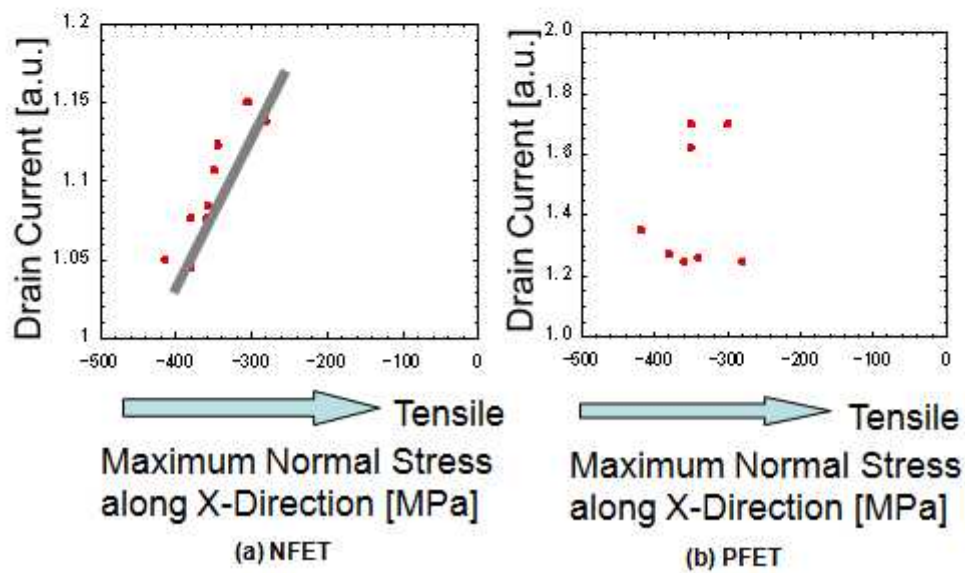


図2.2 ドレイン電流(I_{ds})のゲート下の応力依存

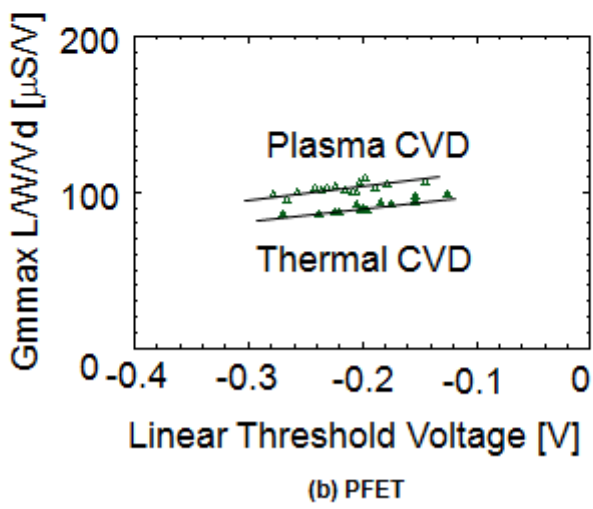
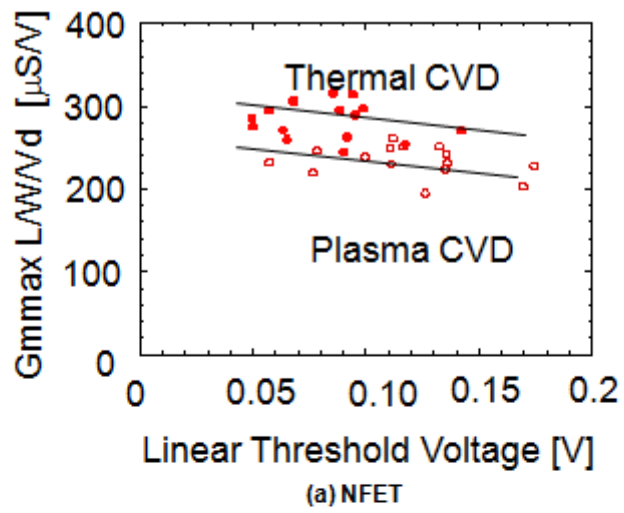
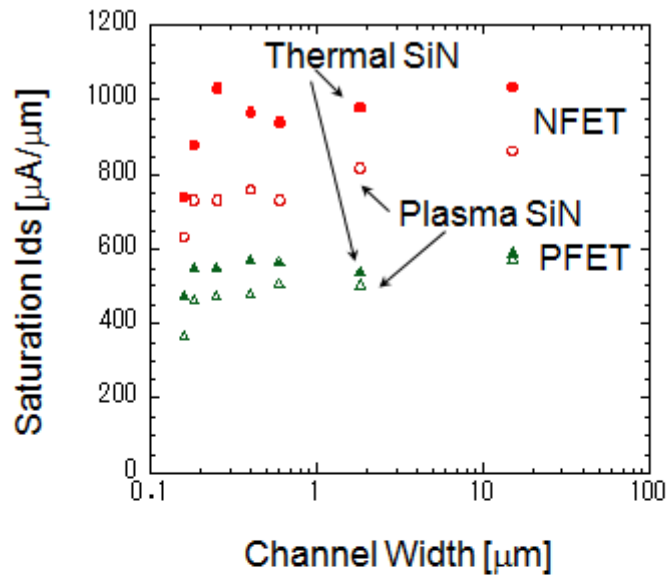


図2.3 規格化された G_{mmax} と線形 V_{TH} との関係



$I_{ds}@W=0.2\mu\text{m}/I_{ds}@W=15\mu\text{m}$

	Plasma	Thermal
NFET	90%	90%
PFET	80%	89%



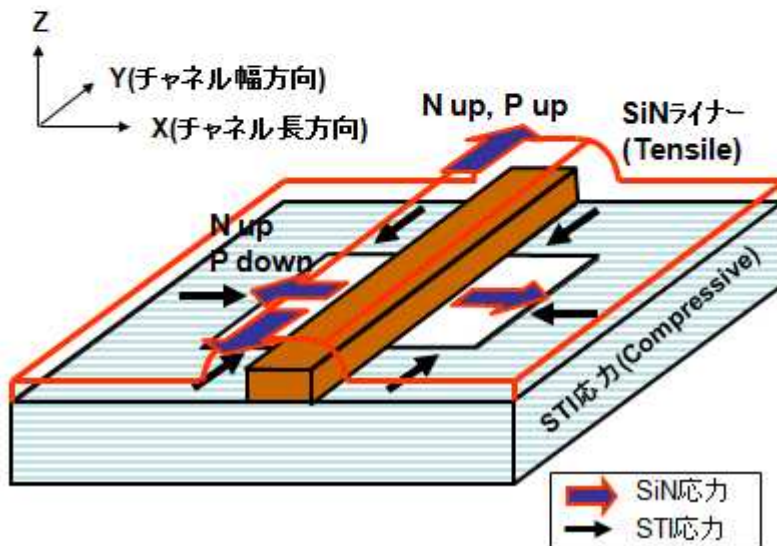
Stress relaxation
 Thermal SiN=Tensile
 STI (Shallow Trench Isolation)=Compressive

図2.4 $L_g=80\text{nm}$ での飽和 I_{ds} のチャンネル幅依存性

表 2.1 I_{ds} のライナー SiN依存、チャンネル幅依存のまとめ

Source of stress	Shallow Trench Isolation	Etch stop			
		Plasma SiN		Thermal SiN	
Stress	Comp.-y	Compressive-x/y		Tensile-x/y	
Ch. Width	Narrow	Wide	Narrow	Wide	Narrow
I_{dsN}	↓ Y-stress	↓ X-stress	↓ (-10%) Isolation	↑ X-stress	↓ (-10%) Isolation
I_{dsP}	↓ Y-stress	↑ X-stress	↓ (-20%) Iso.+Plasma	↓ X-stress	↓ (-10%) Isolation

- ☑ PFETs are susceptible to y-component of compressive stress
- ☑ Tensile stress increases narrow channel I_{dsP}



3. ゲートファースト High-k・メタルゲートトランジスタの性能向上

3.1. フルメタルデュアル仕事関数 CMOS トランジスタプロセスの構築

(1)第 3.1 節概要

本節では、従来の Poly-Si (多結晶 Si) ゲート電極に HfO_2 、 HfSiON に代表される Hf 系ゲート絶縁膜を適用した場合の問題点である「フェルミレベルピンニング」と呼ばれる $\text{PMOS-V}_{\text{TH}}$ (V_{TH} : しきい電圧)の高値化の対策として、表面にカウンター注入を行い、 L_g (ゲート長)=50nm までは使用可能となった点、および、 $L_g < 40\text{nm}$ での動作を目的として、2種の仕事関数金属 (WFM: Work Function Metal、すなわち、VFB: Flat band Voltage を決定する金属) を有するデュアルゲート CMOS を「ゲートファーストプロセス」、すなわち、従来の CMOS プロセスと同様、ゲート電極形成後に SD(ソース・ドレイン)を形成するプロセスで構築した点に関して論じる。なお、このデュアルゲート CMOS プロセスの構築により、次節以降の FLA(フラッシュランプアニール)を用いた低熱負荷プロセスによるゲート長の縮小と、フルメタルゲートの低抵抗ゲート材料としてタングステンを使った場合に、タングステンゲートの縦方向(深さ方向)応力起因による PMOS 移動度向上に関する議論への展開が可能となった。本節は、次節以降のフルメタルゲートのトランジスタ性能向上を議論する際の基幹プロセスの構築という位置づけを有する。

(2)Poly-Si ゲート HfSiON トランジスタの構築

ここでは、メタル/High-k ゲートを議論する前に、Poly-Si/High-k ゲートの課題について論じる。

Poly-Si ゲート電極に Hf 系ゲート絶縁膜を適用する場合の大きな問題点として「フェルミレベルピンニング」と呼ばれる $\text{PMOS-V}_{\text{TH}}$ の高値化が指摘されていた。この現象は、PMOS の仕事関数が低下する、すなわち、P ゲート (Poly-Si ゲートに B を注入して P 型としたゲート) でありながら N ゲートの振る舞いをするという現象である。P 型 Poly-Si ゲートにおけるフェルミレベルピンニング (FLP) の原因としては、ゲート内の Si と Hf 間に形成される界面ダイポール[3.1.1]、もしくは SiO_2 と HfO_2 の形成エンタルピー差と酸素空孔 (VO) の形成エネルギーとのエネルギー収支に起因した VO の形成[3.1.2]というモデルが提案されている。このため、P 型 Poly-Si ゲートに Hf 系絶縁膜である HfSiON ゲート絶縁膜を適用するにあたっては、この FLP の緩和が重要課題となった。

P 型 Poly-Si ゲートの FLP の緩和の手法として筆者らは HfSiON 上に薄い (EOT 換算で約 0.3nm) SiN キャップを形成する手法を検討した[3.1.3、3.1.4]。本手法の目的は、ゲート側の界面ダイポールの抑制と P 型 Poly-Si ゲートからの B の拡散による V_{TH} バラツキの低減である。特に、後者に関しては、Hf 系絶縁膜中のドーパントの拡散が早いため、 SiN キャップにより B がゲート下へ突き抜けることを防止することを目的とした。筆者らは、Poly-Si ゲートにおいて $L_g=50\text{nm}$ の HfSiON トランジスタを実現した(図 3.1.1)。

実際に N 型 Poly-Si ゲートと P 型 Poly-Si ゲートの VFB (Flat Band Voltage) が、 SiN キャップによりどのように変化したかを示したのが図 3.1.2 である。図 3.1.2 には NMOS と PMOS における N ゲート (Poly-Si ゲートには P と As を注入) と P ゲート (Poly-Si ゲートには B を注入) の VFB を SiN キャップ有無で打点している。FLP が起こっていない理想的な状態では N ゲートと P ゲートの VFB の差は Si のバントギャップに対応する 1.1V となるはずであるが、フェルミレベルピンニングにより、その差は NMOS、PMOS とともに 0.19V と非常に小さい値となっているのが判る。特に、P ゲート PMOS の場合の VFB は +0.4V となり、N ゲートの特性を示す。しなしながら、 SiN キャップにより、N ゲートと P ゲートの VFB 差は NMOS、PMOS とともに約 0.1V 改善され、特に、P ゲート PMOS の VFB は +0.5V となり、カウンター注入によりトランジスタ特性が取得可能なまで VFB が改善した。

以上、SiN キャップを HfSiON 上に形成することで FLP (フェルミレベルピニング) が約 0.1V 改善できることを述べたが、この値は、FLP の対策としては不十分な値である。この理由は、FLP の原因として VO の生成により説明可能である。すなわち、VO 形成モデルは、VO の生成過程において電子が HfO₂ から P 型ゲートに放出されることでエネルギーゲインが生じるというモデルである[3.1.2]。電子のゲートへの放出に関しては薄い SiN の寄与は無いと考えられるので、薄膜 SiN のキャップにより FLP の改善効果は小さいと考えられる。従って、PMOS- V_{TH} の低下には基板エンジニアリングであるカウンター注入が必要となる。

カウンター注入とは、WELL (基板内のドーパントが注入された領域) とは逆の導電型のドーパントを Si 表面付近に注入する手法である。PMOS の場合は、N 型 WELL であるのでカウンター注入としてはおもに B が注入される。カウンター注入の特徴は V_{TH} が下げられるという利点があるが、表面濃度が下がるため、パンチスルーしやすく、短チャネル化が難しいという問題がある。筆者らは、カウンター注入によって、 $L_g=50\text{nm}$ で動作が可能な Poly-Si/HfSiON トランジスタを試作した[3.1.5]。図 3.1.3 に Ion-Ioff 特性 (オン電流とオフ電流相関)、および、図 3.1.4 には L_g - V_{TH} 特性 (V_{TH} ロールオフ) を示す。Ioff=20pA/um の LSTP (Low Standby Power) 用途に適した特性を取得できた。また、カウンター注入によって $L_g=50\text{nm}$ で NP 対象な $V_{TH}(=+/-0.2\text{V})$ を取得した。

以上、SiN キャップとカウンター注入により、P 型 Poly-Si ゲートの FLP が起きても $L_g=50\text{nm}$ のトランジスタが動作可能であることを示したが、実際に本トランジスタにより SRAM が構築できるかを 1Mbit の SRAM アレイで評価した。図 3.1.5 に試作した SRAM の平面 SEM 像を示す。SRAM のセル構造は最も面積の小さい点対称セルであり、セルサイズは $0.56 \times 1.98 = 1.11 \mu\text{m}^2$ である。図 3.1.6 に動作ビット数の V_{cc} (電源電圧) 依存性を示す。ここで、PMOS にはカウンター注入量を分流し、 V_{TH} を分流している。図 3.1.6 から、 V_{TH} が低い場合には V_{cc} が低くても動作ビット数は低下しないが、 V_{TH} が高いと V_{cc} を低下させると動作ビット数が著しく低下することがわかる。この事実から以下のことが言える。すなわち、CMOS インバーターが動作する必要条件は $V_{cc} > NV_{TH} + PV_{TH}$ (ここで NV_{TH} は NMOS の V_{TH} 、 PV_{TH} は PMOS の V_{TH} を表す) なので、PMOS の V_{TH} が高いと V_{cc} に対する動作マージンが確保できなくなる。(注:ここでは V_{TH} は絶対値で議論する)。一方、カウンター注入で V_{TH} を下げた場合は SRAM 動作マージンは確保できるが、表面濃度が低下し短チャネル効果が悪化するので、 V_{TH} バラツキ、すなわち、オフリーク電流のバラツキが大きくなる。従って、カウンター注入により安定した特性を取得することは非常に困難となる。

以上総括すると、Poly-Si ゲートに Hf 系絶縁膜をゲート絶縁膜として使用すると PMOS の FLP の問題がゲートスタックの改善によっては回避できないので基板へのカウンター注入により V_{TH} を下げる必要性が生じる。カウンター注入は短チャネル効果を悪化させるので、 $L_g < 50\text{nm}$ の短チャネル化が困難となる。また、Poly-Si 自体の空乏化、すなわちゲート空乏化の問題があり、微細 CMOS ではゲート空乏層容量の全ゲート容量に占める割合が 20%を超えるようになる。このため、PMOS の FLP の回避とゲート空乏化対策の観点から、メタルゲートへの移行が必要となる。

(3) フルメタルデュアル仕事関数 CMOS トランジスタプロセスの構築

メタルゲートの検討にあたり、NMOS 用の WFM (Work Function Metal、すなわち VFB: Flat Band Voltage を決める金属) と PMOS 用の WFM を決定する必要がある。Selete (半導体先端テクノロジーズ) では熱的に安定な化合物系金属として、NMOS 用には TaSiN、PMOS 用には TiN を選定した[3.1.6]。

2 種の WFM を有する HfSiON-CMOS トランジスタを、デュアルゲート、すなわち、NMOS と PMOS とで

異なった WFM でゲートを形成するプロセスの最大の課題は、WFM の酸化を防止しつつ、WFM を加工する点である。この課題を解決するため、筆者らは DHF (希フッ酸水溶液) でエッチングされやすい、HCD(Si_2Cl_6)と NH_3 で形成した HCD-SiN 膜を WFM 加工時のマスクとするデュアルメタルゲートプロセスを開発した[3.1.7]。このプロセスフローを図 3.1.7 に示す。

以下、図 3.1.7 に基づき WFM 形成プロセスを説明する。ゲート絶縁膜として HfSiON を形成した後に、P メタルとしての TiN を PVD(Physical Vapor Deposition)もしくは CVD(Chemical Vapor Deposition)で形成する。次に、TiN のエッチングマスクとして第一の HCD-SiN を形成し、リソグラフィーにより NWELL 領域 (PMOS 用の基板領域) にフォトレジスト (以下レジストと略す) を形成し、レジストをマスクとして HCD-SiN をドライエッチングでエッチングし、レジスト剥離の後に、PWELL 領域 (NMOS 用の基板領域) の TiN を H_2O_2 水溶液でエッチングする。TiN は H_2O_2 により HfSiON との選択比を確保したままエッチングが可能である。次に、N メタルとしての TaSiN を PVD で形成した後、TaSiN のエッチングマスクとしての第二の HCD-SiN を形成し、リソグラフィーにより PWELL 領域にレジストを形成し、NWELL 領域の第二の HCD-SiN と TaSiN をドライエッチングでエッチングし、レジスト剥離する。この状態では、2 種の WFM はいずれも HCD-SiN に被われている。次に、第一と第二の HCD-SiN を DHF (希フッ酸水溶液) で除去した後、低抵抗金属である W とハードマスクである SiN を順次形成し、W と WFM から構成されるフルメタルゲートを加工する。

このプロセスの特徴は以下である。第一の特徴は、マスク枚数の追加は 2 枚であるので、通常の CMOS フローと同じマスク枚数となる。すなわち、通常の Poly-Si ゲート CMOS フローではゲート電極に N ドーパントと P ドーパントを注入するのに 2 枚必要であり、このマスク数だけの追加となる。第二の特徴は、TaSiN 加工時に HCD-SiN のハードマスクを用いることで、下地の WFM をアッシングダメージから保護する点である。この第二の利点を図 3.1.8 に基づき説明する。TaSiN のエッチングを通常のレジストマスクで行うと、NWELL 領域の TaSiN と SiN をエッチングした後のアッシングの際に TiN と TaSiN は酸素プラズマに曝されることになり、EOT (実効ゲート酸化膜厚) の増加を招く。TaSiN の上部に第二の HCD-SiN を形成し、TaSiN のエッチングでは第一の SiN を残すことでアッシング工程においては 2 枚の WFM の上部に SiN が形成されるので、WFM へのプラズマダメージを回避することが出来る。実際に WFM である TaSiN 上で酸素アッシングを行うと EOT (実効ゲート酸化膜厚) の増加が起きることが確認されている (図 3.1.9)。

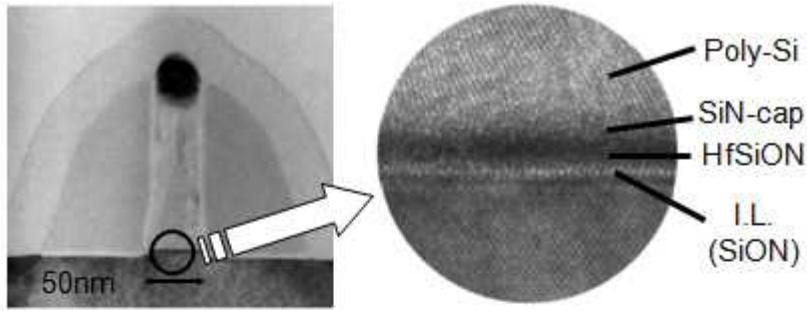
上記のように TaSiN の除去工程でのアッシングダメージは回避できたが、アッシングの影響は図 3.1.10 に示すように、TiN を PWELL 上から除去する際にも起きる。TiN の除去工程におけるアッシングダメージは酸素プラズマを用いている限り回避できない問題である。しかしながら、TiN を H_2O_2 水溶液で除去する際に HfSiON もエッチングされるので、NMOS 側は、アッシングダメージ (EOT 増加) と TiN エッチングの際の EOT 低下の 2 つの問題が混在している。実際には Selete では NMOS において EOT 減少が確認された。しかしながら、デュアルプロセスを持って EOT が減少しても EOT-Jg (Jg: ゲートリーク電流) のトレンドに乗っているため (図 3.1.11)、大きな問題とはならないことは確認した。

上記のデュアル仕事関数 CMOS フローにより、NMOS は W/TaSiN/HfSiON、PMOS は W/TiN/HfSiON のデュアルゲート CMOS を試作し、トランジスタ特性を評価した。図 3.1.12 に $\text{Lg}-V_{\text{TH}}$ 特性を示す。カウンター注入なしで N/P 対称な V_{TH} を取得できた。また、図 3.1.13 の Ion-Ioff 特性から、Ioff=100nA/ μm で、Ion=710(n)/340(p) $\mu\text{A}/\mu\text{m}$ (at $V_{\text{cc}}=1.1\text{V}$) であり、LOP に適した特性を取得できた。また、CMOS インバータ特性を評価した結果、正常な発振特性が得られた (図 3.1.14)。1 段あたりの遅延時間 (tpd) は Lg (ゲート長) に対して略線形な依存性を示し (図 3.1.15)、この tpd の Lg 依存性からも正常な発振特性を取得できたことが分かる。

以上、デュアル仕事関数 CMOS フローを説明した。本フローはデュアル WFM 用に考案されたフローであるが、NMOS、PMOS の別々のゲート絶縁膜を形成する、デュアルメタル・デュアル High-k[3.1.8]にも適用できる。この場合は、PMOS 用に適した High-k ゲート絶縁膜として例えば HfAlO を形成し、PWELL 上の TiN を除去する工程において、PWELL 上、すなわち NMOS 用の基板上の High-k も除去した後に NMOS に適した High-k(たとえば HfLaSiO)を形成すれば、デュアル High-k が形成される。次節で説明するようにメタルゲートでも仕事関数の変調が起きるので、バンドエッジに対応する仕事関数を得るためには WFM の選定のみでは不十分であり、High-k の材質を NMOS と PMOS とで分ける手法(デュアル High-k) [3.1.9]、もしくはデュアル High-k とデュアルメタルとの組み合わせ[3.1.8]が検討されている。いずれの場合でも 2 枚マスクで NMOS、PMOS とで別々の絶縁膜を形成する必要があり、本節で説明したデュアル仕事関数フローはデュアル High-k、もしくはデュアルメタル・デュアル High-k にも適用でき、汎用性のあるプロセスである。

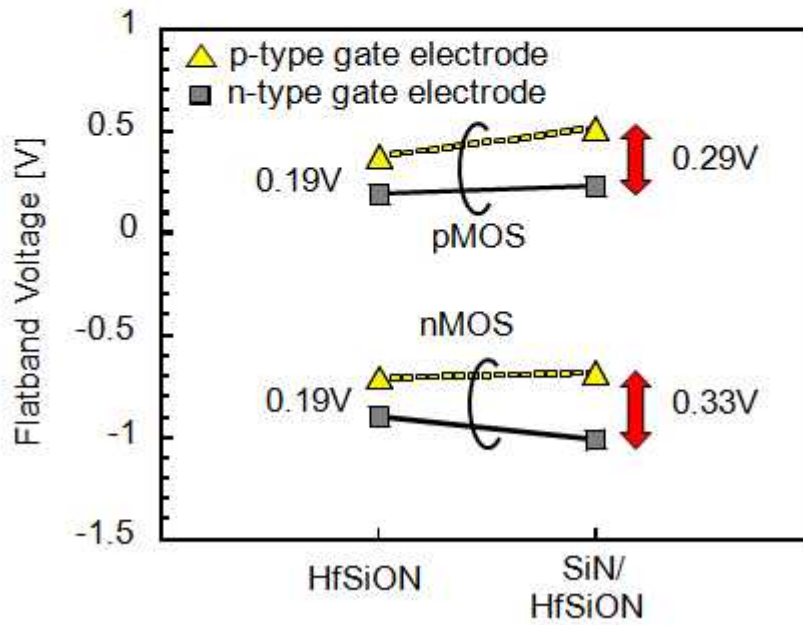
参考文献

- [3.1.1] C. Hobbs, L. Fonseca, V. Dhandapani, S. Samavedam, B. Taylor, G. Grant, L. Dip, D. Triyoso, et al., "Fermi level pinning at the poly/metal oxide interface", VLSI Symposium Technical Digest, pp.9-10, 2003.
- [3.1.2] K. Shiraishi, K. Yamada, K. Torii, Y. Akasaka, K. Nakajima, M. Kohno, T. Chikyo, H. Kitajima, T. Arikado, "Physics in Fermi level pinning at the polySi/Hf-based high-k oxide interface", VLSI Symposium Technical Digest, pp.108-109, 2004.
- [3.1.3] T. Sasaki, F. Ootsuka, T. Hoshi, T. Kawahara, T. Maeda, M. Yasuhira, T. Arikado, "The influence of siliconnitride cap in BTI and Fermi pinning in HfO₂ gate stacks", Extended abstract of International Workshop in Gate Insulators 2003, pp. 20-23, 2003.
- [3.1.4] Y. Tamura, T. Sasaki, N. Izumi, F. Ootsuka, M. Yasuhira, T. Hoshi, S. Kume, H. Amai, T. Ida, T. Aoyama, S. Kamiyama, K. Torii, H. Kitajima, T. Arikado, "SiN-capped HfSiON gate stacks with improved bias temperature instabilities for 65nm-node low-standby-power transistors", VLSI Symposium pp.210-211, 2004.
- [3.1.5] A. Mineji, Y. Tamura, T. Watanabe, H. Ozaki, F. Ootsuka, T. Aoyama, K. Shibata, K. Tsujita, N. Ohashi, M. Yasuhira, T. Arikado, "Integration of manufacturable 65nm-node HfSiON transistors optimized with low-thermal-budget CMOS process", IEDM Tech. Digest, pp. 927-930, 2004.
- [3.1.6] Y. Akasaka, "Material selection for high-k/metal gate MISFETs", 11th Workshop on Gate Stack Technology and Physics, pp.151-156, 2006.
- [3.1.7] F. Ootsuka, Y. Tamura, Y. Akasaka, S. Inumiya, H. Nakata, M. Ohtsuka, T. Watanabe, M. Kitajima, Y. Nara, K. Nakamura "Full-metal-gate integration of dual-metal-gate HfSiON CMOS transistors by using oxidation-free dummy-mask process", SSDM Tech. Digest, p.1116-1117, 2006.
- [3.1.8] S. C. Song, Z. B. Zhang, M. M. Hussain, C. Huffman, J. Barnett, S. H. Bae, H. J. Li, P. Majhi, C. S. Park, B. S. Ju, et al., "Highly manufacturable 45nm LSTP CMOSFETs using novel dual high-k and dual metal gate CMOS integration", VLSI Symposium Tech. Digest, pp.13-14, 2006.
- [3.1.9] N. Mise, T. Morooka, T. Eimori, S. Kamiyama, K. Murayama, M. Sato, T. Ono, Y. Nara, Y. Ohji, "Single metal/dual high-k gate stack with low V_{th} and precise gate profile control for highly manufacturable aggressively scaled CMOSFETs", IEDM Technical Digest, pp.527-530, 2007.



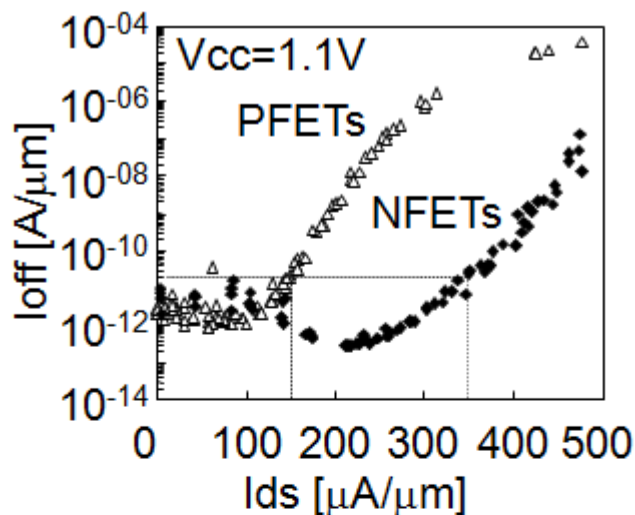
Y. Tamura, et al., VLSI Symp.p210, 2004

図3.1.1 Poly-Si/HfSiONゲートトランジスタ構造



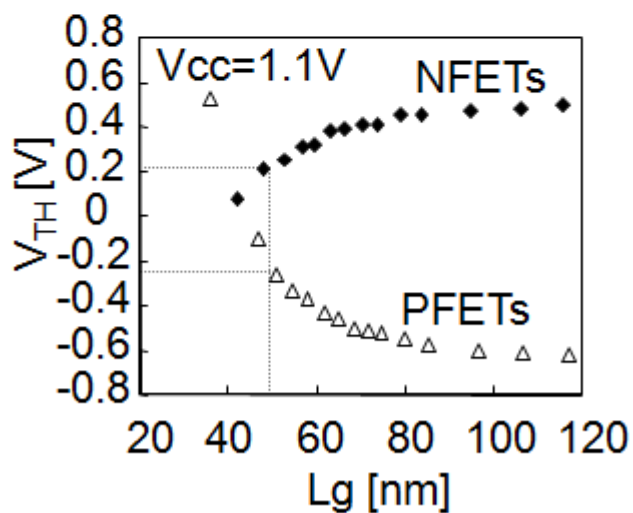
Y. Tamura, et al., VLSI Symp.p210, 2004

図3.1.2 SiNキャップによるVFBの改善効果



A. Mineji, et al., IEDM04, p.927

図3.1.3 Poly-Si/HfSiONゲートトランジスタのIon-Ioff特性



A. Mineji, et al., IEDM04, p.927

図3.1.4 Poly-Si/HfSiONゲートトランジスタのLg-Vth特性

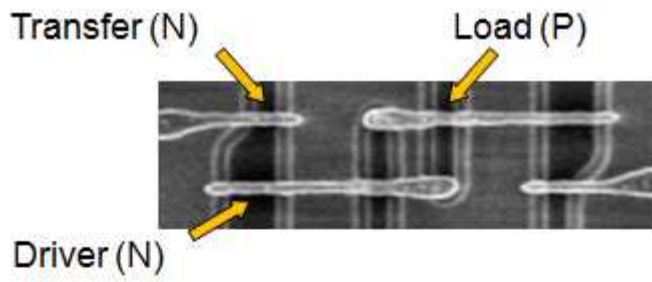


図3.1.5 SRAMセル平面SEM像

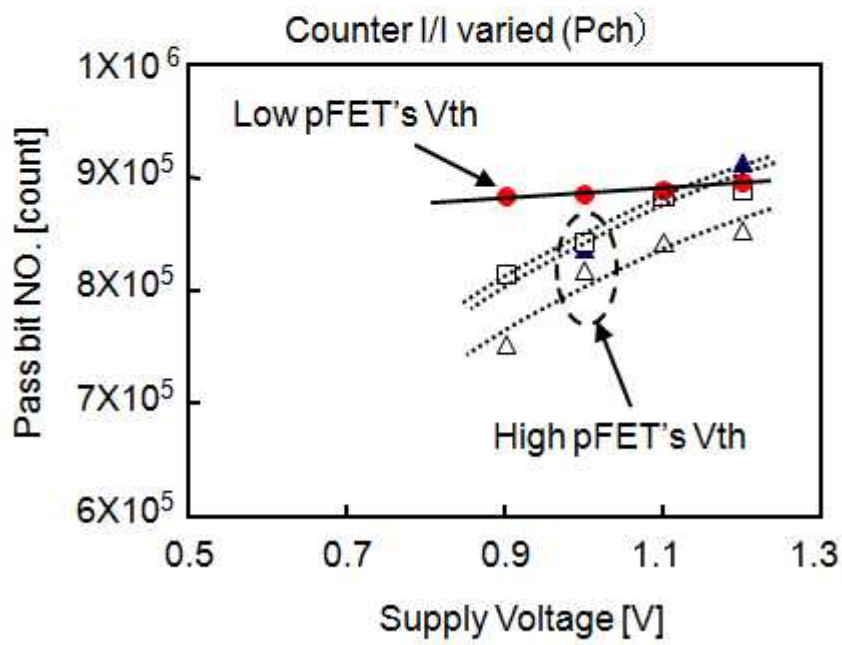


図3.1.6 動作ビット数と電源電圧(Vcc)との関係

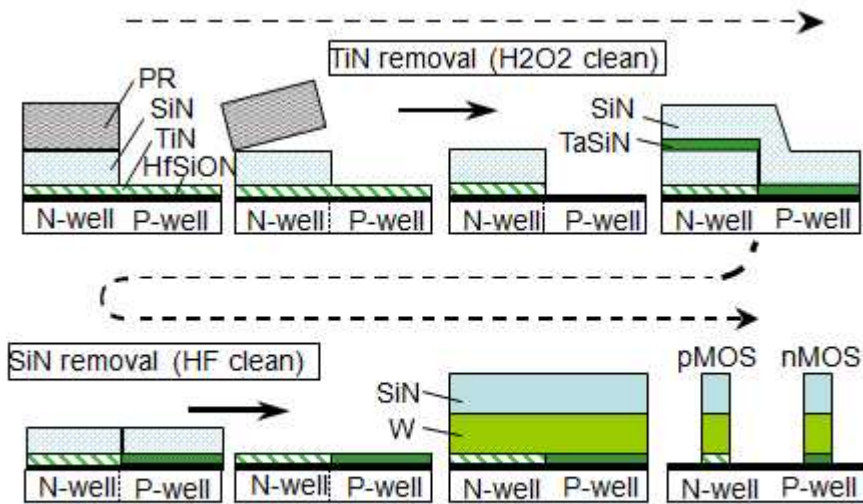


図3.1.7 デュアル仕事関数金属プロセスフロー

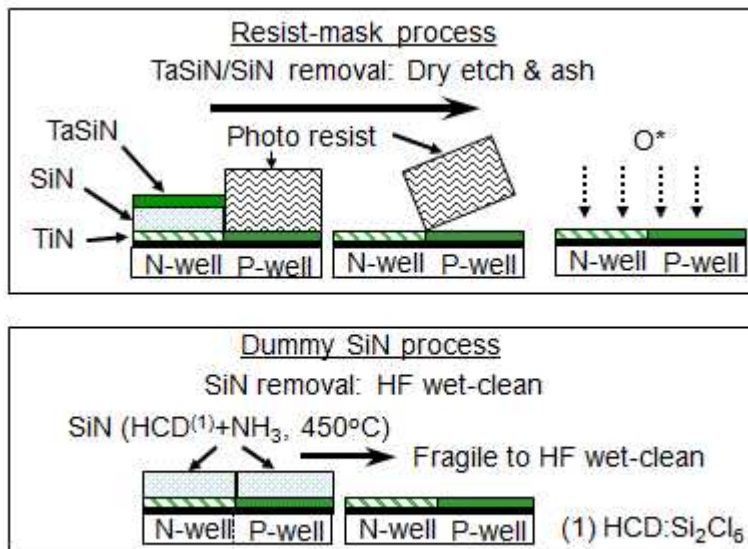


図3.1.8 ダミー SiNマスクプロセスの利点

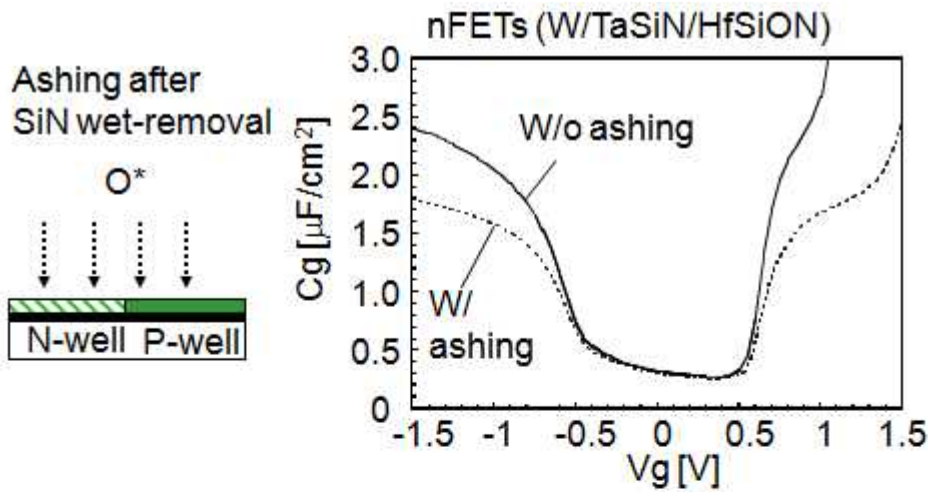
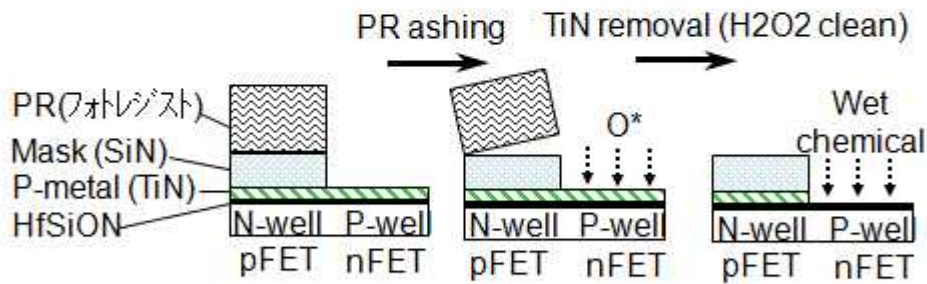


図3.1.9 酸素プラズマアッシングによるEOTの増加



課題 (nFETs)

- レジスト除去工程におけるアッシングダメージ
- ウェットエッチによるEOT低下

図3.1.10 TiN除去工程における課題

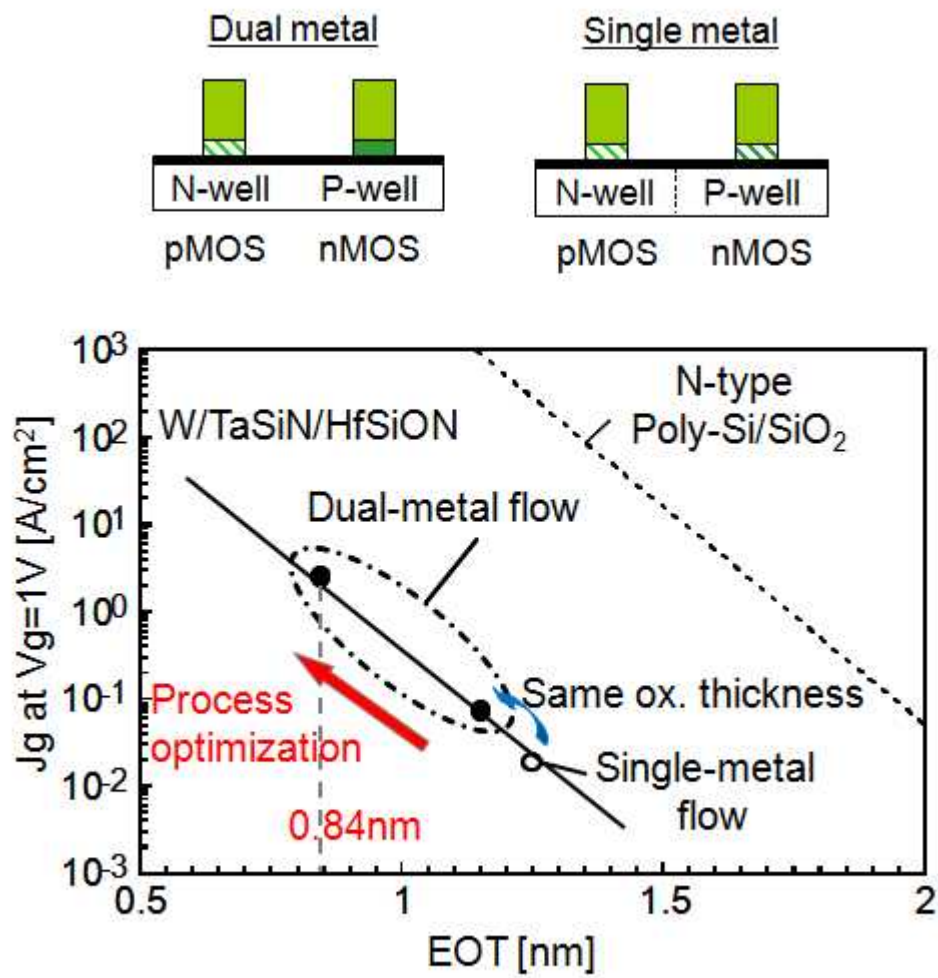


図3.1.11 デュアルメタルプロセスにおけるEOT-ゲートリーク電流相関

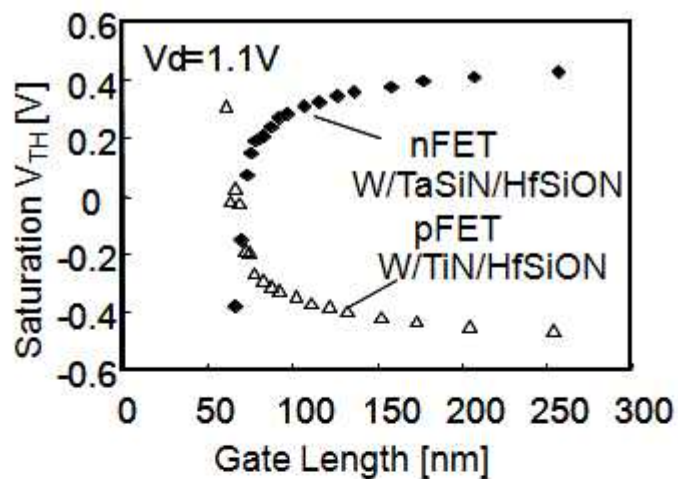


図3.1.12 デュアルメタルCMOSTランジスタの L_g - V_{TH}

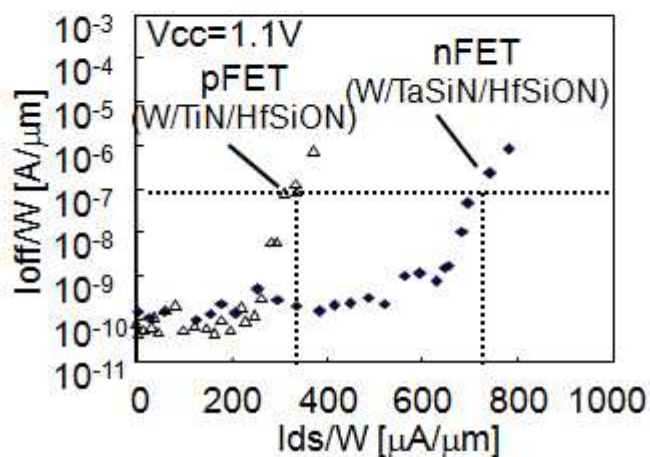


図3.1.13 デュアルメタルCMOSTランジスタの I_{on} - I_{off}

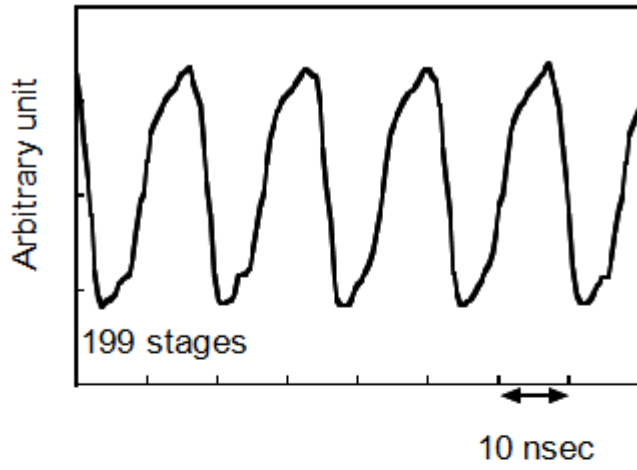


図3.1.14 デュアルメタルCMOSリングオシレータの
発振特性

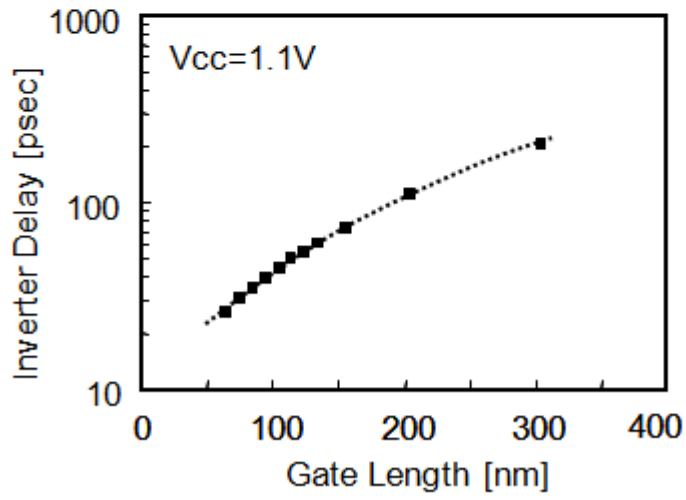


図3.1.15 デュアルメタルCMOSインバータ遅延の
ゲート長依存

3.2. SPE+FLAを用いた低熱負荷プロセスによる浅接合化とHigh-k・メタルゲートへの適用

(1) 第3.2節概要

本節では Extension 深さが 15nm 以下の極浅接合を形成するために適した接合形成プロセスの手法としての FLA(フラッシュランプアニール)を用いた低熱負荷プロセスと、これを用いた L_g (ゲート長) $<45\text{nm}$ の High-K・メタルゲートトランジスタの電気特性に関して議論する。

ゲート長が 50nm 以内の世代では短チャネル効果抑制の観点から極浅接合が要求されており、この目標値もアグレシブとなってきた。例えば、2001 年の ITRS(International Technology Roadmap for Semiconductor)では 65nm ノードの SD(ソース・ドレイン)イクステンションの目標値は 10~17nm であったのに対して 2005 年度版の 65nm ノードの高速版マイクロプロセッサ用途では 7.5nm に設定されている。このような極浅接合は通常の 1sec 程度の高熱負荷を与える Spike-RTA(Rapid Thermal Anneal)プロセスでは実現できず、SPE (Solid Phase Epitaxy)[3.2.1]および、FLA (Flash Lamp Anneal)[3.2.2, 3.2.3]、ノンメルトレザアニール[3.2.4]等の msec アニールが提案されている。ここで本稿で扱う Spike-RTA とは、熱源にウエハ支持ステージを急速に接近させ短時間(1sec 程度)でアニールを行う技術であり、リファレンスデバイスの試作に使用した。また FLA はコンデンサーに電荷を蓄積させ瞬時に放電させることで、瞬時に Xe ランプに電圧を印加する技術であり、本節で主に扱う技術である。

筆者は低熱負荷で高効率にドーパントの活性化を実現する技術として SPE(Solid Phase Epitaxy)と FLA(Flash Lamp Anneal)との組み合わせを提案した[3.2.5, 3.2.6]。この技術のコンセプトはプレアモルファス化後の欠陥回復を SPE で行い活性化を FLA で行うというものであり、高活性化が実現でき、且つウエハ割れが防止されるという大きな利点があるが、問題点として Poly-Si(多結晶 Si)ゲートで適用するとゲート空乏化起因の移動度低下が見られた[3.2.5]。本章の前半部分では、Poly-Si/SiON ゲートにおける諸特性を論じる。

一方、Hf ベース High-k は仕事関数金属(WFM:Work Function Metal、すなわち VFB:Flat Band Voltage を決定する金属)を組み合わせると低リークと低 T_{inv} (反転状態の酸化膜厚)が実現されるので 45nm ノード以降のゲートスタックとして有力視されている。しかしながら、ゲート電極を形成後に熱負荷を加えると仕事関数のミッドギャップ方向へのシフトが起こるため[3.2.7]、ゲートの形成方法に関しては、「ゲートラスト」と呼ばれるメタル電極を SD(ソース・ドレイン)形成後に形成する Damascene ゲートや、Poly-Si ゲートを完全にシリサイド化する FUSI(Fully Silicided)ゲートが検討されているが[3.2.8, 3.2.9]、従来の CMOS フローである、ゲート電極を先に形成後に SD を形成する「ゲートファースト」プロセスのほうが既存の設計・プロセス上の知的財産が活用できるという点で好ましい。本節の後半部分では、W/WFM/HfSiON フルメタルゲート構造の FET を、SPE+FLA を用いたゲートファーストプロセスで構築した場合の FET 特性を報告する。本節では、メタルゲートの場合は、Poly-Si/SiON ゲートで見られたゲート空乏化起因の移動度の低下が見られない点を報告するとともに、SPE+FLA を用いた低熱負荷プロセスを用いることによりフェルミレベルピンニングが緩和できる点についても論じる。

(2) 低熱負荷メタル/HfSiON-FET 形成プロセス

以下、メタル/HfSiON-FET の形成プロセスに関して説明する。

極浅接合は低エネルギーイオン注入と SPE+FLA 活性化によって形成した。即ち、PMOS の Extension には、Ge のプレアモルファス注入を行った後に B を注入し、600 で 2min 相当の SPE を行い FLA で活性化した。また NMOS の Extension は As のみで形成し、プレアモルファス化は行っていない。図 3.2.1(a), (b)

に Extension 部のプロファイルを示す。FLA は SPE で形成したプロファイルには影響を与えず、SPE+FLA 活性化により 13nm の PMOS-Extension 深さを実現した。なお、FLA は SPE 後に 1200 °C 以内の温度で、1msec 以下の時間で行った。

図 3.2.2 に SPE+FLA 活性化のコンセプトを示す。Ge 注入によるプレアモルファス化を行った後に B を注入すると、Si 基板中には、空孔(V)とインタースティシャル B(格子間 B)とインタースティシャル Si が存在する。B の拡散定数は Si のそれより大きいので、SPE の過程では B が V の位置に到達し、固溶限まで B が Si のサイトに存在できるが、固溶限は温度が高い程大きいので、熱処理は高温化が望ましい。高温アニールの過程で B が安定化すれば活性化が終端するが、結合の強さは Si-Si と Si-B と同等なので、熱処理が長いと B がインタースティシャルに放出されやすくなり、B の拡散の過程で非活性化(Deactivation)が起こる。従って、高温熱処理は短いほうが非活性化が起らず、msec アニールの FLA は 1 秒程度の Spike-RTA(Rapid Thermal Anneal)よりも、非活性化の防止という観点から有効な技術である。また、アモルファス Si のほうが単結晶 Si より光吸収係数が高いが、SPE により結晶欠陥が回復されるので、熱吸収がウエハ内の深さ方向に対して均一に行われるので、FLA により瞬時に熱処理を行ってもウエハが割れにくくなるという利点がある。従って、SPE+FLA は従来の FLA 単独アニールに比べて極めて実用性の高いプロセスである。

メタル/High-k トランジスタとして W/WFM/HfSiON トランジスタをゲートファーストプロセスで作製した。HfSiON ゲート絶縁膜は界面酸化膜形成、HfSiO₂ 形成、窒化、PNA(Post Nitridation Anneal)のシーケンスで形成した[3.2.10]。WFM は N メタル用に PVD(Physical Vapor Deposition)で形成した TaSiN、P メタル用には CVD(Cheical Vapor Deposition)で形成した TiN を用いた。低抵抗金属として WFM(Work Function Metal)上には W を形成し、W 上には SiN ハードマスクを形成した。なお、SiN ハードマスク形成時の W の酸化を防止するために SiN 下に薄い(5nm)TiN を PVD で形成した。Extension とパンチスルーストップとして機能する Halo はオフセットスペーサ形成後に注入し、Extension と注入角度を分流した。活性化条件は 950 °C Spike-RTA(Rapid Thermal Anneal)、1000 °C Spike-RTA、SPE+FLA に分流した。なお、Extension を斜め注入で形成した理由は、Extension が浅くなるため、ゲートとのオーバーラップ量が低下し寄生抵抗が増加するため、この寄生抵抗増加による I_{ds} の低下を防止するためである。

図 3.2.3 に WFM として TaSiN を用いた場合の W/WFM/HfSiON ゲート構造の TEM 像を示す。ゲート長は ArF ドライリソグラフィを用いて 50nm 以下のゲート長を実現した。また、図 3.2.4 に示す C_g-V_g 特性から分かるように、VFB(Flat Band Voltage)として N/P 略対称の約 -/+0.6V を、カウンター注入を行わないメタル/High-k ゲートで取得した。

(3) 低熱負荷 Poly-Si/SiON トランジスタにおける移動度低下

本節では SPE(Solid Phase Epitaxy)+FLA(Flash Lamp Anneal)を用いた低熱負荷プロセスで Poly-Si(多結晶 Si)/SiON トランジスタを形成した場合のトランジスタ特性に関して、移動度の低下にフォーカスして議論する。

図 3.2.5 に SPE に FLA を追加した場合の利点である PMOS のオン電流の向上を示す。SPE 単独と比較して、SPE+FLA 活性化では PMOS のオン電流が大きく向上するのが分かる。SPE 単独では Extension が活性化されないため、実効チャンネル長がゲート長より長くなる「オフセット構造」となるためオン電流が極端に小さくなるが、FLA を追加することで Extension が活性化されオン電流が向上した。しかしながら NMOS においてゲート空乏化起因の移動度の低下が見られた。

図 3.2.6 に SPE 単独、SPE+FLA 活性化、Spike-RTA (Rapid Thermal Anneal) の場合の C_g - V_g 特性を示す。いずれの場合にもゲート注入後 (SD (ソース・ドレイン) 注入前) には 1000 のドライブイン拡散を行っているが、SD 活性化の熱負荷が低いと Deactivation によるゲート空乏化、すなわち、 V_g の高い領域における C_g (ゲート容量) の低下が見られた。このゲート空乏化に対応して電子移動度の低下が見られた (図 3.2.7)。電子移動度が低下した原因を調べるため、Spike-RTA 活性化の場合の移動度を基準として $1/\mu = 1/\mu_{\text{rta}} + 1/\mu_{\text{rcs}}$ から付加移動度 (μ_{rcs}) をチャンネル面濃度に対してプロットしたのが図 3.2.8 である。付加移動度はチャンネル濃度に対して緩やかに増加する関数であることが分かる。また、付加移動度は EOT (実効ゲート酸化膜厚) の低下、すなわち、ゲート電極がチャンネルに近づくると低下するという「リモートクーロン散乱」の特徴を有する。この付加移動度を特徴付ける散乱長は付加移動度の EOT 依存性から見積もることができる。即ち、図 3.2.9 に示すように、 $\ln(1/\mu_{\text{rcs}})$ の EOT 依存は近似的に直線性が見られ、この傾き ($\sim 1.8\text{nm}^{-1}$) は散乱長の逆数を意味すると考えられる。即ち、約 0.5nm の散乱長を有するスクリーニングポテンシャルを発生させる電荷がゲート側界面に存在し、この電荷の影響によりチャンネル内の電子移動度が低下したと考えられる。なお、この散乱長の逆数は、Si/SiO₂ ゲートのスクリーニング定数として F. Stern と W. E. Howard が計算した結果 ($4/a^*$; a^* は実効 Bohr 半径) [3.2.11] と良く一致した。また、SPE に FLA を追加してもゲート空乏化が起こった理由は、SPE の過程で Deactivation が起こっており、一度 Deactivation が起こると FLA でも活性化が行われなことを意味している。即ち Poly-Si ゲートの活性化においては、余分な熱負荷を低減するようなプロセス設計が必要である。

以上のように、Poly-Si ゲートに低温プロセスを適用すると、ゲート空乏化に起因した移動度の低下が起き易くなることが分かった。このためオン電流の確保が困難となる。実際に Spike-RTA 活性化の場合のオン電流と SPE+FLA 活性化の場合のオン電流を比較したのが図 3.2.10 である。Extension を斜め注入で形成しオーバーラップ長を大きくしても SPE+FLA 活性化の場合、Spike-RTA の場合よりも低いオン電流しか取得できなかった。このことは、Poly-Si ゲートを使う限りにおいて、ゲート長の縮小 (= 低熱負荷) に伴いゲート空乏化の問題は高速化を阻害する要因として益々重要になることを示唆している。言い換えれば、メタルゲートによる空乏化対策は C_{inv} (反転状態でのゲート容量) の確保以上にオン電流改善に効果があると考えられる。

(4) 低熱負荷メタル/HfSiON トランジスタ特性

本節では、メタルゲートを用いることで低熱負荷プロセスを Poly-Si ゲートに適用した場合に見られたオン電流の低下が改善される点、低熱負荷プロセスと SD-Extension 斜め注入を用いることでフェルミレベルピンニングによる V_{TH} の高値化が改善される点を議論する。

図 3.2.11 に、Extension を通常の垂直注入で行い活性化アニールを 1000 の Spike-RTA で行った場合と、Extension を斜め注入で行い活性化を SPE+FLA で行った場合の NMOS の V_{TH} ロールオフ特性を比較する。図 3.2.11 から、 V_{TH} ロールオフ自体は 20° Extension+FLA 活性化と従来の 0° Extension+スパイク RTA 活性化と同等であると分かる。一方、オン電流は斜め Extension+FLA 活性化のほうが 0° Extension+スパイク RTA 活性化よりも高いという結果を得た (図 3.2.12)。この NMOS のオン電流の結果は Poly-Si/SiON ゲートの結果 (図 3.2.10) と異なり、メタルゲートによって空乏化起因の移動度低下が防止されたことを意味している。

V_{TH} に関するもう一つの特徴は、熱負荷を下げることで所謂フェルミレベルピンニングと言われる V_{TH} の高値化が緩和できる点である。この傾向は V_{TH} ロールオフにおける長チャンネル V_{TH} に現れている。長チャネ

ル($L_g=1\mu\text{m}$)の V_{TH} の Extension 角度依存と活性化熱処理条件依存を纏めたのが図 3.2.13 である。図 3.2.13 から、NMOS に関しては、 V_{TH} の Extension 角度依存と活性化条件依存は単純な振る舞いを示し、 V_{TH} は、メタル/HfSiON ゲートでは Poly-Si/SiON ゲートと比較して仕事関数差だけ高くなり、熱負荷を下げると V_{TH} が低下するのが分かる。HfSiON ゲートの場合、窒素濃度が高いほうが VFB (Flat Band Voltage) は正にシフトすることが知られており[3.2.12]、熱処理の低減によって V_{TH} が下がった理由は窒素の拡散の抑制と考えられる。一方、SD (ソース・ドレイン) なしキャパシタの VFB シフトはトランジスタの V_{TH} シフトと同程度であることから(図 3.2.14)、NMOS においては熱負荷低減によって仕事関数が約 0.1V バンドエッジ方向に変調し、これにより同程度の V_{TH} の負方向シフトが発生したのが分かる。

一方、PMOS に関する長チャネル V_{TH} の Extension 角度依存と熱処理依存は NMOS より複雑であり、斜め注入 Extension+FLA 活性化が NMOS 同様 V_{TH} が最も低くなるが、1000 スパイク RTA (Rapid Thermal Anneal) のほうが、斜め注入 Extension+950 スパイク RTA より V_{TH} が寧ろ低くなる。一方、図 3.2.14 の SD なしキャパシタの VFB からは、1000 スパイク RTA 活性化の場合が最もバンドエッジよりになっている。このような、PMOS における VFB の熱処理依存は VO (酸素 Vacancy) 生成によって説明できる。即ち、P メタルゲート(この場合は TiN)のフェルミレベルピンニング (VFB の負方向シフト) は VO の生成に起因することが示唆されており[3.2.13]、VO は P ゲートへの電子の放出と基板への酸素拡散という熱力学反応によって形成されるというモデルが提案されている[3.2.14]。このモデルによれば、Si 側の界面酸化膜が厚いほうがピンニングは起き難くなると予想され、実際 1000 スパイク RTA の場合は EOT が厚くなっていることが確認されている。即ち、EOT が厚い 1000 スパイク RTA の場合が最も VFB がバンドエッジよりとなる。また熱負荷を下げても酸素の拡散は防止されるので、結果的に、熱負荷の最も小さい SPE+FLA 活性化の VFB と、熱負荷の最も大きい 1000 スパイク RTA の VFB は略同等となった。なお、VO 形成過程における電子の P 型電極への放出と酸素の基板への放出に関するモデル(参考文献 3.2.14)を図 3.2.15 に示す。

このように斜め Extension 注入と低熱負荷プロセスを組み合わせることでフェルミレベルピンニングを緩和できるという結果を得たことはゲートファーストプロセスを用いてもメタル/High-k トランジスタが構築できることを示唆している。Extension 形成における斜め注入と低熱負荷プロセスは、今後、ゲートファーストプロセスにおける V_{TH} 調整のための主要なプロセス技術となると考えられる。

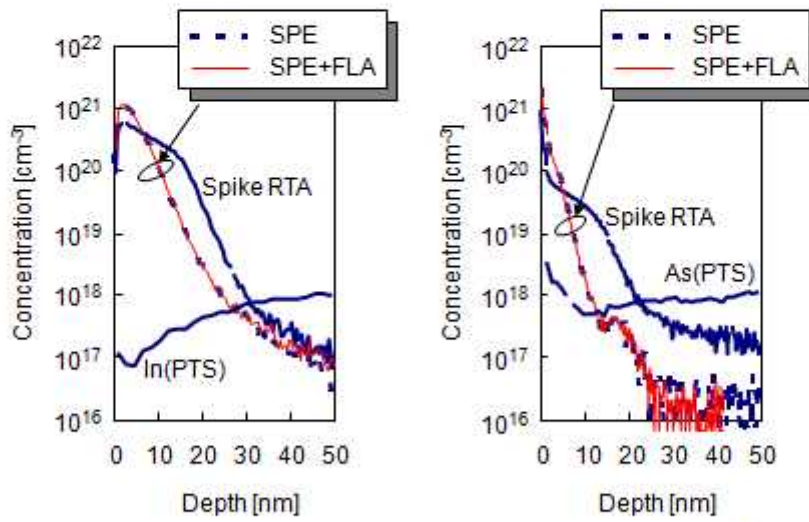
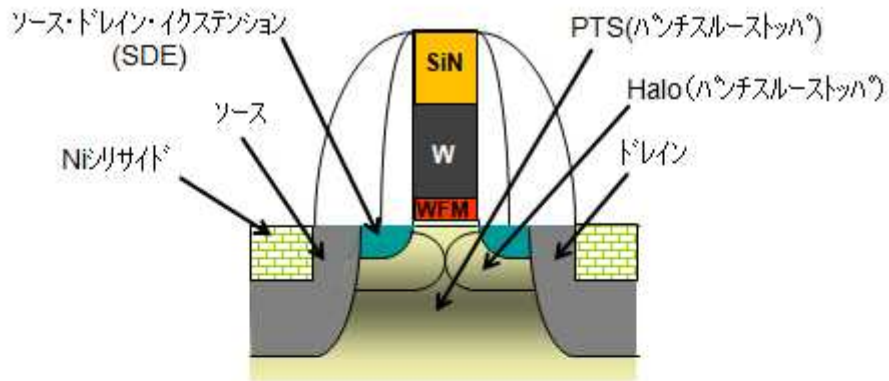
図 3.2.16 にゲート長が 36nm(NMOS) / 43nm(PMOS) の $I_{\text{ds}}-V_g$ 特性と $I_{\text{ds}}-V_d$ 特性を示す。斜め注入 Extension と SPE+FLA 活性化によって $L_g < 45\text{nm}$ で良好なトランジスタ特性を取得した。

(5) 第 3.2 節まとめ

以上総括すると、メタルゲートでは Poly-Si ゲートで見られた低熱負荷プロセスに固有のゲート空乏化起因の移動度低下が防止され、斜め Extension と SPE (Solid Phase Epitaxy)+FLA (Flash Lamp Anneal) を用いた低熱負荷プロセスと組みあわせることで高電流と短チャネル効果抑制を両立することができる。熱負荷の低減はフェルミレベルピンニングの抑制にも効果的で、低消費電力用途に適した長チャネル V_{TH} 値を取得した。SPE+FLA を用いた低熱負荷プロセスで、ゲート長が 45nm 以下で良好な特性を有するメタル/HfSiON トランジスタを実現した。

参考文献

- [3.2.1] R. Lindsay, B. J. Pawlak, P. Stolk, K. Maex, "Optimization of junction formed by solid phase epitaxial regrowth for sub-70nm CMOS", MRS Symp. Proc., Vol. 717, pp.65-76, 2002.
- [3.2.2] T. Ito, K. Suguro, M. Tamura, T. Taniguchi, Y. Ushiku, T. Iinuma, T. Itani, M. Yoshioka, T. Owada, Y. Imaoka, H. Murayama, T. Kusuda, "14nm-depth low resistance boron doped extension by optimized flash lamp annealing", ISSM 2002 Tech. Digest, pp.19-22, 2002.
- [3.2.3] K. Yamashita, M. Noguchi, H. Nishimori, T. Ida, M. Yoshioka, T. Kusuda, T. Arikado, K. Okumura, "Kinetics of boron activation by flash lamp annealing", International Conference on Solid State Devices and Materials, pp.742-743, 2003.
- [3.2.4] A. Shima, Y. Wang, S. Talwar, A. Hiraiwa, "Ultra-shallow junction formation by non-melt laser spike annealing for 50-nm gate CMOS", VLSI Symp., Tech. Dig., pp.174-175, 2004.
- [3.2.5] F. Ootsuka, H. Ozaki, T. Sasaki, K. Yamashita, H. Takada, N. Izumi, Y. Nakagawa, M. Hayashi, K. Kiyono, M. Yasuhira, and T. Arikado, "Ultra-low thermal budget CMOS process for 65nm-node low-operation-power applications", IEDM Tech. Dig., pp.647-650, 2003.
- [3.2.6] F. Ootsuka, United States Patent 7041549B2, 2006.
- [3.2.7] H. Y. Yu, C. Ren, J. F. Kang, Y-C. Yeo, D. S. H. Chan, M. F. Li, D. L. Kwong, "Thermal stability of metal gate work functions", International Conference on Solid State Devices and Materials, pp.712-713, 2004.
- [3.2.8] S. Yamaguchi, K. Tai, T. Hirano, T. Ando, S. Hiyama, J. Wang, Y. Hagimoto, Y. Nagahama, T. Kato, K. Nagano, M. Yamanaka, et al., "High performance dual metal gate CMOS with high mobility and low threshold voltage applicable to bulk CMOS technology", VLSI Symp. Tech. Dig., pp.192-193, 2006.
- [3.2.9] T. Hoffmann, A. Veloso, A. Lauwers, H. Yu, M. Van Dal, H. Tigelaar, T. Chiarella, C. Kerner, R. Mitsuhashi, I. Satoru, M., Niwa, et al., "Low power CMOS featuring dual work function FUSI on HfSiON and 17ps inverter delay", VLSI Symp. Tech. Dig., pp.194-195, 2006.
- [3.2.10] S. Inumiya, Y. Akasaka, T. Matsuki, F. Ootsuka, K. Torii, Y. Nara, "A thermally-stable sub-0.9nm EOT TaSix/HfSiON gate stack with high electron mobility, suitable for gate-first fabrication of hp45 LOP devices", IEDM Tech. Dig., pp.27-30, 2005.
- [3.2.11] Frank Stern, W. E. Howard, "Properties of semiconductor surface inversion layers in the electric quantum limit", Physical Review Vol. 163, No.3, pp.816-835, 1967.
- [3.2.12] Y. Akasaka, K. Shiraishi, N. Umezawa, O. Ogawa, T. Kasuya, T. Chikyow, F. Ootsuka, Y. Nara, K. Nakamura, "A novel remote reactive sink layer technique for the control of N and O concentration in metal/high-k gate stacks", VLSI Symp. Tech. Dig., pp.164-165, 2006.
- [3.2.13] E. Cartier, F. R. McFeely, V. Narayanann, P. Jamison, B. P. Linder, M. Copel, V. K. Paruchuri, V. S. Basker, R. Haight, D. Lim, R. Carruthers, T. Shaw, M. Steen, J. Sleight, J. Rubino, H. Deligianni, S. Guha, R. Jammy, G. Shahidi, "Role of oxygen vacancies in VFB/Vt stability of pFET metals on HfO₂", VLSI Symp. Tech. Dig, pp.230-231, 2005.
- [3.2.14] Y. Akasaka, G. Nakamura, K. Shiraishi, N. Umezawa, K. Yamabe, O. Ogawa, M. Lee, T. Aminaka, T. Kasuya, H. Watanabe, T. Chikyow, F. Ootsuka, Y. Nara, K. Nakamura, "Modified oxygen vacancy induced Fermi level pinning model extendable to p-metal pinning", Japanese Journal of Applied Physics, Vol. 45, No. 49, pp. L1289 L1292, 2006.



(a) Arsenic extension for n-ch. (b) Boron extension for p-ch.

図3.2.1 Source Drain Extension部のドーパントのプロファイル

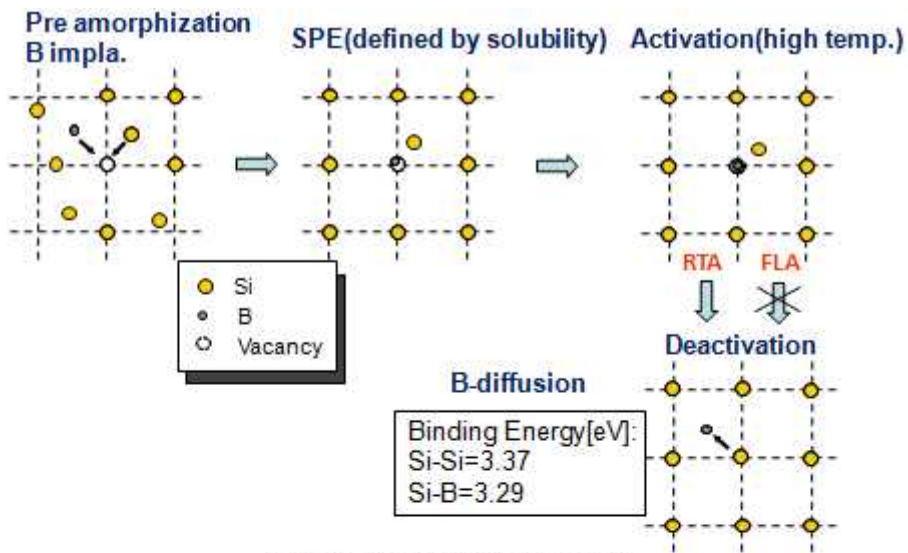


図 3.2.2 SPE+FLA 活性化のコンセプト

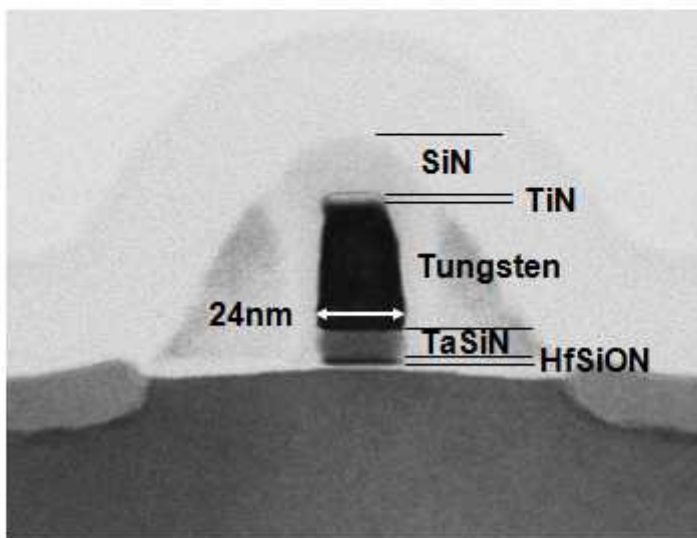


図 3.2.3 Nchtランジスタの断面TEM像

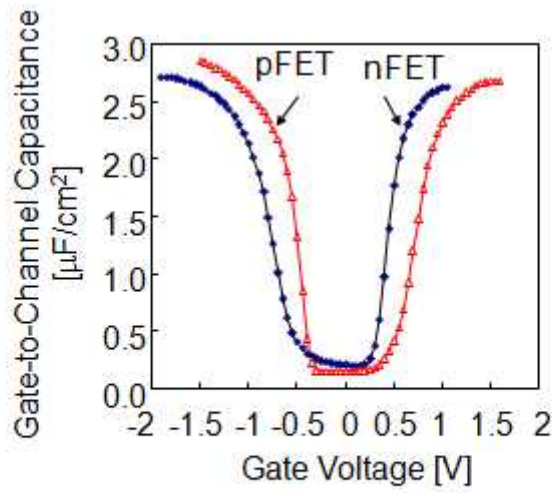


図3.2.4 メタル/High- κ トランジスタの C_g - V_g 特性

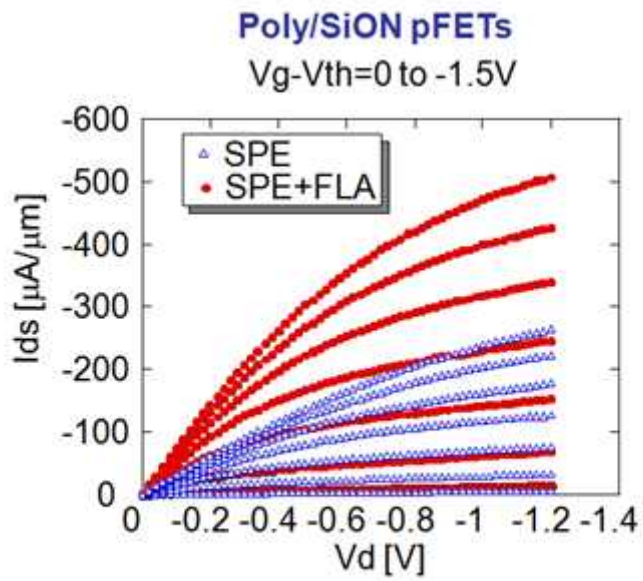


図3.2.5 FLAによるPMOSのドレイン電流改善

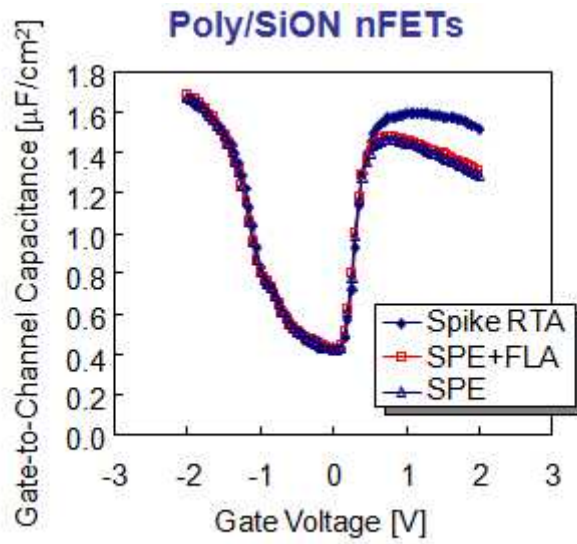


図3.2.6 SPE, SPE+FLAによるNMOSゲートの空乏化

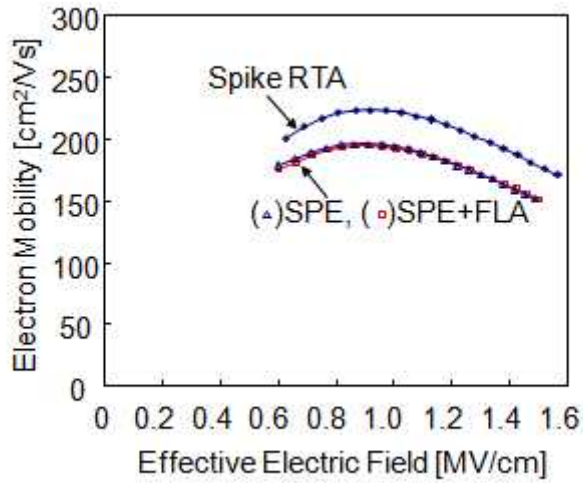


図3.2.7 SPE, SPE+FLAによるNMOS移動度の低下

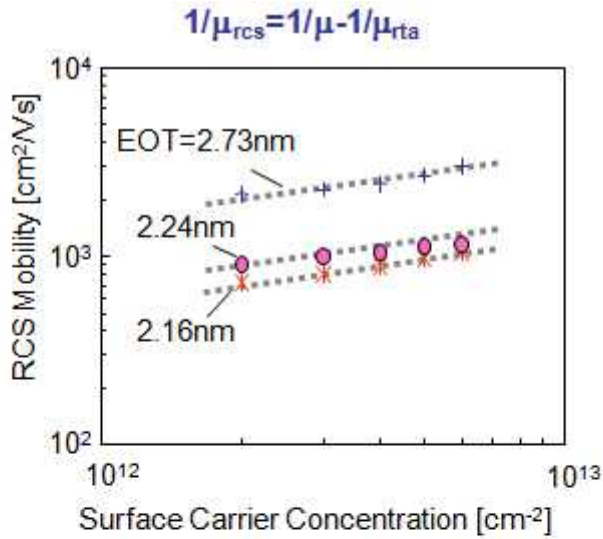


図3.2.8 RCS起因移動度の表面電荷密度依存性

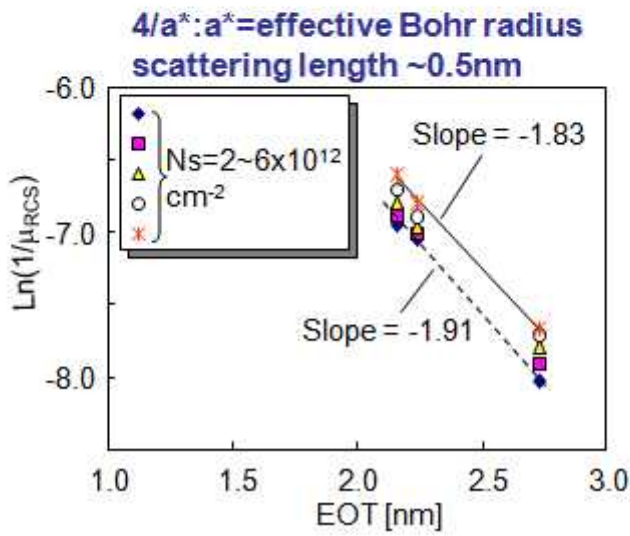


図3.2.9 スクリーニング定数の導出

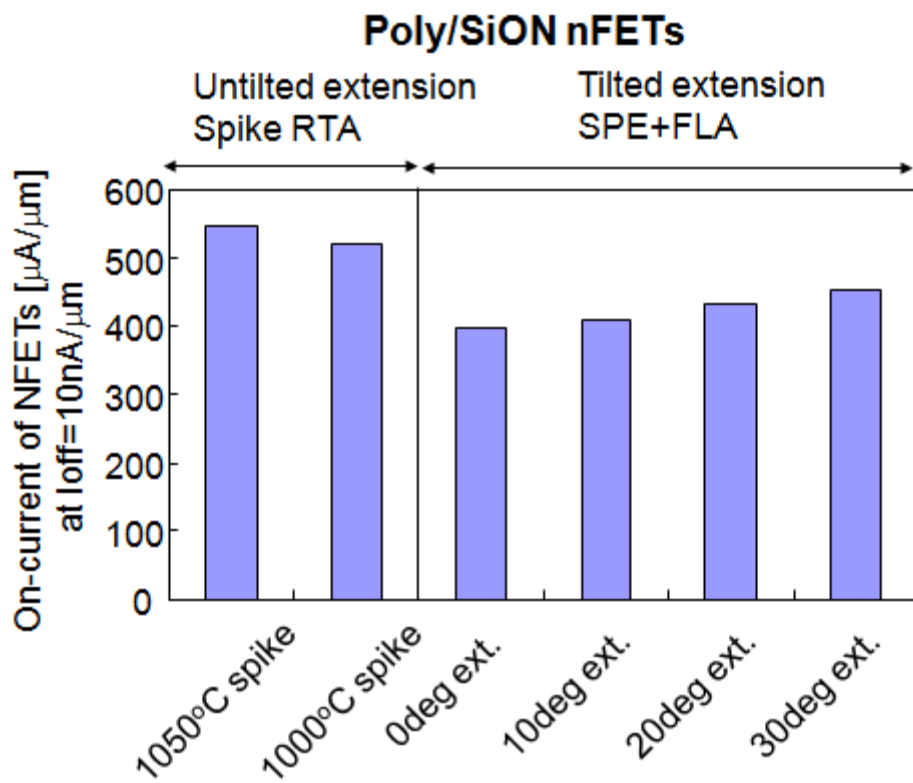


図3.2.10 Poly-Si/SiONゲートNMOSIにおけるオン電流(I_{ds})のspike-RTAとSPE+FLA活性化による違い

Metal/HfSiON nFETs

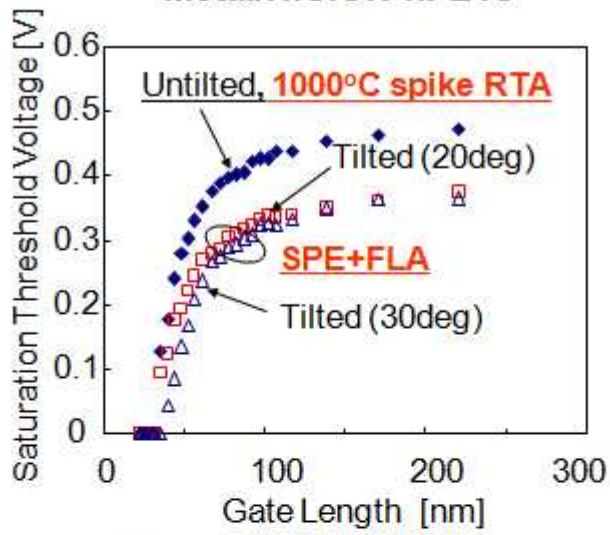


図3.2.11 メタル/High-k NMOSIにおける L_g - V_{th} 特性

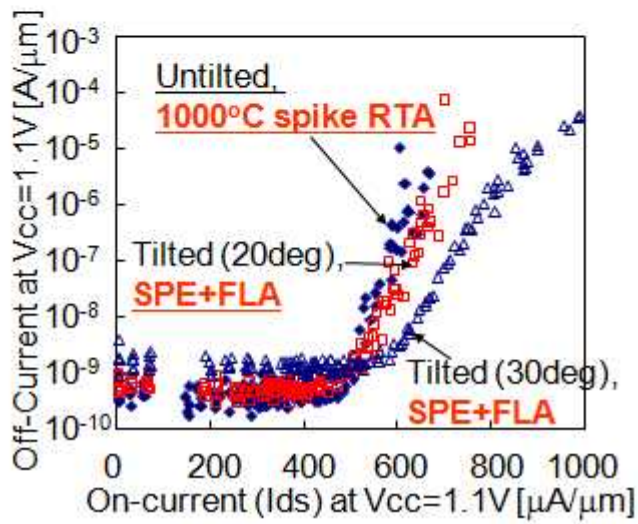


図3.2.12 メタル/High-k NMOSIにおける I_{on} - I_{off} 特性

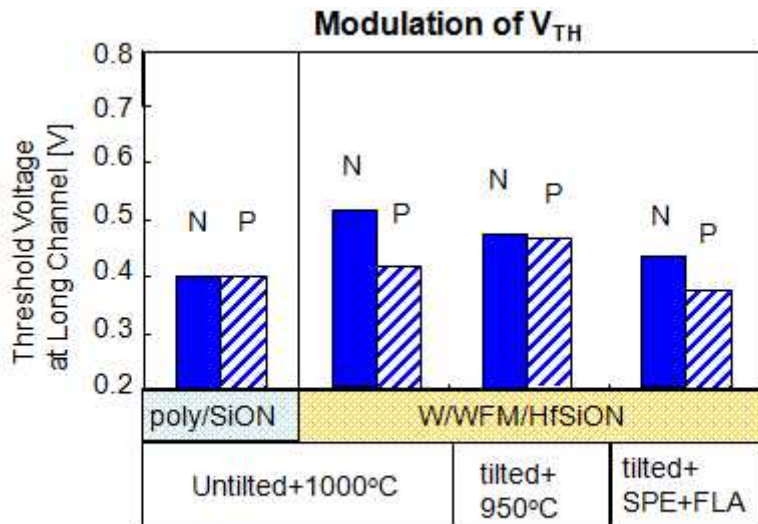


図3.2.13 長チャネルの V_{TH} のExtension角度と活性化条件依存性

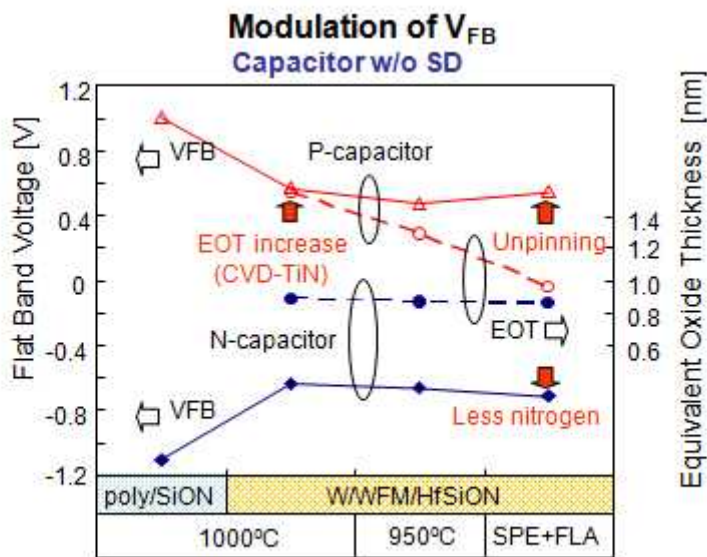
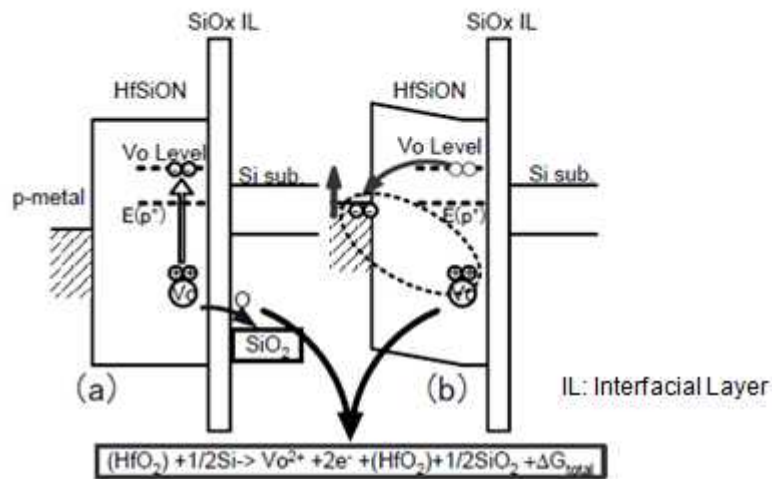


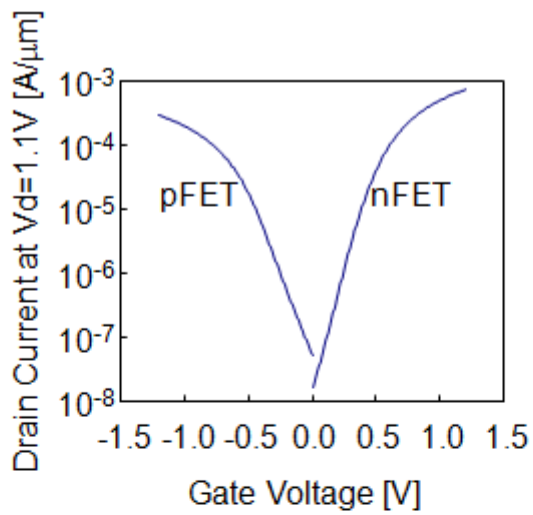
図3.2.14 V_{FB} とEOTの活性化条件依存性

Modeling p-metal pinning (VFB-lowering)

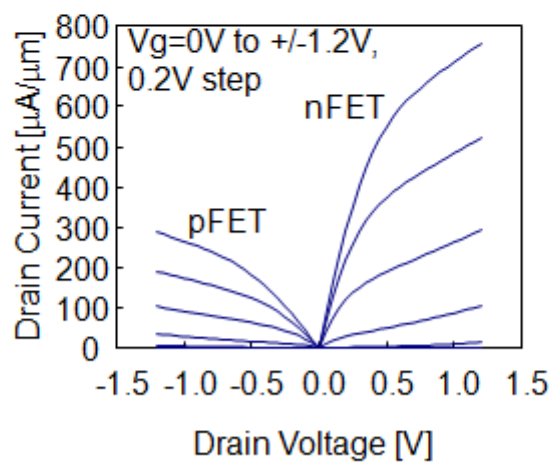


Y. Akasaka, et al., "Modified oxygen vacancy induced Fermi level pinning model extendable to p-metal pinning", Japanese Journal of Applied Physics, Vol. 45, No. 49, pp.L1289-L1292, 2006

図3.2.15 PメタルにおけるVO形成に起因したV_{FB}低下のモデル



(a) I_{ds} vs. V_g



(b) I_{ds} vs. V_d

図 3.2.16 $L_g=45nm$ のメタル/HfSiONトランジスタ特性

3.3.3. メタルゲートに起因した縦方向ひずみによる PMOS 性能向上

(1) 第 3.3 節概要

前節ではメタル/High-k ゲートにおける短チャネル化の手法として SPE(Solid Phase Epitaxy) +FLA(Flash Lamp Anneal)を用いた低熱負荷プロセスが、 V_{TH} 低下の手法として SDE(Source Drain Extension)の斜め注入と低熱負荷プロセスとの組み合わせがそれぞれ有効であることを述べた。また、オン電流に関してはメタルゲートを用いることで、Poly-Si(多結晶 Si)ゲートに固有なゲート空乏化起因の移動度低下が防止できることも論じた。

しかしながら、第 2 章でも議論したように、オン電流の向上には「ひずみ技術」は必須である。ゲートファーストプロセスの場合、従来の Poly-Si(多結晶 Si)ゲートで使用したひずみ技術がそのまま使えるという利点があるが、ゲート電極としては本稿では低抵抗金属として W(タングステン)を使用しているため、W の効力によりチャネルひずみが増調する可能性がある。また、W として WF₆ ガスを用いた CVD で形成すると EOT(実効ゲート酸化膜厚)が増加するという問題がある。このため W は PVD で形成したが、通常のスパッタ法で W を形成すると下地にダメージを与えるという問題がある。特に NMOS においては、長チャネルのオフ電流はゲートリークで支配されているため、**図 3.2.12** に示したようにオフリークは 10¹⁰A/um のオーダーであり PMOS より 1 桁高く、改善が必要である。このため、低ダメージで形成できる PVD 技術の導入が必要となる。

本節は、ダメージの発生しない「イオンビーム PVD 法」にて W を形成した場合の、NMOS のオフリーク電流の低減と、PMOS の移動度の向上に関して論じる。特に PMOS の移動度に関しては、IB-W(イオンビーム PVD-W)を用いることで縦方向(深さ方向)に引っ張りひずみが発生し、これにより移動度が向上した可能性があるため、この縦方向引っ張りひずみと PMOS 移動度とに関係について議論する。

(2) IB-W によるフルメタル/HfSiON トランジスタ試作

W を低抵抗金属としたフルメタル/HfSiON トランジスタ・プロセスは前節に従った。すなわち、(100)基板上に WELL を形成した後に HfSiON を形成した。HfSiON は界面酸化膜を 0.7nm 形成した後に、HfSiO を 2nm 程度形成し、表面窒化とアニールによって形成した[3.3.1]。次に、WFM(Work Function Metal、すなわち、VFB を決定する金属)として PMOS には PVD-TiN を 10nm 形成した。この後、低抵抗膜として W を従来の常温スパッタ、もしくは常温のイオンビームで形成した。W の膜厚は 30nm である。この後、拡散防止膜として 5nm の TiN を PVD で形成した後、ハードマスクとして SiN を 30nm 形成した。次に、ゲート電極を加工し、オフセットスペーサ膜をゲート側面に形成した後に SDE(Source Drain Extension)とパンチスルーストップ Halo を形成し、スペーサを低温(450)で形成した後、ソース・ドレインを形成した。活性化条件は、1000 の Spike-RTA を用いた。

図 3.3.1 にイオンビーム PVD 法の概念図を示す。W のターゲットに Ar イオンを所定の角度で照射させることで W をウエハ上の堆積させることができ、電界・磁場を用いずとも W を成膜することができる。本成膜方法の利点は、電界による電荷注入効果がないため、ダメージの無い形成方法である点である。TiN 上に W を形成し、900 でアニールを行った場合の平面 TEM 像を、IB-W と従来スパッタ W とで比較した結果を**図 3.3.2** に示す。グレインサイズは両者で差はなく、両者とも 20nm 以内であるとわかる。グレインサイズが同等であるので、Lg=40nm の抵抗は IB-W と従来スパッタ W とともに同等であるとわかる(**図 3.3.3**)。

W の応力をウエハの反り量から求めた。すなわち、W を形成した状態での反り量と、W を除去した後の反り量の差から応力値を求めた。この結果、従来スパッタ W の応力が -9.6GPa と非常に大きい値であっ

たのに対して、IB-W の応力値は-1.3GPa となり(両方とも圧縮応力)、IB-W の場合は、金属膜としては非常に小さな値であることがわかった。

このように成膜条件によって膜応力が異なる理由は以下であると考えられる。すなわち、成膜速度は、Hertz-Knudsen の式から、質量と温度の 1/2 乗に反比例し、科学ポテンシャルの熱平衡状態からの増加量、すなわちギブス自由エネルギーの増加量に比例することが導き出される[3.3.2]。自由エネルギーは RF パワーが高い程大きいので、RF パワーの高いスパッタで形成した膜のほうが、RF パワーを印加していないイオンビーム PVD で形成した膜より自由エネルギーは大きくなると考えられる。すなわち、スパッタ膜のほうがイオンビーム膜より成膜速度が大きいと考えられる。一方、グレインサイズは、W の下の WFM である TiN のグレインサイズで略決定されるので、成膜速度の大きいスパッタ膜のほうが膜応力が高くなる。図 3.3.4 に、スパッタ膜で応力が高くなるメカニズムを模式図で示す。

(3) IB-W を用いたフルメタル/HfSiON トランジスタ特性

以下、IB-W を用いたフルメタル/HfSiON トランジスタ特性に関して論じる。

図 3.3.5 に IB-W を用いた PMOS トランジスタの TEM 像を示す。この TEM 像内に示したチャンネル部の 3 点に関して電子線回折によって格子間隔を調べ、基板の格子間隔と比較することでひずみ量 (%) を評価した結果を表 3.3.1 に示す。ここで、表 3.3.1(a) が IB-W の場合であり、表 3.3.1(b) が従来スパッタ W の場合である。IB-W の場合は、X 方向(チャンネル長方向)、Z 方向(深さ方向)ともに最大 0.2% の引っ張りひずみ(符号は正で記載)が見られる。一方、従来スパッタ W の場合は、僅かながら圧縮ひずみ(符号は負で記載)が見られる。ひずみの精度は 0.1% であるが、ベクトルは正しいと考えられるので、以下の引っ張り/圧縮といった、定性的な議論は正しいと考えられる。

このような、W の形成方式によるひずみ量の違いはグローバル応力と局所応力の相殺効果によって説明できる。図 3.3.6 に、異なった方向のひずみが如何にして形成されたかの模式図を示す。W の成膜時には、W 膜のグローバル応力により、ウエハは IB-W、従来スパッタ W とともに、上に凸となり、チャンネル部にはグローバルな引っ張りひずみが形成される。ところが、ゲート加工後にはゲート面積が低下するためこのグローバルひずみが緩和される一方、ゲートからの局所応力が印加され、従来スパッタ W の場合は、圧縮応力が強いので、チャンネル部は、圧縮ひずみが形成される。一方、IB-W の場合は、局所的な圧縮応力は小さいため、グローバルな引っ張りひずみが残留する。ここで注目すべき点は、IB-W の場合は Z 方向に引っ張りひずみが形成されている点である。Z 方向に引っ張りひずみが形成されると PMOS のオン電流が増加することは既に報告されている[3.3.3]。以下に述べるように、IB-W によって、NMOS のオン電流は変わらないが、PMOS のオン電流が増加する現象が見出された。さらに、NMOS においては IB-W によって界面準位が低下し、オフリーク電流も低下するのが見出された。以下、この 2 点に関して特に論じる。

以下、トランジスタ特性を論じる。図 3.3.7 には 20 μm のキャパシタの C_g - V_g 特性を示す。 V_{TH} は、空乏領域から反転領域への遷移仮定における C_g の上昇点に相当すると考えられるため、IB-W と従来スパッタ W とで V_{TH} に差は見られない。図 3.3.8 にチャージポンピング法によって求めた界面準位密度(Nit)の比較を示す。Nit は IB-W により従来スパッタ W 比較約 1 桁低下することがわかる。すなわち、W の下層に 10nm の WFM があるのも関わらず W の成膜条件で Nit が変わることは、WFM はスパッタダメージまで防止できないことを示している。また、PMOS 移動度も IB-W によって増加することがわかった。図 3.3.9 に $L_g=10 \mu\text{m}$ の長チャンネル PMOS の移動度のチャンネル電界依存性を示す。IB-W のほうが従来スパッタ W よりも、移動度が約 7% 増加していることがわかる。IB-W の界面準位密度は $10^{10}/\text{cm}^2$ 程度と従来スパッタ W

より1桁程度低いので、界面準位密度の低下に対応して移動度が向上したものと考えられる。

PMOSの移動度の向上もさることながら、IB-Wによって、PMOSの飽和オン電流の増加も見られた。図3.3.10にPNOSの $I_{on-loff}$ (オン電流・オフ電流相関)特性を示す。同じloffで比較すると、IB-Wによって約14%のPMOSのオン電流向上が見られた。飽和オン電流の増加率のほうが移動度の増加率よりも高いことから、低電界(チャンネル長方向)移動度と短チャンネルにおける飽和電流がともに増加するメカニズムとして、有効質量の低下が起こっていることが示唆される。

一方、図3.3.11のNMOSの $I_{on-loff}$ 特性からわかるように、IB-Wを用いることで、オフ電流の低い領域(すなわち、ゲートの長い領域)のオフ電流は低下するが、オン電流の高い領域(すなわち、ゲート長の短い領域)でのNMOSのオン電流は変化しないことがわかる。ゲート長の長いNMOSのオフ電流はゲートリーク電流で決まるので、NMOSのオフリークの低下は先ほど示した界面準位の低下に起因していると考えられる。一方、オン電流がIB-Wによっても変わらなかった理由は、チャンネルひずみの方向と関係している。すなわち、IB-Wでは、X方向、Z方向ともに引っ張りひずみが発生しており、X方向の引っ張りひずみはNMOSの移動度を増加させ、Z方向の引っ張りひずみはNMOSの移動度を低下させる方向に働くので[3.3.3]、結果的にはNMOSのオン電流は変化しない。また図示はしていないが、低電界移動度もIB-Wによっても変わっていないことは確認している。なお、PMOSのオフ電流は図3.3.10で示したようにIB-Wによって変化しない。オフ電流はNMOS、PMOSともにゲート電流で決定されるが、PMOSのゲート電流はドレインからの電子電流が支配的である。オフ電流はNMOSよりPMOSのほうが大きいのでドレインの電界はPMOSのほうが大きいと考えられる。一方、NMOSゲート電流がゲートからドレインに流れる電子電流が支配的であるが、NMOSのドレインの電界がPMOSより低いいためチャンネル部の界面準位を介したゲート電流も加算される。従って界面準位密度の低いIB-Wの場合においてオフ電流が小さくなる。

IB-W、および従来スパッタWによるゲート幅(チャンネル幅)依存性の違いも評価した。図3.3.12(a)、(b)にNMOSおよびPMOSの線形領域の I_{ds} のゲート幅依存性を示す。ここで、ゲート幅はマスク寸法を意味する。この図からわかるように、IB-Wのほうが、狭いゲート幅において I_{ds} が僅かながら低下することがわかる。この理由は、IB-WにおいてはZ方向(上方向)に引っ張られているので、ゲート幅が狭くなるとSTI(Shallow Trench Isolation:シリコン酸化膜で構成される素子分離)からのY方向圧縮応力の影響を受けやすくなったためと考えられる。より良い理解のため、図3.3.12の上部に、ゲート幅の狭い、狭チャンネルMOSにおける応力の方向を矢印で示す。PMOSのほうがIB-Wによる I_{ds} の低下量がNMOSより大きい理由は、2章で述べたように、PMOSのほうがゲート幅方向(Y方向)の応力の影響を受けやすいという結果と一致している。

(4) 縦方向引っ張りひずみの電氣的観測とPMOS移動度向上のメカニズム考察

以上、IB-WによってZ方向(縦方向)に引っ張りひずみが観測された点、および、IB-WによってPMOSのオン電流が向上し、かつ界面準位の低下によりNMOSではオフリーク電流が低減したことを述べた。ここでは、本当にZ方向の引っ張りひずみが形成されているのかを基板電流をモニターすることで間接的に証明した点と、Z方向の引っ張り応力によって何故PMOS移動度が向上するのかを議論する。

Z方向にひずみが形成されたか否かは調べるために、NMOSにおいて、基板ホットエレクトロンをゲートに注入し、基板に流れるホール電流をモニターした。図3.3.13に基板バイアスが0Vの場合(a)と基板バイアスが-2Vの場合(b)でのゲート電流(I_g)、ソース電流(I_s)、基板電流(I_{sub})の V_g 依存性を示す。いずれの場合でも、 I_g は I_s と一致する。このことは、反転層を介してソースからゲートに電子が流れていること

を意味している。一方、 I_{sub} に着目すると、 $V_{sub}=0V$ の場合は、 V_g が高くなると従来スパッタ W において I_{sub} が増加するが、 V_{sub} を印加した場合は IB-W において V_g が低い領域での I_{sub} が大きくなる。この結果から以下の現象が起きていると考えられる。すなわち、 $V_{sub}=0V$ の場合は、界面準位を介したホール電流が基板に流れるため、界面準位の高い従来スパッタ W のほうで I_{sub} が大きくなる。 V_g が高い、すなわち界面での電界が高くなるとホール電流が大きくなる理由は、より多くの Valence 電子がゲート酸化膜に注入されて、このためホールの発生量が大きくなるためと考えられる。一方、基板バイアスを印加すると基板からホットエレクトロンが注入される。IB-W の場合は基板に引っ張りひずみが発生しているため、ホットエレクトロンのエネルギーが大きい、もしくは速度が速くなるため、インパクトイオン化によって発生したホール電流も大きくなったと考えられる。なお、インパクトイオン化で発生した基板電流に V_g 依存性が無い理由は、反転状態においては表面ポテンシャルは 2 (は基板のフェルミ準位) にピンされているので、基板電界は V_g ではなく V_{sub} で決定されているためである。図 3.3.14 に基板ホットエレクトロン注入による I_{sub} 増加のメカニズムの模式図を示す。

このように、基板バイアスを印加した場合に IB-W において基板電流 (I_{sub}) の増加が見られた。チャネルホットエレクトロンが発生するバイアス条件においては、X 方向(ソース・ドレイン方向)に引っ張りひずみを有する NMOS で I_{sub} が増加する現象は既に報告されている[3.3.4]。今回、基板ホットエレクトロンが発生するバイアス条件で I_{sub} が増加したことから、チャネルホットエレクトロンの場合からの類推により、Z 方向(深さ方向)に引っ張りひずみが発生していると判断される。

以下、Z 方向引っ張りひずみによる PMOS 移動度上昇の原因に関して議論する。原因として考えられるのは有効質量の低下である。Heavy-hole のサブバンド構造は Warped-subband と呼ばれ、 $\langle 100 \rangle$ 方向に縮んだ構造であると言われている[3.3.5、3.3.6]。今回(001)基板上に形成された $\langle 110 \rangle$ 方向のチャネル方位の有する PMOS トランジスタを扱っているため、 k_z が $\langle 001 \rangle$ 、 k_x が $\langle 110 \rangle$ である。Z 方向に引っ張ると k 空間では縮むので、E-k 空間の Z 方向の局率が大きくなり Z 方向の有効質量は低下すると考えられる。同時に $k_z=0$ 近傍、すなわち、ホールの流れる方向を考えると、X 方向の局率も大きくなるので X 方向の有効質量も低下する。Z 方向に引っ張りひずみを入れた場合の k_x - k_z 面における等エネルギー面と、 $k_z=0$ 近傍における E- k_x 曲線の変化の模式図を図 3.3.15(a)と図 3.3.15(b)にそれぞれ記載する。Z 方向の引っ張りひずみにより k_z 方向に縮んだ場合は、 $k_z=0$ 近傍では E- k_x 曲線の局率が大きくなるのがわかる。すなわち、X 方向の有効質量は E- k_x 曲線の 2 階微分の逆数であるので、X 方向の有効質量が低下する。

以上、Z 方向の引っ張りひずみにより有効質量が低下する可能性があることを述べたが、他の可能性も否定できない。一つの可能性は、“in-plane”の引っ張りひずみによるサブバンドスプリッティングである[3.3.7]。実際に W ゲートにおいては図 3.3.6 に示したように W の成膜時点では横方向にグローバル引っ張りひずみが発生する。IB-W の場合ゲートからの局所ひずみが小さいので、このグローバルひずみ(引っ張り)が残ってしまうことは既に説明した。また、X 方向および Y 方向に大きな引っ張りひずみが発生すると Light-hole の存在率が増えることは計算によって示されている[3.3.6]。しかしながら、今回発生したひずみを応力に換算すると最大 300MPa と小さく、文献[3.3.7]のような状況が実現されていない。このため、in-plane の引っ張りひずみは PMOS 移動度の増加の原因ではないと判断できる。

もう一つの可能性は、X 方向の Uniaxial 圧縮ひずみによるサブバンドスプリッティングである[3.3.8]。このケースは、ソース・ドレイン領域に SiGe を形成した“Embedded-stressor”における PMOS 移動度上昇のメカニズムとして提案されている。しかしながら、IB-W ゲートにおいてチャネルに形成されるひずみは引っ張りひずみであることから、Uniaxial 圧縮ひずみの影響は除外できる。

代わりに、Z 方向引っ張りひずみ、および X,Y 方向の引っ張りひずみによるサブバンドスプリッティングの影響は可能性として残る。サブバンドスプリッティングが起こると緩和時間が変調し、移動度も変調する。すなわち、移動度 μ は $q\tau/m$ で表されるので(ここで、 τ は運動量の緩和時間、 m は有効質量)、緩和時間が長くなると移動度も大きくなる。ただし、応力はテンソルであるので、Z 方向に引っ張り応力が加わると X,Y 方向には一般には圧縮応力が加わる。しかしながら、X,Y 方向の圧縮応力、すなわち、in-plane の圧縮応力は PMOS 移動度を低下させるので[3.3.9]、Z 方向の引っ張り応力による in-plane ひずみの変調が移動度向上の原因とは考えられない。今回、グローバル応力に起因した引っ張りひずみがチャンネル下に残留しているので、X,Y,Z 全ての方向において引っ張りひずみが形成されている。従って、Z 方向引っ張りひずみ、および X,Y 方向の引っ張りひずみによるサブバンドスプリッティングによる緩和時間の変調も移動度向上原因の可能性として残っている。

(5)メタルゲートにおけるひずみ形成方法に関する今後の展望

以上、IB-W によって、Z 方向の局所的な圧縮応力を低減することで Z 方向に引っ張りひずみが形成されることで、PMOS の移動度が向上することを述べた。この現象は、Poly-Si(多結晶 Si)ゲートにおいてグレインが成長する過程で生じる「Z 方向の圧縮応力」をチャンネル部に伝えることで NMOS の移動度を向上させる手法(「Stress-memorization」)に類似している。Stress-memorization としては、SiN ライナーを形成した後で、熱処理を加える手法が提案されている[3.3.10]。すなわち、IB-W のよる PMOS 移動度の向上は、Stress-memorization の PMOS 版という位置づけになると理解される。本件は PMOS においてもゲート電極の形成条件如何で Stress-memorization が起こることを示した最初の例であると考えられる。

メタル/High-k トランジスタにおいてもひずみ技術はオン電流向上という観点で重要である。ひずみ技術は、前述のように、ストレスライナー、Embedded-stressor、および、Stress-memorization に大別される。この内、ストレスライナーはゲートファーストプロセスを用いている限りにおいては、従来の Poly-Si/SiON ゲートと同様に有効な技術である。また、Embedded-stressor は、従来のゲート・ファーストプロセスのみならず、ゲート・ラストプロセスにも有効な技術であり、ゲート・ラストプロセスに Embedded-SiGe を導入し、高いオン電流を実現した事例が報告されている [3.3.11、3.3.12]。こうしたストレスライナー、および Embedded-SiGe は研究テーマとしては終了しており、Stress-memorization へと研究テーマが移行しつつある。今後、Stress-memorization、および Z 方向のひずみをどう取り入れるかが、局所ひずみ技術の最後の研究・開発領域となると予想される。IB-W を用いた W ゲートは PMOS 移動度向上の利点があるため、Stress-memorization の候補であると考えられる。

参考文献

- [3.3.1] S. Inumiya, T. Miura, K. Shirai, T. Matsuki, K. Torii, Y. Nara, "Fabrication of high-mobility nitrided Hafnium silicate gate dielectrics with sub-1-nm equivalent oxide thickness using plasma nitridation and high-temperature postnitridation annealing ", Japanese Journal of Applied Physics, Vol.45, No. 4B, pp.2898-2902, 2006.
- [3.3.2] 上羽牧夫 責任編集、結晶成長のしくみを探る;その物理的基礎、共立出版、p.80、2002年
- [3.3.3] Y. Kumagai, H. Ohta, H. Miura, F. Ito, K. Maekawa, A. Shimizu, "Evaluation of change in drain current due to strain in 0.13- μm -node MOSFETs", International Conference on Solid State Devices and Materials, pp.14-15, 2002.
- [3.3.4] David Onsongo, David Q. Kelly, Sagnik Dey, Rick L. Wise, C. Rinn Cleavelin, Sanjay K. Banerjee, "Improved hot-electron reliability in strained-Si nMOS", IEEE Transaction on Electron Devices, Vol.51, No.12, pp.2193-2199, 2004.
- [3.3.5] G. Ottaviani, L. Reggiani, C. Canali, F. Nava, A. Alberigi-Quaranta, "Hole drift velocity in silicon", Physical Review B, Vol.12, No.8, pp.3318-3329, 1975.
- [3.3.6] M. V. Fischetti, Z. Ren, P. M. Solomon, M. Yang, K. Rim, "Six-band k-p calculation of the hole mobility in silicon inversion layers: Dependence on surface orientation, strain, and silicon thickness", Journal of Applied Physics, Vo.94, No.2, pp.1079-1095, 2003.
- [3.3.7] K. Rim, K. Chan, L. Shi, D. Boyd, J. Ott, N. Klymko, F. Cardone, L. Tai, S. Koester, M. Cobb, et al, "Fabrication and mobility characteristics of ultra-thin Strained Si Directly on Insulator (SSDOI) MOSFETs", IEDM Technical Digest, pp.49-52, 2003.
- [3.3.8] S. E. Thompson, M. Armstrong, C. Auth, M. Alvi, M. Buehler, R. Chau, S. Cea, T. Ghani, et al., " A 90-nm logic technology featuring strained-silicon", IEEE Transaction on Electron Devices, Vol.51, No.11, pp.1790-1797, 2004.
- [3.3.9] P. R. Chidambaram, Chris Bowen, Srinivasan Chakravarthi, Charles Machala, Rick Wise, "Fundamentals of silicon material properties for successful exploitation of strain engineering in modern CMOS manufacturing", IEEE Transaction on Electron Devices, Vol.53, No.5, pp.944-964, 2006.
- [3.3.10] K. Ota, K. Sugihara, H. Sayama, T. Uchida, H. Oda, T. Eimori, H. Morimoto, Y. Inoue, "Novel locally strained channel technique for high performance 55nm CMOS", IEDM Technical Digest, pp.27-30, 2002.
- [3.3.11] K. Mistry, C. Allen, C. Auth, B. Beattie, D. Bergstorm, M. Bost, M. Brazier, M. Buehler, A. Cappellani, R. Chau, et al., "A 45nm logic technology with high-k + metal gate transistors, strained silicon, 9 Cu interconnect layers, 193nm dry patterning and 100% Pb-free packaging", IEDM Technical Digest, pp.247-250, 2007.
- [3.3.12] S. Mayuzumi, J. Wang, S. Yamakawa, Y. Tateshita, T. Hirano, M. Nakata, S. Yamaguchi, Y. Yamamoto, Y. Miyanami, et al., "Extreme high-performance n- and p-MOSFETs boosted by dual-metal/high-k gate damascene process using top-cut dual stress liners on (100) substrates", IEDM Technical Digest, pp.293-296, 2007.

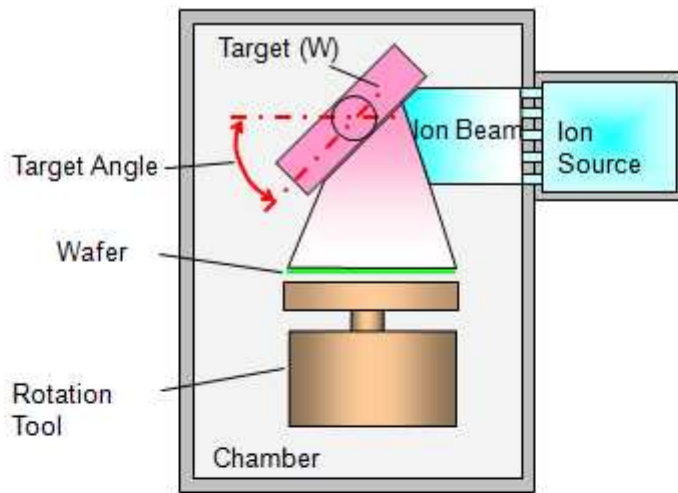


図 3.3.1 イオンビームPVDの装置概念図

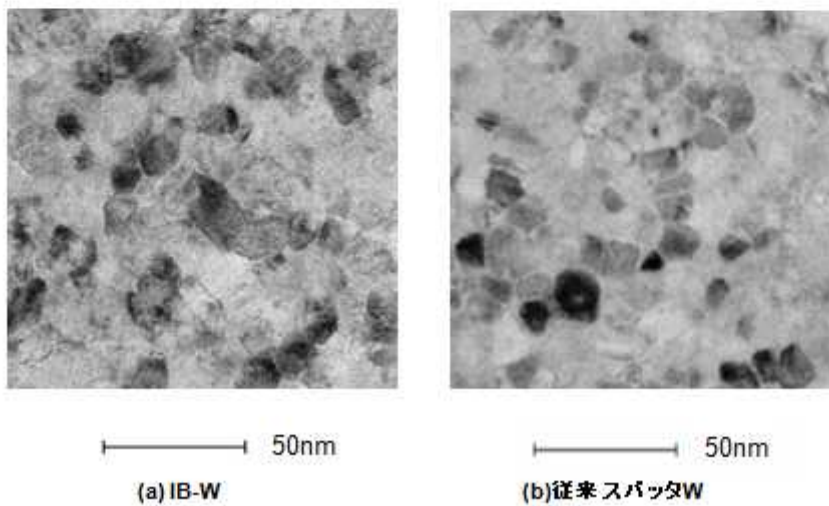


図 3.3.2 W/TiN構造の平面TEM像 (900°Cアニール後)

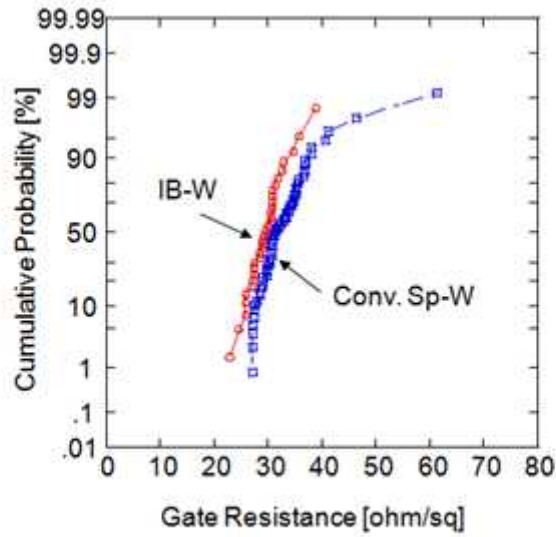


図3.3.3 W/TiNゲートのシート抵抗のウエハ内分布

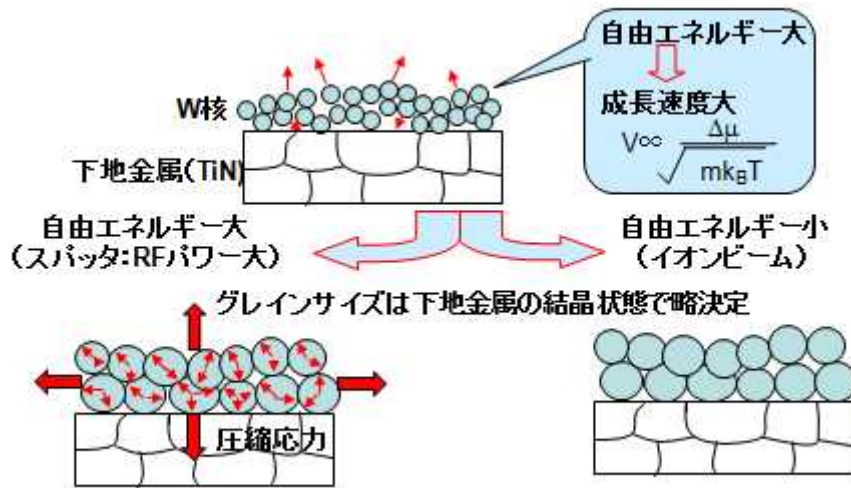


図3.3.4 PVD成膜方式により膜応力が異なるメカニズム

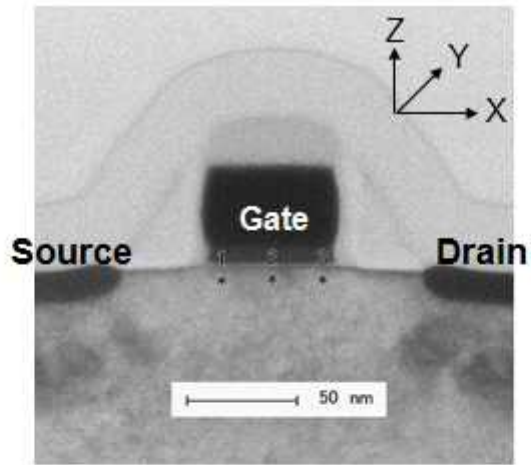


図3.3.5 IB-W/TiN/HfSiON-PMOSTトランジスタのTEM像

表3.3.1 W/TiN/HfSiONトランジスタのひずみ量

(a)IB-W [%]

測定点	X	Z
1	0.2	0.1
2	0.2	0.0
3	0.1	0.1

(b)Conv. Sp-W [%]

測定点	X	Z
1	0.0	-0.1
2	-0.1	0.0
3	0.0	0.0

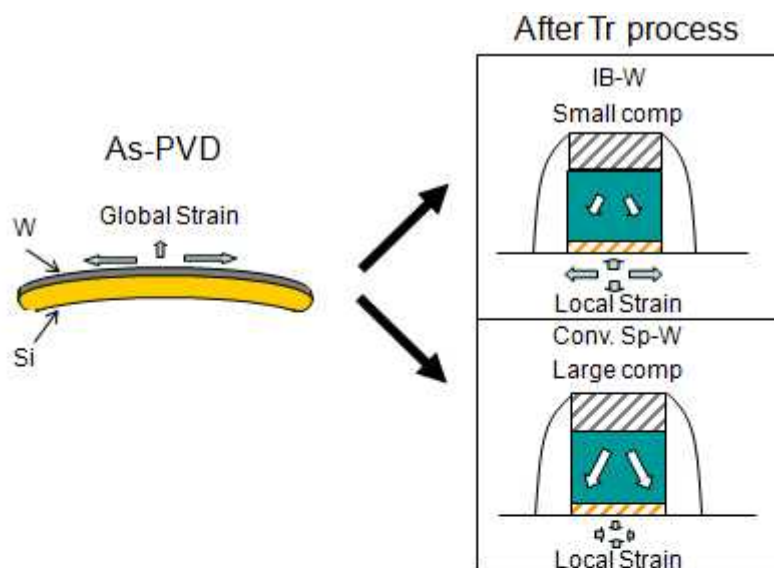


図3.3.6 Wゲートにおけるひずみ形成のメカニズム

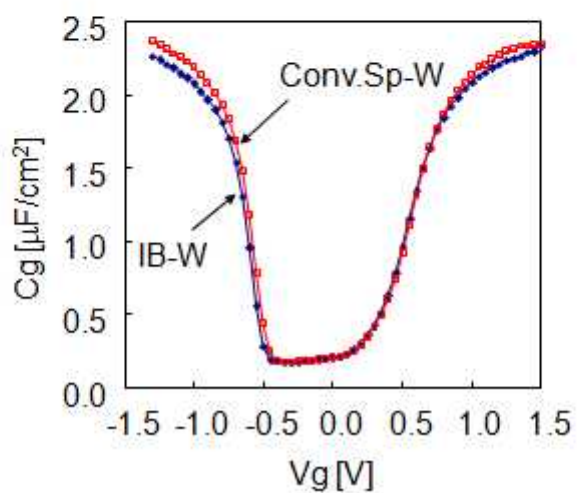


図3.3.7 W/TiN-PMO キャパシタのCg-Vg特性

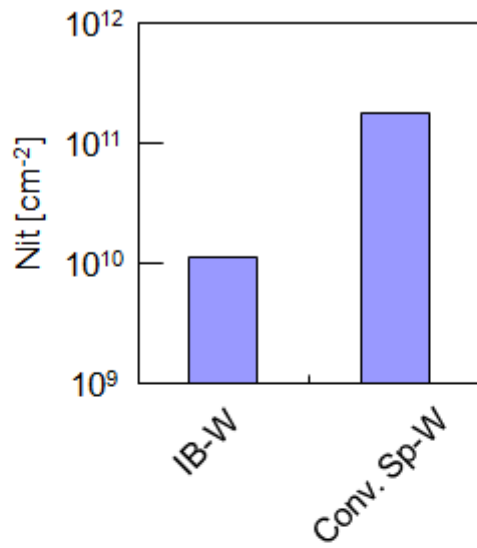


図3.3.8 W/TiN/HfSiON-PMOSの界面準位密度

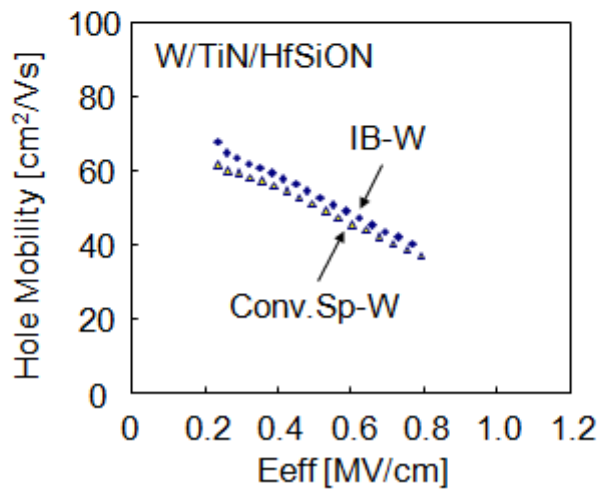


図3.3.9 W/TiN/HfSiON-PMOS移動度の実効電界依存

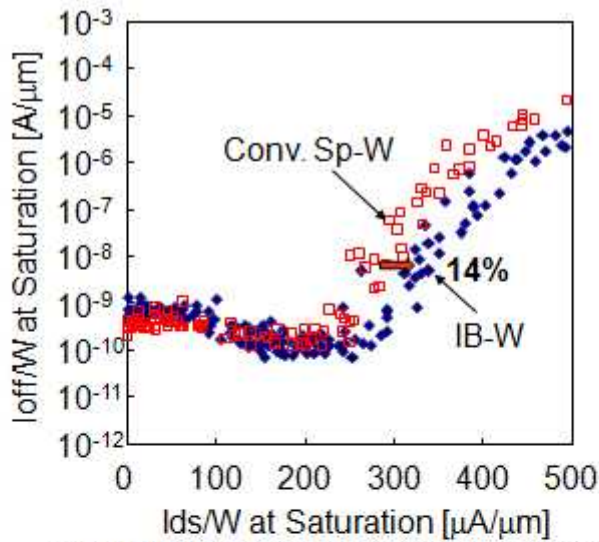


図3.3.10 W/TiN/HfSiON-PMOSのオン電流・オフ電流相関

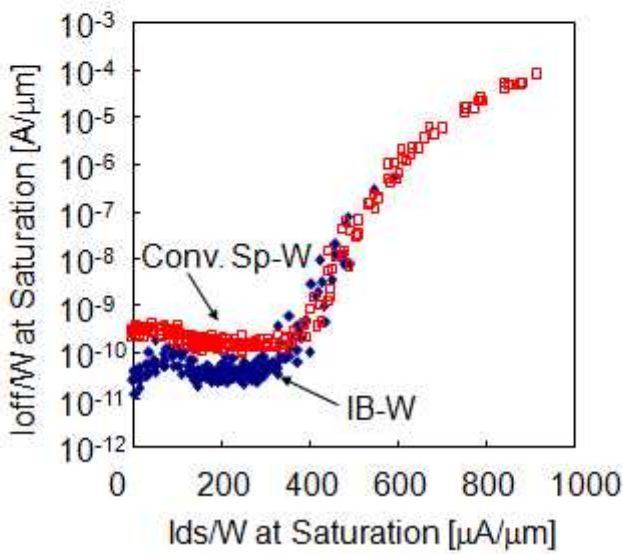


図3.3.11 W/TiN/HfSiON-NMOSのオン電流・オフ電流相関

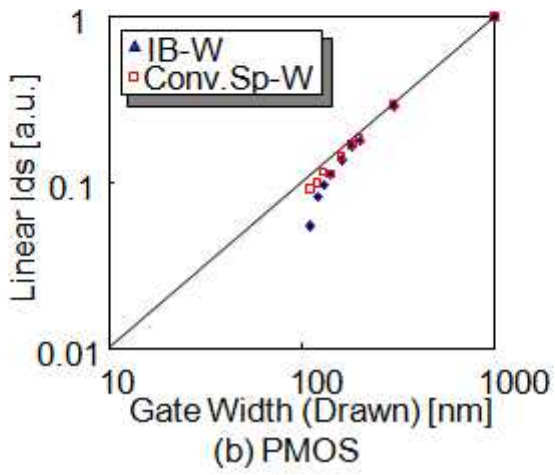
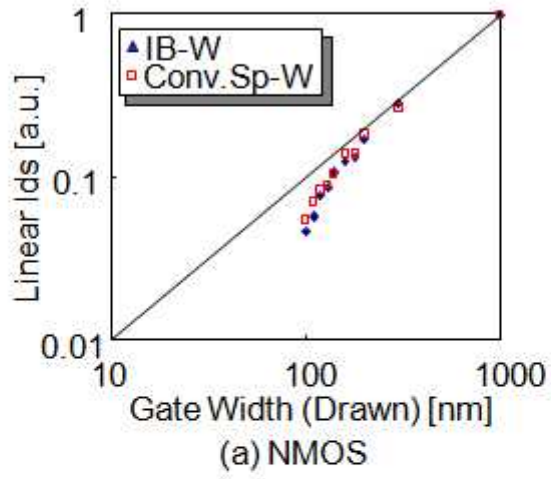
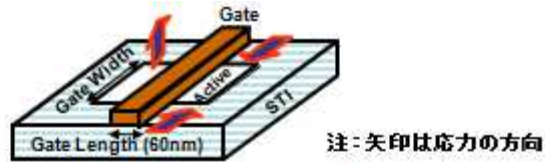
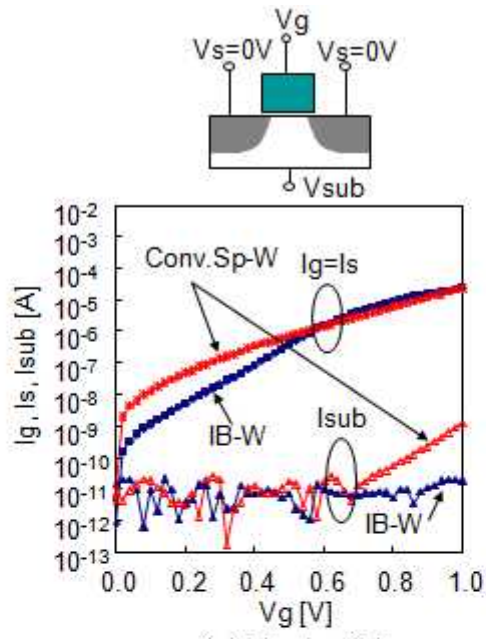
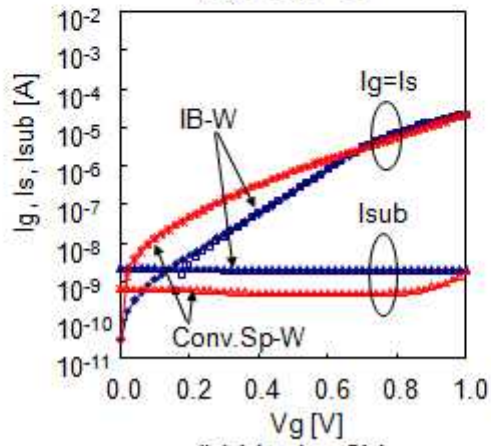


図 3.3.12 W/TiN/HfSiON-Tr のドレイン電流のゲート幅依存



(a) $V_{sub}=0V$



(b) $V_{sub}=-2V$

図3.3.13 WゲートNMOSの基板ホトエレクトロン注入による I_{sub} の増加

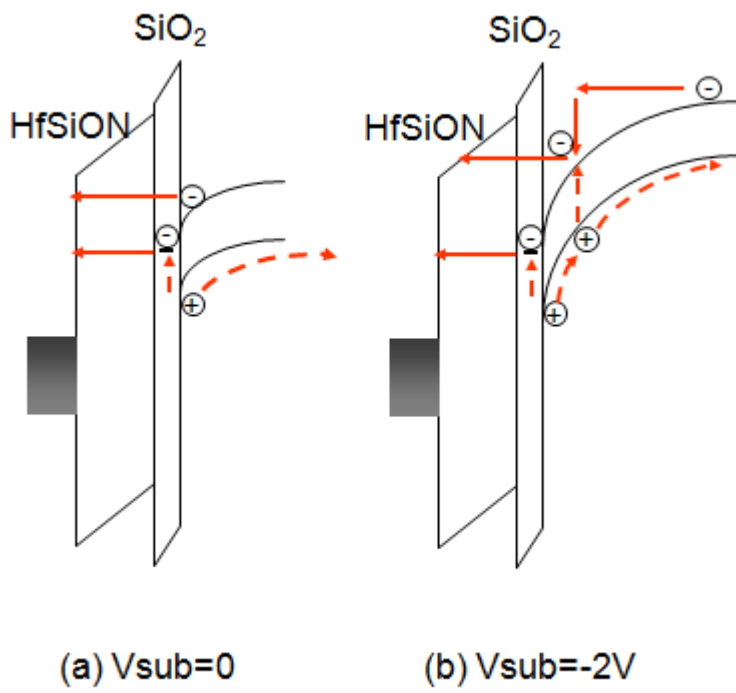
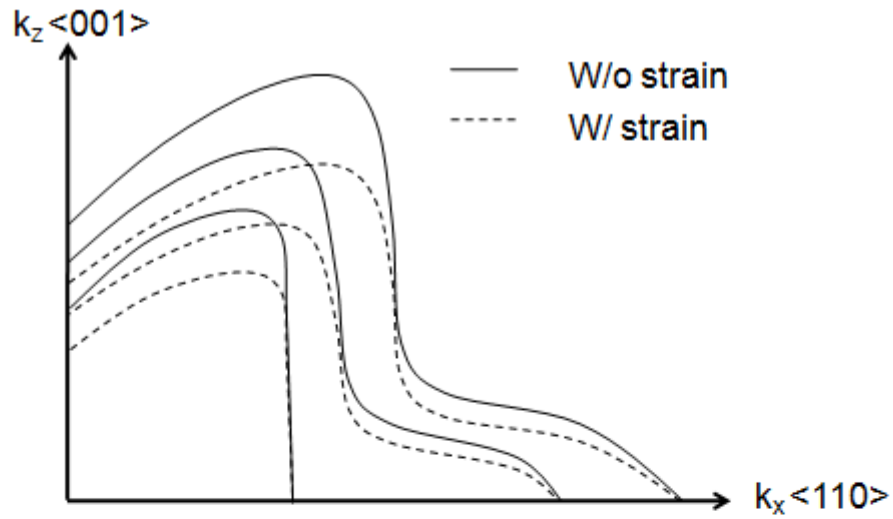
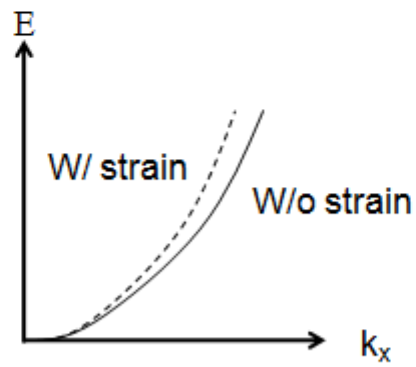


図3.3.14 基板ホットエレクトロン注入による I_{sub} 増加のメカニズム



(a) k_x - k_z 平面におけるheavy-holeの等エネルギー線の模式図



(b) $k_z=0$ 近傍での E vs k_x の模式図

図3.3.15 Z方向の引張りひずみによる有効質量低下のメカニズム

4. 微細 CMOS トランジスタに固有な評価技術の研究

4.1. ホットエレクトロンによる界面準位発生現象の定式化

(1) 第 4.1 節概要

本節ではホットエレクトロンによる NMOS トランジスタ特性の劣化現象に関して、ドレイン電流 (I_{ds}) 劣化が界面準位発生を伴っている点、活性化エネルギーは $8 \sim 9\text{eV}$ 程度と大きい点に関して報告する。さらには、Si-H 結合の切断と H の拡散というモデルに基づき、界面準位発生現象を定式化し、界面準位密度のストレス時間依存性が飽和関数であることを論じる。

(2) 発光現象から見たホットエレクトロン効果

本節では、ホットエレクトロンによる発光強度と基板電流との関係から、ホットエレクトロンの活性化エネルギーを導出し、さらには I_{ds} 劣化と界面準位発生との関連性について論じる。

初めに、ホットエレクトロンの活性化エネルギーの導出に関して論じる。

ホットエレクトロンとはドレイン近傍の高電界領域において発生した高いエネルギーを有するエレクトロンを意味し、このホットエレクトロンが引き起こすイオンパクトイオナイゼーションによって発生した電子またはホール、すなわちホットキャリアがゲート絶縁膜に注入され絶縁膜の損傷を引き起こす。ゲート絶縁膜に注入される電流(ホットキャリア電流: J_{HC})は観測されないが、インパクトイオナイゼーションによって発生したホールは基板に流れるため基板電流 (I_{sub}) がホットキャリアの間接的なモニターとなる(図 4.1.1)。実際のホットキャリアによるドレイン電流 (I_{ds}) の劣化率の時間依存性を示したのが図 4.1.2 である。この図はストレス時のゲート電圧 (V_g) を I_{sub} が最大となるゲート電圧 (V_g) 設定し DC ストレスを印加した場合の I_{ds} と S 値 (Subthreshold swing) の変化量のストレス時間依存性を示す。特徴として挙げられるのは I_{ds} 劣化率の時間依存性は log-log プロットに対して飽和的な振る舞いを示す点と、 I_{ds} 劣化は S 値の劣化を伴っている点であり、後者は界面準位 (Nit) の発生を示唆している。

ホットエレクトロンのもう一つの特徴は発光現象を伴う点である。ホットエレクトロンが可視光を発光することは以前から知られていた[4.1.1]。発光の原因は制動放射である可能性もあるが、ここでは発光強度と基板電流とは比例関係にある点、この比例関係はホットエレクトロンの密度を電子温度 T_e を有するボルツマン型であると仮定することで理解できることを説明する。

図 4.1.3 に発光強度と基板電流との関係を示す。この図から判るように発光強度 (I_{hv}) と基板電流 (I_{sub}) は比例関係にある。これの意味するところは、以下のようにホットエレクトロン密度をボルツマン型とすることで理解される。すなわち、 k_B をボルツマン定数とすると、ホットエレクトロンの発光強度 I_{hv} と I_{ds} との関係は以下で表される。

$$I_{hv} = I_{ds} \frac{\int_{h\nu_{min}}^{h\nu_{max}} \exp(-E/k_B T_e) dE}{\int_0^{\infty} \exp(-E/k_B T_e) dE}$$
$$= I_{ds} [\exp(-h\nu_{min}/k_B T_e) - \exp(-h\nu_{max}/k_B T_e)] \quad (4.1.1)$$

ここで、 $h\nu_{min}$ と $h\nu_{max}$ は発光エネルギーの最小値と最大値。

電子温度は 3000K から 5000K であり、可視光のエネルギーより大きいので、第 2 項は無視でき、 $I_{hv} = I_{ds} \exp(-h\nu_{min}/k_B T_e)$ と表される。

一方、基板電流は同様にインパクトイオン化の活性化エネルギー (E_{imp}) から無限大までボルツマン関数を積分することによって得られる:

$$I_{sub} = I_{ds} \int_{E_{imp}}^{\infty} \frac{\exp(-E/k_B T_e) dE}{\int_0^{\infty} \exp(-E/k_B T_e) dE}$$

$$= I_{ds} \exp(-E_{imp}/k_B T_e) \quad (4.1.2)$$

式(4.1.1)と(4.1.2)から

$$I_{hv}/I_{ds} = (I_{sub}/I_{ds}) \exp(h\nu_{min}/E_{imp}) \quad (4.1.3)$$

が得られる。

図 4.1.3 から発光強度と I_{ds} は略比例関係にあるので、式(4.1.3)のべきは略 1 となる。すなわち、 $h\nu_{min} = E_{imp}$ となり、インパクトイオン化に対応した光が放出されていることが判る。この意味するところは、制動放射以外にもインパクトイオン化によって生成された電子、ホールが再結合することで光が放出されている可能性を示唆している。

以上、発光のメカニズムを議論したが、実際、ホットキャリアをゲート酸化膜に注入し、この前後で発光強度に変化があるかを調べた。前述の図 4.1.2 では I_{ds} (ソース・ドレイン間オン電流) の劣化が界面準位の発生を伴うことを示したが、電荷の注入による I_{ds} 劣化も無視できない。電荷が注入されているとしたら制動放射による光も放出されるはずで発光強度の増加が予想される。図 4.1.4 に FN (Fowler Nordheim) 注入により電子をゲート酸化膜に注入した場合 (a) と、ホットキャリア注入の場合 (b) とで発光強度の基板電流依存性に変化があるかを調べた結果を示す。FN 注入の場合では発光強度の増加が観測されたがホットキャリア注入の場合は発光強度の増加は観測されなかった。このことはホットキャリアによる I_{ds} 劣化は電荷注入よりも界面準位発生の方が支配的であることを意味している。なお、FN 注入後に、発光強度の基板電流依存性 (傾き) が FN 注入前より小さくなる理由は、基板電流に比例するイオンパクトイオン化の成分以外の制動放射成分が増加したことによると考えられる。

(3) ホットエレクトロンによる界面準位発生現象の活性化エネルギー

以上、ホットエレクトロンによる I_{ds} 劣化と界面準位発生との関連性を S (Subthreshold swing) 値の劣化と発光強度の変化という観点から議論したが、以下、どのようなメカニズムで界面準位が発生するかに関して議論する。

初めに、デバイス寿命と I_{sub} との関係から界面準位発生の活性化エネルギー (E_{it}) が導出されることを導き、実際に E_{it} を求めた結果を報告する。

E_{it} の導出方法に関しては UCB (カリフォルニア大学バークレイ校) から報告された手法 [4.1.2] に準じた。すなわち、界面準位密度 (N_{it}) の増加量の時間依存性は次式で表されると仮定する。

$$N_{it} = J_{HC} t^n \quad (4.1.4)$$

ここで J_{HC} はホットキャリア注入電流密度であり、これは以下のようにボルツマン関数を E_{it} から積分するこ

とで表される。

$$J_{HC} = J_d \int_{E_{it}}^{\infty} \exp(-E/k_B T_e) dE / \int_0^{\infty} \exp(-E/k_B T_e) dE$$

$$= J_d \exp(-E_{it}/k_B T_e) \quad (4.1.5)$$

ここで、 J_d はドレイン電流密度。

デバイス寿命 t は、 N_{it} がある一定値になったときのストレス時間と定義できるので、式(4.1.4)から $J_{HC}^{-1/n}$ であるので、

$$\exp(E_{it}/nk_B T_e) \quad (4.1.6)$$

と求まる。一方、式(4.1.2)から $I_{sub}/I_{ds} = \exp(-E_{imp}/kT_e)$ であるので、式(4.1.6)と合わせると、

$$(I_{sub}/I_{ds})^n = \exp(E_{it}/nk_B T_e) \quad (4.1.7)$$

$$\text{ここで、} \quad E_{it} = n E_{imp} \quad (4.1.8)$$

となり、デバイス寿命は I_{sub}/I_{ds} のべき乗で表されることが判る。 E_{imp} はインパクトイオン化の活性化エネルギーで $2/3 E_g$ となることが知られており、 $E_{imp}=1.55\text{eV}$ である。また n は界面準位密度の増加量の時間依存性の「べき」であり、図 4.1.2 から $n=0.8$ である。従って、デバイス寿命の I_{sub}/I_{ds} 依存性の「べき」から界面準位発生の活性化エネルギー(E_{it})を一義的に求めることができる。

図 4.1.5 にホットキャリア注入を行った場合のデバイス寿命の I_{sub}/I_{ds} 依存性を示す。デバイス寿命はゲート酸化膜厚(T_{ox})に依存せず一義的に I_{sub}/I_{ds} (イオン化率)で表されることが判り、べきは約 7 と求まった。 T_{ox} に依存しないのは、界面反応でデバイス劣化が支配されていることの裏付けとなる。べき () 7 であることから式(4.1.8)から $E_{it} = 8.7\text{eV}$ と求まった。この値は Si-SiO₂ のバリアハイトの 3.2eV より非常に大きく、単なる電子の絶縁膜注入以外の劣化メカニズムが存在していることを示唆している。モデルとして Si-H 結合の切断と H の拡散という現象が考えられる。このモデルに忠実に従うなら、Si-H 結合の強さは約 3eV であるので、残り ~ 2eV 程度のエネルギーが何らかの現象に寄与していると考えられる。筆者はこのエネルギーが H の拡散に消費されると考えて、界面での H の離脱と H の膜中拡散という観点から界面準位の発生現象を定式化した。

(4) 水素離脱モデルの定式化

以下、活性化エネルギーを伴う H 拡散を考慮した界面準位発生モデルの定式化を説明する。

Si-SiO₂ 界面では水素の離脱と再結合が起こっていると考えられるので以下の式が成立する。

$$dN_{it}/dt = K_H (N_0 - N_{it}(t)) - C_2 n_H(0, t) \quad (4.1.9)$$

ここで、

$N_{it}(t)$ は時間 t における界面準位密度

N_0 は初期の Si-H 結合密度

$n_H(x, t)$ は酸化膜方向の深さ(x)と時間 t における水素濃度

C_2 は Si-SiO₂ 界面($x=0$)における水素の再結合率

K_H は水素の離脱率

また、酸化膜中の水素の拡散は膜中での水素の再結合を伴った拡散として、以下の式で表されると考えられる：

$$dn_H(x,t)/dt = D_H d^2n_H(x,t) / dx^2 - C_1 n_H(x,t) \quad (4.1.10)$$

ここで、

D_H は水素の拡散定数

C_1 は膜中での水素の結合率

式(4.1.9)は拡散方程式(4.1.10)の $x=0$ での境界条件であり、この条件で(4.1.10)を解くことになる。水素の拡散長として有限の値 s を導入することで、この拡散方程式は解くことができ[4.1.3]、 Nit は最終的には以下の式で近似することができる。

$$Nit = K_H N_0 t \int_0^t g(t) dt - K_H N_0 s \int_0^s \exp(-g(u) du) ds + \int_0^t g(s) ds \quad (4.1.11)$$

ここに、

$$g(t) = a \cdot C_2 \cdot D_H \exp(C_1 t) t^{3/2} / t^2 + K_H \quad (4.1.12)$$

ここに、 a は比例定数。

$g(t)$ は t に関する増加関数であるので、式(4.1.11)は、時間に比例する第 1 項と時間に対して増加する第 2 項との差で表される。従って、 Nit は時間に関して飽和する関数であることが判る。

以上、界面準位密度は時間に対する飽和関数であることを示したが、この式からは多くの現象が予測される。第 1 には、この飽和性は時間のべき乗より強いので、 $\log(I_{ds})-\log(t)$ プロットの外挿によって求めた寿命よりは実際の寿命が長くなることを意味している。このことはデバイス寿命の予測に重要な知見であり、 $\log-\log$ プロットから求めている限りデバイス寿命は保証されることを意味している。第 2 点目は、水素の拡散定数 D_H に着目すると、 D_H が大きくなると $g(t)$ も大きくなるので(式(4.1.12))、より飽和性が強くなる。このことは、水素が酸化膜中に充足すると界面で水素が再結合されやすくなることを意味している。(式(4.1.12)では C_2 と D_H が掛け算として現われていることに注意)。また、同様に再結合係数 C_1 、 C_2 が大きくなると飽和性が強くなる。このことは酸化膜の膜質によって界面準位の時間依存性が変わることを意味しており、必ずしも「べき一定」のグラドルールは存在しないことを意味している。この帰結は、NBTI (Negative Bias Temperature Instability) における V_{TH} (しきい電圧)変化にも当てはまる。現在、NBTI における時間依存性においては、Exponential 型[4.1.4]、 $1/6$ 乗と $1/4$ 乗の混合型[4.1.5、4.1.6]が存在しており統一的な解釈には至っていない。Exponential 型は筆者のモデルに近い立場を取っているが、水素拡散定数と時間依存との関係に関しては、Exponential 型においては、 D_H が大きくなると飽和性が無くなることを予測しており、この点は筆者のモデルとは逆である。また、第 4.3 節で述べるように、100nec 以下のパルス測定を用いた BTI 評価においては、注入された電荷のデトラップが起こっていると考えられるので、界面準位発生のみをモニターしているものと考えられる。NBTI の場合は 10^4 sec までのストレス時間においては、 $\log-\log$ プロットの傾きは V_g に依存せずに 0.22 程度であるのに対して、PBTI(Positive Bias Temperature Instability)においては、べきが V_g 依存性を持つ点が判っており[4.1.7]、「べき一定則」は成立していないという結果を得ている。界面準位密度の時間依存性に関しては十分な議論が必要である。

(5) ナノメータートランジスタのホットエレクトロン効果に関する今後の展望

前節では、ホットエレクトロンによる界面準位発生は基板電流が最大となる $V_g(=1/2V_d)$ で最も起こりやすいことを述べたが、 V_g の高い領域においても界面準位発生は起きていることが見出された。図 4.1.6 にはストレス電圧として $V_g=V_d$ に設定した場合における S 値(Subthreshold swing)の劣化量のストレス時間依存性を示す。基板電流が最大となる条件(図 4.1.2)と同様に S 値の劣化が起きている。評価したトランジスタはゲート長の長い(実効チャンネル長=0.9 μm)場合であるが、ゲート長が 0.1 μm 以下になると V_g が高い場合のほうが I_{ds} (ソース・ドレイン間オン電流)劣化が大きくなることが報告されており[4.1.8]、電子温度(チャンネル電界)の寄与よりも膜中の H 等の拡散種の挙動が重要になりつつある。一方、従来のトランジスタ設計の観点からは、ホットエレクトロン発生を抑制することは必須で、電子温度を下げる、具体的には電源電圧を下げる方向で CMOS の微細化が進行してきた。しかしながら、オフリーク電流を増加させないためには V_{TH} (MOS が駆動するしきい電圧)は 0.2V 程度以下には下げることができないので、オン電流確保のため電源電圧を下げるには限界があるとされ、極微細 MOS において再びホットエレクトロンの問題が発生する可能性がある。

さらには、ホットエレクトロンによる基板電流の発生に関しては、チャンネルひずみとの関係が調べられるようになった。すなわち、チャンネル領域に引っ張りひずみが発生すると I_{sub} (基板電流)が増加することが知られている[4.1.9、4.1.10]。この原因として、電子速度が高いことによりインパクトイオン化で発生したホール速度も増加したと考えられる。 I_{sub} はひずみがあるか否かの間接的モニター方法としても使用可能であり、これに関しては特にメタル/High-k ゲートへの適用例を前節 3.3 節で述べた。

参考文献

- [4.1.1] A. Toriumi, M. Yoshimi, M. Iwase, Y. Akiyama, and K. Taniguchi, "A study of photon emission from n-channel MOSFETs," IEEE Transaction on Electron Devices, Vol. 34, No. 7, pp. 1501, 1987.
- [4.1.2] C. Hu, S. C. Tam, F. Hsu, P. KO, T. Chan, and K. W. Terrill, "Hot electron-induced MOSFET degradation-model, monitor and improvement," IEEE J. Solid-State Circuits, Vol. SC-20, No. 1, p. 295, 1985.
- [4.1.3] Fumio Ootsuka, "The evaluation of the activation energy of interface state generation by hot-electron injection", IEEE Transactions on Electron Devices, Vol. 38, No. 6, pp.1477-1483 June 1991.
- [4.1.4] Sufi Zafar, Arvind Kumar, Evgeni Gusev, and E. Cartier, "Threshold voltage instabilities in high-k gate dielectric stacks", IEEE Transaction on Device and Materials Reliability, Vol. 5, No. 1, pp.45-64, March 2005.
- [4.1.5] S. Mahapatra, P. Bharath Kumar, M. A. Alam, "Investigation and modeling of interface and bulk trap generation during bias temperature instability of p-MOSFETs", IEEE Transaction on Electron Devices, Vol.51, No. 9, pp.1371-1379, 2004.
- [4.1.6] H. Kufioglu, M. A. Alam, "A generalized reaction-diffusion model with explicit H-H₂ dynamics for negative-bias-temperature-instability (NBTI) degradation", IEEE Transaction on Electron Devices, Vol.54, No.5, pp.1101-1105, May 2007.
- [4.1.7] Fumio Ootsuka, Takahisa Eimori, Yasuo Nara, and Yuzuru Ohji, "Inverse-V_g dependence of PBTI lifetime of HfSiON gate dielectrics measured by a high-temperature pulsed-IV method", Advanced gate stack, source/drain and channel engineering for Si-based CMOS s; new materials, processes and equipment, in ECS 211th Meeting; pp.205-218, May 2007.
- [4.1.8] E. Li, E. Rosenbaum, J. Tao, G. C.-F. Yeap, M. R. Lin, P. Fang, "Hot carrier effects in NMOSFETs in 0.1 μm CMOS technology", Reliability Physics Symposium Proceedings, pp.253-258, March 1999.
- [4.1.9] David Onsongo, David Q. Kelly, Sagnik Dey, Rick L. Wise, C. Rinn Cleavelin, Sanjay K. Banerjee, "Improved hot-electron reliability in strained-Si NMOS", IEEE Transaction on Electron Devices, Vol.51, No.12, pp.2193-2199, 2004.
- [4.1.10] K.-W. Ang, C. Wan, N. Balasubra, G. S. Samdra, Y.-C. Yeo, "Hot-carrier effects in strained n-channel transistor with silicon-carbon (Si_{1-y}C_y) source/drain stressors and its orientation dependence", IEEE Electron Device Letters, Vol. 28, No. 11, pp.996-999, 2007.

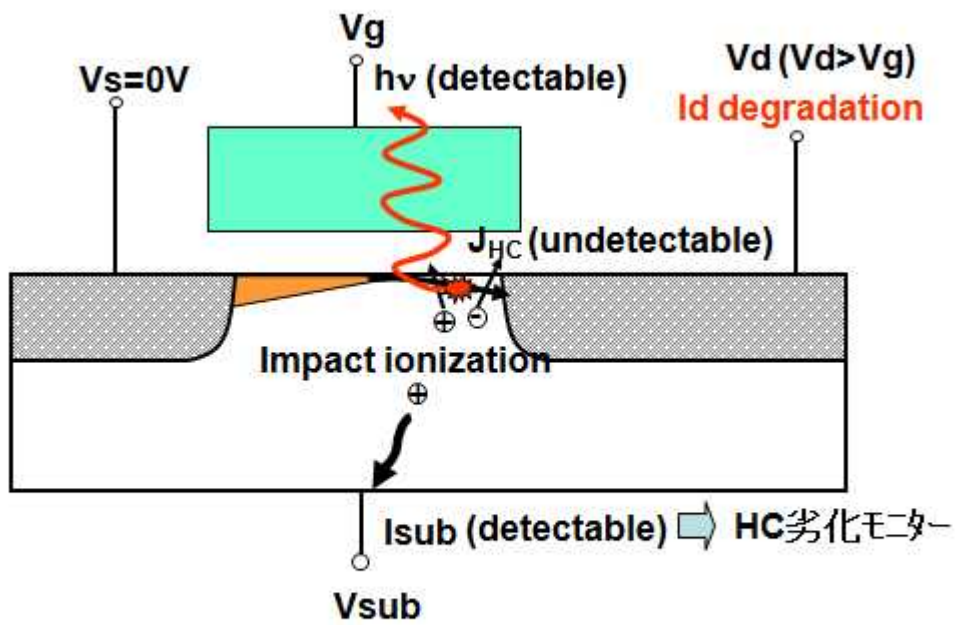


図4.1.1 ホットキャリア発生現象の模式図

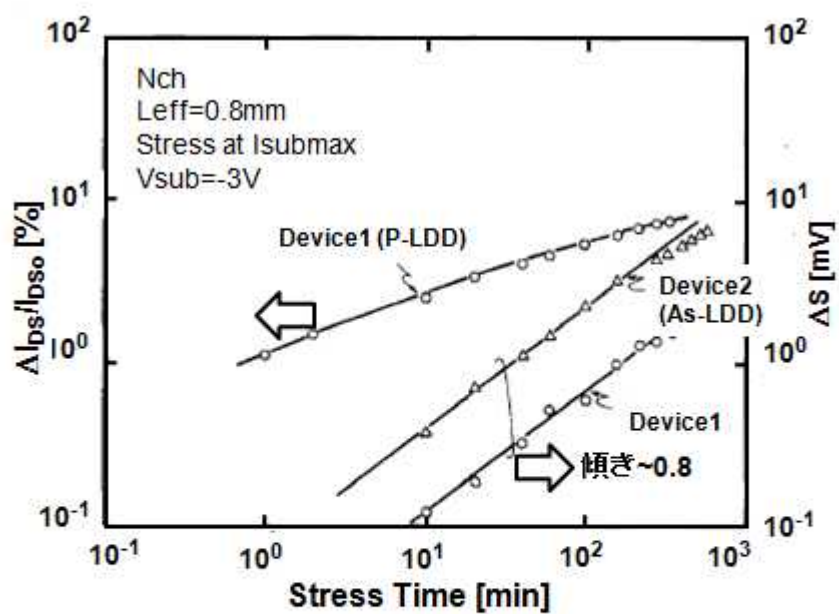


図4.1.2 ホットキャリアによる I_{ds} 劣化とS値劣化の時間依存性

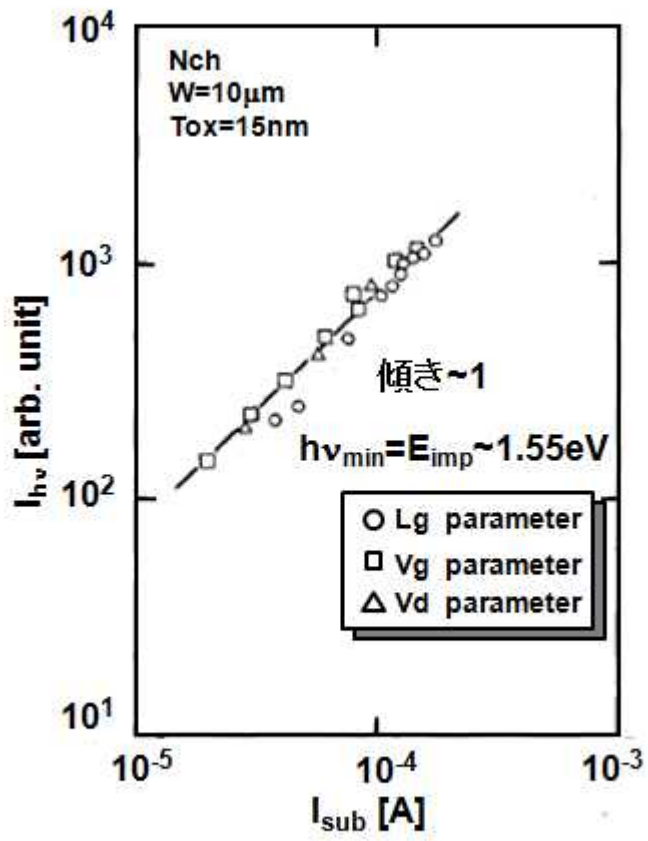
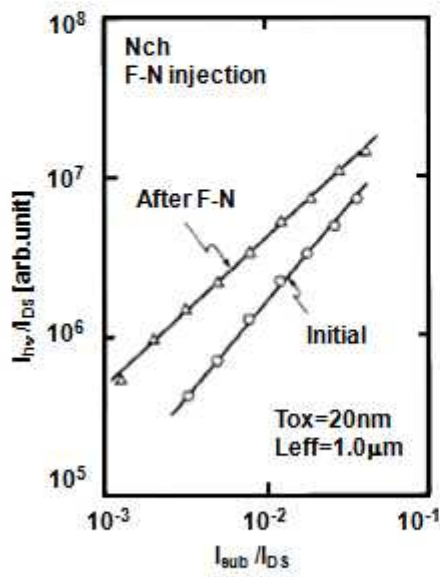
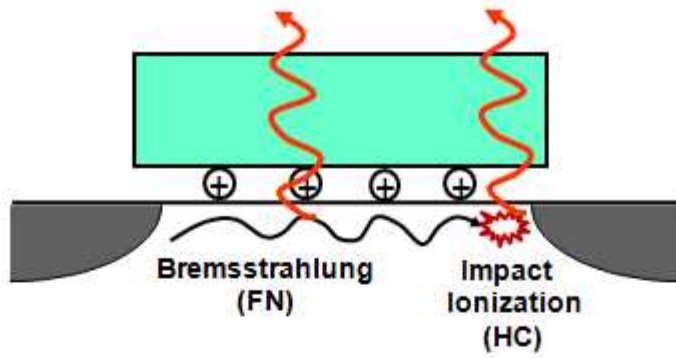
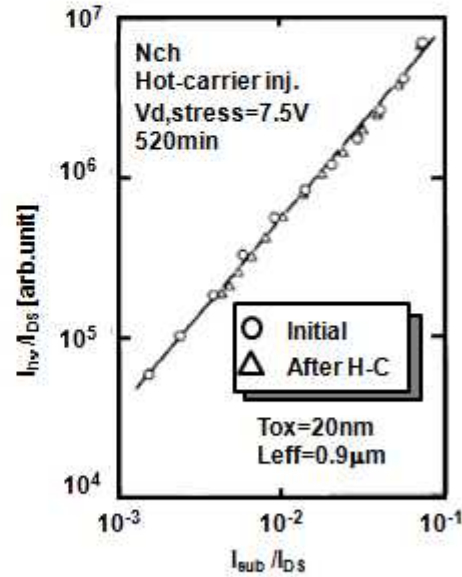


図4.1.3 発光強度と基板電流との関係



(a) FN注入



(b) ホットキャリア注入

図4.1.4 FN注入後、ホットキャリア注入後の発光強度の変化

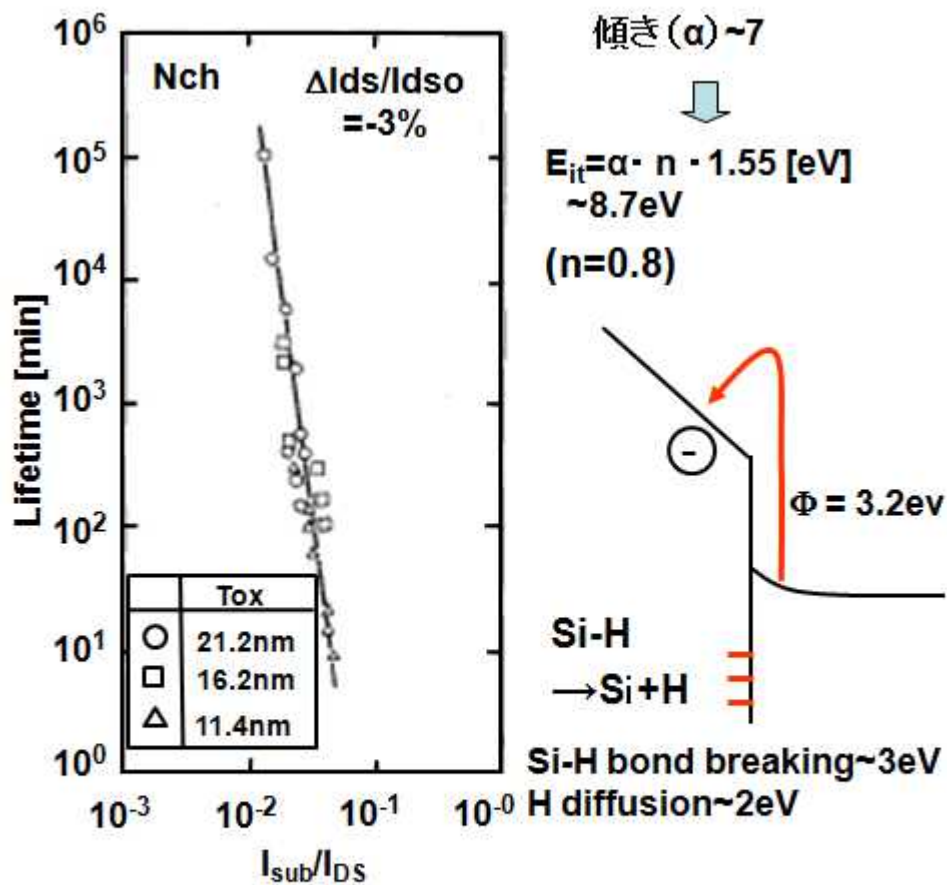


図4.1.5 デバイス寿命と基板電流との関係

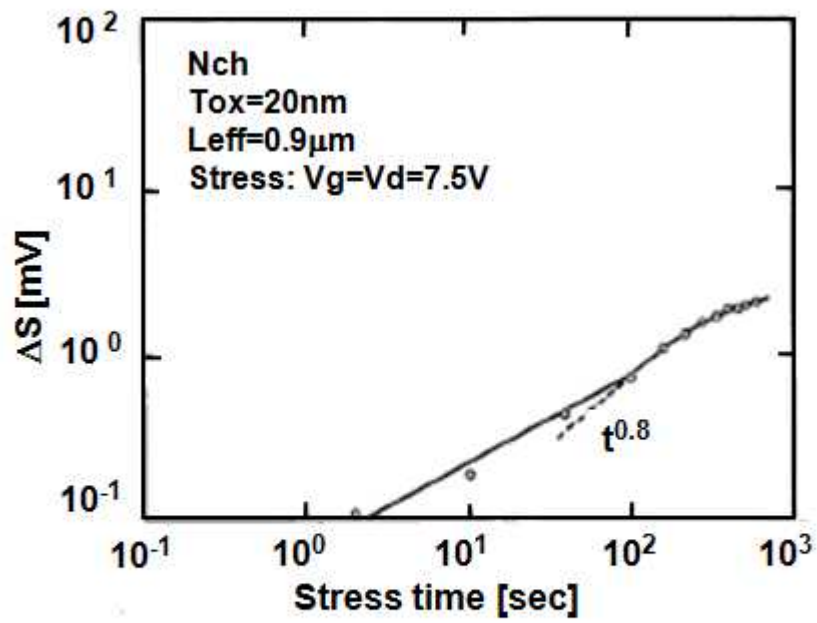


図4.1.6 Vg=VdストレスでのS値劣化

4.2.EOT(実効ゲート酸化膜厚)の簡易抽出方法

(1)第4.2節概要

本節では、EOT(Equivalent Oxide Thickness:実効ゲート酸化膜厚)の抽出方法に関して簡便に抽出する手法を説明するとともに、何故、抽出法の違いで抽出された EOT 値に差が出るのかについても議論する。

EOT の抽出方法に関しては、ある量子補正を導入し、Cg-Vgカーブからの fitting によって EOT の抽出が行われるのが一般的である。EOT の抽出方法に関しては多くの研究者から報告されており[4.2.1 - 4.2.7]、これらのEOT値に関しては、最大20%の違いがあることが報告されている[4.2.8]。一方、量子補正に関しては、SiO₂の実膜厚を光学的に求めて、この値とCV特性の fitting から、Si項を電界の関数として実験的に求めた結果が平岩より報告されている[4.2.9]。筆者は、CVカーブの fitting によらず EOT を抽出する手法(「漸近法」)を考案し、実際に平岩らが求めた EOT 値との一致を得ている。本節では、漸近法による EOT 抽出法を解説し、CVカーブの fitting により EOT 値に違いが出る可能性のあることを論ずる。

(2)EOTの簡易抽出方法(漸近法)

本手法が他の EOT 抽出方法と異なる点は、Cg-Vgカーブの fitting に依存せずに EOT を抽出できる点である。従って、本手法により、VFB(Flat Band Voltage)、すなわち基板濃度に依存せずに EOT の抽出が可能となる。特にゲート長が 100nm 以下の CMOS では基板に In イオン等を重いイオン注入し、パンチスルーストップが形成されている場合がある。基板が不均一になった場合には CV-fitting が正確に行われない場合があり、この場合における EOT の抽出には誤差が生じる。一方、漸近法では、“Virtual-EOT”を Vg の関数として求める手法であり、真の EOT は Virtual-EOT の Vg 依存性における漸近値(測定範囲内で Virtual-EOT に最小値があれば最小値)として求められる。従って、基板の情報を含まないため、fitting 起因の誤差は生じない。

以下、漸近法を概説する。漸近法は、1/Cg-Vg の傾き(一階微分)により“Virtual- EOT”を Vg の関数として求め、Virtual-EOT の漸近値を真の EOT とする手法である。

以下、基本式を述べる。

ゲート容量(Cg)は、ゲート酸化膜容量と蓄積状態での Si 基板の容量の直列容量で求められるので

$$\begin{aligned} 1/C_g &= 1/C_{ox} + 1/C_{si} \\ &= EOT/\epsilon_{ox} + t_{si}/\epsilon_{si} \end{aligned} \quad (4.2.1)$$

が成り立つ。ここで、t_{si} は蓄積状態での Si 側に形成された量子層の幅を表す。また、ε_{ox} と ε_{si} は酸化膜および Si の誘電率を表す。

一方、Si-絶縁膜界面での電荷の保存側は、界面電荷が無い理想的な状態では以下で表される：

$$\epsilon_{ox} E_{ox} = \epsilon_{si} E_s + Q_{acc} \quad (4.2.2)$$

ここで、E_{ox} は絶縁膜の電界、E_s は Si 表面での Si の電界、Q_{acc} は界面電荷である。

絶縁膜の電界は、絶縁膜に印加される電圧を EOT で割った値になるので、(4.2.2)式と合わせると以下が成立する。

$$E_{ox} = (V_g - V_{FB} - E_s t_{Si}) / EOT = (\epsilon_{Si} E_s + Q_{acc}) / \epsilon_{ox} \quad (4.2.3)$$

が成立する。

(4.2.3)式から Si 側の表面電荷 E_s が求められるが、(4.2.1)式を導入することで E_s は以下で表される：

$$E_s = C_g / \epsilon_{Si} (V_g - V_{FB} - EOT / \epsilon_{ox} - Q_{acc}) \quad (4.2.4)$$

関数 $f(V_g)$ を $C_g(V_g)$ の逆数として導入する、即ち、 $f(V_g) = 1/C_g(V_g)$ とすると

$$f(V_g) = (V_g - V_{FB} - EOT / \epsilon_{ox} - Q_{acc}) / (\epsilon_{Si} E_s) \quad (4.2.5)$$

が成立する。

最終ゴールは EOT の漸近解であるので、この漸近状態では、 $\delta E_s / \delta V_g = 0$ および、 $\delta Q_{acc} / \delta V_g = C_g$ が成立する。従って、 $f(V_g)$ の V_g に対する傾き、すなわち、 $f(V_g)$ の V_g に対する一階微分から、漸近状態では、以下のような簡便でかつ非常に有益な式が得られる：

$$E_s = 1 / \{ \epsilon_{Si} \delta f(V_g) / \delta V_g (1 + EOT / t_{Si} \epsilon_{Si} / \epsilon_{ox}) \} \quad (4.2.6)$$

(4.2.6)式の意味するところは、Si 項(t_{Si})が電界(E_s)の関数としての数値解として求まっているのなら、以下の iteration により EOT (ここでは Virtual-EOT) を V_g の関数として求めることが出来るという点である。すなわち、

初期：

$$\begin{aligned} E_s^{(0)} &= 1 / (\epsilon_{Si} \delta f / \delta V_g) \\ t_{Si}^{(0)} &\text{ given by } E_s^{(0)} \\ EOT^{(0)} &= (1/C_g - t_{Si}^{(0)} / \epsilon_{Si}) \epsilon_{ox} \end{aligned}$$

N 回目：

$$\begin{aligned} E_s^{(N)} &= E_s^{(0)} / (1 + EOT^{(N-1)} / t_{Si}^{(N-1)} \epsilon_{Si} / \epsilon_{ox}) \\ t_{Si}^{(N)} &\text{ given by } E_s^{(N)} \\ EOT^{(N)} &= (1/C_g - t_{Si}^{(N)} / \epsilon_{Si}) \epsilon_{ox} \end{aligned}$$

このような iteration を 10 回程度行えば $EOT^{(N)} \approx EOT^{(N-1)}$ 、すなわち EOT がある値に収束し、この収束値を "Virtual-EOT" とすれば、Virtual-EOT を V_g の関数として求めることが出来る。また、真の EOT は、Virtual-EOT の漸近解、すなわち、Virtual-EOT を V_g に対してプロットし、 V_g が充分蓄積側になったときの値か、もしくは測定範囲内に最小値があればこの最小値として求めることが出来る。

(3) 漸近法の適用例

以下、漸近法の適用例を紹介する。平岩らは、以下のように、Si 項(t_{Si})を電界(E_s)の関数として実験的に求めている[4.2.9]：

$$t_{si} [\text{nm}] = 11.9 (d + 0.184)$$

$$d [\text{nm}] = \frac{\sum_{n=0}^6 a_n \Delta^n}{\sum_{n=0}^4 b_n \Delta^n}$$

ここに、 $\Delta [\text{MV/cm}] = -11.9 E_s$

また、 a_n と b_n はフィッティングパラメーターであり、文献[4.2.9]で開示されている。

図 4.2.1 に、SiON ゲート絶縁膜を用いた Poly-Si(多結晶 Si)ゲート NMOS キャパシタの Cg-Vg 特性を示す。ここでは、ゲート絶縁膜は Sample-A と Sample-B の 2 種類の場合について Cg-Vg 特性を取得してある。また、ゲート絶縁膜が薄いためゲートリーク電流が大きく、寄生抵抗が並列に入ってくるので、並列抵抗を排除するために 2 周波測定[4.2.10]を行っている。前述の手続きに従い、図 4.2.1 から求めた Virtual-EOT の Vg 依存性を図 4.2.2 に示す。図 4.2.2 のように Virtual-EOT は、Vg がより負、すなわち、蓄積状態になると、ある値に漸近するようになる。漸近値を簡便に求めるために、Virtual-EOT を $1/V_g$ に対してプロットしたのが図 4.2.3 である。Vg が無限大、すなわち、 $1/V_g=0$ のときの Virtual-EOT は真の EOT と見なすことができ、Sample-A の場合、1.73nm、Sample-B の場合、1.14nm と求めた。一方、平岩らが文献[4.2.9]に記載している手法を用いて Sample-A の EOT 値を CV-fitting から求めると 1.67nm となり漸近法から求めた値と 2 桁目まで一致した。

(4) EOT 抽出法に関する今後の展望

以上、漸近法を用いると、蓄積状態の情報からのみ EOT を算出できるので、fitting における不備を回避できるという利点があることを述べた。実際に、図 4.2.2 から判るように、Virtual-EOT は、蓄積状態では Vg に対する緩やかに低下する。すなわち、CV-fitting をどこの Vg で行っているかで抽出された EOT 値が違ってしまふことを図 4.2.2 は示唆している。厳密には強蓄積状態で fitting することが望ましいが、CV-fitting として蓄積側から反転状態までの全般に対して合わせてしまうと、得られた EOT 値は真の値より大きくなるという問題がある。筆者の経験では、NCSU(North California State University) から出されている「CVC プログラム Ver.5」は蓄積側で fitting されており、Poly-Si/SiON ゲートでは、比較的、漸近法に近い値を得ている。量子補正に関しても実質的な違いは無いと考えられる。

また、漸近法では量子補正として NMOS の蓄積状態、すなわちホールの量子補正を取り入れたが、PMOS の EOT 抽出に関しては電子の量子補正を取り入れる必要がある。しかしながら、メタルゲートのようにゲート空乏化が無視できる場合は、PMOS においてはホールが蓄積された反転状態に対して漸近法を用いることでも EOT の抽出は可能である。すなわち、漸近法は、量子補正を N/PMOS ともに同じものを用いることで、簡便に EOT が抽出できるという利点もある。しかしながら、実際の High-k ゲートでは界面ダイポールは電界を弱める方向に働くので CV 特性は、容量値が一定値に定まらず緩やかに上昇する。このため真の EOT は抽出された EOT からずれてくる。ダイポールの影響は、現在、どの EOT 抽出モデルにも入っておらず、あくまで抽出された EOT は相対値としての指針でしかない。言い換えれば、現在、絶対的な EOT 抽出手法は存在していない。このため、テクノロジーとしての EOT を考えた場合、簡便で、「ある程度正しい」抽出法が頻繁に使われており、漸近法もその一つである。

また、本稿では、EOT 抽出法を議論したが、同様に VFB も CV カーブの fitting によらずに抽出する手

法は安田らによって検討されている[4.2.11]。この方法は、 $1/C^2$ の V_g に対する一階微分の最大値から VFB を抽出する手法であり、漸近法同様、基板への In イオン注入等により C_g - V_g 特性が歪んでも VFB を抽出することが出来るという利点がある。第3章のメタルゲートにおける VFB の抽出においてはこの手法を用いた。

参考文献

- [4.2.1] K. S. Krisch, J. D. Bude and L. Manchanda, "Gate capacitance attenuation in MOS devices with thin gate dielectric", IEEE Electron Device Lett., vol. 17, NO. 11, pp. 521-524, 1996.
- [4.2.2] S. V. Walstra and C.-T. Sah, "Thin oxide thickness extraction from capacitance-voltage measurements", IEEE Trans. on Electron Devices, vol. 44, NO. 7, pp.1136-1142, 1997.
- [4.2.3] S.-H. Lo, D. A. Buchanan, Y. Taur, L.-K. Han and E. Wu, "Modeling and characterization of N+ and P+ polysilicon-gated ultra thin oxides", VLSI Symposium Tech. Dig., pp.149-150, 1997.
- [4.2.4] C. Bowen, C. L. Ferando, G. Klimeck, A. Chatterjee, D. Blanks, R. Lake, J. Hu, J. Davis, M. Kulkarni, S. Hattangady and I.-C. Chen, "Physical oxide thickness extraction using quantum mechanical simulation", IEDM Tech. Dig., pp.869-872, 1997.
- [4.2.5] G. Ghibaude, S. Bruyere, T. Devoivre, B. DeSalvo and E. Vincent, "Improved method for the oxide thickness extraction in MOS structure with ultrathin gate dielectrics", IEEE Trans. on Semiconductor Manufacturing, vol. 13, NO.2, pp.152-158, 2000.
- [4.2.6] S. Saito, K. Torii, M. Hiratani and T. Onai, "Analytical quantum mechanical model for accumulation capacitance of MOS structures", IEEE Electron Device Lett., vol.23, NO.6, pp.348-350, 2002.
- [4.2.7] Khaled Ahmed, Effiong Ibok, Gurjeet Bains, David Chi, Bob Ogle, Jimmie J. Wortman, John R. Hauser, "Comparative physical and electrical metrology of ultrathin oxides in the 6 to 1.5 nm Regime", IEEE Transaction on Electron Devices, Vol. 47, No. 7, pp.1349-1354, July 2000.
- [4.2.8] C. A. Richter, A. R. Hefner and E. M. Vogel, "A comparison of quantum-mechanical capacitance-voltage simulators", IEEE Electron Device Lett., vol. 22, NO.1, pp.35-37, 2001.
- [4.2.9] A. Hiraiwa, S. Sakai, D. Ishikawa and M. Nakazawa, "Experimental determination of equivalent oxide thickness of gate insulators", J. Appl. Phys., vol.91, NO.10, pp.6571-6579, 2002.
- [4.2.10] Kevin J. Yang and Chenming Hu, "MOS capacitance measurements for high-leakage thin dielectrics", IEEE Transaction on Electron Devices, Vol. 46, No. 7, July 1999.
- [4.2.11] N. Yasuda, H. Ota, T. Horikawa, T. Nabatame, H. Satake, A. Toriumi, Y. Tamura, T. Sasaki, F. Ootsuka, "Reliable extraction of EOT and VFB in poly-Si gate high-k MISFETs through advanced modeling of gate and substrate capacitances", International Conference on Solid State Devices and Materials, pp.250-251, 2005.

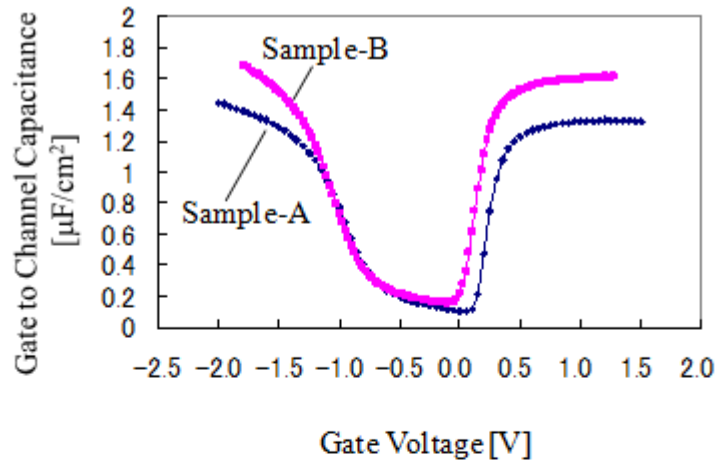


図4.2.1 Poly-Si/SiON NMOSの C_g - V_g 特性

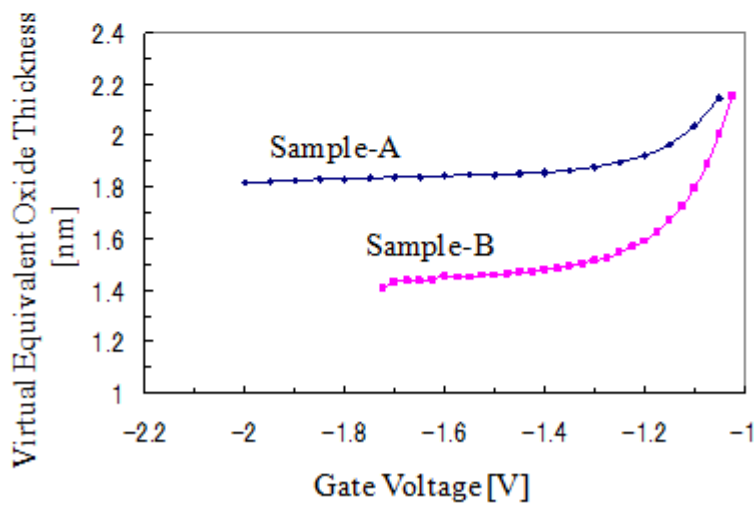


図4.2.2 Virtual-EOTの V_g 依存性

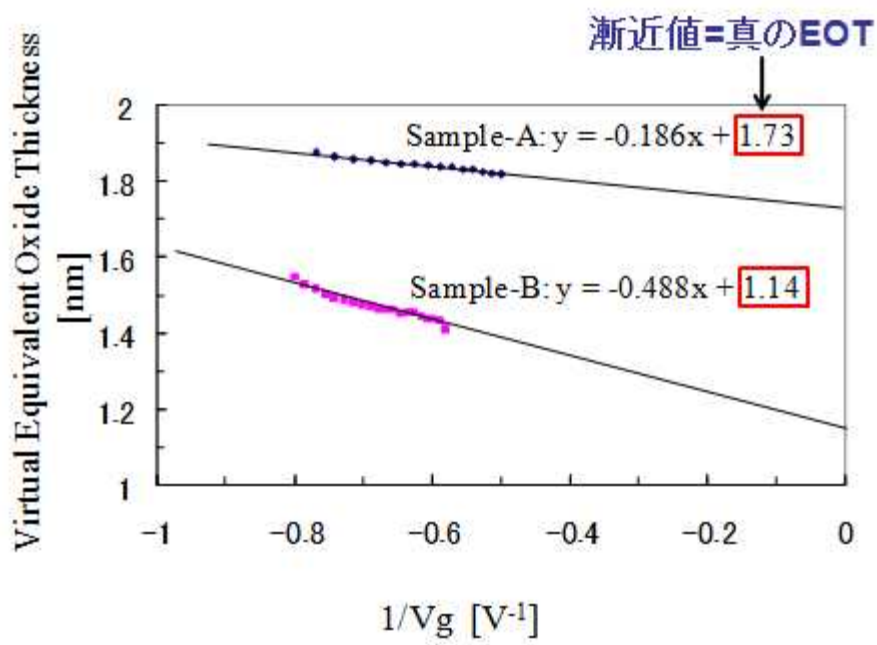


図4.2.3 真のEOT値の抽出

4.3. パルスIVを用いた High-k・メタルゲートの BTI 信頼性評価技術

(1) 第 4.3 節概要

第 4.1 節では、ホットエレクトロンによるトランジスタ特性の劣化要因として、活性化エネルギーを伴う水素拡散に起因した界面準位の発生である可能性があることを議論した。また、NBTI(Negative Bias Temperature Instability)における V_{TH} (しきい電圧) 変動も同様の水素拡散に起因している可能性があることも論じた。しかしながら、 I_{ds} (ソース・ドレイン間オン電流)、 V_{TH} (しきい電圧) 劣化をモニターする際の測定時間は通常の測定機器の場合 10mses 以上と長時間であるため、測定中に電子のトラップ/デトラップが起こる可能性はある点、および、この時間範囲では測定中に膜中の既存トラップへの電荷捕獲が起きてしまい、界面準位の情報を反映していない点の理由から、従来の測定機器では界面準位発生現象のみをモニターするには至っていなかった。筆者は、100nsec の短時間パルス測定を BTI ストレス後に行うことで、Si 側界面のみの情報をモニターする手法を提案し、メタル/High-k トランジスタにこの手法を適用し、NBTI に関しては前述の水素離脱モデルと整合性のある結果を取得した。本節では、パルス IV を用いた BTI 評価手法(BTI パルス評価)を述べるとともに、メタル/High-k トランジスタへの適用結果を論じる。

(2) BTI パルス評価の概要

初めに、パルス IV とは何かに関して説明する。図 4.3.1 にパルスIVの装置概念図を示す。パルスIVとは、ゲートに 100nsec 以下のパルス幅を有するパルス電圧を印加し、ドレイン電圧の変化を電流に換算することで I_{ds} - V_g カーブを取得する手法である。実際にパルス幅が 10nsec のパルス IV を用いた場合の Poly-Si(多結晶 Si)/SiON ゲート NMOS トランジスタの I_{ds} の時間に対する波形を図 4.3.2 に示す。ここで、パルスの立ち上がり時間(T_r)と立下り時間(T_f)は 2nsec であり、 I_{ds} は 1024 回の積算として表している。 I_{ds} はパルスの中央の値と定義し、各 V_g に対して I_{ds} を測定することで、 I_{ds} - V_g 特性が得られる。なお、本稿におけるパルス幅は最大 100nsec 最小 10nsec であり、以下の結果は、全て $T_r=T_f=2nsec$ で 1024 回の積算回数の結果である。

パルス IV は元来が SOI(Silicon on Insulator)における基板温度上昇に起因した I_{ds} 低下を防止するために、温度が上昇する以前に瞬時に測定する手法として開発された[4.3.1]が、最近では High-k ゲートトランジスタにおける膜中トラップ(既存トラップ)への捕獲の影響を排除するためにも使用されるようになった[4.3.2]。すなわち、測定時間が長い場合は、測定中に既存トラップへの電荷捕獲が発生し、測定中に生じた膜中電荷の影響により移動度が低下する可能性がある。とくに High-k 膜は膜中の既存トラップが多いため、この既存トラップへの電荷捕獲の影響が無視できない。筆者の検討結果では HfSiON ゲートの場合、パルス測定と DC 測定による I_{ds} の差は最大 10%パルス測定のほうが大きいという結果を得た。従って、BTI による特性劣化量の測定にパルス測定を用いることにより、既存トラップへの捕獲を排除でき、界面準位の発生のみをモニターすることが可能であろうという予測のもとに、BTI パルス評価を行った。

図 4.3.3 に従来の DC 評価(数 10msec)と 1 μ sec 以下のパルス評価において観測されるトラップの深さの模式図を示す。DC 評価の場合(a)は、1nm よりゲート側のトラップへの電荷捕獲が観測されるが、パルス測定においては Si 側界面に近いトラップへの電荷捕獲が観測されると考えられる(b)。

以下、仕事関数金属(WFM)として NMOS に PVD で形成した TaSiN、PMOS には CVD で形成した TiN を用いた、W/WFM/HfSiON トランジスタの NBTI パルス評価と PBTI(Positive Bias Temperature Instability) パルス評価の結果を報告する。

図 4.3.4 に NBTI(Negative Bias Temperature Instability)/PBTI(Positive Bias Temperature Instability) パルス評価の例を示す。測定シーケンスとしては 125 でゲートに DC ストレスを印加した後に、同じ温度で 100nsec のパルス測定により I_{ds} - V_g カーブを取得し、この I_{ds} - V_g カーブから V_{TH} を抽出することにより、 V_{TH} 変化量の時間依存性を取得した。図 4.3.4 から判るように、 I_{ds} - V_g は NBTI、PBTI とともに平行シフトであるので、これにより V_{TH} シフトを抽出した。

図 4.3.5 に BTI パルス評価における V_g のバイアスシーケンスを示す。図 4.3.5(a)が I_{ds} 評価のみのスポット測定であり、図 4.3.5(b)が V_{TH} を抽出するのに用いたスイープ測定を示す。パルス IV では、 V_{ds} の精度を保つために各パルス測定後に約 1 秒程度のタイムラグが発生する。このため(b)のスイープ測定においては $V_g=0V$ の「デトラップ状態」が(a)のスポット測定よりも長くなり、 V_g のステップ数によっては、 V_{TH} シフトが変わる可能性がある。この可能性の有無を調べるために、スポット測定とスイープ測定による I_{ds} 劣化量の違いを調べた。その結果を図 4.3.6 に示す。この図から、 I_{ds} 劣化量はスポット測定とスイープ測定に依存しないことが判った。すなわち、最初の 1 秒程度のデトラップ状態において殆どの電荷が放出されており、測定ステップ数には依存しないことが判った。言い換えれば、パルス測定では、BTI ストレスによって注入された電荷の殆どがデトラップされており、パルス印加中の短い時間内に Si 側の界面準位にトラップされた電荷のみの影響が V_{TH} シフトに反映される。

(3)メタル/High-k ゲートの BTI パルス評価結果

以下、仕事関数金属(WFM)として NMOS に PVD で形成した TaSiN、PMOS には CVD で形成した TiN を用いた、W/WFM/HfSiON トランジスタの NBTI パルス評価と PBTI パルス評価の結果を報告する。なお、NBTI は PMOS トランジスタ、PBTI は NMOS トランジスタで評価した。

図 4.3.7 に、PMOS の NBTI パルス評価における、 V_{TH} シフト量のストレス時間依存性を示す。この図から、 ΔV_{TH} の時間依存性は、log-log プロットで 10^4 秒までのストレス時間においては略直線に乗り、傾き(べき)は 0.22 と求まった。 $\Delta V_{TH}=-30mV$ となるまでの時間を寿命と定義し、寿命の V_g 依存性をプロットしたのが図 4.3.8 である。この図から、寿命は、 $\log(\quad)$ - V_g で表わされ、 V_g の関数で一義的に表されることがわかる。

一方、PBTI に関しては NBTI とは異なり、 ΔV_{TH} の時間依存性は一定の「べき」をもたずに、「べき」は V_g が低くなると低下することがわかった(図 4.3.9)。この現象は、W キャップ、すなわち WFM(仕事関数金属)の上面に W を形成したゲートでも、Poly-Si キャップ、すなわち WFM の上面に Poly-Si を形成したゲートでも同様にみられ、トランジスタの形成方法に依存しないことが判った。すなわち、W はスパッタ PVD で形成しているため 3.3 節で述べたように界面準位が多い結果となっていたが、このような劣化した界面状態においても W キャップと Poly-Si キャップは同様の V_g 依存性を示した。

PBTI においては「べき」が V_g 依存性を持つため、寿命の V_g 依存性は NBTI のように $\log(\quad)$ - V_g では記述されずに、図 4.3.10 に示すように、依存性が V_g より強く、 $\log(\quad)$ - $1/V_g$ のほうが fit し易いことがわかった。

このように、PBTI のほうが NBTI より、 V_g 依存性が大きいことがわかったが、実際、どのような現象が起きているかを考察するために、 V_{TH} シフト量(ΔV_{TH})の温度依存性を調べた。図 4.3.11 に NBTI と PBTI をパルスIVで測定した場合の V_{TH} シフト量の時間依存性を、温度を 85 から 125 まで変化させることで調べた結果を示す。パルスIVで測ると、PBTI のほうが NBTI より V_{TH} シフト量の温度依存性が小さいことがわ

かる。

一方、従来の DC 評価で V_{TH} シフト量の温度依存性を調べたのが図 4.3.12 である。パルス IV とは違い、DC 測定では PBTi も NBTi と同等の温度依存性を示すことがわかる。

以上の V_{TH} シフト量の V_g 依存性と温度依存性をまとめたのが表 4.3.1 である。特に温度依存性に関しては、パルス IV で測ると NBTi のほうが温度依存性が大きく、かつ、パルス IV では絶縁膜内部の既存トラップへのトラップは排除されることから、NBTi においては Si 界面では温度依存性を持つ現象が存在している可能性が示唆される。一方、DC で評価すると、温度依存性はパルス IV も DC も同程度であることから、ゲート側界面、および絶縁膜内部の既存トラップに関して言えば、PBTi のほうが温度依存性を持つ現象が存在していることが示唆される。

本測定だけからはモデルの特定は出来ないが、あえてモデルを提案すると、可能性としては、NBTi においては Si 界面における Si-H の離脱、PBTi に関してはゲート側界面で発生した H^+ が Si 側界面にドリフトすることによる Si 界面トラップの形成が挙げられる。すなわち、パルス IV で測ると Si 側界面で発生したトラップの影響が強く見えるので、NBTi では温度依存性を持つ「Si-H 結合の離脱」が可能性として考えられる。一方、PBTi は、ゲート側界面、もしくはバルク中の現象として温度依存性を持つ現象があるという結果が得られたので、ゲート側もしくはバルク中で発生した正イオン (H^+) が Si 界面にドリフトし、界面トラップを形成するというモデルが考えられる[4.3.3](図 4.3.13)。

上記 NBTi における H 離脱モデルは、ホットエレクトロンにおける活性化エネルギーを伴う H 拡散モデルと矛盾しない。すなわち、Si 側界面においては水素が離脱し、バルク絶縁膜中では水素が何らかの反応を起こしながら拡散するという現象が起こっている可能性がある。ホットエレクトロンによる I_{ds} (ソース・ドレイン間オン電流) 劣化と NBTi との違いに関しては、ホットエレクトロンによる I_{ds} 劣化では、殆どのエネルギーはホットエレクトロンから供給されるが、NBTi においては基板から受けるエネルギー自体は低いので、熱エネルギーの手助けにより H の離脱が起こっていると考えられる。

上記モデルは、以下の前提、すなわち、BTi パルス評価では、(1)既存トラップからの電荷の離脱は排除できる、(2)Si 側界面で発生したトラップへの電荷捕獲が観測される、という 2 つの前提に基づいての帰結であるので、このモデル以外の可能性も否定できない。特に Hf 系 High-k では酸素空孔 (VO) が存在し、VO を介した電子移動の影響があることが報告されている[4.3.4]。特に、PBTi に関しては、VO への電子捕獲に基づいたモデルも考えられており[4.3.5]、実際には単なる正電荷 (H^+) のドリフトという単純なモデルだけでは説明できないと考えられる。High-k に関する PBTi モデルは今後も検討課題である。

(4) BTi 評価手法に関する今後の展望

以上、BTi (Bias Temperature Instability) パルス評価は Si 側界面トラップの情報を得るのに有益な手法であることを述べた。

しかしながら、本手法では 1024 回のパルス測定の積算により I_{ds} (ソース・ドレイン間オン電流) をモニターしており、かつパルス間隔が 1sec 程度と長い「デトラップ状態での評価」であると考えられ、実使用状態を模擬していないという不備がある。一方、実使用状態を忠実に模擬する手法として、「On-the-fly」BTi 評価[4.3.6]が検討されている。On-the-fly 法は、ストレス中の I_{ds} をモニターする方法であり、実使用に近い状態が実現できるとされている。しかしながら、(1) V_{TH} そのものは抽出できない、(2) ストレス後の I_{ds} 評価に至る過程において、 V_g と V_d を変えるタイミングが、現時点では 100 μ sec 以

上と長いという不備が指摘されている。これらの問題を解決するため、より高速な on-the-fly 法を追求していく必要があり、結果的には、「デトラップ状態のない BTI パルス評価」と等価となる。すなわち、サンプリング時間およびサンプリング間隔を 100nsec オーダーまで短くした「高速 on-the-fly 法」、もしくは筆者の手法でパルス間隔を 100nsec オーダーまで短くした「高速 BTI パルス評価」が理想状態を模擬した評価手法として提案されており、かつ実用化されつつある。これらの改良手法を用いることにより、特性変動の時間依存性に関しての、より精緻な情報が得られるものと期待される。

参考文献

- [4.3.1] K. A. Jenkins, J. Y. C. Sun, J. Gautier, "Characterization of SOI FET s under pulsed conditions", IEEE Trans. Electron Devices, vol. 44, NO.11, p1923-1930, 1997.
- [4.3.2] C. D. Young, Y. Zhao, M. Pendley, B. H. Lee, K. Matthews, J. H. Sim, R. Choi, G. Bersuker, G. Brown, "Ultra-short pulse I-V characterization of the intrinsic behavior of high-k devices", International Conference on Solid State Devices and Materials, pp.216-217, 2004.
- [4.3.3] N. S. Saks, R. B. Klein, D. L. Griscom, "Formation of interface traps in MOSFETs during annealing following low temperature irradiation", IEEE Trans. Nuclear Science, Vol.35, No.6, p.1234-1240, 1988.
- [4.3.4] K. Torii, K. Shiraishi, S. Miyazaki, K. Yamabe, M. Boero, T. Chikyow, K. Yamada, H. Kitajima, T. Arikado, "Physical model of BTI, TDDDB and SILK in HfO₂-based high-k devices", IEDM Tech. Digest, pp.129-132, 2004.
- [4.3.5] M. Sato, K. Yamabe, K. Shiraishi, S. Miyazaki, K. Yamada, C. Tamura, R. Hasunuma, S. Inumiya, T. Aoyama, Y. Nara, Y. Ohji, "Comprehensive understanding of PBTI and NBTI reliability of high-k/metal gate stacks with EOT scaled to sub-1nm", International Conference on Solid State Devices and Materials, pp.246-247, 2007.
- [4.3.6] M. Denais, A. Bravaix, V. Huard, C. Parthasarathy, G. Ribes, F. Perrier, Y. Rey-Tauriac, N. Revil, "On-the-fly characterization of NBTI in ultra-thin gate oxide PMOSFET s", IEDM Tech. Digest, pp.110-113, 2004.

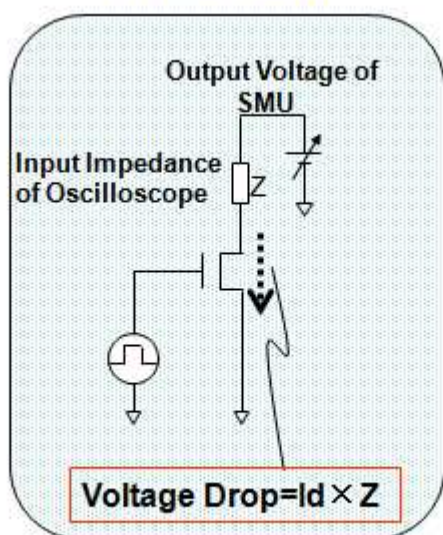
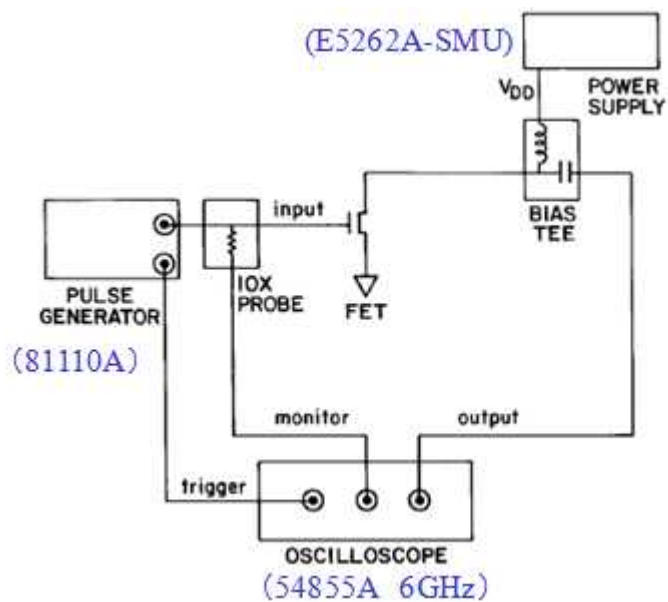


図4.3.1 パルスIVの装置構成図 (Agilent Technologies社製)

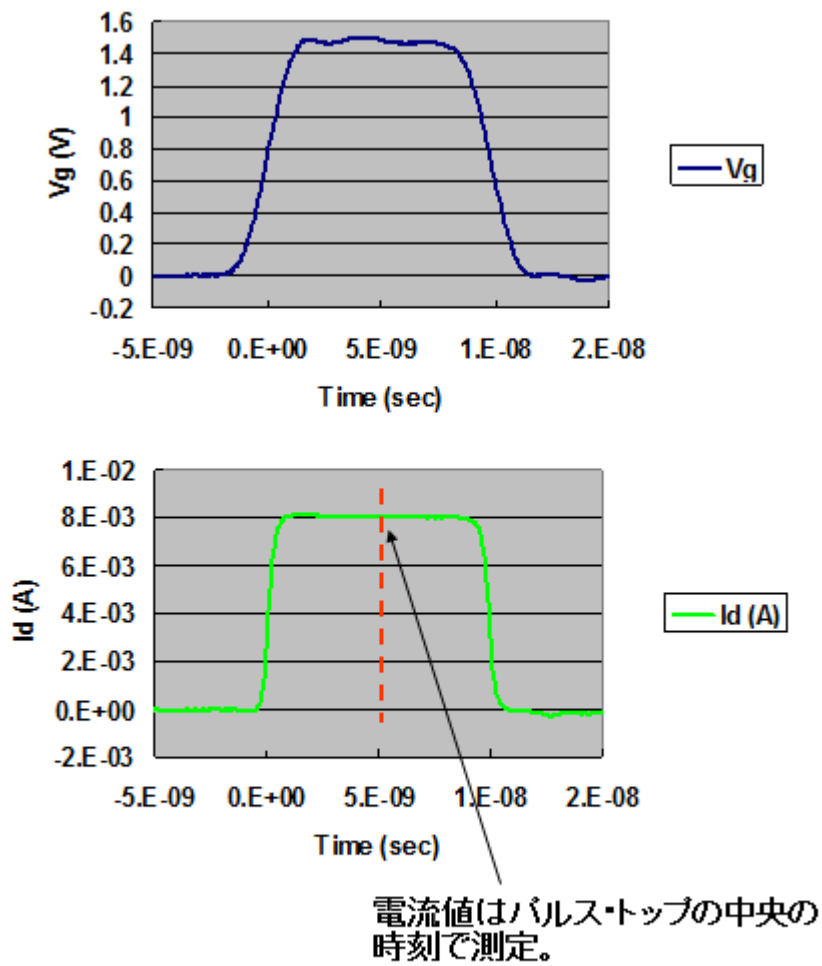


図4.3.2 Poly-Si/SiONゲートにおけるパルスIV測定の場合

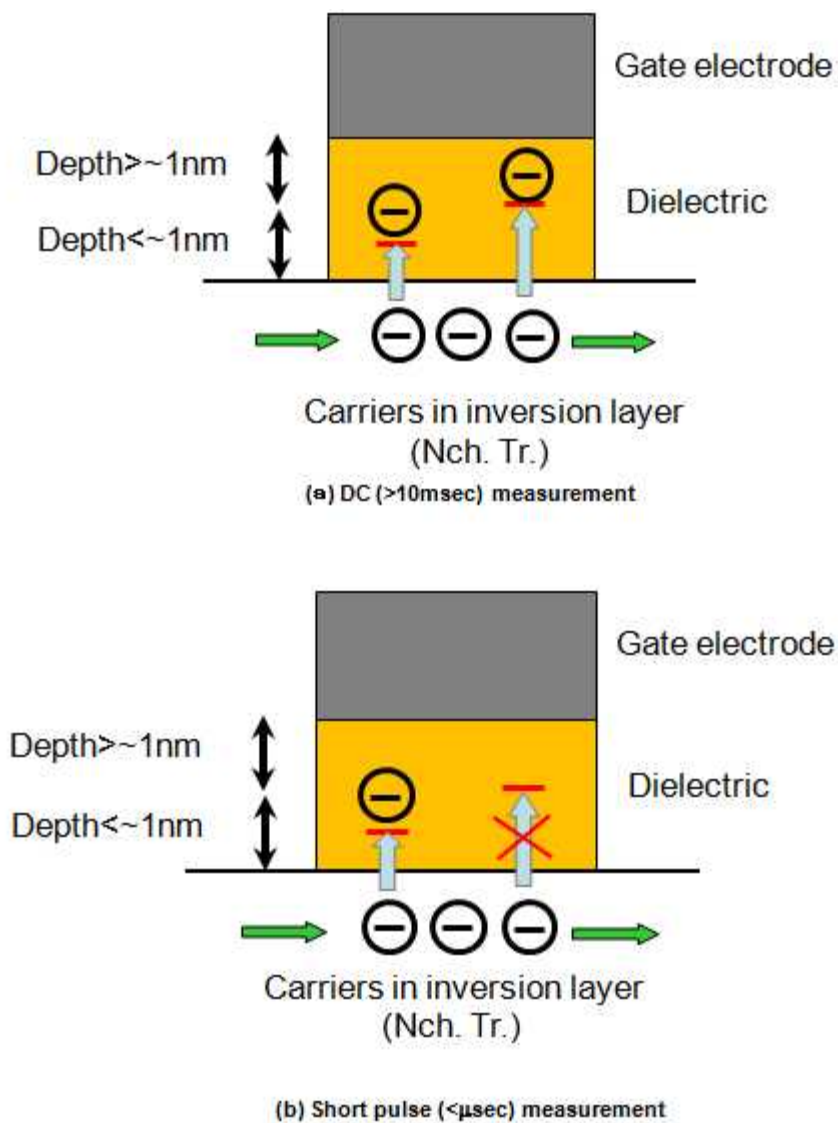
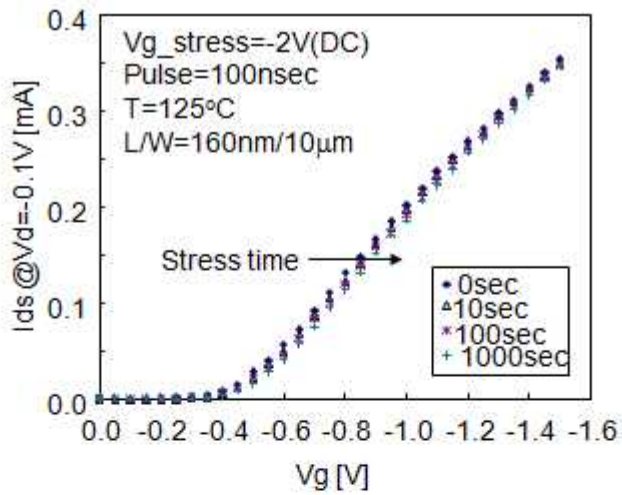
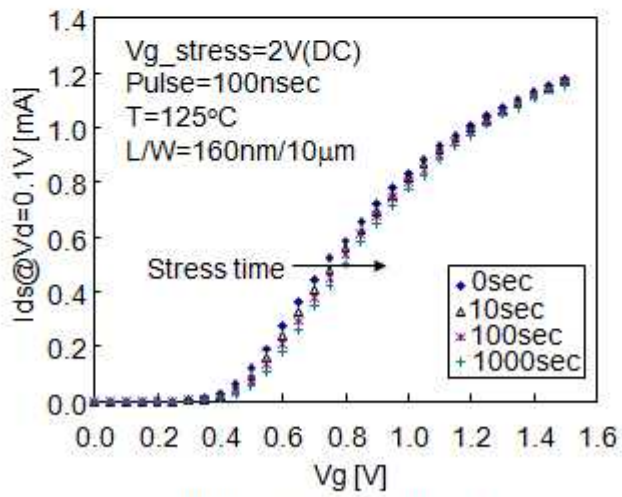


図4.3.3 DCおよびパルスIV測定におけるトラップへの捕獲



(a) NBTI of W/TiN/HfSiON



(b) PBTI of W/TaSiN/HfSiON

図4.3.4 NBTIとPBTIパルス測定の場合

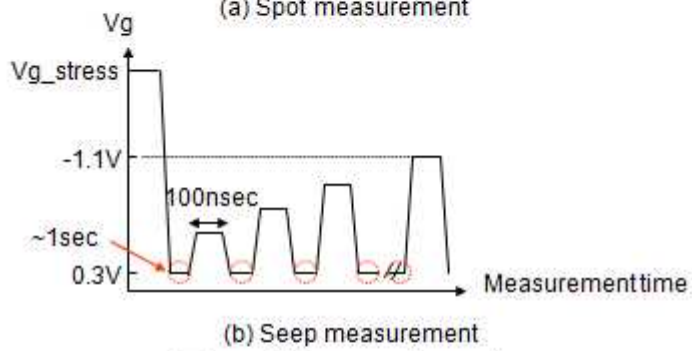
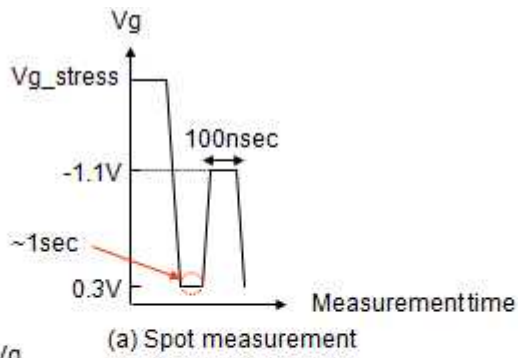


図4.3.5 パルス ΔV のバイアスシーケンス

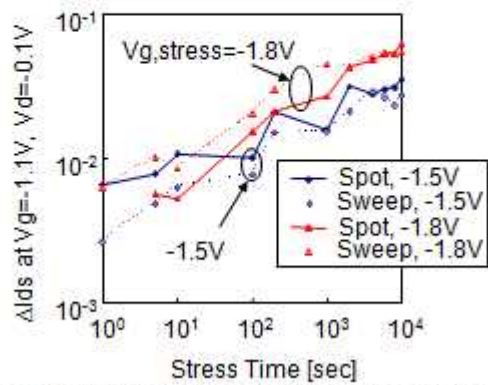


図4.3.6 バイアスシーケンスを変えた場合の M_s 劣化の変化

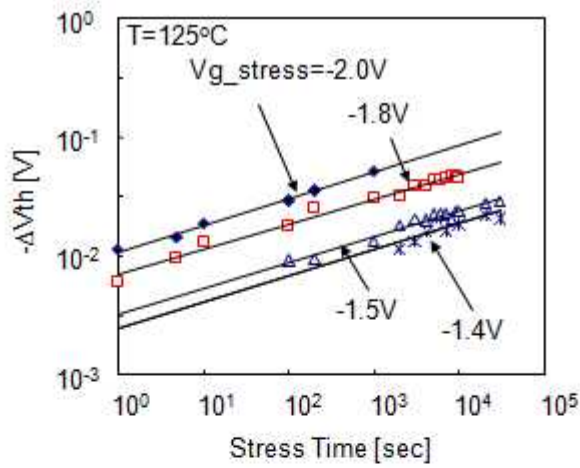


図4.3.7 W/TiN/HfSiONゲートのNBTIパルス評価での V_{th} シフトのストレス時間依存性

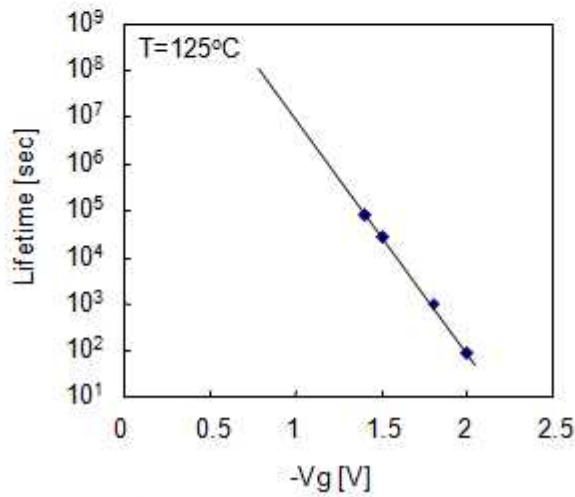
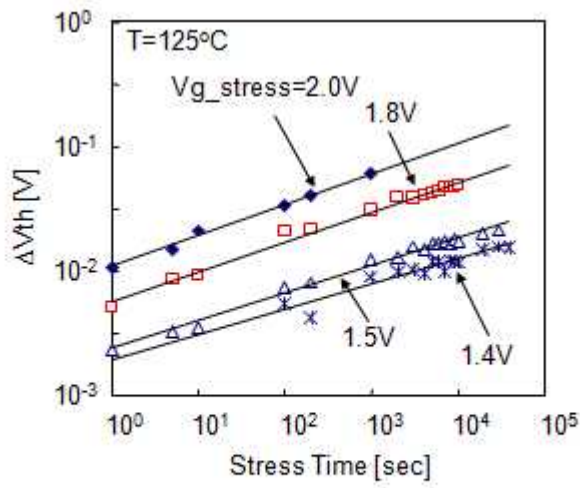
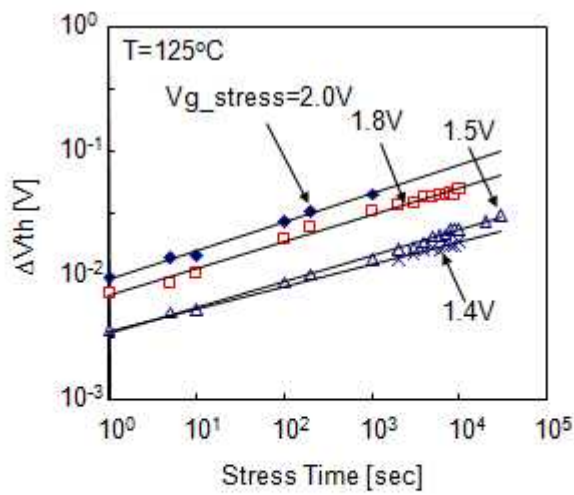


図4.3.8 W/TiN/HfSiONゲートのNBTIパルス評価での デバイス寿命の V_g 依存性



(a) W/TaSiN/HfSiON



(b) Poly-Si/TaSiN/HfSiON

図4.3.9 TaSiN/HfSiONゲートのPBTIパルス評価での V_{th} シフトのストレス時間依存性

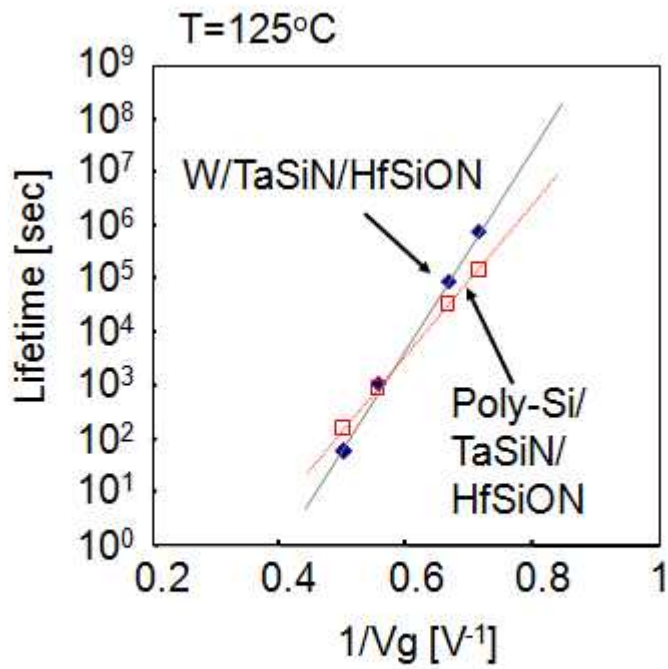
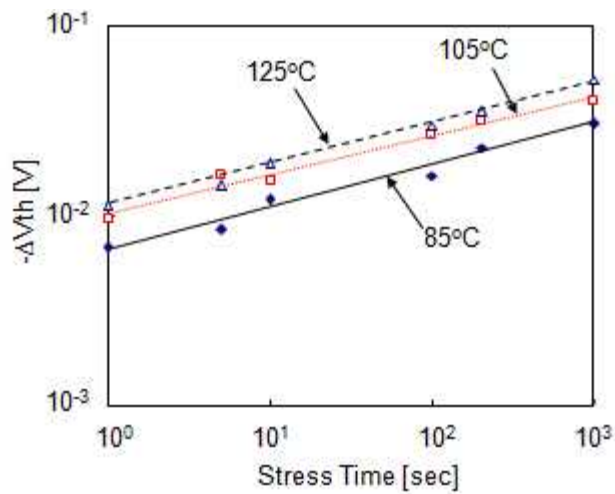
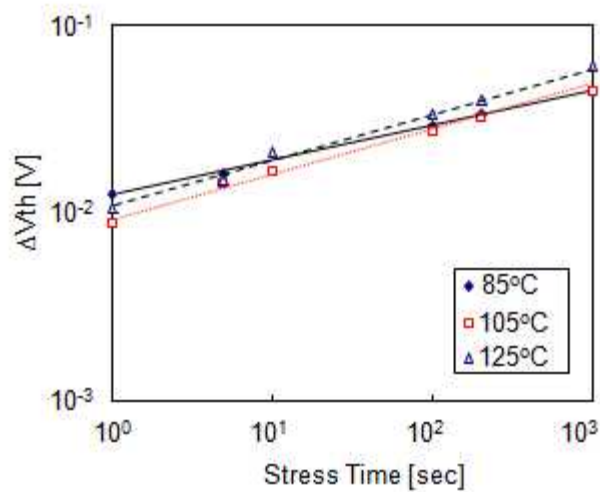


図4.3.10 TaSiN/HfSiONゲートのPBTUパルス評価での
デバイス寿命の $1/V_g$ 依存性

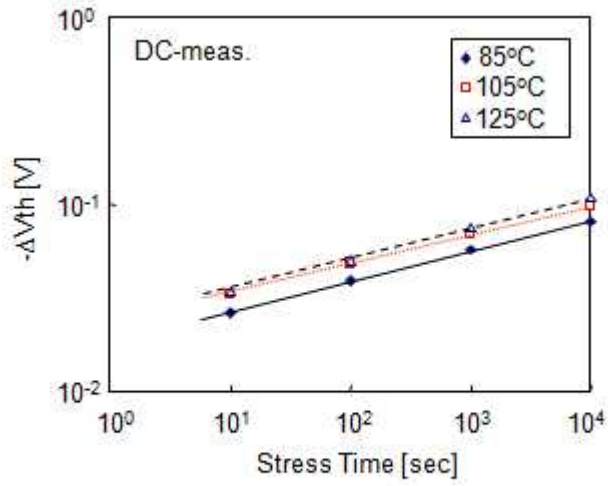


(a) NBTI

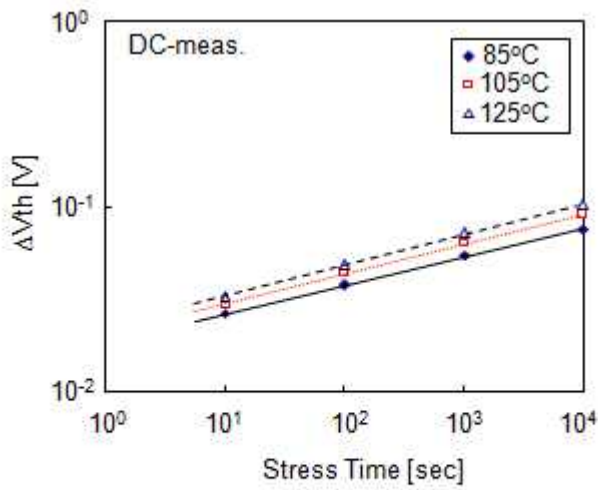


(b) PBTI

図4.3.11 BITパルス評価による V_{th} シフトの温度依存性



(a) NBTI



(b) PBTI

図4.3.12 DC評価による V_{th} シフトの温度依存性

表4.3.1 NBTI/PBTIによる V_{th} シフトのまとめ

Vg depend.	NBTI		PBTI	
	Vg		1/Vg (Larger than Vg)	
Temp. depend. of ΔV_{th}	Gate-side	Si-side	Gate-side	Si-side
		X	○ (Bond breaking)	○

○ Having temp. dependence
 X Not having temp. dependence

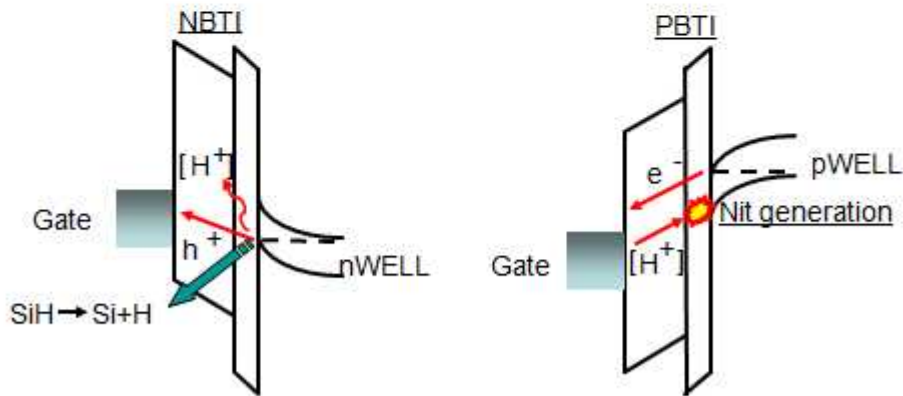


図4.3.13 界面反応に着目したNBTI、PBTI劣化モデル

5. 結言

本章では、各章ごとの結論を箇条書きで記載し、次に、本稿で議論した微細 CMOS プロセスとその評価手法に関する今後の展望を論じる。

以下、本稿のまとめとして、各章ごとの結論を箇条書きに記載する。

第1章: 序論

(1) CMOS トランジスタはスケーリング則により微細化されたが、高電界化に伴うホットエレクトロン効果を回避するため電源電圧低下のスケーリングが実施された。このため、移動度低下、 C_{inv} (反転状態のゲート容量)低下の問題が顕在化し、前者に対してはプロセスひずみの導入、後者に対しては High-k ゲート絶縁膜の導入による EOT(実効ゲート酸化膜厚)の低下とメタルゲートによるゲート空乏化の防止が必要である。

第2章: ストレスライナーを用いた CMOS トランジスタの性能向上と LSI への適用

(2) 引っ張り応力を有するコンタクトエッチングストップ膜を CMOS トランジスタに適用することで、NMOS の移動度が向上する。また PMOS においては、狭チャネルにおいて STI からの圧縮応力の緩和により移動度が向上することを見出した。

(3) 上記の効果のため、引っ張り応力を有するコンタクトエッチングストップ膜(ストレスライナー)は、SRAM 等、チャネル方向、ゲート幅方向ともに縮小された微細 CMOS で構成される LSI の性能向上に効果的である。

第3章: ゲートファースト High-k・メタルゲートトランジスタの性能向上

(4) N/Pゲートで異なった仕事関数金属を有するデュアルメタル CMOS プロセスを構築し、W を低抵抗ゲート材料として用いたフルメタルの HfSiON-CMOS トランジスタの正常動作を確認した。

(5) SPE(Solid Phase Epitaxy)+FLA(Flash Lamp Anneal)は高活性化とウエハ割れが防止できるという利点を持つが、SPE+FLA を用いた低熱負荷プロセスを多結晶 Si ゲートに適用すると、ゲート空乏化起因の移動度低下により、オン電流は従来の Spike-RTA(Rapid Thermal Anneal)より高くないことを見出した。

(6) メタル/High-k ゲートでは上記問題点が回避され、低熱負荷プロセスと斜め注入 Extension との組み合わせで、メタル/High-k ゲートに固有な V_{TH} の高値化が回避され、低消費電力用途に適した V_{TH} と高いオン電流の両立が実現できた。

(7) 低抵抗ゲート材料として、圧縮応力の小さい W 膜をイオンビーム PVD 法で形成することで PMOS の移動度が向上することが判った。PMOS 移動度向上の原因は、深さ方向の引っ張りひずみに起因している。

第4章: 微細 CMOS トランジスタに固有な評価技術の研究

(8) ホットエレクトロンによる界面準位の発生の活性化エネルギーは 9eV 程度と非常に大きいことが判り、活性化エネルギーを伴った水素の拡散が関与している可能性があることがわかった。水素拡散に起因した界面準位発生率は時間に対する飽和関数であるというモデルを提案した。

(9) EOT(実効ゲート酸化膜厚)の抽出手法を考察し、“Virtual-EOT”の漸近値が真の EOTであることを示した。このことは、抽出法によって EOT 値が異なることを示唆している。

(10) 100nsec 以下のパルス幅を有するパルス IV をメタル/High-k ゲートにおける BTI(Bias Temperature Instability)評価に適用し、この手法を用いることで、Si 側界面側の劣化現象のみが抽出されることを見出

した。

以下、本稿で議論した微細 CMOS プロセスとその評価技術に関する今後の展望を論じる。

本稿の前半部分では、CMOS トランジスタの微細化に必要な浅接合技術として、SPE (Solid Phase Epitaxy) と msec アニールである FLA (Flash Lamp Anneal) の組み合わせが高活性化とウエハ割れを防止する手法として非常に有効であることを論じた。また、低熱負荷により、メタル・High-k ゲートに固有な FLP (フェルミレベルピンニング) と呼ばれる VFB (Flat Band Voltage) の高値化が緩和できることを見出し、ゲート長=45nm のメタル/High-k トランジスタを試作し良好な特性を取得したことを述べた。FLP は High-k 膜中の酸素空孔の形成に起因していると考えられており、特に Hf 系絶縁膜で顕著となる。したがって FLP の防止には、酸素拡散を防止するか、熱的に安定な High-k 膜とゲート電極を選択することが必要となり、前者のアプローチとして低熱負荷が重要である。現在、ゲートラスト、すなわち、ソース・ドレインを形成後にゲートを形成する手法によりマイクロプロセッサ用のメタル/High-k・CMOS トランジスタが実用化されているが、システム LSI 用途には従来のゲートファースト、すなわち、ゲートを先に形成しソース・ドレインを後で形成するプロセスのほうが設計・プロセス資産の活用という観点から望ましいと考えられる。この点において、SPE+msec アニールによる活性化アニールの低熱負荷化が今後重要な技術となると予想される。

また、CMOS トランジスタの微細化に伴う大きな問題点である移動度の低下に対する対策として、「プロセスひずみ」の導入に関しても本稿の前半部分にて議論した。特に、NMOS に関して「チャンネル方向の引っ張りひずみ」、狭チャンネル PMOS においては「チャンネル幅方向の引っ張りひずみ」の導入が有効であることを述べた。このような1軸ひずみに関しては、引っ張り応力を有するライナー膜(コンタクトのエッチングストップ膜)が有効であることを述べた。このまた、PMOS においては、「Z 方向引っ張りひずみ」によって移動度が向上するため、「弱い圧縮応力を有する W 膜」が有効であることを論じた。

このような「プロセスひずみ」は、半導体製造プロセスによってひずみの形成が可能であるため、ウエハ自体にひずみを導入する「グローバルひずみ」と比べて、製造コストが安価であるという点と、製品に見合ったひずみが導入できるため、製品の特徴を出しやすいという利点がある。すなわち、コスト・パフォーマンスの出しやすいプロセスであり、この点が、半導体メーカーが「プロセスひずみ」の導入に力を入れている理由である。

また、プロセスひずみに関しては、NMOS では、引っ張りライナー膜と Stress-memorization が幅広く使われている。Stress-memorization は、ゲート電極である Poly-Si (多結晶 Si) のグレインの広がりを利用して、Z 方向(深さ方向)の圧縮ひずみを導入する手法であるが、Z 方向に圧縮ひずみを導入することで、チャンネル方向の引っ張りひずみも増長していると考えられるので、Stress-memorization を引っ張りライナー膜との組み合わせとして用いられることが多い。一方、PMOS における Embedded-SiGe と同様に、NMOS においては SD(ソース・ドレイン)領域に SiC を埋め込む Embedded-SiC によりチャンネル部に引っ張りひずみを形成する研究が行われているが、SiGe と異なり選択成長に難点があり、実用段階には至っていない。

PMOS に関しては、圧縮応力を有するライナー膜が幅広く使われている。しかしながら、チャンネル幅が短くなると Y 方向(チャンネル幅方向)の圧縮ひずみは寧ろ PMOS 移動度を下げる方向に働くので、圧縮ライナーは、微細化が進行するとその有効性を発揮できない可能性がある。PMOS に関しては、チャンネル方向だけ圧縮ひずみが形成できる Embedded-SiGe が、微細化に対応した手法として有効と考えられる。従

って、Embedded-SiGe によるチャンネル方向圧縮ひずみに「Z 方向の引っ張りひずみ」を加えた手法が、今後実現されるものと予想する。特に、Z 方向の引っ張りひずみに関しては、Embedded-SiGe 形成プロセスそのものの工夫、および本稿で述べたようなゲート応力を導入する手法との組み合わせが実用化されていくものと予想される。

本稿の後半部分では、微細 CMOS トランジスタに固有な評価手法として、ホットエレクトロン注入、EOT(Equivalent Oxide Thickness)抽出手法、および、パルス IV を用いた BTI (Bias Temperature Instability) 評価手法を論じた。

ホットエレクトロンを用いた評価手法は、本稿で述べたようなゲート絶縁膜および界面の状態を評価する目的以外にも、チャンネルひずみを間接的に評価する手法としても有効であり、今後、チャンネルひずみの解析にも多く適用されるものと期待される。

パルス IV は、High-k のように preexisting-trap が多いゲート絶縁膜において、界面情報のみを抽出できる手法として有効であることを本稿では述べたが、パルス間隔を短くすることで、実使用状態に近い評価条件が実現できるので、実使用状態を模擬した評価手法として、今後、幅広く使用されていくものと期待される。

EOT(Equivalent Oxide Thickness)評価手法に関しては、絶対的な評価手法は存在しないことを本稿で述べた。このため、絶縁膜厚を評価する手法の流れとしては、EOT よりも、反転状態の全容量を SiO_2 厚さに換算した値である CET (Capacitance Equivalent Thickness) を用いる方向に進みつつある。しかしながら、漸近法による EOT 抽出においては C_g - V_g 特性に歪みがあっても EOT が抽出できたので、いわば「技術者フレンドリー」であったのに対して、CET を抽出する場合は、 C_g - V_g 特性を正確に測る技術が必要であり、寄生容量の排除の仕方、ゲートリークによる直列・並列抵抗成分の排除の仕方といった測定テクニックがますます重要になる。CET をゲート絶縁膜厚の規範とする場合は、CET 測定手法のガイドライン作りが今後の課題である。

CMOS トランジスタのスケールダウンそのものに関しては、バルク CMOS でも 22nm までは確実に進行するであろうし、ダブルゲートといった完全空乏化構造を採用することで、それ以下のサイズまでスケールダウンされるであろうことには異論の余地はない。しかしながら、バルク CMOS に関しては、本稿で述べたように、技術としては略完成されている。過去に BiCMOS という CMOS と Bipolar の融合といった例に代表されるように、今後、CMOS を媒体としたアプリケーションを如何に広げていくかが半導体業界の課題となると予想される。そうした「CMOS を媒体としたアプリケーション」をテーマとした新規デバイスの創生に、本稿が役に立てれば幸いである。

6. 研究業績一覧

(1)査読付き国際学術論文(主著)

- [1] Fumio Ootsuka, "The evaluation of the activation energy of interface state generation by hot-electron injection", IEEE Transactions on Electron Devices, Vol. 38, No. 6, pp.1477-1483 June 1991.
- [2] Fumio Ootsuka, "An engineering method to extract equivalent oxide thickness and its extension to channel mobility evaluation", IEEE Transactions on Electron Devices, Vol. 49, No. 12, pp. 2345-2348, Dec. 2002.
- [3] Fumio Ootsuka, Akira Katakami, Kiyoshi Shirai, Toshinari Watanabe, Hiroyuki Nakata, Masami Kitajima, Takayuki Aoyama, Takahisa Eimori, Yasuo Nara, Yuzuru Ohji, Masayasu Tanjyo, "Ultra-low thermal budget CMOS process using flash lamp annealing for 45nm metal/high-k FETs", IEEE Transactions on Electron Devices, Vol. 55, No. 4, pp.1042-1049, April 2008.
- [4] Fumio Ootsuka, Akira Katakami, Kiyoshi Shirai, Hiroyuki Nakata, Takahisa Eimori, Yasuo Nara, Yuzuru Ohji, Kazuhiro Shimura, Sadayoshi Horii, Nobuyuki Sano, Kikuo Yamabe, "Hole mobility enhancement caused by gate-induced vertical strain in gate-first full-metal High-k pFETs using ion-beam W", to be published in Japanese Journal of Applied Physics.

(2)査読付き国際学術論文(共著)

- [1] T. Sasaki, Y. Akasaka, K. Miyagawa, T. Hoshi, Y. Watanabe, F. Ootsuka, M. Yasuhira, T. Arikado, "Effect of fluorine on interface characteristics in low-temperature CMIS process with HfO₂ metal gate stacks", Japanese Journal of Applied Physics, Vol. 44, pp. 2252-2256, 2005.
- [2] Y. Akasaka, G. Nakamura, K. Shiraishi, N. Umezawa, K. Yamabe, O. Ogawa, M. Lee, T. Aminaka, T. Kasuya, H. Watanabe, T. Chikyow, F. Ootsuka, Y. Nara, K. Nakamura, "Modified oxygen vacancy induced Fermi level pinning model extendable to p-metal pinning", Japanese Journal of Applied Physics, Vol. 45, No. 49, pp. L1289-L1292, 2006.

(3)国際学会発表(主著)

- [1] F. Ootsuka, S. Wakahara, K. Ichinose, A. Honzawa, S. Wada, H. Sato, T. Ando, H. Ohta, K. Watanabe, T. Onai, "A highly dense, high-performance 130 nm node CMOS technology for large scale system-on-a-chip applications", IEDM Technical Digest, pp. 575-578, 2000.
- [2] F. Ootsuka, H. Ozaki, T. Sasaki, K. Yamashita, H. Takada, N. Izumi, Y. Nakagawa, M. Hayashi, K. Kiyono, M. Yasuhira, T. Arikado, "Ultra-low thermal budget CMOS process for 65nm-node low-operation-power applications", IEDM Technical Digest, pp. 647-650, 2003.
- [3] F. Ootsuka, Y. Tamura, Y. Akasaka, S. Inumiya, H. Nakata, M. Ohtsuka, T. Watanabe, M. Kitajima, Y. Nara, K. Nakamura "Full-metal-gate integration of dual-metal-gate HfSiON CMOS transistors by using oxidation-free dummy-mask process", SSDM Tech. Digest, p.1116-1117, 2006.
- [4] Fumio Ootsuka, Takahisa Eimori, Yasuo Nara, and Yuzuru Ohji, "Inverse-V_g dependence of PBTI lifetime of HfSiON gate dielectrics measured by a high-temperature pulsed-IV method", Advanced gate stack, source/drain and channel engineering for Si-based CMOS s; new materials, processes and equipment, in ECS 211th Meeting; pp. 205-218, May 2007.
- [5] F. Ootsuka, M. Nakamura, T. Miyake, S. Iwahashi, Y. Ohira, T. Tamaru, K. Kikushima, K. Yamaguchi "A novel 0.20 μ m full CMOS SRAM cell using stacked cross couple with enhanced soft error immunity" IEDM '98 Technical Digest, pp. 205-208, 1998.
- [6] F. Ootsuka, T. Watanabe, Y. Nara, N. Mise, S. Migita, Y. Watanabe, H. Satake, A. Toriumi "Novel

silicide-cladded uniaxially-strained thin-body SOI CMOS FETs featuring floating body modulation induced by Hf-based gate dielectric” International SOI Conference, pp. 44-45, 2006.

[7] F. Ootsuka, T. Eimori, Y. Nara, Y. Ohji, “Generation of electrode-side traps under NBT stress in Metal/HfSiON pFETs and its impact on floating body effect of SOI Devices” IWDTF Technical Digest, pp.145-146, 2006.

(4)国際学会発表(共著)

[1] A. Shimizu, K. Hachimine, N. Ohki, H. Ohta, M. Koguchi, Y. Nonaka, H. Sato, and F. Ootsuka, “Local Mechanical-Stress Control (LMC) :A New Technique for CMOS-Performance Enhancement”, IEDM Technical Digest, pp.433-436, 2001.

[2] T. Sasaki, F. Ootsuka, T. Hoshi, T. Kawahara, T. Maeda, M. Yasuhira, T. Arikado, “The influence of siliconnitride cap in BTI and Fermi pinning in HfO₂ gate stacks”, Extended abstract of International Workshop in Gate Insulators 2003, pp. 20-23, 2003.

[3] Y. Tamura, T. Sasaki, N. Izumi, F. Ootsuka, M. Yasuhira, T. Hoshi, S. Kume, H. Amai, T. Ida, T. Aoyama, S. Kamiyama, K. Torii, H. Kitajima, T. Arikado, “SiN-capped HfSiON gate stacks with improved bias temperature instabilities for 65nm-node low-standby-power transistors”, VLSI Symposium pp.210-211, 2004.

[4] A. Mineji, Y. Tamura, T. Watanabe, H. Ozaki, F. Ootsuka, T. Aoyama, K. Shibata, K. Tsujita, N. Ohashi, M. Yasuhira, T. Arikado, “Integration of manufacturable 65nm-node HfSiON transistors optimized with low-thermal-budget CMOS process”, IEDM Tech. Digest, pp. 927-930, 2004.

[5] T. Sasaki, F. Ootsuka, H. Ozaki, M. Tomikawa, M. Yasuhira, T. Arikado, “The effect of boron and fluorine incorporation in SiON gate insulator in NBTI”, SSDM Technical Digest, pp.66-67, 2003.

[6] T. Sasaki, Y. Akasaka, K. Miyagawa, T. Hoshi, Y. Watanabe, F. Ootsuka, M. Yasuhira, T. Arikado, “Effect of fluorine on interface characteristics in low temperature CMOS process with HfO₂ metal gate stacks”, SSDM Technical Digest, pp.200-201, 2004.

[7] A. Mineji, K. Yasashita, F. Ootsuka, M. Yasuhira, T. Arikado, “Improvements of electrical properties with reduced transient-enhanced-diffusion for 65nm-node CMOS technology using flash lamp annealing”, SSDM Technical Digest, pp.412-413, 2004.

[8] H. Ohji, K. Torii, T. Kawahara, T. Maeda, H. Itoh, A. Mutoh, R. Mitsuhashi, F. Ootsuka, M. Yasuhira, T. Arikado, “65nm-node low-standby-power FETs with HfAlO_x gate dielectric”, SSDM Technical Digest, pp.428-429, 2004.

[9] S. Inumiya, Y. Akasaka, T. Matsuki, F. Ootsuka, K. Torii, Y. Nara, “A thermally-stable sub-0.9nm EOT TaSix/HfSiON gate stack with high electron mobility, suitable for gate-first fabrication of hp45 LOP devices”, IEDM Technical Digest, pp.27-30, 2005.

[10] N. Yasuda, H. Ota, T. Horikawa, T. Nabatame, H. Satake, A. Toriumi, Y. Tamura, T. Sasaki, F. Ootsuka, “Reliable extraction of EOT and VFB in poly-Si gate high-k MISFETs through advanced modeling of gate and substrate capacitances”, International Conference on Solid State Devices and Materials, pp.250-251, 2005.

[11] Y. Akasaka, K. Shiraishi, N. Umezawa, O. Ogawa, T. Kasuya, T. Chikyow, F. Ootsuka, Y. Nara, K. Nakamura, “A novel remote reactive sink layer technique for the control of N and O concentration in metal/high-k gate stacks”, VLSI Symp. Tech. Dig., pp.164-165, 2006.

[12] K. Okada, T. Horikawa, H. Satake, S. Inumiya, Y. Akasaka, F. Ootsuka, Y. Nara, H. Ohta, T. Nabatame, A. Toriumi, “Reliability perspective of high-k gate stack assessed by temperature dependence of dielectric

breakdown”, VLSI Symposium Technical Digest, pp.34-35, 2007.

[13] Y. Nara, F. Ootsuka, S. Inumiya, Y. Ohji, “High-k/metal gate stack technology for advanced CMOS”, Solid-State and Integrated Circuit Technology, pp.360-363, 2006.

[14] Y. Akasaka, K. Miyagawa, T. sasaki, K. Shiraishi, S. Kamiyama, O. Ogawa, F. Ootsuka, Y. Nara, “Impact of electrode-side-chemocal structure on electron mobility in metal/HfO₂/MISFETs with sub-1nm EOT”, VLSI Symposium Technocal Digest, pp. 228-229, 2005.

[15] K. Okada, H. Ota, T. Horikawa, Y. Tamura, T. Sasaki, T. Aoyama, F. Ootsuka, A. Toriumi, “Importance of leakage current noise analysis for accurate lifetime prediction of high-k gate dielectric”, SSDM Technical Digest, pp.248-249, 2005.

[16] R. Tsuchiya, K. Ohnishi, M. Horiuchi, S. Tsujikawa, Y. Shimamoto, N. Inada, J. Yugami, F. Ootsuka, T. Onai, “Femt-second CMOS technology with high-k offset spacer and SiN gate dielectric with oxygen enriched interface”, VLSI Symposium Technical Digest, pp.150-151, 2002.

[17] K. Ohnishi, R. Tsuchiya, T. Yamauchi, F. Ootsuka, K. Mitsuda, M. Hase, T. Nakamura, T. Kawahara, T. Onai, “A 50-nm CMOS technology for high-speed, low-power, and RF applications in 100-nm SOC platform”, IEDM Technical Digest, 10.5.1-10.5.4, 2001.

[18] D. Hisamoto, T. Kachi, S. Tsujikawa, A. Miyauchi, K. Kusukawa, N. Sakuma, Y. Homma, N. Yokoyama, F. ootsuka, T. Onai, “A compact FD-SOI MOSFETs fabrication process featuring SixGe_{1-x} gate and damascene-dummy SAC”, VLSI Symposium Technical Digest, pp.208-209, 2000.

[19] T. Onai, S. Tsujikawa, T. Uchino, R. Tsuchiya, K. Ohnishi, H. Fukuda, D. Hisamoto, N. Yamamoto, J. Yugami, K. Ichinose, F. Ootsuka, “0.1-um CMOS technology for high-speed logic and system LSIs with SiO/SiN/Poly-si/W gate-system”, IEDM Technical Digest, pp.937-939, 1999.

[20] K. Mori, K. Kikushima, F. Ootsuka, S. Mitani, “A new optimization strategy for CMOS device process in the era of 0.2um and beyond”, Custum Integrated Circuits Conference, pp.155-158, 1998.

[21] J. Borland, F. Ootsuka, T. Aoyama, T. Onizawa, A. Buczkowski, “Improving junction uniformity and quality with optimized diffusion-less annealing”, Extended Abstracts of. The International Workshop on Junction Technology, pp.69-72, 2007.

(5)招待講演(国際学会)

[1] F. Ootsuka, A. Mineji, K. Yamashita, M. Yasuhira, and T. Arikado “Ultra-low thermal budget CMOS process for 65nm-node low-operation-power applications”, ECS 207th Meeting, p111-117, 2005.

(6)依頼原稿、招待講演(国内)

[1]大塚文雄、有門経敏;日経マイクロデバイセズ2004年10月号、p.50-54、「65nmで実用化狙い:High-kで10年間の寿命を確保」

[2]大塚文雄;電子材料2005年5月号、p.24-28、「High-kゲート絶縁膜を有する65nmノードSRAM技術」

[3]大塚文雄;2007年半導体テクノロジー大全、第4編-第10章-第2節、p.357-360、「デュアルメタルゲート形成技術」

[4]大塚文雄、小崎浩司、佐々木隆興、泉 直希、中川義和、峰地 輝、安平光雄、有門経敏;IEDM(微細CMOS デバイス・プロセス技術)特集号、2004年1月、p.11-14、「低消費電力用途を目的とした極浅接合を有する65nmノードCMOSプロセス」

[5]大塚文雄、峰地 輝、田村泰之、佐々木隆興、小崎浩司、安平光雄、有門経敏;電子情報通信学会技術研究報告SDM2004、2004年8月、p.53-58、「低消費電力対応65nmノードCMOSプロセス:LOP対応極浅接合技術、LSTP対応HfSiONトランジスタ技術」

[6]大塚文雄、峰地 輝、田村泰之、渡辺俊成、佐々木隆興、青山知憲、安平光雄、有門経敏;電気学会研究会、2005年6月、「低スタンバイ電力用途 HfSiON トランジスタの高集積化」

[7]大塚文雄;半導体新技術研究会、2004年4月、「低消費電力用途を目的とした極浅接合を有する65nmノードCMOSプロセス:その最前線と今後への展望」

[8]大塚文雄;電気学会研究会、2007年6月、「ゲートファーストプロセスを用いたデュアルゲートCMOSトランジスタの初期特性とBTI信頼性」

(7)発明・特許

日本国特許一覧

特許番号	登録日	発明者
DRAM関連特許		
特許第2559397号	1996年9月5日	大塚文雄、土屋 修
特許第2742272号	1998年1月30日	大塚文雄、佐川雅一
特許第2859288号	1998年12月4日	杉浦 順、土屋 修、小笠原 誠、大塚 文雄、鳥居 和功、浅野 勇、大和田 伸郎、堀内 光明、田丸 剛、青木 英雄、大塚 伸宏、白井 精一郎、佐川 雅一、池田 良広、加賀 徹、恒岡 正年、新名 朋次、大岸 秀次、笠原 修、榎並 弘充、若原 篤志、秋森 裕之、鈴木 慎一、船津 圭亮、川崎 義直、坪根 恒彦、古賀野 正佳、津金 賢
特許第3115818号	2000年9月29日	同上
特許第3115817号	2000年9月29日	同上
特許第3177436号	2001年4月6日	同上
特許第3177435号	2001年4月6日	同上
SRAM関連特許		
特許第3599504号	2004年9月24日	菊島健一、大塚文雄
特許第3597334号	2004年9月17日	中村守男、大塚文雄
特許第4044721号	2007年11月22日	大塚文雄、一瀬勝彦
特許第4083397号	2008年2月22日	大塚文雄、野中裕介、島本 聡、大森莊平、風間秀士、
High-kゲート関連特許		
特許第3725137号	2005年9月30日	大塚文雄

米国特許一覧

特許番号	発行日	発明者
DRAM関連特許		
United States Patent 4,937,645	1990年6月26日	大塚文雄、土屋 修
United States Patent 5,202,275	1993年4月13日	杉浦 順、土屋 修、小笠原 誠、大塚 文雄、鳥居 和功、浅野 勇、大和田 伸郎、堀内 光明、田丸 剛、青木 英雄、大塚 伸宏、白井 精一郎、佐川 雅一、池田 良広、加賀 徹、恒岡 正年、新名 朋次、大岸 秀次、笠原 修、榎並 弘充、若原 篤志、秋森 裕之、鈴木 慎一、船津 圭亮、川崎 義直、坪根 恒彦、古賀野 正佳、津金 賢
United States Patent 5,309,392	1994年5月3日	大塚文雄、佐川雅一
United States Patent 5,331,191	1994年7月19日	杉浦 順、土屋 修、小笠原 誠、大塚 文雄、鳥居 和功、浅野 勇、大和田 伸郎、堀内 光明、田丸 剛、青木 英雄、大塚 伸宏、白井 精一郎、佐川 雅一、池田 良広、加賀 徹、恒岡 正年、新名 朋次、大岸 秀次、笠原 修、榎並 弘充、若原 篤志、秋森 裕之、鈴木 慎一、船津 圭亮、川崎 義直、坪根 恒彦、古賀野 正佳、津金 賢
United States Patent 5,557,147	1996年9月17日	同上
United States Patent 5,739,589	1998年4月14日	同上
United States Patent 5,780,882	1998年7月14日	同上
United States Patent 5,811,316	1998年9月22日	同上
United States Patent 6,127,255	2000年10月3日	同上
United States Patent 6,169,324	2001年1月2日	同上
United States Patent 6,342,412	2002年1月29日	同上
United States Patent 6,548,847 April 15, 2003	2003年4月15日	同上
United States Patent 6,838,320	2005年1月4日	徳永正文、吉田 誠、大塚文雄
United States Patent 6,894,334	2005年5月17日	杉浦 順、土屋 修、小笠原 誠、大塚 文雄、鳥居 和功、浅野 勇、大和田 伸郎、堀内 光明、田丸 剛、青木 英雄、大塚 伸宏、白井 精一郎、佐川 雅一、池田 良広、加賀 徹、恒岡 正年、新名 朋次、大岸 秀次、笠原 修、榎並 弘充、若原 篤志、秋森 裕之、鈴木 慎一、船津 圭亮、川崎 義直、坪根 恒彦、古賀野 正佳、津金 賢
United States Patent 7,118,949	2006年10月10日	徳永正文、吉田 誠、大塚文雄

特許番号	発行日	発明者
SRAM関連特許		
United States Patent 5,798,551	1998年8月25日	菊島健一、大塚文雄
United States Patent 6,171,892	2001年1月9日	菊島健一、大塚文雄、佐藤和重
United States Patent 6,603,178	2003年8月5日	菊島健一、大塚文雄
United States Patent 6,613,634	2003年9月2日	大塚文雄、一瀬勝彦
United States Patent 6,635,937	2003年10月21日	大塚文雄、野中裕介、島本 聡、大森 莊平、風間 秀士
United States Patent 6,661,063	2003年12月9日	菊島健一、大塚文雄、佐藤和重
United States Patent 6,747,324	2004年6月8日	菊島健一、大塚文雄、佐藤和重
United States Patent 6,762,444	2004年7月13日	大塚文雄、野中裕介、島本 聡、大森 莊平、風間 秀士
United States Patent 6,806,128	2004年10月19日	大塚文雄、一瀬勝彦、若原祥史
United States Patent 7,022,563	2006年4月4日	大塚文雄、野中裕介、島本聡、 大森 莊平、風間 秀士
United States Patent 7,075,157	2006年7月11日	菊島健一、大塚文雄、佐藤和重
CMOSプロセッサ関連特許		
United States Patent 5,329,138	1994年7月12日	三谷真一郎、菊島健一、大塚文雄
United States Patent 5,512,502	1996年4月30日	大塚文雄、野中裕介、青木敦美
United States Patent 6,524,903	2003年2月25日	大塚文雄、尾内享裕、大西和博、若原祥史
United States Patent 6,847,093	2005年1月25日	一瀬勝彦、大塚文雄
United States Patent 6,982,465	2006年1月3日	熊谷幸博、太田裕之、三浦英生、池田修二、大塚文雄、一瀬勝彦、尾内享裕、竹田 敏文
United States Patent 7,042,051	2006年5月9日	大塚文雄、尾内享裕、大西和博、若原祥史
High-kゲート関連特許		
United States Patent 6,924,237	2005年8月2日	大塚文雄、山本智志、酒井 哲
United States Patent 7,041,549	2006年5月9日	大塚文雄

7. 謝辞

本博士論文を執筆するにあたり多岐に亘り指導して頂いた筑波大学数理物質科学研究科 電子・物理工学専攻課程の山部紀久夫教授、名取研二教授、村上浩一教授、佐野伸行教授、末益崇準教授に心から御礼申し上げます。また、筆者は1983年に日立製作所に入所し、半導体デバイス・プロセスの開発に従事しましたが、入所当時に指導いただいたデバイス開発センタ(現マイクロデバイス事業部)の諸先輩方に深く感謝申し上げます。特に、トランジスタの動作理論に関して厳しくご指導頂いた小柳光正氏(現東北大学)、および上司として叱咤激励を頂いた清水真二氏(現エルピーダメモリ)、村田純氏、三谷真一郎氏、菊島健一氏、杉浦順氏(現ルネサステクノロジ)に深く御礼申し上げます。また、CMOS プロセッサの依頼研究にご協力頂いた日立製作所中央研究所の尾内享裕氏、大西和博氏(現ルネサステクノロジ)、土屋龍太氏、および、最初の部下として我儘を聞いて頂いたデバイス開発センタの一瀬勝彦氏を始め、野中裕介氏、飯田雅也氏には公私ともにお付き合い頂きました。諸氏のご厚情に厚く御礼申し上げます。また、ゲート絶縁膜技術に関して、デバイス開発センタの平岩篤氏、中央研究所の由上二郎氏(現ルネサステクノロジ)との交流により得た知見はその後の半導体先端テクノロジーズ(Selete)における研究開発の基盤となりました。

本論文の多くの部分は半導体先端テクノロジーズ(Selete)における研究に基づいています。筆者は2002年に日立製作所からSeleteに出向し、6年の長きに亘りHigh-k・メタルゲートの研究開発に従事してきました。Selete では多くの個性に遭遇することが出来き、これにより幅広い視野を養うことが出来ました。Selete の先輩諸氏、および共同研究者一人一人に感謝を申し上げたい。特に、第一研究部の歴代の部長である有門経敏氏(現東京エレクトロン)、中村邦雄氏(現 NEC エレクトロニクス)、大路譲氏には、研究を継続できる機会を与えて頂きました。また、プログラマナーの安平光雄氏(現パナソニック)、奈良安雄氏(現富士通)には寛大なご指導を賜りました。また、High-k・メタルゲート開発においては、峰地輝氏(現NECエレクトロニクス)、田村泰之氏(現富士通)、佐々木隆興氏(現セイコーエプソン)、小崎浩司氏(現ルネサステクノロジ)、中田博之氏、渡辺俊成氏、白井清氏には幾多の我儘を聞いて頂きました。皆様には心より感謝申し上げます。また、メタルゲートの材料選択、ピンニングモデルに関しては赤坂泰志氏(現東京エレクトロン)の貢献が大であり、本稿でも参照させて頂きました。また、High-k膜そのものは要素グループへの依存度が非常に大きく、この点においてプログラマナーの北島洋氏(現 NEC エレクトロニクス)を始め、鳥居和功氏(現日立製作所)、青山知憲氏(現東芝)、犬宮誠治氏(現東芝)、神山聡氏に御礼申し上げます。また、日立製作所からSeleteに研究補助員として出向し、筆者を含め、多くの研究員を支えた佐藤、繁田、粕谷各氏を始め、Selete あすかラインの方々に感謝申し上げます。

最後に、筑波大学の博士後期課程での就学を許可して頂いたルネサステクノロジ先端デバイス開発部長の井上靖朗氏、および日本エー・エス・エム入社後にも継続して就学することを許可頂いた日本エー・エス・エム開発部門長の小林伸好氏に感謝申し上げます。また、井上靖朗氏にはSelete 出向時のルネサステクノロジの上司として、小林伸好氏には日立製作所からSelete への出向した先達として、少なからぬご助言を賜りました。両氏には厚く御礼申し上げます。