

D 5
55
1988
E

| | |
|---------|-------------------|
| 寄 | 贈 |
| 上川井良太郎氏 | 昭和 年 月 日 |

工学博士学位論文

「高速計算機ハードウェア
設計支援システムの研究」

上川井 良太郎

昭和63年12月

92005318

目 次

1. 序論

| | | |
|-------|----------------|---|
| 1.1 | はじめに | 1 |
| 1.2 | 本研究の目的と概要 | 1 |
| 1.2.1 | 高速計算機ハードウェアの概要 | 1 |
| 1.2.2 | 高速計算機ハードウェアの設計 | 4 |
| 1.2.3 | 設計のための支援システム | 5 |
| 1.3 | 従来の研究との関係 | 7 |

2. 電気特性解析システム

| | | |
|-------|----------------------|----|
| 2.1 | 電気特性解析の目的 | 9 |
| 2.1.1 | はじめに | 9 |
| 2.1.2 | 高速化・高密度化の問題点 | 9 |
| 2.1.3 | 電気特性解析システムへの要求事項 | 11 |
| 2.2 | 問題の定式化 | 13 |
| 2.3 | キャパシタンス計算手法 | 20 |
| 2.3.1 | 基本方式 | 20 |
| 2.3.2 | 大規模問題への適用に向けての改良 | 24 |
| 2.3.3 | 計算結果の例 | 26 |
| 2.4 | インダクタンス計算手法 | 30 |
| 2.4.1 | 基本方式 | 30 |
| 2.4.2 | 太さ0のフィラメントの採用 | 32 |
| 2.4.3 | 複数導体セグメントのインダクタンスの合成 | 34 |
| 2.4.4 | 計算結果の例 | 37 |
| 2.5 | データの入出力 | 38 |
| 2.6 | 実装系の電気特性解析への応用 | 41 |

| | | | |
|-------|--------------------------|------------------|----|
| 2.6.1 | 応用例-1 | 伝送線の電気特性 | 41 |
| 2.6.2 | 応用例-2 | カードコネクタ同時切替ノイズ | 44 |
| 2.6.3 | 応用例-3 | モジュールコネクタ同時切替ノイズ | 47 |
| | | | |
| 3. | パスディレイチェックシステム | | |
| | | | |
| 3.1 | パスディレイチェックシステムの目的 | | 50 |
| 3.1.1 | タイミング設計上の問題点 | | 50 |
| 3.1.2 | パスディレイチェックシステムへの要求事項 | | 51 |
| | | | |
| 3.2 | パスディレイチェックシステムの特徴 | | 51 |
| 3.2.1 | 基本機能 | | 51 |
| 3.2.2 | 階層処理 | | 55 |
| 3.2.3 | 配線のカード渡り順序の推定 | | 58 |
| 3.2.4 | 配線長の推定 | | 62 |
| 3.2.5 | クリティカルパス発見法 | | 64 |
| | | | |
| 3.3 | パスディレイチェックシステムの計算機設計への応用 | | 70 |
| 3.3.1 | 利用形態 | | 70 |
| 3.3.2 | 配線ディレイ推定精度 | | 71 |
| 3.3.3 | パスディレイ合否判定基準の設定 | | 73 |
| 3.3.4 | 実装系についての統計データの抽出 | | 73 |
| | | | |
| 4. | 結論 | | 75 |
| | | | |
| 5. | 付録 | | 78 |
| | | | |
| 謝辞 | | | 81 |
| | | | |
| 参考文献 | | | 82 |

記号の説明

| | |
|----------|--|
| A | (1)ベクトルポテンシャル, (2)接続行列 |
| B | 磁束密度 |
| C_0 | 伝送線の長さ当りキャパシタンス |
| C_m | 伝送線相互間の長さ当りキャパシタンス |
| C_{ab} | 容量行列要素 |
| D | 電束密度 |
| D_i | フィラメント i 断面の幾何学的平均距離 |
| E | 電界 |
| E^* | 等価真空系での電界 |
| G | 表面電荷法の係数行列 |
| G_{ij} | 表面電荷法の係数行列の (i, j) 要素 |
| g | G の逆行列 |
| H | 磁界 |
| H_{ij} | 表面電荷法の係数行列の (i, j) 要素 ($i =$ 誘電体境界セル) |
| I | フィラメント電流のベクトル |
| I_i | フィラメント i を流れる電流 |
| I_N | 各ノードに外部から流入する電流からなるベクトル |
| i_s | 各導体セグメントを流れる電流からなるベクトル |
| J | (1)電流密度, (2)フィラメント電流のベクトル(付録) |
| L | フィラメントインダクタンス行列 |
| L_{ij} | フィラメントインダクタンス行列の (i, j) 要素 |
| L_0 | 伝送線の長さ当りインダクタンス |
| L_m | 伝送線間の長さ当り相互インダクタンス |
| L_M | 導体セグメントのインダクタンス行列 |
| l_i | フィラメント i の長さ |
| n | 法線ベクトル |
| q | 電荷密度 |
| q^* | 等価真空系での電荷密度 |
| q_i | セル i 内の電荷 |
| q_t | 全電荷密度 |
| q_t^* | 等価真空系での全電荷密度 |
| R_i | フィラメント i の抵抗 |
| r | 位置ベクトル |
| r_{io} | セル重心座標 |
| S_i | (1)セル i の面積, (2)フィラメント i の断面積 |

| | |
|---------------|------------------------|
| t | 時間 |
| t | 行列の転置 |
| T_{IJ} | 容量・誘導係数行列要素 |
| V_N | 各ノードの電位からなるベクトル |
| v_S | 各導体セグメント両端間の電圧からなるベクトル |
| $\mathbf{1}$ | 成分が全て1であるベクトル |
| ϵ | 誘電率 |
| ϵ_0 | 真空の誘電率 |
| ϵ_r | 比誘電率 |
| μ | 透磁率 |
| σ | 導電率 |
| σ_{oi} | セル i の導電率 |
| Φ_a | a 点のスカラーポテンシャル |
| Φ_{ba} | $= \Phi_b - \Phi_a$ |
| Ψ | 磁束 |
| ψ | 電束 |
| ω | 角周波数 |

1.1 はじめに

汎用計算機のハードウェア性能の進歩は著しく、約10年に1桁の割合で処理速度の向上が続けられてきている。これを維持するため各メーカーでは世代ごとにその時点で可能な最先端のテクノロジーを動員して開発努力を傾注してきた。関連する技術分野、開発内容の主なものをあげると、(1)論理、メモリLSIの高速化、高集積化、(2)配線基板、コネクタ、LSIパッケージ等実装部品の高密度化、大規模化、(3)回路を高密度に実装するための冷却能力の向上がある。計算機のハードウェア開発においてはこれら個々の要素技術はもちろん、これらの技術を統合してハードウェア系にまとめあげる、いわばハードウェアシステム技術が重要な役割を持っている。この分野では従来、過去の経験や勘にたよらざるを得ない部分が多く、合理的な判断を積み重ねて設計を進めてゆくのが困難な状況にあった。しかし各要素技術が進歩をとげ、それぞれの限界と思われる点に近づいてくるに従って、このハードウェアシステム技術の分野での複雑で高度な設計・判断が必要になり、これを的確に行うための設計支援システムの重要性が高まってきた。

本論文は筆者が昭和43年以来主にこの計算機ハードウェアシステム技術の設計支援の分野で4世代にわたって大型汎用計算機の開発に参画してきた過程で、特に計算機の高速化のための必要性から構想をまとめ、開発・実用化した設計支援システムとして、(1)ハードウェア基本構造の設計時に、電気的なノイズとディレイを予測するための「電気特性解析システム」

(2)ディレイが目標マシンサイクル時間から決まる制限値を越えているような論理のパスを発見する「パスディレイチェックシステム」

について、要求されていた課題と、その実現のために新しく開発した技術内容、実際の設計への適用結果をまとめたものである。

1.2 本研究の目的と概要

1.2.1 高速計算機ハードウェアの概要

高速計算機ハードウェア系は以下に述べるような物理的特徴を持っている。

- (1) 多数の論理回路とそれらをつなぐ複雑な配線からなる。
- (2) 回路間の距離を短縮するためできる限り高密度に実装している。
- (3) 短い立上り時間のパルス信号を使う。
- (4) それぞれの論理回路は高速性への要求から消費電力が高く、高度の冷却技術を駆使して発生する熱を除去している。

図1.2.1は代表的な高速計算機ハードウェア構造の例であり、特に高速の処理を行うCPUの部分を示している[1]~[6]。論理回路は図に示すようなLSIパッケージに収容されプラグイン・カード（以後単にカードと呼ぶことにする）に接続されている。1つのLSIパッケージは2000~5000ゲートのLSI 1チップを収容している。性能への要求から論理の並列度が高く、この規模のLSIでは100~200本のピンが必要である。論理LSIは多品種を短期間に開発しなければならないのでゲートアレイ方式をとるのが普通である[7],[8]。

ゲートアレイ方式というのは半導体のアクティブ素子は全品種共通に作り、それらを組合せて単位回路（2入力norゲート、フリップフロップ等）を構成するための素子間相互配線と、それら単位回路間をつなぐ配線のみが品種ごとに異なるようにした設計・製造方式である。この方式によれば回路特性が均一で製造のターンアラウンドタイム、コストが少なくすむうえ、設計作業は（1）チップを細分した標準的な領域に所要の単位回路に対応する既設計の配線パターンを配置し、（2）単位回路を論理設計結果に基づいて接続する配線経路を決めるのみでよい。従ってちょうどSSI（小規模集積回路）を搭載したカードと同じように設計することが可能である。

LSIを搭載するカードは高密度化のため、信号配線と電源供給用の導体層を多数設けた基板を使う[9]。LSIの場合と同様、部品搭載位置、電源供給パターンなど高度に規格化されており、品種ごとに異なるのは各実装位置に搭載するLSIの品種とそれらをつなぐ信号配線のみになっている。カードの間を接続する印刷回路基板であるバックボード（以下単にボードと呼ぶ）についても同様である。1枚のカードに収容する論理の量が増加するに従い、カードとボードの間をつなぐコネクタは高密度、多ピンのものが必要になる[10]。

計算機内のタイミングの制御は一定周期で位相の異なる数種類のクロック信号を使って行う。すなわちレジスタや制御用のフリップフロップは、図1.2.2に示すように全てこれらのクロック信号に同期して動作するようになっている。通常クロック信号の周期をマシンサイクル時間という。

計算機のハードウェア性能は各命令の実行時間をその命令の出現頻度で重み付けして平均した平均命令実行時間で表しているが、これはマシンサイクル時間を使って次のように表すことができる。

$$\text{平均命令実行時間} = (\text{マシンサイクル時間}) \times (\text{平均命令実行サイクル数}) \quad (1.2.1)$$

平均命令実行サイクル数は1つの命令を平均的に何マシンサイクルかけて(クロック周期の何倍かけて)実行するかを示す量で、論理方式の性能の目安といえる。これに対しマシンサイクル時間は、回路、実装系などの狭義のハードウェアとしての性能を示すものである。本論文の主題の設計支援システムはこの狭義のハードウェア性能向上、すなわちマシンサイクル時間の短縮を目的とするもので、以後本論文でハードウェア、または

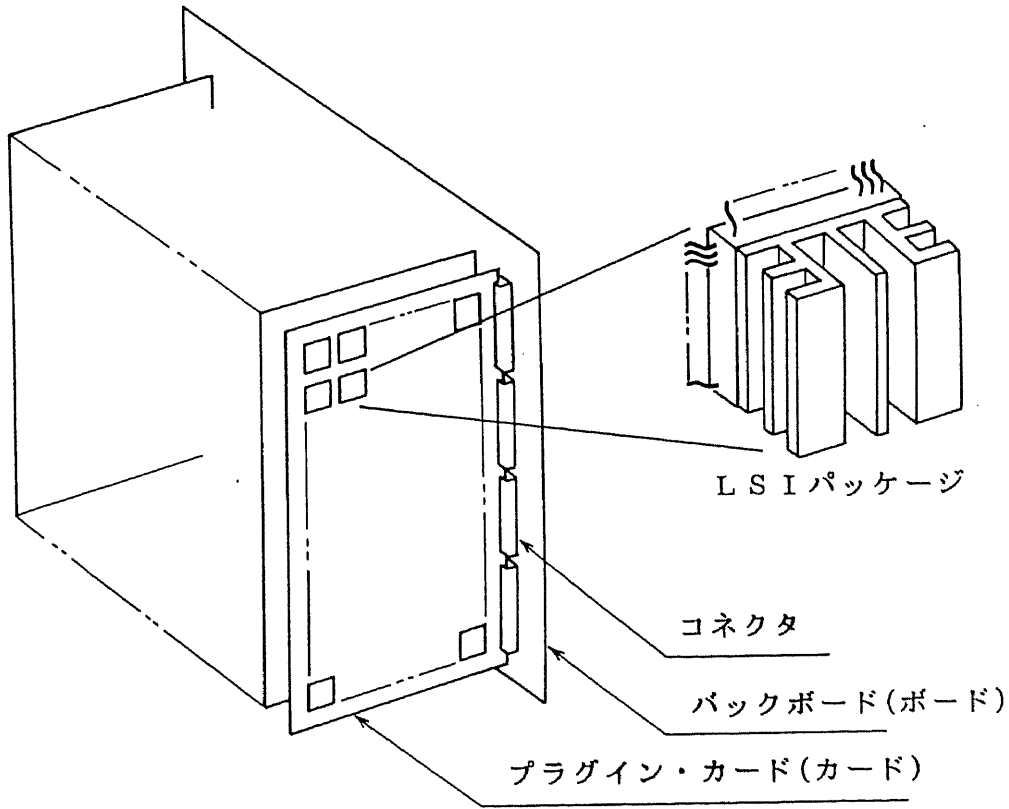


図 1.2.1 高速計算機ハードウェア構造の例

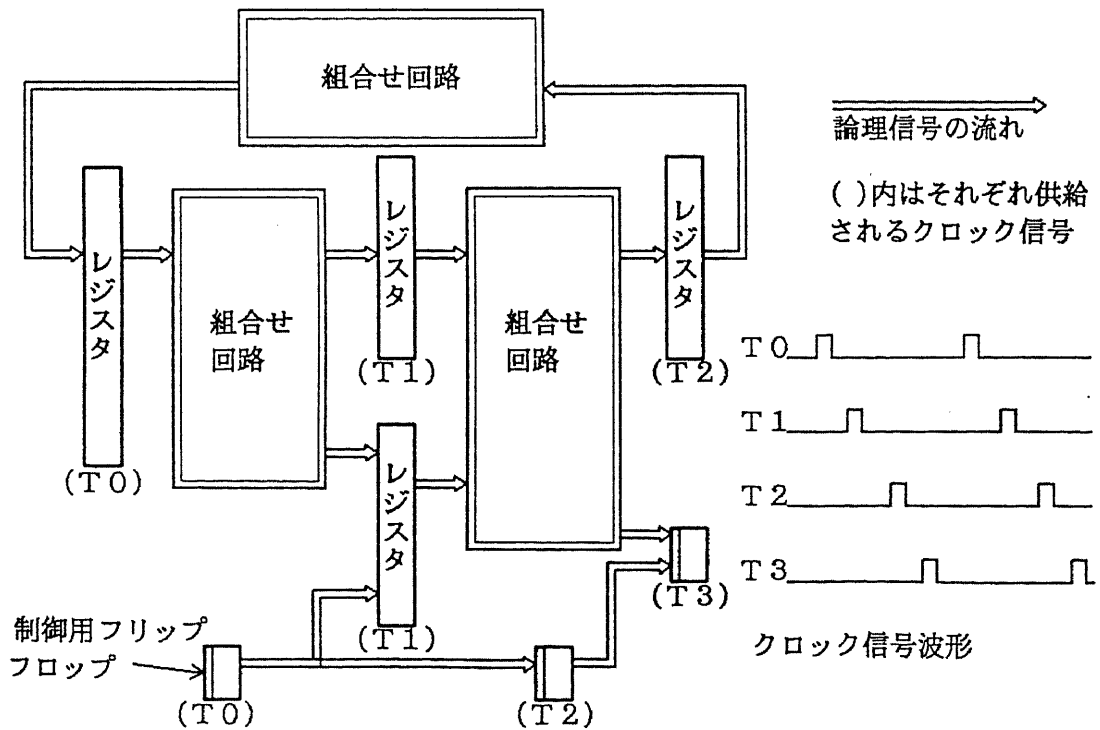


図 1.2.2 計算機内のタイミング制御概念図

ハードウェア性能といった場合は特にことわらないかぎり狭義のそれを指すものとする。

1.2.2 高速計算機ハードウェアの設計

計算機ハードウェアの設計は(1)基本ハードウェア設計, (2)詳細設計, の2つのフェーズに分けることができる(図1.2.3参照)。

基本ハードウェア設計のフェーズでは目標とするマシンサイクル時間と, 並行して進められている論理方式の基本設計内容から, ハードウェアの枠組を決定する。ここで決定されるのは, L S I の回路方式, 集積度, ピン数, カードのサイズ, カードに搭載する L S I 数, 搭載位置, 層構成, 信号配線ピッチ, ボードに関する同様の項目, コネクタピン数, クロック信号の供給方法等である。

これらの項目の決定に当たっては, 一方では部品の製造・検査・保守技術, コスト, 安

全性を考慮し, 一方では予想される量の論理回路を収容して目標マシンサイクル時間を実現することを保証できなければならない。また電氣的なノイズが許容できる範囲内であること, 消費した熱量を除去できる冷却手段が準備されていることが必要である。この時点での設計を誤ると製品の性能や信頼性の低下をまねくことになる。とは言え設計期間は限られているので, 過去の実績データに基づいた確実な設計を行い, さらに試作により確認するのが普通である。ところが高いハードウェア性能を得るためにはこの時点で設計の選択の幅を広くとれることが必要で, このためには問題となりそうな点は漏れなく試作に盛り込んで実測, 確認できるように, 対象となる事象の十分な理解と, 設計結果を予測する能力が必要とされる。

詳細設計のフェーズには論理方式の詳細論理への展開, L S I, カード等の部品への分割, ピン割り付け, 搭載する部品の配置設計, 部品間の配線経路の設計, さらに部品のテ

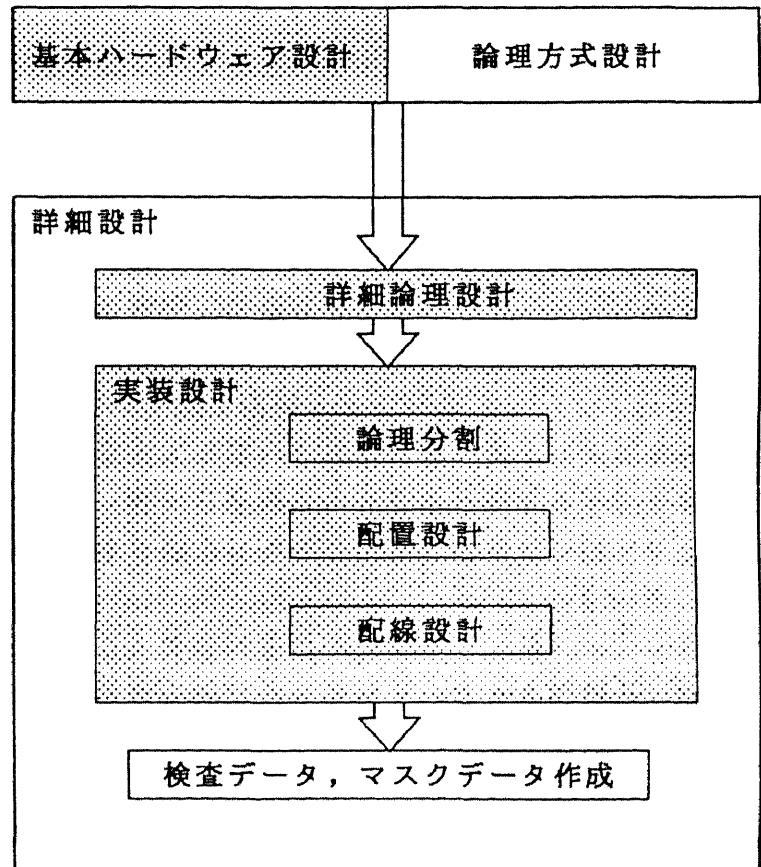


図1.2.3 計算機ハードウェア設計の流れ

スタにインプットする検査データの作成，部品製造のためのマスクデータ作成が含まれる。このフェーズでの設計作業では既に決まっている枠組み，ルールに合わせての同一種類の多数の部品の開発を，誤りなく短期間に行う必要がある。特にLSIの高集積化が進み，いったん完成してしまえば修正が大変なので，論理，実装設計の不良は早期に発見して対策を講じることが必要で，このため設計の検証が重要な課題になっている。

1.2.3 設計のための支援システム

(1) 基本ハードウェア設計

このフェーズの設計作業を大きく分類すると，(a) 回路素子およびLSIの設計，(b) 部品のサイズ，ピン数等の規模の設計 (c) 回路，実装系の電気特性を考慮した形状，スタンダードの設計，(d) 冷却系の設計，に分けられる。

このうち (a) のための支援システムとしては，デバイスシミュレータ[11],[12]，回路シミュレータ[13],[14]が一般に実用化され，広く活用されている。

(b) では過去の統計データに基づく推定式が用いられている。例えば配線基板の層数を決定するには搭載するLSIの信号ピン数から配線長の分布を予測する手法が報告されている[15]～[20]。また論理回路を収容する部品に必要な入出力信号ピン数Pについては

$$P = a G^r \quad (1.2.2)$$

で推定できることが知られている[21]。ここでGはその部品のゲート数，a，rは定数で経験的に決められる。これらのためには従来の計算機の設計データから配線長，ゲート数，ピン数などのデータを抽出するプログラムが使われる。このようにして合理的に実装規模を決定することが可能になっている。

(c) については，本研究の着手時点では実装系でのノイズや遅延時間計算のため主として伝送線のパラメータを計算するためのプログラムが利用されていた。また寄生容量，インダクタンスの効果については電磁気学の公式を使ってC，Lを計算し，回路シミュレータで過渡応答を求めるのが一般的であった。

(d) のためには固体中の熱伝導，流体境界層での熱伝達の有限要素法によるシミュレータが広く使われている[22]。

このように基本ハードウェア設計のフェーズでは自然法則，工場の生産設備，論理方式等多様な要素を考慮して，ハードウェア系の枠組を創出するもので，対象範囲が広範で，設計の自由度が極めて高いのが特徴である。このため設計そのものは自動化が不可能で，設計に必要な情報を得るためのシミュレータと過去の統計データの利用が主体である。対象は広範囲にわたっており，設計支援システムの特徴としては一般的，汎用的であることが要求される。

(2) 詳細設計

このフェーズは大きく分類すると (a) 詳細論理設計，(b) 実装設計，(c) 検査データ，マスクデータ作成に分けられる。

(a) はごく限られた適用を除いては自動化は難しく、設計者が設計内容をチェックするための論理シミュレータが使われている。

(b) については高性能の自動配置、自動配線プログラムがあり人間に代わってほぼ100%自動的に実装位置、配線経路を決定することができるが、その設計結果がマシンサイクル時間の目標値を満たすものであるかどうかまでは保証できないのが現状である。すなわち配線経路の設計のしかたによっては、1マシンサイクルの間に転送すべきデータのパスのディレイが大きくなりすぎてしまうことがありうる。これについては設計結果がマシンサイクル時間の目標値を満たしているかどうかをチェックしながら設計を進めるのが現実的なアプローチである。

(c) については比較的自動化が進んでおり、特にマスクデータの作成は機械的な処理内容で、最も早く自動化された分野である。

このように詳細設計のフェーズでは決まった枠の中で一定のルールに従った設計を行うので自動化が進んでいるが、詳細論理および論理のパスのディレイについては人手による設計に頼っている。

(3) 高速化を目的とした設計支援

上に述べたとおり設計自動化技術の進歩により計算機設計の多くの部分が自動化され、またはシミュレート可能になってきているが、開発時点でのハードウェア要素技術を最大限に利用して高性能の計算機を設計することが強く要求される状況になるに従い、今までの設計支援システムでは不十分な点が明らかとなってきた。

基本ハードウェア設計のフェーズではパルス信号の立上り時間の短縮と実装系の高密度化に伴って、ノイズと伝送線の電気特性の正確な予測技術なしには(1)(c)の分野での質の高い設計は望めなくなってきた。第2章に述べるように伝送線やその接続部の電磁気現象は電気回路の応答として求めることができる。すなわちこれらの導体構造からキャパシタンス、インダクタンスを計算すれば、既存の回路解析プログラムを使って過渡応答を求めることが可能である。そこで配線基板、LSI接続部、コネクタ等のように多数の導体が接近して存在するような任意の3次元構造について、形状からキャパシタンス、インダクタンスを計算できる3次元電気特性解析システムの開発がハードウェア性能向上の必須条件となってきた[23]~[26]。これについての詳細は第2章に述べる。

詳細設計のフェーズでは論理規模の拡大と、回路の高速化に伴う実装ディレイの全体に占める比率の増加により、CPU内に無数に存在するフリップフロップ間の論理のパスのディレイがそれぞれ目標とするマシンサイクル時間を満足するか否かの判断が極めて困難になってきている。ディレイが目標値をオーバーしたパスの存在は、完成した計算機の性能を大きく悪化させることになるので、設計の段階でこれを全て発見し、対策を講じることが必要であるが、従来の論理シミュレーションでこれを発見することは困難である。そこで詳細論理、実装設計データからこれを全て自動的にチェックできるような設計支援システムの存在が、詳細設計の質を決定的に左右することになる。この目的で開発したパスディレイチェックシステム[27]~[31]について第3章に述べる。

電気特性解析システムとパスディレイチェックシステムは、ともにハードウェア性能向上を目的とした設計支援システムであるが、使用されるフェーズ、目的の相違からその性格も異なっている。電気特性解析システムは電磁気学、数値解析の専門知識のない一般の設計者が多様な対象に適用できるように、汎用性とフレキシビリティが要求されるのに対し、パスディレイチェックシステムは既に決まっている実装の枠組みのデータ、設計データ等を最大限に利用し、設計の早い時期に、効率よく正確なチェックができることが要求される。

1.3 従来の研究との関係

(1) 電気特性解析システム

回路実装系の電気特性を計算によって求める試みとしては、伝送線の長さ当りキャパシタンスの2次元計算が早くから実用化されていた。これに基づいて特性インピーダンスを求める種々の近似公式や[32]～[34]、複数の信号配線の間クロストークノイズ計算法[35]～[39]が報告されている。伝送線の接続部等2次元計算では不可能な所についてはキャパシタンスとインダクタンスを何らかの方法で3次元的に計算し、回路解析プログラム[13][14]を使って過渡応答を求めることが必要である[40]。3次元形状のキャパシタンス計算については表面電荷法による計算が発表されていたが、ごく単純な形状のものに限られていた[41][42]。その後計算機の性能向上と数値解析技術の進歩とともに、差分法[43]～[45]、有限要素法[46][47]、表面電荷法[48][49]による3次元の容量計算が可能になり、特に[49]では表面電荷法で係数行列の次数が小さくてすむよう、ポテンシャルの計算時にセル内平均するSilvesterの手法[50]の有効性が述べられている。本研究では基本アルゴリズムとして上記[48][50]の方法を採用しているが、計算しようとしている対象の形状が複雑なので、この方式に改良を加えて約6倍の高速化を達成している。

一方上に述べた伝送線の接続部等では過渡電流がどのようなループを構成するか明確でなかったり、ループの途中の導体と他の部分との間のキャパシタンスが無視できなかつたりするため、ループを構成する導体の一部分に対して定義される部分インダクタンスを通常のインダクタンスとみなして回路シミュレーションを行うことが提案されている[51][52]。パルスの立上り時間間に電磁波が進む距離にくらべ十分小さな寸法では、通常のインダクタからなる回路については電磁気現象は電気回路論の問題としてとして取り扱えることが示されているが[53][54]、本論文ではこれを拡張し、部分インダクタンスでも通常のインダクタとみなして回路解析を行ってよいことを示した。部分インダクタンスは電磁気学の基本的な公式から計算でき、具体的な計算例は多いが[55]～[57]、いずれも直方体、長方形シート等特定の形状の導体セグメントに限られていた。これは導体セグメント内の電流の流線に相当するフィラメント状のセルのペアの体積に対して合わせて6重の積分が必要だったことによる。

本研究の成果のひとつはこの手法を改良し、太さ0のフィラメントを使った計算方式を

確立したことである。これにより任意の断面形状の導体セグメントについて部分インダクタンスを容易に計算できるようになった。

これらの改良，拡張の結果，従来[58]～[63]に比べて遥かに複雑な形状の導体系の過渡解析が可能になった。

(2) パスディレイチェックシステム

計算機の詳細設計は複雑な判断を要するものの，比較的均一なルールに基づく作業なので自動化に適する部分が多く，特に自動配線[64][65]，自動配置[66]，検査データ作成[67]の分野については早くから研究がなされ，プリント板を中心に実用化が進められていた。これらの技術はゲートアレー方式の出現とともにLSI設計にも改良，適用された[68]～[70]。一方詳細論理設計については自動化は困難で，設計結果を論理シミュレータで検証するのが通常行われている設計法である[71][72]。ところが大型計算機の設計においてはこれに加え，論理規模の増大と回路の高速化による実装ディレイの比率の増加によって，設計者が論理のパスのディレイを把握することが困難になり，これを自動的にチェックする新しい設計支援システムが必要となった。

本研究の着手時にはパスのディレイに関連した設計支援システムとしてはPERT手法をディレイ計算に導入したもの[73]と，順序回路のレース解析[74]に関する研究が既に報告されていた。[73]は完了した設計データの特定のパスを選んで統計的な計算を行なうことが目的で，[74]はクロック信号等の入力データをもとに，順序回路の複雑なレース条件を検出するシステムであって，クリティカルパスを探索する点は共通しているが，本研究とは目的が違うので機能の上でも異なっている。本研究のディレイチェックシステムの特徴は，異なる階層をまたぐ部品を経由した非常に多数の論理のクリティカルパスを設計ファイルから自動的に発見できること，しかも実装設計が完了しない時点でもディレイを予測する機能を備えていることであり，これらは従来の文献よりも，むしろ実際の開発に携わる設計者のニーズから発したものである。同種のシステムはほぼ同時にいくつかの計算機メーカーから発表されており[75]～[80]，以後この分野の研究が相次いで報告されている[81]～[85]。

2. 電気特性解析システム

2.1 電気特性解析の目的

2.1.1 はじめに

電気特性解析システムは1.2.2で述べた設計のフェーズのうちの、基本ハードウェア設計の時点での設計支援を目的としている。このフェーズではその時点での最先端の要素技術レベルを最大限に活用して、高速の回路を高密度に実装できるようなハードウェア系の枠組みを作ること为目标としており、この結果が計算機のハードウェアとしての性能を大きく左右する。

この時点での設計において電気特性上最も問題としなければならないのはLSI内や実装系でのノイズである。この時点で電氣的に無理な設計をすると製品が誤動作を起こすことになるが、もちろんこのような事態は絶対に避けなければならない。製品化前でも設計が進んでからこれが判明すれば、詳細論理設計の自由度や回路速度を犠牲にして設計変更を行うことが必要で、ハードウェア性能の低下をもたらす。また不必要に安全側に設計すると実装密度の低下をまねき、やはりハードウェア性能を低下させることになる[86]～[89]。

さらに基本ハードウェア設計の時点では実装系でのディレイ値を正確に見積ることが必要である。この結果は以後の設計各段階における性能評価の基本となるもので、第3章で述べるパステイレイチェックにおいてもこれを利用することになる。このディレイ値の評価についてもノイズの場合と同様、少なく見積りすぎて後で大きいことがわかった場合にはマシンサイクル時間が目標より長くなってしまって性能の低下をもたらす。また大きく見積りすぎれば、そのぶんディレイを目標値にあわせて短縮するために余分な努力を払うことになり、設計がアンバランスになってコストの上昇や開発の遅延をまねく。

ノイズ、およびディレイ値を正確に知る一番確実な手段は、プロトタイプを試作して測定してみることであるが、構造の複雑さから設計の自由度が高く、考えられる方式を全てカバーすることは難しい。従って限られた期間内にこれを正確に予測して、過不足のない基本ハードウェア設計を完了するのは容易なことではない。従来は期限が迫れば予測不可能な項目を残したまま、外れた場合の再設計のシナリオも用意した上で設計責任者の勘で決断を下すことも少なくなかった。しかしハードウェアの高性能化を追及し、信号の高速化と実装系の高密度化が進むにつれて電気特性を的確にコントロールすることの重要性が高まっており、これを正確に予測できる設計支援システムの必要性が極めて高くなっている。

2.1.2 高速化・高密度化の問題点

高速計算機では実装系内の信号伝送は基本的には整合終端したストリップラインなどの伝送線を使う。理想的な伝送線では入射波はそのままの波形を保って一定の速度で終端抵抗まで伝わる。図2.1.1は実装系での信号伝送の形態と、ノイズ要因を示す概念図であり、図1.2.1に示した実装系の場合を例にとって示したものである。駆動LSIを出たパルス信号はパッケージのピンを通過してカードの配線基板内層に設けた、グランドプレーンにはさまれたストリップラインに伝えられ、途中負荷となるLSIに信号を供給しながらコネクタ、ボードを通過して別のカード内で配線の最遠端に設けられた終端抵抗に到達する。LSI出力ピンの部分、コネクタ、終端抵抗ピンで信号は伝送線でない所を通過する。また負荷LSIの所では伝送線からの枝別れがある。

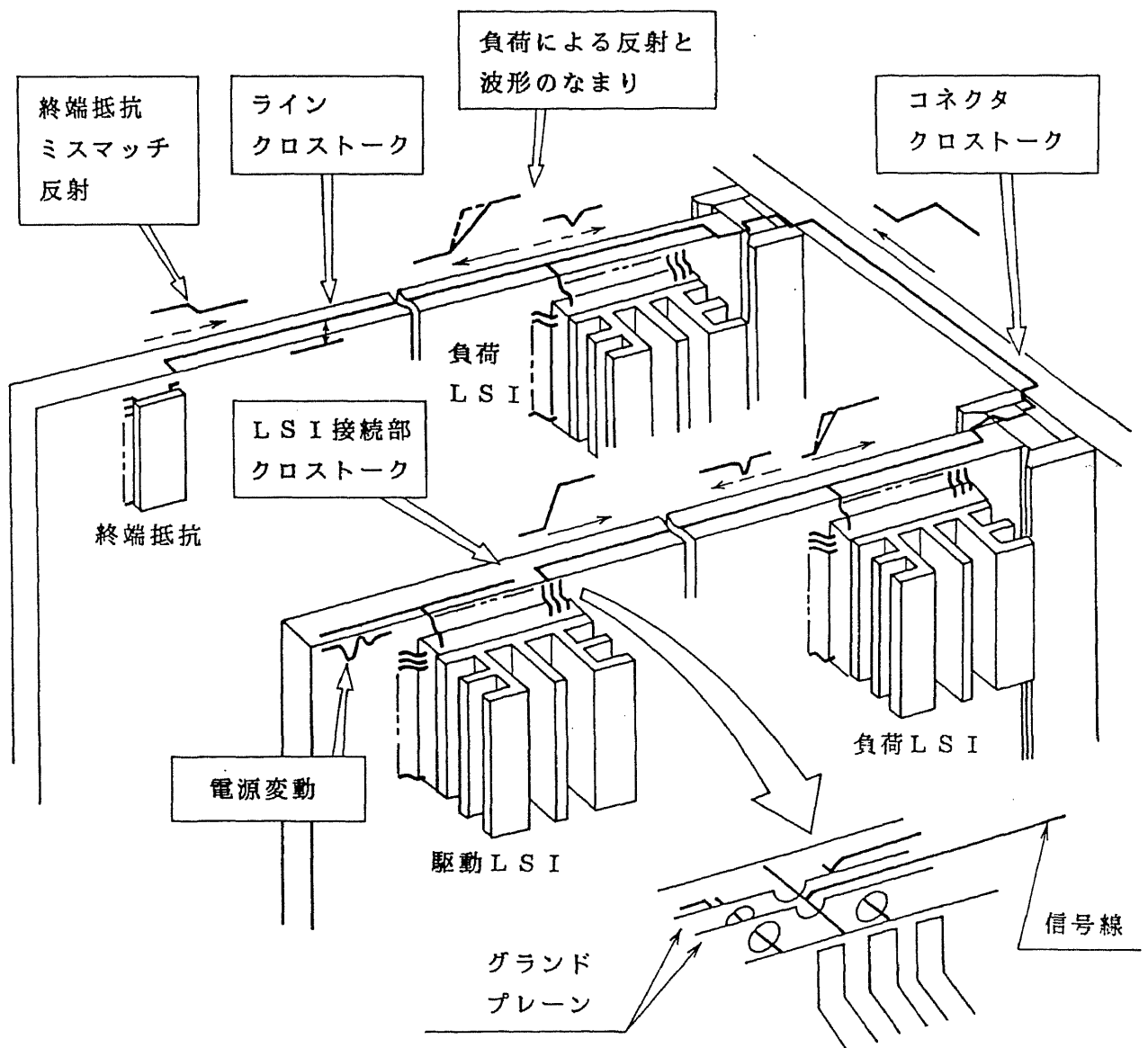


図2.1.1 実装系での信号伝送とノイズ

このような配線系では次のようなノイズ要因が考えられ、特に高速化、高密度化に伴ってその影響が顕著になりつつある。

まずストリップライン自体の内部では（１）特性インピーダンス不整合による反射（終端抵抗との不整合を含む）[90]，（２）隣接配線とのクロストーク[91]，（３）配線の直流抵抗による電圧降下，がある。特に（１）によるノイズは電圧振幅も大きく継続時間も長いのでカード，ボードの配線構造を設計する時に特性インピーダンスを正しく設定することが重要である。

伝送線接続部で問題となるのは（４）LSIピン，およびコネクタでのクロストーク，（５）負荷LSI接続部での反射と波形のなまり，である。またLSI接続部近傍では（６）電源電圧の変動が生ずる[92][93]。マシンサイクル時間を短縮するためには，それに比例して信号の立上り時間も短縮が必要で，これは（４），（５），（６）を増加させる要因となる。さらに（４）は高密度化によって多数のピンを一ヶ所に集中させることによって増大する。高密度化は大量の電流を小さな領域に供給する必要性を増し，（６）が問題となる。

実装ディレイについては負荷LSI接続部やコネクタでの波形のなまり，配線構造が理想的な伝送線から外れることによるディレイの増加が考えられる。

LSIパッケージ，カード，ボード，コネクタ等の設計ではこれらを全て考慮に入れる必要がある。

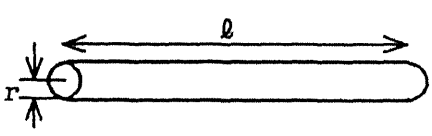
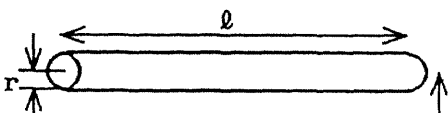
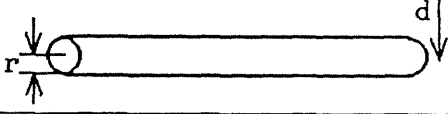
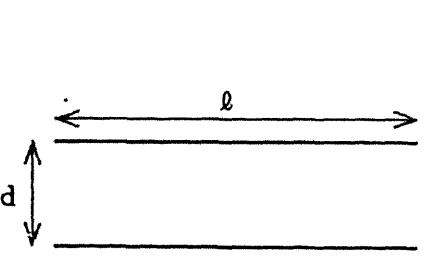
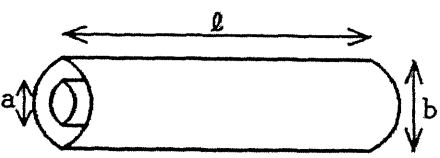
2.1.3 電気特性解析システムへの要求事項

伝送線やその接続部分にパルス信号を印加した際の電磁氣的応答を求めるためには，最も一般的には Maxwell 方程式を解く必要があるが，上で述べたような計算機実装系の多くの導体が複雑に組み合わわさった構造について電磁界の過渡応答を求めるのは現実的でない。一般に導体の寸法がパルスの立上り時間内に電磁波が進む距離に比べ十分小さい場合には，電磁気現象を電気回路の問題として解けることが知られている[53]。これをさらに一般化し，上述の小寸法の条件下では電磁気現象は導体の枝の部分インダクタンスを通常のインダクタンスとみなした電気回路の応答と考えてよいことが電磁気学的に証明できる（2.2節参照）。したがって計算機実装系のノイズ，ディレイの予測は結局導体の3次元形状からキャパシタンスと部分インダクタンスを計算することに帰着し，これより一般に実用化されている回路解析プログラムを使って過渡応答を求めればよい。上述のストリップラインやその接続部分の例でもわかるように計算すべき対象の形状は多様であり，これらの設計に広く適用可能であるためには一般の3次元形状の電気特性解析ができなければならない。従来は伝送線の実験については2次元計算が主体で，このほか集中的なキャパシタンス，インダクタンスの効果については単純な形状で近似して電磁気学の公式を使って手計算し，回路解析プログラムを使って過渡応答をシミュレートしていた。このように公式で計算できるような形状の例を表2.1.1に示す[94]。しかし2.6節に述べるように断面形状が不均一な伝送線では2次元計算で

は正確な特性値は得られない。また単純化が不可能な不規則形状や、導体間の容量が別の導体によって遮蔽されている場合に適用できるような公式はない。表 2.1.2 に従来
の方法では解析不可能で、3次元解析が必要である項目の例を示す。

また電磁気学や数値解析の専門家でない設計者が限られた期間内に設計を完了しなければ
ならないことを考えれば、形状の特定の性質を利用してキャパシタンス、部分インダ
クタンスの計算を定式化するのではなく、任意の3次元形状を入力すればすぐに解が得
られることが望まれる。2.3節以降に述べるようにキャパシタンス計算は表面電荷法
で任意の形状に適用できるが、計算機処理時間を実用的な範囲に収めるには高速化のた
めの改良が必要であった。また部分インダクタンスについては従来長方形等断面が一定
の形状を持ち、電流の方向が一定とみなせるような導体に適用可能な計算アルゴリズム
があったが、このままでは適用先が限られるので本システムではこれを改良、拡張して、
任意の断面形状の細長い導体を多数組み合わせ合わせたような構造に適用できるようにした。

表 2.1.1 公式により LC を求められる形状の例

| | 形状 | 公式 | 条件 |
|----------|---|---|-----------------|
| 円柱 |  | $L = \frac{\mu l}{2\pi} \left(\ln \frac{2l}{r} - 1 \right)$ | $l \gg r$ |
| 平行 円柱 |  | $C = \frac{\pi \epsilon l}{\ln(d/r)}$ | $l \gg d \gg r$ |
| |  | $C = \frac{\pi \epsilon l}{\cosh^{-1}(d/2r)}$ | $l \gg d$ |
| 平行線 |  | $M = \frac{\mu l}{2\pi} \ln \frac{2l}{d}$ | $l \gg d$ |
| | | $M = \frac{\mu l}{2\pi} \left[\ln \left\{ \sqrt{\frac{l^2}{d^2} + 1} \right\} + \frac{l}{d} \right] + \frac{d}{l} \left(1 - \sqrt{\frac{l^2}{d^2} + 1} \right)$ | |
| 同軸 円筒 |  | $C = \frac{2\pi \epsilon l}{\ln(b/a)}$ | $l \gg b$ |

C : キャパシタンス, L : 自己インダクタンス M : 相互インダクタンス

表 2.1.2 3次元電気特性解析の必要な項目とその理由

| 項目 | | 計算内容 | 必要理由 |
|-------------|----------------------|------------|--|
| 伝送線特性 | 特性インピーダンス, 伝播遅延時間 | C L | スルーホール, 交差配線, グランドプレーンのクリアランスホールがあり, 断面形状が一定でないので2次元計算不可。 |
| LSI接続部でのノイズ | LSIピン間クロストーク | C_m M | 関与する導体数が数十個以上あり, 導体間の C_m , Mが他の導体に影響されるので, 利用可能な近似公式なし。 |
| | 負荷LSIによる反射と波形のなまり | C | 形状が複雑, また近くにあるピンを経由した対地容量計算が必要のため利用可能な近似公式なし。 |
| 電源系ノイズ | 電源系のインピーダンスによる電源変動 | L M | 配線基板電源層, スルーホール, LSIパッケージピンの自己・相互インダクタンスの計算が必要。形状の複雑さのため利用可能な近似公式なし。 |

C : 対地容量, C_m : 導体間容量, L : 自己インダクタンス, M : 相互インダクタンス

2.2 問題の定式化

2.1節で述べたようにカード, ボード上のラインは伝送線とみなせるように作ってある(そうしないと波形歪, クロストークが大きくなってしまう)。この過渡応答は伝送線のパラメータ(特性インピーダンス, 伝播遅れ, クロストーク係数)から求められ, これらのパラメータはいずれも伝送線長さ当りのキャパシタンス, インダクタンスから計算できる。

また現在計算機で使用しているパルス信号の立上り時間は1 ns前後であり, 材質の比誘電率を4.0とするとこの立上り時間の中に電磁波が伝わる距離は約15 cmになる。これに比べれば電流切替ノイズ, クロストークノイズ, 反射ノイズ等の原因となるようなLSI接続部やカード, コネクタ等の寸法は十分小さいと言える(逆にもしこのような接続部の寸法が上に述べた距離と同等, あるいは大であったとすると, 発生するノイズ振幅が信号振幅と同程度以上になってしまって実用に耐えない)。したがって以下に述べるように, このような伝送線接続部での電磁気的現象は電気回路の問題として取り扱うことができる。

すなわち計算機実装系での電磁気的現象を解析するには, 形状からキャパシタンスとインダクタンスを求めれば, 後は手計算か, 既存の回路解析システムを利用することによって結果を得ることができる。

特にインダクタンスについては通常のインダクタンスの概念を拡張した部分インダクタンス (Partial Inductance) を導入して解析する方法が知られている[51][52]。

部分インダクタンスとは通常のインダクタのようにそれ自身で完全なループを形成していない導体，例えば円柱や直方体など（ループの一部になっているもの）に対して定義される電気的特性で，通常のインダクタンスと同様に取り扱って解析する。例えばコネクタの多数のピンに同時にパルス信号が通過した場合の過渡電流のループは単純でなく，信号ピンとグランドピン多数にわたるループの組合せになっており，形状だけからループを抽出するのは困難な上，ループの途中にキャパシタンスがあるようなケースもあるので，この部分インダクタンスを用いなければ等価回路を構成できない。

この解析法の根拠は従来必ずしも明確でなかった。すなわちループの一部である導体の部分部分について部分インダクタンスを求め，それらを通常のインダクタとみなして電気回路論的に過渡応答を求めることの正当性が電磁気学的に説明されていなかった。

これは導体ループの途中の点のスカラーポテンシャルをその点の電気回路としての電圧と解釈することによって以下に述べるように説明可能である。

(1) 通常の電圧の定義による説明

電気回路論の基本法則は J.R.Carson[53]等によって電磁気学から導けることが示されている。以下簡単にこれを紹介する。

まず電界 \mathbf{E} はスカラーポテンシャル Φ ，ベクトルポテンシャル \mathbf{A} を使って次のように表わせる

$$\mathbf{E} = -\text{grad}\Phi - \frac{\partial \mathbf{A}}{\partial t} . \quad (2.2.1)$$

2点 a ， b 間の電圧は通常の見方によれば

$$V_{b,a} = -\int_a^b \mathbf{E} \cdot d\mathbf{l} = \int_a^b \text{grad}\Phi \cdot d\mathbf{l} + \int_a^b \frac{\partial \mathbf{A}}{\partial t} \cdot d\mathbf{l} . \quad (2.2.2)$$

この式で積分経路をループにとると，右辺第1項は0になり，

$$V_{a,a} = -\oint \mathbf{E} \cdot d\mathbf{l} = \oint \frac{\partial \mathbf{A}}{\partial t} \cdot d\mathbf{l} \quad (2.2.3)$$

となる。Kirchhoffの電圧則を導くにはループに沿う電圧の和は0でなければならないがこの式の右辺は必ずしも0とはならず，以下に示すようにループ内を貫通する磁束の時間変化に等しくなる。

$$\begin{aligned} \oint \frac{\partial \mathbf{A}}{\partial t} \cdot d\mathbf{l} &= \frac{\partial}{\partial t} \int_S \text{rot } \mathbf{A} \cdot \mathbf{n} d\mathbf{s} = \frac{\partial}{\partial t} \int_S \mathbf{B} \cdot \mathbf{n} d\mathbf{s} \\ &= \frac{\partial \Psi}{\partial t} , \end{aligned} \quad (2.2.4)$$

ここで s はループを覆う面， \mathbf{B} は磁束密度， \mathbf{n} は面 s の法線ベクトル， Ψ は磁束を表す。

従ってインダクタを含むループについてKirchhoffの電圧則が成立するのは図2.2.1のループMのようにその内部を貫く磁束 Ψ_M が0の場合のみである。この場合インダクタは図に示すようにループMから分離されたループNとみなせる構造をしており、その両端e, f間の電圧は $\partial \Psi_N / \partial t$ で与えられるが、内部の各点の電圧は定義できない。

次にループを構成している各々の導体の枝について、Ruehli等が導入している部分インダクタンスを考える[51][52]。例えば図2.2.2(1)のような長方形の導体ループを考え、長方形の各辺が(部分)自己インダクタンスを持ち、各辺間に(部分)相互インダクタンスがあるとする。これは図2.2.2(2)のような回路になるがこのとき各ノードの電圧はどう定義したらよいであろうか。2点a, b間の電圧として式(2.2.2)を使おうとすると部分インダクタンスの値にかかわらず、

$$\begin{aligned} V_{b,a} &= - \int_a^b \mathbf{E} \cdot d\mathbf{l} \\ &= - \int_a^b \frac{\mathbf{J}}{\sigma} \cdot d\mathbf{l} \end{aligned} \quad (2.2.5)$$

ここでJは電流密度、
σは導電率を表す、

となり、通常のインダクタのような、電流の時間変化に比例する電圧が生じなくなってしまう。

(2) 電圧の定義をスカラーポテンシャルの差とした説明

2点a, b間のスカラーポテンシャルの差 $\Phi_{b,a}$ ($= \Phi_b - \Phi_a$)は式(2.2.2)より

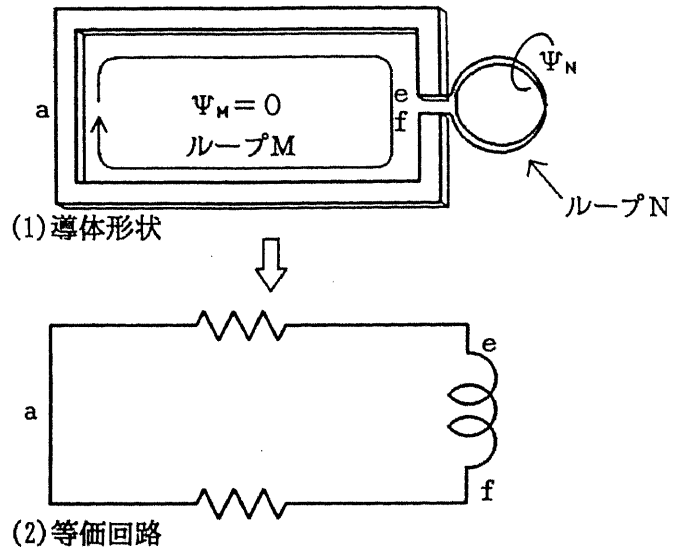


図2.2.1 インダクタ内部のみ鎖交磁束のある導体系の等価回路

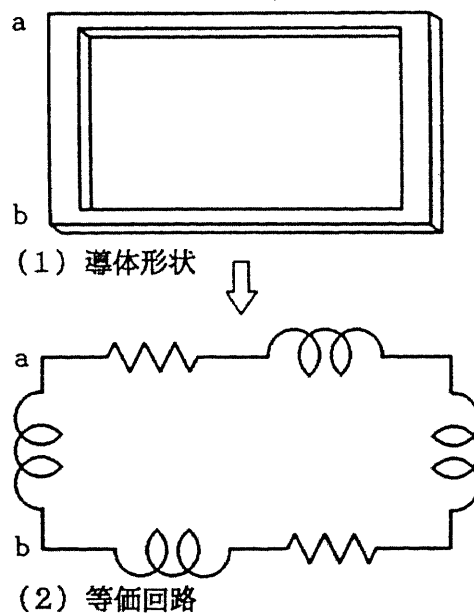


図2.2.2 鎖交磁束のある導体ループの等価回路

$$\Phi_{ba} = \int_a^b \text{grad}\Phi \cdot d\mathbf{l} = - \int_a^b \mathbf{E} \cdot d\mathbf{l} - \int_a^b \frac{\partial \mathbf{A}}{\partial t} \cdot d\mathbf{l}. \quad (2.2.6)$$

導体内では

$$\mathbf{E} = \frac{\mathbf{J}}{\sigma} \quad \text{なので式 (2.2.6) は,}$$

$$\Phi_{ba} = - \int_a^b \frac{\mathbf{J}}{\sigma} \cdot d\mathbf{l} - \int_a^b \frac{\partial \mathbf{A}}{\partial t} \cdot d\mathbf{l}. \quad (2.2.7)$$

パルスの立上り時間の中に電磁波が伝播する距離に比べ小さい範囲におさまる系ではベクトルポテンシャル \mathbf{A} は次の式で表すことができる。

$$\mathbf{A}(\mathbf{r}, t) = \frac{\mu}{4\pi} \int \frac{\mathbf{J}(\mathbf{r}', t) d\mathbf{r}'}{|\mathbf{r} - \mathbf{r}'|}, \quad (2.2.8)$$

ただし μ は透磁率、 \mathbf{r} は位置ベクトルで、積分は全空間に対して行なう。

これを式(2.2.7)に代入すると

$$\Phi_{ba} = - \int_a^b \frac{\mathbf{J}}{\sigma} \cdot d\mathbf{l} - \frac{\mu}{4\pi} \int_a^b d\mathbf{l} \cdot \int \frac{\partial}{\partial t} \frac{\mathbf{J}(\mathbf{r}', t) d\mathbf{r}'}{|\mathbf{r} - \mathbf{r}'|}. \quad (2.2.9)$$

次に導体を図2.2.3に示すように電流の方向に断面積 S_i 、長さ l_i のフィラメント状のセルに分割し、式(2.2.9)の $d\mathbf{l}$ に関する積分をセル i 内の積分の和として、 $d\mathbf{r}'$ に関する積分をセル j 内の積分の和で表す。ただし第2項についてはセル i 内で太さ方向に平均した値を使う。 $a \rightarrow b$ のパスを P で表すと、

$$\begin{aligned} \Phi_{ba} = & - \sum_{i \in P} \int_{\ell_{li}} \frac{\mathbf{J}_i}{\sigma_i} \cdot d\mathbf{l}_i \\ & - \frac{\mu}{4\pi} \sum_{i \in P} \sum_{j \in \text{全体}} \frac{1}{S_i \ell_{li} \ell_{lj}} \int_{\ell_{li}} \int_{\ell_{lj}} \frac{\partial}{\partial t} \frac{d\mathbf{s}_i d\mathbf{l}_i \cdot \mathbf{J}_j d\mathbf{r}_j}{|\mathbf{r}_i - \mathbf{r}_j|}. \end{aligned} \quad (2.2.10)$$

セル i 内で \mathbf{J} 、 σ がそれぞれ一定値 \mathbf{J}_i 、 σ_{oi} であるとすると(j も同様)、

$$\begin{aligned} \Phi_{ba} = & - \sum_{i \in P} \frac{\mathbf{J}_i \ell_i}{\sigma_{oi}} \\ & - \frac{\mu}{4\pi} \sum_{i \in P} \sum_{j \in \text{全体}} \frac{\partial \mathbf{J}_j}{\partial t} \frac{1}{S_i \ell_{li} \ell_{lj}} \int_{\ell_{li}} \int_{\ell_{lj}} \frac{d\mathbf{l}_i \cdot d\mathbf{l}_j d\mathbf{s}_i d\mathbf{s}_j}{|\mathbf{r}_i - \mathbf{r}_j|}, \end{aligned} \quad (2.2.11)$$

ここで

$$I_i = \mathbf{J}_i S_i, \quad (2.2.12a)$$

$$R_i = \frac{\ell_i}{\sigma_{oi} S_i}, \quad (2.2.12b)$$

$$L_{ij} = \frac{\mu}{4\pi S_i S_j} \int_{\ell_i} \int_{\ell_j} \frac{d\mathbf{l}_i \cdot d\mathbf{l}_j ds_i ds_j}{|\mathbf{r}_i - \mathbf{r}_j|} \quad \text{とおくと, (2.2.12c)}$$

$$\Phi_{ba} = - \sum_{i \in P} I_i R_i - \sum_{i \in P} \sum_{j \in \text{全体}} L_{ij} \frac{\partial I_j}{\partial t} \quad (2.2.13)$$

となり、抵抗 R_i と部分インダクタンス L_{ij} を含む経路の電流と電圧の関係になっていることがわかる。

式 (2.2.13) で経路 P がループになっていれば、すなわち点 a と b が同一の点ならば

$$\Phi_{ba} = \Phi_{aa} = \Phi_a - \Phi_a = 0$$

であるからKirchhoffの電圧則、

$$0 = - \sum_{i \in P} I_i R_i - \sum_{i \in P} \sum_{j \in \text{全体}} L_{ij} \frac{\partial I_j}{\partial t} \quad (2.2.14)$$

が成り立つ。

また式(2.2.13)の I_i は電流の方向に断面積一定の柱状の細長いセル内の電流を表しており、導体は一般にはこれらを複数束にしたものになる。その各々を通るループについて式(2.2.14)をたて、後に述べるKirchhoffの電流則と連立させて解けば全体の過渡応答を求めることができる。

このように電圧としてスカラーポテンシャルをとれば、部分インダクタンスがある場合の過渡応答を電気回路の問題に帰着して解くことができるが、得られた「電圧」はあくまで通常の(1)の定義とは異なったものである。しかし通常ノイズとして実測にかかるのは近接した2点間の電圧であり、このような場合両者は一致する。

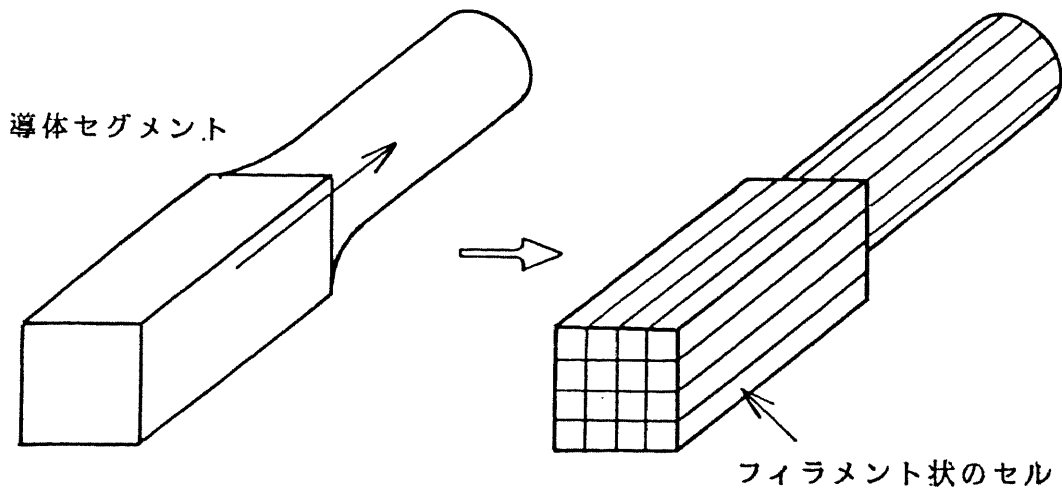


図2.2.3 フィラメント状のセルの例

(3) 導体でつながっていないパス両端の電圧

a → b のパスが直接導体でつながっていない場合には式(2.2.7) 右辺第1項の J, σ が共に 0 となってしまう, 式(2.2.13) のように表すことはできない。この場合には a, b 間の変位電流とスカラーポテンシャルの差の関係から以下のように定式化できる。

立上り時間の間に電磁波が伝播する距離に比べ小さい範囲におさまる系ではスカラーポテンシャル Φ は次式で表すことができる。

$$\Phi(\mathbf{r}, t) = \frac{1}{4\pi\epsilon} \int \frac{q(\mathbf{r}', t) ds'}{|\mathbf{r} - \mathbf{r}'|}, \quad (2.2.15)$$

ここで ε は誘電率, q(r', t) は, 位置 r', 時刻 t での電荷密度である。

これより導体の表面を n 個のセル(i, j=1, 2, ..., n)に分割し, それらをポテンシャルが一定とみなせる N 個のグループ(I, J=1, 2, ..., N)に分けると, i ∈ I として,

$$\Phi_I = \frac{1}{4\pi\epsilon} \sum_{J=1}^N \sum_{j \in J} \int_{\epsilon_{lj}} \frac{q(\mathbf{r}_j) ds_j}{|\mathbf{r}_i - \mathbf{r}_j|}, \quad (2.2.16)$$

ここで変数 t は省略した

次にセル j 内では電荷密度が一定であるとし,

$$G_{ij} = \frac{1}{4\pi\epsilon S_i S_j} \int_{\epsilon_{li}} \int_{\epsilon_{lj}} \frac{ds_i ds_j}{|\mathbf{r}_i - \mathbf{r}_j|}, \quad (2.2.17)$$

q_j: セル j 内の電荷,

S_i, S_j: セル i, j の面積,

とすると, 式(2.2.16) より,

$$\Phi_I = \sum_{J=1}^N \sum_{j \in J} G_{ij} q_j \quad (i \in I). \quad (2.2.18)$$

式(2.2.18) を q_j について解き, ポテンシャルが一定であるグループ I 内のセルの電荷の合計を Q_I とすると,

$$Q_I = \sum_{J=1}^N T_{IJ} \Phi_J, \quad (2.2.19)$$

ここで

$$T_{IJ} = \sum_{i \in I} \sum_{j \in J} G^{-1}_{ij} \quad (I, J = 1, 2, \dots, N). \quad (2.2.20)$$

ポテンシャルが一定であるセルのグループ a が Φ_a ボルト, b および他のグループが全て 0 ボルトのときの, グループ a から b に向かう電束 φ_{ab} は, グループ b の電荷 Q_b の符号を変えたものになるので式(2.2.19) より

$$\phi_{ab} = -Q_b = -T_{ab} \Phi_{ab} = T_{ab} \Phi_{ba} \quad (2.2.21)$$

これより a から b への変位電流は

$$\frac{\partial \phi_{ab}}{\partial t} = T_{ab} \frac{\partial \Phi_{ba}}{\partial t} . \quad (2.2.22)$$

ここで

$$\frac{\partial \phi_{ab}}{\partial t} \rightarrow I_{ab} \text{ (a から b への電流)} \quad (2.2.23)$$

$$\Phi_{ba} \rightarrow V_{ba} \text{ (b a 間の [b の a に対する] 電圧)}$$

$$-T_{ab} \rightarrow C_{ab} \text{ (a b 間のキャパシタンス)}$$

と置き換えれば式 (2.2.22) は

$$I_{ab} = -C_{ab} \frac{\partial V_{ba}}{\partial t} . \quad (2.2.24)$$

これはキャパシタ C_{ab} を流れる電流と、両端の電圧との関係になっている。

なお、式 (2.2.24) は a と b が直接導体で接続されている場合にも、式 (2.2.13) と並列な枝として成立する。この時は電気回路としての電流は下記のように対応づけければよい。

$$\int J_{ab} \cdot n \, ds + \frac{\partial \phi_{ab}}{\partial t} \rightarrow I_{ab} \quad (2.2.25)$$

ただしこのように a と b が直接導体で接続されている場合は、通常 a, b 間の変位電流は真の電流に比べて無視できることが多い。

また電流を式 (2.2.25) のように定義しておけば、Maxwell方程式より、

$$\text{rot} \mathbf{H} = \frac{\partial \mathbf{D}}{\partial t} + \mathbf{J} .$$

これより

$$\text{div} \left(\frac{\partial \mathbf{D}}{\partial t} + \mathbf{J} \right) = 0 . \quad (2.2.26)$$

これを上に述べたポテンシャルが一定とみなせる領域 D_a について積分しても 0 になるから、

$$\int_{\Sigma_a} \left(\frac{\partial \mathbf{D}}{\partial t} + \mathbf{J} \right) \cdot \mathbf{n} \, ds = \int_{D_a} \text{div} \left(\frac{\partial \mathbf{D}}{\partial t} + \mathbf{J} \right) \, d\mathbf{r} = 0 . \quad (2.2.27)$$

これはこの領域の境界 Σ_a から流出する電流と変位電流の和が 0 であること、すなわち式 (2.2.25) で定義した電流に関し、Kirchhoff の電流則が成り立つことを示している。

以上述べたように寸法が波長に比べ無視できるような系の電磁気的な過渡応答は、電気

回路の問題として解くことができる。すなわち、

- (a) 形状からキャパシタンスとインダクタンスを求め、
- (b) 回路解析を行う、

ことによって過渡応答を計算できる。

そして特に部分インダクタンスを考える必要のある導体系の場合は各部のスカラーポテンシャルの差を電圧とし、電流と変位電流の和を電流とするような回路の動作として求めることができる。表 2.2.1 に要約を示す。

表 2.2.1 部分インダクタンスのある系の電気回路との対応

| 電磁気学的諸量 | 電気回路的諸量 |
|--|--------------------|
| スカラーポテンシャルの差 $\Phi_{ba} (= \Phi_b - \Phi_a)$ | V_{ba} (電圧) |
| $\frac{\partial \psi}{\partial t} + \int \mathbf{J} \cdot \mathbf{n} \, ds$ | I (電流) |
| $\frac{l}{\sigma S}$ | R (抵抗) |
| 部分インダクタンス $\frac{\mu}{4\pi} \int_i \int_j \frac{d\mathbf{l}_i \cdot d\mathbf{l}_j \, ds_i ds_j}{ \mathbf{r}_i - \mathbf{r}_j }$ | L_{ij} (インダクタンス) |
| $-\sum_{i \in a} \sum_{j \in b} G^{-1}_{ij}$ | C_{ab} (キャパシタンス) |
| $\Phi_{aa} = 0$ | Kirchhoffの電圧則 |
| $\text{rot } \mathbf{H} = \frac{\partial \mathbf{D}}{\partial t} + \mathbf{J}$ | Kirchhoffの電流則 |

2.3 キャパシタンス計算手法

2.3.1 基本方式

一般的な形状のキャパシタンスの計算手法としては、有限要素法、差分法、表面電荷法が考えられ、一長一短がある。有限要素法、差分法は空間をセルに分割するので3次元形状ではセルの数が非常に多くなり、従って連立1次方程式の係数行列の次数が非常に大きくなるがスパース行列なので解きやすい。表面電荷法は導体の表面をセルに分割するので比較的少ないセル数、従って行列の次数ですむが密行列である。一般的な形状について計算時間、精度の点でどれが優れているかは簡単には判定出来ないが、計算機実装系の電気特性解析では3次元不規則形状の多数の導体を対象とするため、導体と導体の間の空間を3次元セルに分割することはほとんど不可能に近いと考えられる。そこで基本方式として表面電荷法を採用した。

表面電荷法は以下に述べるように係数行列の計算（セル数を n として処理時間が n^2 に比例）と連立 1 次方程式を解く部分（ n^3 に比例）に分けられるが、係数行列の計算を高精度化して n を比較的少なくても良いような工夫をした Silvester 等の方法 [48][50]（これにより係数行列の計算時間は大だが連立 1 次方程式を解く時間は短縮できる）を採用した。

採用した方法を簡単に紹介する。この方法は文献 [48] 等に述べられているのでここではまとめて簡潔に述べておく。まず誘電率一定の空間内に N 個の導体がある系について説明する。

点 \mathbf{r} での電位は下式で表わされる。

$$\Phi(\mathbf{r}, t) = \frac{1}{4\pi\epsilon} \int \frac{q(\mathbf{r}', t) ds'}{|\mathbf{r} - \mathbf{r}'|}, \quad (2.3.1)$$

ここで $q(\mathbf{r}', t)$: 点 \mathbf{r}' , 時刻 t での電荷密度,
 ϵ : 誘電率

である。電荷は導体の表面のみに存在するので右辺の積分は導体の表面について行なう。

次に N 個の導体の表面を合計 n 個のセル ($i, j=1, 2, \dots, n$) に分割する。なお変数 t は省略する。

$$\Phi(\mathbf{r}_i) = \frac{1}{4\pi\epsilon} \sum_{j=1}^n \int_{\epsilon_{\mathcal{N}j}} \frac{q(\mathbf{r}_j) ds_j}{|\mathbf{r}_i - \mathbf{r}_j|}, \quad (2.3.2)$$

q_j をセル j 内の電荷, S_j をセル j の面積とし, セル j 内で電荷密度一定 ($=q_j/S_j$) とすると,

$$\Phi(\mathbf{r}_i) = \frac{1}{4\pi\epsilon} \sum_{j=1}^n \frac{q_j}{S_j} \int_{\epsilon_{\mathcal{N}j}} \frac{ds_j}{|\mathbf{r}_i - \mathbf{r}_j|}. \quad (2.3.3)$$

$\Phi(\mathbf{r}_i)$ に適当な値を仮定して q_j についてこの式を解けばキャパシタンスを求めることができるが, セル i と j のサイズがセル間の距離に比べ無視できない場合には右辺の積分で \mathbf{r}_i をどこに取るかによって結果が異なってくる。そこで \mathbf{r}_i はセル i 内の代表的な点（重心など）に取ってセル分割を十分細かくする必要がある。ところがセル分割が細かくセル数が大だと係数行列が大きくなってしまいうので, なるべく粗いセル分割ですむように式 (2.3.3) をセル i 内で平均し,

$$\Phi_i = \frac{1}{S_i} \int_{\epsilon_{\mathcal{N}i}} \Phi(\mathbf{r}_i) ds_i.$$

式 (2.3.3) よりこの Φ_i は,

$$\Phi_i = \frac{1}{S_i} \int_{\epsilon_{\mathcal{N}i}} \Phi(\mathbf{r}_i) ds_i = \sum_{j=1}^n G_{ij} q_j, \quad (2.3.4)$$

$$G_{ij} = \frac{1}{4\pi\epsilon S_i S_j} \int_{\epsilon_{\mathcal{N}i}} \int_{\epsilon_{\mathcal{N}j}} \frac{ds_i ds_j}{|\mathbf{r}_i - \mathbf{r}_j|} \quad (2.3.5)$$

となる。これより容量行列を求めるには式(2.3.5)で係数行列を求め、 Φ_i に適当な値を仮定して式(2.3.4)の連立1次方程式を q_i について解けばよい。結果は以下のようになる。導体数を N とし、導体の番号を示す添え字を I, J とすると、

$$\mathbf{g} = \mathbf{G}^{-1} \text{ とおくと、 } j \in J \text{ ならば } \Phi_j = \Phi_J \text{ なので}$$

$$q_i = \sum_{j=1}^n g_{ij} \Phi_j = \sum_{J=1}^N \Phi_J \sum_{j \in J} g_{ij} \quad .$$

導体 I 上のセル電荷の合計を Q_I とすると

$$Q_I = \sum_{i \in I} q_i = \sum_{J=1}^N \Phi_J \sum_{i \in I} \sum_{j \in J} g_{ij}, \quad (2.3.6)$$

ここで

$$T_{IJ} = \sum_{i \in I} \sum_{j \in J} g_{ij} \quad \text{とおけば式(2.3.6)は,} \quad (2.3.7)$$

$$Q_I = \sum_{J=1}^N T_{IJ} \Phi_J, \quad (2.3.8)$$

従って行列 $\{T_{IJ}\}$ は導体系の容量・誘導係数行列[95]になっている。

式(2.3.1)は誘電率が一樣な場合にしか適用できない。いくつかの誘電率の異なる領域(領域内部では誘電率は一定であるものとする)がある場合には次のような解法が知られている[40]。

キャパシタンスを求めようとする真の系とすべての点で電界が同じであり、誘電率は全領域で真空の誘電率に等しいような系(等価真空系)を考える。この系では式(2.3.1)が成立するので電位と電荷密度の関係が求まる。真の系の電荷密度は等価真空系での電荷密度から簡単に求められるので、これより真の系の電位と電荷密度の関係がわかり、キャパシタンスを計算することができる。

ここで真の系と等価真空系の関係について次のことが言える。 q_t を全電荷密度とし、等価真空系での量に*をつけて示すことにすると、

$$q_t^*(\mathbf{r}) = \epsilon_0 \operatorname{div} \mathbf{E}^*(\mathbf{r}) = \epsilon_0 \operatorname{div} \mathbf{E}(\mathbf{r}) = q_t(\mathbf{r}) \quad (2.3.9)$$

より、真の系と等価真空系の全電荷分布は等しい。等価真空系では比誘電率が1なので $q^*(\mathbf{r}) = q_t^*(\mathbf{r})$ である。これより、

$$q^*(\mathbf{r}) = q_t(\mathbf{r}), \quad (2.3.10)$$

すなわち等価真空系の真電荷分布は真の系の全電荷分布に等しい(表2.3.1)。

以下真の系として比誘電率がそれぞれ ϵ_A, ϵ_B であるような領域 A, B がある場合(図2.3.1)について電荷が満たすべき条件式を導出する。導体の表面と誘電体境界面をセルに分割し、

1, 2, ..., n を導体セル、

n+1, n+2, ..., n+m を誘電体セルとする。

等価真空系でのセル j 内の真電荷を q_j とすると、導体セル i の電位 Φ_i については式

(2.3.4)と同様に,

$$\Phi_i = \sum_{j=1}^{n+m} G_{ij} q_j \quad (i=1,2,\dots,n) \quad (2.3.11)$$

が成り立つ。誘電体セル ($i=n+1, n+2, \dots, n+m$) についても同じ式が成り立つが、導体セルの場合とちがって Φ_i を既知の量として与えることができないので使えない。

表 2.3.1 真の系と等価真空系の諸量の関係

| | | 真の系 | 等価真空系 |
|-----------|------------|--|---|
| 電界 | | $\mathbf{E}(\mathbf{r})$ | $\mathbf{E}^*(\mathbf{r}) [= \mathbf{E}(\mathbf{r})]$ |
| 全電荷密度 | | $q_t(\mathbf{r})$ | $q_t^*(\mathbf{r}) [= q_t(\mathbf{r})]$ |
| 真電荷 密度 | 導体上 | $q(\mathbf{r}_c) [= \epsilon_r q_t(\mathbf{r}_c)]$ | $q^*(\mathbf{r}_c) [= q_t(\mathbf{r}_c)]$ |
| | 誘電体 境界上 | 0 | $q^*(\mathbf{r}_D) [= q_t(\mathbf{r}_D)]$ |

ϵ_r : 比誘電率

添字 C : 導体表面上

添字 D : 誘電体境界面上

* : 等価真空系での量

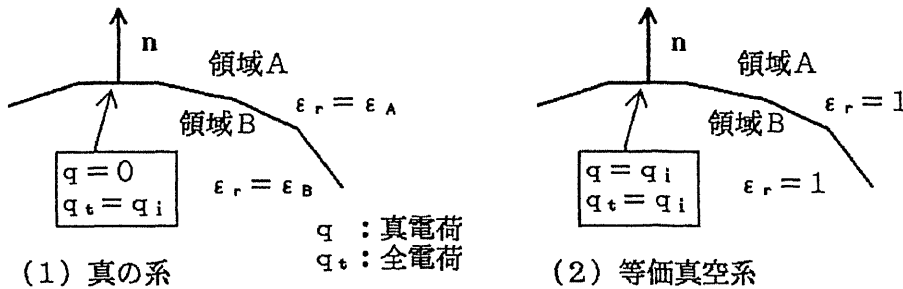


図 2.3.1 誘電体境界上の真電荷および全電荷

そこで今等価真空系の誘電体セル i 内の真電荷を q_i とすれば、 E_{iA} 、 E_{iB} をそれぞれセル i 表面上の A 側、B 側での電界の領域 A 側向き法線方向成分とすると、

$$E_{iA} = \frac{q_i}{2 \epsilon_0 S_i} + E_{iD}, \quad (2.3.12)$$

$$E_{iB} = \frac{-q_i}{2 \epsilon_0 S_i} + E_{iD}, \quad (2.3.13)$$

ここで

$$E_{iD} = - \frac{\partial}{\partial n} \sum_{j \neq i} \frac{q_j}{4 \pi \epsilon_0 S_i S_j} \int_i \int_j \frac{d s_i d s_j}{|\mathbf{r}_i - \mathbf{r}_j|} \quad (i=n+1, n+2, \dots, n+m), \quad (2.3.14)$$

S_i, S_j : セル i, j の面積,

\mathbf{n} : セルの法線ベクトル(領域 A 側向き).

一方 E_{iA} 、 E_{iB} は真の系でも同じ値なので、真の系の誘電体境界上で $\text{div } \mathbf{D} = 0$ が成り立つことから、

$$\epsilon_A E_{iA} = \epsilon_B E_{iB}. \quad (2.3.15)$$

式(2.3.12)~(2.3.15)より

$$q_i = 2 \epsilon_0 \frac{\epsilon_A - \epsilon_B}{\epsilon_A + \epsilon_B} \sum_{j \neq i} \frac{q_j}{4 \pi \epsilon_0 S_j} \int_i \int_j \frac{\partial}{\partial \mathbf{n}} \frac{d s_i d s_j}{|\mathbf{r}_i - \mathbf{r}_j|} \\ (i=n+1, n+2, \dots, n+m). \quad (2.3.16)$$

式(2.3.11)と式(2.3.16)をまとめると,

$$\begin{bmatrix} \Phi_1 \\ \Phi_2 \\ \vdots \\ \Phi_n \\ 0 \\ \vdots \\ 0 \end{bmatrix} = \begin{bmatrix} & & & & \mathbf{G} & & \\ & & & & & & \\ & & & & & & \\ & & & & & & \\ & & & & \mathbf{H} & & \\ & & & & & & \\ & & & & & & \end{bmatrix} \begin{bmatrix} q_1 \\ q_2 \\ \vdots \\ q_n \\ q_{n+1} \\ \vdots \\ q_{n+m} \end{bmatrix}, \quad (2.3.17)$$

ここで

G_{ij} は式(2.3.5) ($i=1, 2, \dots, n, j=1, 2, \dots, n+m$)で与えられ,

$$H_{ij} = -2 \epsilon_0 \frac{\epsilon_A - \epsilon_B}{\epsilon_A + \epsilon_B} \frac{1}{4 \pi \epsilon_0 S_j} \int_i \int_j \frac{\partial}{\partial \mathbf{n}} \frac{d s_i d s_j}{|\mathbf{r}_i - \mathbf{r}_j|} \quad (2.3.18 a)$$

($i=n+1, n+2, \dots, n+m, j=1, 2, \dots, n+m, i \neq j$),

$$H_{ii} = 1 \quad (i=n+1, n+2, \dots, n+m). \quad (2.3.18 b)$$

容量行列を計算するには誘電率一様の場合と同様、導体の電位 Φ_i を適当な値の組合せに順次仮定して連立方程式(2.3.17)によって各導体上の電荷を求めればよい。

2.3.2 大規模問題への適用に向けての改良

計算機実装系の複雑な形状に適用するためには (a) 形状の記述の自由度が高いこと, (b) 実用可能な処理時間で精度の高い計算ができることが必要である。このため基本アルゴリズムに以下のような改良を加えた。

(1) セルの形状

導体表面及び誘電体境界面は一般には不規則な形状をしており, 長方形の組合せで記述できないことが多い。そこでセルの形状としては三角形を採用した。図2.3.2は不規則な形状をした対象の三角形セルへの分割の例である。

(2) 中心間距離近似

キャパシタンス計算処理は (a) 式(2.3.5)および式(2.3.18)による係数行列の計算(処理時間はセル数の2乗に比例)と, (b) 連立方程式(2.3.4)または(2.3.1

7)を解く部分(処理時間はセル数の3乗に比例)に分けられ,対象形状の複雑度によってそれぞれの処理に要する時間の比率が異なる。(b)が問題になるのは数十ピンのコネクタ等特に複雑な形状で,それ以外では(a)が処理時間の大部分を占めている。

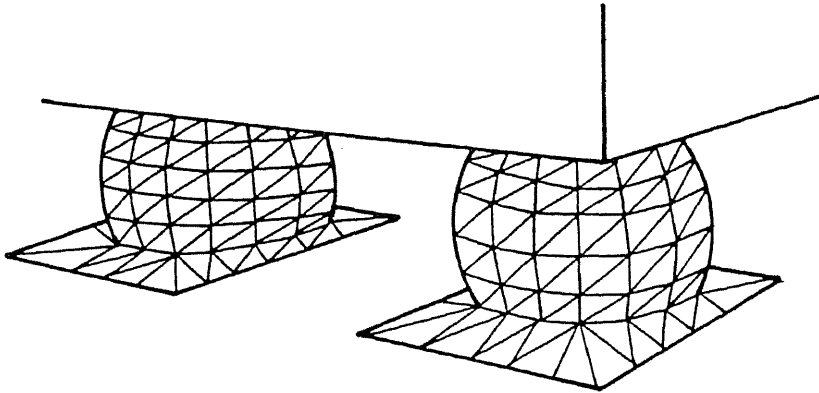


図 2.3.2 三角形セルによる分割例

(a)の処理において式(2.3.5)または式(2.3.18a)はセル*i*とセル*j*が十分離れていれば被積分関数をほぼ定数とみなすことができ,それぞれ

$$G_{ij} = \frac{1}{4\pi\epsilon |r_{i0} - r_{j0}|} \quad (i=1,2,\dots,n, j=1,2,\dots,n+m), \quad (2.3.19)$$

$$H_{ij} = -2\epsilon_0 \frac{\epsilon_A - \epsilon_B}{\epsilon_A + \epsilon_B} \cdot \frac{S_i}{4\pi\epsilon_0} \cdot \frac{\partial}{\partial n} \cdot \frac{1}{|r_{i0} - r_{j0}|} \quad (2.3.20)$$

($i=n+1, n+2, \dots, n+m, j=1, 2, \dots, n+m$),

ただし r_{i0}, r_{j0} :セル*i*, *j*の重心座標

と近似することができる。以下この方法を中心間距離近似とよぶ。

この近似法が適用可能かどうかはセルの重心間距離とセルサイズに依存する。図2.3.3は中心間距離近似によって計算した結果の例である。プログラムは各セルのペア(*i*, *j*)毎に重心間距離 $|r_{i0} - r_{j0}|$ とセル*i*, *j*の最大辺長の比を求め,この比が一定の限界値以上になった場合のみ中心間距離近似を適用するようになっており,図2.3.3の横軸はこの限界値を示している。図よりこの限界値が約1.5以上ならば中心間距離近似を適用できることがわかる。これについては今までに適用した他の種々の形状についてもほぼ同じ結果が得られている。

(3) 係数行列要素の計算

式(2.3.5),(2.3.18a)はともに3角形セル*i*と*j*の面内の積分であり,4重積分になる。基本的には内側の2重積分について解析的に解いた式を用いて,数値積分により外側の2重積分を計算している。プログラム化に当たって次の点に考慮した。

(a)セル*i*と*j*の位置関係によっては内側の2重積分が発散する場合がある。これを避けるために3角形を分割して円筒座標を使って特異性を除去する方法が知られている[96]。

一方処理時間の点では3角形を直接直角座標で積分するほうが有利なので、発散するケースとしないケースによって使い分けることにした。

(b) プログラムは科学計算用大型計算機の利用を前提に開発した。そこでベクトルプロセッサ、および仮想メモリ方式計算機の利用効率を高めるため、ループ構造の単純化と、配列参照の飛びの除去に留意した[97]。

この結果処理時間は図2.3.4に示すように、セル数2000で約500秒(S-810)と、当初の約1/6になり、十分実用に耐える性能が得られた。セル数2000で満足すべき精度(誤差2~3%)が得られる対象は、形状によっても異なるが導体数にして10~20個程度であることが今までの実績から経験的に言える。

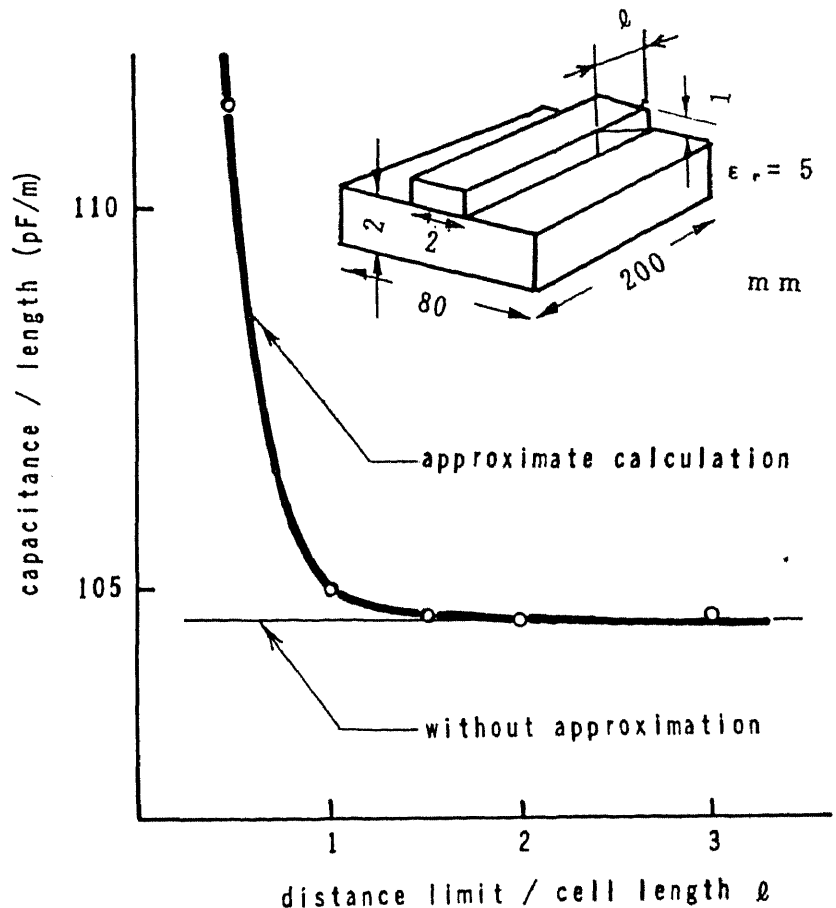


図2.3.3 中心間距離近似の精度

2.3.3 計算結果の例

計算のチェックのため、キャパシタンスが既知であるような形状に適用して比較した結果を図2.3.5, 図2.3.6に示す。

式(2.3.5)で、なるべく少ないセル数ですむように式(2.3.3)をセル*i*内で平均しているため、図2.3.5のように比較的粗いセル分割でもかなりの精度が得られている。ただし平均化はあくまでもセル内の電荷密度一定という条件のもとで行っているのので、一般的にはこのケースのように電荷密度が(端を除いて)一定である場合に比べ、もっと細かくセル分割を行う必要がある。

伝送線の信号線とグラウンドの間のキャパシタンスは断面方向の寸法に比べ十分長ければ2次元的に計算した値と一致するはずである。

図2.3.6はマイクロストリップラインの信号線とグラウンドの間のキャパシタンス計算値

を十分高精度であることがわかっている 2 次元プログラム[98]による計算の結果と比較したもので、電荷密度が急激に変化する誘電体と信号線の接続部付近のセル分割を十分細かくすれば、セル数 = 230 で 2 次元計算との差は 1 % 以下になっている。

図 2.3.6 の形状は十分細長いので長手方向には電荷密度が一定であり、この結果長手方向にはセル分割が粗くてもよいことが期待されるが図 2.3.7 に示すように実際長手方向のセル分割は 5 分割で十分(誤差 1 % 以下)であることがわかる(このとき断面方向の分割は、信号線表面 7 分割、グランド面 8 分割、誘電体境界面を 8 分割にして計算した)。

図 2.3.5 のように 2 次的に一様な形状や図 2.3.6 のように長手方向に一様な形状では比較すべきデータがあるが、一般の 3 次元形状では正確であることが保証されている計算結果は得られていないので、実験値との直接、間接の比較が必要である。これについては 2.6 節に述べる。また一般の 3 次元形状のセル分割の細かさの定性的な目安としては、セル内で電荷密度がほぼ均一になるよう、セルサイズを最近接導体までの距離と同程度にすればよいことが経験的に言える。

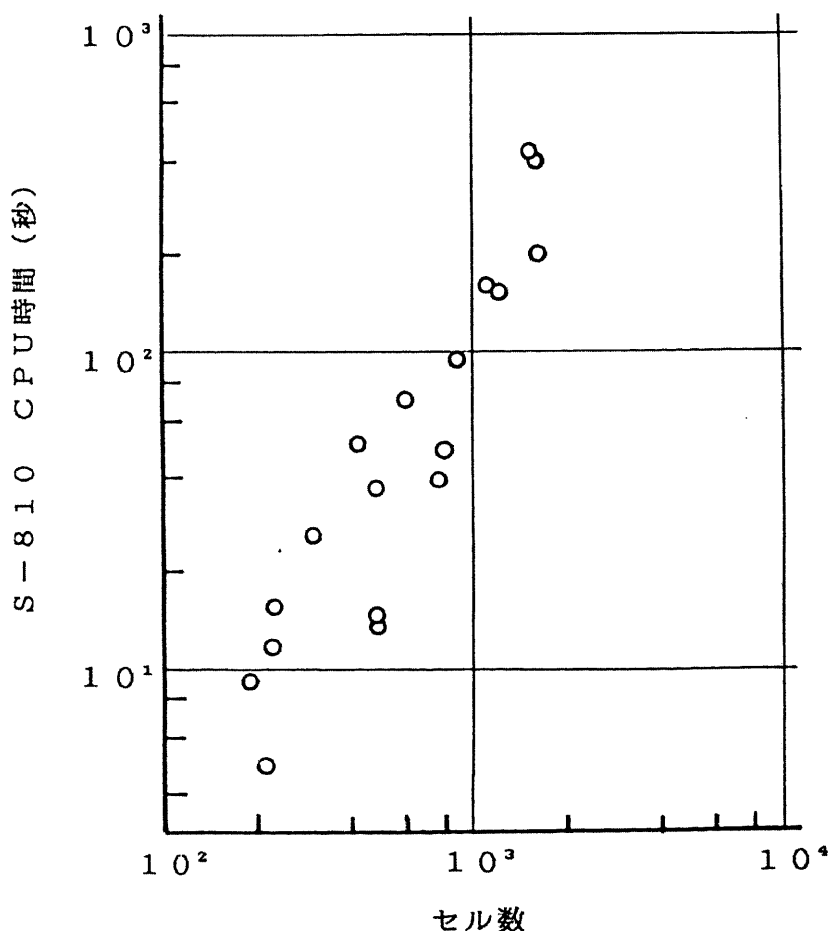


図 2.3.4 キャパシタンス計算の処理時間

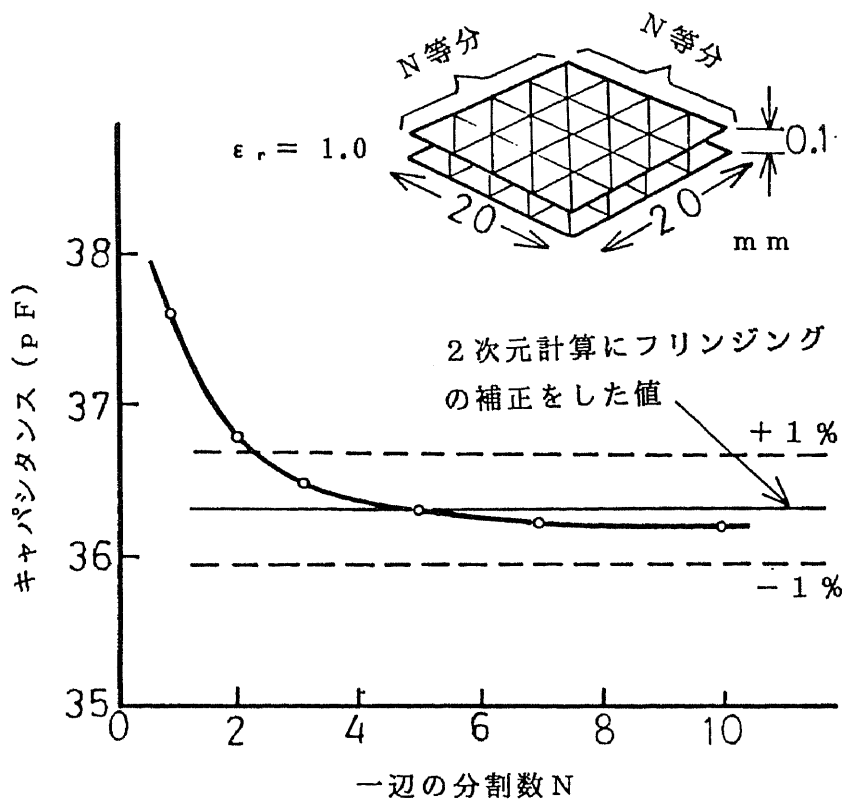


図 2.3.5 計算結果の例 (平行平板)

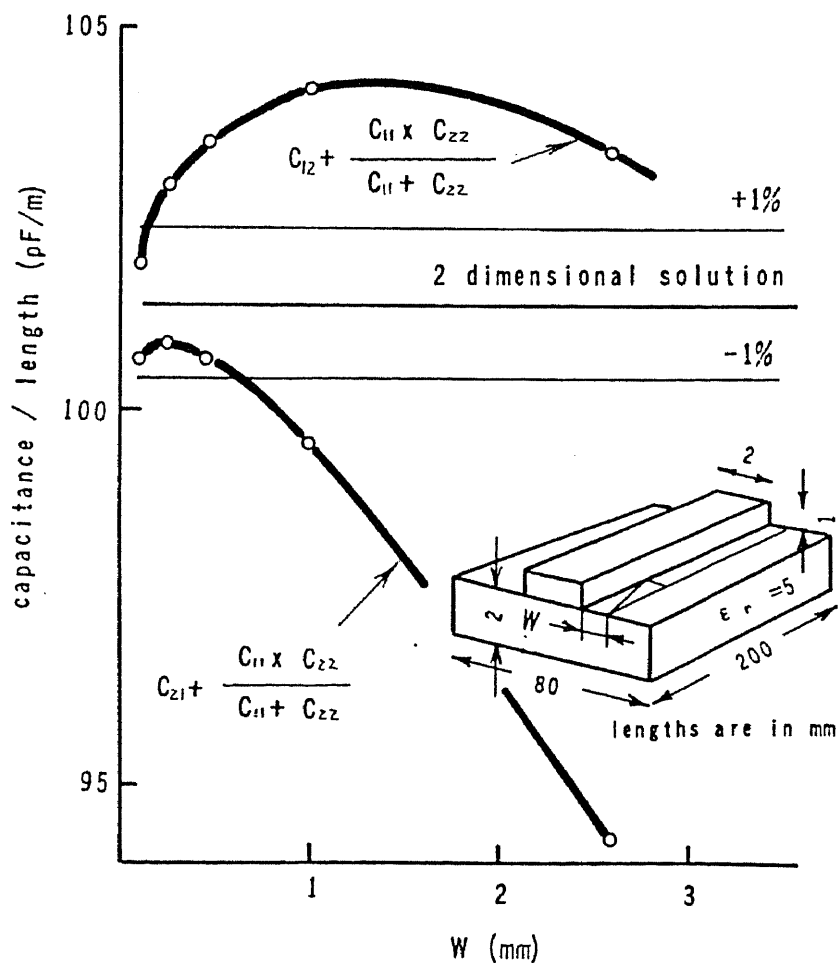


図 2.3.6 計算結果の例 (マイクロストリップライン)

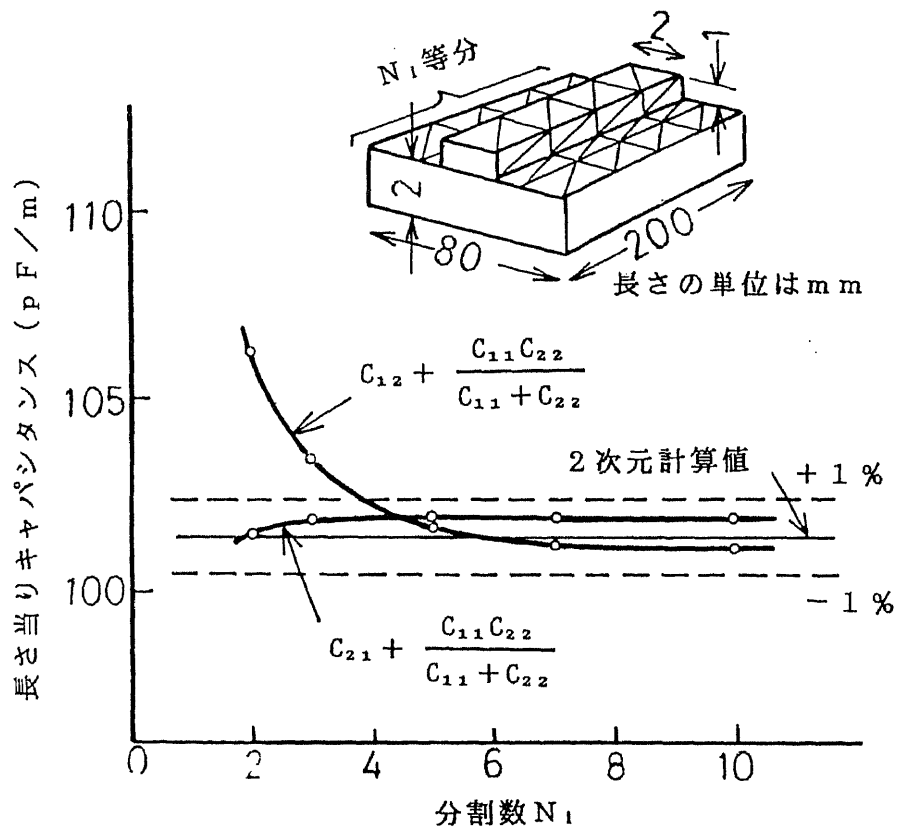


図 2.3.7 マイクロストリップライン容量計算値の
長手方向分割値依存性

2.4 インダクタンス計算手法

2.4.1 基本方式

導体セグメントの部分インダクタンス計算法としては Ruehli等の方法[51][52]が知られている。以下簡単にこれを紹介する。なお表現を単純にするためこの節では部分インダクタンスを単にインダクタンスということにする。

この方式は導体内の電流の方向が既知であることを前提としている。まず電流の流線に沿って導体セグメントをフィラメントに分割する（図2.4.1参照）。フィラメント i , j の相互インダクタンスは式(2.2.12c)で与えられる。また $i = j$ と置けば自己インダクタンスも求められる。各導体セグメントはこれらのフィラメントを両端で接続したものとみなせば回路論的にこれらのインダクタンスを合成して導体セグメントの自己インダクタンス、複数あれば相互インダクタンスを求めることができる。

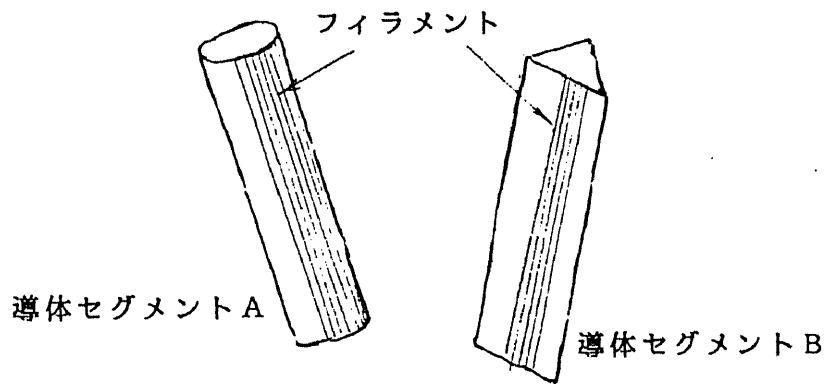


図2.4.1 導体セグメントのフィラメント分割

フィラメント単位のマイクロなインダクタンスから導体セグメント単位のマクロなインダクタンスを求めるには次のようにする。図2.4.1のように2つの導体セグメントA, Bがあり、フィラメント数がそれぞれ n , m である場合を例にとって説明する。

導体セグメントA, Bの各フィラメントの両端の間の電位差からなるベクトルを V_A , V_B , 各フィラメントを流れる電流からなるベクトルを I_A , I_B とすると,

$$\begin{bmatrix} V_A \\ V_B \end{bmatrix} = \frac{d}{dt} \{L_{ij}\} \begin{bmatrix} I_A \\ I_B \end{bmatrix}, \quad (2.4.1)$$

ここで

$\{L_{ij}\}$: L_{ij} を (i, j) 要素とする $n + m$ 次の行列,

$$V_A = \begin{bmatrix} V_A \\ V_A \\ \vdots \\ V_A \end{bmatrix}, \quad V_B = \begin{bmatrix} V_B \\ V_B \\ \vdots \\ V_B \end{bmatrix},$$

V_A, V_B : 導体セグメントA, B両端の間の電位差

$$\mathbf{I}_A = \begin{bmatrix} I_{A1} \\ I_{A2} \\ \vdots \\ I_{An} \end{bmatrix}, \quad \mathbf{I}_B = \begin{bmatrix} I_{B1} \\ I_{B2} \\ \vdots \\ I_{Bm} \end{bmatrix},$$

I_{Ai} : 導体セグメントAのフィラメント*i*を流れる電流,

I_{Bi} : 導体セグメントBのフィラメント*i*を流れる電流.

これより導体セグメントA, B両端の間の電位差と, 導体セグメントA, Bを流れる電流は次の関係を満たすことがわかる.

$$\begin{bmatrix} V_A \\ V_B \end{bmatrix} = \frac{d}{dt} \begin{bmatrix} L_{MAA} & L_{MAB} \\ L_{MBA} & L_{MBB} \end{bmatrix} \begin{bmatrix} I_{AT} \\ I_{BT} \end{bmatrix} \quad (2.4.2)$$

ここで

$$I_{AT} = \sum_{i=1}^n I_{Ai}, \quad I_{BT} = \sum_{i=1}^m I_{Bi},$$

$$\begin{bmatrix} L_{MAA} & L_{MAB} \\ L_{MBA} & L_{MBB} \end{bmatrix} = \begin{bmatrix} N_{AA} & N_{AB} \\ N_{BA} & N_{BB} \end{bmatrix}^{-1},$$

$$N_{AA} = \sum_{i=1}^n \sum_{j=1}^n L^{-1}_{ij},$$

$$N_{AB} = N_{BA} = \sum_{i=1}^n \sum_{j=n+1}^{n+m} L^{-1}_{ij},$$

$$N_{BB} = \sum_{i=n+1}^{n+m} \sum_{j=n+1}^{n+m} L^{-1}_{ij}.$$

式(2.4.2)は L_{MAA} , L_{MBA} がそれぞれ導体セグメントA, Bの自己インダクタンスを,
 L_{MAB} ($=L_{MBA}$) が導体セグメントA, B間の相互インダクタンスであることを示している。

導体セグメントの抵抗が無視できない場合には式(2.4.1)のかわりに

$$\begin{bmatrix} V_A \\ V_B \end{bmatrix} = \{Z_{ij}\} \begin{bmatrix} I_A \\ I_B \end{bmatrix}, \quad (2.4.3)$$

ここで

$$\{Z_{ij}\} = j\omega\{L_{ij}\} + \{R_{ij}\},$$

$\{R_{ij}\}$: 対角要素 R_{ii} がフィラメント*i*の抵抗で非対角要素が0である行列,

ω : 解析しようとする角周波数,

として同様に

$$\begin{bmatrix} V_A \\ V_B \end{bmatrix} = \begin{bmatrix} Z_{AA} & Z_{AB} \\ Z_{BA} & Z_{BB} \end{bmatrix} \begin{bmatrix} I_{AT} \\ I_{BT} \end{bmatrix} \quad (2.4.4)$$

が得られ, Z_{AA} , Z_{BB} の実数部がそれぞれ導体セグメントA, Bの求める周波数でのAC抵抗であり, Z_{AA} , Z_{BB} , Z_{AB} , Z_{BA} の虚数部を ω で割ったものが自己, 相互インダクタンスである。

2.4.2 太さ0のフィラメントの採用

このアルゴリズムは従来、直方体等限られた断面形状の導体の自己、相互インダクタンス計算に利用されていたが、これを任意の断面形状を持つ対象に適用可能なよう、次のような計算方式を開発、実用化した。なおプログラム化の容易さを考慮し、導体セグメントはまっすぐな柱状とし、電流はその母線に平行である場合に限定した。曲がった導体や、太さの一定でない導体についてはこれらの導体セグメントを複数つなぎあわせて近似することにした。

式(2.2.12c)の積分はフィラメント i , j それぞれ3次元空間について行う必要がある。このためにはまず導体セグメントを3次元的のフィラメントに分割し、これらのすべてのペアについて該当する領域内で積分を行わなければならない。これは

(1) 計算機実装系の電気特性解析ではしばしば数十本から百本以上の導体セグメントのインダクタンス計算が必要で、それぞれについて3次元的にフィラメント分割を行うのは煩雑な作業を必要とする。

(2) 3次元的なフィラメントでは式(2.2.12c)は6重積分になって実用的な処理時間で正確に評価することがむずかしい。

の2つの理由で困難である。従来限られた形状以外に適用できなかったのはこの理由による。

そこでフィラメントとして太さのない線分を入力し、これからインダクタンスを計算する方式を考案した。まずフィラメントの相互インダクタンスは式(2.2.12c)より、

$$L_{ij} = \frac{\mu \cos \theta}{4\pi} \int_0^{\ell_i} \int_0^{\ell_j} \frac{dl_i dl_j}{|\mathbf{r}_i - \mathbf{r}_j|} \quad (i \neq j), \quad (2.4.5)$$

ここで

θ : フィラメント i , j のなす角度,

ℓ_i, ℓ_j : フィラメント i , j の長さ.

この積分は任意の相対位置にあるフィラメントのペアについて解析的に解くことができる。

ところが式(2.4.5)は $i = j$ の時は発散してしまう。これは太さのない導体の自己インダクタンスを求めようとしていることに相当し、物理的に考えて当然のことである。そこで自己インダクタンスの計算に限ってフィラメントが仮想的に有限の断面を持つと考える。一般に細長い導体内の長手方向に一様に電流が流れている場合自己インダクタンスは、断面内の2点間の幾何学的平均距離 D (式(2.4.6)に示す) を使って表せる[94]。

$$\ln D = \frac{1}{S^2} \int_{\text{断面内}} \int_{\text{断面内}} \ln |\mathbf{r}_1 - \mathbf{r}_2| ds_1 ds_2 \quad (2.4.6)$$

フィラメントの仮想的な断面は、抵抗の無視できる導体セグメントの場合は導体断面の表面に沿った曲線であり、抵抗の無視できない場合は導体内部を分割した2次元の領域で、いずれの場合もフィラメントの断面上では電流密度が一定であると考えてよいように分割してあるものとする(図2.4.2参照)。

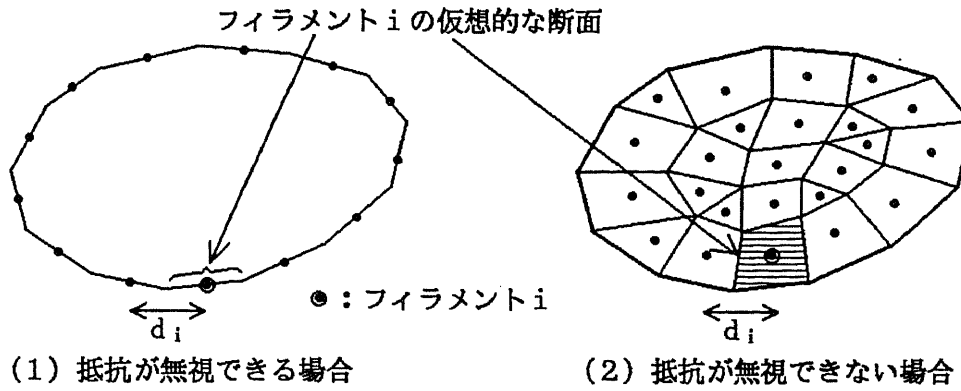


図 2.4.2 仮想的なフィラメント断面の例

フィラメント i の自己インダクタンス L_{ii} は、断面が曲線である場合も 2 次元の領域である場合も幾何学的平均距離 D_i を使って

$$L_{ii} = \frac{\mu l_i}{2\pi} \left(\ln \frac{2l_i}{D_i} - 1 \right), \quad (2.4.7)$$

ここで

l_i : フィラメント i の長さ

と表すことができる。ただし実際には図 2.4.2 に示すようなフィラメントの具体的な形状を入力することは前述したように事実上不可能なので、直接形状から D_i を求めるかわりに式 (2.4.8) によって推定する方式をとった。

$$D_i = c d_i, \quad (2.4.8)$$

ここで

c : 推定パラメータ,

d_i : フィラメント i から最も近いフィラメントまでの距離。

このように推定した D_i を使って計算した導体セグメントのインダクタンス値は、推定パラメータ c の値とフィラメント分割の方法に対する一定の制約条件が満たされていれば、実際の断面形状を考慮して求めたフィラメントの自己インダクタンスから計算した結果と、フィラメントを十分多くとった極限で一致することが抵抗の無視できる導体セグメントが 1 本ある場合について証明できる (付録に示す)。

図 2.4.3 に推定パラメータ c を変えて導体のインダクタンスを計算した例を示す。実際図に示した範囲の c に対してはフィラメント数を多くして行けば一定のインダクタンス値が得られていることがわかる。また c の値としては、図の例でも言えるように約 0.1 にすると収束が早いことが経験的にわかっている。

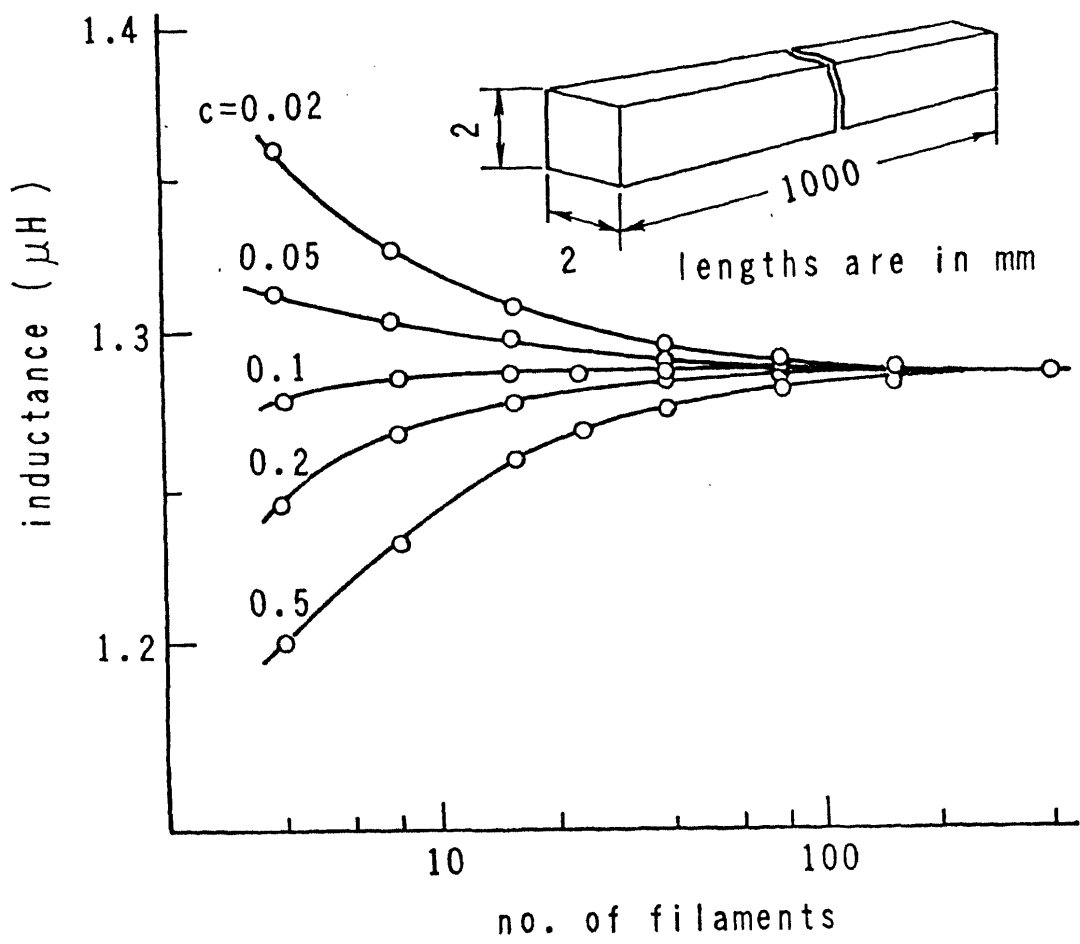


図 2.4.3 計算結果の推定パラメータ c 依存性

2.4.3 複数導体セグメントのインダクタンスの合成

2.4.2で述べた基本計算手法は電流の方向が既知とみなせるような形状（実際には細長い形状）にのみ適用できる。通常インダクタンスが問題になるのは細長いものが多いのでこれで計算できる対象は多いが、そのような導体が複雑に組み合わさったような形状のインダクタンス計算がしばしば必要になることがある。

このような対象への適用を目的に、接点解析の手法[99][100][40]を応用して、複数の導体セグメントを組合せたものを単位としたインダクタンス計算を可能にした。

図 2.4.4 に示すような導体セグメントを複数組合せた導体を考える。導体セグメント単位のインダクタンス行列を L_M とすると次式が成り立つ。

$$v_s = L_M \frac{d i_s}{d t}, \tag{2.4.9}$$

ここで

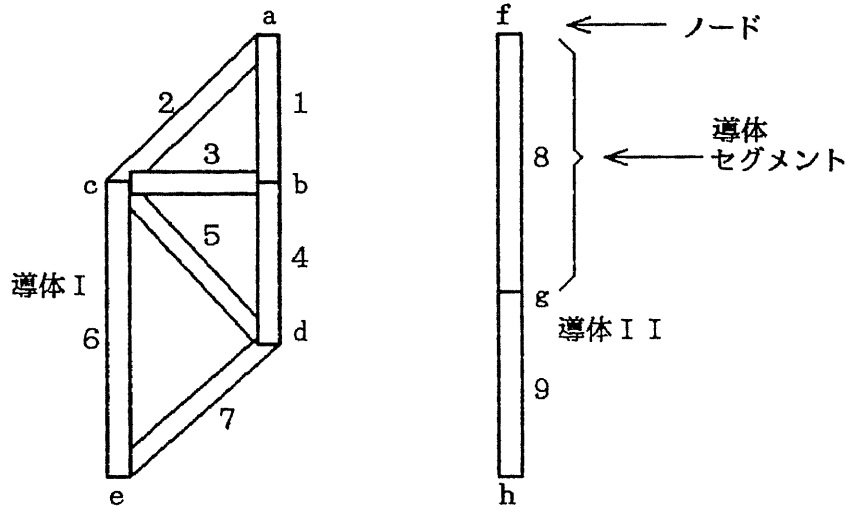


図2.4.4 複数セグメントからなる導体の例

v_s : 各導体セグメント両端間の電位差からなるベクトル

i_s : 各導体セグメントを流れる電流からなるベクトル

導体セグメントの接続関係から次の2式が得られる。

$$A i_s = I_N, \quad (2.4.10)$$

$$v_s = A^t V_N, \quad (2.4.11)$$

ここで

I_N : 各ノードに外から流入する電流からなるベクトル,

V_N : 各ノードの電位からなるベクトル,

A : 接続行列,

A^t : A の転置行列.

なお接続行列 A とは各行が導体セグメントを組合せたグラフのノードに対応し(電位の基準となるノードを除く), 各列が導体セグメントに対応した行列で, その (i, j) 要素が以下のようなものである。

1: 導体セグメント j がノード i から出ているとき

-1: 導体セグメント j がノード i に入っているとき

0: 導体セグメント j がノード i に接続していないとき

ここで導体セグメントがノードから出るとは導体セグメントを流れる電流がノードから流出する方向をプラスと考える場合を言い, 導体セグメントがノードに入るとはその逆方向の電流をプラスとする場合を言う(図2.4.5)。

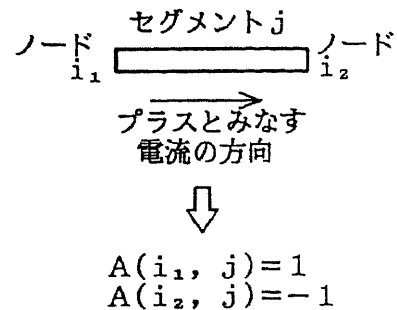


図2.4.5 接続行列要素の決定法

プラスと約束する電流の向きは各導体セグメントごとどちら向きにしても構わないが, セグメントのイン

ダクタンス行列 L_M を計算するとき、プラスと約束したセグメント電流のなす角度が 90° 以下なら正、 90° 以上ならば負の相互インダクタンスになるように方向を決めてあることが必要である(図 2.4.6)。図 2.4.4 の例では A は以下ようになる。

$$\begin{array}{c}
 \text{導体セグメント} \\
 \begin{array}{c}
 \text{a} \\
 \text{ノ b} \\
 \text{ド c} \\
 \text{ド d} \\
 \text{f} \\
 \text{g}
 \end{array}
 \begin{array}{c}
 \begin{array}{cccccccc}
 1 & 2 & 3 & 4 & 5 & 6 & 7 & 8 & 9
 \end{array} \\
 \left[\begin{array}{cccccccc}
 +1 & +1 & & & & & & & \\
 -1 & & +1 & +1 & & & & & \\
 & -1 & -1 & & +1 & +1 & & & \\
 & & & -1 & -1 & & +1 & & \\
 & & & & & & & +1 & \\
 & & & & & & & -1 & +1
 \end{array} \right]
 \end{array}
 \end{array}
 \quad (2.4.12)$$

ここでノード e と h を基準ノードとして行から省いてある。基準ノードには後で述べるように電位 0 ボルトを仮定し、(複数セグメントからなる)導体ごとの電流の流出点を選ぶ。

式(2.4.9), (2.4.10), (2.4.11)より

$$\mathbf{A} \mathbf{L}_M^{-1} \mathbf{A}^t \mathbf{V}_N = \frac{d \mathbf{I}_N}{d t} \quad (2.4.13)$$

が得られる。これから導体単位の自己インダクタンス, 相互インダクタンスを求めることができる。以下図 2.4.4 の例に沿って述べる。

導体 I の電流の流入点と流出点をそれぞれ a, e, 導体 II の電流の流入点と流出点をそれぞれ f, h であるとする。流入点と流出点はこれらの導体を外部にどう接続するかによってインダクタンスを計算しようとするときには決まっ

ていなければならないものである。導体 I の自己インダクタンスは流出点 e を 0 V としてノード a に $d I_a / d t = 1$

(A/s) を流入し、他のノードへの流入電流の時間変化を 0 とした時のノード a の電位 (V) である。この時流出点 h を 0 V としたノード f の電位が導体 I, II 間の相互インダクタンスとなる。すなわち,

$$\left[\begin{array}{c}
 \mathbf{A} \mathbf{L}_M^{-1} \mathbf{A}^t
 \end{array} \right] \begin{bmatrix} V_a \\ V_b \\ V_c \\ V_d \\ V_f \\ V_h \end{bmatrix} = \begin{bmatrix} 1 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \end{bmatrix} \quad (2.4.14)$$

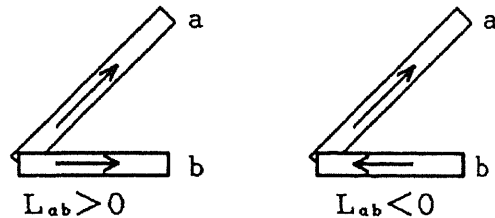


図 2.4.6 プラスとみなす電流の方向と相互インダクタンスの符号

を解いて得られた V_i が導体 1 の自己インダクタンス, V_j が導体 I と I I の相互インダクタンスになる。

同様にノード f の $d I_f / d t = 1$ を仮定すれば導体 I I の自己インダクタンスが得られる。これで導体 I と I I のインダクタンス行列が得られた。このように式(2.4.13)の右辺のベクトルの, ひとつの導体の電流の流入点に当る要素のみ 1, 他を 0 として V_N について解き, 各導体の流入点の電位を求めれば導体単位のインダクタンス行列 1 行分が求まり, これを各導体について繰り返すことによって全体のインダクタンス行列が得られる。

この機能を利用することによって図 2.4.7 に示すグランドプレーンのように複雑なネットワークを構成している導体上の任意の 2 点間のインダクタンスの計算などが可能であり, 適用対象の範囲が飛躍的に拡大した。

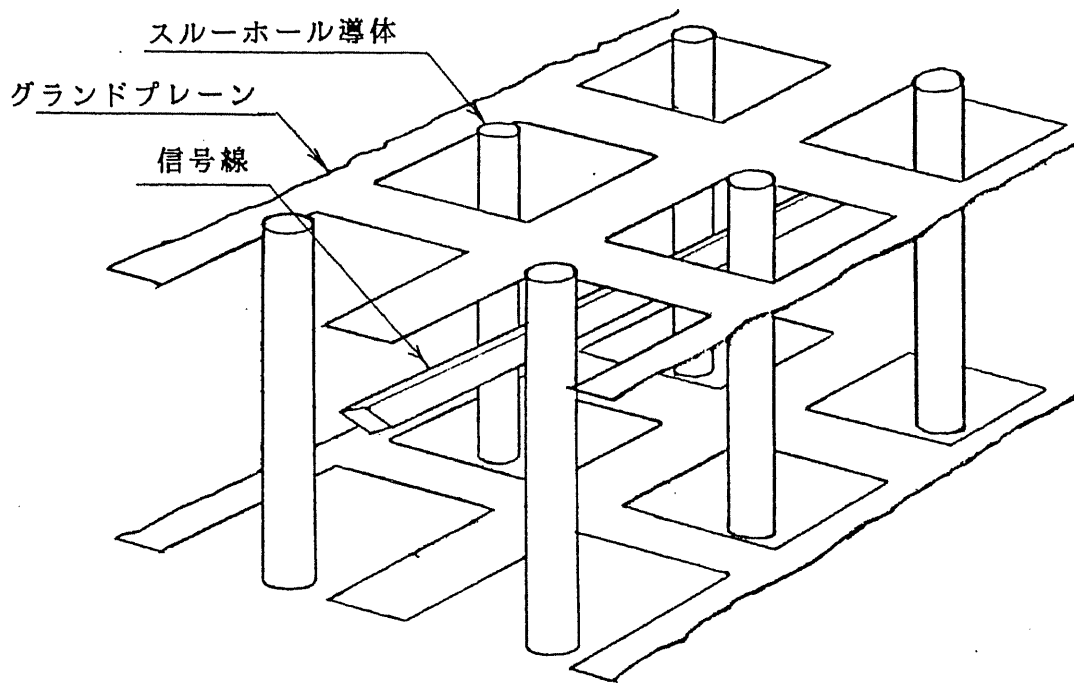


図 2.4.7 導体セグメント多数からなるインダクタの例
(メッシュ状のグランドプレーン)

2.4.4 計算結果の例

図 2.4.8 に抵抗が無視できる導体円柱の自己インダクタンス計算結果を示す。この場合電流は導体の表面のみ流れるのでフィラメントは円柱の表面に沿って配置すればよい。直径 D に比べ長さ l が十分長い円柱の自己インダクタンスは下式で与えられることがわかっており [94],

$$L = \frac{\mu \ell}{2\pi} \left(\ln \frac{4\ell}{D} - 1 \right)$$

計算値はフィラメント数を増加してゆくとこの理論値に極めてよく一致する。通常導体寸法は製造ばらつき等により10%程度ばらつくことが多いので、計算の誤差が1%以下ならば十分高精度であると言える。図2.4.8より誤差1%以下にするためには円筒のフィラメント数は約20本でよいことがわかる。

図2.4.9は抵抗のある円柱状の導体のAC抵抗と内部インダクタンス計算値と理論値[101]を比較したものである。なお内部インダクタンスは式(2.4.4)の Z_{AA} から得られる全インダクタンスから外部インダクタンス(抵抗を無視して計算したインダクタンス)を引いたものである。

抵抗が無視できない場合はフィラメントを導体内にも配置する必要があるので同じフィラメント数での計算精度は抵抗が無視できる場合より低くなる。図2.4.9の場合フィラメントを縦横0.1mmピッチで断面内一様に配置して(計316本)計算したので表皮深さが0.1mmに近づく高周波側で誤差が大きくなる。例えば 2×10^5 Hzでの表皮深さは0.15mmでこの時の計算値と理論値の差はAC抵抗で10%、内部インダクタンスで7%になっている。実用上はこの程度の精度で満足できる場合もあるが、更に高い精度が必要な場合はフィラメントの数を多くする必要がある。

処理時間はフィラメント数が少ない場合はフィラメントのインダクタンス行列要素の計算に要する部分が主で、フィラメント数の2乗に比例し、フィラメント数が大のときには連立1次方程式を解く部分が主になって3乗に比例する(図2.4.10)。処理時間はこの他に、セグメント数や、抵抗を無視するかどうかにも依存する。

2.5 データの入出力

3次元の形状入力には特にピン数の多いLSIパッケージやコネクタなどの複雑な対象では多大のマンパワーを要する作業である。図2.5.1は利用形態を示すシステムフローである。キャパシタンス計算については、汎用性を考慮して計算プログラム自体の入力データは各3角形のセルの頂点座標を全て入力する方式をとっているが、これを直接人手で作成するのは容易でない。そこで特殊な形状を除いてはプリプロセッサとして、4辺形、4角柱単位に頂点座標を指定して入力でき、入力した形状とセルへの分割情報を画面に表示するとともにキャパシタンス計算プログラムの入力データに変換する簡易セル分割プログラムを使っている。

インダクタンス計算では対象が柱状の形の組合せに限られているので、導体セグメントの断面形状と始点・終点座標及び軸の周りの回転方向の向きを数値で入力する。この場合はインダクタンス計算プログラムの入力データ自体が直接人手で作成可能であり、キャパシタンス計算のようなデータ変換は不要なので入力データチェックのための表示機能のみを持つプログラムを備えている。キャパシタンス、インダクタンスとも画面への表示は現

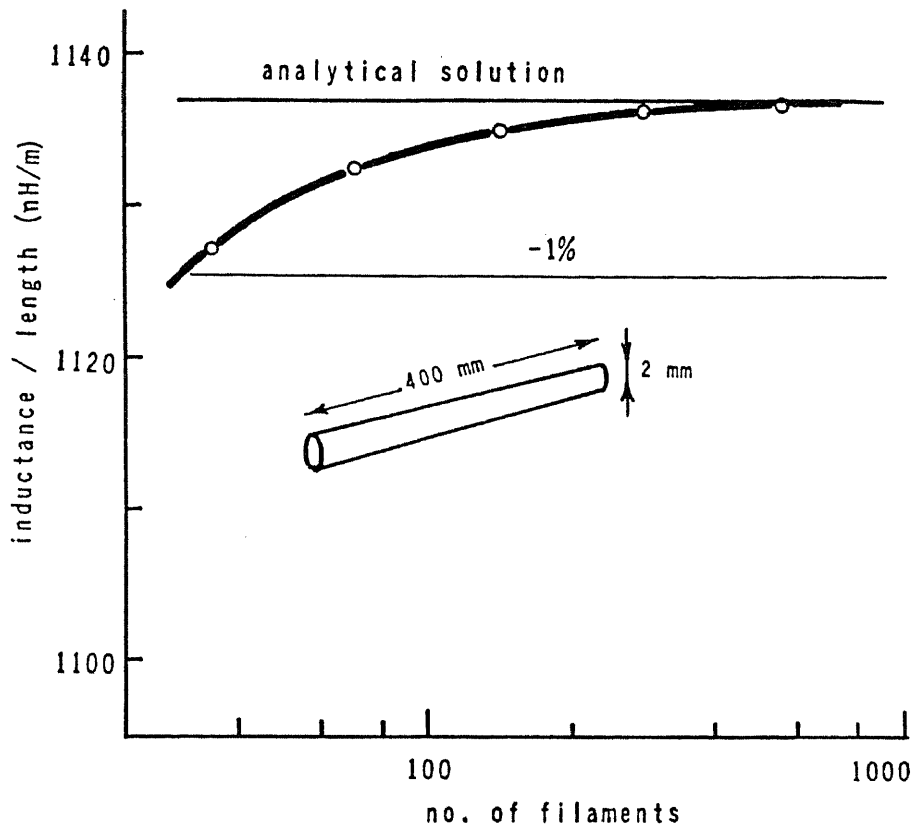


図 2.4.8 円柱の自己インダクタンス計算値

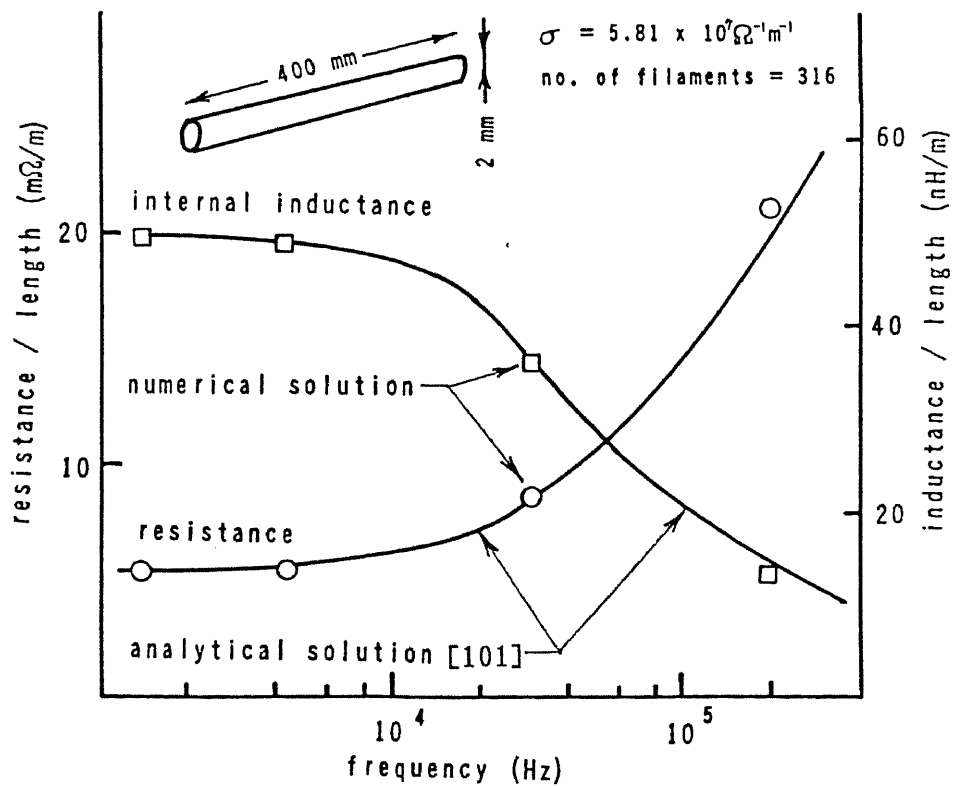


図 2.4.9 抵抗のある円柱の高周波抵抗と内部インダクタンス計算値

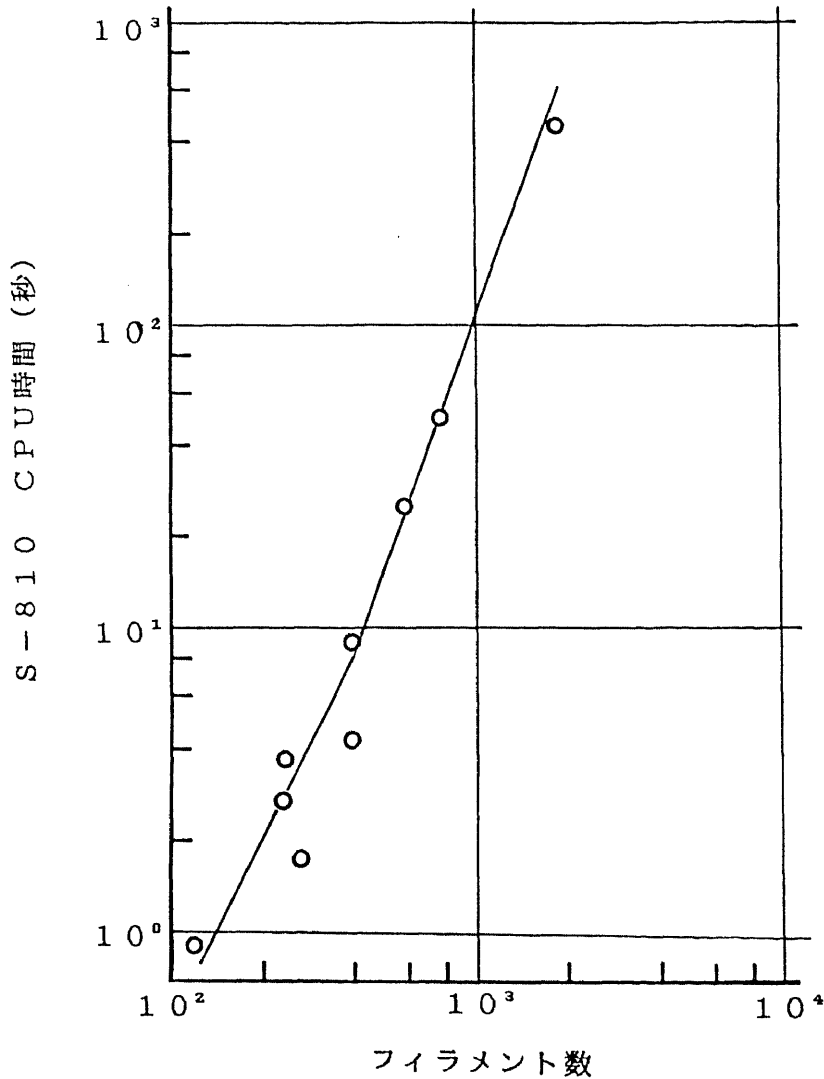


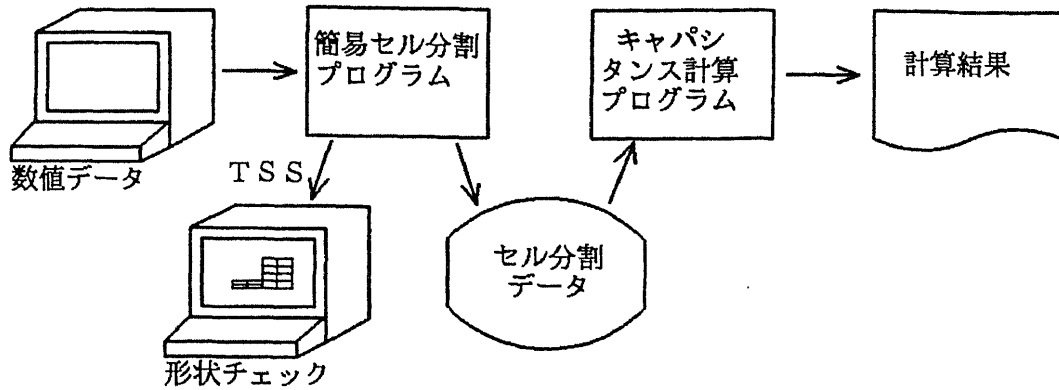
図 2.4.10 インダクタンス計算の処理時間

在のところ x , y , z 方向の投影図に限られているがオンラインでの拡大, 導体ごとの色分け表示が可能である。

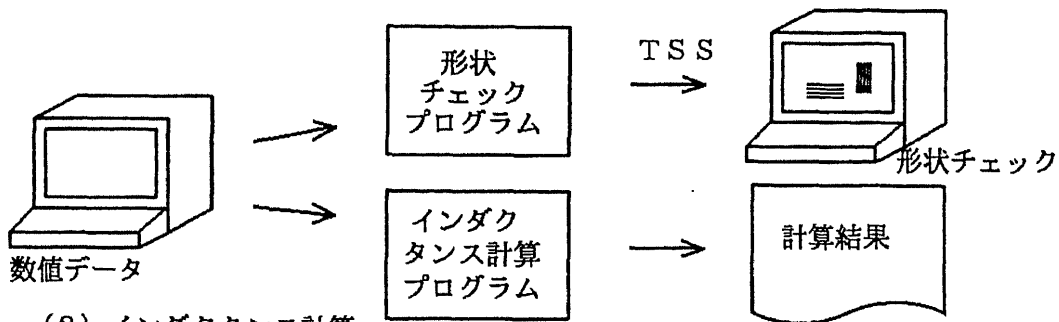
出力はキャパシタンス行列, インダクタンス行列の他にセルごとの電荷, フィラメントごとの電流をリストに打ち出す機能がある。

今後の広範な利用に備えて下記の入出力機能が必要とされる。

- (1) 対話的形狀入力, チェック機能 (誘電率や比抵抗などのパラメータの入力も含む)
- (2) 任意平面での断面形状表示
- (3) キャパシタンス, インダクタンスの形状入力共通化
- (4) 導体同士の近接チェック, オーバーラップチェック機能
- (5) 電流分布, 電荷分布, 等ポテンシャル面の表示



(1) キャパシタンス計算



(2) インダクタンス計算

図2.5.1 システムフロー

2.6 実装系の電気特性解析への応用

2.6.1 応用例-1 伝送線の電気特性

2.1節でも述べたように大型計算機CPU内の信号配線は波形劣化やクロストークを防ぐためLSIチップ外部ではほぼ全面的に分布定数線路を採用している。カード、セラミックモジュール、ボード等の多層配線基板中ではストリップラインが、ボード間の接続には同軸ケーブルが使われる。

特に多層配線基板では実装ディレイ低減のためパターンを微細化する一方、配線層の多層化が進みつつある。この結果配線層間を接続するため、図2.6.1に示すようにストリップラインのグランドプレーンを貫通してスルーホールを多数設ける必要性が生じている。実装系の枠組みの設計の段階では、このようなストリップラインの特性インピーダンスや高速のパルス信号が通過した際の波形歪、クロストーク、伝播遅延等を予測してそれらがトータルとして許容される範囲にあることを確認しながら配線基板自身はもちろん、他の実装部品や回路設計を進めてゆく必要がある。

これらの電気特性はすべて伝送線の長さ当りのキャパシタンス (C_0)、インダクタンス (L_0) がわかればそれから計算できる (クロストークの場合は他の配線も含めた長さ当りのキャパシタンス行列、インダクタンス行列から求められる)。

特性インピーダンス Z_0 、長さ当りの伝播遅延時間 t_d については

$$Z_0 = \sqrt{L_0 / C_0}, \quad (2.6.1)$$

$$t_d = \sqrt{L_0 C_0} \quad (2.6.2)$$

で、2本のライン間のフォワードクロストーク係数 K_f 、バックワードクロストーク係数 K_b については

$$K_f = -\frac{\sqrt{L_0 C_0}}{2} \left(\frac{L_m}{L_0} - \frac{C_m}{C_0} \right), \quad (2.6.3)$$

$$K_b = \frac{1}{4} \left(\frac{L_m}{L_0} + \frac{C_m}{C_0} \right) \quad (2.6.4)$$

で与えられる。ここで L_m 、 C_m はそれぞれライン間の長さ当りの相互インダクタンス、キャパシタンスを示す[38]。

伝送線の断面形状が信号の伝播方向に一定ならばキャパシタンスは断面内で2次元計算をすれば長さ当りの値が得られ、そのうえインダクタンスは

$$C_0 L_0 = \epsilon \mu \quad (2.6.5)$$

の関係を使ってキャパシタンスから求めることができるが[102]、図2.6.1の場合のように断面形状が一定でない場合はこのような関係は保証されず、キャパシタンス、インダクタンス個別に3次的に計算する必要がある。

図2.6.2にこのようなストリップラインの C_0 、 L_0 の計算結果を実測値と比較して示す。なお実測値は特性インピーダンス Z_0 と伝播遅延時間 t_d の測定値から式(2.6.1)、(2.6.2)を使って求めたものである。計算値と実測値との差は最大10%で、基板の寸法精度、測定精度を考慮すれば一致していると言ってよい。

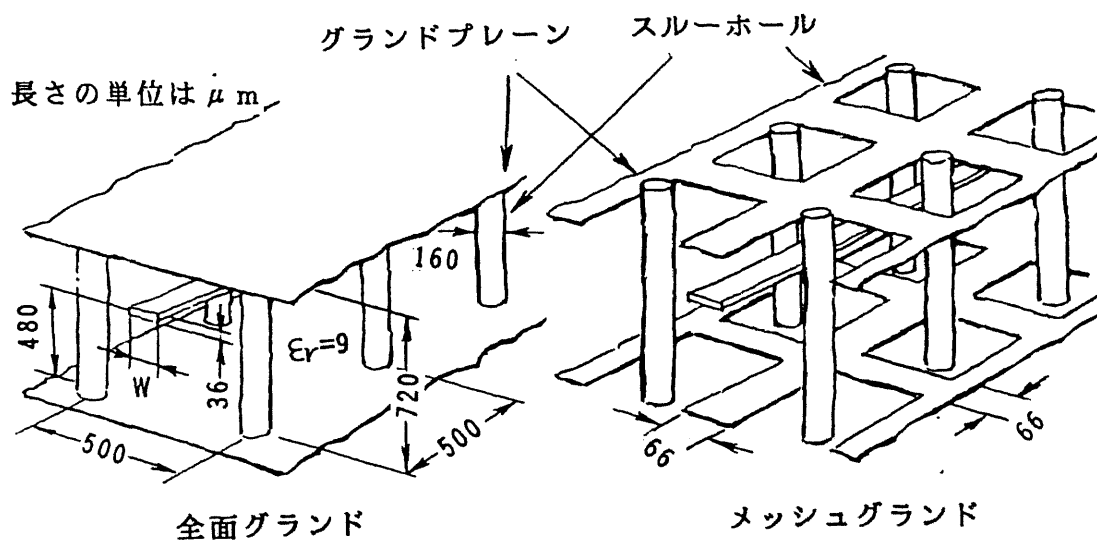
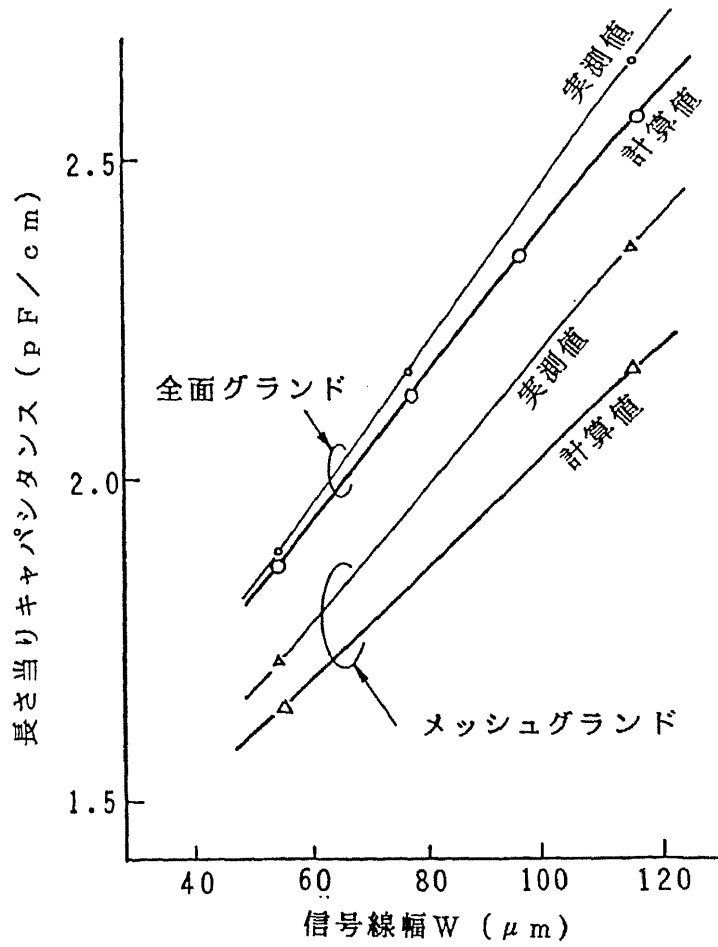
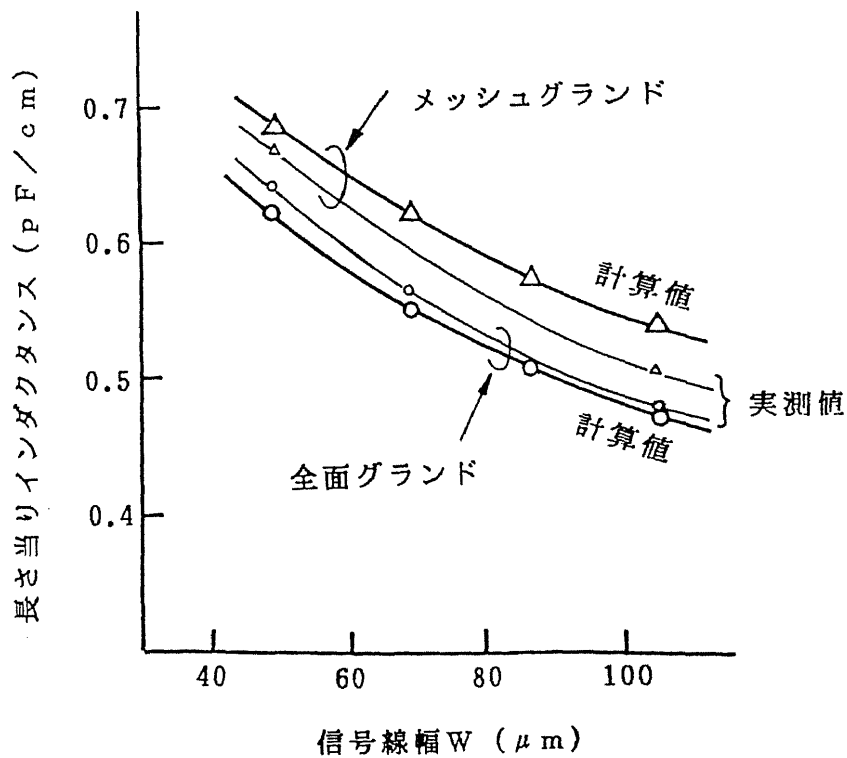


図2.6.1 断面形状が一定でない伝送線の例



(1) 長さ当りキャパシタンス計算値



(2) 長さ当りインダクタンス計算値

図 2.6.2 伝送線電気特性計算値 (図 2.6.1 の形状)

2.6.2 応用例-2 カードコネクタ同時切替ノイズ

実装系全体を分布定数線路で接続することは困難で、特に部品と部品を接続する個所が問題となる。例としてはLSIチップとカードの配線基板の接続部、カードとボードとを接続するコネクタの部分等がある。これらの部分は集中定数的な寄生容量、インダクタンスを持ち、各種のノイズの原因となる。

カードとボードを接続するコネクタを例にとると、実装系の高密度化によるピン数の増加と、信号の立上り時間の短縮により、特に多数の信号が同時に切り替わった時に生ずるクロストークノイズが問題となっている。実際にはコネクタの電極はピンにリセプタクルが嵌合する構造になっているが、ここでは簡単のためピンとリセプタクルをまとめて単にピンと呼ぶことにする。

図2.6.3にそのようなコネクタの例を示す。コネクタのあるピンを通過する信号が切り替わった時（信号が切り替わるラインおよびピンをそれぞれactiveライン、activeピンと呼ぶ）、近くにある本来ならば信号レベルが一定であるようなピン（quietピンと呼ぶ）を通る信号線（quietライン）上にノイズが誘起される。このうちactiveラインの信号と同一方向に伝わるものをフォワードクロストークノイズ、逆方向に伝わるものをバックワードクロストークノイズと呼ぶ。

ノイズ発生のメカニズムは次のように説明できる。図2.6.4に示すコネクタの回路モデルに添って述べる。ピンの種類としては上に述べたactiveピン、quietピンの他にカードとボードのグランドプレーン同士を接続するグランドピンがある。activeピンとquietピンはカードとボード内でそれぞれ伝送線に接続されており、これらは伝送線の実インピーダンスに等しい抵抗を介してグランドピンに接続されているのと等価である。各ピンはそれぞれインダクタンスを持ち、ピン間には相互インダクタンス、キャパシタンスがある。ノイズは以下の要因が重なりあったものと解釈できる。

- (1) activeピンからquietピンへの相互インダクタンスによる結合
- (2) activeピンからquietピンへのキャパシタンスによる結合
- (3) グランドピンからquietピンへの相互インダクタンスによる結合

(4) グランドピンの自己インダクタンスによるカード側とボード側のグランド電位の相違

これらの要因が重なりあった結果、フォワードクロストークノイズがボード側の伝送線に相当する等価抵抗の両端の電位差として、バックワードクロストークノイズはカード側の同様の箇所の電位差として観測される。

クロストークを低減するにはピンの長さを短くして自己、相互インダクタンス、キャパシタンスを小さくするかグランドピンの数を多くする方法が考えられるが、ピンの長さを短くすれば接続信頼性が低下し、グランドピン数を多くすればそのぶん信号ピン数が減り、論理設計に対する制約となる。実装系の枠組みの設計の際にはこれらを総合してコネクタの仕様を決めることになり、各方式について試設計とクロストークの定量的な予測を繰り返す。

返して比較検討することが必要である。

コネクタのように多数の導体が存在する場合、2.6.3にも示すようにピン間の容量が中間にある他のピンにより遮蔽される効果やピンの自己、相互インダクタンスが他のピン内での渦電流によって変化する効果があり、従来行なわれていたように形状を単純化して公式を使ってL,Cを求めることは困難である。また個々のactiveピンからの効果は小さいが多数のピンからの効果が重なりあう上、要因(1)と(3)は互いにキャンセルするのでL,C計算については高い精度が要求され、このようなtoolなしにノイズを予測することは不可能である。

図2.6.4に示した回路モデルで信号ピン9本(その内1本がアクティブピン) グランドピン7本を対象にキャパシタンス、インダクタンスを計算し、それを使って汎用の回路解析プログラムで過渡解析を行い、ノイズ波形を求めた。図2.6.5は9本のうちの1本の信号ピンをactiveにしたときの他の各ピンでのノイズ振幅をプロットしたもので、実測値とよく一致していることがわかる。このようにキャパシタンス、インダクタンスを直接測定するよりも容易に高い精度が得られるノイズ波形の測定結果と比較することにより、プログラムの精度が評価可能である。

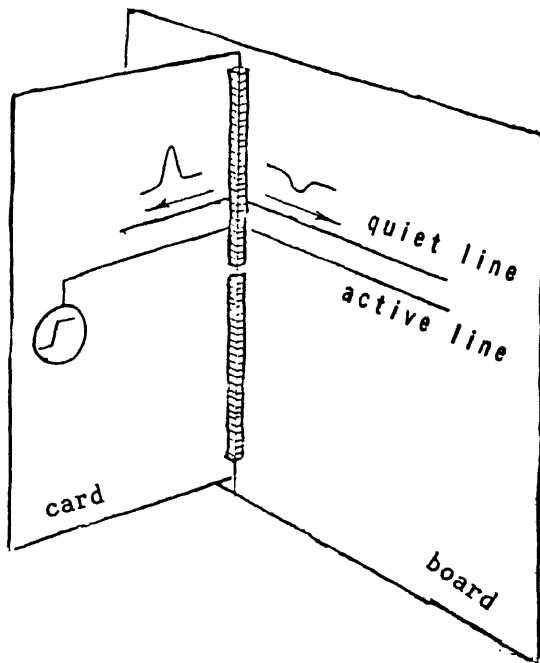


図2.6.3 コネクタで発生するクロストークノイズ

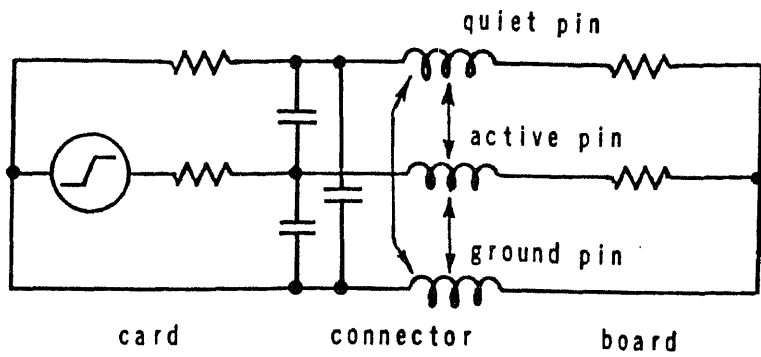


図 2.6.4 コネクタの回路モデル

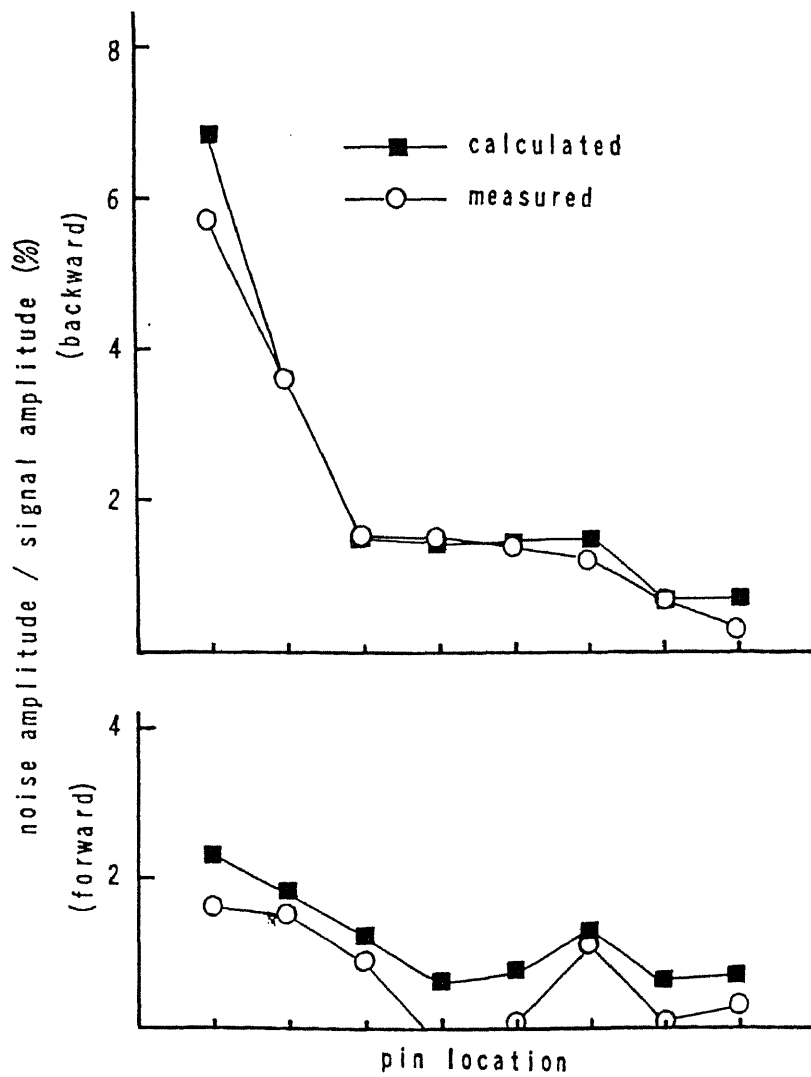


図 2.6.5 クロストークノイズ計算値と実測値の比較 (カードコネクタ)

2.6.3 応用例-3 モジュールコネクタ同時切替ノイズ

図2.6.6に示すようなマルチチップモジュールとボードとを接続するコネクタでも同様なノイズが問題となる。

回路モデルは応用例-2の場合と同じであるが、異なっているのはピンが2次元的に配置されているので一定距離内にあるピンの数が距離の2乗に比例して増加することと、モジュール配線基板とボードの内部にあるグランドプレーンがピンに垂直で、上下からピンをはさむ形になっているために互いに離れたピンの間では中間にあるピンとグランドプレーンに遮蔽されてキャパシタンスが小さくなることである。

図2.6.7にピン間キャパシタンス計算結果を示す。実際のコネクタでは、前述のように電極はピンとリセクタクルからなる複雑な形状をしているが、詳細な形状よりもピンの太さ、長さ、間隔等マクロに見た形にどう依存するかを見るためにピンを正四角柱で近似して計算した。ピンのペアの間のキャパシタンスは一方のピンから見た他のピンの方向にはほとんど依存せず、ほぼ距離のみよることがわかったので、横軸にはピン間の距離をとって示してある。図よりピン間距離（1.27mmの $\sqrt{2}$ 倍で約1.8mm）の2～3倍以上離れればグランドプレーンと中間の他のピンが存在するケースは両方存在しないケースに比べ1/100程度になって容量結合については無視してよいことがわかる。

応用例-2の場合と同様にフォワード、バックワードノイズ振幅を求めた結果を図2.6.8に示す。ここでは図中に示すように観測ピンは中央に固定し、周囲の信号ピンを近いものから順にactiveピンにしていった場合のノイズ振幅をプロットしてある。このケースでは信号ピン数とグランドピン数の比を3:1としたが、グランドピン数を増加した場合や、ピンの長さ、太さ、ピッチを変えた場合、ピン周囲の空間を占有しているコネクタのモールド材料の比誘電率を変えた場合等についても容易にノイズを予測することができ、ハードウェア設計の有力なtoolとなっている。

以上の応用例に適用して共通に言えることは、従来とても予測が不可能であったような複雑な形状について、精度高く過渡応答が求められるようになったことである。しかし対象形状の複雑さは紹介した応用例のレベルに止まらず、今後更に多導体、広範囲に及ぶ計算が必要になると考えられ、計算能力拡充への要求が強い。また計算精度については、セル分割、フィラメント分割の粗さを変えて計算を試行し、経験的なデータを勘案して概略の目安を得ているのが実情で、これに要する人手が計算作業の大きな部分を占めている。有効な理論的上限值、下限値の評価手段が望まれる。

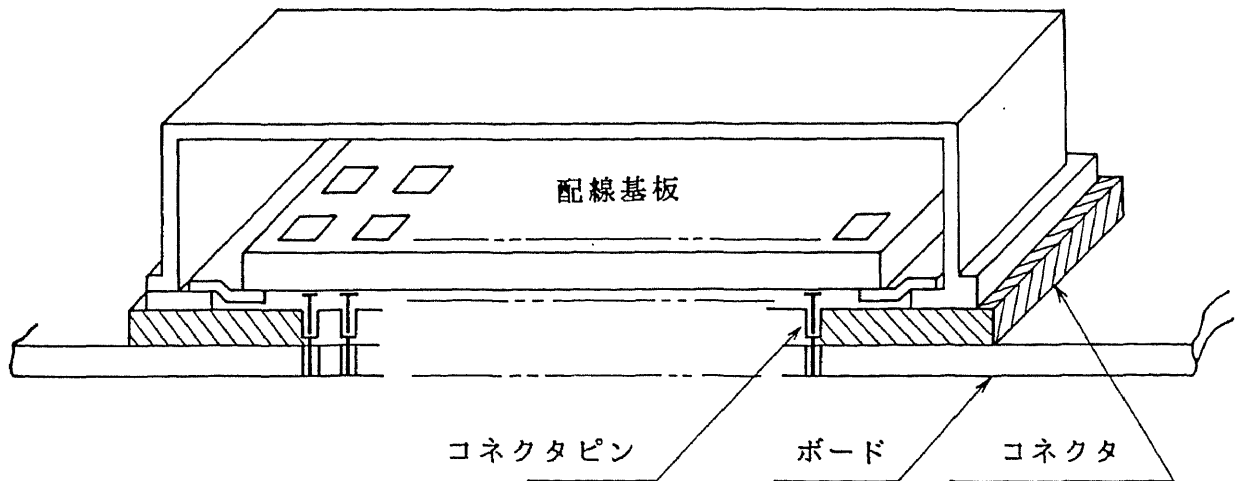


図 2.6.6 マルチチップモジュールの例

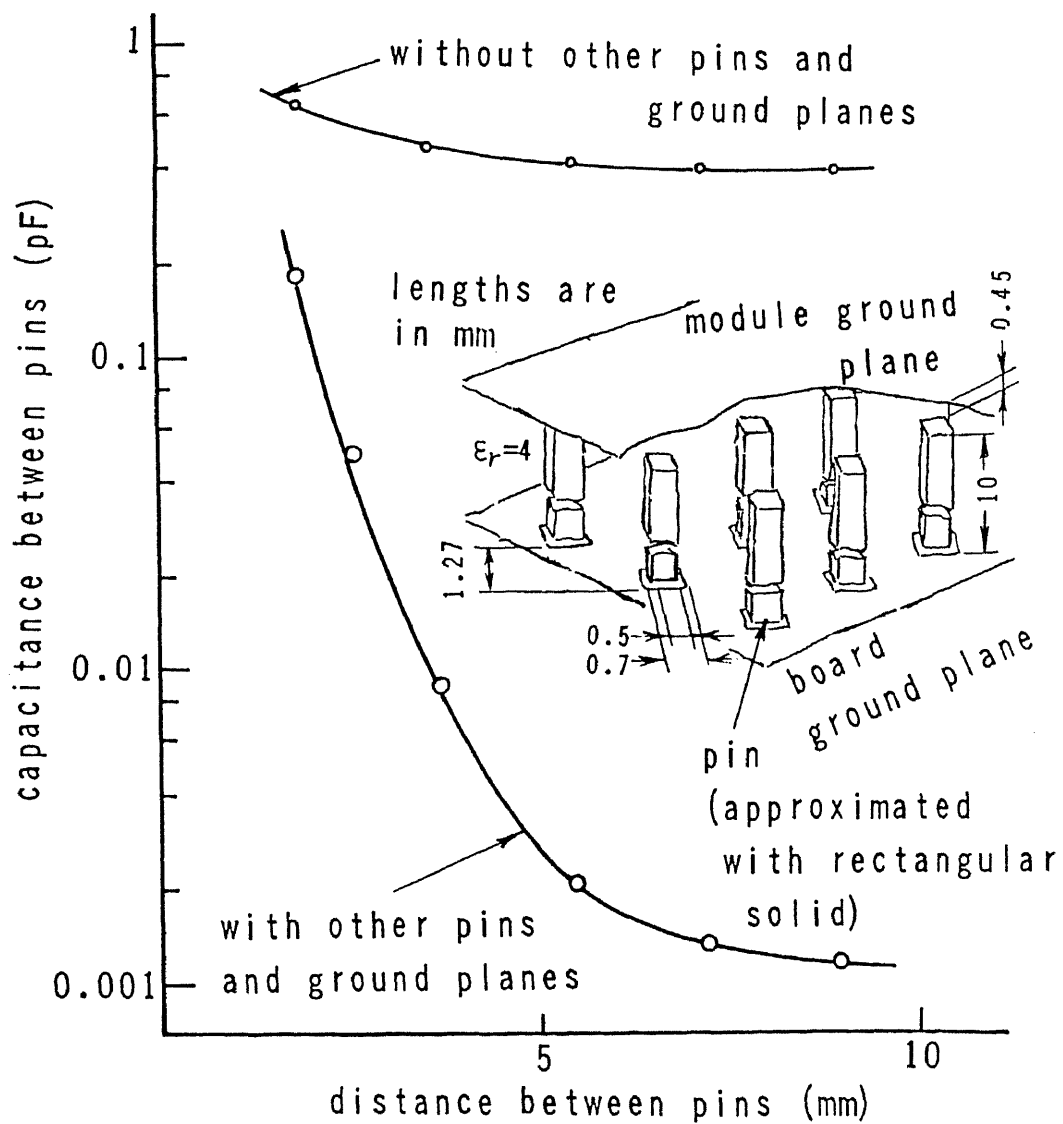


図 2.6.7 モジュールコネクタのピン間キャパシタンス計算値

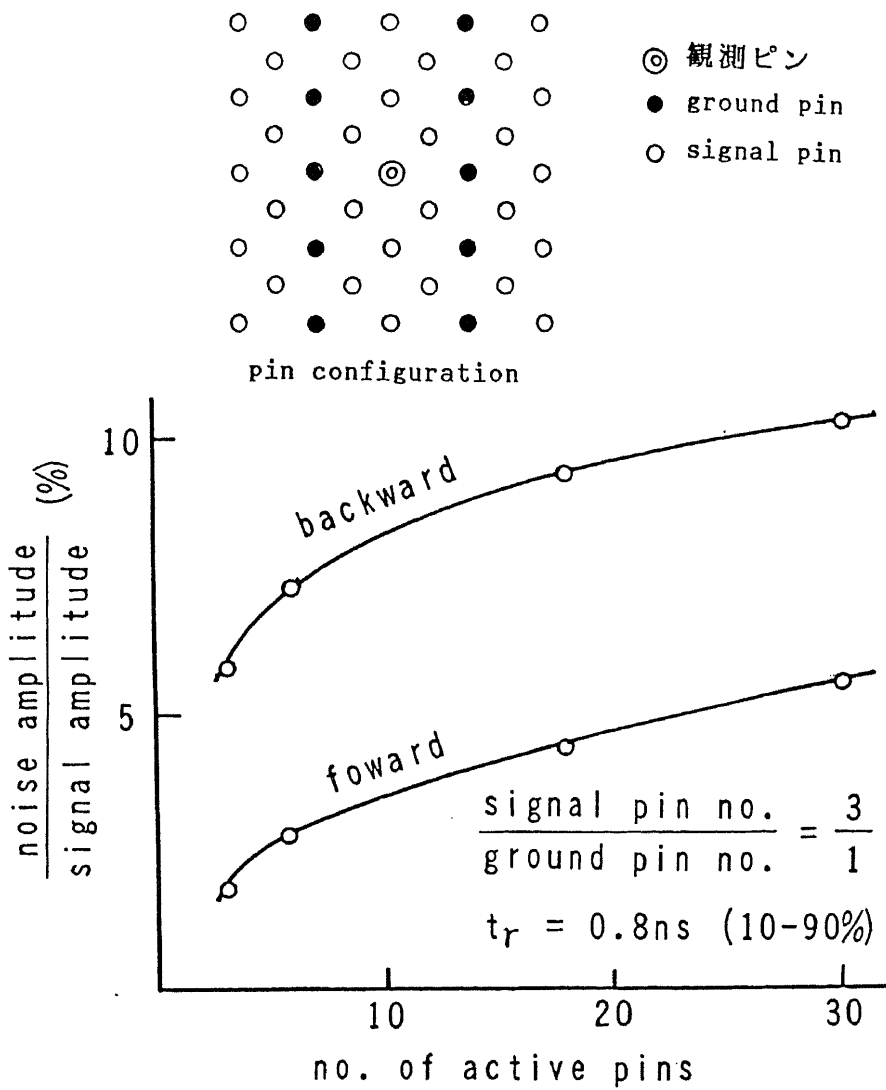


図 2.6.8 クロストークノイズ計算値
(モジュールコネクタ)

3. パスディレイチェックシステム

3.1 パスディレイチェックシステムの目的

3.1.1 タイミング設計上の問題点

本章で述べるディレイチェックは1.2.2に述べたハードウェア設計の後半に相当する詳細設計における高性能化設計支援を目的としている。1.2.2でも述べたように詳細設計のフェーズでは、LSI、カード、ボード等の部品に収容できる回路の量、ピン数、回路・実装系でのディレイの要因となる諸定数等を前提として詳細論理設計と実装設計を行う。この時点での設計作業は既に決まっている論理方式とハードウェアの枠組みの中で比較的単純な規則に基づく多数の判断の集積である。

1.2.1述べたようにCPU内の論理は、マシンサイクル時間を周期とし、位相が互いに異なる数種類のクロック信号に同期して動作するフリップフロップとそれらの間をつなぐ組合せ回路のパスで構成されている。したがってパスの始点と終点のフリップフロップのクロック信号の位相差は、組合せ回路のパスを信号が伝わるのに必要な時間より長くなければならない。すなわちハードウェア性能を決めるマシンサイクル時間はフリップフロップ間の各組合せ回路の論理パスの遅れ時間の最大値によって決まる。このためネックとなっている論理パスの論理段数、物理的な経路の長さをできるだけ短縮することが必要になる。

このためにはまず始点、終点に相当する部分をどのカードのどのLSIに割り付けるかを概略決定し、各論理パス内の論理ゲート、負荷、配線によるディレイの概略値を推定して、その区間のディレイが目標として設定したマシンサイクル時間を達成できる範囲内にあるかをチェックしながら詳細論理設計をつめてゆく必要がある。

しかしながらすべての始点・終点のペアについて論理のパスのディレイが目標時間範囲内に入っていることを確認する作業は設計者にとって極めて煩雑な作業である。特に回路速度の向上に伴ってパスのディレイの中で実装ディレイが相対的に大きな比率を占めるようになってきているため、単純に論理段数に比例したディレイ予測では役に立たず、論理1段ごとに回路のディレイの他に、カード、ボード等の形状、材質等から決まるディレイ要因の諸定数と、信号線が経由するピンの位置、配線経路等を調べて集計しなければならない。また問題となりそうな始点・終点フリップフロップのペアと、その間でネックとなりそうな論理のパスをリストアップすることは、それ以上に困難な仕事である。もしかりにチェックが不十分で、計算機が完成してから論理のパスのディレイが大きすぎるということがわかったとすると、大集積度のLSIを使って高密度化を図っている現在の大型計算機では修正に多くの時間とコストを要してしまう。完成以前であっても設計が進んでからの変更は困難なことが多く、特定パスについてどうしてもディレイを短縮できない場合には、フリップフロップの動作タイミングをずらしたり、その処理に当初予定していたより多いサイクル数を割り当てる等、その部分の論理方式を根本的に変更しなければならない。

そこで詳細設計のできるだけ早い時期に、設計者に煩雑な作業を強いることなしにパスのディレイをチェックできることが強く望まれる。

3.1.2 パスディレイチェックシステムへの要求事項

パスディレイチェックシステムは電気特性解析システムと異なり、使用される時点では実装系の枠組み、設計ルール等は全て決まっておき、必要なデータはファイルに格納されている。膨大な量の設計判断を必要とする論理、実装設計の支援システムとして真に有用な設計支援システムであるためには、これらの情報を最大限に利用し、実際に使用される条件を考慮した緻密な配慮をすることが要求される。要求される主な項目をあげると、

(1) 無数にあるCPU内の論理のパスの中で、1つでもディレイがオーバーしていれば計算機は正常に動作しないという事情から、チェックは人手作業にたよる部分を含むことなく完全に自動的に行われなければならない。

(2) 論理パスは一般には異なる階層に属する多くの実装部品を經由しているので、設計データの中からこれらの部品に相当する部分を全て自動的に探し出し、ディレイの要因となる項目を集計し、つなぎ合わせてディレイを予測しなければならない。これを実用的なCPUタイムで処理できるよう、部品の階層ごとに分割した処理形態を採用した。このためにはそれに適したクリティカルパス探索アルゴリズムの開発が必要であった(3.2.2, 3.2.5参照)。

(3) 詳細設計途中で、すなわち設計が未完成である時点でこれらの処理を行わなければならない。このため不完全な設計データをできる限り活用してディレイを予測計算する機能を開発した(3.2.3, 3.2.4参照)。

なお組合せ論理回路のディレイが許容値以下であるかどうかのチェックとして、論理シミュレータにディレイを正確に計算する機能を付加してシミュレートする方法も考えられる。しかしこの方法では(1) 論理シミュレーションは指定した論理動作のみをシミュレートすることを目的としているのでディレイが問題となるパスを網羅して発見することが難しい、(2) シミュレートするために初期の論理的な状態等を入力しなければならない、(3) 誤動作が発見されたとしてもそれが論理不良によるものか、ディレイがオーバーしたために生じたものかすぐには判定がつかない、(4) ディレイがオーバーする場所とその原因を直接知ることができない、等の問題があるため、論理シミュレータとはコンセプトの異なる専用のチェックシステムが必要である。

3.2 パスディレイチェックシステムの特徴

3.2.1 基本機能

(1) 概要

指定された範囲内のフリップフロップからフリップフロップまでの区間（図3.2.1に示す）全てについて、その間の組合せ回路のパスのうちディレイが最大のもの（クリティカルパス，図中太線で示したもの）を探しだし，目標値をオーバーしているものをプリントアウトする。

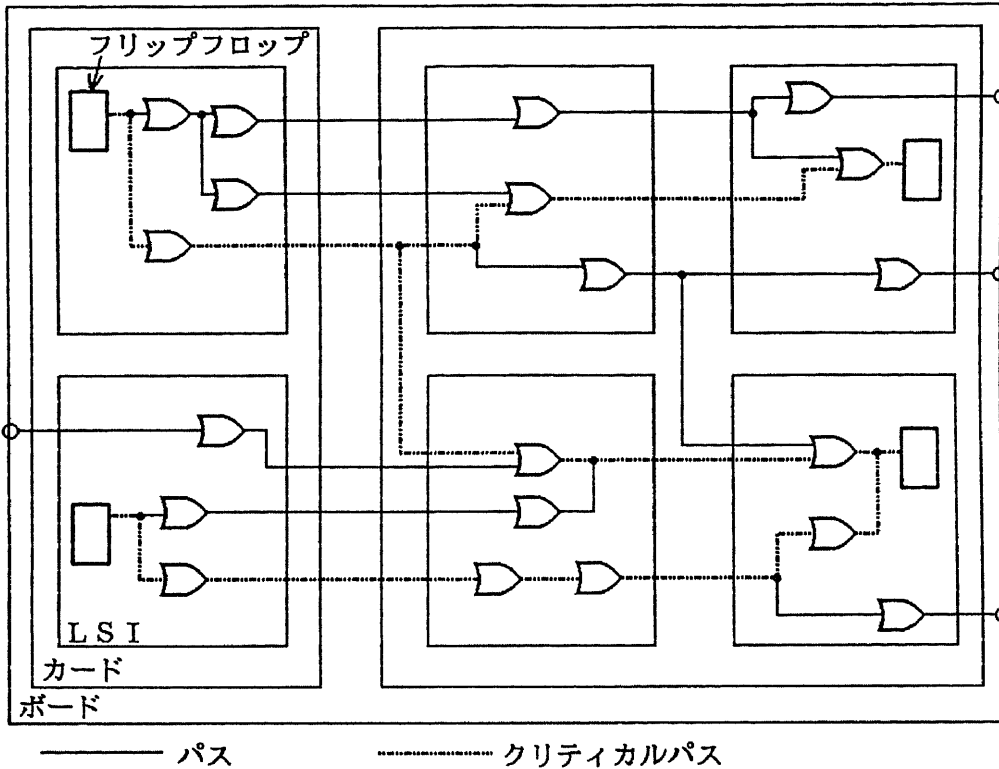


図3.2.1 フリップフロップ間の組合せ回路のパスの例

処理手順は概略下記の通りである。

- (a) 指定された範囲内での全てのフリップフロップ，組合せ回路の間の接続関係を設計ファイルから読み込む。
- (b) 読み込まれた論理回路1段毎のディレイを計算する。
- (c) 始点フリップフロップから組合せ回路をたどって行き着く全ての終点フリップフロップまでについてディレイが最大のパスを探し出す。これを指定された範囲内の全ての始点フリップフロップについて繰り返す。
- (d) 始点，終点フリップフロップに供給するクロック信号の種別を判定し，それから得られるその区間の許容ディレイ値と比較したチェック結果を出力する。

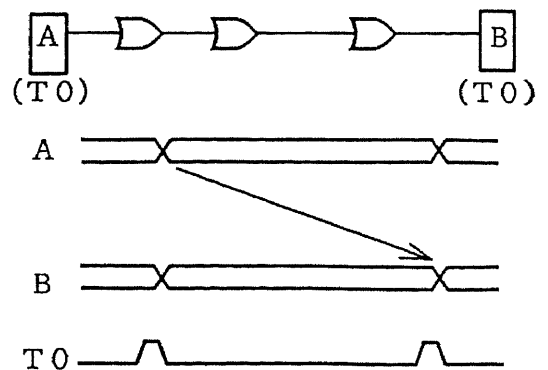


図3.2.2 同相転送

なお実際にはディレイ最小のパスを探し出す機能も持たせてある。これは図3.2.2の

ように始点と終点のフリップフロップが同一相のクロック信号で動作する場合（終点フリップフロップは始点の動作の1サイクル後でデータをサンプルする），パスのディレイが小さすぎると1サイクル早く終点フリップフロップに取り込まれてしまうことになるので，最小ディレイについても注意を払う必要があるためである。

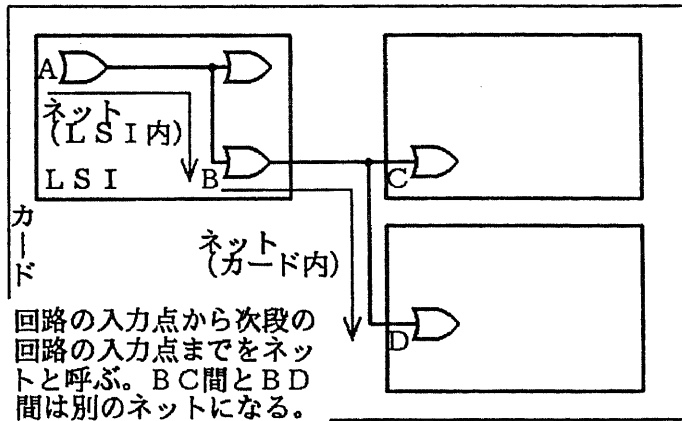


図3.2.3 ディレイを計算する単位(ネット)の例

(2) ディレイの計算

ディレイは後に述べるクリティカルパス探索処理の都合により，図3.2.3に示すようにひとつの回路の入力ピンから次段の回路の入力ピンまで（この範囲を本論文ではネットと呼ぶ）を単位に計算する。従って同一の回路の出力であっても，次段の回路としてどれを着目するかによってネットのディレイは異なる。ネットにはひとつのLSI内に含まれてしまうLSI内ネット，LSIをまたぐカード内ネット，カードをまたぐボード内ネット，ボード間をつなぐボード渡りネットがある。

ディレイは要因別に回路ディレイ，配線ディレイ，負荷ディレイに分類され，それらの合計がそのネットのディレイである。回路ディレイは回路自体のディレイであり，LSI内にのみ存在する。高速計算機CPU内では1.2.1で述べたようにゲートアレイ方式の論理LSIを採用している。ゲートアレイ方式ではあらかじめ回路設計，レイアウト設計の済んだ数十種の論理回路（2入力OR/NOR等）の中から選択して論理を組む。回路ディレイは回路のタイプが決まれば前もって回路シミュレーションまたは実測により求めておいた定数を使えばよい。

配線ディレイはLSI，カード，ボード等の配線上の伝播時間で，送端から受端までの配線長に依存する。長さ当りのディレイはガラスエポキシ，セラミック等配線基板の材質に依存する量であらかじめ与えておく。配線長は実装設計のフェーズにより，その時点で得られる情報を利用して3.2.3，3.2.4に述べるようにして推定する。

負荷ディレイは配線の途中に付加された寄生容量によるディレイであり，カード，ボードのように整合終端した伝送線（1.2.1参照）ではほぼ $(Z_0 C) / 2$ になる。 Z_0 は伝送線の特徴インピーダンスであり，あらかじめ決まった量である。容量値Cは負荷のタイプ（例えばLSIの入力ピン，コネクタピン等）によって決まる量で，あらかじめ登録して

おく。

L S I 内のディレイについてはそのネットで信号がlowレベルからhighレベルに切り替わりつつある（以下立上り時と言う）か,highレベルからlowレベルに切り替わっている（立ち下がり時と言う）かによって異なった値になるので、両方の場合についてディレイを計算しておき、クリティカルパス発見処理でこれらを利用してパスのディレイを求める（3.2.5参照）。

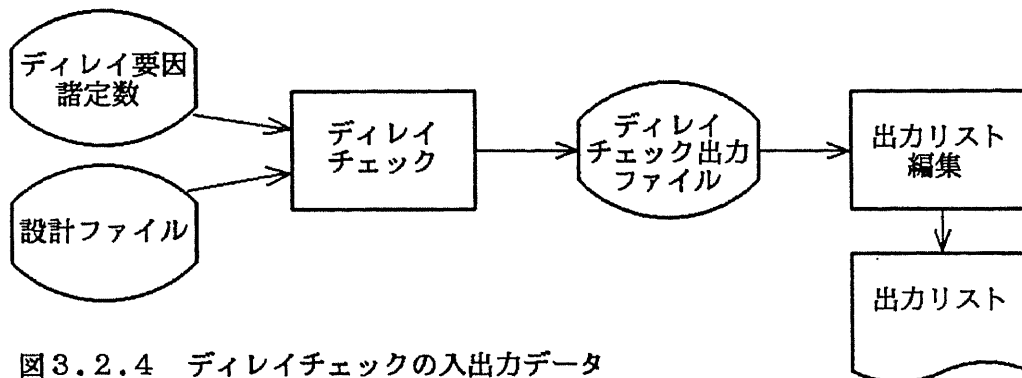


図3.2.4 ディレイチェックの入出力データ

(3) 入出力データ

以上の処理のための入出力データは図3.2.4に示す通りである。3.1.2で述べたようにチェックは全て自動的に行うことが必要で、設計者が特別な入力データを準備しなくてよいようになっている。まず入力データのうち実装系の枠組みによって決まり、ディレイに影響する要因、諸定数として下記のものがある。

- (a) L S I 内でゲートを置くことのできる領域の形状、寸法、同様にカード内での L S I の、またボード内でのカードの配置可能領域の形状、寸法
- (b) 各種別のゲートのディレイ値
- (c) 上記各階層の部品内での負荷（負荷ゲート、スルーホール、コネクタピン等）当りのディレイ値
- (d) 上記各階層の部品内での配線の長さ当りのディレイ値

これらは具体的な論理、実装設計とは関係なく決まるもので、固定的なデータベースとして登録しておき、利用する。

一方この時点では詳細論理チェックのための論理シミュレーションも並行して行われている[72]。そこで最新の設計情報を設計ファイルに登録しておき、論理シミュレーションとディレイチェックに共通のデータとして利用する。さらに実装設計の進捗に応じ、このデータに加えて、L S I やカード基板製造用のフォトマスク等を作成するための物理的な設計データが利用可能である。このように設計者はパスディレイチェックシステムのみを目的に大規模なデータを準備する必要はない。

チェック結果の出力データは始点、終点フリップフロップ間の区間各々についてディレイ最大（最小）のパスの経路とディレイ値であるが、一つの L S I、またはカード内に限

定したとしても膨大なものになってしまう。そこでチェック結果はいったんディスクに書き出しておいて、後で必要に応じて下記の項目のように分類，選別してプリントアウトできるようにしてある。

- (a) 始点の範囲限定
- (b) 始点・終点のフリップフロップのクロック信号の相ごとに分類
- (c) デイレイ値により分類

また設計者が、デイレイが許容値を超えた原因を知ることができるよう、指定した特定の区間について詳細なデイレイの要因を打ち出す機能も付加してある。

3.2.2 階層処理

計算機CPUがLSI，カード，ボードの階層構成になっているのにあわせ、デイレイチェックの処理も以下に示す2つの理由により図3.2.5に示すような階層的な処理を採用した。

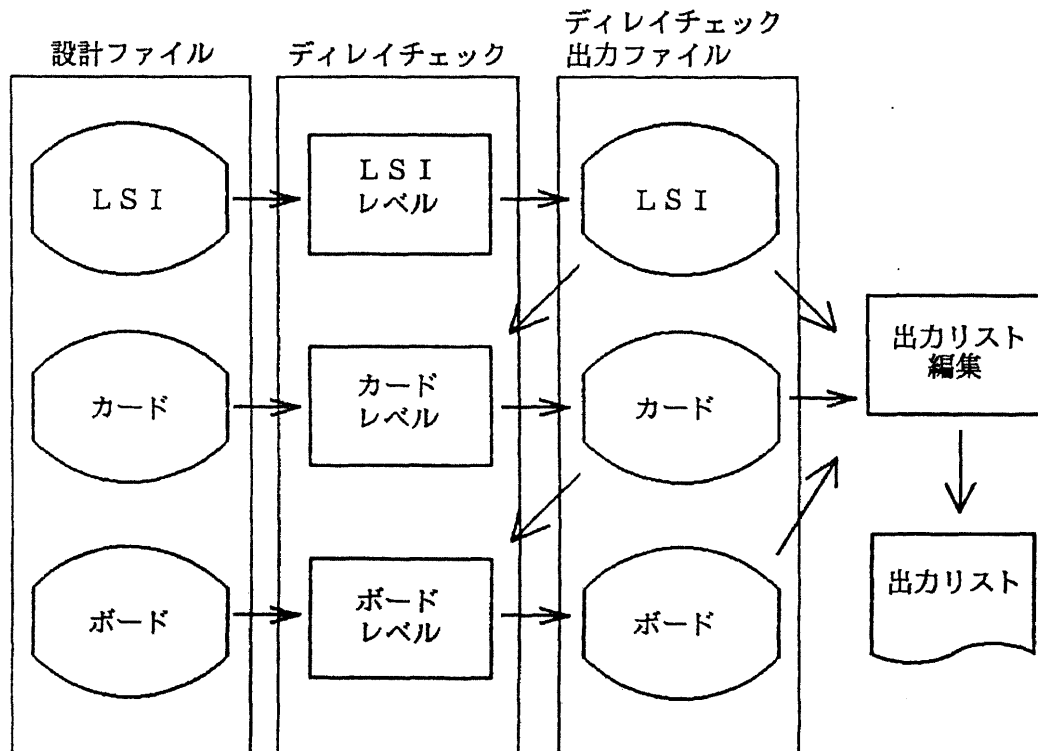


図3.2.5 階層処理のデータの流れ

(1) 一つのパスでもデイレイが許容値を超えていれば計算機全体が正常に動かないという事情から、始点・終点フリップフロップとその間の組合せ回路からなる論理のパスの探索は人間の作業（始点，終点またはその両方を指定する等）を介在させることなく全自動で行うことが必要である。ところが計算機CPU内には組合せ回路で接続された始点，終点フリップフロップのペアの数は数十万，あるいはそれ以上あるため，それらを一括して

チェックするには膨大な処理時間、出力データ量を要し、現実的でない。

(2) CPUの設計は膨大なマンパワーを要する作業であり、多数の設計者が各部分部分を担当し、並行して設計を進めてゆくのが普通である。一方部品の製造、検査等は当然のことながらLSI、カード等の品種単位に工程を組んで行われるので設計も最終的にはこの単位でファイル化、図面化して管理するのが通常である。従ってパステイレイチェックについても設計の進捗状況が必ずしも揃っていないCPU全体を同時に行うよりも各階層の品種単位に行うほうが都合がよい。

階層処理は下記のように運用する(図3.2.6)。まず最下位の階層であるLSIの品種ごとにその品種の設計ファイルを入力としてディレイチェック処理を行う。チェックはそのLSI内に始点、終点フリップフロップのあるパス(クローズドパスと呼ぶ)の他にそのLSIの入力ピンからそのLSI内のフリップフロップまでのパス(入力オープンパスと呼ぶ)、そのLSI内のフリップフロップからそのLSIの出力ピンまでのパス(出力オープンパスと呼ぶ)、LSIの入力ピンから出力ピンまでのパス(スルーパスと呼ぶ)についても行う。チェック結果(各始点終点間のクリティカルパスの経路とディレイ値)はすべてその部品に対応するディレイチェック出力ファイルに書き出す。

カード単位の処理はそのカードに搭載している全LSIのディレイチェックが完了し、結果がディレイチェック出力ファイルに出力されていることを前提にしている。ただし後で述べるように必ずしも全LSIの実装設計までが完了していなくてもよく、論理のパスの接続関係が矛盾なく設計ファイルに記述されていれば、それをもとにLSIのディレイチェックが可能である。カード単位の処理では搭載している各LSIのディレイチェック出力ファイルから入力オープンパス、出力オープンパス、スルーパスの情報を読み出し、そのカードの設計ファイル内にあるLSI間の接続情報とつきあわせ、いずれかのLSI内にあるフリップフロップから、他のLSI内にあるフリップフロップまでのパス(カード内クローズドパス)、カードの入力ピンからLSI内のフリップフロップまでのパス(入力オープンパス)、LSI内のフリップフロップからカードの出力ピンまでのパス(出力オープンパス)、カードの入力ピンから出力ピンまでのパス(スルーパス)をLSI処理の場合と同様にディレイチェック出力ファイルに出力する。ボードの処理もまったく同様に、搭載しているカードのディレイチェック出力ファイルとボードの設計ファイルを読み込んで処理する。

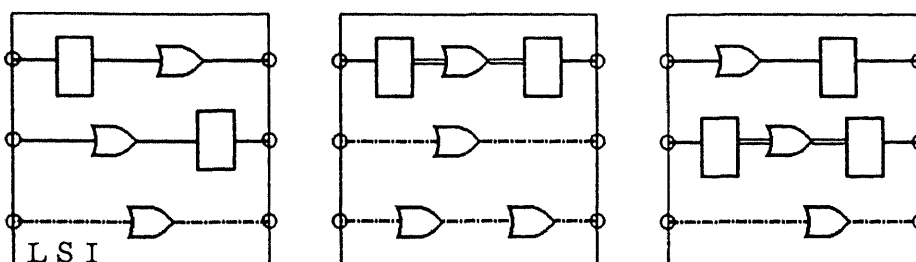
このような階層処理を採用することによって下記のように処理時間を節約することができる。

(1) 同一品種のLSIを複数個使用する場合、例えば演算器の上位のビット位置に対応するLSIと下位のビット位置に対応するLSIでは動作のタイミングが異なることがあり、それぞれ別々にディレイチェックを行うことが必要である。このような場合でもLSIの内部についてはまったく同一の論理になっているので、LSI内クローズドパスはもちろん、入力オープンパス、出力オープンパス、スルーパスについてもディレイは同一であり、カードの上でLSI間を接続する部分のみ異なっている。階層処理ではこのような場合同一品種のLSIの処理は1回だけ行って、その出力結果を使ってカード上に搭載し

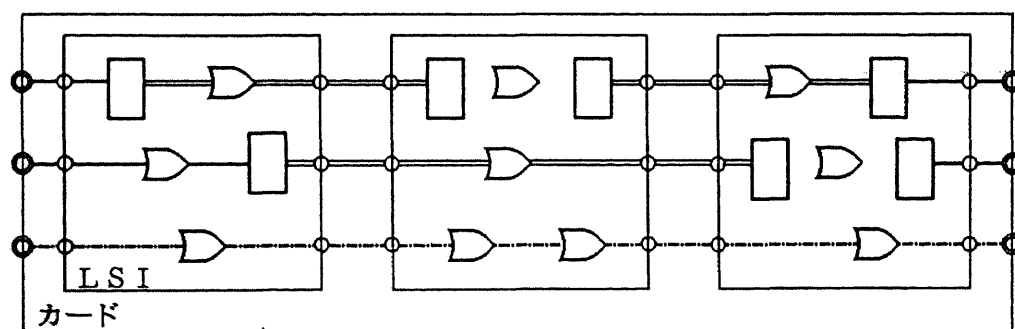
た各LSI間を接続する部分のディレイを計算しながらこれら全部を範囲とするLSI渡りのディレイチェックを行うので処理の重複を避けることができる。

(2) カードに搭載する一部のLSIのみ設計変更して再度ディレイチェックを行う場合、階層処理では変更を行った品種のLSIとカードのディレイチェックをしないだけでよく、変更のなかった部分については以前に行ってディレイチェック出力ファイルに保存してあるデータを利用できる。ボードに搭載するカードを一部設計変更した場合についても同様である。

チェック結果はユーザーの指定に従い、LSI単位、カード単位、ボード単位それぞれのレベルでのクローズドパスをディレイチェック出力ファイルからプリントアウトできるようになっている。



(1) LSI単位のディレイチェック結果



(2) カード単位のディレイチェック結果

——クローズドパス - - - - 入力, 出力オープンパス スルーパス

図3.2.6 各実装階層の処理におけるパスの種類

3.2.3 配線のカード渡り順序の推定

3.1節で述べたように、ディレイチェックは実装設計が必ずしも終わっていない状態で使用される。このため不十分な実装情報しか含まれていない設計ファイルのデータからネットのディレイを予測することが必要である。基本的な考え方としてはディレイは最悪ケース、すなわち考えられる最大の場合を推定値とする。しかし無条件に最悪ケースとしてディレイチェックを行ったのでは、許容値オーバーとして警告を受ける始点・終点区間数が多くなって設計変更等の対策が不可能になってしまう。そこで可能な情報からできる限り正確にディレイを予測する方法を考えなければならない。ディレイのうち回路ディレイと負荷ディレイについては論理的な接続関係からほぼ予測可能であるが、配線ディレイは配置、配線設計前に予測することは簡単ではない。ここではまず絶対値が大きくネットのディレイに大きく影響するボード上配線ディレイを予測する上で重要な、ネットのカード渡り順序の推定方法について述べる。

カード、ボード上の配線は、2.1節でも述べたように整合終端した伝送線を構成している。すなわちLSIの出力ピンからスタートして一本の線で順々に負荷LSIの入力ピンをつなぎ（例外として小規模な枝別れは許容されるが）、最後に終端抵抗に接続する形状になっている（図3.2.7参照）。配線設計が完了していない時点でボード上のこのようなネットの配線ディレイを予測するには、まずそのネットがカードを渡る順序を知る必要がある。

順序推定の手がかりとしては、まずカードのピンの種別を利用できる。図3.2.7に示すようにそのカードの中でLSI出力ピンに接続されているものをソース接続ピンと呼び、記号Sで表す。またそのカードの中で終端抵抗ピンに接続されているものを終端接続ピンと呼び、記号Tで、またボードの外部に接続するためのピンを外部接続ピンと呼び、記号Xで表す。上記いずれにも属さないものは、負荷LSIに接続されているものとしてシンク接続ピンと呼び、Kで表す。以上を表3.2.1にまとめておく。シンク接続ピンは一般にはひとつのネットに複数ありうるが、その中でそのネットの次段として着目する回路を含むLSIへの入力ピンを内部に含むカードのピンを「着目するシンク接続ピン」と呼ぶ。ディレイチェックを行う前提として、少なくとも論理の接続関係だけは決まっていることを仮定しているので、ピン種別S、Kは確定しているがT、Xは未確定で設計ファイルに入力されていないことがある。

また順序推定の別の手がかりとして、カードのピンの物理的な位置がある。カードのピンにはボードに接続するメインエッジピンと、その反対側でケーブルに接続するサブエッジピンがあり（図3.2.7参照）、カードの外側でメインエッジピンとサブエッジピンとの間を接続することはできない。カードのピンをこのうちのどちらにするかは、ピン数制限のチェックのため比較的早い時期に決めるのでディレイチェックでの利用が可能である。

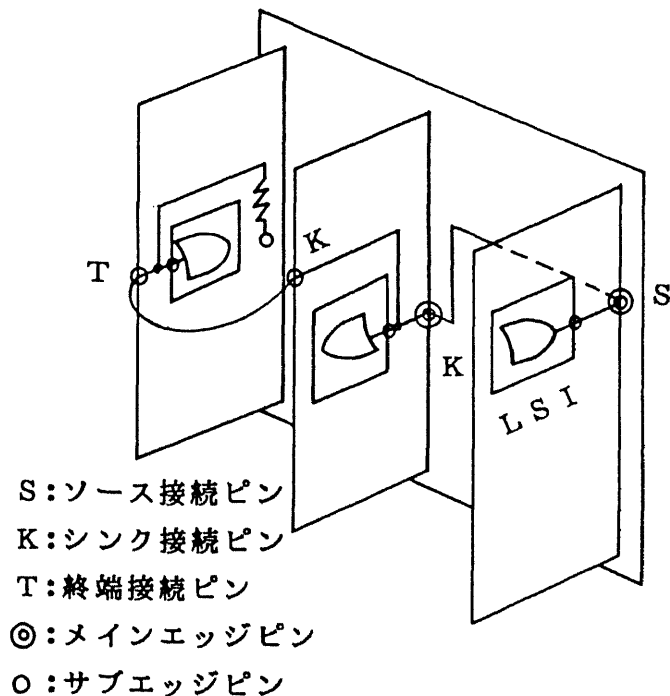


図3.2.7 カード渡りネットの例

表3.2.1 ボード上のカード入出力ピンの種別

| 種別 | 記号 | 意味 |
|---------|----|------------------------|
| ソース接続ピン | S | カード内でLSI出力ピンに接続されているピン |
| 終端接続ピン | T | カード内で終端抵抗ピンに接続されているピン |
| 外部接続ピン | X | ボードの外部に接続するためのピン |
| シンク接続ピン | K | 上記以外のピン |

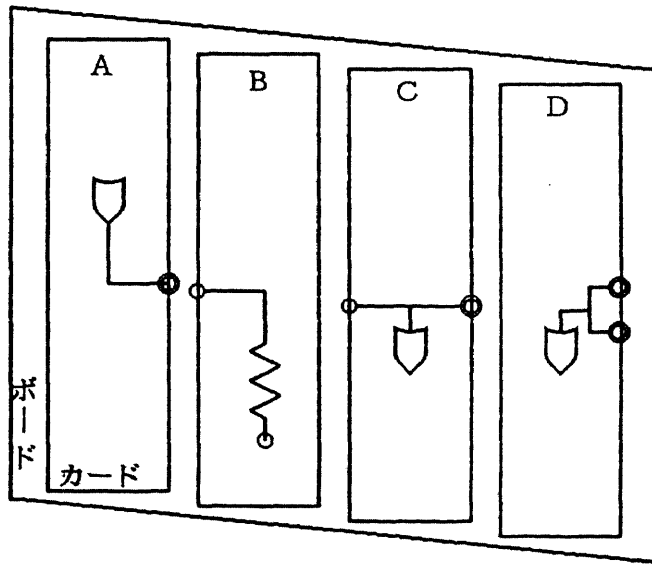
まずピン種別から先頭のカードと最後のカードを推定することができる。そのネットにソース接続ピンSが1つあればそれが先頭であり、複数あれば設計ミスなのでウォーニングのメッセージを出す。ネットによってはそのボード内にソース接続ピンがなく、別のボードから入ってくる場合もある。外部との接続は外部接続ピンXを介して行われるが、まだ設計ファイルに登録されていないこともある。最後のカードは終端接続ピンTか外部接続ピンXであるが、いずれも設計ファイル未登録の可能性もある。先頭、および最後のカードのピンとして考えられるものをまとめて表3.2.2に示す。

中間のカードの順序はそれらが矛盾なく接続できるかどうかで判定する。例えば図3.2.8でAの次に来ることのできるのはメインエッジ側にピンが出ているCかDでなければならない。また接続可能な候補が複数ある場合には、配置設計後でカードの位置が決まっていれば近い順、配置設計前ならば最悪ケースを考えて着目するシンク接続ピンが最後になると仮定する。

表 3.2.2 ボード内先頭および最後のカードの入出力ピン種別

| | 先頭 | — | 最後 |
|-----|----|---|----|
| (1) | S | — | T |
| (2) | S | — | X |
| (3) | X | — | T |
| (4) | X | — | X |
| (5) | S | — | 未 |
| (6) | 未 | — | T |
| (7) | X | — | 未 |
| (8) | 未 | — | X |
| (9) | 未 | — | 未 |

未：未入力



- メインエッジピン
- サブエッジピン

図 3.2.8 カード渡り順序推定例

これらの条件を満たすよう下記のアルゴリズムによりネットのカード渡り順序を推定する。以下の説明において $S(1), S(2), \dots$ はそれぞれスタックであり、ネットに接続されるカードの候補を記憶する。()内の数字は先頭から何番目かを示す。また N をそのネットが接続されているカード数とする。

step1) $n \leftarrow 1$

step2) 先頭カードの候補を $S(1)$ に登録する*¹

step3) $n \leftarrow n + 1$

step4) もし $S(n-1)$ のトップにあるカードの次に接続できるもの*²がなければ
step7)へ

step5) $S(n-1)$ のトップにあるカードの次に接続できるカードを $S(n)$ に全て登録する*³

step6) $n < N$ ならば step3) へ、さもなければ終了(順序推定成功)

step7) $S(n-1)$ の内容をひとつ削除

step8) $S(n-1)$ が空でなければ step4) へ

step9) $n \leftarrow n - 1$

step10) $n > 1$ ならば step7) へ、さもなければ終了(順序推定不成功)

*¹ピン種別 S が1つあればそれを登録(表3.2.2(1),(2),(5)),

ピン種別 S がなく, X が2つあればそれらを登録((4)),

ピン種別 S がなく, X と T が1つずつあれば X を登録((3)),

ピン種別 S, T がなく, X が1つ以下ならば全てのカードを登録((7),(8),(9)),

ピン種別 S, X がなく, T が1つあれば T 以外の全カードを登録((6))

*² $S(n-1)$ のトップにあるカードの出口側のピンがメインエッジピンならばメインエッジピンのあるカードが、サブエッジピンならばサブエッジピンのあるプラグインが接続可能。 $S(n-1)$ のトップにあるカードのピン種別が T ならば接続可能なカードなし。また先頭以外でピン種別が X ならば接続可能なカードなし。

*³配置設計後ならば接続可能なカードのうち遠いものから順に(読みだすとき近い順になるよう)登録する。配置設計前ならば接続可能なカードの中にそのネットの着目するリンクを含むものがあればそれを最初に(読み出すとき最後になるよう)登録する。

図 3.2.8 の場合を例にとって上記アルゴリズムを説明する。

| 処 理 | step | スタック内容 |
|--|------|-------------|
| (a) $n = 1$ とし、先頭カードとしては ピン種別 = S である A が 唯一の候補なので S (1) に登録 | 1) | |
| | 2) | S (1): A |
| (b) n を 1 増加して 2 とし、A からの出力ピンがメインエッジ 側なので、メインエッジ側から接続可能な C, D を S (2) に 登録 | 3) | S (1): A |
| | 5) | S (2): C, D |
| (c) n を 1 増加して 3 とし、S (2) のトップにある C に着目し、 C の出力ピンがサブエッジ側なので、サブエッジ側から接続 可能な B を S (3) に登録する | 3) | S (1): A |
| | 5) | S (2): C, D |
| | | S (3): B |
| (d) n を 1 増加して 4 とする。S (3) のトップにある B は最後の カードなのでその後に接続できるカードはなく、B を S (3) か ら削除する | 3) | S (1): A |
| | 4) | S (2): C, D |
| | 7) | S (3): |
| (e) B を削除した結果 S (3) が空になったので n を 1 減らして 3 とし、S (2) に戻ってトップにある C を削除する | 9) | S (1): A |
| | 7) | S (2): D |
| (f) S (2) のトップにある D の出力ピンはメインエッジ側なので その後に接続可能な C を S (3) に登録 | 5) | S (1): A |
| | | S (2): D |
| | | S (3): C |
| (g) n を 1 増加して 4 とし、サブエッジ側にある C の出力ピンに 接続可能な B を S (4) に登録 | 3) | S (1): A |
| | 5) | S (2): D |
| | 6) | S (3): C |
| | | S (4): B |

このようにしてカード渡りの順序は A - D - C - B であることがわかる。

3.2.4 配線長の推定

ネットのディレイに影響し、実装設計が未完成の時点で確定していないもう 1 つの大きな要因として配線の長さそのものがある。各ネットの配線経路の決定以前にこれをできる限り正確に推定しなければならない。

以下例としてカード上の配線について述べるが、ボード、LSI の場合も同様にそれぞれの配線に関する制約事項、設計ルール等を利用して推定する。

(1) 配置設計前の時点での推定法

そのネットを駆動する回路を含むLSIの出力ピンから着目する次段回路のあるLSI入力ピン（着目するシンクピンと呼ぶ）までの配線長 l はそのネットに接続されるLSI入力ピン数 p から下式により推定する。

$$l = a p \quad (3.2.1)$$

ここで a は推定パラメータであり、従来の計算機に関する統計データから経験的に求めた定数である[16]。ここで l が p に比例するとしたのはカード内の配線はLSI出力ピンからスタートして1本の線でLSI入力ピンを順次接続してゆくの、最悪のケースとしてそのネットの着目するシンクピンが最後につながっているものと仮定したためである(図3.2.9参照)。なおそのネットの回路を含むLSI出力ピンがそのカードの外部にある場合にはLSI出力ピンのかわりにカードへの入力ピンからスタートすると考えるだけでまったく同様に推定できる。

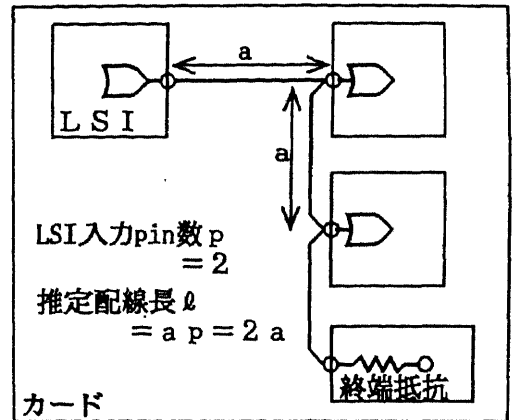


図3.2.9 配置設計前の配線長推定法

(2) 配置設計後の時点での推定法

そのカード上の配置設計が完了していれば接続すべきLSIの入出力ピン位置は少なくともLSIサイズの精度で確定している。さらに各LSIのピン割り付けが完了していればピン位置は完全に決まっている。これを利用して次のように配線長を推定する。

まずそのネットの先頭ピンと最後のピンを各ピンのピン種別から決める。カード上のピン種別には次のものがある。まずそのネットの駆動回路からのLSI出力ピンをソースピンと呼び記号 S で表す。終端抵抗は図2.1.1に示したように終端抵抗モジュール内に形成し、カードに取付ける。このモジュールへの接続点を終端抵抗ピンとよび、 T で表す。またカードの入出力ピン（メインエッジピンまたはサブエッジピン）を記号 E で表す。このうち少なくともピン種別 S と E に属するピンは論理の接続関係の記述に必要なので、設計ファイルに登録されているものと仮定するが、終端抵抗ピンは場合によっては未決定であることがある。ネットの先頭ピンと最後のピンの可能な組合せは表3.2.3に示すとおりであり、そのうち(5)、(6)は終端抵抗ピンが未確定の場合である。

その他のピンの接続順序は下記のように決める。まず図3.2.10に示すように接続すべきピンを囲む長方形を考え、その短い辺のうち先頭のピンに近い方に接するものを第2のピンとする。なお表3.2.3の(4)のケースではカード入出力ピン（ピン種別 E ）が2本あってどちらを先頭とするか不明であるが、両方のケースを求めておく。どちらが入力、出力ピンであるかは2本のカード入出力ピンの一方がメインエッジピン、他方がサブエッジピンならばボードレベルの処理で3.2.3で述べたようにして決まる。2本のカード入出力ピンが両方メインエッジピンかサブエッジピンの場合はボードの配線設計完の時点まで入力側/出力側を決めることはできない。第3のピン以下は上述の外接長方形の短

辺に近い順とするが、表3.2.3の(1)~(4)の場合については最後のピンとしてそれぞれ確定しているピン種別のものを選び、短辺からの距離に関係なく最後にあるものとする。

このようにして配線順序が決まれば配線長はピン間を順に直角配線でつなぐものとして(すなわち配線長はピン間のマンハッタン距離になるものとして)推定する。

表3.2.3 カード内先頭ピンと最後のピンのピン種別

| | 先頭 | — | 最後 | |
|-----|----|---|----|-------------------------|
| (1) | S | — | T | S : ソースピン T : 終端抵抗ピン |
| (2) | S | — | E | |
| (3) | E | — | T | E : カード入出力ピン 未 : 未入力 |
| (4) | E | — | E | |
| (5) | S | — | 未 | |
| (6) | E | — | 未 | |

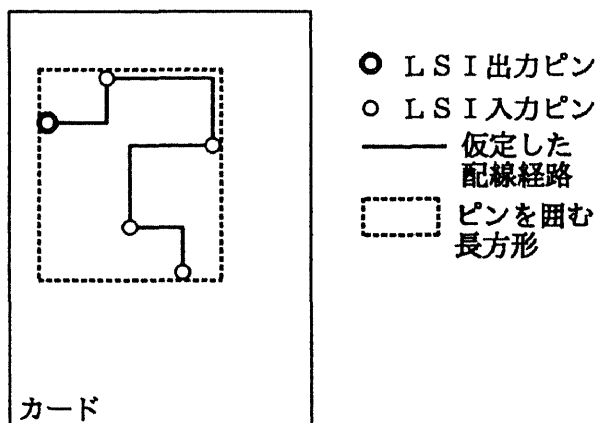


図3.2.10 配置設計後の配線長推定法

3.2.5 クリティカルパス発見法

最下位の階層(LSI)内部に着目すると図3.2.1に示すようなフリップフロップ間の組合せ回路のネットワークは各回路、およびフリップフロップの入力点をノードとし、各ネットを枝とする有向グラフで表すことができる。図3.2.11に回路のネットワークの例とそれに対応するグラフを示す。パスディレイチェックの目的はこのグラフのうち共通のパスの上にあるフリップフロップのペア全てについて、フリップフロップ間でディレイが最大であるパスと、そのディレイ値を求めることである(3.1.2でも述べたように実はディレイ最小のパスも求めているが、ディレイ最大のパスの場合と同様なのでここでは省略する)。なお各枝のディレイ値は既に求められているものとする。

上位の階層たとえばカードの処理では3.2.2に述べたように既に済んでいる下位の階層(LSI)内部のディレイチェック結果を利用するので、グラフのノードはフリップフロップ、LSI入出力ピン、またはカード入出力ピンに対応し、枝はLSI内のパスおよびカード上の配線に対応する(図3.2.12参照)。最下位の階層と上位の階層ではグラフの性質の相違から異なるアルゴリズムを採用した。

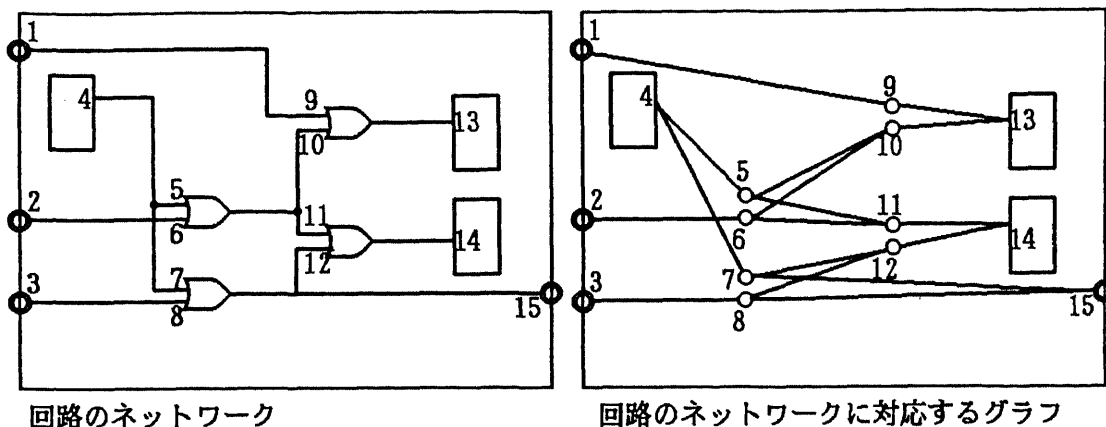


図3.2.11 回路のネットワークと対応するグラフ

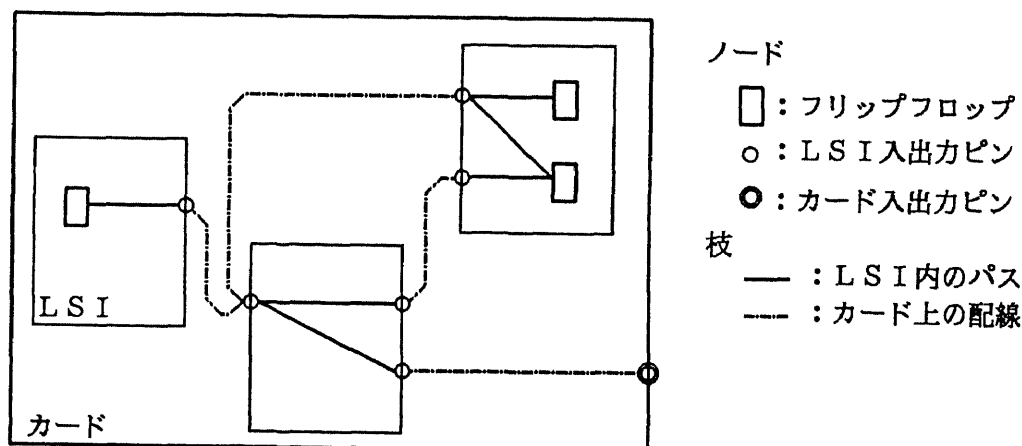


図3.2.12 カード内の論理のグラフ

(1) 最下位の階層(LSI)でのクリティカルパス発見法

最下位の階層の中では始点フリップフロップから終点フリップフロップまでの間を、粗合せ回路数段から多いもので十数段のパスが分岐、合流しながら接続しており、非常に複雑なグラフを構成しているので、パス探索の処理時間が問題となる可能性があった。そこで基本アルゴリズムとしては、処理時間の点で有利な breadth first search [81]によることにした。この方式は各ノードごとに (a) 始点ノードからそのノードまでの最大到達時間と、(b) 到達時間が最大になるパスの1段前のノードを指すポインタを持ち、(c)

探索中のノードを記憶する先端ノードキューを使って次のようにしてクリティカルパスを発見する。図 3.2.13, 表 3.2.4 に示す実例によって説明する。

手順 1 : 始点 (ノード 0) から枝を 1 段たどってノード 1, 2 の最大到達時間 (それぞれノード 0 とそのノードを結ぶ枝のディレイ) と前段ポインタ (ノード 0 を指す) を書き込む。ノード 1, 2 は別の経路をたどって到達することは不可能なのでここで最大到達時間と前段ポインタが確定する。確定したノード 1 と 2 を先端ノードキューに登録する。

手順 2 : 先端ノードキューからノード 1 を取り出し, 枝を 1 段たどってノード 3, 4 の最大到達時間と前段ポインタ (ノード 1) を書き込む。ここで最大到達時間はノード 1 までの最大到達時間とノード 1 と 3 を結ぶ枝のディレイを加えて求める。ノード 3 に到る経路はこれのみなので最大到達時間と前段ポインタが確定する。ノード 3 を先端ノードキューに登録する。

手順 3 : 先端ノードキューからノード 2 を取り出し, 枝を 1 段たどってノード 4 までのディレイを計算する。新しく計算されたディレイは手順 2 で計算された値より大きいので, 新しいディレイ値と前段ポインタで置き換える。ノード 4 に到る経路は全て調べたので最大到達時間と前段ポインタが確定し, 先端ノードキューに登録する。

以下同様にして探索を続けてゆき, フリップフロップまたは出力ピンに到達したら先端ノードキューに登録するかわりに終点テーブルに登録する。このようにして先端ノードキューが空になればノード 0 を始点とする全ての終点までのクリティカルパスが求められる。この時クリティカルパスのディレイ値は各終点の最大到達時間であり, 経路は各終点から前段ポインタを逆にたどってゆけば得られる。

基本アルゴリズムは以上のとおりであるが実用化に当っては以下に述べる改良が必要であった。高速計算機の論理回路は ECL 系が大勢を占めているが, ECL 回路では高集積化のための回路当りの消費電力低減に伴って信号の立ち下がり時の遅れ時間が立上り時に比べ大きくなる傾向にある。最悪ケースを考えれば全ての枝のディレイとして立ち下がり時の値を使えばよいがそれでは厳しく評価しすぎてしまうことになる。そこでより正確なディレイの評価のため 3.2.1 で述べたようにネットのディレイを立上り, 立ち下がり 2 通り求めておき, クリティカルパス発見処理では各ノードの最大到達時間と前段ポインタを 2 重に持ち, その回路で信号の反転が生じない場合 (ECL では or 回路の時) は前段までの立上り時の最大到達時間にそのネットの立上り時のディレイを加えてそのノードの立上り時の最大到達時間とし, 前段までの立下り時の最大到達時間にそのネットの立下り時のディレイを加えてそのノードの立下り時の最大到達時間とする。またその回路で信号が反転する場合 (ECL では nor 回路の時) は前段までと立上り/立ち下がりを入れ替えて加算する。終点からポインタを逆トレースするときもその回路で反転するかしないかによって立上り側, 立ち下がり側のポインタを切り替えながらトレースすれば始点また

は終点で立上りの場合と立ち下りの場合の2通りのクリティカルパスが得られる。

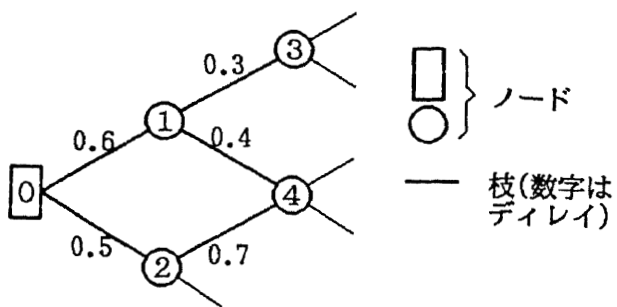
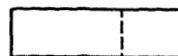


図3.2.13 論理のグラフの例

表3.2.4 最下位の階層でのクリティカルパス発見処理

| | | ノード | | | |
|--------|---|-----|---|-----|-----|
| | | 1 | 2 | 3 | 4 |
| 手 順 | 1 | 0.6 | 0 | 0.5 | 0 |
| | 2 | | | 0.9 | 1 |
| | 3 | | | | 1.2 |



左:最大到達時間

右:前段ポインタ

■:確定値

(2) 上位の階層（カード，ボード）でのクリティカルパス発見法

L S I の集積度向上に伴い，フリップフロップ間を結ぶ1つのパスが度々L S I を出入りするようなケースは少なくなっている。カードでも事情は同じで結局上位の階層での論理のパスのグラフは比較的単純なものが多い。一方上位階層の処理では1つ下の階層（サブユニットと呼ぶ）のディレイチェック結果をファイルから読み出しながら行わなければならない。そこでパス探索の基本アルゴリズムとして，処理が比較的簡単で所要メモリ量が少なく済む depth first search [81]を採用し，ファイル読み込み回数が少なく済むよう改良した。

スタート時には全サブユニットのディレイチェックが済んで入力オープンパス，出力オープンパス，スルーパスの始点，終点（サブユニット内にあるフリップフロップまたはサブユニットの入出力点），およびそのディレイ値がファイルにストアされているとする。また処理を行っている階層でサブユニットのピンの間をつなぐ経路のディレイ（配線ディレイ，負荷ディレイ）が計算されているものとする。これらをもとに下記の方針でクリティカルパスの探索を行う。

(a) 上述のようにパスのサブユニット出入りの頻度は低く，サブユニットを通過するスルーパスの数は全サブユニットを合わせてもそれほど多くない。そこで最初に全てのサブユニットのスルーパスの情報をメモリ内に取り込んでおいて利用することにする。

(b) 同一のサブユニット内にある全ての始点フリップフロップからスタートするパスを一括して処理する。

(c) 探索は2つのフェーズに分けて行う。第1のフェーズでは始点のあるサブユニット内の枝，処理を行なう階層上の枝，サブユニットのスルーパスの枝についてdepth first search を行ってサブユニットの入力ピンまでのクリティカルパスとそのディレイを求める。このフェーズでは（スルーパス情報がメモリ内に取りこんであるので）サブユニット内のパスの情報をファイルから読み込む必要はない。

(d) 第2のフェーズでは第1のフェーズで見つかったサブユニットの入力ピンからそのサブユニット内にあるフリップフロップまでの枝をサブユニットのファイルから読み込んで調べ，始点，終点間のクリティカルパスを求める。このフェーズは終点のあるサブユニットごとにまとめて行うことができるのでサブユニットのファイルはそれぞれ1回読むだけでよい。

図3.2.14の例を参照しながら具体的処理手順を説明する。ここではサブユニットA内にある始点フリップフロップからスタートするパスの探索の分について述べる。実際の処理ではこれを始点フリップフロップのある全サブユニットについて繰り返す。

手順1：サブユニットAの出力オープンパスを読み込む。

手順2：フリップフロップA0からスタートしてサブユニットA内の出力オープンパスの情報，処理している階層でのサブユニット間の接続情報，スルーパスの情報からdepth first searchを行い，パスA0-A2-B0-B3-C0を発見，A0→C0間のクリティカルパスの候補として経路とディレイを登録。

手順3：次のパスとしてA0-A3-B1-B3-C0を発見，手順2で発見したパスと始点，終点と同じなのでディレイを比較して大きければ経路とディレイを書き換える。

手順4：A0-A3-C1を発見，経路とディレイを登録。

手順5：A1-A4-B2を発見，経路とディレイを登録。

手順6：A1-A4-B2-B4-D0を発見，経路とディレイを登録。

手順7：A1-A4-D1を発見，経路とディレイを登録。

(以上の処理で次の区間のクリティカルパスの経路とディレイが登録されている。

A0→C0，A0→C1，A1→B2，A1→D0，A1→D1)

手順8：サブユニットBの入力オープンパスの情報をファイルから読む。

手順9：B2-B5のパス発見，A1→B5間のクリティカルパスの経路とディレイ確定。

手順10：サブユニットCの入力オープンパスの情報をファイルから読む。

手順11：C0-C2のパス発見，A0-C0-C2のパスの経路，ディレイを登録。

手順12：C0-C3のパス発見，A0-C0-C3のパスの経路，ディレイを登録。

手順13：C1-C2のパス発見，A0-C1-C2のパスの経路，ディレイを登録，手順11で発見されたパスと始点，終点と同じなのでディレイを比較して大きければ経路とディレイを書き換える。

(手順11～13の処理でA0→C2，A0→C3間のクリティカルパスの経路とディレイが確定)

手順14：サブユニットDの入力オープンパスの情報をファイルから読む。

手順15：D0-D2のパス発見，A1-D0-D2のパスの経路，ディレイを登録。

手順16：D1-D2のパス発見，A1-D1-D2のパスの経路，ディレイを登録。手順15で発見されたパスと始点，終点と同じなのでディレイを比較して大きければ経路とディレイを書き換える。

(この処理でA1→D2間のクリティカルパスの経路とディレイが確定)

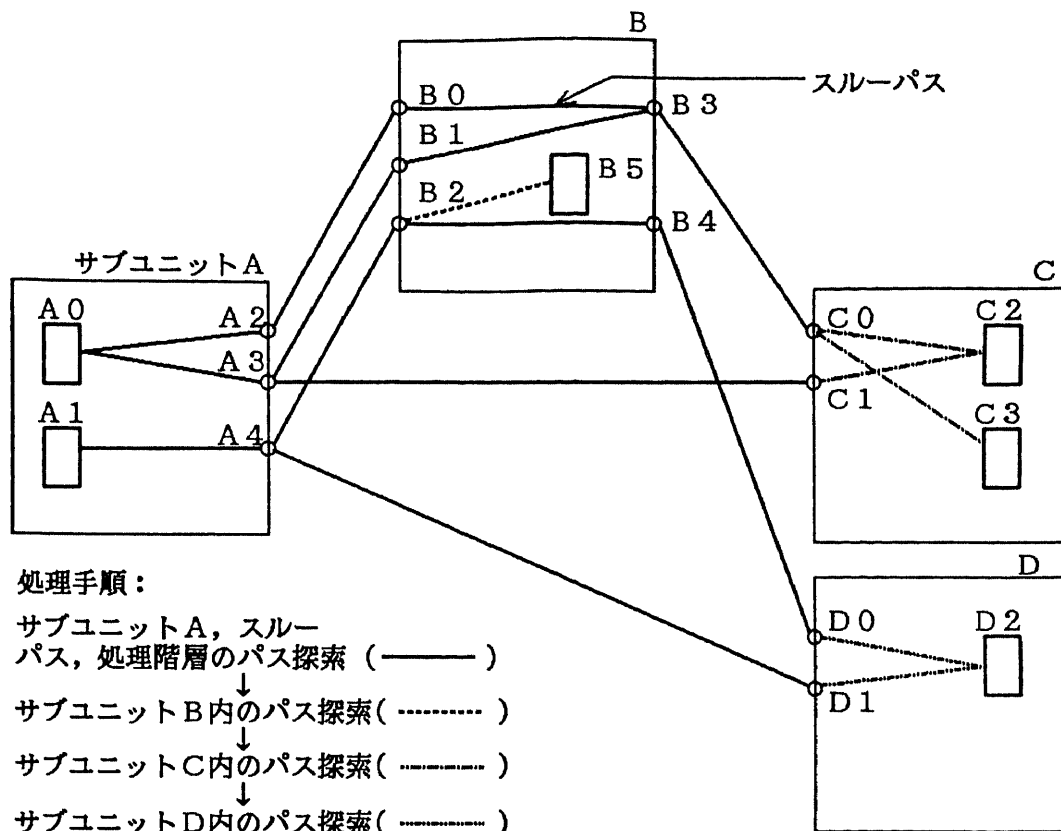


図3.2.14 上位の階層でのパス探索の例

3.3 パスディレイチェックシステムの計算機設計への応用

3.3.1 利用形態

一般にディレイ不良が発見された場合には改善のための再設計が広範囲にわたって必要なことが多いので、実装設計が全て完了してから一括してディレイチェックを行って、見つかった不良の対策を一度に行うことは事実上不可能である。このために3.2節に述べたように設計が未完成の時点でディレイを推定してチェックする機能を持たせ、実装設計途中でチェック、修正できるようにしたわけである。ディレイチェックは図3.3.1に示すように、配置設計前(詳細論理設計後)、配置設計後、配線設計後の3つの段階で行い、このうち早い時期ほどディレイの計算精度が低いかわりにチェック結果をもとに設計変更を行う自由度は大きい。このため各段階での利用方法は下記のように異なっている。

(1) 配置設計前(詳細論理設計後)：この時点では論理シミュレーションと並行して、チェックと不良対策を繰返して行う。パスのディレイが許容値をオーバーしたという結果が出て、このまま実装設計を続けたとして最終的に必ずオーバーするとは限らない。度合

いに応じて即時対策するか以後の実装設計で考慮するかを判断する。

(2) 配置設計後：3.3.2で述べるようにこの時点でほぼ完全なチェックが可能である。この段階で発見されたタイミング不良は全て改善対策をしておくことが必要である。

(3) 配線設計後：最終的な確認のフェーズであり、この段階での設計変更は少なく済むように(2)でチェックと不良対策をしておく。

実際には計算機の論理・実装設計は多くの設計者の共同作業であり、設計のステップは計算機内の部分により、また設計者、設計グループによって異なる。また論理のパスには設計者、設計グループをまたがるものもある。これらの条件下でパスのディレイのチェックと設計管理を行うのは非常に煩雑な作業であり、問題となりそうな入力信号パターンを設計者が考えてインプットしなければならない論理シミュレーションと異なり、網羅的なチェックが可能なパスディレイチェックシステムなしには不可能である。

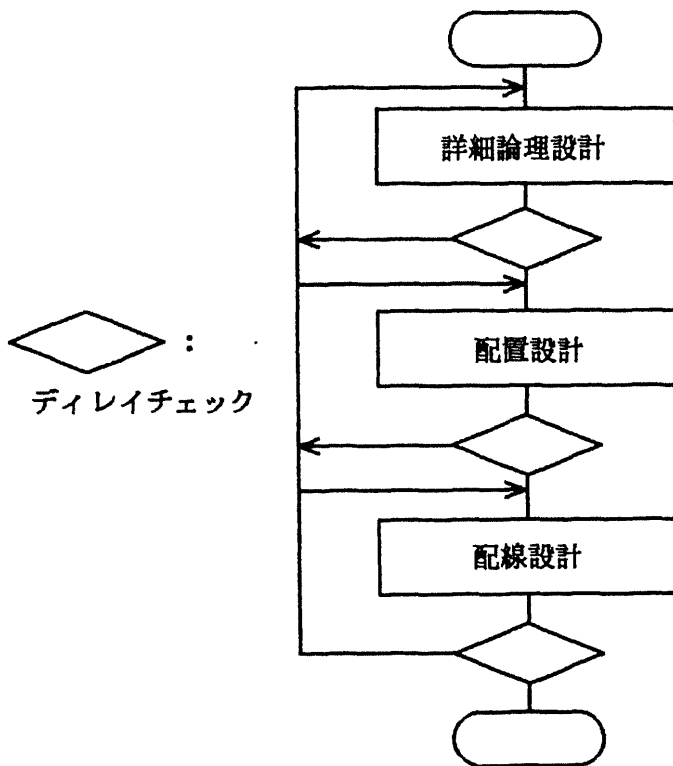


図3.3.1 パスディレイチェックシステムの利用時期

3.3.2 配線ディレイ推定精度

3.2節で述べたようにパスディレイチェックシステムの特徴の一つは実装設計が未完成でもパスのディレイが推定できることである。図3.3.2は配置設計前と配置設計後の配線ディレイの予測値をそれぞれ配線設計後に実際の設計配線長から計算した値と比較し

たものである。実はこのデータはパスの配線ディレイのみをプロットしたもので、これに論理設計後の時点でほぼ確定している回路ディレイ、負荷ディレイの分を加えたパスの全ディレイで比較すれば相対的な推定誤差はこの半分以下になる。このことを考慮にいれれば論理設計後の時点でもディレイ不良のウォーニングとしての機能は十分達せられることがわかる。また配置設計後のディレイ推定精度は極めて高く、この時点でのディレイチェック結果はディレイ不良対策の設計変更を行うかどうかの判断に十分使用できる。なお図における一部のパスでの推定値と実際との差の原因は、(a) 実際の配線設計でのピンの配線順序が3.2.4で仮定したものと異なっていた、(b) あるネットでは他の配線を避けるために迂回した経路をとり、直角配線になっていなかった等予測困難な不確実性によるものと思われる。

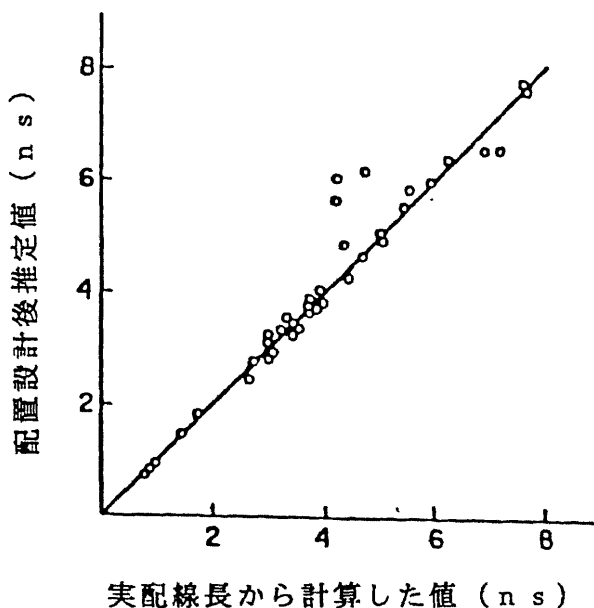
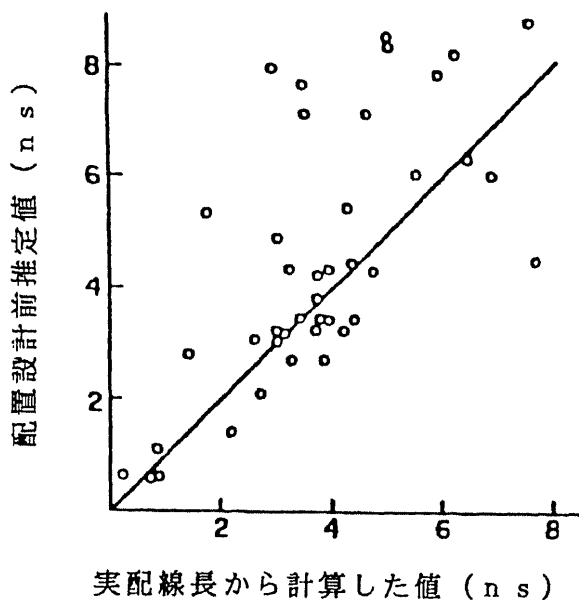


図 3.3.2 配線ディレイ予測精度

3.3.3 パスディレイ合否判定基準の設定

パスのディレイは実際は製造ばらつき，温度変動，電源変動等により製品ごとにばらつく。従ってディレイチェックで合格と判定されたパスのディレイ値が，ある機械では目標をオーバーしていたり，逆に不合格と判定されたものを改善せずに製作したとしても実際には目標をクリアするケースもありうる。このような不確実性が存在することを考えると単純に設計値のうえで合格，不合格を判定するだけでは実は不十分である。すなわち製造した計算機が全て目標とするマシンサイクル時間で正常に動作することを保証するか，それは不可能として正常に動作しないものができる頻度があらかじめ定めた一定値以下になるよう設計できることが望ましい[103]。

ここでもし各パスのばらつきを含んだディレイの期待値 μ と，ばらつきの幅 σ が求められれば製品として正常に動作しないものができる確率を統計的に予測することが可能である。現実には，各要因のディレイについてばらつきを求めることは可能であるが，ディレイ要因間の相関については，例えば使われているLSIが同一のロットに属するものかどうか等に依存するので予測は容易ではない（予測を可能にするには複雑な工程管理が必要になってくる）。このため各要因のディレイを合計したパスディレイのばらつきの正確な予測は困難なのが実情である。実際には各ディレイ要因間のばらつきの相関はないものとしてパスのディレイばらつきを求め，経験的に設定した定数 α を使って

$$\mu + \alpha \sigma$$

を超えるかどうかによりディレイチェック合格，不合格を判定している。この問題へのより合理的なアプローチについての研究は今後の課題である。

3.3.4 実装系についての統計データの抽出

ディレイチェック出力ファイルにはクリティカルパスの経路とそのディレイ値だけでなく，各ネット毎のディレイの要因量（配線長，コネクタ通過数，負荷数など）を保存してある。これは次の世代の計算機のハードウェア系を設計する際に（基本ハードウェア設計にあたる）実装系の性能の予測，すなわちどのような実装形態，規模にしたらマシンサイクル時間がどのくらいになるかの予測に使うことを目的としている。

図3.3.3はこのデータをもとに計算した論理1段ごとの要因別のディレイの平均値の例で，LSI内のネット，LSI渡りのカード内ネット，カード渡りのネット等のネット種別ごとに要因別平均ディレイを求め，それにそれぞれの種別のネットがクリティカルパス上で出現した比率をかけて平均したものである。これよりディレイを短縮するにはどの要因をどれだけ改善すればよいかの指針が得られる。例えばカードの配線ディレイが問題ならばLSIを高密度に実装したり，基板誘電率を低下させればどれだけの効果があるかこれから予測できる。

また図3.3.3のような平均ディレイ値はLSIやカード等の集積度が異なる実装系の性能予測にはそのままの形で利用することができない。クリティカルパス上でのネットの種別ごとの出現比率が異なるためである。ディレイチェック出力ファイルのクリティカルパス経路のデータを編集すればパスがLSIを通過したときLSI内で平均的に回路何段を通過するか、カードの場合はどうか、などのデータが得られる[104]。これより部品の集積度とそこでの平均論理段数の関係を抽出し、集積度が変わったときのネット種別ごとの出現比率を推定すれば、異なる実装系の性能の定量的予測が可能となる。

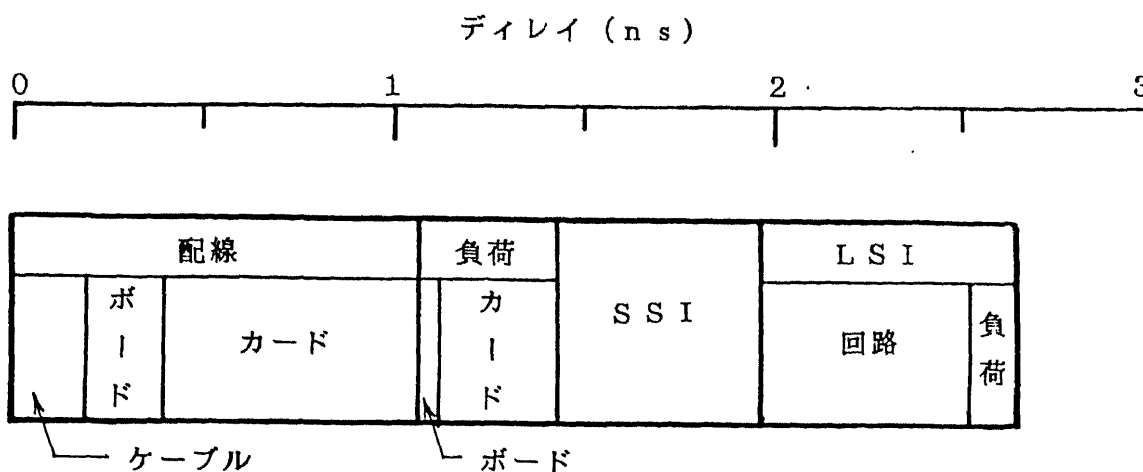


図3.3.3 論理1段当りのディレイ内訳

4. 結 論

(1) 計算機ハードウェア各分野の要素技術の進歩により、回路の高速化、実装の高密度化、大規模化が進むのに伴って、これらの要素技術の成果を有効に活用して高性能のハードウェアを構築するには、従来設計者の経験や勘にたよることが多かった分野についても、正確なデータに基づく合理的な設計・判断が要求されるようになってきた。特に、

(a) 回路方式や、配線基板、コネクタ等実装部品の規模、構造等ハードウェアの枠組みを決定する基本ハードウェア設計の時点では、パルス信号の立上り時間の短縮と実装系の高密度化にともなって、多数の導体を含む複雑な構造体での、ノイズ、遅延を正確に予測できる「電気特性解析システム」が不可欠となってきた。

(b) 詳細論理設計および実装設計の時点では、論理規模の拡大と回路の高速化による実装ディレイの相対的な比率の増加にともなって、CPU内に無数に存在するフリップフロップとフリップフロップの間の組合せ論理回路のパスのディレイがそれぞれ目標とするマシサイクル時間を満足するかどうかを設計者が把握することが困難になってきている。このため、その時点々々で得られる設計データを最大限に利用し、各始点・終点フリップフロップ間のクリティカルパスのディレイを予測して、目標をオーバーするものがないかどうかをチェックする新しいコンセプトの設計支援システム、「パスディレイチェックシステム」なしには高性能のハードウェアの設計は不可能である。

本論文は筆者が大型汎用計算機開発の一環としてこれら高速化設計支援システムを実現するために行なった研究内容をまとめたものである。

(2) (1)(a) の電気特性解析において、計算機ハードウェアのノイズ、遅延の解析では、現象を解析すべき部分の寸法が、パルスの立上り時間の中に電磁波が進む距離に比べて十分小さいので、 C 、 L 、 R からなる電気回路の応答として求めることができる。特に信号切替時の過渡電流のループを、形状だけから抽出するのは困難なため、ループの各部分について部分インダクタンス(Partial Inductance)を求めて解析することが必要である。

(3) 部分インダクタンスを通常のインダクタンスと同じに取り扱って回路解析により過渡応答を求めることの正当性は従来必ずしも明確ではなかった。これは導体からなるループ途中の点での電気回路論としての電圧を、対応する箇所のスカラーポテンシャルと解釈することによって説明できる。すなわちこうすることによってMaxwell方程式からKirchhoffの電圧則を導くことができる。

(4) 多数の導体からなる複雑な形状の構造体のキャパシタンスの計算には導体表面の形状記述から計算できる表面電荷法が適している。しかし満足すべき精度を得るためには計算機処理時間が長くなりすぎてしまうことがわかった。このため、

(a) 表面電荷法の係数行列計算時にセル間隔を判定し、遠隔セル間では中心間距離近似をする、

(b) ベクトル計算機に適したプログラム構造にする、

等の改良を行った結果、CPUタイムは10～20導体、2000セルで約500秒（S-810）と、当初の約1/6に短縮された。

（5）部分インダクタンスについては従来一定の断面形状を持つ細長い導体のみ計算が可能であったが、

（a）太さ0のフィラメントから計算する手法を確立し、任意の断面形状の細長い導体セグメントに適用可能にした。さらに、

（b）接続行列を使った定式化により、複数の導体セグメントを組合せたもののマクロな部分インダクタンスを計算できるようにした。

この結果メッシュ状のグラウンドプレーン等、計算機ハードウェアの広範囲の対象についてインダクタンス計算が可能になった。

（6）電気特性解析システムの代表的な応用例としては、カードとボードの間をつなぐコネクタでの、クロストークノイズの解析があげられる。パルス信号が多数同時にコネクタを通過した場合、ピン間のキャパシタンス、相互インダクタンスによる結合、およびカードとボードのグラウンド電位の相対変動がお互いに重なりあい、または打ち消しあって、本来信号が切替わっていないピンにノイズを発生する。このような対象ではキャパシタンス、相互インダクタンスが第3の導体の影響を受けて（遮蔽されて）変化するうえに、複数の要因が互いにキャンセルしあうための精度低下もあるので、公式や経験式を使って過渡応答を計算することは不可能である。本システムによる計算結果のキャパシタンス、部分インダクタンスを使って回路シミュレーションを行った結果は実測値とよく一致した。

（7）（1）（b）のパスディレイチェックシステムは設計者に特別の作業を強いることなく、まったく自動的に多くの実装部品の内部、またはそれらをまたぐ論理のパスのディレイをチェックする機能を持つ。詳細設計作業との整合性から、下位の階層から順に（LSI、カード、ボードの順で）部品ごとにチェックを行い、中間結果を保存しておいて上位の階層で利用する階層処理が適している。

（8）上位の階層の部品（カード、ボード）の処理では論理回路のグラフは簡単な構造になる反面、中間結果のファイルを読み込む必要があるため、これに適したクリティカルパス発見アルゴリズムとして、同一の部品内にある始点、終点フリップフロップごとにまとめてファイルを読み出す、並列化 depth first search 手法を開発した。

（9）パスディレイチェックの結果ディレイが目標値をオーバーした場合は論理、実装設計を変更しなければならない。これを少なくするには設計のできる限り早い時期でチェックがかかることが必要で、このため実装設計が未完成である時点での設計データからディレイを予測する下記の方式を開発した。

（a）複数のカードを渡る配線の特定の負荷回路までのディレイは、配線がカードを渡る順序に大きく左右される。配線設計が完了していればこの順序を設計データのファイルから読み取ることができるが、それ以前には必ずしも確定していない。そこで配線は枝別れのない1本の線であることを利用し、出力回路、終端抵抗の位置、およびカードへの入出力点があるボード側のコネクタか、その反対のケーブル側かを示す情報のうち、その時点で既に設計ファイルに登録されているものを利用して、矛盾なくカード渡り順序を推定する。

(b) 1枚のカード内の配線長については、やはり枝別れの無い線であることを利用し、配置設計前は接続すべき負荷ピン数に比例するとして推定する。配置設計後は、LSI出力ピン、終端抵抗ピン等最初か最後とわかっているもの以外は外接長方形の長手方向に順次接続してゆくものとし、ピンとピンの間の配線長は直角配線を仮定して(マンハッタン距離として)計算する。

これらの推定法で、特に配置設計後にはほぼ完全に配線ディレイを予測できることを確認した。

(10) パスディレイチェックシステムは詳細設計の早い時期から、上に述べたディレイ予測機能を活用してディレイ不良発見に利用されている。配置設計前ではチェックの結果ディレイがオーバーした度合いに応じて設計変更するか、以後の設計で注意するにとどめるかを判断している。配置設計後ではほぼ完全なディレイ予測が可能で、ここで発見されたディレイ不良は改善対策が必要である。配線設計後については最終的な確認に利用する。

(11) ディレイチェック結果の出力ファイルには、チェックリスト出力のためのパスのディレイだけでなく、ネットごとのディレイの要因量に関するデータも保存してある。このファイルからは、ディレイの各要因の、パスディレイ全体に占める平均的な割合、LSI内の平均的なパス論理段数等、次の世代の計算機の基本ハードウェア設計のための統計データとして有用な情報が得られる。

(12) 電気特性解析システムのプログラム規模は約10kステップ(Fortran)、所要メモリ量3~100MB、1件当りのCPUタイムは5~10分(S-810を使用した場合。同クラスの汎用機ではこの数倍~10倍になる)で、計算機ハードウェアの電気特性解析ではこのような計算を数十回行なうのでS-810のようなスーパーコンピュータが必須である。またパスディレイチェックシステムは初期システムの開発完了時点で44kステップ(Fortran、一部アセンブラ)、所要メモリ量は6MB、CPUタイムはカード1枚あたり1~十数分(M-280H)で、計算機の詳細設計時には多数の設計者により数か月にわたって使用される。

5. 付 録

5.1 太さ0のフィラメントを使った2.4.2のインダクタンス計算法の正当性

2.4.2に示すフィラメントの自己インダクタンス推定法を使って求めた1本の導体セグメントの自己インダクタンスが、真のフィラメント自己インダクタンスから求めた値とフィラメント数無限大の極限で一致することを証明する。

(1) 問題の定式化

$n \times n$ 次行列 L は真のフィラメントインダクタンス行列であるとする。すなわち L の i 番目の対角要素 L_{ii} はフィラメント i の太さを考慮して計算した自己インダクタンス、非対角要素 L_{ij} ($i \neq j$) はフィラメント i, j 間の相互インダクタンスであるとする。また行列 $L + M$ は、 i 番目の対角要素が式(2.4.7)で求めたフィラメント i の自己インダクタンス推定値、非対角要素は行列 L と同じとする。すなわち行列 M はフィラメント自己インダクタンスの推定値と真の値の差からなる $n \times n$ 次の対角行列である。フィラメント両端の電圧からなるベクトル V と、フィラメントを流れる電流の時間微分からなるベクトル I, J を考える。ここで簡単のため時間微分を示す記号は省略する。 I は導体セグメント両端に電圧 V を発生する時のフィラメントの電流変化率ベクトルで真のフィラメント自己インダクタンスから計算したもの、 J はフィラメントの自己インダクタンスとして式(2.4.7)で求めたものを使って計算したものであるとすると、

$$V = L \cdot I, \quad (5.1)$$

$$V = (L + M) \cdot J, \quad (5.2)$$

ここで

$$V = \begin{bmatrix} V \\ V \\ \vdots \\ V \end{bmatrix},$$

(フィラメント両端の電圧は全て V に等しい)

$$I = \begin{bmatrix} I_1 \\ I_2 \\ \vdots \\ I_n \end{bmatrix},$$

$$J = \begin{bmatrix} V_1 \\ V_2 \\ \vdots \\ V_n \end{bmatrix},$$

I_i, J_i : フィラメント i を流れる電流の時間微分。

となり、フィラメントインダクタンス行列 L と、 $L+M$ から計算された導体セグメントの自己インダクタンスはそれぞれ、

$$\frac{V}{\sum I_i}, \frac{V}{\sum J_i}$$

となる。ここで Σ の範囲は $i=1 \sim n$ (以下も同様) とする。

これより証明すべき問題は、

$$\frac{\sum I_i - \sum J_i}{\sum I_i} \rightarrow 0 \quad (n \rightarrow \infty). \quad (5.3)$$

(2) 入力データが満たすべき条件

(a) L は実対称非負値行列であるとする。この条件は L が物理的に実現可能なインダクタンス行列の近似値であることから、通常自動的に満たされている。

(b) 行列 M の i 番目の対角要素を M_{ii} とすれば、

$$M_{ii} \geq 0 \quad (i=1, 2, \dots, n). \quad (5.4)$$

これは式(2.4.8)の c を 1 より十分小さくとれば満たされる。

(c) 任意の n に対して n によらない数 P が存在して、

$$M_M(n) \leq P \log n \quad (i=1, 2, \dots, n). \quad (5.5)$$

ここで $M_M(n)$ は $M_{ii} (i=1, 2, \dots, n)$ の最大値である。これはフィラメントの自己インダクタンス自体が太さに対数的に依存するので、フィラメントが平均的に分割されていれば満たされる。

(d) 任意の n に対して n によらない数 Q が存在して、

$$I_j \leq \frac{Q \sum I_i}{n} \quad (j=1, 2, \dots, n). \quad (5.6)$$

これもフィラメント分割が平均的になされており、電流が 1 本のフィラメントに集中しなければ満たされる。

(3) 証明

要素が全て 1 である n 次元ベクトルを $\mathbf{1}$ とする。また (\mathbf{a}, \mathbf{b}) は内積を表すものとする、

$$\begin{aligned}
\frac{\sum I_i - \sum J_i}{\sum I_i} &= \frac{(\mathbf{1}, \mathbf{I}) - (\mathbf{1}, \mathbf{J})}{(\mathbf{1}, \mathbf{I})} \\
&= \frac{(\mathbf{1}, \mathbf{I}) - (\mathbf{1}, (\mathbf{L}+\mathbf{M})^{-1} \mathbf{L} \mathbf{I})}{(\mathbf{1}, \mathbf{I})} \\
&= \frac{(\mathbf{1}, (\mathbf{L}+\mathbf{M})^{-1} (\mathbf{L}+\mathbf{M}) \mathbf{I}) - (\mathbf{1}, (\mathbf{L}+\mathbf{M})^{-1} \mathbf{L} \mathbf{I})}{(\mathbf{1}, \mathbf{I})} \\
&= \frac{(\mathbf{1}, (\mathbf{L}+\mathbf{M})^{-1} \mathbf{M} \mathbf{I})}{(\mathbf{1}, \mathbf{I})} \\
&= \frac{(\mathbf{V}, (\mathbf{L}+\mathbf{M})^{-1} \mathbf{M} \mathbf{I})}{\mathbf{V}(\mathbf{1}, \mathbf{I})} \\
&= \frac{(\mathbf{I}, \mathbf{L} (\mathbf{L}+\mathbf{M})^{-1} \mathbf{M} \mathbf{I})}{\mathbf{V}(\mathbf{1}, \mathbf{I})} \\
&= \frac{(\mathbf{I}, (\mathbf{L}+\mathbf{M})(\mathbf{L}+\mathbf{M})^{-1} \mathbf{M} \mathbf{I}) - (\mathbf{I}, \mathbf{M}(\mathbf{L}+\mathbf{M})^{-1} \mathbf{M} \mathbf{I})}{\mathbf{V}(\mathbf{1}, \mathbf{I})} \\
&= \mathbf{R} - \mathbf{S}, \tag{5.7}
\end{aligned}$$

ここで

$$\begin{aligned}
\mathbf{R} &= \frac{(\mathbf{I}, \mathbf{M} \mathbf{I})}{\mathbf{V}(\mathbf{1}, \mathbf{I})}, \\
\mathbf{S} &= \frac{(\mathbf{I}, \mathbf{M}(\mathbf{L}+\mathbf{M})^{-1} \mathbf{M} \mathbf{I})}{\mathbf{V}(\mathbf{1}, \mathbf{I})}.
\end{aligned}$$

式(5.4), (5.5), (5.6)より,

$$0 < \mathbf{R} \leq \frac{M_N(n) \sum I_i^2}{\mathbf{V} \sum I_i} \leq \frac{P Q^2 (\log n) \sum I_i}{n \mathbf{V}} \rightarrow 0 \quad (n \rightarrow \infty).$$

ただし電圧と電流の向きは $\mathbf{V} \sum I_i > 0$ になるようにとってあるものとする。次に $(\mathbf{L}+\mathbf{M})^{-1}$ が正値行列であることから,

$$\mathbf{S} > 0.$$

また一般に正値行列 \mathbf{X} , \mathbf{Y} について以下の定理が成立つ[105].

定理: $\mathbf{X} - \mathbf{Y}$ が非負値ならば $\mathbf{Y}^{-1} - \mathbf{X}^{-1}$ は非負値である。

\mathbf{X} を $\mathbf{L}+\mathbf{M}$, \mathbf{Y} を \mathbf{M} としてこの定理を使えば $\mathbf{M}^{-1} - (\mathbf{L}+\mathbf{M})^{-1}$ は非負値行列になることがわかる。ゆえに,

$$(\mathbf{I}, \mathbf{M} \mathbf{I}) = (\mathbf{I}, \mathbf{M} \mathbf{M}^{-1} \mathbf{M} \mathbf{I}) \geq (\mathbf{I}, \mathbf{M}(\mathbf{L}+\mathbf{M})^{-1} \mathbf{M} \mathbf{I}).$$

これより

$$0 < S \leq R \text{ なので}$$

$$S \rightarrow 0 \quad (n \rightarrow \infty).$$

ゆえに式(5.3)が成り立つ。

5.2 システム規模及び利用状況

電気特性解析システムはプログラムステップ数約10kステップ(Fortran), 所要メモリ量3~100MB(対象の複雑さ, 規模による), 計算に必要なCPUタイムは第2章に述べた通り, 1件当り5~10分(S-810を使用した場合。同クラスの汎用計算機ではこの数倍~10倍になる)であるが, 解の収束状況のチェック等のため1カ所につき3~5回の計算を必要とする。計算機ハードウェアの電気特性評価では, このような計算をC, Lそれぞれ数カ所から10カ所行なうので合計数十回のランになり, S-810のようなスーパーコンピュータが必須である。

パスディレイチェックシステムのプログラムステップ数は初期システムの開発完了時点で44kステップ(Fortran, 一部アセンブラ), メモリ使用量は同じversionで約6MB, またCPUタイムはカードレベルで1~十数分(M-280H使用)である。計算機詳細設計時の利用状況に関するまとまったデータはないが, 期間的には数か月にわたり, 数十人の設計者によって使われる。

謝 辞

本論文作成に当り, 筑波大学電子情報工学系中田育男教授のご指導を頂き, 懇切なご助言を賜りました。また図書館情報大学村田健郎教授, 筑波大学電子情報工学系名取亮教授, 板野肯三助教授には, 終始有益なご助言, ご討論を頂き, ここに心から感謝の意を表する次第であります。

本研究は筆者が株式会社日立製作所中央研究所で行なったものであり, 研究の機会を与えて頂いた武田康嗣所長, 堀越彌副所長, 筆者が入社以来ご指導, ご鞭撻を頂いた神奈川工場中澤喜三郎元工場長, 古厩賢一副工場長, 大野泰廣副工場長, 小田原工場堤正義主管技師長, 中央研究所千葉常世主管研究員, 正木亮主管研究員, 大西淑弘元第七部長, 堤善二開発部長, また本研究の推進に多大のご協力を頂いた中央研究所山田稔主任研究員, 西正明氏, 中西敬一郎氏, 柳生正義氏に深く感謝致します。

最後に本研究にご協力頂いた中央研究所, 神奈川工場, デバイス開発センタの多数の方々
に心から感謝致します。

参考文献

- [1] T.Chiba, "Impact of the LSI on high-speed computer packaging," IEEE Trans. Computers, vol. C-27, no. 4, pp.319-325, April 1978.
- [2] T.Chiba, A.Masaki, K.Furumaya, and S.Hososaka, "Packaging trade-offs for an LSI-oriented very high-speed computer, the HITAC M-200H," IEEE Trans. Components, Hybrids, Manuf. Technol., vol.CHMT-4, pp.166-172, June 1981.
- [3] 古厩, 小高, 滝沢, 小林, 泉, 「きめ細かなパイプライン制御をして高速化した大型コンピュータ M-280H」, 日経エレクトロニクス, 1982年2月1日号, pp.156-182.
- [4] B.T.Clark, and Y.M.Hill, "IBM multilayer ceramic modules for LSI chips - Design for performance and density," IEEE Trans. Components, Hybrids, Manuf. Technol., vol.CHMT-3, no.1, March 1980.
- [5] 吉村, 小林, 高村, 「FACOM M-380/382 の論理素子と記憶素子」, FUJITSU, vol.33, no.1, pp.77-83, 1982.
- [6] 斉藤他, 「大型コンピュータ ACOS1000 の高速化技術とアーキテクチャ」, 日経エレクトロニクス, 1981年5月11日号, pp.174-200.
- [7] A.Masaki, Y.Harada, and T.Chiba, "200-gate ECL masterslice LSI," 1974 ISSCC Dig. Tech. Papers, pp.62-63,230, Feb. 1974.
- [8] A.Masaki, and T.Chiba, "Design aspects of VLSI for computer logic" IEEE Trans. Electron Devices, vol.ED-29, no.4, pp.751-756, April 1982.
- [9] ニール・ヘイルズ, 「LSI 高密度多層プリント基板の設計」, 日経エレクトロニクス, 1983年7月4日号, pp.181-191.
- [10] 小林, 村田, 渡辺, 川島, 安西, 荻上, 生崎, 「全回路をLSIで組み,3次元実装し, 強制空冷する M-680/682のハードウェア技術」, 日経エレクトロニクス, 1983年7月4日号, pp.181-191.
- [11] H.K.Gummel, "A self-consistent iterative scheme for one-dimensional steady state transistor calculations," IEEE Trans. Electron devices, vol.ED-11, pp.455-465, 1964.
- [12] T.Toyabe, H.Masuda, Y.Aoki, H.Shukuri, T.Hagiwara, "Three-dimensional device simulator CADDETH with highly convergent matrix solution algorithms," IEEE Trans. Computer-Aided Design, vol.CAD-4, pp.482-488, 1985.
- [13] L.W.Nagel, "SPICE2, A computer program to simulate semiconductor circuits," Electronics Res. Lab. Rep. ERL-M520, Univ. of California, Berkeley, May 1975.
- [14] W.T.Weeks, A.J.Jimenes, G.W.Mahoney, D.Mehta, H.Qassemzadeh, and T.R.Scott, "Algorithms for ASTAP-A network analysis program," IEEE Trans. Circuit Theory, vol.CT-20, pp.628-634, 1973.

- [15] 山田, 千葉, 正木, 「配線基板の配線諸量の検討」, 昭和47年度電気関係学会東北支部連合大会, pp.124.
- [16] 山田, 千葉, 中河, 「配線基板の配線収容能力」, 昭51年度電子通信学会総合全国大会, 6-244.
- [17] W.E.Donath, "Placement and average connection length of computer logic," IEEE Trans. Circuits Syst., vol.CAS-26, no.4, pp.272-277, April 1979.
- [18] W.E.Donath, "Wire length distribution for placements of computer logic," IBM J. Res. Develop., vol.25, no.3, pp.152-155, May 1981.
- [19] A.Masaki, "Wire length equations in various types of 2-D and 3-D system packaging," Proceedings of the 1st IEEE CHMT Symposium, pp.147-152, Oct. 1984.
- [20] A.Masaki, M.Yamada, M.Asano, H.Tanaka, H.Itoh, and N.Hashimoto, "Perspectives on hardware techniques for very-high-performance computers," Proceedings of IEEE International Conference on Computer Design, pp.561-564, Oct. 1984.
- [21] B.S.Landman, and R.L.Russo, "On a pin versus block relationship for partitions of logic graphs," IEEE Trans. Comput., vol.C-20, no.12, pp.1469-1479, Dec. 1971.
- [22] "ADINA-T User's manual," Report ARD87-2, ADINA R&D, Inc, Dec.1987.
- [23] R.Kamikawai, M.Nishi, K.Nakanishi, and A.Masaki, "Electrical parameter analysis from three-dimensional interconnection geometry," IEEE Trans. Components, Hybrids, Manuf. Technol., vol.CHMT-8, No.2, pp269-274, June 1985.
- [24] 西, 上川井, 柳生, 中西, 「導体電気特性の三次元解析-TRISIM1-」信学技報 SSD85-68, pp.7-14, 1985.
- [25] R.Kamikawai, M.Yagyū, M.Nishi, K.Nakanishi, M.Masaki, and H.Johnishi, "TRISIM1-A three dimensional electrical parameter analysis program," Proceedings of IEEE International Conference on Computer Design, pp434-437, Oct. 1987.
- [26] 上川井, 柳生, 西, 中西, 正木, 「三次元電気特性解析システムTRISIM1のインダクタンス計算手法」昭和63年電子情報通信学会春季全国大会, A-55.
- [27] 上川井, 山田, 千葉, 古厩, 土屋, 「信号遅れチェックシステム」, 昭和54年度電子通信学会情報・システム全国大会, pp.345.
- [28] R.Kamikawai, M.Yamada, T.Chiba, K.Furumaya, and Y.Tsuchiya, "A Critical Path Delay Check System," Proceedings of the 18th Design Automation Conference, pp118-123, June 1981.
- [29] 上川井, 「クリティカルパス発見手法の検討」昭和59年度電子通信学会総合全国大会, 7-63.
- [30] 滝口, 松本, 上川井, 豊島, 本郷, 「大規模論理回路のパストレース法」情報処理学会第31回全国大会, 1985.

- [31] R.Toyoshima, Y.Takiguchi, K.Matsumoto, H.Hongou, M,Hashimoto, R.Kamikawai, and K.Takizawa, "An effective delay analysis system for a large scale computer design," Proceedings of the 23rd Design Automation Conference, pp.398-403, June 1986.
- [32] S.B.Cohn, "Characteristic impedance of the shielded-strip transmission line," IRE Trans. Microwave Theory Tech., vol.MTT-2, no.2, pp.52-55, July 1954.
- [33] H.A.Wheeler, "Transmission line properties of parallel wide strips by a conformal-mapping approximation," IEEE Trans. Microwave Theory Tech., vol.MTT-12, pp.280-289, May 1964.
- [34] H.R.Kaupp, "Characteristics of microstrip transmission lines," IEEE Trans. Electronic Computers, vol.EC-16, no.2, pp.185-193, April 1967.

- [35] A.Feller, H.R.Kaupp, and J.J.Digiaco, "Crosstalk and reflections in high-speed digital systems," Proceedings of Fall Joint Computer Conference, pp.512-525, 1965.
- [36] I.Catt, "Crosstalk (noise) in digital systems," IEEE Trans. Electronic Computers, vol.EC-16, no.6, pp.743-763, Dec. 1967.
- [37] W.T.Weeks, "Calculation of coefficients of capacitance of multiconductor transmission lines in the presence of dielectric interfaces," IEEE Trans. Microwave Theory Tech., vol.MTT-18, no.1, pp.35-43, Jan. 1970.
- [38] 奥川, 萩原, 「マイクロストリップ線路間の誘導雑音の解析と計算」, 電子通信学会論文誌, vol.53-C, no.7, pp.485-492, 1970.
- [39] F.Y.Chang, "Transient analysis of lossless coupled transmissin lines in a nonhomogeneous dielectric medium," IEEE Trans. Microwave Theory Tech., vol.MTT-18, no.9, 616-626, Sept. 1970.
- [40] A.E.Ruehli, "Survey of computer-aided electrical analysis of integrated circuit interconnections," IBM J. Res. Develop., vol.23, no.6, 626-639, Nov. 1979.
- [41] D.K.Reitan, and T.J.Higgins, "Calculation of the electrical capacitance of a cube," J. Appl. Phys., vol.22, no.2, pp.223-226, Feb. 1951.
- [42] D.K.Reitan, "Accurate determination of the capacitance of rectangular parallel-plate capacitors," J. Appl. Phys., vol.30, no.2, pp.173-176, Feb. 1959.
- [43] ユビング, 福間, 「配線容量の3次元シミュレーション-TRICEPS-」, 信学技報, SSD83-89, pp.41-47, 1983.
- [44] R.H.Uebbing, and M.Fukuma, "Process-based three-dimensional capacitance simulation - TRICEPS," IEEE Trans. Computer-Aided Design, vol.CAD-5, no.1, pp.215-220, Jan. 1986.
- [45] 執行, 小中, 檀, 「MOSFET および拡散層配線の容量シミュレーション」, 昭和60年度電子通信学会総合全国大会, 2-21, 1985.
- [46] P.E.Cottrel, E.M.Buturla, and D.R.Thomas, "Multi-dimensional simulaton of VLSI wiring capacitance," Proceedings of IEDM, pp.548-551, 1982.
- [47] P.E.Cottrel, and E.M.Buturla, "VLSI wiring capacitance," IBM J. Res. Develop., vol.29, no.3, May 1985.
- [48] A.E.Ruehli, and P.A.Brennan, "Efficient capacitance calculations for three-dimensional multiconductor systems," IEEE Trans. Microwave Theory Tech., vol.MTT-21, no.2, pp.76-82, Feb. 1973.
- [49] 高木, 渋谷, 伊藤, 「雑音解析評価システム-多導体系の容量係数計算プログラムCALCAPについて-」, 電子通信学会論文誌, vol.J67-B, no.8, pp.900-907 1984.

- [50] P.Silvester, "TEM wave properties of microstrip transmission lines," Proc. IEE, vol.115, no.1, pp43-48, Jan. 1968.
- [51] A.E.Ruehli, "Equivalent circuit models for three-dimensional multiconductor systems," IEEE Trans. Microwave Theory Tech., vol.MTT-22, no.3, pp.216-221, March 1974.
- [52] A.E.Ruehli, "Inductance calculations in a complex integrated circuit environment," IBM J. Res. Develop., vol.16, pp470-481, Sept. 1972.
- [53] J.R.Carson, "Electromagnetic theory and the foundations of electric circuit theory," The Bell System Technical Journal, vol.6, no.1, pp.1-17, 1927.
- [54] E.C.Jordan, and K.G.Balmain, "Electro-magnetic waves and radiating systems," Englewood Cliffs,N.J., Prentice-Hall, 1968.
- [55] C.Hoer, and C.Love, "Exact inductance equations for rectangular conductors with applications to more complicated geometries," Journal of Research of the National Bureau of Standards, vol.69C, no.2, pp.127-137, April 1965.
- [56] A.E.Ruehli, N.Kulasza, and J.Pivnichny, "Inductance of nonstraight conductors close to a ground return plane," IEEE Trans. Microwave Theory Tech., vol.MTT-23, pp.706-708, Aug. 1975.
- [57] 渋谷, 高木, 伊藤, 「プリント基板配線のインダクタンス計算とアース雑音の解析 -インダクタンス計算プログラムCALIND・ICDの開発-」, 電子通信学会論文誌vol.J68-B, no.6, pp.753-760, 1985.
- [58] A.E.Ruehli, "Electrical analysis of interconnections in a solid-state circuit environment," 1972 ISSCC Dig. Tech. Papers, pp.64-65,216, Feb. 1972.
- [59] A.E.Ruehli, and P.A.Brennan, "Accurate metallization capacitances for integrated circuits and packages," IEEE J. Solid-State Circuits, vol.SC-8, pp.289-290, Aug. 1973.
- [60] P.A.Brennan, N.Raver, and A.E.Ruehli, "Three-dimensional inductance computations with partial element equivalent circuits," IBM J. Res. Develop., vol.23, no.6, pp.661-668, Nov. 1979.
- [61] W.T.Weeks, L.L.Wu, M.F.MacAllister, and A.Singh, "Resistive and inductive skin effect in rectangular conductors," IBM J. Res. Develop., vol.23, no.6, pp.652-660, Nov. 1979.
- [62] P.K.Wolff,Sr., and A.E.Ruehli, "Inductance computations for a complex three dimensional geometries," Proceedings IEEE International Symposium on Circuits and Systems, pp.16-19, 1981.
- [63] L.T.Olson, and R.R.Sloma, "Three dimensional modeling for complex integrated circuit packages," Electronic Components Conference Proceedings, pp.187-202, 1986.

- [64] C.Y.Lee, "An algorithm for path connections and its applications," IRE Trans. Electronic Computers, vol.EC-10, pp.346-365, Sept. 1961.
- [65] D.W.Hightower, "A solution to line-routing problems on the continuous plane," Proceedings of Design Automation Workshop, pp.1-24, 1969.
- [66] L.Steinberg, "The backboard wiring problem:A placement algorithm," SIAM Review, vol.3, no.1, pp.37-49, Jan. 1961.
- [67] J.P.Roth, "Diagnosis of automata failures: A calculus and method," IBM J. Res. Develop., vol.10, no.4, pp.278-291, July 1966.
- [68] R.Kamikawai, K.Kishida, A.Osawa, I.Yasuda, and T.Chiba, "Placement and routing Program for Master-slice LSI's," Proceedings of the 13-th Design Automation Conference, pp.245-250, June 1976.
- [69] Y.Ikemoto, T.Sugiyama, K.Igarashi, and H.Kano, "Correction and wiring check system for master-slice LSI," Proceedings of the 13-th Design Automation Conference, pp.336-343, June 1976.
- [70] 上川井, 松井, 千葉, 岸田, 池本, 「マスタスライスLSI自動配線プログラム」, 昭和52年度電子通信学会総合全国大会, 2-192, 1977.
- [71] E.G.Ulrich, "Exclusive simulation of activity in digital networks," Comm. of the ACM, pp102-110, Feb. 1969.
- [72] Y.Ohno, M.Miyoshi, and K.Sato, "Logic verification system for large computers using LSI's," Proceedings of the 16-th Design Automation Conference, pp.367-374, June 1979.
- [73] T.I.Kirkpatrick, and N.R.Clark, "PERT as an aid to logic design," IBM J. Res. Develop., vol.10, pp.135-141, March 1966.
- [74] R.A.Harrison, and D.J.Olson, "Race analysis of digital systems without logic simulation," Proceedings of Design Automation Workshop, pp.82-93, 1971.
- [75] M.A.Wold, "Design verification and performance analysis," Proceedings of the 15-th Design Automation Conference, pp.264-270, June 1978.
- [76] R.B.Hitchcock,Sr, "Timing verification and timing analysis program," Proceedings of the 19-th Design Automation Conference, pp.594-604, June 1982.
- [77] R.B.Hitchcock,Sr., G.L.Smith, and D.D.Cheng, "Timing analysis of computer hardware," IBM J. Res. Develop., vol.26, no.1, pp.100-105, Jan. 1982.
- [78] L.C.Bening, T.A.Lane, C.R.Alexander, and J.E.Smith, "Developments in logic network path delay analysis," Proceedings of the 19-th Design Automation Conference, pp.605-615, June 1982.
- [79] 佐藤, 野村, 布野, 新見, 青山, 「LSI遅延時間解析システム」, 情報処理学会22回全国大会, pp.931-932, 1981.

- [80] T.Sasaki, A.Yamada, T.Aoyama, K.Hasegawa, S.Kato, and S.Sato, "Hierarchical design verification for large digital systems," Proceedings of the 18-th Design Automation Conference, pp.105-112, June 1981.
- [81] V.D.Agrawal, "Synchronous path analysis in MOS circuit simulator," Proceedings of the 19-th Design Automation Conference, pp.629-635, June 1982.
- [82] 青山, 高野, 加藤, 柴野, 佐藤, 「ACOSシステム1000の設計自動化システム」, NEC技報, vol.35, no.5, pp.44-49, 1982.
- [83] J.H.Shelly, "Statistical techniques of timing verification," Proceedings of the 20-th Design Automation Conference, pp.396-402, June 1983.
- [84] E.Tamura, K.Ogawa, and T.Nakano, "Path delay analysis for hierarchical building block layout system," Proceedings of the 20-th Design Automation Conference, pp.403-410, June 1983.
- [85] N.P.Jouppi, "Timing analysis for nMOS VLSI," Proceedings of the 20-th Design Automation Conference, pp.411-418, June 1983.
- [86] E.E.Davidson, "Electrical design of a high speed computer package," IBM J. Res. Develop., vol.26, no.3, pp.349-361, May 1982.
- [87] C.C.Huang, "Signal degradation through module pins in VLSI packaging," IBM J. Res. Develop., vol.31, no.4, pp.489-498, July 1987.
- [88] E.M.Foster, "The electrical effect of single-chip CMOS packages," Electronic Components Conference Proceedings, pp.342-353, 1987.
- [89] P.N.Venkatachalam, "Impact of VLSI packaging on system packaging," Proceedings of IEEE International Conference on Computer Design, pp.108-112, Oct. 1987.
- [90] F.C.Yao, "Analysis of signal transmission in ultra high speed transistorized digital comuters," IEEE Trans. Electronic Computers, vol.EC-12, pp.372-382, Aug. 1963.
- [91] P.N.Venkatachalam, "Pulse propagation properties of multilayer ceramic multichip modules for VLSI circuits," IEEE Trans. Components, Hybrids, Manuf. Technol., vol.CHMT-6, no.4, pp.480-484, Dec. 1983.
- [92] S.Ramaswamy, L.Nguyen, T.Brooks, and A.Gokhale, "Simultaneous switching noise analysis in VLSI," Proceedings of International Symposium on Circuits and Systems, pp.706-709, 1984.
- [93] R.E.Canright,Jr., "A formula to model delta-I noise," Electronic Components Conference Proceedings, pp.354-361, 1987.
- [94] 石川, 「改定電気磁気学演習」, 学献社, 1979.
- [95] 竹山, 「電磁気学現象理論」, 丸善, 1973.

- [96] P.Benedek, and P.Silvester, "Capacitance of parallel rectangular plates separated by a dielectric sheet," IEEE Trans. Microwave Theory Tech., vol.MTT-20, no.8, pp.504-510, Aug. 1972.
- [97] 村田, 「大形科学計算技法と仮想メモリ方式」, 情報処理, vol.18, no.3, pp.222-229, Mar. 1977.
- [98] 中西, 「配線導体系における容量行列の解析手法に関する研究」, 上智大学大学院理工学研究科修士論文, 1982.
- [99] R.A.Rohrer, "Circuit theory: An introduction to the state variable approach," McGraw-Hill, 1970.
- [100] 辻井, 佐川, 「現代回路解析」, 共立出版, 1977.
- [101] R.W.P.King, "Fundamental electromagnetic theory," Dover, 1963.
- [102] R.B.Adler, L.J.Chu, and R.M.Fano, "Electromagnetic energy transmission and radiation," John Wiley and Sons, Inc., 1960.
- [103] D.R.Tryon, F.M.Armstrong, and M.R.Reiter, "Statistical failure analysis of system timing," IBM J. Res. Develop., vol.28, no.4, July 1984.
- [104] 中河, 山田, 「電子計算機における集積度と論理段数に関する一検討」, 昭和56年度電子通信学会総合全国大会, 2-167, 1981.
- [105] イクラーモフ著, 日野訳, 「演習線形代数学」, 現代数学社, 1983.