

科学研究費助成事業 研究成果報告書

令和 4 年 6 月 13 日現在

機関番号：12102

研究種目：若手研究

研究期間：2019～2021

課題番号：19K20276

研究課題名（和文）FPGAを用いた超高速ハードウェアソーティングアルゴリズムの開発

研究課題名（英文）An FPGA-based ultra-fast hardware sorting algorithm

研究代表者

小林 諒平（Kobayashi, Ryohei）

筑波大学・計算科学研究センター・助教

研究者番号：40783709

交付決定額（研究期間全体）：（直接経費） 2,600,000円

研究成果の概要（和文）：本研究は、アプリケーションに特化した演算パイプラインとデータ供給機構を実装可能というFPGAの特徴を最大限活用し、ソーティングを高速に実行するハードウェアアルゴリズムの開発に取り組んだ。具体的には、FPGAのオンチップメモリベースで実現される仮想的なマージソートツリーを既存研究の高スループットマージソートツリーの部分木に適用した新しいアーキテクチャを提案し、それをソーティングネットワークと組み合わせた。開発したこのソーティングエンジンをOpenCL環境で呼び出せるようにライブラリ化し、そのソート性能を評価した結果、OpenCLで記述されたマージソートの3桁以上の性能を達成した。

研究成果の学術的意義や社会的意義

FPGAを用いた高性能計算手法は専門性の高いレジスタレベルでの設計が主流であり、その結果アプリケーション開発者はFPGAの使用を敬遠する傾向にあった。本研究においてもソーティングアルゴリズムはレジスタレベルで設計されているが、彼らに広く利用されることを見据え、ソーティングエンジンをOpenCL環境で呼び出せるようにライブラリ化した。すなわち、アプリケーション開発者が低レイヤな部分を意識することなく、高位言語の抽象度にとどまりながら、レジスタ転送レベルで最適化されたソートを整数型および浮動小数点型データの両方に対して実行できることを示した。また、成果物であるコードはオープンソースとして公開した。

研究成果の概要（英文）：This research took full advantage of the features of FPGAs, such as the ability to implement application-specific computation pipelines and data supply mechanisms, to develop hardware algorithms that perform sorting at high speed. Specifically, I proposed a new architecture that applies a virtual merge sorter tree utilizing on-chip memory to a sub-tree of the high-throughput merge sort tree of existing research, and combined the tree with a sorting network. We developed an OpenCL library that calls this sorting engine as a function, and evaluated its sorting performance. The evaluation result showed that the sorting performance of the proposed method was three orders of magnitude better than that of merge sort written in OpenCL.

研究分野：高性能計算，計算機システム，再構成可能コンピューティング

キーワード：FPGA ソーティング OpenCL

1. 研究開始当初の背景

ソーティングの高速化は常に重要な課題であり、近年では特に、IT 技術の発展に伴うデータ量の爆発的な増加から、データベースにおけるソーティング性能が重要視されている。例えば、リレーショナル・データベースにおける関係演算の 1 つである表結合のアルゴリズム「ソート・マージ結合」では、それが顕著である。ソート・マージ結合とは、2 つの表を入力とし、それらの結合キーで 2 つの表をソートかつ結合することで 1 つの表を生成するアルゴリズムである。「C. Kim et al., “ Sort vs. Hash Revisited: Fast Join Implementation on Modern Multi-Core CPUs ”, VLDB ' 09」の著者らは、このアルゴリズムにおいて最も支配的な処理は 2 つの表のソーティングであり、それは全体の処理時間 98% を占めていると述べている。また、文献「C. Balkesen et al., “ Multi-Core, Main-Memory Joins: Sort vs. Hash Revisited ”, VLDB ' 13」においては、ソートアルゴリズムによって内訳は異なるが、2 つの表のソーティングは全体の処理時間の 86% から 96% を占めており、ソート・マージ結合において最も支配的な処理は 2 つの表をソートすることであるという、kim らと同様の主張がなされている。即ち、ソーティングの高速化は全体の処理の高速化に繋がるため、その高速化技術の研究開発は非常に大きな意義を持つ。

ソーティングの高速化では、SIMD (Single-instruction-multiple-data streams) 命令によるデータレベル並列性とマルチプロセッサによるスレッドレベル並列性とを活用するソフトウェアの最適化手法が一般的に採用されるため、GPU が計算デバイスの切り札としてよく用いられる。確かに GPU は、高い演算性能を提供し、プログラミングも容易である一方、消費電力が非常に高いという欠点を有する。これは、処理の高速化が強くと求められると同時に全体の消費電力を抑えることも求められている今日のデータベース管理システムにとって看過できるものではない。一方、FPGA はアプリケーションに特化した演算器および内部メモリシステムを構築可能であるという特徴に加え、高性能計算に適用可能な技術要素が次々ともたらされた。まず、FPGA 内の論理素子や信号処理プロセッサの量が半導体微細加工技術の発展により増大しており、加えて動作周波数も数百 MHz まで容易に引き上げられるようになった。さらに、ハードウェア記述言語を用いる従来の低レベル設計手法に加え、OpenCL を代表とする高位言語による設計手法をサポートする FPGA 開発環境が利用できるようになり、設計者は GPU と同じようなプログラミングモデルで FPGA 開発が行えるようになった。このような背景の下、FPGA を GPU の代替デバイスとして積極的に用い、GPU と比較して高いソーティング性能を達成することを目指す。

2. 研究の目的

アプリケーションに特化した演算パイプラインとデータ供給機構を実現する回路を実装可能という FPGA (Field-Programmable Gate Array) の特徴を最大限活用し、ソーティングを高速に実行するハードウェアアルゴリズムの開発に取り組む。具体的には、FPGA のオンチップメモリベースで実現される仮想的なマージソートツリーを既存研究の高スループットマージソートツリーの部分木に適用した新しいアーキテクチャを提案し、それをソーティングネットワークと組み合わせる。そして、提案アルゴリズムを実行するプロトタイプシステムを FPGA 評価ボードを用いて構築し、ソートするデータ数やデータ型を変化させた幾つかのソート処理の性能を開発したシステムで評価することによって、ハイエンド GPU と比較して数倍のオーダーのソーティング性能を達成することを定量的に示すことが本研究の目的である。

3. 研究の方法

提案アルゴリズムは Verilog HDL などのハードウェア記述言語を用いて実装され、それが FPGA の回路として正しく動作することを高速に検証するために、申請者が開発したレジスタ転送レベルの検証環境 (論文: 「A High-speed Verilog HDL Simulation Method using a Lightweight Translator」) や商用 RTL シミュレータを用いる。これにより、アルゴリズムの実装・動作検証を効率的に行っていく。また、提案アルゴリズムの汎用性および利便性の向上のため、OpenCL と Verilog HDL の混合記述を用いた FPG プログラミングに関する研究成果を活用して、提案アルゴリズムを OpenCL カーネル内の関数呼び出しで利用できるようにするライブラリを実装する。このため、提案アルゴリズムを実行するプロトタイプシステムを構築するための FPGA 評価ボードは OpenCL 対応であることが必須であり、かつ NVIDIA V100 のようなハイエンド GPU と公正な比較を行うために、研究実施時点でリリースされている最新版の OpenCL 対応 FPGA ボードを調達した。そして、構築したプロトタイプシステムに、ソートするデータ数やデータ型を変化させた幾つかのソート処理をオフロードし、ハイエンド GPU と比較して、アルゴリズムの演算性能が数倍オーダーを達成することを定量的に評価する。

4. 研究成果

開発したハードウェアソーティングエンジンを OpenCL 環境で呼び出せるようにライブラリ化

し、そのソートライブラリの性能を OpenCL ベースの実装用に再構築されたマージソートアルゴリズムと比較した結果、ソート性能が 3 桁向上していることが確認された。また、このソーティングエンジン向けの浮動小数点データソート手法を新たに提案し、浮動小数点データ対応のソーティングエンジンを整数型の場合と同じく OpenCL 環境で呼び出せるようにライブラリ化し、そのソートライブラリの性能を評価した結果、わずかなハードウェア資源消費で整数型と同等の性能を達成できることを示した。これにより、アプリケーション開発者が低レイヤな部分を意識することなく、高位言語の抽象度にとどまりながら、レジスタ転送レベルで最適化されたソートを整数型および浮動小数点型データの両方に対して実行できることが明らかとなった。さらに、アプリケーション開発者が、対象となる FPGA のリソース数と要求されるソーティング性能を考慮しながらソートエンジンの最適な構成を決定できるようにするために、ソーティングエンジンの性能モデルを導出し、かつソーティングエンジンを構成するパラメータを変化させた場合におけるハードウェアコストとソーティング性能を定量的に評価し、パラメータを決定するための指針を示すことに成功した。そして、ソートするデータ数が数十 K 個の場合は、GPU と比較して最大 2 倍程度の高速化を達成することを示した。

本研究で得られた成果を論文以外の形でも積極的に普及していくために、本研究の成果物であるソーティングエンジンおよびその OpenCL ライブラリのソースコードを Github にオープンソースとして公開している (https://github.com/ac2-prod/fpga_sort)。

5. 主な発表論文等

〔雑誌論文〕 計3件（うち査読付論文 1件/うち国際共著 0件/うちオープンアクセス 1件）

| | |
|--|--------------------|
| 1. 著者名 Kobayashi Ryohei, Miura Kento, Fujita Norihisa, Boku Taisuke, Amagasa Toshiyuki | 4. 巻 Article 10 |
| 2. 論文標題 A Sorting Library for FPGA Implementation in OpenCL Programming | 5. 発行年 2021年 |
| 3. 雑誌名 Proceedings of the 11th International Symposium on Highly Efficient Accelerators and Reconfigurable Technologies (HEART '21) | 6. 最初と最後の頁 1-6 |
| 掲載論文のDOI（デジタルオブジェクト識別子） 10.1145/3468044.3468054 | 査読の有無 有 |
| オープンアクセス オープンアクセスとしている（また、その予定である） | 国際共著 - |

| | |
|---|---------------------|
| 1. 著者名 小林 諒平, 三浦 賢人, 藤田 典久, 朴 泰祐, 天笠 俊之 | 4. 巻 IEICE-121 |
| 2. 論文標題 コンパクション処理を活用した正規バス問合わせアクセラレータのFPGA実装 | 5. 発行年 2021年 |
| 3. 雑誌名 IEICE-RECONF2021-12 | 6. 最初と最後の頁 62-67 |
| 掲載論文のDOI（デジタルオブジェクト識別子） なし | 査読の有無 無 |
| オープンアクセス オープンアクセスではない、又はオープンアクセスが困難 | 国際共著 - |

| | |
|--|---------------------|
| 1. 著者名 小林 諒平, 三浦 賢人, 藤田 典久, 朴 泰祐, 天笠 俊之 | 4. 巻 IEICE-121 |
| 2. 論文標題 FPGA向け浮動小数点数型ソーティングライブラリの提案と実装 | 5. 発行年 2021年 |
| 3. 雑誌名 IEICE-CPSY2021-8 | 6. 最初と最後の頁 43-48 |
| 掲載論文のDOI（デジタルオブジェクト識別子） なし | 査読の有無 無 |
| オープンアクセス オープンアクセスではない、又はオープンアクセスが困難 | 国際共著 - |

〔学会発表〕 計3件（うち招待講演 0件/うち国際学会 1件）

| |
|---|
| 1. 発表者名 Kobayashi Ryohei, Miura Kento, Fujita Norihisa, Boku Taisuke, Amagasa Toshiyuki |
| 2. 発表標題 A Sorting Library for FPGA Implementation in OpenCL Programming |
| 3. 学会等名 The 11th International Symposium on Highly Efficient Accelerators and Reconfigurable Technologies (HEART '21) (国際学会) |
| 4. 発表年 2021年 |

| |
|---|
| 1. 発表者名 小林 諒平, 三浦 賢人, 藤田 典久, 朴 泰祐, 天笠 俊之 |
| 2. 発表標題 コンパクション処理を活用した正規パス問合わせアクセラレータのFPGA実装 |
| 3. 学会等名 2021年6月リコンフィギャラブルシステム研究会 |
| 4. 発表年 2021年 |

| |
|--|
| 1. 発表者名 小林 諒平, 三浦 賢人, 藤田 典久, 朴 泰祐, 天笠 俊之 |
| 2. 発表標題 FPGA向け浮動小数点数型ソートングライブラリの提案と実装 |
| 3. 学会等名 SWoPP2021: 並列 / 分散 / 協調システムとディペンダブルコンピューティングおよび一般 |
| 4. 発表年 2021年 |

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

| 氏名 (ローマ字氏名) (研究者番号) | 所属研究機関・部局・職 (機関番号) | 備考 |
|---------------------------|-----------------------|----|
|---------------------------|-----------------------|----|

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

| 共同研究相手国 | 相手方研究機関 |
|---------|---------|
|---------|---------|