

令和 3 年 6 月 9 日現在

機関番号：12102

研究種目：基盤研究(C) (一般)

研究期間：2018～2020

課題番号：18K11209

研究課題名(和文) 小規模FPGAによる高解像度画像の実時間処理の実現

研究課題名(英文) A Research on Real-time Processing of High-Resolution Images with a small size FPGA

研究代表者

丸山 勉 (MARUYAMA, Tsutomu)

筑波大学・システム情報系・教授

研究者番号：00292532

交付決定額(研究期間全体)：(直接経費) 3,300,000円

研究成果の概要(和文)：静止画のノイズ除去方式である NL-means 方式の小規模FPGAによる高速化を実現した。画像スキャンの方向を工夫することにより、処理速度は最も高速な手法の1/2となるが、使用内部メモリ量を1/50程度まで圧縮することができた。これにより、静止画像のノイズ除去に関して、小規模FPGAで高解像度画像の実時間処理を実現することができた。この研究成果に関して、国際会議(Parallel Computing 2019)で発表を行った。また、本方式の問題点である回路記述の複雑さを解消するために、高位合成による回路構成の検討を行った。

研究成果の学術的意義や社会的意義

FPGAを用いた画像処理の高速化の研究は国内外で数多く行われている。しかし、これらの研究における主眼点は、より高速かつ高精度な処理の実現にあり、必要とされる回路量はそれ程重視されていない。本研究は、実時間処理の要求を満たした上で、高精度を維持しつつ回路量の削減を図るものであり、このような研究はほとんど行われていない。本研究で用いる手法の有効性は Box Filter に基づく手法に限られるが、Box Filter を用いたプログラムは様々な分野で数多く開発されており、本研究の成果を広い範囲に適用することが期待される。

研究成果の概要(英文)：We have implemented the NL-means algorithm on a small FPGA by using our new zigzag scan method. By this scan method, the computation time becomes double, but the required memory size for keeping the intermediate calculation result can be reduced to 1/50, and it becomes possible to realize real-time noise reduction using NL-means algorithm on a small size, namely, reasonably priced FPGA. We presented this result on an international conference (Parallel Computing 2019). We also researched how to reduce the programming complexity of this zigzag scan by using high level synthesis tools.

研究分野：リコンフィギャラブルコンピューティング

キーワード：FPGA 画像処理

1 研究開始当初の背景

FPGA を用いた画像処理システムに関する現在の研究の多くは、近年の FPGA に搭載された大量のハードウェア資源を用いて、より高速かつ、より高精度な処理を目指すものが主流である。しかし、大規模な FPGA の価格は非常に高価であることから、そのようなシステムが利用可能な場面は非常に限られている。小規模な FPGA による、より安価なシステムの構築に関する報告もあるが、非常に単純なアルゴリズムを実装したものが多く、それらの精度は実用上十分でない。我々は、これまでに多くのステレオビジョンシステムの研究を行ってきた。ステレオビジョンは、自動運転、ロボットビジョン、セキュリティシステム等において有用なシステムではあるが、我々の開発した FPGA システムは、十分高速かつ高精度であるものの、价格的にそれらに利用することが困難なものであった。このため、これらの画像処理システムの開発を通して、実時間処理 (30fps) 程度に処理速度を落とした場合に、精度を落とさずに、どこまで回路量を削減することができるか、またその際に、現状の FPGA の回路資源 (内部メモリと演算素子) を効率的に利用できるかの検討を進めてきた。その結果、精度を落とさずに、FPGA の回路量、特に必要とされる内部メモリ量を従来手法の数十分の一に削減し、小規模な FPGA でも高解像度画像の実時間処理が可能であることを明らかにした。この手法は、全てのアルゴリズムに対して有効ではなく、Box Filter と呼ばれるアルゴリズムが適用可能な計算手法に対してのみ有効なものであるが、Box Filter はその計算量の少なから非常に広い分野で数多く用いられている。このため、本手法は、ステレオビジョンに留まらず、様々な画像処理に対して適用可能である。

2 研究の目的

本研究では、必要とされる途中演算結果の保持量を従来手法の数 10 分の 1 まで軽減し、現状の FPGA の回路量バランスの下で、内部メモリおよび演算素子を両方とも効率的に利用し、小規模な FPGA で、高解像度画像の実時間処理を可能とする演算方式、及び、そのための設計開発環境の構築を行う。これにより、FPGA をより広い状況下での利用が可能となり、例えば、自動運転、ロボットビジョン、セキュリティシステム等において必要とされるステレオビジョン、オプティカルフロー、ノイズ除去、画像認識処理等の高解像度化、すなわち高精度化が可能となる。本研究で提案する手法における記憶量は、画像幅にはほとんど依存しないため、どのような高解像度画像に対しても適用可能となる。

3 研究の方法

我々は既に、Guided Filter を用いたステレオビジョン (CPU 上で最も高速なもののひとつ) において本手法の有効性を実証済みである。現在、他のステレオビジョン (より精度の高い MBM 方式)、および静止画のノイズ除去において、本手法の有効性を検証すべく回路設計を進めている。本手法により、必要とされる内部メモリ量の大幅な削減が可能となるが、最終的にどの程度の規模の FPGA が必要となるかは必要とされる精度にも依存するため不確定な部分が残る。また、画素の処理手順の複雑化に伴い回路設計自体も複雑化するという課題がある。これらの問題を解決するために、ノイズ除去フィルタ、およびステレオビジョンシステムにおいてこれらの手法を用いることによって、どの程度までの速度低下を許容した場合、どの程度まで、回路量を削減することができるかを実際の FPGA を用いて明らかにする。また、回路設計の自動化の検討を進め、どの程度まで回路開発者の負荷を低減することができるのかを明らかにする。

4 研究の成果

FPGA は、これまでに様々な画像処理において非常に高速な処理を実現しているが、そのために非常に大規模な内部メモリが必要とされている。これは、ステレオビジョン、オプティカルフロー、画像圧縮、ノイズ除去、画像認識等の、画像間の相互相関を多数計算する問題において特に顕著であり、必要とされるメモリ量は画像幅の二乗に比例する。この内部メモリ量のために、非常に大規模な FPGA が必要とされ、その可用性を損なっている。本研究では、高解像度画像の処理においても、小規模な FPGA で高精度かつ実時間処理が可能となる手法の研究を行う。

2018年度は、静止画のノイズ除去方式である NL-means 方式の小規模 FPGA による高速化を実現した。NL-means は高性能ながら、計算量が多いためソフトウェアシステムにおいてはあまり用いられていない方式である。本研究による計算手法では、各画素に対して、既に計算された値を再度計算するために速度低下が起こるが、その速度低下以上にデータ保持に必要とされる内部メモリ量を削減することができるものであり、近年の FPGA の高性能化を考えた時に、非常に有効な手法であると言える。また、MBM 方式によるステレオビジョンの実装に関する検討を進め、FPGA の基本回路の設計を行った。

2019年度は、静止画のノイズ除去方式である NL-means 方式の小規模 FPGA による高速化に関する評価を行い、国際会議 (Parallel Computing 2019) で発表を行った。この論文では、画像スキャンの方向を工夫することにより、処理速度は最も高速な手法の 1/2 となるが、使用内部メモリ量を 1/50 程度まで圧縮することができること、また、これにより、静止画像のノイズ除去に関して、小規模 FPGA で高解像度画像の実時間処理を実現可能であることを示した。また、前年度に引き続き、MBM 方式によるステレオビジョンの実装に関する検討を進め、ソフトウェアによる性能評価および、基本回路の FPGA 実装を行った。

2020年度は、前年度に引き続き、ステレオビジョン方式の拡張 (MBM 方式) の検討を行い、また、本方式の問題点である回路記述の複雑さを解消するために、高位合成による回路構成の検討を行った。本方式の最大の問題点は、画像処理においてジグザグのスキャンを行うための回路記述の複雑さである。この問題点を解決するために、通常のアプローチから本手法の回路記述の自動合成を行うことを考えていたが、十分な汎用性を確保することが困難と判断したため、高位合成ツールを用い、ライブラリとして本手法を提供することを検討した。具体的には、Xilinx 社製の最新の高位合成ツールである Vitis を用い、高位言語で記述された多重ループの記述から、回路の合成を行った。

5. 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計1件（うち招待講演 0件 / うち国際学会 1件）

| |
|---|
| 1. 発表者名 Hayato Koizumi, Tsutomu Maruyama |
| 2. 発表標題 An Implementation of Non-Local Means Algorithm on FPGA |
| 3. 学会等名 Parallel Computing 2019 (国際学会) |
| 4. 発表年 2019年 |

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

| 氏名 (ローマ字氏名) (研究者番号) | 所属研究機関・部局・職 (機関番号) | 備考 |
|---------------------------|-----------------------|----|
|---------------------------|-----------------------|----|

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

| 共同研究相手国 | 相手方研究機関 |
|---------|---------|
|---------|---------|