

令和 3 年 6 月 5 日現在

機関番号：12102

研究種目：基盤研究(B)（一般）

研究期間：2017～2020

課題番号：17H03258

研究課題名（和文）適応的に波形を整形できる伝送線の開発

研究課題名（英文）Development of a signal transmission line that can improve its signal integrity adaptively

研究代表者

安永 守利（Yasunaga, Moritoshi）

筑波大学・システム情報系・教授

研究者番号：80272178

交付決定額（研究期間全体）：（直接経費） 10,100,000円

研究成果の概要（和文）：本格的なIoT（物のインターネット）時代に向けて、超高速デジタル信号の信号品質を向上する技術開発が課題となっている。既に我々は、この課題を解決するための新たな配線であるセグメント分割伝送線（STL:Segmental Transmission Line）を開発した。一方、STLは、配線密度の低下と微細幅配線製造という課題があった。本研究の目的は、これらの課題を解決し、さらに製造後の配線システム変更にも適応的に対応できる（適応的に波形を整形できる）伝送線を実現することである。本研究では、この課題を解決するC-STL（Capacitor-STL）を提案し、その有効性を試作と実測により示した。

研究成果の学術的意義や社会的意義

デジタルシステムの高速化に伴い、デジタル信号の歪（波形歪）は増加し、これが今後の高速化の壁となっている。本研究では、この問題を解決するために全く新たな信号配線構造を提案し、その有効性を試作・実測で示している。この構造は、その設計手法も含めてこれまでに無い全く新たなアプローチである。その成果は、研究期間中に多くの国内外学会にて報告するとともに、エレクトロニクス実装学会において2019年度論文賞を受賞した。デジタル信号の波形歪は、スマートフォンからスーパーコンピュータに至るまでほぼ全ての高速デジタル機器の問題であり、本研究成果はその課題解決に大きく貢献するものである。

研究成果の概要（英文）：Towards the full-scale IoT (Internet of Things) era, novel signal-integrity improvement technologies are required for the high-speed digital signal transmission. In order to meet the demand, we have proposed the segmental transmission line (STL) and shown its high performances already. On the other hand, the STL has disadvantages of interconnection density decrease and cost increase due to its requirement for finer manufacturing technology. The goal of this project is to overcome the disadvantage of the STL and to propose the transmission line that can improve the signal integrity degradation adaptively. We have newly proposed the C-STL (Capacitor-STL) to achieve the goal and have shown its effectiveness by the C-STL prototype and its measurements.

研究分野：集積システム工学

キーワード：信号品質 Signal Integrity 伝送線 プリント基板 波形整形 遺伝的アルゴリズム チップコンデンサ

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属します。

1. 研究開始当初の背景

IoT 機器などのデジタルシステムの動作速度はすでに GHz 級に達している。一方、動作速度の向上により、プリント基板やシリコンインターポーザ、LSI チップの配線上を伝送する信号の品質 (SI: Signal Integrity) の低下が一層大きな問題となっている。

SI 低下の原因は、信号が短波長化し、配線長と同程度になることにある。図 1 に示すように、プリント基板上の一般的な配線 (PCB Trace) においては、理想的なデジタル信号 (Ideal digital signal) が伝送する。一方、配線の途中に Device 等のインピーダンス不整合点があると、これが原因で反射波 (Reflection Wave) が発生し、これが波形歪 (SI 低下) の原因となる。

信号の高速化、すなわち、短波長化が進むにつれて配線長と波長は同程度となり、ますます波の性質が顕著となって信号品質は低下する。SI 低下問題は、現在、プリント基板設計で大きな問題となっているが、高速化がさらに進むと LSI の中でも問題となる。図 2 は、配線長 (Trace Length) と動作周波数 (Clock Frequency) の関係を示しており、波長 λ が配線長 l と同等、あるいは短くなる領域では、SI が大きく低下する。このため、動作周波数が 10GHz を超えた領域では、LSI 内部配線でもこの問題が無視できなくなる。

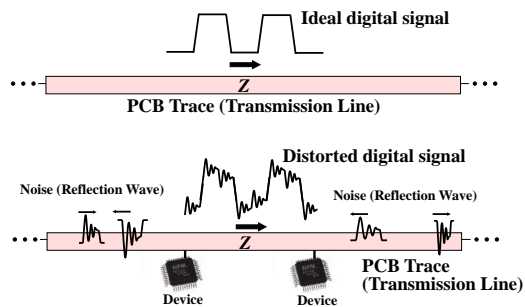


図 1 超高速伝送による信号品質劣化

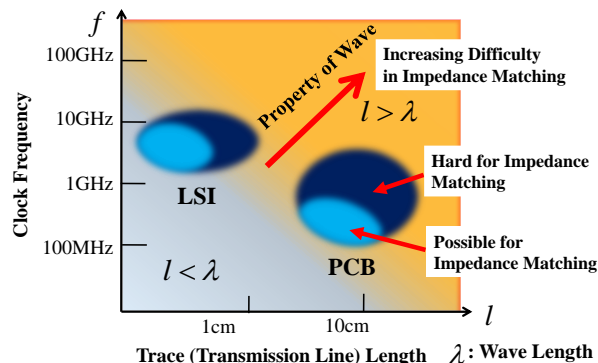


図 2 動作周波数と配線長の関係

2. 研究の目的

既に我々は、SI 向上のための新たな配線構造であるセグメント分割伝送線 (STL: Segmental Transmission Line) とその設計手法を提案している。そして、その有効性をシミュレーションだけでなく、試作により実測・評価している。

STL の原理を図 3 に示す。配線には素子 (Device) が接続されており、これが寄生容量 (Parastic Capacitance) となる。そして、これが原因で理想的なデジタル信号 (Ideal digital signal) に歪 (Noise) が発生し、SI が劣化する。

STL では、配線 (プリント基板や LSI の配線) を複数のセグメントに分割し、それぞれの線幅を変えることにより異なった特性インピーダンス (Z_i) を与える。これにより、セグメント境界では反射 (ノイズ) が発生する。そして、このノイズを歪んだ伝送信号に重畳することで、歪をキャンセル (図中の Canceled Noise) し SI を向上する。STL では、特性インピーダンスの組み合わせ数が 10^{20} 以上となる。このため、理論解法や全件探索は不可能である。この設計課題を解決するために、我々は遺伝的アルゴリズムを用いる。図 4 に示すとおり、 Z_i を遺伝的アルゴリズムの染

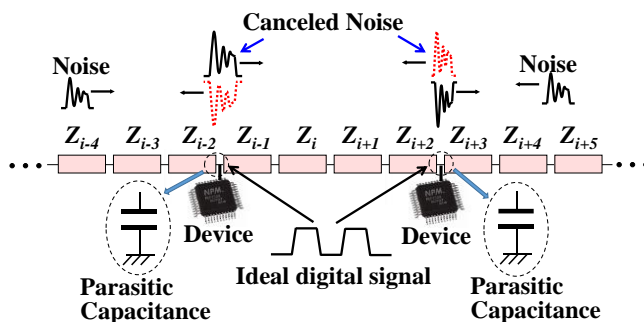


図 3 セグメント分割伝送線 (STL) の原理

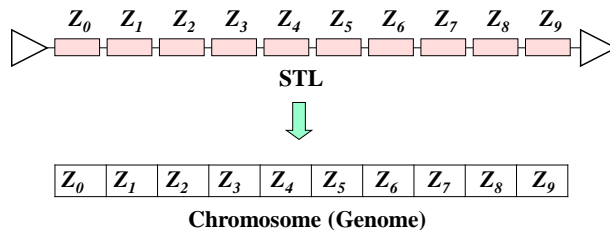


図 4 STL の設計手法

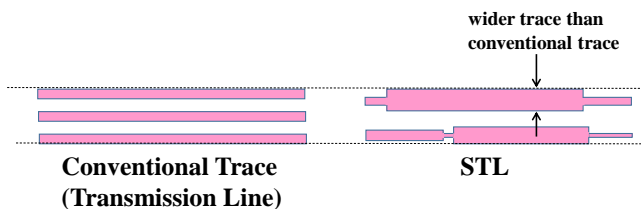


図 5 STL の課題 (配線の上面図)

染色体 (Chromosome) にマッピングし、高速に (準) 最適な組み合わせを探索する。

STL は高い SI 改善効果を示し、産業界からも高い評価を得ることができた。しかし一方で、配線幅を変えることで特性インピーダンス (Z_0) を調整するため、配線に接続する部品が変更された場合などに適応的に対応することができない (製造してしまうと、後から構造を変更することができない)。また、図 5 に示すように、STL では、従来よりも太い配線を用いる必要があるため、配線の実装密度が低下する。さらに、細い配線も必要で、これは、製造歩留まりの低下につながる。

本研究の目的は、従来 STL の課題を解決し、適応的に SI を改善できる新たな STL を提案することである。さらに、その有効性をシミュレーションのみならず、実測にて定量的に示すことである。

3. 研究の方法

3. 1 新たな配線構造 (C-STL)

本研究で提案する新たな配線構造である C-STL (Capacitor-STL) の概要と原理を図 6 に示す。C-STL は STL とは異なり、従来と同じ様な幅の配線を用いる。配線幅も従来の線幅と同じである (通常、特性インピーダンスが $50\Omega \sim 100\Omega$ となる配線幅を用いる)。

ここで C-STL では、一樣な幅の配線 (PCB-Trace) と配線直下のグラウンド面 (GND) との間に複数個のチップコンデンサ (Chip-Capacitor) を挿入する。チップコンデンサのインピーダンスは、配線の特性インピーダンスと異なるため、配線上を伝送する信号には反射 (ノイズ) が発生する。この反射をうまく調整し、歪んだ信号 (Distorted Wave) に重ね合わせることで波形を整形することができる。これが、C-STL の基本的な考え方であり、すなわち、STL のセグメント境界での反射 (ノイズ) と同等の反射をチップコンデンサによって発生する。C-STL では、一樣な線幅の配線 (従来の配線) が使用できるため、上述した従来 STL の課題を解決することができる。なお、近年、チップコンデンサのサイズの微小化は急速に進んでおり、図 6 中の断面図に示すように、チップコンデンサを配線直下に埋め込むことが可能となっている。

3. 2 C-STL の設計手法

一方、C-STL でも、チップコンデンサの静電容量 C_i の決定は組み合わせ爆発問題となる (設計上の課題となる)。このため、C-STL でも STL 同様に、遺伝的アルゴリズムを利用する。すなわち、C-STL では静電容量 C_i を遺伝子に見立て、図 7 に示すように染色体 (Chromosome) を構成する。そして遺伝的アルゴリズムの適応度 (Score) には、図 8 に示すように、アイダイアグラム (Eye-diagram) のアイ開口幅 (Eye-width) T_{width} とアイ開口高さ (Eye-height) V_{height} を利用する。アイダイアグラムは、高速デジタル信号の信号品質を評価するために最も広く使用されている手法であり、信号品質は T_{width} と V_{height} が大きいほど (開口面積が大きいほど) 高くなる。

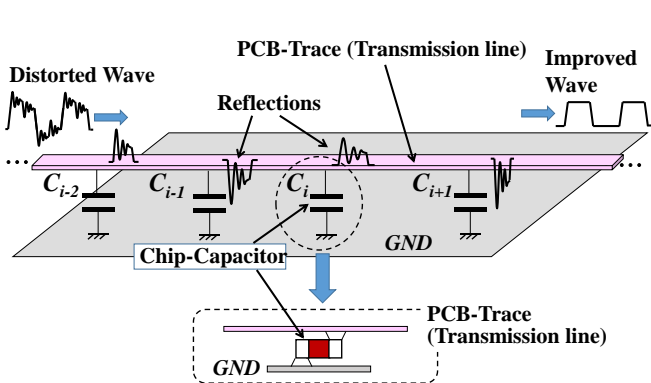


図 6 提案手法 (C-STL) の原理

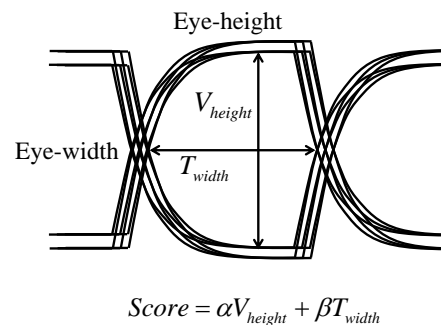


図 8 C-STL の設計目的関数

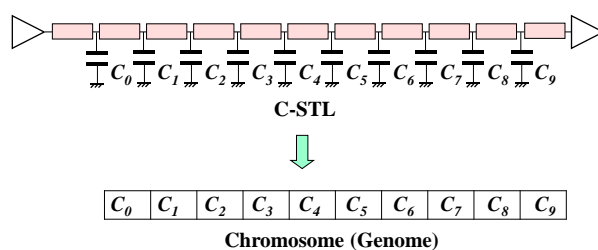


図 7 C-ST の設計手法

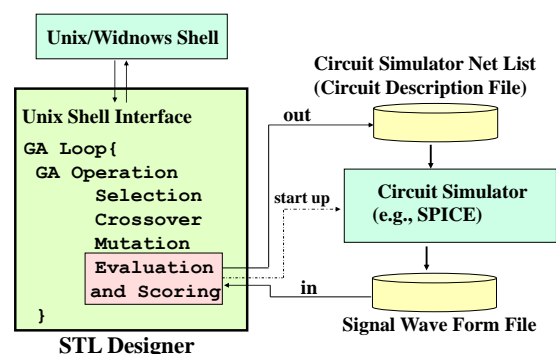


図 9 C-STL の設計システム

本研究では、 T_{width} の V_{height} の和を適応度として、遺伝的アルゴリズムを適用している。C-STL と STL では、遺伝子が特性インピーダンス Z_i か静電容量 C_i かの違いだけであり、STL で開発した設計システムがほぼそのまま適用できる。

図 9 に C-STL の設計システムを示す。STL Designer は遺伝的アルゴリズムの基本演算を繰り返すプログラムであり、その繰り返し計算の途中で、毎回、染色体の値 (C_i の組み合わせ) を出力する。そして、その組み合わせを用いた配線回路を回路シミュレータ (Circuit Simulator) の入力とし、その出力波形 (アイダイアグラム) をフィードバックすることで適応度を計算している。

なお、基本的な C-STL では、固定容量のチップコンデンサを用いているが、これを可変容量チップコンデンサに変えることで、配線基板製造後も静電容量を変更することができ、製造後においても適応的に波形整形可能な配線 (伝送線) を構成することができる。

4. 研究成果

4. 1 設計対象と設計結果

我々は、本研究期間中に C-STL を様々な伝送系に適用し、その有効性を示してきた。本報告書では、その一例を成果として述べる。図 10 は伝送速度 (伝送レート) 8Gbps、配線長 3.75cm の 1 対 1 伝送系であり、PCI-Express など、現在の超高速信号伝送規格の典型的な伝送速度と配線長である。本設計対象では、この配線に 2 つの寄生容量 (Parasitic Capacitance) C_p が接続されている。これは、配線途中のスルーホールやデバイスなどのモデルであり、これが原因となって信号品質 (SI) が劣化する。

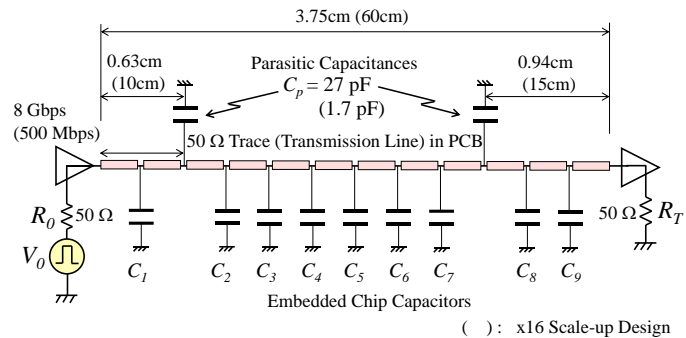
なお、本研究では、プロトタイプ試作による実測にて C-STL の有効性を評価する。このためスケールアップ設計を行っている。スケールアップ設計とは、伝送速度を $1/n$ に落とすと同時に配線長と寄生容量を n 倍にする設計であり、両方で観測される波形は時間軸が n 倍異なるだけで同じ (相似な) 波形を観測することができる。これより、正確な波形測定が難しい高速信号の速度を落とす ($1/n$ にする) ことで高精度に波形を観測することができるため、本研究においてもスケールアップ設計を行い、実測評価を行っている。本設計では、 n (スケールアップ比) を 16 としている。従って、伝送速度は 500Mbps、配線長は 60cm としている。また、寄生容量、本来 1.7pF である値を 27pF としている。これにより、8Gbps とほぼ同等の実測評価が可能となる。

埋め込むチップコンデンサは 9 個 ($C_1 \sim C_9$) とし、その静電容量値の候補は、図 10 中に示すとおり 19 種類とした。従って、組み合わせ総数は、 19^9 通り (約 3×10^{11} 通り) となる。

遺伝的アルゴリズムにより設計した静電容量 ($C_1 \sim C_9$) の値を図 11 に示す。図中の C_p は寄生静電容量の位置である。チップコンデンサの静電容量値は、寄生静電容量 C_p よりも全て小さく、かつ、 C_p 近辺のチップコンデンサの容量が低くなっている。また、 C_3 を中心にほぼ対称な容量値配分となっており、これは、 C_p の位置が送信側と受信側からほぼ同じ位置にあることが原因であると考えられる。

4. 2 試作評価結果

図 11 に示す設計結果をもとに試作したプロトタイプ基板 (配線) の上面写真を図 12 の下段に示す。幅 25cm の基板を用い、逆 S 字状に配線幅が異なる配線を試作している。図左側のコネクタが信号入力であり、右側のコネクタが出力である。この配線の直下に 9 個のチップコンデンサを埋め込んでいる。



19 Chip Capacitor Candidates

0.5	1.0	2.0	3.0	4.0	5.0	6.0	7.0	8.0	9.0
10.0	12.0	15.0	18.0	22.0	27.0	33.0	39.0	47.0	-

図 10 C-STL の設計対象

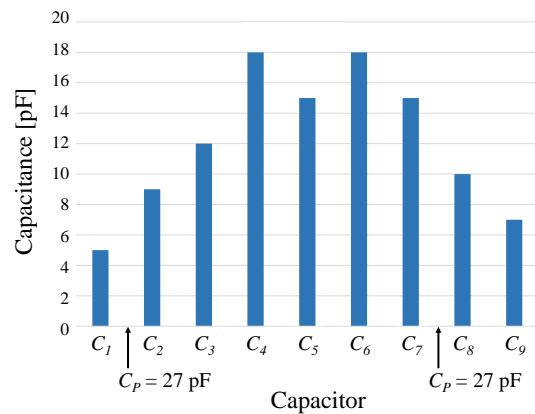


図 11 C-STL の設計結果

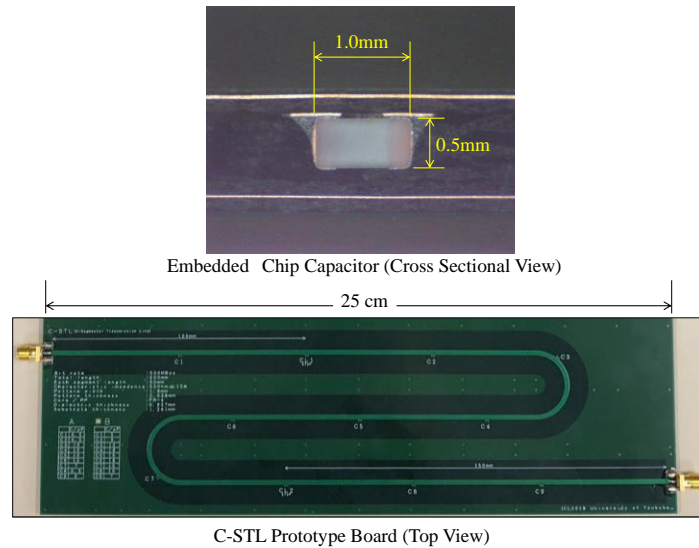


図 12 C-STL の試作基板：断面拡大写真（上）と全体上面写真（下）

図 12 上段に埋め込んだチップコンデンサを含んだ断面拡大写真を示す。チップコンデンサのサイズは全て 1.0mm×0.5mm であり、写真の上部が配線（銅箔）であり、下部がグラウンド面（銅箔）である（チップコンデンサと配線、グラウンドをつなぐ配線は断面の位置が異なるので表示されていない）。

4. 3 評価結果

試作基板（配線）の波形実測結果を図 13 に示す。上段は特性インピーダンス 50 Ω の従来配線（Conventional Transmission Line）によるアイダイアグラムである。これは、試作基板（配線）において、チップコンデンサは 9 個（ $C_1 \sim C_9$ ）の埋め込みは行わず、2 つの寄生容量コンデンサ C_p のみを接続した際の測定結果である。

パルスジェネレータのから信号振幅 1V、伝送速度 500Mbps の理想的な信号を入力しているため、アイ開口高さは 1V (1000mV)、アイ開口幅は 2ns が目標となるが、従来配線では、アイ開口高さ 87.4mV、アイ開口幅は 0.88ns（測定図中）と非常に小さく、ほぼアイ開口は閉じた状態である（実用には不可能な SI 低下となっている）。これに対して、C-STL のアイ開口高さは 405.0mV、アイ開口幅は 1.51ns を実現しており、従来配線のアイ開口に比べて、高さで 4.63 倍、開口幅で 1.72 倍を達成している。これは、スケールアップ比を考慮して、PCI-Express (Gen.3) のアイマスクパターンを満たす水準であり、実用化レベルにあると考えられる。以上、C-STL により、従来 STL の課題を解決しつつ信号品質を大幅に改善できることを実測で示すことができた。

なお本研究期間中に、C-STL をさらに発展した配線構造として、チップコンデンサに加えてチップインダクタを使用する CL-STL も提案することができた（シミュレーションにより、その効果を確認した）。これにより、C-STL では SI を十分改善できなかった劣化波形の SI を向上できることが期待できる。また、設計手法においても、これまで回路設計シミュレータが不可欠であったところ、数式処理システムだけで設計可能なアルゴリズムを提案することができた。

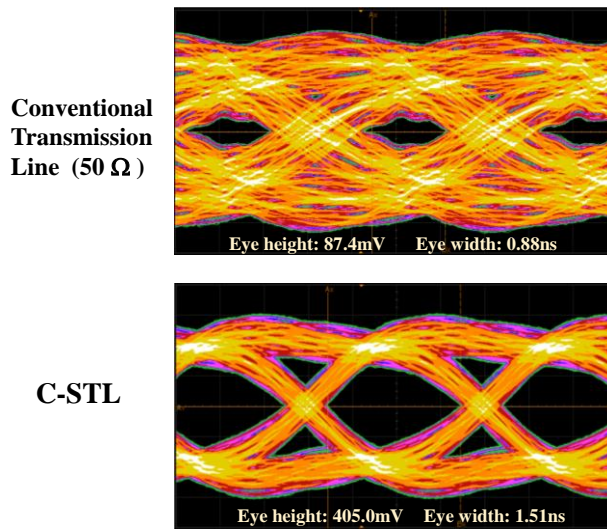


図 13 実測結果：従来配線（上）と C-STL のアイパターン（下）のアイパターン

5. 主な発表論文等

〔雑誌論文〕 計6件（うち査読付論文 3件／うち国際共著 0件／うちオープンアクセス 0件）

1. 著者名 安永守利	4. 巻 F I I S20-527
2. 論文標題 高速デジタル信号伝送におけるリターン電流の実験と考察 電球の点灯順問題の実験検証	5. 発行年 2020年
3. 雑誌名 第72回電子情報通信学会機能集積情報システム研究会信学技報	6. 最初と最後の頁 13ページ
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 狩野貴彦, 安永守利	4. 巻 F I I S20-532
2. 論文標題 寄生素子を考慮したコンデンサ型セグメント分割伝送線的设计と評価	5. 発行年 2020年
3. 雑誌名 第73回電子情報通信学会機能集積情報システム研究会信学技報	6. 最初と最後の頁 7ページ
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Takahiko Kano and Moritoshi Yasunaga	4. 巻 IEEE EDAPS 2020
2. 論文標題 High Signal Integrity Transmission Line Using Microchip Capacitors and Inductors	5. 発行年 2020年
3. 雑誌名 Proceedings of 2020 IEEE Electrical Design of Advanced Packaging & Systems Symposium	6. 最初と最後の頁 24-26
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 狩野貴彦, 安永守利	4. 巻 EST2020-61
2. 論文標題 二端子対回路網に基づくアイパターンのシミュレーション - 数式処理システムのみを用いたアイパターン計算 -	5. 発行年 2021年
3. 雑誌名 エレクトロニクスシミュレーション研究会信学技報	6. 最初と最後の頁 45-50
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Yasunaga Moritoshi、Matsuoka Shumpei、Hoshino Yuya、Matsumoto Takashi、Odaira Tetsuya	4. 巻 12
2. 論文標題 A High-Signal-Integrity PCB Trace with Embedded Chip Capacitors and Its Design Methodology Using a Genetic Algorithm	5. 発行年 2019年
3. 雑誌名 Transactions of The Japan Institute of Electronics Packaging	6. 最初と最後の頁 E19-007 1-9
掲載論文のDOI (デジタルオブジェクト識別子) 10.5104/jiepeng.12.E19-007-1	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Tetsuya Odaira, Naoki Yokoshima, Ikuo Yoshihara, and Moritoshi Yasunaga	4. 巻 Vol.23
2. 論文標題 Evolutionary design of high signal integrity interconnection based on eye-diagram	5. 発行年 2018年
3. 雑誌名 Artificial Life and Robotics (Springer)	6. 最初と最後の頁 298-303
掲載論文のDOI (デジタルオブジェクト識別子) 10.1007/s10015-018-0433-2	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計20件 (うち招待講演 2件 / うち国際学会 8件)

1. 発表者名 安永守利
2. 発表標題 AIを用いたプリント基板用超高速配線の設計 ノイズを用いてノイズを制す
3. 学会等名 化学工学会エレクトロニクス部会 (オンライン) (招待講演)
4. 発表年 2020年

1. 発表者名 Moritoshi Yasunaga, Sumpei Matsuoka, Yuya Hoshino, Takashi Matsumoto, and Tetsuya Odaira
2. 発表標題 A High Signal-Integrity PCB-Trace with Embedded Chip Capacitors and Its Design Methodology Using Genetic Algorithm
3. 学会等名 International Conference on Electrical Packaging 2019 (ICEP2019) (国際学会)
4. 発表年 2019年

1. 発表者名 松本 昂, 安永守利
2. 発表標題 AIアプローチによるPCB用超高速配線の設計
3. 学会等名 第29回マイクロエレクトロニクスシンポジウム (MES2019)
4. 発表年 2019年

1. 発表者名 Moritoshi Yasunaga, Shumpei Matsuoka, Yuya Hoshino, Takashi Matsumoto, and Tetsuya Odaira
2. 発表標題 AI-based Design Methodology for High-speed Transmission Line in PCB
3. 学会等名 IEEE CPMT Symposium Japan 2019 (ICSJ2019) (国際学会)
4. 発表年 2019年

1. 発表者名 Yuya Hoshino, Shumpei Matsuoka, Tetsuya Odaira, Takashi Matsumoto, Ikuo Yoshihara, and Moritoshi Yasunaga
2. 発表標題 Evolutionary Design Methodology for High-speed Digital Signal Transmission: Capacitor-Segmental-Transmission-Line Designed by Genetic Algorithm
3. 学会等名 International Symposium on Nonlinear Theory and its Applications 2019 (NOLTA2019) (国際学会)
4. 発表年 2019年

1. 発表者名 狩野貴彦, 松本 昂, 星野裕哉, 安永守利
2. 発表標題 遺伝的アルゴリズムを用いたインダクタを含むPCB 用超高速配線の試作設計
3. 学会等名 第34回エレクトロニクス実装学会春季講演大会
4. 発表年 2020年

1. 発表者名 Shunpei Matsuoka and Moritoshi Yasunaga
2. 発表標題 High Signal Integrity Transmission Line Using Microchip Capacitors and its Design Methodology
3. 学会等名 7th Electronic System-Integration Technology Conference (ESTC) 2018 (国際学会)
4. 発表年 2018年

1. 発表者名 Yuya Hoshino, Shumpei Matsuoka, Tetsuya Odaira, Takashi Matsumoto, Ikuo Yoshihara, and Moritoshi Yasunaga
2. 発表標題 Evolutionary design methodology for waveform shaping in GHz transmission line
3. 学会等名 International Symposium on Artificial Life and Robotics 2019 (AROB 22th '19) (国際学会)
4. 発表年 2019年

1. 発表者名 松岡駿平, 安永守利
2. 発表標題 チップコンデンサ内蔵プリント基板を用いた高品質信号配線
3. 学会等名 電子機器トータルソリューション展2018, アカデミックプラザ
4. 発表年 2018年

1. 発表者名 星野裕哉, 松岡駿平, 安永守利
2. 発表標題 コンデンサ型セグメント分割伝送線による高速デジタル信号伝送の基本評価
3. 学会等名 第66回電子情報通信学会機能集積情報システム研究会
4. 発表年 2018年

1. 発表者名 松本 昂, 松岡駿平, 大平哲也, 星野裕哉, 安永守利
2. 発表標題 遺伝的アルゴリズムを用いたPCB用超高速配線の試作設計
3. 学会等名 第33回エレクトロニクス実装学会春季講演大会
4. 発表年 2019年

1. 発表者名 安永守利
2. 発表標題 Deep Learnig だけではなくAI全般と実装技術分野への応用例
3. 学会等名 電子機器2018トータルソリューション展 (JPCAショー)JIEP (日本エレクトロニクス実装学会) 最先端実装技術シンポジウム (招待講演)
4. 発表年 2018年

1. 発表者名 松岡 駿平, 安永 守利
2. 発表標題 遺伝的アルゴリズムを用いた高信号品質配線設計とその解析
3. 学会等名 第63回電子情報通信学会機能集積情報システム研究会
4. 発表年 2017年

1. 発表者名 Shunpei Matsuoka, Shun Akutsu
2. 発表標題 High Signal Integrity Design for Transmission System Including High-Parasitic Inductance Connectors
3. 学会等名 IEEE CPMT (Components, Packaging and Manufacturing) Technology Symposium Japan 2017 (国際学会)
4. 発表年 2017年

1. 発表者名 Moritoshi Yasunaga and Ikuo Yoshihara
2. 発表標題 Waveform Learning Based on a Genetic Alogorithm and Its Application to Signal Integrity Improvement
3. 学会等名 4th IEEE International Conference on Soft Computing and Machine Intelligence (ISCM I 2017) (国際学会)
4. 発表年 2017年

1. 発表者名 安永守利
2. 発表標題 適応的に信号品質を改善できる超高速伝送線の一検討
3. 学会等名 第64回電子情報通信学会機能集積情報システム研究会
4. 発表年 2017年

1. 発表者名 安永守利
2. 発表標題 高速デジタル信号伝送におけるリターン電流の実験と考察 電球の点灯順問題の実験検証
3. 学会等名 第72回電子情報通信学会機能集積情報システム研究会
4. 発表年 2020年

1. 発表者名 狩野貴彦, 安永守利
2. 発表標題 寄生素子を考慮したコンデンサ型セグメント分割伝送線の設計と評価
3. 学会等名 第73回電子情報通信学会機能集積情報システム研究会
4. 発表年 2020年

1. 発表者名 Takahiko Kano and Moritoshi Yasunaga
2. 発表標題 High Signal Integrity Transmission Line Using Microchip Capacitors and Inductors
3. 学会等名 Proceedings of 2020 IEEE Electrical Design of Advanced Packaging & Systems Symposium (国際学会)
4. 発表年 2020年

1. 発表者名 狩野貴彦, 安永守利
2. 発表標題 二端子対回路網に基づくアイパターンのシミュレーション - 数式処理システムのみを用いたアイパターン計算 -
3. 学会等名 エレクトロニクスシミュレーション研究会
4. 発表年 2020年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関