

多結晶 Ge 薄膜のキャリア移動度向上に関する研究

今城 利文

2022 年 2 月

筑波大学大学院博士課程

数理物質科学研究科博士論文

博士(工学)

多結晶 Ge 薄膜のキャリア移動度向上に関する研究

今城 利文

ナノサイエンス・ナノテクノロジー専攻

目次

第 1 章 序論	3
第 2 章 研究背景・目的	5
2.1 IV族半導体 Ge の物性と近年の動向.....	5
2.2 絶縁体上における Ge 薄膜の低温合成技術.....	8
2.2.1 転写法.....	8
2.2.2 レーザーアニール法.....	9
2.2.3 フラッシュランプアニール法.....	10
2.2.4 化学気相成長法.....	11
2.2.5 固相成長法.....	12
2.2.6 金属誘起成長法.....	13
2.3 Ge 薄膜の固相成長に及ぼす前駆体加熱効果.....	15
2.3.1 非晶質 Ge 前駆体の密度変調効果.....	15
2.3.2 高キャリア移動度化への施策.....	19
2.4 固相成長 Ge の薄膜トランジスタ応用.....	26
2.5 研究目的.....	32
2.6 参考文献.....	33
第 3 章 固相成長 Ge 薄膜に加熱堆積が与える物性変調効果	41
3.1 緒言.....	41
3.2 実験手法.....	42
3.3 結晶性に与える影響.....	43
3.4 光学的特性に与える影響.....	45
3.5 電気的特性に与える影響.....	46
3.5.1 キャリア起源の検討.....	47
3.5.2 キャリア輸送特性の検討.....	52
3.5 結言.....	54
3.6 参考文献.....	54

第 4 章 下部界面層挿入による Ge 結晶粒径の制御	55
4.1 緒言	55
4.2 実験手法	57
4.3 下部絶縁層の選定	57
4.4 GeO _x 下部層挿入	59
4.4.1 Ge 膜厚変調効果	59
4.4.2 GeO _x 下部層膜厚変調効果	62
4.5 結言	69
4.6 参考文献	70
第 5 章 多結晶 Ge 薄膜における歪印加の要因と影響	72
5.1 緒言	72
5.2 実験手法	73
5.3 応力導入機構の検討	74
5.4 各種物性に与える影響	79
5.5 結言	82
5.6 参考文献	83
第 6 章 固相成長 Ge 薄膜のフレキシブル基板への展開	85
6.1 緒言	85
6.2 実験手法	87
6.3 耐熱プラスチック基板上への合成	88
6.4 結言	98
6.5 参考文献	99
第 7 章 結論	102
7.1 本論文における主要成果	102
7.2 今後の展望	104
謝辞	107
研究業績	111

第 1 章

序論

IV 族半導体 Ge は半導体産業の草創期において活躍していた。日本初の Ge トランジスタは東京通信工業(現 SONY)が 1954 年に試作したものである。その発明を口火に、日本電信電話公社(現 NTT 研究所)が中心となって半導体産業を興し、1980 年代には世界トップシェアに輝いた。今日の我が国を経済大国へと誘った戦後日本の高度経済成長においては、半導体産業が一翼を担う存在であったのは疑いようがない。とはいえ「盛者必衰」の言葉通り、Si の圧倒的優位性の前に Ge が凋落し、日本の半導体産業もまた斜陽化しているのは周知の事実である。

Si を大黒柱とした大規模集積回路は、微細化というレールに乗って我々に技術革新を送り届けてきた。しかし揺られて半世紀。物理的サイズの限界や Si の物性限界と対峙し始め、後進に道を譲る時も近いだろう。では我々を次世代へ運ぶポスト Si 材料は何か？取り沙汰されている候補に、一度は時代に取り残された Ge がある。再注目されている理由には、優れたキャリア輸送特性は勿論、人類が積み上げてきた Si プロセスとの親和性が大きい。さらに近年、Ge の材料的課題であった Ge/GeO_x 界面不安定性やリーク電流に解決の糸口が見出されている。特に、後者に対応する絶縁体上 Ge 薄膜(GeOI)は材料希少性も同時に解決する技術である。くわえて、結晶化温度の低さを活かすことで、低耐熱ではあるが安価な汎用基板(ガラスやプラスチック)への展開も期待できる。すなわち Ge は、世界全体で IoT 化が進む中、薄膜デバイスを軸とした活路がある。

多くの研究機関がしのぎを削って低温 GeOI 技術に取り組んできた。一方、Ge 薄膜中には多量の欠陥誘起アクセプタや、粗悪な微結晶膜しか得られない問題があった。これにより、数十年間にわたってキャリア移動度は Si に及ばなかった。この背景において、当研究室では非晶質の工夫をベースとした固相成長法を構築してきた。本法により、低欠陥かつ大粒径な多結晶 Ge 薄膜

を低温合成し、そのキャリア移動度は単結晶 Si 基板を凌駕した。しかし、Ge の優れた物性ポテンシャルを活かし、民生応用を目指すならば、更なる高キャリア移動度化が望ましい。本論文では、固相成長法により合成した多結晶 Ge 薄膜に対しキャリア移動度の向上を多角的に検討する。

ここで、本論文における章構成を記す。本章につづき、第 2 章では、研究の背景・目的として、Ge の物性と近年の動向、ならびに低温 GeOI 技術と我々の固相成長 Ge 薄膜の発展を説明する。第 3 章では、Ge の固相成長における各熱処理過程が物性に与える影響を包括的に議論する。続く第 4 章では、固相成長 Ge 薄膜の更なる高キャリア移動度化を検討し、下部層挿入を検討する。そして第 5 章では、歪導入機構と物性への影響を紐解く。第 6 章では、これまで為し得なかったフレキシブル基板上への高移動度 Ge 多結晶薄膜を実証する。最後の第 7 章で本論文を総括する。

低温 GeOI における我々の固相成長技術は、品質・プロセスの観点でも実用に最も近い位置にあると考えられる。本論文の知見が、再び脚光を浴びつつある Ge の復活を後押しすると共に、日の丸半導体の再興の切り札となれば幸いである。

第 2 章

研究背景・目的

2.1 IV 族半導体 Ge の物性と近年の動向

半世紀のうちに人類は「驚くべき快挙」と称するに相応しい繁栄を築いた。かつてからは想像もつかない、夢のような機能を持つ電子デバイスに囲まれた豊かな生活に浴している。それはひとえに半導体の恩恵によるところが大きい。それらはどのように始まり、そしてどのように発展していったのだろうか。本節では、半導体産業の黎明期におけるトランジスタ利用に始まり、次世代デバイス材料としての価値が近年再興している Ge の物性と近年の動向を織り交ぜて記す。

Ge とは、Si や Sn と同じ IV 族に属する間接遷移型の元素半導体である。現在より遡ること 75 年前、Ge 単結晶を用いてトランジスタの増幅作用が初めて観測された。半導体産業の先駆けとなった重要な存在である。そのしばらく後、金属-酸化物-半導体電界効果型トランジスタ (MOSFET) が生まれ、それを基幹素子とした大規模集積回路 (VLSI) に半導体産業が牽引されてきた¹。その進化の過程における Ge の立ち位置は悪かった。0.66 eV という小さな禁制帯幅が高温動作の難しさを産んだ。さらに、絶縁界面層に用いたい GeO_x が潮解性を持つ上に、これを用いた Ge との界面品質が乏しく、MOSFET の電荷輸送に悪影響を及ぼした。くわえて Ge はレアメタルでもある。対する Si は上記問題を容易に乗り越えてきた。Ge よりも熱安定性が高く、さらにはシンプルな熱酸化により形成される SiO_2 が卓越した Si/酸化物界面特性を提供した。地殻埋蔵量も極めて高く、産業的にも嬉しい。これらの明確な利点によって、半導体産業の花形である MOSFET の主役には Si が選ばれ、一方の Ge は退くこととなった。

さて、MOSFET の性能はスケーリング則によって①低消費電力化、②高速化、③高集積化という3要素を同時に達成してきた。これは MOSFET の3次元的なサイズダウンと電圧低減、そして不純物濃度の増加で得られる²。とはいえ本法則も2006年頃に物理的な微細化限界とSiの材料特性の限界と対峙し始めた。しかし、MOSFET 設計で重要な要素となるゲートスタック、チャネル等に注目した「ポスト・スケーリング」技術を携え、MOSFET は今もなお進化し続けている。ゲートスタックに関しては、ゲート酸化膜が nm オーダーになると、量子力学的な要因(トンネル電流によるリーク)が浮上する。そこで SiO₂ から離れ、高誘電率 (high-k) 材料を用いれば、「電気的な膜厚」を薄くしつつ物理的な膜厚を大きくできる。チャネルに関しては、高度に培ってきた Si プロセスを活かすために、歪導入によるキャリア輸送特性の向上が為されてきた。しかし歪みの印加量には限界もある。そこで、「ゲートスタックが high-k ならばチャネル材料も代替してはどうか」とのアイデアが浮上した。高キャリア移動度を有する半導体材料を表 2.1 にまとめる^{3,4}。化合物半導体は電子移動度が突出している。一方、両極性キャリア移動度の調和平均を考えると、バランスが優れているのは Ge となる。VLSI で論理回路を担う相補型 MOSFET の設計において、高集積化には両極性の MOSFET を同程度のスケールで構成することが鍵となる。化合物半導体は p 型 MOSFET において他材料の助けが要りそうだが、Ge ならば単一材料で実現できる。これにより煩雑なプロセスを取り払い、コスト削減もできる。さらには無毒である。そして IV 族半導体であるため、これまで人類が培ってきた Si プロセスとの相性も良い。

表 2.1 高キャリア移動度を有する半導体薄膜の物性値.

	Si	Ge	GaAs	InAs	InSb
電子移動度 [cm ² V ⁻¹ s ⁻¹]	1500	3900	9200	40000	77000
正孔移動度 [cm ² V ⁻¹ s ⁻¹]	450	1900	400	500	850
キャリア移動度の 調和平均 [cm ² V ⁻¹ s ⁻¹]	692	2555	767	988	1681
禁制帯幅 [eV]	1.12	0.66	1.42	0.36	0.17

先に述べた通り、Geはその狭い禁制帯幅に起因したリーク電流やMOSFET応用時のゲートスタックの困難さという隘路によりVLSIの主役をSiに譲って来た。しかし、ポストSiとしての存在感が高まっている近年、ゲートスタックの改善(Ge/酸化物界面の克服)によりSiユニバーサルカーブを打破し、数倍の電界効果移動度を有するGe-MOSFETが実現されている^{3,5}。また、絶縁体上Ge薄膜(GeOI)技術によりリーク電流を抑制し、優れたON/OFF特性も実証された⁶。世界のCPUトップシェアを有するIntelがCPUにGe-MOSFETを組み込むとの報(IEDM2019)もあり、産業界からの追い風も強い。次世代チャネル材料としてGeが広まる土壌は豊かである。

GeOI技術に注目しよう。リーク電流を抑える技術として効果的であるが、レアメタルであるGeにとっては資源節約の観点も特筆すべきである。また、Geは結晶化に必要な温度が低い(<500°C)という特徴をもつ。もし、耐熱温度は低いが高価な絶縁基板上(ガラスやプラスチック)に高品質なGe薄膜を実現できれば、応用の幅は飛躍的に広がる。すなわち、Geは薄膜デバイスに活躍の場がある。これまでトランジスタ応用を切り口に論じてきたが、Geの優れた光学的特性(高い光吸収係数⁷や中赤外透過性)に着目した光学デバイス応用⁸も魅力である。Geを軸にした光電素子を集約することで、3次元LSIの性能向上・付加や多機能ディスプレイといった革新的デバイスの実現も期待できる(図2.1)。以上のように、主役をSiに一度譲ったGeであるが、ポストSi材料として存在感を高めている。この事実を鑑みれば、正に「ルネサンスな」材料であると言えるだろう⁹。

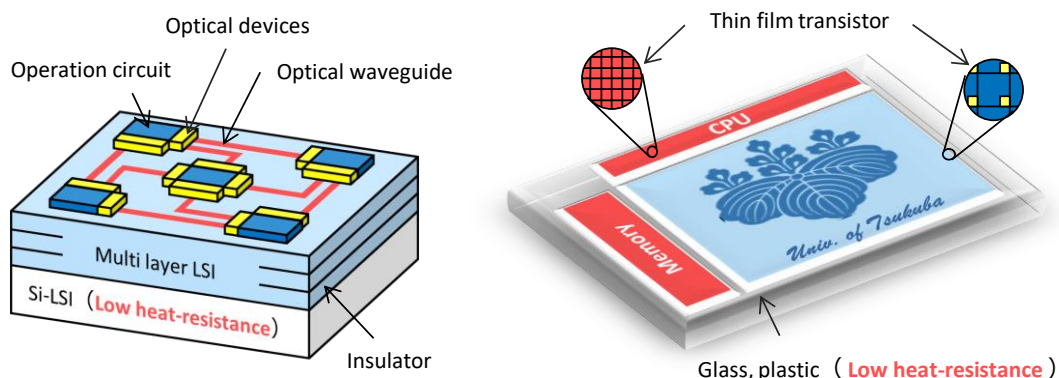


図 2.1 次世代デバイスの概要. (左)3次元LSI. (右)多機能ディスプレイ.

2.2 絶縁体上における Ge 薄膜の低温合成技術

前節で述べた通り、薄膜デバイスにおける Ge の存在感が勃興している。特に、ありふれた基板への低温合成を目指し、数多の手法が研究されてきた。本節では代表的な GeOI 低温合成技術を記す。

2.2.1 転写法

活性化した単結晶基板の表面を、目標基板と接合させることで Ge 薄膜を転写する。単結晶基板とほぼ同質の Ge 薄膜が得られ、面方位の自由度も高い。張り合わせ法¹⁰⁻¹³やイオンカット(スマートカット)法^{14,15}が知られている。関連するウエハ絶縁分離技術に、単結晶基板に酸素をイオンインプランテーションし、事後のアニールにより埋め込み酸化膜(絶縁層)を形成する方法(SIMOX : Separation by implantation of oxygen)がある^{16,17}。転写法を基盤とし、GeOI デバイスの研究にも力が注がれている¹²。一方、本手法は基板サイズに制限されるため、大口径化が困難である。くわえて、アイデアは単純である一方で行程が複雑であり、高いコストを要する。これらは産業応用の障壁となる。従って、以下に述べるような直接形成法が注目を浴びている。

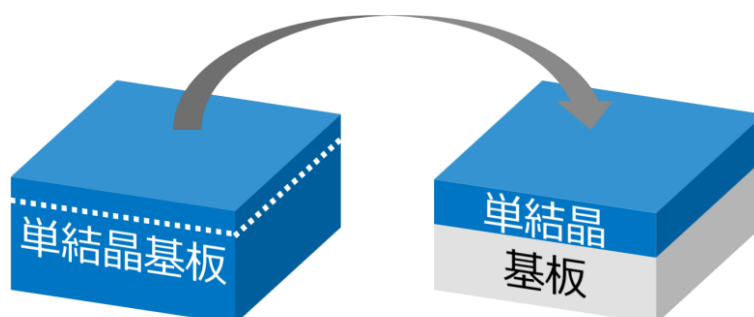


図 2.2 転写法.

2.2.2 レーザーアニール法

試料表面にレーザーを照射して、熔融・急速冷却(固化)による非熱平衡成長を誘起する。レーザー波長と対象材料の光吸収係数の兼ね合いで侵入長を変調できる。膜が十分にレーザーを吸収する、あるいはプロセスが極めて短い(≦ミリ秒)ため、基板へのダメージは殆ど無い¹⁸。使用される波長には、紫外(excimer)や緑色(Nd:YAG)等がある。発振動作はパルス¹⁹⁻²¹と連続波²²に大別される。本技術によって μm オーダーの結晶粒を持つ多結晶 Ge 薄膜や、Ge-TFT 応用も報告されている^{23,24}。しかし、液相 Ge の輸送が顕著な表面凹凸を引き起こし、デバイス特性や歩留まりに悪影響をもたらす。さらに、大面積一括形成が困難であり太陽電池応用には不向きである。

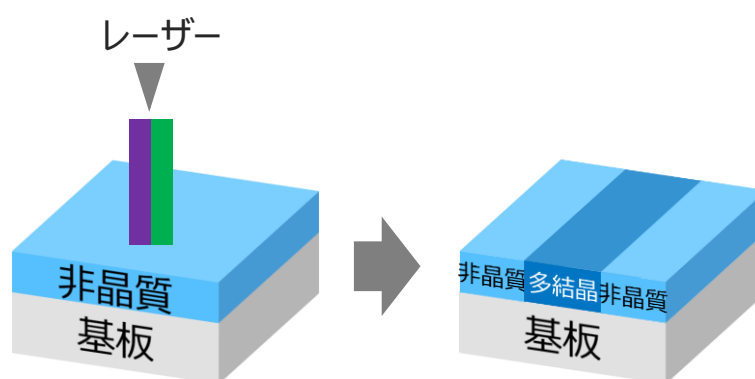


図 2.3 レーザーアニール法.

2.2.3 フラッシュランプアニール法

Xe ランプを対象試料にミリ秒程度フラッシュする。処理時間が極めて短く、基板への熱拡散が抑えられる。瞬時に試料表面のみを高温(数千度)にすることで熔融・固化を行い、結晶化を促す非平衡過程である¹⁸。不純物の拡散を抑えつつ活性化を両立できることから、微細 Si プロセスにも期待されている。ドーパントが拡散しやすい Ge でも極浅接合と高い活性化率が報告されている²⁵。一方で、面直方向に大きな熱勾配が発生し、応力が印加される。応力緩和の過程で膜や基板に物理的損傷が導入されるリスクがある²⁶。絶縁体上多結晶 Ge(Sn) 薄膜の合成は産総研^{27,28}や大阪大²⁹からの報告がある。前者の合成膜は高い正孔密度($2 \times 10^{18} \text{ cm}^{-3}$)を示すが、その高配向性から優れた正孔移動度($200 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$)を有する²⁸。

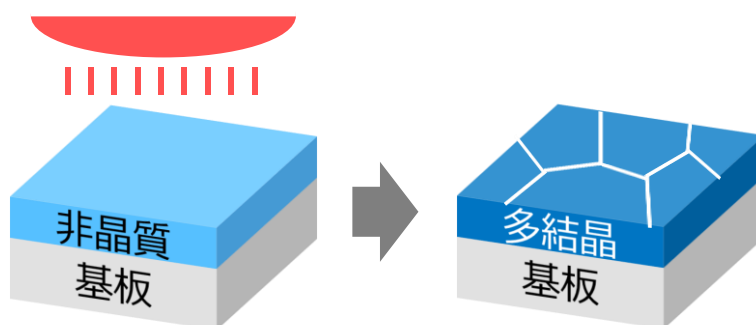


図 2.4 フラッシュランプアニール法.

2.2.4 化学気相成長法

構成元素からなる化合物ガスを基板上に供給し、気相または基板表面での熱化学反応により薄膜を形成する。低耐熱基板への低温合成 (< 500 °C) も可能である。プラズマの併用により更に低温 (~200 °C) での成長も可能となる³⁰。堆積時の基板温度によって結晶相を選択できる。従来の研究では、得られる結晶粒は極めて小さい (< 200 nm)³⁰⁻³²。香港城市大学のグループでは、小粒径 (< 1 μm) でありながらも優れたキャリア輸送特性 (~300 cm² V⁻¹ s⁻¹) を示す多結晶 Ge 薄膜を実証している^{33,34}。

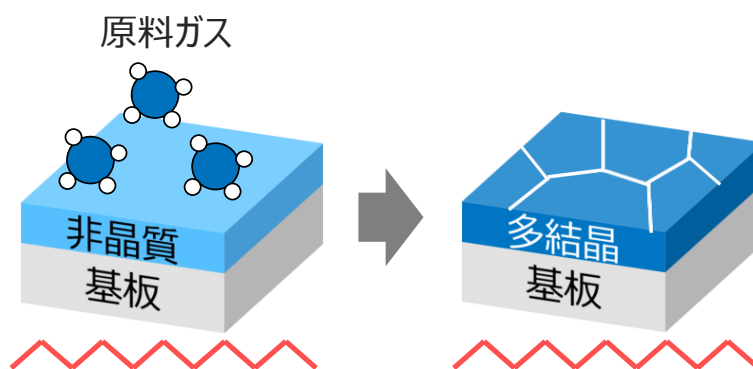


図 2.5 化学気相成長法.

2.2.5 固相成長法

非晶質 Ge に対し、融点 (1210 °C)³⁵ 以下での熱処理を施す。これにより、「固相のまま」結晶への構造遷移を誘起するシンプルな手法である。簡便に、均一で平坦な多結晶膜が得られる。従来、本法で得られる多結晶 Ge 層の結晶粒径は小さく (~100 nm)、キャリア輸送が粒界に強く散乱されたものが多い³⁶⁻³⁹。同族元素である Sn の微量添加により成長温度低減^{39,40} や Ge 空孔アクセプタ補償⁴¹、結晶粒径の拡大^{40,42} などメリットが見込め、従来よりも優れた電気的特性を有する固相成長 GeSn 薄膜が九州大学^{42,43} や大阪大学^{39,44} から報告されている。

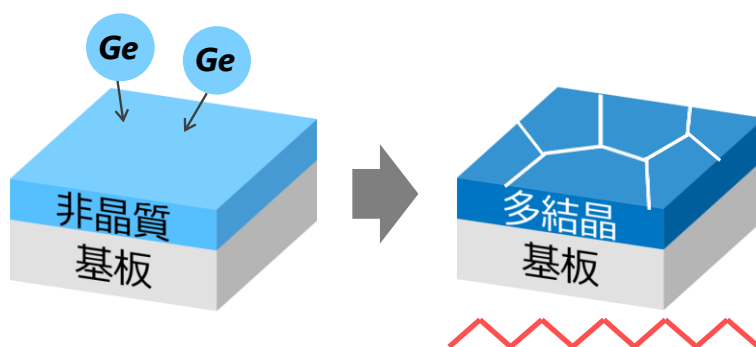


図 2.6 固相成長法.

2.2.6 金属誘起成長法

熱処理により Ge 中への金属拡散を誘起する。非晶質 Ge は通常 500 °C 付近で結晶化するが、金属の触媒作用により、100 °C 以上結晶化温度を低減できる⁴⁵。特に Sn を用いると 70 °C で結晶化する⁴⁶。高配向な多結晶薄膜も得られ、擬似単結晶としても期待できる。低温プロセスを活かした低耐熱基板(ガラス、プラスチック)への展開が盛んである。TFT⁴⁷⁻⁵³ や熱電素子⁵⁴⁻⁵⁸ といった実デバイス応用も多い。特殊な成長モードに層交換成長と横方向成長がある。以下に記す。

A. 層交換成長

Ge と金属が合金を形成する場合に見られる^{57,59-63}。特に Al, Ag, Au, Zn が盛んに研究され、実デバイス応用もなされている。金属膜中に固溶限以上の Ge 原子が拡散すると、過飽和に達する。結晶状態の Ge が析出し、初期核として横方向に結晶成長する。このとき金属が押し出される。このような過程により、Ge と金属が位置を交換(=層交換)し、多結晶 Ge 薄膜が形成される。結晶化が低温であること(≤ 250 °C)、エピタキシャル法ではなくとも高配向する(Au, Al)のが特徴である。その高い配向性を活かし、Ge は元より III-V 族半導体等のエピタキシャルテンプレート応用がされている⁶⁴⁻⁶⁷。一方、結晶化機構に起因した固溶限相当の金属が Ge 中に存在することになる。電気的特性に比較的影響が少ない Ag や Au は、擬似単結晶と見なせる Ge 薄膜の合成例もあり、TFT 動作もなされている⁵¹⁻⁵³。p 型ドーパントとして作用する Al や Zn は、自己組織的な高濃度ドーピングにより熱電応用が行われている⁵⁴⁻⁵⁸。その知見から、アクセプタとして作用しない Ag や Au に対し不純物を添加することで、低温プロセス(≤ 500 °C)で優れた熱電特性が達成されている⁶⁸⁻⁷⁰。

B. 横方向成長

金属と化合物を形成し、エピタキシャル関係を活かした樹状成長が発現する。一方、共晶系の Sn や Au 等でも確認されており、共晶系における詳しいメカニズムは未開拓である。本節では、Si に Ni 触媒を利用した代表的な化合物系に触れる⁷¹。NiSi₂/Si 間のエピタキシャル関係を活かし、高配向な単一粒を薄膜面内方向に低温成長できる。その機構から、結晶粒はキャリア輸送に関与しづらい低角粒界を形成する⁷²。同じ IV 族半導体である Ge にも各種金属の応用が検討されている⁷³⁻⁷⁵。しかし、得られる結晶粒は極めて小さく (< 10 nm) デバイス応用に堪えない粗悪膜である。これは Ge が本質的に微結晶化しやすい性質に起因するとされる。当研究室では、前駆体となる非晶質 Ge の加熱堆積(後述)の重畳し、Ni 誘起成長を検討した。その結果、電子後方散乱回折法で検出可能な横方向成長 Ge 結晶 (2×10 μm) を初合成した⁷⁶。

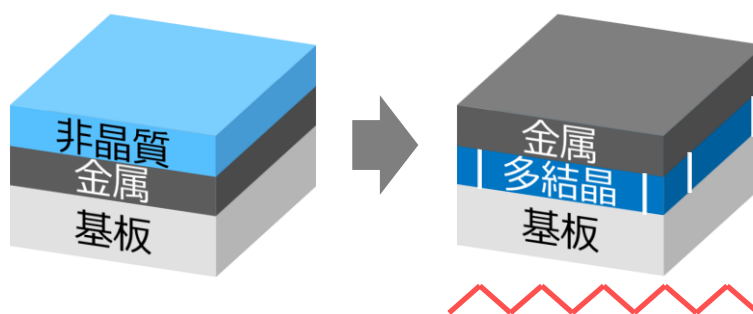


図 2.7 金属誘起層交換法.

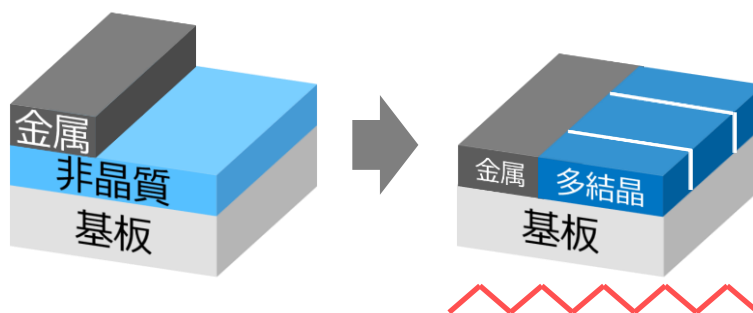


図 2.8 金属誘起横方向成長法.

2.3 Ge 薄膜の固相成長に及ぼす前駆体加熱効果

これまで述べてきた通り、多結晶 Ge 薄膜の絶縁体上への低温・高品質・直接合成に向け、多くの研究機関がしのぎを削ってきた。しかし、未だ単結晶 Si を超えるキャリア移動度 ($> 450 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$)⁷⁶ が得られていない。近年、当研究室では固相成長 Ge において、前駆体となる非晶質の密度に注目し、多結晶 Ge 薄膜のキャリア移動度を刷新してきた。本節ではその詳細を記す。

2.3.1 非晶質 Ge 前駆体の密度変調効果⁷⁷

本研究は、固相成長の前駆体となる非晶質の堆積時熱処理が、成長層に与える影響を調査したものである。非晶質 Ge (100 nm) を SiO_2 ガラス上に加熱堆積した。その結果、堆積温度 (T_d) が上昇するにつれて、非晶質密度が結晶の値に漸近する (図 2.9(a))。これは以下の様に考えられる。基板に付着した原子が熱によって移動する。この時、非晶質相よりも結晶相のエネルギーが低い。従って、系全体のエネルギーを安定させるため、原子間距離、すなわち非晶質密度が結晶に近づいたと推察される。また Raman 分光法により、前駆体は $T_d = 200 \text{ }^\circ\text{C}$ において結晶 Ge 起因のピークを示した (図 2.9(b))。すなわち、比較的高温で堆積することで堆積時に結晶化することが判った。

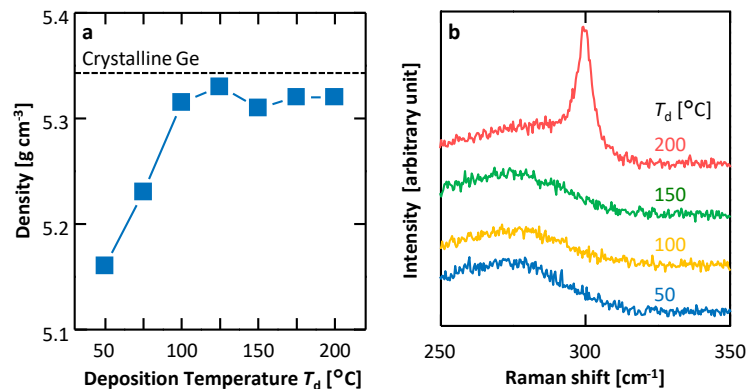


図 2.9 (a) 前駆体密度. (b) Raman スペクトル.

続いて、固相成長後の成長層に対し各種評価を行った。 T_d の影響を、熱処理温度(T_g)の変調効果も併せて Raman 分光法で調べた。その結果、 $T_d=50^\circ\text{C}$ で低温成長($T_g=375^\circ\text{C}$)した場合のみ結晶 Ge 起因のピークが得られなかった(図 2.10(a),(b))。そこで、非晶質 Ge と結晶 Ge の Raman ピーク強度比から結晶化度を見積もり、時間に対してまとめた(図 2.10(c))。 T_g は 400°C とした。その結果、高 T_d ほど成長速度も高いことが判った。電子後方散乱回折(EBSD)法により Ge 成長層の結晶粒径を確認すると、加熱堆積($T_d = 125^\circ\text{C}$)により大粒径化していることが判る(図 2.10(d))。結晶粒径を T_d に対し整理した。 $T_d=100^\circ\text{C}$ において粒径は最大値を取り、その後 T_d の増加とともに減少に転じた。このとき、結晶粒径が最大となる点は非晶質前駆体の密度が結晶に漸近する堆積温度に対応する。また、結晶粒径は熱処理温度(T_g)の低下によって拡大し、最大で $5\ \mu\text{m}$ に達した。一方で、 $T_d > 150^\circ\text{C}$ の Ge 成長層では、結晶粒径の T_g 依存性が見られなかった。この結果は、結晶粒径が堆積時に決定されることを示唆している。

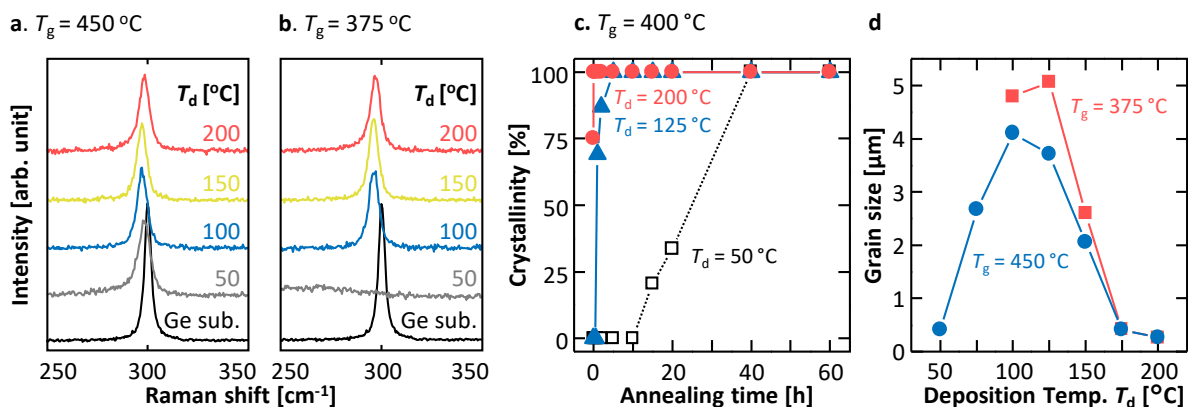


図 2.10 (a) $T_g = 450^\circ\text{C}$ および(b) 375°C の Raman スペクトル. (c) 結晶化率. (d) 結晶粒径.

前駆体非晶質の密度、各相のラマンスペクトル、固相成長過程の結晶化率、および固相成長後の結晶粒径より、堆積した前駆体を「①低密度な非晶質、②高密度な非晶質、③堆積時に結晶化」の3領域に分類した。各領域における成長モデルの概要を示す。固相成長では、非晶質を熱処理することで結晶核が発生し、それらが原子を取り込むことで成長し、やがて膜全面が結晶化する。よって、結晶粒径は、結晶核の生成速度(核生成頻度)と結晶の成長速度(横方向成長速度)のバランスによって決定される。遅い核生成頻度と高い横方向成長速度により、大粒径化が見込める。核生成頻度は、堆積温度に依存する。また、非晶質が高密度であるほど、結晶相への遷移の際、原子間距離の適性化に要するエネルギーは少ない。従って、非晶質密度が横方向成長速度と相関する。すなわち、「堆積時の結晶核生成を抑制しつつ、高密度な非晶質」という状態が固相成長の前駆体としては望ましいと考えられる。以上から、前駆体非晶質の密度を結晶の密度に近づけることで、結晶成長の速度が増加し、劇的な大粒径化が見られたと推察される。一方で、堆積時に結晶核が発生している領域では、固相成長後の結晶も小粒径化したと考えられる。

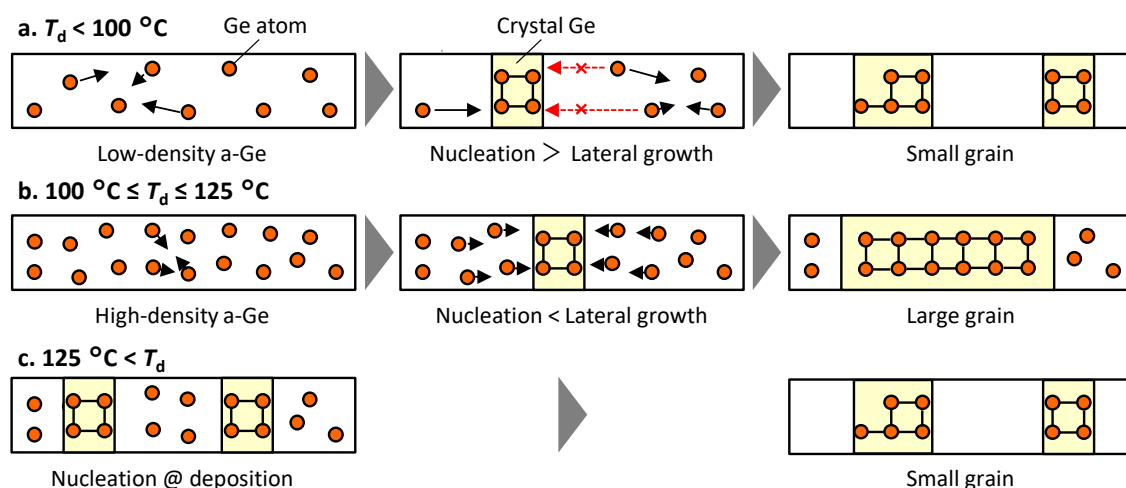


図 2.11 各前駆体密度領域における結晶成長の模式図.

続いて、電気的特性の評価結果を図に示す。合成した固相成長 Ge 薄膜はノンドーブでも p 型伝導を示した。同様の報告が先行研究でもなされており、Ge 結晶中の空孔欠陥に起因するとされている^{78,79}。正孔密度は T_d に応じて変化した。結晶粒径が大きい Ge 成長層ほど低い値となった。また、キャリア移動度の向上も見られた。特に、 $T_d = 125\text{ }^\circ\text{C}$ 、 $T_g = 375\text{ }^\circ\text{C}$ で固相成長を誘起した際に $340\text{ cm}^2\text{ V}^{-1}\text{ s}^{-1}$ に達した。すなわち、大粒径化に伴う粒界散乱の低減により、良好なキャリア伝導特性を達成できたと考えられる。以上、 SiO_2 ガラス上に従来よりも優れた多結晶 Ge 薄膜を低温・直接合成することに成功した。

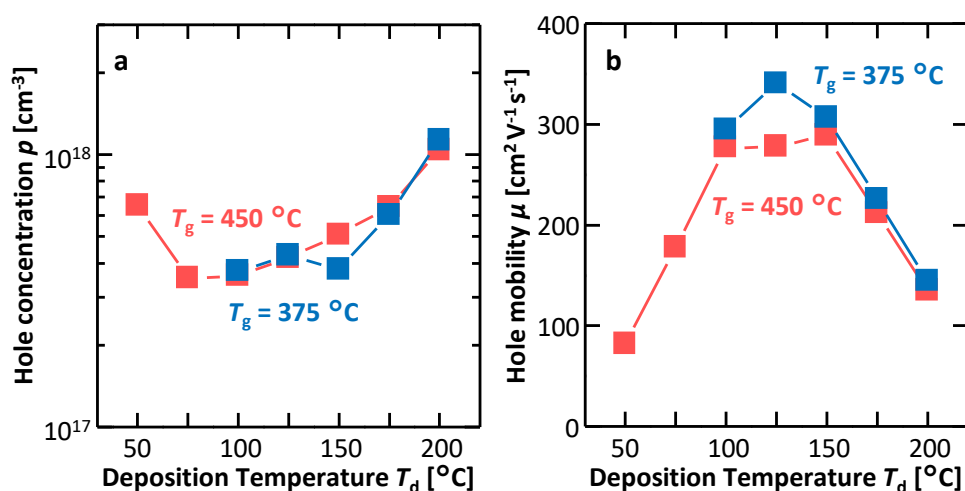


図 2.12 電気的特性. (a) 正孔密度 p および (b) 正孔移動度 μ .

2.3.2 高キャリア移動度化への施策⁸⁰⁻⁸³

固相成長 Ge 薄膜において、前駆体非晶質の加熱堆積を新プロセスとして採用した。前駆体 Ge は「非晶質状態のまま」高密度化した。その結果、結晶化過程における横方向成長速度が向上し、従来法より 1 桁以上大きな結晶粒径 (~5 μm) を達成した。結晶粒界での散乱が緩和され、高キャリア移動度 $340 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ を有する多結晶 Ge 薄膜を SiO_2 ガラス上に実現した⁷⁷。その後も本知見をベースとして更なるキャリア移動度の向上を目指し、多くの手法が検討され、そして更新してきた。本節ではそれらを記す。

A. 厚膜化⁸⁰

前節では非晶質 Ge 層の膜厚を 100 nm に固定していた。膜厚変調は結晶成長や物性に大きな影響を与える。また、固相成長の先行研究でも厚膜化の有用性が報告されている⁴²。そこで、Ge 膜厚を 50–500 nm と変調し、それらの T_d 依存性を調査した。まず EBSD 法によって結晶粒径を確認すると、結晶粒径は 100 nm で最大となり、その後の膜厚増加と共に減少することが判る(図 2.13)。また、Ge 膜厚が 50 nm の場合も小粒径と成った。前者は、膜厚増加に伴い結晶核生成サイトが増加(=初期核生成頻度の増加)したことに起因する。また後者は、応力の影響で非晶質密度が向上せず結晶化速度が低下したと考えられる。また、粒径が最大となる T_d は薄膜 (< 100 nm) から厚膜 (> 200 nm) となるにつれて高温にシフトした。これは、非晶質密度が向上する温度が高 T_d 側にずれたことに由来する。続いて電気的特性を図 2.14 に示す。厚膜化に伴う正孔密度の低減、移動度の向上を確認できる。これは、結晶性の悪い界面領域の影響が減少することに起因すると考察されている。

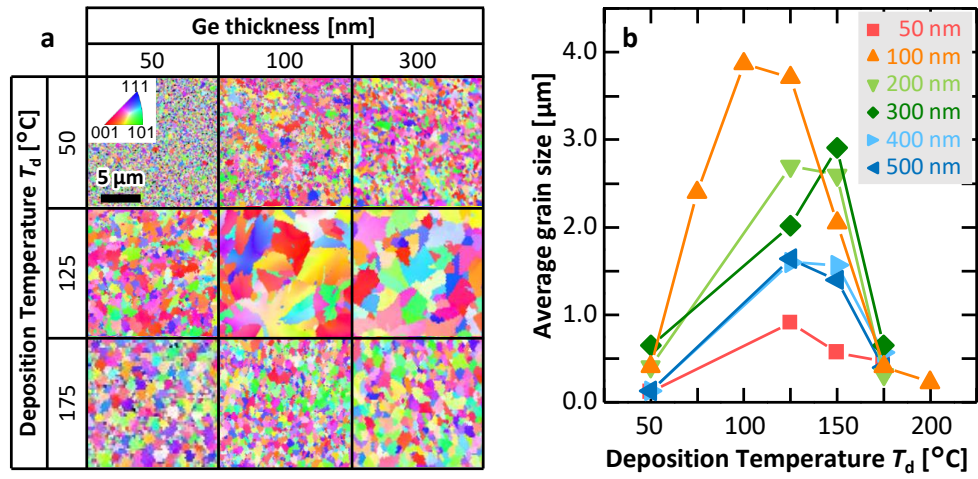


図 2.13 EBSD 解析. (a) IPF 像. (b) 結晶粒径.

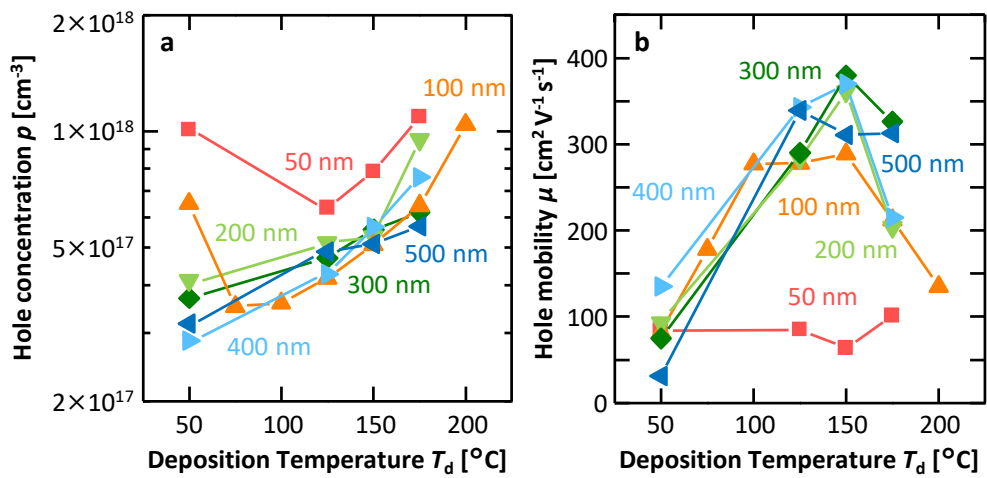


図 2.14 電気的特性. (a) 正孔密度 p および (b) 正孔移動度 μ .

B. ポストアニール(PA)⁸⁰

結晶化後、更に高温の熱処理を行うことで原子拡散を誘発する。それにより、多数キャリアである正孔の起源とされる結晶 Ge 内部の欠陥補償が期待できる。実際に固相成長 Ge 薄膜の先行研究で電気的特性に好適な効果がみられている⁸¹。本研究では、前項において各膜厚で最高移動度を示した Ge 成長層に対し、Ar 雰囲気中において PA (500 °C, 5 h) を行った。空孔補償により、全膜厚において正孔密度を低減した。さらに、400 nm の成長層において正孔移動度 $450 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ を記録した(図 2.15)。

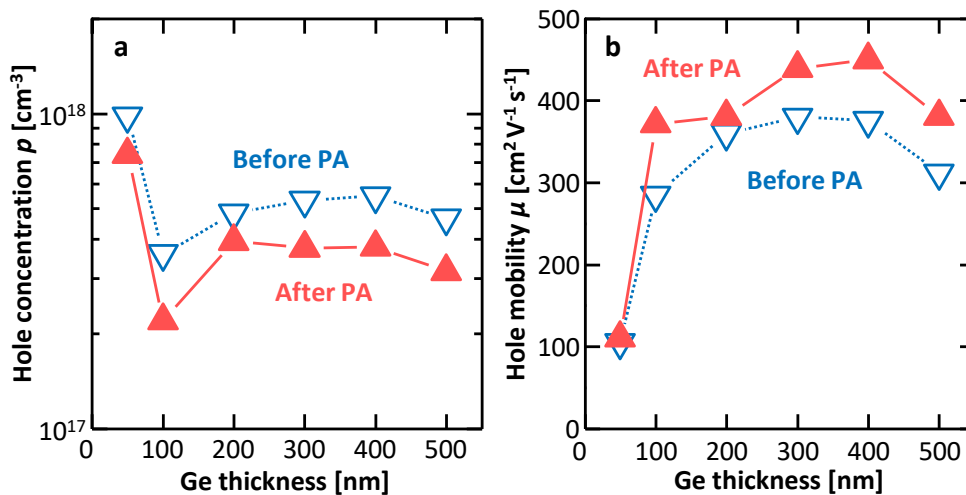


図 2.15 電気的特性. (a) 正孔密度 p および (b) 正孔移動度 μ .

C. 焼締⁸⁴

PAによってキャリア移動度が向上したことから、固相成長 Ge は不純物散乱にも律速されていると示唆される。従って、Ge 自体の結晶性を向上(=欠陥低減)すれば電気的特性の向上が期待できる。そこで、Ge 非晶質前駆体を加熱堆積した直後に真空チャンバー内部で熱処理を行う焼締 (PDA : Post-deposition annealing) プロセスを導入した。本プロセスは、真空中で膜を緻密化し、大気暴露時の酸素混入を防ぐ狙いがある。ここで、酸素は結晶化を抑制する^{82,83}ため、大粒径化や欠陥低減が見込める。しかし実際に焼締を施行した結果、結晶粒径は減少し、それに伴い正孔密度は増加した。一方、PAを行うことで正孔移動度は小粒径ながらも $530 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ に至った。すなわち、高キャリア移動度の実現には不純物散乱や粒界散乱のバランスが重要との知見を得た。

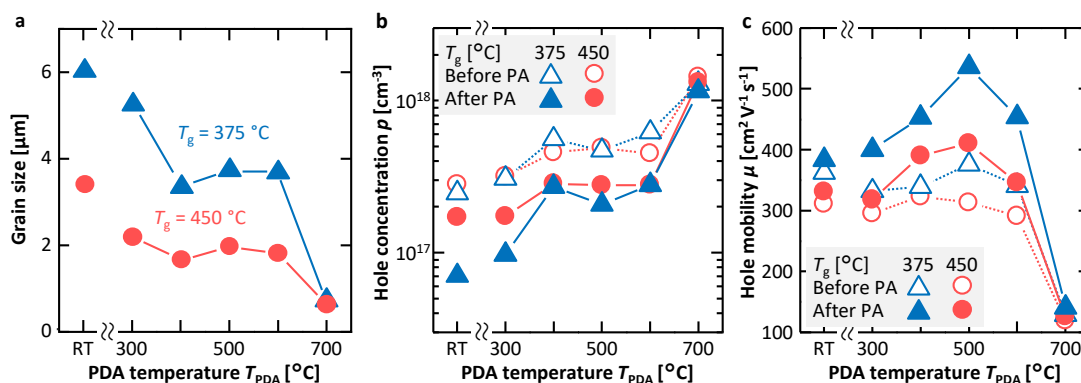


図 2.16 (a) 結晶粒径. (b) 正孔密度 p および (c) 正孔移動度 μ .

D. Sn 添加⁸⁵

同族元素である Sn の微量添加は Ge に魅力的な作用を及ぼす。代表的なものは、高 Sn 置換条件下 (> 6%)⁸⁶ で Ge のバンド構造が変化するものである。間接遷移型であった Ge が直接遷移化すると共に、輸送キャリアの有効質量が減少する。これにより、発光・受光デバイスや電子デバイスに好的な特性⁸⁶を持つこととなる。また 2.2.5 節で述べた通り、成長温度低減⁸⁶や Ge 空孔アクセプタ補償⁸⁷、結晶粒径の拡大^{40,42}など結晶成長にも多くの利点をもたらす。これらを活かすことで、正孔移動度 $320 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ を有する固相成長 GeSn 薄膜が報告されている⁴²。しかし、この研究では、前駆体非晶質を高密度化していない。すなわち、我々の技術を融合することで更なる向上が見込める。本節では、我々の固相成長法に Sn 添加を重畳した結果を報告する。

GeSn 膜厚を 75–2000 nm と変調した。また、熱処理前の Sn 組成(初期 Sn 組成 x_i)は 0–4.5 % で制御した。また、2通りの結晶化温度 T_g (375, 475 °C) を採用した。まず、EBSD 法で結晶粒径を評価した。膜厚増加と共に 75 nm で最大粒径となり、その後減少した(図 2.17)。小粒径化は、薄膜領域(40 nm)では前駆体が低密度であること、厚膜領域($\geq 150 \text{ nm}$)では核生成サイトの増加に起因する。特に前者の影響は低温成長時に結晶化が完了しない形で顕著に表れた。続いて x_i に注目する。 x_i の増加と共に粒径は拡大し、その後減少した。これらは格子置換した Sn の観点で説明できる(次項)。

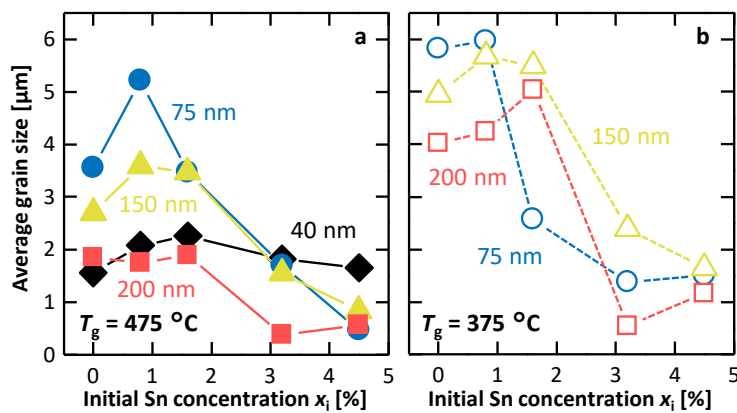


図 2.17 結晶粒径. (a) $T_g = 475 \text{ °C}$ および (b) $T_g = 375 \text{ °C}$.

Raman 分光法を用い、実際に Ge 格子に取り込まれた Sn (置換 Sn 組成 x_{sub}) を調査した。まず、 $x_i = 1.6\%$ とした GeSn 成長層 ($T_g = 475\text{ }^\circ\text{C}$) の Raman スペクトルを示す (図 2.18(a))。結晶 Ge 由来のピークは、単結晶基板のものから大きく低波数シフトしている。これは、成長時導入歪に加えて Sn 導入に伴うものである。このピークシフトを用いて x_{sub} を見積もり、置換割合 (x_i に対する x_{sub}) を整理した⁸⁹⁻⁹¹ (図 2.18)。先ず $x_i = 40\text{ nm}$ の置換割合は悪い。続いて、75 nm 以上は 1.6% 程まで導入した Sn が極めて高く置換する傾向を見せた。これは Sn 固溶限の既報に符合する⁹²。一方で $x_i > 1.6\%$ の時、置換率は大きく減少した。すなわち、Sn 析出が示唆される。Sn 析出が少ない x_i と結晶粒径が拡大する x_i は関係性がある。これは Sn の結晶駆動力に依るものと考えられる。さらに高 x_i では、析出 Sn が固相成長プロセスにおける核発生頻度を増加し^{93,94}、結晶粒径が減少した。

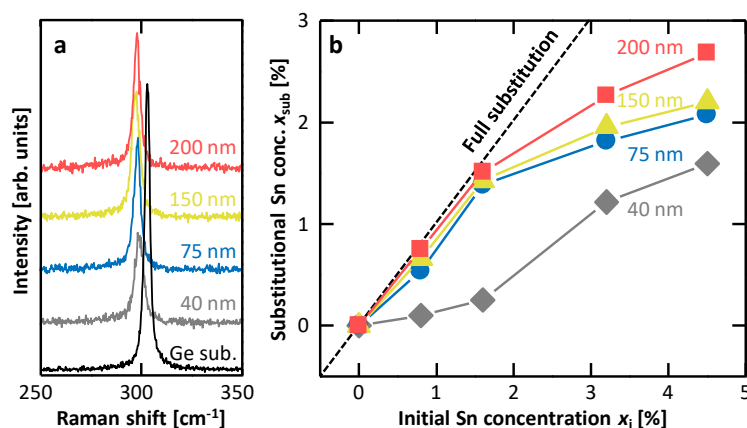


図 2.18 (a) Raman スペクトル. (b) x_{sub} の x_i 依存性.

最後に電気的特性を示す。Sn 添加した固相成長 Ge 薄膜も、欠陥誘起アクセプタに伴う p 型伝導を示した(図 2.19(a)(b))。微量な Sn 添加は結晶粒径にくわえて、 p と μ の双方に好適な影響を及ぼした。興味深いことに、高温成長した場合は小粒径であったのに関わらず、比較的高い μ と成った(図 2.19(d))。粒界散乱の影響が少ないことが推察される。

低温成長(375 °C)した GeSn 成長層に対して PA を施した(図 2.19(c)(f))。その結果 p を効果的に低減するとともに μ も向上した。特に 150 nm において $\mu = 540 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ を達成した。これらは、適切な Sn 添加によるパッシベーションと結晶粒径の拡大、そして厚膜化による界面散乱の低減を反映したものであると考えられる。

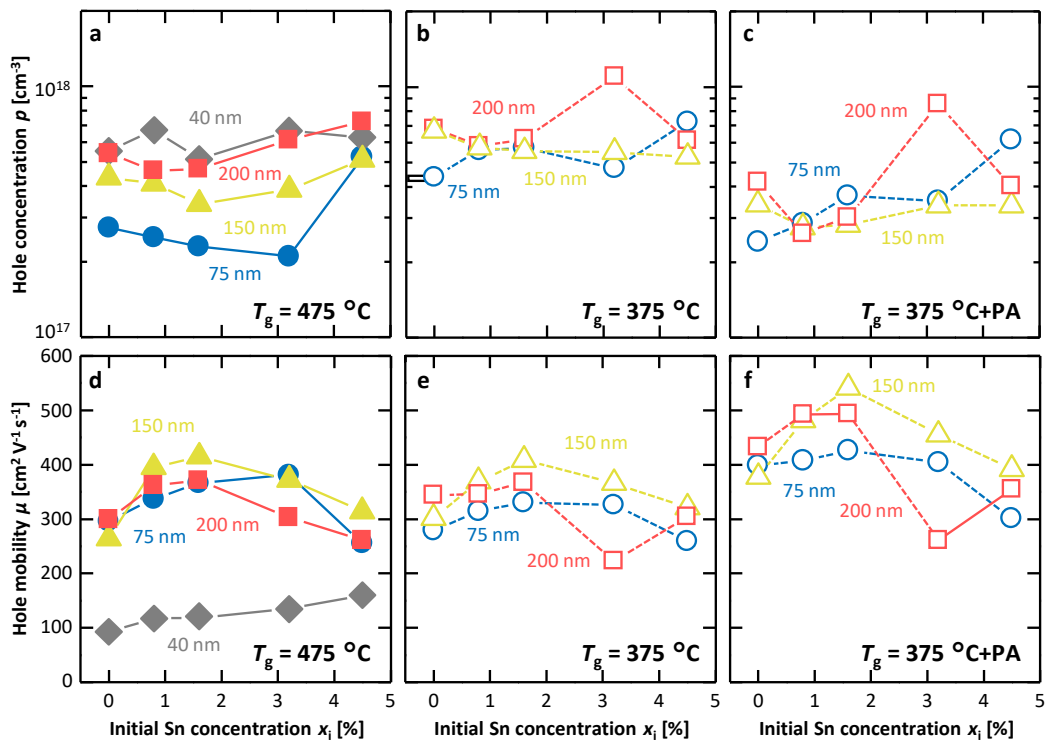


図 2.19 電気的特性. (a), (d) $T_g = 475 \text{ }^\circ\text{C}$, (b), (e) $T_g = 375 \text{ }^\circ\text{C}$ および (c), (f) $T_g = 375 \text{ }^\circ\text{C} + \text{PA}$ における (a)–(c) 正孔密度 p ならびに (d)–(f) 正孔移動度 μ .

2.4 固相成長 Ge の薄膜トランジスタ応用⁹⁵

固相成長 Ge の薄膜トランジスタ応用に先立ち MOSFET を做う。MOSFET の設計ではソース (S)/ドレイン (D) が重要な要素の一つとなる。通常の Si-MOSFET は S/D が自己整合的に形成されており、寄生抵抗が極めて小さい。続いて Ge がチャネル材料である場合を考える。Ge はドーパント作用がある不純物 (13 族や 15 族) の固溶度が Si と比して低い^{3,95,96}。さらに、n 型ドーパントは極めて高い拡散係数を有する⁹⁷。これにより、Ge においては高い整流性 (極浅かつ高濃度) を有する p/n 接合を形成するのが困難となる。従って、金属 S/D を用いたショットキー接合を利用する代案がある。しかし、Ge はフェルミレベルピンニングという特異な現象が発生し、金属のフェルミ準位が Ge の価電子帯頂上近傍にピン止めされる^{77,80-83}。これにより、n-Ge はショットキー性が取りやすい一方、p-Ge ではオーミック性となってしまう。最近、本問題は解決の指針が示されているが⁹⁸、オーミック性を受け入れて、低い正孔障壁高さを示す金属/p-Ge 接合を用いれば、ノドープで p 型となる多結晶 Ge 薄膜が生かし易い⁸⁰。すなわち、S/D エンジニアリングの観点では、反転動作 (整流性、少数キャリア駆動) ではなく通常の TFT に代表される蓄積動作 (オーミック性、多数キャリア駆動) 設計により容易なデバイス実証が期待できる。

前節まで述べてきた通り、我々は多結晶 Ge 薄膜の最高移動度を更新してきた⁹⁹。本章では、本法で得た高いキャリア移動度を有する Ge 薄膜を TFT 応用することで、膜特性とデバイス特性の体系化を検討した報告をまとめる。合成膜のデバイス化にあたり、Ge-MOSFET の低温作製プロセスに高い実績を誇る^{76,100,101}九州大学と共同研究を行った。図 2.20 に示す手法で、固相成長 Ge 薄膜 (初期膜厚 t_1 : 25-200 nm, 堆積温度 $T_d = 125$ °C, 結晶化温度 $T_g = 450$ °C) をベースとした金属 S/D 型蓄積動作 p チャネル TFT (チャネル幅 W : 55 μm , チャネル長 L : 5-15 μm) を作成した。

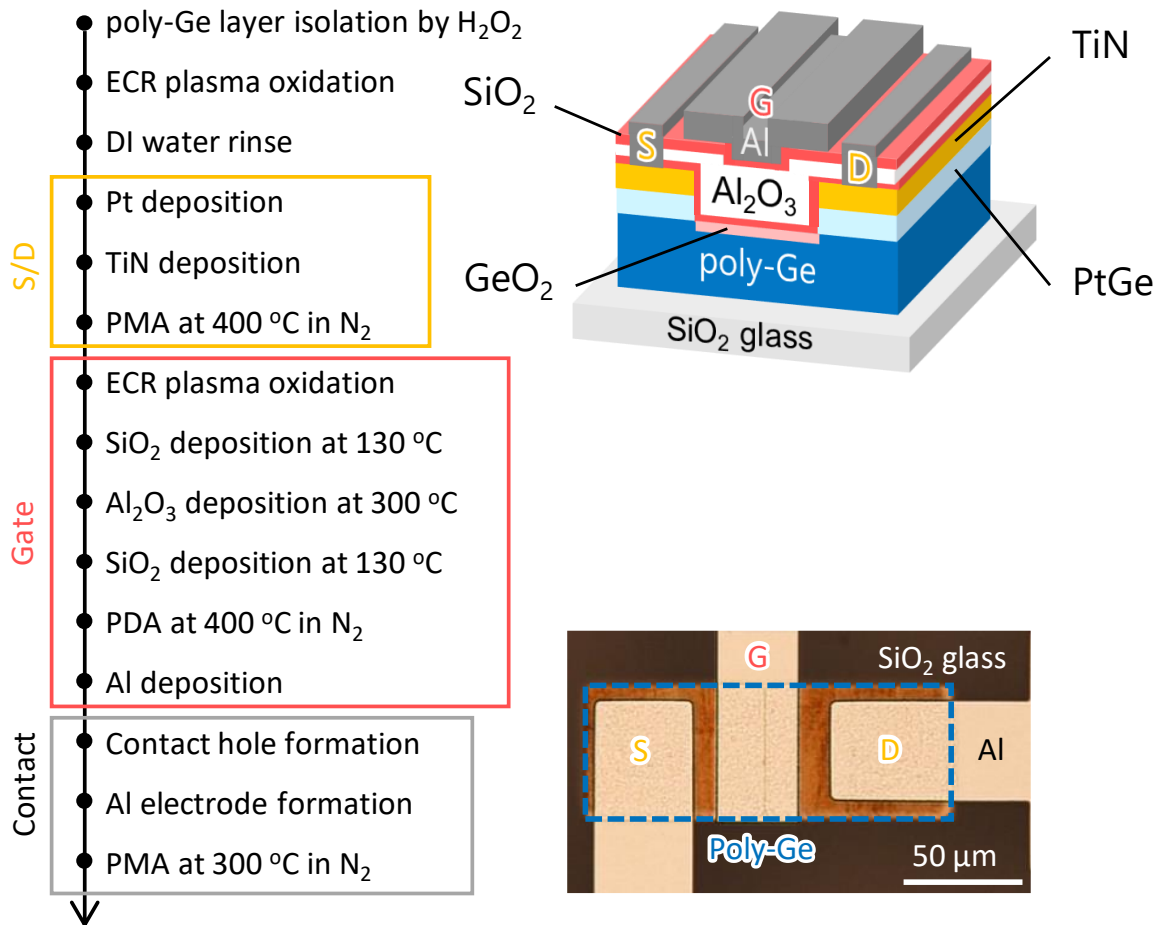


図 2.20 Ge 薄膜トランジスタの作製プロセスおよび光学顕微鏡像.

TFT 作製に先立ち、膜特性を評価した。結晶化後の結晶状態を EBSD 法で評価したところ、粒径が t_i によって劇的に変化していることが判る(図 2.21(a)-(e))。結晶粒径は、 $t_i = 100 \text{ nm}$ で最大となった(図 2.21(f))。薄膜側における小粒径化は、前駆体密度が向上しないことに起因する^{23,51,53,102-107}。また、 $t_i = 200 \text{ nm}$ における小粒径化は、核生成サイトの増加に起因する。続いて、Hall 効果測定によって電気的特性を評価した(図 2.21(g))。小粒径な成長層ほど高い正孔密度 p を示した。すなわち、結晶粒界が p の原因となっていることが示唆される。粒径は $t_i = 100 \text{ nm}$ でピークを取ったが、正孔移動度 μ_{Hall} は $t_i = 200 \text{ nm}$ で最大となった。この挙動は、Ge/SiO₂ 界面付近でのキャリア散乱に起因すると考えられる⁴²。続いて、これらの合成膜を TFT 化した。 t_i とともにオン電流 I_{ON} が増加することを示しており、これは μ_{Hall} を反映している(図 2.21(h))。さらに、 t_i とともにオフ電流 I_{OFF} も増加した。蓄積動作型 TFT では、空乏層により OFF 状態を形成する。ここで、最大空乏層幅 d_{max} はチャネル領域の多数キャリア密度に決定される。すなわち d_{max} と t_i の関係から、 t_i が低いほど固相成長 Ge 層における空乏層の占有率が高くなり、 I_{OFF} が減少すると考えられる。 I_{ON} と I_{OFF} のバランスを反映し、オン/オフ電流比 $I_{\text{ON}}/I_{\text{OFF}}$ は $t_i = 50 \text{ nm}$ で最大となった。図 2.21(i) から、電界効果移動度 μ_{FE} は μ_{Hall} の傾向と一致するが、 μ_{Hall} より遥かに低い。これは、MOS 界面でのキャリア散乱だけでなく、 I_{OFF} が大きいために伝達コンダクタンスや μ_{FE} が過小評価されるためだと考えられる。従って、高い TFT 特性を得るためには、膜を完全空乏化する条件で、高い μ_{Hall} を両立する必要がある。

そこで、最大粒径であった $t_i = 100 \text{ nm}$ の成長層を化学機械研磨により 55 nm まで薄膜化した。その結果、完全空乏化に相当する十分に低い p ($3.0 \times 10^{17} \text{ cm}^{-3}$) と高い μ_{Hall} ($188 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$) を維持した。本サンプルを同様のプロセスで TFT 化した。図 2.22(a)に示す出力特性より、典型的な p チャネルトランジスタの動作を確認した。更に、高い μ_{Hall} による高い I_{ON} と完全空乏化に起因した低い I_{OFF} により、優れた $I_{\text{ON}}/I_{\text{OFF}}$ (102)、 μ_{FE} ($170 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$) を実証した(図 2.22(b))。

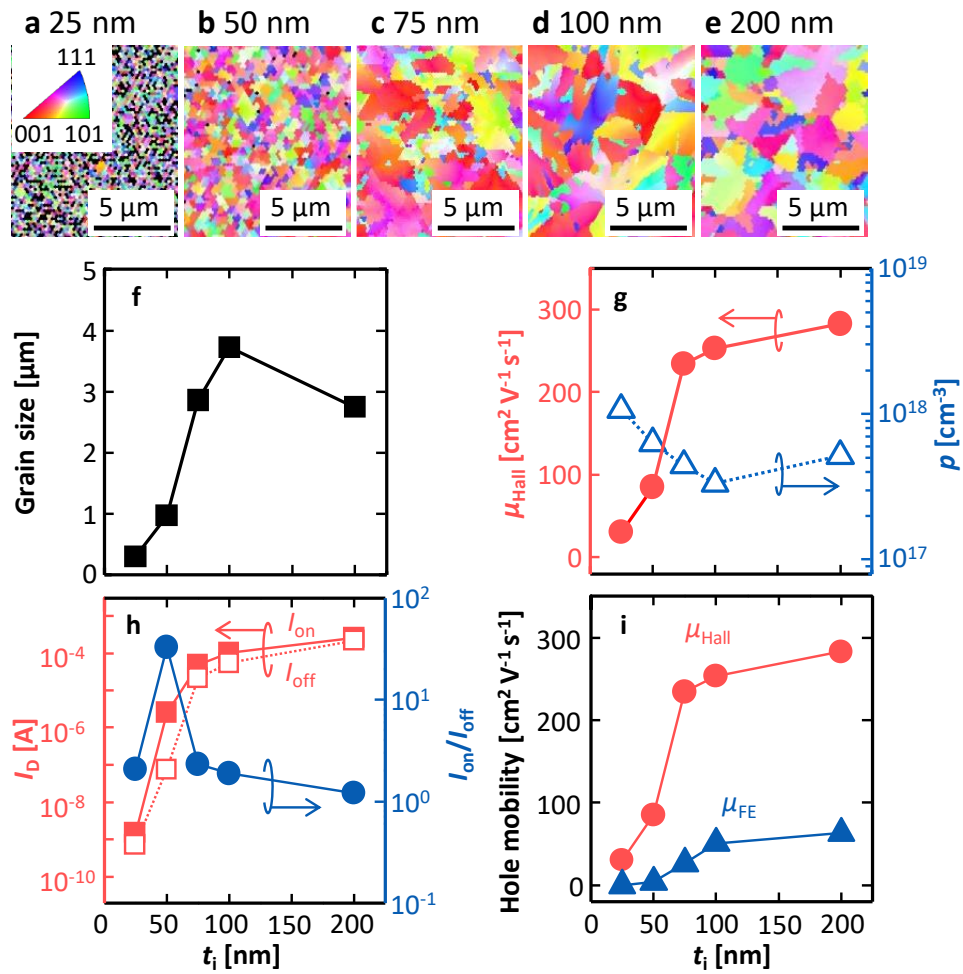


図 2.21 (a)–(e) IPF 像. (f) 結晶粒径. (g) 膜の電気的特性.
(h) ドレイン電流 I_D ならびに I_{ON}/I_{OFF} . (i) μ_{Hall} ならびに μ_{FE} .

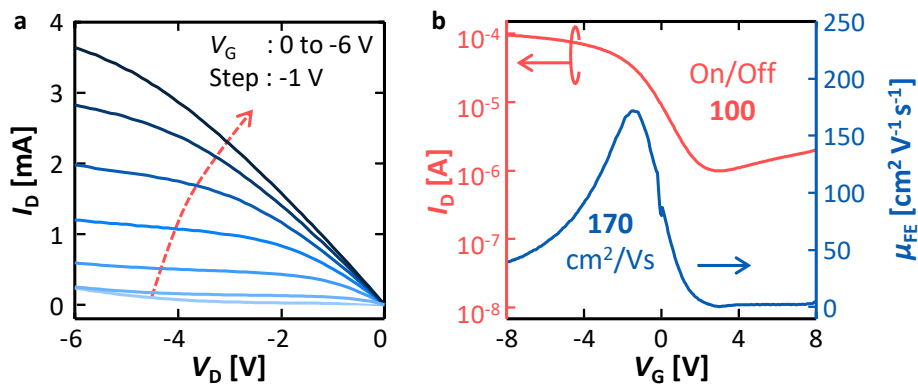


図 2.22 (a) 出力特性. (b) 伝達特性および μ_{FE} .

図 2.23(a)に $L = 10 \mu\text{m}$ のチャンネル領域(C)の IPF 像を示す。様々な結晶粒から構成されていることが判る。多結晶材料をチャンネルに用いた TFT では、素子毎の特性にばらつきが発生する。これは、キャリア輸送の障害となる結晶粒界の含有割合が異なることに起因する。多結晶デバイスの研究において、このような歩留まりを把握するのは重要である。そこで、同一膜出身のチャンネル長 (L)を変えた TFT に対し、 μ_{FE} の累積分布を調査した(図 2.23(b))。大きな L 程ばらつきが小さく、多結晶 TFT の先例⁹⁹に符合する。また、この結果は Ge-TFT では初めて実測できたものとなる。我々の固相成長 Ge 薄膜が従来よりも結晶粒径が大きく、また充分高いキャリア移動度を有することで実現したものである。

上記の歩留まりを向上し、優れた動作を得るために結晶粒界の制御が望まれる。今回試作した TFT はチャンネル領域を微細化($< \mu\text{m}$)していないものである。固相成長 Ge 薄膜の結晶粒径は十分に大きく($> \mu\text{m}$)、さらに核発生の起点を制御できれば、チャンネル領域を単結晶化することが可能になると考えられる。局所的に核生成層を導入したり、金属触媒や応力を加えたりすることで、核発生から粒界までを制御するアプローチが考えられる^{76,100,101}。

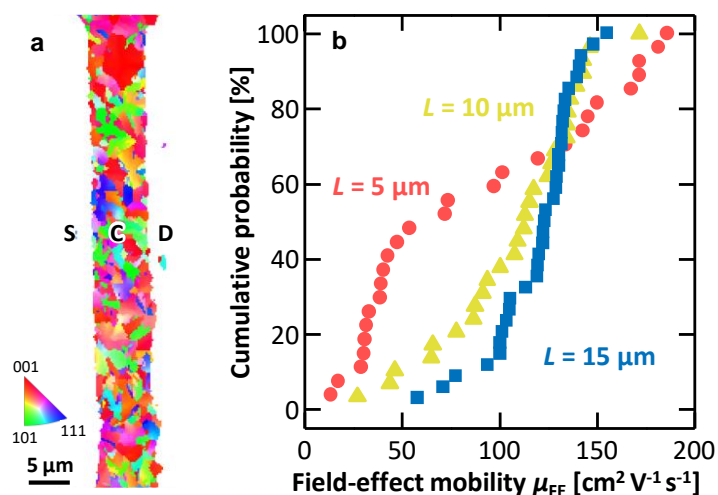


図 2.23 (a) IPF 像ならびに(b) μ_{FE} の累積分布.

最後に、本研究で得たデバイス特性 (μ_{FE} , I_{ON}/I_{OFF}) を他手法で作製した多結晶 TFT と比較する^{23,51,53,102-107} (図 2.24)。今回試作した Ge-TFT はこれまでで最も高い μ_{FE} を有する。これは単結晶 Si-MOSFET に匹敵する値である。さらに、 I_{ON}/I_{OFF} を比較的高い値で両立している。これは、チャネルを微細化しない Ge-TFT として最高レベルのトランジスタ特性である。さらに前節で触れた、Ge への Sn 添加に伴う高品質化⁸³ を利用した。その結果、 μ_{FE} を維持 ($160 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$) しつつ、 I_{ON}/I_{OFF} を一桁向上した。未だシンプルな構造でありながらも、低温プロセスで優れたデバイス特性を実証できた事実は、固相成長 Ge 薄膜のポテンシャルを示す好例と言えよう。

しかし、TFT として μ_{FE} は優れた値を得ているが、 I_{ON}/I_{OFF} は多結晶 Si ベースの TFT に遠く及ばない。材料に起因した部分もあるので難しい点もあるが、現状の課題は I_{OFF} (リーク電流) が大きいことである。また、 μ_{FE} も Ge 本来の豊かな値を引き出すには及ばない。材料側のアプローチとしては、大粒径化 (粒界割合の低減) や低キャリア密度化 (空乏層の拡大)、高キャリア移動度化 (高い I_{ON} , μ_{FE}) が望まれる。

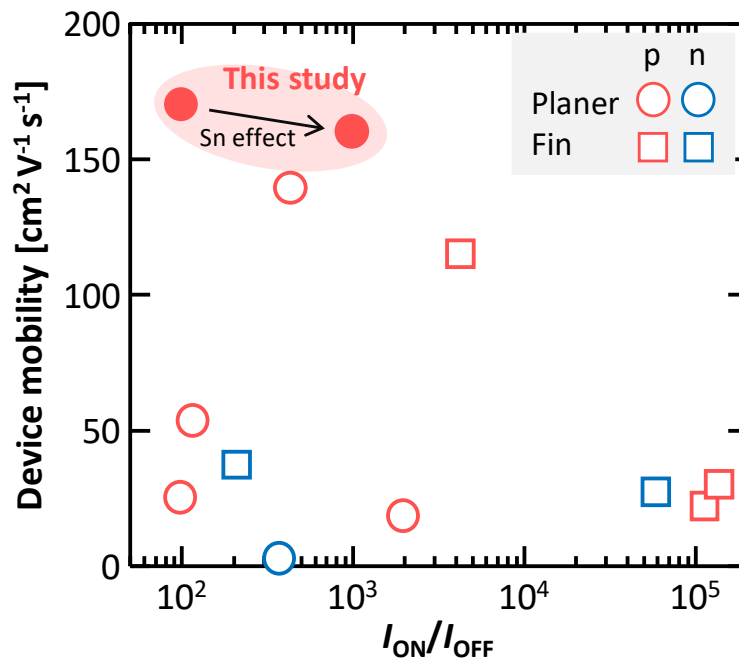


図 2.24 多結晶 Ge 系 TFT 特性比較.

2.5 研究目的

我々は、固相成長法にアイデアを積み重ねて多結晶 Ge 薄膜のキャリア移動度を刷新してきた。今までの道程を俯瞰するため、絶縁体上に直接合成した Ge 系薄膜における電気的特性のベンチマークを掲載する 4,28,34,36–39,42–44,51,52,77,80–83,108–111 (図 2.25)。当研究室で得られた合成膜は、低温 ($\leq 500^\circ\text{C}$) 直接合成膜としては最高の値を有する。しかし、Ge の優れた物性ポテンシャルを活かし、民生応用を目指すのであれば、更なる高キャリア移動度化が望ましい。

本論文では、固相成長法により合成した多結晶 Ge 薄膜に対しキャリア移動度の向上を多角的に検討する。そして、高機能性と汎用性を両立した次世代デバイスを創出する技術の端緒を開くことを目的とする。第 3 章では、Ge の固相成長における各熱処理過程が物性に与える影響を包括的に議論する。続く第 4 章では、固相成長 Ge 薄膜の更なる高キャリア移動度化を検討し、下部層挿入を検討する。そして第 5 章では、歪導入機構と物性への影響を紐解く。最後の第 6 章では、これまで為し得なかったフレキシブル基板上への高移動度 Ge 多結晶薄膜を実証する。

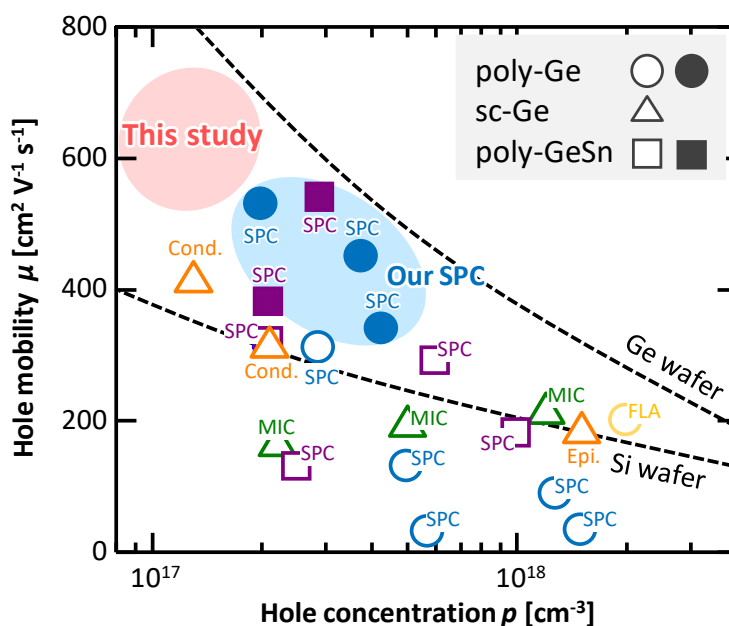


図 2.25 絶縁体上 Ge 系薄膜の電気的特性比較.

2.6 参考文献

- ¹ Y. Taur and T-H. Ning, *最新VLSIの基礎* (丸善出版, 2002).
- ² R.H. Dennard, F.H. Gaensslen, H.-N. Yu, V.L. Rideout, E. Bassous, and A.R. LeBlanc, *IEEE J. Solid-State Circuits* **9**, 256 (1974).
- ³ A. Toriumi and T. Nishimura, *Japanese Journal of Applied Physics* **57**, 010101 (2017).
- ⁴ S.M. Sze and J.C. Irvin, *Solid State Electron.* **11**, 599 (1968).
- ⁵ C.H. Lee, T. Nishimura, T. Tabata, S.K. Wang, K. Nagashio, K. Kita, and A. Toriumi, in *2010 International Electron Devices Meeting* (2010), pp. 18.1.1-18.1.4.
- ⁶ C. Hyun Lee, T. Nishimura, T. Tabata, D. Zhao, K. Nagashio, and A. Toriumi, *Appl. Phys. Lett.* **102**, 232107 (2013).
- ⁷ D.E. Aspnes and A.A. Studna, *Phys. Rev. B Condens. Matter* **27**, 985 (1983).
- ⁸ J. Kang, M. Takenaka, and S. Takagi, *Opt. Express* **24**, 11855 (2016).
- ⁹ 敏則太子 and 一郎米永, *まてりあ* **50**, 431 (2011).
- ¹⁰ C.J. Tracy, P. Fejes, N. David Theodore, P. Maniar, E. Johnson, A.J. Lamm, A.M. Paler, I.J. Malik, and P. Ong, *Journal of Electronic Materials* **33**, 886 (2004).
- ¹¹ G. Taraschi, A.J. Pitera, and E.A. Fitzgerald, *Solid State Electron.* **48**, 1297 (2004).
- ¹² K. Yu, F. Yang, H. Cong, L. Zhou, Q. Liu, L. Zhang, B. Cheng, C. Xue, Y. Zuo, and C. Li, *J. Alloys Compd.* **750**, 182 (2018).
- ¹³ Y. Moriyama, K. Ikeda, Y. Kamimuta, M. Oda, T. Irisawa, Y. Nakamura, A. Sakai, and T. Tezuka, *Solid State Electron.* **83**, 42 (2013).
- ¹⁴ M. Bruel, *Electron. Lett.* **31**, 1201 (1995).
- ¹⁵ F. Letertre, C. Deguet, C. Richtarch, B. Faure, J.M. Hartmann, F. Chieu, A. Beaumont, J. Dechamp,

C. Morales, F. Allibert, P. Perreau, S. Pocas, S. Personnic, C. Lagahe-Blanchard, B. Ghyselen, Y.M. Le Vaillant, Jalaguier, N. Kernevez, and C. Mazure, MRS Online Proceedings Library (OPL) **809**, B4.4 (2004).

¹⁶ K. Izumi, M. Doken, and H. Ariyoshi, *Electron. Lett.* **14**, 593 (1978).

¹⁷ S. Fukatsu, Y. Ishikawa, T. Saito, and N. Shibata, *Appl. Phys. Lett.* **72**, 3485 (1998).

¹⁸ L. Rebohle, S. Prucnal, and W. Skorupa, *Semicond. Sci. Technol.* **31**, 103001 (2016).

¹⁹ W. Yeh, H. Chen, H. Huang, C. Hsiao, and J. Jeng, *Appl. Phys. Lett.* **93**, 094103 (2008).

²⁰ M. Kurosawa, N. Taoka, H. Ikenoue, O. Nakatsuka, and S. Zaima, *Appl. Phys. Lett.* **104**, 061901 (2014).

²¹ H.A. Kasirajan, W.-H. Huang, M.-H. Kao, H.-H. Wang, J.-M. Shieh, F.-M. Pan, and C.-H. Shen, *Appl. Phys. Express* **11**, 101305 (2018).

²² R. Matsumura and N. Fukata, *Mater. Lett.* **288**, 129328 (2021).

²³ L. Zhang, H. Hong, C. Yu, C. Li, S. Chen, W. Huang, J. Wang, and H. Wang, *Phys. Stat. Solidi. Rapid Res. Lett.* **13**, 1900420 (2019).

²⁴ C.-Y. Liao, C.-Y. Huang, M.-H. Huang, W.-H. Huang, C.-H. Shen, J.-M. Shieh, and H.-C. Cheng, *Jpn. J. Appl. Phys.* **56**, 06GF08 (2017).

²⁵ A. Satta, A. D'Amore, E. Simoen, W. Anwand, W. Skorupa, T. Clarysse, B. Van Daele, and T. Janssens, *Nucl. Instrum. Methods Phys. Res. B* **257**, 157 (2007).

²⁶ W.-B. Jin, Y. Park, B.-K. Kim, H.J. Kim, J.-H. Hwang, H. Chung, J.H. Park, D.H. Kim, and S. Park, *Int. J. Therm. Sci.* **83**, 25 (2014).

²⁷ H. Oka, W. Mizubayashi, Y. Ishikawa, N. Uchida, T. Mori, and K. Endo, *Appl. Phys. Express* **14**, 025505 (2021).

²⁸ K. Usuda, Y. Kamata, Y. Kamimuta, T. Mori, M. Koike, and T. Tezuka, *Appl. Phys. Express* **7**, 056501 (2014).

-
- ²⁹ Y. Kamata, M. Koike, E. Kurosawa, M. Kurosawa, H. Ota, O. Nakatsuka, S. Zaima, and T. Tezuka, *Appl. Phys. Express* **7**, 121302 (2014).
- ³⁰ T. Matsui, M. Kondo, K. Ogata, T. Ozawa, and M. Isomura, *Appl. Phys. Lett.* **89**, 142115 (2006).
- ³¹ M. Tada, J.-H. Park, J.R. Jain, and K.C. Saraswat, *J. Electrochem. Soc.* **156**, D23 (2008).
- ³² A. Dey and D. Das, *J. Phys. Chem. Solids* **154**, 110055 (2021).
- ³³ Z. Meng, Z. Jin, B.A. Gururaj, P.C.H. Kwok, M.W.Z. Meng, Z. Jin, B.A. Gururaj, P. Chu, c. H.S. Kwok, and M. Wong, *J. Electrochem. Soc.* **144**, 1423 (1997).
- ³⁴ Z. Meng, Z. Jin, G.A. Bhat, P. Chu, H.S. Kwok, and M. Wong, *J. Mater. Res.* **12**, 2548 (1997).
- ³⁵ O. Madelung, *Semiconductors: Data Handbook* (Springer, Berlin, Heidelberg, 2004).
- ³⁶ K. Toko, I. Nakao, T. Sadoh, T. Noguchi, and M. Miyao, *Solid State Electron.* **53**, 1159 (2009).
- ³⁷ C.-Y. Tsao, J. Huang, X. Hao, P. Campbell, and M.A. Green, *Sol. Energy Mater. Sol. Cells* **95**, 981 (2011).
- ³⁸ H.-W. Jung, W.-S. Jung, H.-Y. Yu, and J.-H. Park, *J. Alloys Compd.* **561**, 231 (2013).
- ³⁹ W. Takeuchi, N. Taoka, M. Kurosawa, M. Sakashita, O. Nakatsuka, and S. Zaima, *Appl. Phys. Lett.* **107**, 022103 (2015).
- ⁴⁰ S. Zaima, O. Nakatsuka, N. Taoka, M. Kurosawa, W. Takeuchi, and M. Sakashita, *Sci. Technol. Adv. Mater.* **16**, 043502 (2015).
- ⁴¹ H. Höhler, N. Atodiresei, K. Schroeder, R. Zeller, and P.H. Dederichs, *Phys. Rev. B* **71**, (2005).
- ⁴² T. Sadoh, Y. Kai, R. Matsumura, K. Moto, and M. Miyao, *Appl. Phys. Lett.* **109**, 232106 (2016).
- ⁴³ C. Xu, X. Gong, M. Miyao, and T. Sadoh, *Appl. Phys. Lett.* **115**, 042101 (2019).
- ⁴⁴ I. Yoshikawa, M. Kurosawa, W. Takeuchi, M. Sakashita, O. Nakatsuka, and S. Zaima, *Mater. Sci. Semicond. Process.* **70**, 151 (2017).
- ⁴⁵ W. Knaepen, S. Gaudet, C. Detavernier, R.L. Van Meirhaeghe, J.J. Sweet, and C. Lavoie, *J. Appl. Phys.* **105**, 083532 (2009).
-

- ⁴⁶ K. Toko, N. Oya, N. Saitoh, N. Yoshizawa, and T. Suemasu, *Appl. Phys. Lett.* **106**, 082109 (2015).
- ⁴⁷ A.G. Fischer, D.J. Tizabi, and H. Blanke, *IEEE Electron Device Lett.* **4**, 447 (1983).
- ⁴⁸ H. Utsumi, N. Nishiguchi, R. Miyazaki, H. Suzuki, K. Kitahara, and A. Hara, *Jpn. J. Appl. Phys.* **58**, 046501 (2019).
- ⁴⁹ B. Hekmatshoar, S. Mohajezadeh, D. Shahrjerdi, and M.D. Robertson, *Appl. Phys. Lett.* **85**, 1054 (2004).
- ⁵⁰ D. Shahrjerdi, B. Hekmatshoar, S.S. Mohajezadeh, A. Khakifirooz, and M. Robertson, *J. Electron. Mater.* **33**, 353 (2004).
- ⁵¹ K. Kasahara, Y. Nagatomi, K. Yamamoto, H. Higashi, M. Nakano, S. Yamada, D. Wang, H. Nakashima, and K. Hamaya, *Appl. Phys. Lett.* **107**, 142102 (2015).
- ⁵² H. Higashi, M. Nakano, K. Kudo, Y. Fujita, S. Yamada, T. Kanashima, I. Tsunoda, H. Nakashima, and K. Hamaya, *Appl. Phys. Lett.* **111**, 222105 (2017).
- ⁵³ T. Suzuki, B.M. Joseph, M. Fukai, M. Kamiko, and K. Kyuno, *Appl. Phys. Express* **10**, 095502 (2017).
- ⁵⁴ K. Kusano, A. Yamamoto, M. Nakata, T. Suemasu, and K. Toko, *ACS Appl. Energy Mater.* **1**, 5280 (2018).
- ⁵⁵ T. Ozawa, K. Kusano, M. Murata, A. Yamamoto, T. Suemasu, and K. Toko, *J. Appl. Phys.* **129**, 015303 (2021).
- ⁵⁶ M. Tsuji, T. Imajo, N. Saitoh, N. Yoshizawa, T. Suemasu, and K. Toko, *J. Phys. D Appl. Phys.* **53**, 075105 (2020).
- ⁵⁷ K. Kusano, M. Tsuji, T. Suemasu, and K. Toko, *Appl. Phys. Express* **12**, 055501 (2019).
- ⁵⁸ M. Tsuji, K. Kusano, T. Suemasu, and K. Toko, *Appl. Phys. Lett.* **116**, 182105 (2020).
- ⁵⁹ K. Toko and T. Suemasu, *J. Phys. D Appl. Phys.* **53**, 373002 (2020).
- ⁶⁰ K. Toko, M. Kurosawa, N. Saitoh, N. Yoshizawa, N. Usami, M. Miyao, and T. Suemasu, *Appl.*

Phys. Lett. **101**, 072106 (2012).

⁶¹ R. Yoshimine, K. Toko, N. Saitoh, N. Yoshizawa, and T. Suemasu, J. Appl. Phys. **122**, 215305 (2017).

⁶² J.-H. Park, T. Suzuki, M. Kurosawa, M. Miyao, and T. Sadoh, Appl. Phys. Lett. **103**, 082102 (2013).

⁶³ H. Gao and T. Sadoh, Appl. Phys. Lett. **117**, 172102 (2020).

⁶⁴ T. Nishida, M. Nakata, T. Suemasu, and K. Toko, Thin Solid Films **681**, 98 (2019).

⁶⁵ T. Nishida, K. Moto, N. Saitoh, N. Yoshizawa, T. Suemasu, and K. Toko, Appl. Phys. Lett. **114**, 142103 (2019).

⁶⁶ T. Nishida, T. Suemasu, and K. Toko, AIP Adv. **10**, 015153 (2020).

⁶⁷ T. Nishida, K. Igura, T. Imajo, T. Suemasu, and K. Toko, Sci. Rep. **11**, 10159 (2021).

⁶⁸ M. Tsuji, M. Murata, A. Yamamoto, T. Suemasu, and K. Toko, Appl. Phys. Lett. **117**, 162103 (2020).

⁶⁹ 美紀江辻., 筑波大学院 修士論文, (2020).

⁷⁰ T. Ozawa, M. Murata, T. Suemasu, and K. Toko, Materials **15**, 608 (2022).

⁷¹ C. Hayzelden and J.L. Batstone, J. Appl. Phys. **73**, 8279 (1993).

⁷² N. Vouroutzis, J. Stoemenos, N. Frangis, G.Z. Radnóczy, D. Knez, F. Hofer, and B. Pécz, Sci. Rep. **9**, 2844 (2019).

⁷³ M. Kurosawa, N. Taoka, M. Sakashita, O. Nakatsuka, M. Miyao, and S. Zaima, Appl. Phys. Lett. **103**, 101904 (2013).

⁷⁴ T. Sadoh, M. Kurosawa, T. Hagihara, K. Toko, and M. Miyao, Electrochem. Solid-State Lett. **14**, H274 (2011).

⁷⁵ T. Nishijima, S. Shimizu, K. Kusano, K. Kudo, M. Furuta, Y. Kusuda, S. Motoyama, N. Naka, T. Numata, K. Takakura, and I. Tsunoda, AIP Adv. **10**, 055306 (2020).

⁷⁶ T. Ishiyama, T. Imajo, N. Saitoh, N. Yoshizawa, T. Suemasu, and K. Toko, Cryst. Growth Des. **22**, 1123 (2022).

- ⁷⁷ K. Toko, R. Yoshimine, K. Moto, and T. Suemasu, *Sci. Rep.* **7**, 16981 (2017).
- ⁷⁸ H. Haesslein, R. Sielemann, and C. Zistl, *Phys. Rev. Lett.* **80**, 2626 (1998).
- ⁷⁹ H. Yang, D. Wang, and H. Nakashima, *Appl. Phys. Lett.* **95**, 122103 (2009).
- ⁸⁰ R. Yoshimine, K. Moto, T. Suemasu, and K. Toko, *Appl. Phys. Express* **11**, 031302 (2018).
- ⁸¹ T. Mizoguchi, T. Imajo, T. Suemasu, and K. Toko, *Appl. Phys. Express* **13**, 101005 (2020).
- ⁸² K. Moto, N. Saitoh, N. Yoshizawa, T. Suemasu, and K. Toko, *Appl. Phys. Lett.* **114**, 112110 (2019).
- ⁸³ K. Moto, R. Yoshimine, T. Suemasu, and K. Toko, *Sci. Rep.* **8**, 14832 (2018).
- ⁸⁴ Y.-M. Ha, S.-H. Lee, C.-H. Han, and C.-K. Kim, *Journal of Electronic Materials* **23**, 39 (1994).
- ⁸⁵ S. Gupta, B. Magyari-Köpe, Y. Nishi, and K.C. Saraswat, *J. Appl. Phys.* **113**, 073707 (2013).
- ⁸⁶ J.D. Sau and M.L. Cohen, *Phys. Rev. B Condens. Matter* **75**, 045208 (2007).
- ⁸⁷ H. Lin, R. Chen, Y. Huo, T.I. Kamins, and J.S. Harris, *Appl. Phys. Lett.* **98**, 261917 (2011).
- ⁸⁸ H. Li, J. Brouillet, A. Salas, X. Wang, and J. Liu, *Opt. Mater. Express*, *OME* **3**, 1385 (2013).
- ⁸⁹ K. Moto, K. Yamamoto, T. Imajo, T. Suemasu, H. Nakashima, and K. Toko, *Appl. Phys. Lett.* **114**, 212107 (2019).
- ⁹⁰ T. Imajo, K. Moto, K. Yamamoto, T. Suemasu, H. Nakashima, and K. Toko, *ECS Trans.* **98**, 423 (2020).
- ⁹¹ K. Moto, K. Yamamoto, T. Imajo, T. Suemasu, H. Nakashima, and K. Toko, *IEEE Electron Device Lett.* **42**, 1735 (2021).
- ⁹² F.A. Trumbore, *The Bell System Technical Journal* **39**, 205 (1960).
- ⁹³ E.N. Sgourou, Y. Panayiotatos, R.V. Vovk, N. Kuganathan, and A. Chroneos, *NATO Adv. Sci. Inst. Ser. E Appl. Sci.* **9**, 2454 (2019).
- ⁹⁴ H. Bracht and S. Brotzmann, *Mater. Sci. Semicond. Process.* **4–5**, 471 (2006).
- ⁹⁵ T. Nishimura, K. Kita, and A. Toriumi, *Appl. Phys. Lett.* **91**, 123123 (2007).
- ⁹⁶ K. Yamamoto, R. Noguchi, M. Mitsuhashi, M. Nishida, T. Hara, D. Wang, and H. Nakashima, *J.*

Appl. Phys. **118**, 115701 (2015).

⁹⁷ A. Dimoulas, A. Toriumi, and S.E. Mohny, MRS Bull. **34**, 522 (2009).

⁹⁸ K. Yamamoto, T. Sada, D. Wang, and H. Nakashima, Appl. Phys. Lett. **103**, 122106 (2013).

⁹⁹ A.W. Wang and K.C. Saraswat, IEEE Trans. Electron Devices **47**, 1035 (2000).

¹⁰⁰ K. Toko, H. Kanno, A. Kenjo, T. Sadoh, T. Asano, and M. Miyao, Appl. Phys. Lett. **91**, 042111 (2007).

¹⁰¹ K. Toko, T. Sadoh, and M. Miyao, Appl. Phys. Lett. **94**, 192106 (2009).

¹⁰² T. Sadoh, H. Kamizuru, A. Kenjo, and M. Miyao, Appl. Phys. Lett. **89**, 192114 (2006).

¹⁰³ Y. Kamata, Y. Kamimuta, K. Ikeda, K. Furuse, M. Ono, M. Oda, Y. Moriyama, K. Usuda, M. Koike, T. Irisawa, E. Kurosawa, and T. Tezuka, in *2013 Symposium on VLSI Technology* (2013), pp. T94–T95.

¹⁰⁴ A. Hara, Y. Nishimura, and H. Ohsawa, Jpn. J. Appl. Phys. **56**, 03BB01 (2016).

¹⁰⁵ W.-H. Huang, J.-M. Shieh, M.-H. Kao, C.-H. Shen, T.-E. Huang, H.-H. Wang, C.-C. Yang, T.-Y. Hsieh, J.-L. Hsieh, P. Yu, and W.-K. Yeh, Appl. Phys. Express **10**, 026502 (2017).

¹⁰⁶ K. Usuda, Y. Kamata, Y. Kamimuta, T. Mori, M. Koike, and T. Tezuka, in *2014 IEEE International Electron Devices Meeting* (2014), pp. 16.6.1-16.6.4.

¹⁰⁷ M. Kurosawa, Y. Kamata, H. Ikenoue, N. Taoka, O. Nakatsuka, T. Tezuka, and S. Zaima, in *Extended Abstracts of the 2014 International Conference on Solid State Devices and Materials* (The Japan Society of Applied Physics, 2014), p. F-2-5L.

¹⁰⁸ T. Maeda, K. Ikeda, S. Nakaharai, T. Tezuka, N. Sugiyama, Y. Moriyama, and S. Takagi, Thin Solid Films **508**, 346 (2006).

¹⁰⁹ J.-H. Park, K. Kasahara, K. Hamaya, M. Miyao, and T. Sadoh, Appl. Phys. Lett. **104**, 252110 (2014).

¹¹⁰ O. Nakatsuka, N. Tsutsui, Y. Shimura, S. Takeuchi, A. Sakai, and S. Zaima, Jpn. J. Appl. Phys. **49**,

04DA10 (2010).

¹¹¹ N. Hirashita, Y. Moriyama, S. Nakaharai, T. Irisawa, N. Sugiyama, and S.I. Takagi, *Appl. Phys. Express* **1**, 1014011 (2008).

第 3 章

固相成長 Ge 薄膜に加熱堆積が与える物性変調効果

3.1 緒言

次世代デバイスの実現を目指し、絶縁体上 Ge 薄膜の低温合成が盛んに行われている。一方、数十年にわたり、Ge 本来の好適なキャリア輸送特性を引き出すには至っていなかった。我々は固相成長法を工夫することで Ge 薄膜のキャリア移動度を刷新してきた^{1,2}。本技術の基本は、①堆積中、②固相成長中、③成長後の熱処理(ポストアニール:PA)の 3 段階の加熱プロセスであり、単結晶 Si 基板と同等のキャリア移動度 $450 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ に結実している。

しかし、その物性に関しては結晶粒径と電気的特性(正孔移動度 μ 、正孔密度 p)の観点から現象論的に考察したに留まる。材料研究においては、物性に影響する機構を明らかにして、好適なものは育て、不要なものは取り除くのが品質向上への王道となる³。本節ではより深く固相成長 Ge 薄膜の物性を解析することにより、各熱処理過程が多結晶 Ge 薄膜に与える影響について詳細に議論した。

3.2 節では、実験手法を説明する。その後、各熱処理過程が固相成長 Ge 薄膜の結晶性(3.3 節)、光学的特性(3.4 節)、そして電気的特性(3.5 節)に与える影響を論じる。3.6 節では、本章の結果をまとめる。

3.2 実験手法

試料作製手順を図 3.1 に示す。まず、SiO₂ ガラス基板をアセトン、メタノール、純水で 2 min 超音波洗浄した。その後、1.5%HFaq に 1 min 浸漬し、純水でリンス後、乾燥 N₂ により水分除去した。その後、基板上へ Ge 100 nm を分子線加熱堆積 (T_d :50–200 °C) した。堆積レートは 1 nm min⁻¹ とし、Ge の純度は 99.999% である。その後、N₂ 雰囲気中で熱処理 (450 °C, 5 h) を行うことで固相成長を誘起した。結晶化後、Ar 雰囲気中で PA (500 °C, 5 h) を行った。

試料の結晶性は走査型電子顕微鏡 (JEOL JSM-7001F、電圧 25 kV、電流 15 mA) へアタッチメントされた電子後方散乱回折 (EBSD) 法 (TSL) と、Raman 分光法 (JASCO NRS-5100、波長 532 nm、出力 5 mW、スポットサイズ 20 μm、露光 30 sec × 2) により評価した。結晶粒径は、方位差 $\theta < 5^\circ$ の領域を単一粒と判別した。この際、双晶粒界 ($\Sigma 3,9$) は電氣的に不活性であるため^{4,5}、本処理からは除外した。単一粒と見なされた領域を等面積の円に換算し、面積加重平均で結晶粒径を算出した。Raman スペクトルは Origin6.0 の Pseudo Voight 関数でフィッティングした。光学的特性は顕微フオルミネッセンス (μ -PL) 法 (Princeton Instruments PyLon-IR-2.2、波長 647 nm、出力 20 mW、スポットサイズ: 1 μm) にて評価した。電氣的特性は Bio-Rad HL5500PC system を用いて van der Pauw 法により評価した。

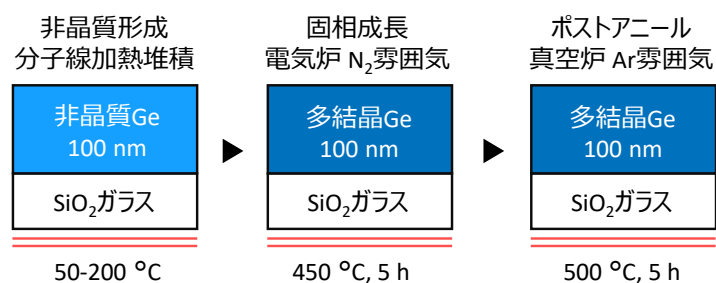


図 3.1 試料作製手順.

3.3 結晶性に与える影響

EBSD 法により Ge 成長層の結晶粒評価を行った。逆極点方位 (IPF) 像ならびに Grain 像により、堆積温度 T_d に依って結晶粒径が大きく変化することが判る (図 3.2(a))。これは、2 章で記したように前駆体密度に応じて、固相成長過程における横方向成長速度が変化するためである¹。図 3.2(b) に平均粒径を示す。加熱堆積に伴う非晶質の高密度化と堆積時結晶核発生のバランスにより、 $T_d=100$ °C で結晶粒径はピークとなった¹。高角粒界 (HAGB : High Angle Grain Boundary) を方位差 θ が 15° 以上、低角粒界 (LAGB : Low Angle Grain Boundary) を $2^\circ \leq \theta \leq 15^\circ$ 、双晶粒界を $\Sigma 3,9$ と定義して密度を調査した⁶。HAGB 密度は、結晶粒径が大きい Ge 成長層において減少した (図 3.2(c))。また、あらゆる粒界種の中で支配的だった。LAGB 密度は、HAGB 密度に比べて少なく、さらに T_d に対する明確な依存性はなかった (図 3.2(d))。双晶粒界密度は低 T_d ほど増加する傾向を見せた (図 3.2(e))。これは、低密度な非晶質 Ge の粒成長が遅く、生成エネルギーの低い双晶が発生しやすいためであると考えられる^{7,8}。

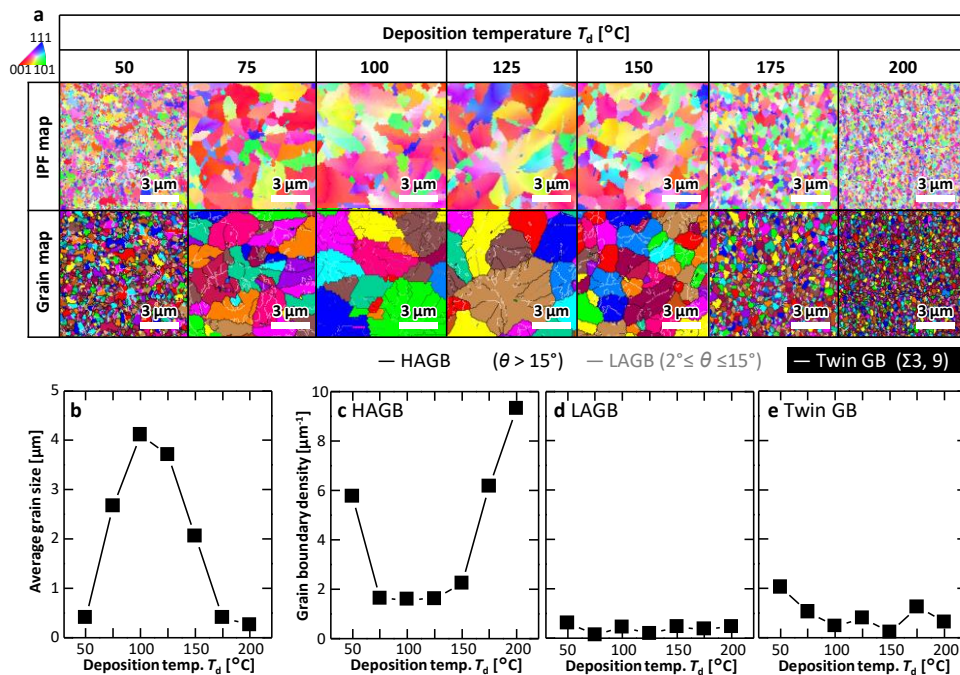


図 3.2 EBSD 解析. (a) IPF 像. (b) 結晶粒径. (c) HAGB, (d) LAGB ならびに (e) 双晶粒界密度.

続いて、図3.3(a)に熱処理後の Raman スペクトルを示す。全 T_d に対して結晶相に由来する Ge-Ge peak が得られた。また、単結晶 Ge 基板の peak 位置 (300 cm^{-1}) より低波数側にシフトしていた。伸長歪が導入されていることが判る。PA 前後の Ge-Ge peak 位置を T_d の関数とした。Peak 位置は T_d によって異なり、結晶粒径 (図 3.2(b)) との比較から、以下のように考えられる。基本的には小粒径ほどシフト量が少なく、歪が小さい。これは、大粒径のサンプルでは応力が蓄積される、あるいは粒界での応力緩和がある。また PA によって、大粒径ほど歪が蓄積 (Ge からのシフトが拡大) され、小粒径ほど緩和した。図 3.3(c) に PA 前後の Ge-Ge peak の FWHM を T_d に対して整理した。小粒径な $T_d = 200\text{ }^\circ\text{C}$ でも FWHM は小さく、主に粒内の結晶性を反映していると示唆される。 $T_d = 50\text{ }^\circ\text{C}$ は非晶質成分が混じるため顕著に悪い。すなわち、前駆体加熱堆積により得られる固相成長 Ge 薄膜は、結晶粒自体の品質も向上したと推察される。PA で全 T_d に対し FWHM は減少した。これにより結晶性が高まったと言える。

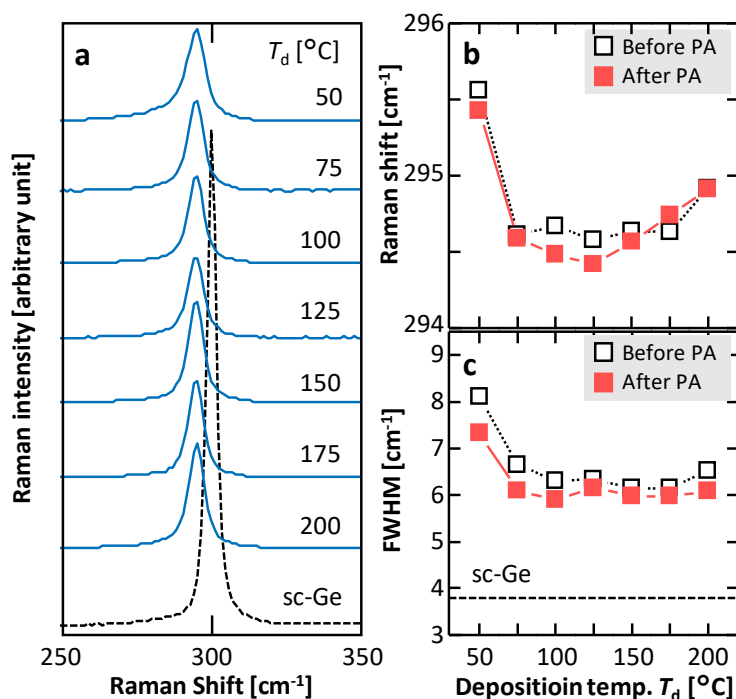


図 3.3 Raman 分光法解析. (a) Raman スペクトル. (b) Raman shift. (c) FWHM.

3.4 光学的特性に与える影響

図 3.4(a)に室温、大気下における Ge 成長層の PL スペクトルを示す。Ge の吸収係数が 647 nm において約 10^5 cm^{-1} であり⁹、本サンプル膜厚(100 nm)では 63%を吸収すると見積られる。充分膜厚が薄いため、膜全体を測定していると考えられる。先ず Ge 成長層からは、0.69 eV 付近に間接遷移に起因する PL 発光が見られた¹⁰。一方、直接遷移起因の発光($\sim 0.8 \text{ eV}$)は見られなかった。光励起キャリアの L 点における伝導帯底への遷移、あるいは粒界や他欠陥準位での非発光性再結合によると推察される。また、大粒径な Ge 成長層では発光強度の顕著な増加がみられた。さらに、ピーク位置は単結晶 Ge 基板より 50 meV 程度レッドシフトしていた。これは、①0.5%程度の圧縮歪の導入により伝導帯下端が下がった¹¹、あるいは②間接遷移以外に由来した Peak の足し合わせによる見かけ上のシフトだと考えられる。図 3.4(b)に PL 強度を T_d に対し整理した結果を示す。強度の振る舞いは T_d に対して M 字型となった。これは、固相成長 Ge 薄膜内部の p と、結晶粒界や他欠陥準位での非発光性再結合とのバランスによって決まると考えられる。また、一部のサンプルでは単結晶 Ge の強度を超えたが、これは上記①による発光効率の増加、あるいは、バンドギャップに近い発光性のサブバンド遷移の足し合わせに起因すると思われる。

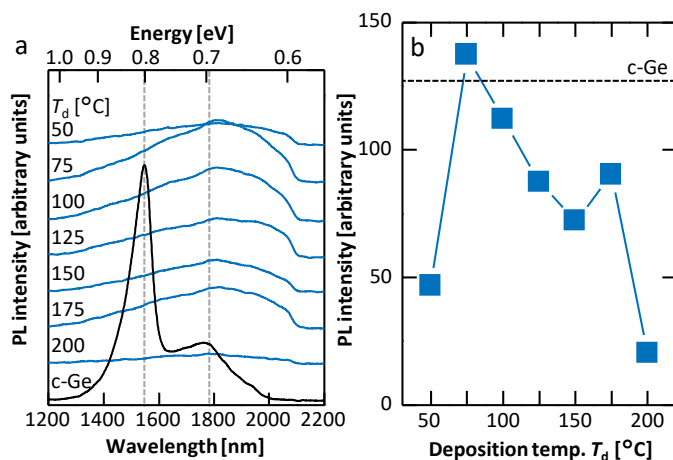


図 3.4 光学的特性. (a) PL スペクトル. (b) PL 強度の T_d 依存性.

3.5 電気的特性に与える影響

図 3.5(a)に PA 前後の Ge 成長層の正孔密度 p を T_d に対し整理した。従来のあらゆる Ge 薄膜と同様に p 型伝導となった。これは、結晶 Ge 中の欠陥が価電子帯頂上付近に浅い準位を形成し、正孔を放出する為と考えられている。また、 p は T_d に依存して変化した。図 3.2(c)の結果と対比すると、PA 前の p は HAGB 密度と強い相関を持つ(図 3.5(b))。すなわち、HAGB もアクセプタ生成源であることが示唆される。PA 後、 p は全 T_d に対し減少した。欠陥誘起アクセプタの補償効果に起因すると考えられる。また、PA では結晶粒径が大きい($75\text{ }^{\circ}\text{C} \leq T_d \leq 150\text{ }^{\circ}\text{C}$)ほど p が顕著に下がる傾向があった。すなわち、結晶粒内にも正孔を放出することが考えられる。

図 3.5(c)に PA 前後の Ge 成長層の正孔移動度 μ を T_d に対し整理した。 μ も p と同様 T_d に依存して変化した。また、一般的な多結晶半導体薄膜と同様に、結晶粒径が大きいほど高い値と成った。 μ は PA によって概ね全ての T_d に対し増加した。

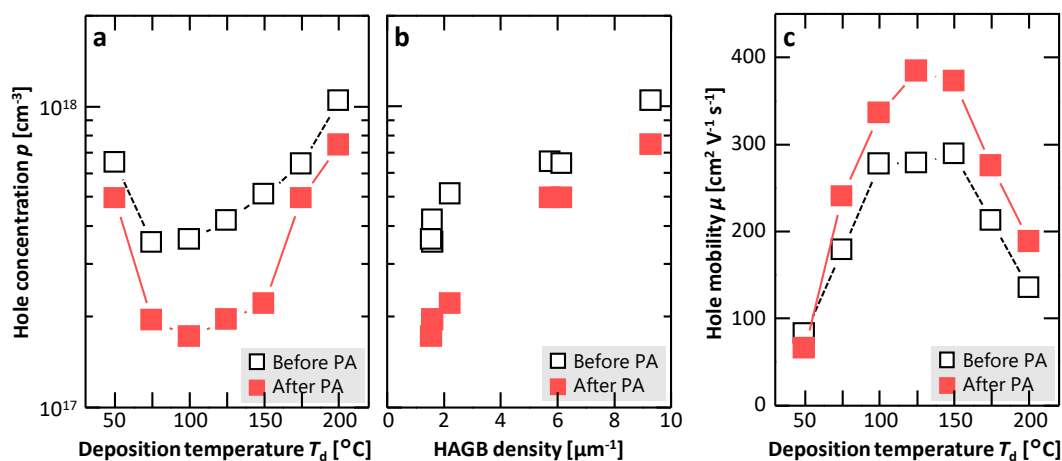


図 3.5 電気的特性. 正孔密度 p の (a) T_d ならびに (b) HAGB 密度依存性. (c) 正孔移動度 μ .

3.5.1 キャリア起源の検討

p の温度依存性 (115–400 K) を測定し、多数キャリアである正孔の起源を検討した。図 5.6(a) は PA 前の Ge 成長層 ($T_d=125$ °C) の p を示す。アクセプタの不活性化を反映し、測定温度が下がるほど p が減少した。一般的には、 p の飽和値から欠陥密度を、傾きの線形近似から欠陥準位を求める。しかし、固相成長 Ge 薄膜では Arrhenius plots をしたが、直線領域や飽和領域が現れなかった。従って、固相成長 Ge 内部には、正孔の起源が 2 準位以上あることが判る。しかし、二準位以上の近いエネルギー準位が半導体中にある場合はこの手法が適用できない。そこで、複数ある準位の推定には、Hoffmann¹² や Matsuura¹³ らが解析法を提案している。しかし、本研究で得た固相成長 Ge 薄膜は p の温度変動幅が小さく、これらの手法を適用してもピークが判別しづらい。これによりフィッティング解を一義に導出するのは困難であった。そこで我々は、機械学習の知見を取り入れ、線形回帰をベースとしたシンプル且つ高速なシミュレーション方法を提案する。

完全にイオン化した n 個のアクセプタ準位による p は次のように表せる。ただし、アクセプタ準位の縮退因子 g_j は 1 とし、電子密度は正孔密度に比べて十分に小さく無視できるものとした。

$$p(T) = \sum_{j=1}^n N_j f(E_F - E_j, T) \quad (3.1)$$

$$f(E_F - E, T) = \frac{1}{1 + g_j \exp\left(-\frac{E_F - E}{k_B T}\right)} \quad (3.2)$$

ここで、 N_j, E_j はそれぞれ j 番目の完全にイオン化したアクセプタ準位の密度、エネルギー準位である。また、 k_B は Boltzmann 定数、 T は絶対温度である。

Fermi 準位 E_F は次の積分方程式を Newton 法で解くことにより数値的に求められる。

$$p(T) = \int_{E_V^{\text{bottom}}}^{E_V^{\text{top}}} 4\pi \left(\frac{2m}{h^2}\right)^{\frac{3}{2}} \sqrt{E_V^{\text{top}} - E} [1 - f(E_F - E, T)] dE \quad (3.3)$$

ここで、 m は Ge の正孔の有効質量、 h は Planck 定数、 E_V^{top} は価電子帯の上端、 E_V^{bottom} は価電子帯の下端である。測定温度点を $T = T_1, T_2, \dots, T_j$ とし、 p を T の関数表現に変換して $\mathbf{Y} = (p(T_1), p(T_2) \dots p(T_j))$ と表すと、(3.1)式は次の式と等価となる。

$$\mathbf{Y} = \mathbf{W}^t \mathbf{X} \quad (3.4)$$

$$\mathbf{W} = \begin{pmatrix} N_1 \\ \vdots \\ N_n \end{pmatrix} \quad (3.5)$$

$$\mathbf{X} = \begin{pmatrix} f(E_F - E_1, T_1) & f(E_F - E_1, T_2) & \dots & f(E_F - E_1, T_m) \\ f(E_F - E_2, T_1) & f(E_F - E_2, T_2) & \dots & f(E_F - E_2, T_m) \\ \vdots & \vdots & & \vdots \\ f(E_F - E_n, T_1) & f(E_F - E_n, T_2) & \dots & f(E_F - E_n, T_m) \end{pmatrix} \quad (3.6)$$

この式は \mathbf{X} を説明変数、 \mathbf{W} を係数行列とした線形回帰モデルと捉えることができ、準位の組 $\{E_j\}$ が与えられれば \mathbf{W} の最適化問題は高速に解ける¹⁴。そのため、準位の探索範囲とエネルギー間隔を設けて総当たり探索をすれば、 N_j と E_j を数秒の実行時間で求められる。つまり、我々は(3.1)式を次の最適化問題として解いた。

$$\operatorname{argmin}_{E_1, \dots, E_n} \left\{ \min_{N_1, \dots, N_n} \frac{1}{2} \sum_{i=1}^m [p(T_i) - N_j f(E_F - E_j, T_i)]^2 \right\} \quad (3.7)$$

複数準位を仮定した上で図 3.6(a)に示す結果に適応した結果、2つのアクセプタ準位を含むシミュレーションカーブ(1 meV 間隔で探索)と最もよく一致した。これら2種のアクセプタを、相対的に深い準位(DA)と浅い準位(SA)と呼ぶ。ここで、DAの準位(E_{DA})は温度に伴い大きく変化した一方、SAの準位(E_{SA})は本測定温度範囲において一定となった。 E_{SA} が今回の測定温度下限(115 K)に相当するエネルギー(15 meV)以下であるため、出払い領域であると考えられる。一方、 E_{DA} は36 meVと見積もられた。以上、線形回帰シミュレーションを用いることで、多結晶 Ge 薄膜中には少なくとも2種類のアクセプタ準位が存在し、室温における正孔の支配的要因となっていることを見出した(図 3.6(b))。

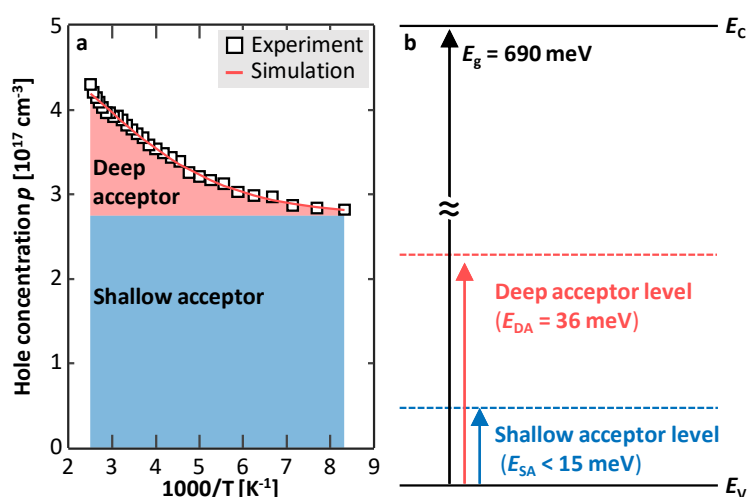


図 3.6 (a) p の温度依存性とシミュレーション結果. (b)アクセプタ準位の概観.

これらの起源を考察するため、欠陥密度の T_d 依存性を解析した。まず、シミュレーションにより導出した E_{DA} は約 40–90 meV の範囲で変化し、 T_d の増加と共に減少した(図 3.7(a))。また、PA は E_{DA} に大きな変化を及ぼさなかった。続いて、シミュレーションにより導出した DA と SA の密度 (N_{DA} , N_{SA})を示す。 N_{DA} と N_{SA} の双方共に大粒径程 ($75\text{ }^\circ\text{C} \leq T_d \leq 150\text{ }^\circ\text{C}$) 低くなった。これは p の挙動に一致した。興味深いことに、PA は N_{SA} と N_{DA} に異なる働きをした。すなわち、PA によって N_{DA} は小粒径ほど低減した一方、 N_{SA} は大粒径ほど低減した。PA 効果の系統的な理解のため、PA に伴う「密度 D の低減率 R 」を以下の通り定義した。

$$R = \frac{D_{before} - D_{after}}{D_{before}} \quad (3.8)$$

ここで D_{before} , D_{after} はそれぞれ PA 前後の密度である。式(3.8)に基づき、 N_{DA} , N_{SA} および p の PA による減少率 R_{DA} , R_{SA} および R_p の T_d 依存性を図 3.7(d)に整理した。 R_{DA} は小粒径 ($T_d < 75\text{ }^\circ\text{C}$, $150\text{ }^\circ\text{C} < T_d$) ほど大きい一方、 R_{SA} と R_p は大粒径 ($75\text{ }^\circ\text{C} \leq T_d \leq 150\text{ }^\circ\text{C}$) ほど大きい。したがって、PA による p の低減は、主として SA の低減に起因することが判る。

以上の結果に基づき、我々はアクセプタの起源について現象論的に考察する。第一に、結晶粒径(図 3.2(b))および HAGB 密度(図 3.2(c))と p (図 3.5(a))に相関があり、HAGB がアクセプタの起源となっていると考えられる。第二に、結晶粒径(図 3.2(b))が大きいほど R_p (図 3.7(d))も顕著になる。すなわち結晶粒内にもアクセプタ源が存在し、それらは PA によって強く減少することが判る。Raman 分光法により見出した、結晶性が PA によって向上する事実と整合する(図 3.4(c))。

つまり、結晶粒径が大きいほど R_{DA} が減少し、 R_{SA} が拡大する。これは、DA が粒界、SA が粒内起因であることを示唆する(図 3.7(d))。このように、我々は Ge 層のアクセプタ欠陥は粒界起因の DA (40-90 meV)と粒内起因の SA (<15 meV)から成ることを見出した。この結果は、理論計算や単結晶バルク Ge に関する既報と概ね整合する。粒界が比較的深いアクセプタ準位(約 60 meV)¹⁵、空孔が浅いアクセプタ準位(14~25 meV)¹⁶を形成する。

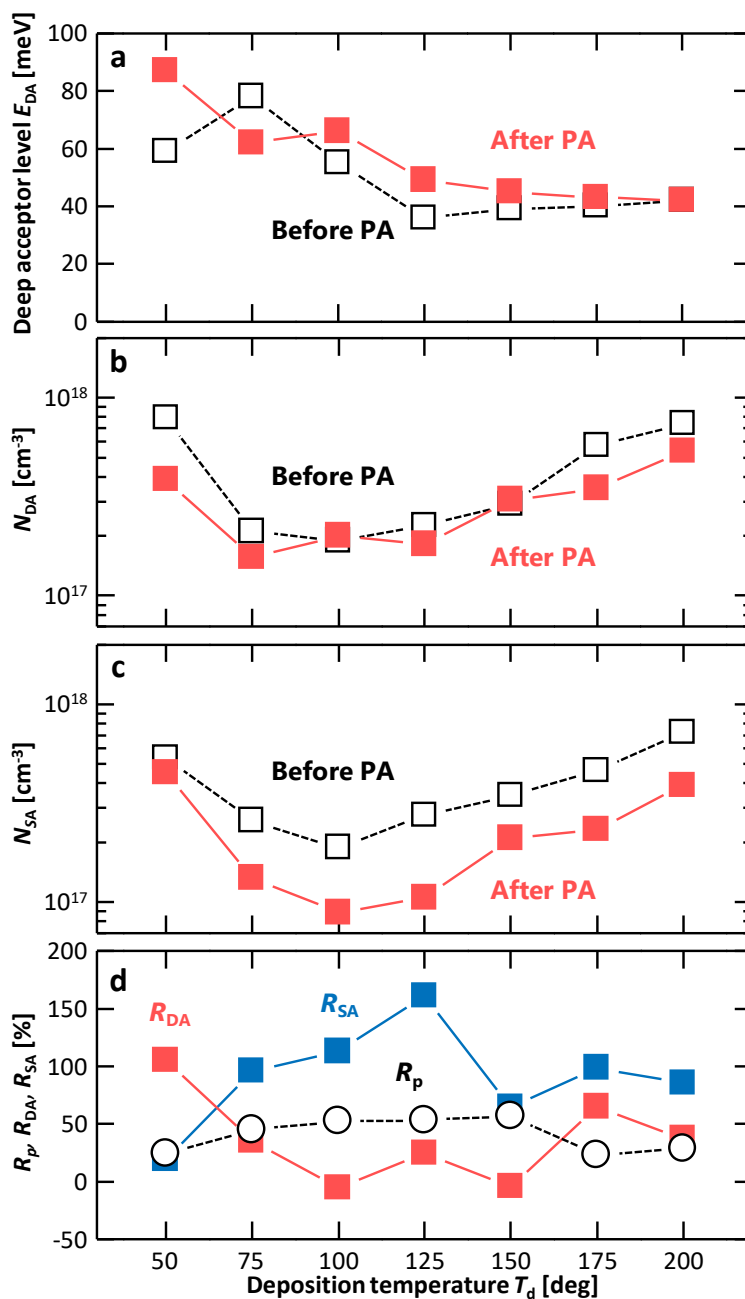


図 3.7 シミュレーションの定量結果. (a) E_{DA} . アクセプタ密度 (b) N_{DA} および (c) N_{SA} . (d) PA によるアクセプタ密度減少率 R_p, R_{DA} および R_{SA} .

3.5.2 キャリア輸送特性の検討

T_d の変調や PA によってキャリア移動度が向上することを確認した¹。これらの起源を探索した。粒界散乱が支配的な半導体薄膜における μ と E_B の関係は以下の式 (Seto モデル) で表される¹⁷。

$$\mu = \frac{Lq}{\sqrt{2\pi m k_B T}} \exp\left(-\frac{E_B}{k_B T}\right) \quad (3.9)$$

ここで、 L は結晶粒径、 q は電荷素量、 m^* は有効質量である。図 3.8(a)における $\mu\sqrt{T}$ の Arrhenius plots より $T_d = 50^\circ\text{C}$ の成長層は右下がりの直線状となり、全領域において(3.9)式でフィッティングできた。これは μ が粒界散乱に支配されていることを示す。一方、 $T_d = 125^\circ\text{C}$ の成長層は低温領域が(3.9)式でフィッティング可能な直線である一方、高温領域では緩和された。これは、粒界障壁の影響が低減し、相対的に不純物散乱の影響が顕在化したためである。これらから導出した E_B は T_d に強く依存した (図 3.8(b))。結晶粒径 (図 3.2(b)) と E_B が μ と T_d の関係性 (図 3.5(b)) を良く説明する。さらに、粒界起因としていた DA の準位 E_{DA} (図 3.7(a)) と E_B は傾向が酷似していた。 E_B は p に反比例するため¹⁷、深い E_{DA} が結晶粒界近傍の p を室温で低減し、その結果 E_B が増加する為である。また、PA では E_B がほとんど変化しなかった。すなわち、PA による移動度向上は不純物散乱の低減に起因すると推察される。

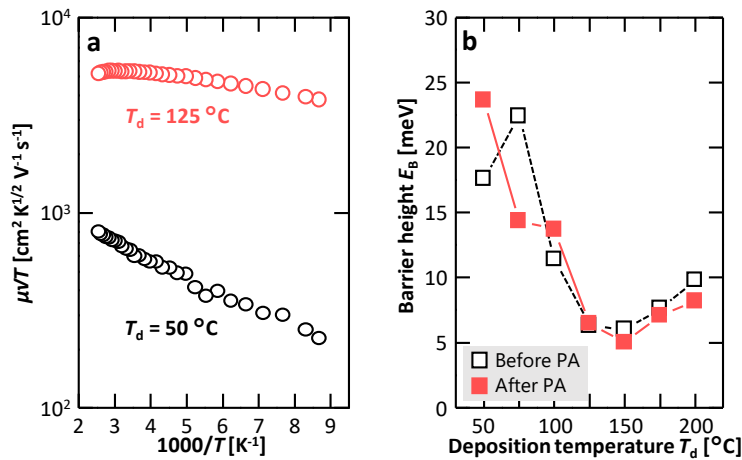


図 3.8 (a) $\mu\sqrt{T}$ の Arrhenius plots. (b) 粒界障壁 E_B .

3.6 結言

我々は固相成長法の高度化により、電気的特性や結晶粒径のブレイクスルーを達成してきた。本章では、本法の基礎(非晶質前駆体の加熱堆積、結晶化熱処理、PA)に立ち返り、より深い物性探索を行った。

結晶性の観点では、堆積温度 T_d の制御により結晶粒径が広範に変調できることが判った。また、キャリア輸送の障害となる HAGB が大粒径化に伴い減少した。Raman による結晶性評価において、加熱堆積や PA は結晶粒自体の品質も向上することが示唆された。

光学特性の観点では、大粒径 ($75\text{ °C} \leq T_d \leq 125\text{ °C}$) な Ge 成長層において、0.69 eV 付近の PL 発光強度が顕著に増加した。これは間接遷移が支配的に可視化されたと考えられる。一方、直接遷移起因の PL 発光は見られなかった。単結晶 Ge 基板に匹敵する発光強度を得られた事実は、固相成長 Ge 薄膜の品質が極めて高いことを裏付けるものである。

電気的特性の観点では、大粒径な Ge 成長層において優れた値を示した。更に、PA の施行により正孔移動度 μ の向上と正孔密度 p の低減を達成した。それぞれの物理的起源を探索するため、温度依存性を評価した。先ず、機械学習の知見を取り入れることで、 p の温度依存性からアクセプタ準位と密度を見積もる線形回帰シミュレーションを提案した。これにより、少なくとも2種類のアクセプタが存在することを示した。結晶粒径と PA が p に与える影響を系統的に整理した結果、深い準位 (40-90 meV) は粒界起因、浅い準位 (<15 meV) は粒内起因であることが示唆された。続いて、 μ の温度依存性に対し Seto モデルを適用することで、粒界障壁 E_B を見積もった。PA によって E_B の大きな変化は認められず、 μ の向上は不純物散乱の低減が主たる要因であることが判明した。

本研究を通じて得られた知見は、多結晶 Ge 薄膜の動的な物性研究の嚆矢となるものである。

3.7 参考文献

- ¹ K. Toko, R. Yoshimine, K. Moto, and T. Suemasu, *Sci. Rep.* **7**, 16981 (2017).
- ² R. Yoshimine, K. Moto, T. Suemasu, and K. Toko, *Appl. Phys. Express* **11**, 031302 (2018).
- ³ 河東田 隆, 半導体評価技術 (産業図書, 1989).
- ⁴ E. Billig and M.S. Ridout, *Nature* **173**, 496 (1954).
- ⁵ J. Chen, D. Yang, Z. Xi, and T. Sekiguchi, *J. Appl. Phys.* **97**, 033701 (2005).
- ⁶ G. Faraji and Kim, *Severe Plastic Deformation: Methods, Processing and Properties* (Elsevier Science Publishing, Philadelphia, PA, 2018).
- ⁷ L.F. Mattheiss and J.R. Patel, *Phys. Rev. B Condens. Matter* **23**, 5384 (1981).
- ⁸ J. Narayan and A.S. Nandedkar, *Philosophical Magazine B: Physics of Condensed Matter; Statistical Mechanics, Electronic, Optical and Magnetic Properties* **63**, 1181 (1991).
- ⁹ D.E. Aspnes and A.A. Studna, *Phys. Rev. B Condens. Matter* **27**, 985 (1983).
- ¹⁰ S. Gupta, B. Magyari-Köpe, Y. Nishi, and K.C. Saraswat, *J. Appl. Phys.* **113**, 073707 (2013).
- ¹¹ J. Michel, J. Liu, and L.C. Kimerling, *Nat. Photonics* **4**, 527 (2010).
- ¹² H.-J. Hoffmann, *J. Phys. D Appl. Phys.* **19**, 307 (1979).
- ¹³ Hideharu Matsuura, Yoshitsugu Uchida, Tadashi Hisamatsu and Sumio Matsuda, *Jpn. J. Appl. Phys.* **37**, 6034 (1998).
- ¹⁴ C.M. Bishop, *Pattern Recognition and Machine Learning* (Springer New York, 2016).
- ¹⁵ R.K. Mueller, *J. Appl. Phys.* **30**, 2015 (1959).
- ¹⁶ O. Madelung, *Semiconductors: Data Handbook* (Springer, Berlin, Heidelberg, 2004).
- ¹⁷ J.Y.W. Seto, *J. Appl. Phys.* **46**, 5247 (1975).

第 4 章

下部界面層挿入による Ge 結晶粒径の制御

4.1 緒言

絶縁体基板上への高キャリア移動度薄膜の低温合成が期待されている。我々は Ge の固相成長において、前駆体非晶質の密度制御により大粒径化とアクセプタ欠陥低減を達成した¹。本技術をシーズとし、厚膜化による界面散乱の低減、ポストアニール(PA)での欠陥補償により、固相成長 Ge 薄膜の正孔移動度を $450 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ へと更新した²。しかし、Ge 本来の優れたキャリア輸送特性³が得られているとは言い難い。

更なる特性向上のため、キャリア散乱要因を検討した。Matthiessen 則により、半導体中のキャリア輸送の緩和時間は、各散乱要因の逆数和で表現できる。

$$\frac{1}{\tau_{\text{tot}}} = \frac{1}{\tau_{\text{phonon}}} + \frac{1}{\tau_{\text{imp}}} + \frac{1}{\tau_{\text{others}}} \quad (4.1)$$

ここで τ_{tot} は合計、 τ_{phonon} がフォノン、 τ_{imp} がイオン化不純物、 τ_{others} がその他の要因の総和による緩和時間である。移動度と緩和時間の関係は、キャリアの質量を m^* 、電荷素量を q として

$$\mu = \frac{q\tau}{m^*} \quad (4.2)$$

と表される。式(4.2)を用いて式(4.1)をキャリア移動度に関して整理する。

$$\frac{1}{\mu_{\text{tot}}} = \frac{1}{\mu_{\text{phonon}}} + \frac{1}{\mu_{\text{imp}}} + \frac{1}{\mu_{\text{others}}} \quad (4.3)$$

式(4.3)に対して、正孔移動度 $450 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ を示した固相成長 Ge 薄膜に、各散乱要因³を代入し、方程式的に μ_{others} を得る。

$$\frac{1}{(\mu_{\text{tot}} =) 450} = \frac{1}{(\mu_{\text{phonon}} =) 1900} + \frac{1}{(\mu_{\text{imp}} =) 880} + \frac{1}{(\mu_{\text{others}} =) 1800} \quad (4.4)$$

ここで μ_{others} の起源としては粒界散乱や、界面散乱が候補となる。(4.4)により、粒界散乱(μ_{others})が支配的な従来の多結晶 Ge 薄膜⁴⁻⁶とは異なり、イオン化不純物(μ_{phonon})が最もキャリア輸送を散乱していると推察される。これは、Ge 薄膜中の多数キャリア(正孔)を意味する。前章では、固相成長 Ge 薄膜には、結晶粒界・粒内双方に起因したアクセプタ欠陥が存在するとの知見を得た。すなわち、結晶性の向上や粒界密度の低減(大粒径化)が正孔低減に繋がり、キャリア移動度の向上が期待できる。固相成長では、下部層界面に発生した初期核から結晶成長が開始することが知られている⁷⁻⁹。また、Ge/SiO₂ ガラス界面にはダングリングボンド発端するとされる欠陥が問題となっている¹⁰⁻¹⁴。以上より、従来の Ge/SiO₂ ガラス界面を再検討することで、界面欠陥の抑制と初期結晶核の改善に伴う固相成長 Ge 薄膜の高品質化が期待できる。

本章では、固相成長 Ge 薄膜の更なるキャリア移動度向上の施策として、Ge と反応性の乏しい下部層挿入を検討する。4.2 節では、実験手法を説明する。4.3 節では、下部界面層に適した絶縁層を電気的特性と結晶粒径の観点から探索する。4.4 節では、4.3 節の結果を元に、GeO_x 下部層が固相成長 Ge 薄膜に与える影響を論じる。4.5 節では、本章の結果をまとめる。

4.2 実験手法

試料作製手法は次頁以降のテーマごとに述べ、各実験に共通する評価手法をここに記す。試料の結晶性は走査型電子顕微鏡 (SEM、JEOL JSM-7001F、電圧 25 kV、電流 15 mA) へアタッチメントされた電子後方散乱回折 (EBSD) 法 (TSL) と、Raman 分光法 (JASCO NRS-5100、波長 532 nm、出力 0.5 mW、スポットサイズ: 5 μm 、露光 60 sec \times 2) により評価した。結晶粒径は、方位差 $\theta < 5^\circ$ の領域を単一粒と判別した。この際、双晶粒界 ($\Sigma 3,9$) は電氣的に不活性であるため^{15,16}、本処理からは除外した。単一粒と見なされた領域を等面積の円に換算し、面積加重平均で結晶粒径を算出した。Raman スペクトルは Origin6.0 の Pseudo Voigt 関数でフィッティングした。表面様態は上記 SEM によって評価した。電氣的特性は Bio-Rad HL5500PC system を用いて van der Pauw 法により評価した。

4.3 下部絶縁層の選定

本節では、固相成長 Ge 薄膜に適した下部絶縁層の選定について記す。試料作製手順を図 4.1 に示す。前章と同様の洗浄を行った SiO_2 ガラス基板の上に、RF マグネトロンスパッタにより AlO_x 、 SiN_x 、および GeO_x を各 50 nm ずつ室温堆積した。このとき、ベース真空度は 3.0×10^{-4} Pa とし、RF 電力は全て 50 W とした。製膜後、MBE チャンバーにおいて固相成長の前駆体となる非晶質 Ge を加熱堆積 (150 $^\circ\text{C}$) した。堆積レートは 1 nm min^{-1} とし、300 nm 製膜した。その後、石英管アニーリング炉を用い、 N_2 雰囲気中で 450 $^\circ\text{C}$ 、5 h の熱処理を行うことで固相成長を誘起した。

図 4.2(a)–(d) に示す逆極点方位 (IPF) 像より、固相成長 Ge 層の結晶粒径が下部絶縁層種に強く影響されていることが判る。Ge/下部層間における界面エネルギーの変質に伴う核発生頻度

の変化が示唆される¹²。IPF 像を解析することで、各下部層を挿入した成長層の結晶粒径は、下部層挿入無し(SiO₂)で 2.9 μm、SiN_xが 1.4 μm、AlO_xが 5.3 μm、そして GeO_xが 4.5 μm と判った。電気的特性評価を行った結果、全ての Ge 成長層が従来の SiO₂ ガラス基板上に固相成長したアノドープ Ge^{1,4,17}と同様の p 型伝導を示した。これは、結晶 Ge 中の空孔欠陥が室温にてアクセプタ準位を形成する為である¹⁸。図 4.2(e)より、正孔密度 p と正孔移動度 μ も結晶粒径同様に下部層界面種に影響されることが判る。GeO_x を下部層界面に選択した場合、本研究で検討した下部層材料の中で最も低い $p = 2.7 \times 10^{17} \text{ cm}^{-3}$ と最も高い $\mu = 440 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ を両立した。以上より、GeO_x 下部層は Ge/SiO₂ ガラス界面を改善するに好適な材料候補と考えられる。

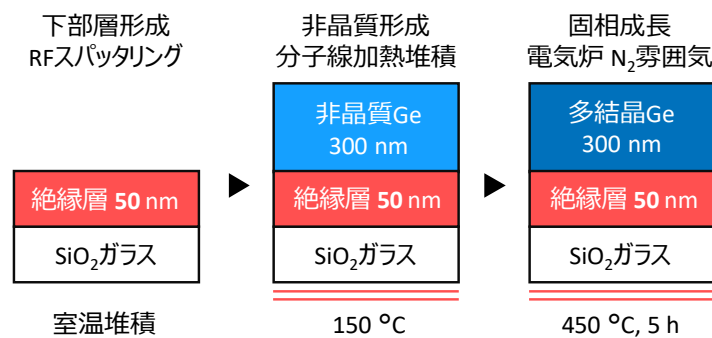


図 4.1 試料作製手順.

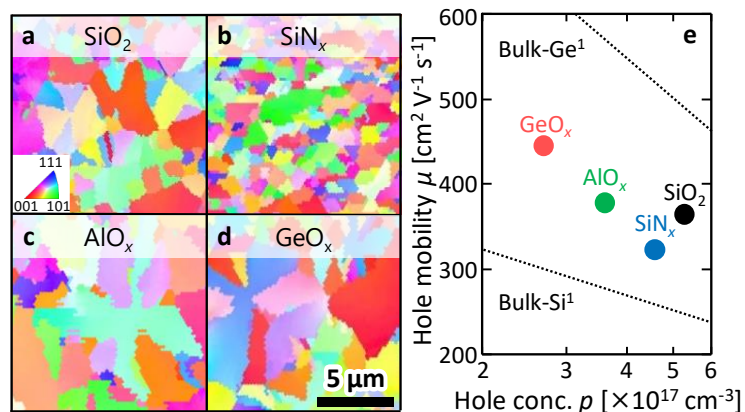


図 4.2 固相成長 Ge(300 nm) の下部絶縁層依存性。
(a)–(d) IPF 像および (e) 電気的特性.

4.4 GeO_x 下部層挿入

4.3 節では、Ge/SiO₂ ガラス界面への GeO_x 下部層を挿入により電気的特性と結晶粒径の改善を同時に見込めることが判った。本節では Ge 膜厚 t_{Ge} と GeO_x 膜厚 t_{ox} を独立に制御することで、GeO_x 下部層が固相成長 Ge 薄膜に与える影響を体系化する。

4.4.1 Ge 膜厚変調効果

本節では、 t_{ox} を 50 nm に固定し、 t_{Ge} を変調した際の固相成長 Ge 薄膜の振る舞いを記す。試料作製手順を図 4.3 に示す。RF マグネトロンスパッタにより GeO_x (50 nm) を SiO₂ ガラス基板の上に室温堆積した。このとき、ベース真空度は 3.0×10^{-4} Pa とし、RF 電力は全て 50 W とした。製膜後、MBE チャンバーにおいて固相成長の前駆体となる非晶質 Ge を加熱堆積 (150 °C) した。堆積レートは 1 nm min^{-1} とし、100–600 nm 製膜した。その後、石英管アニール炉を用い、N₂ 雰囲気中で熱処理 (T_{g} : 375–450 °C) を行うことで固相成長を誘起した。結晶化後、Ar 雰囲気中でポストアニール (PA: 500 °C, 5 h) を行った。

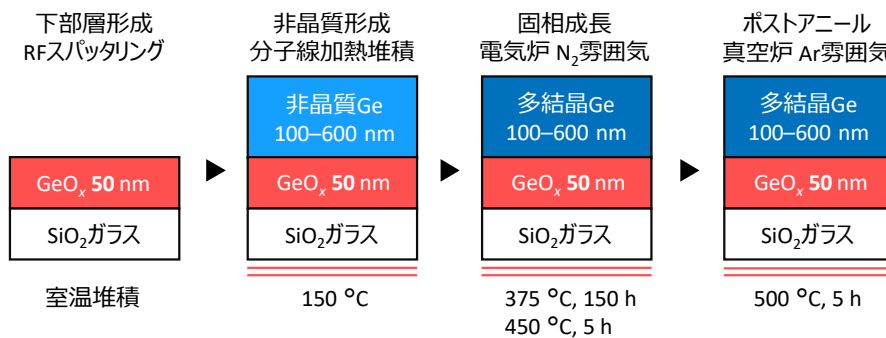


図 4.3 試料作製手順.

図 4.4(a)–(f)に GeO_x 下部層層を挿入した固相成長 Ge 薄膜の IPF 像を示す。結晶はランダム配向しており、結晶粒径は t_{Ge} と T_{g} の両者に影響されていることが判る。 t_{Ge} について図 4.4(g)に整理した。Ge 成長層の結晶粒径は、GeO_x 下部層挿入により劇的に向上した。また、 t_{Ge} の増加と共に結晶粒径は減少している。これは核生成サイトの増加に起因する^{2,9,11}。固相成長の先行研究^{4,11}と同様、成長温度の低減($T_{\text{g}}=375$ °C)により、更なる結晶粒径の拡大を達成した。この傾向は、GeO_x 下部層挿入時に顕著であった。特に、GeO_x 下部層を挿入し、 $t_{\text{Ge}} = 100$ nm、 $T_{\text{g}} = 375$ °C で得た Ge 成長層は、これまで得た固相成長 Ge(Sn)^{1,2,11,19} の中で最大レベルの結晶粒径 10 μm を達成した。

続いて電気的特性を示す。図 4.5(a),(b)より、全 t_{Ge} と T_{g} に対し GeO_x 下部層挿入によって p の低減が為された。結晶性の向上と大粒径化を反映し、欠陥誘起アクセプタを低減したと考えられる。図 4.5(c),(d)より結晶粒径が減少した(図 4.4(g))一方、 t_{Ge} と共に μ が増加傾向にあることが判る。これは界面散乱の低減に起因すると説明できる^{2,11}。GeO_x 下部層を挿入した場合、 $t_{\text{Ge}} \leq 200$ nm では、SiO₂ ガラス上に直接形成した場合よりも結晶粒径は大きい、 μ はより小さな値と成った。これは、現状の Ge/GeO_x 界面が従来の Ge/SiO₂ ガラス界面よりも強い散乱源となっていることを示唆している。 $t_{\text{Ge}} > 200$ nm では、GeO_x 下部層を挿入した場合の方が高 μ と成った。4.1 節で述べた Matthiessen の規則と Irvin カーブ^{20,21}より、 $t_{\text{Ge}} > 200$ nm では、 μ が粒界散乱と不純物散乱のバランスで決定される^{1,2}。従って、GeO_x 下部層挿入による μ の向上は、大粒径化に伴う粒界散乱の低減と p の低減に伴う不純物散乱の低減に由来すると考えられる。

PA の施行により、Ge 成長層中の欠陥誘起アクセプタを補償し不純物散乱の低減を検討した。これにより、全ての Ge 成長層で p が減少した(図 4.5(a)(b))。Ge 膜中の陥誘起アクセプタが、Ge 原子の熱拡散により補償されたことを示唆している。低温成長($T_{\text{g}} = 375$ °C)した際には大きく減少し、結晶粒径が最も大きかった 100 nm の成長層において、 10^{16} cm⁻³ 台前半という極めて低い p を実現した。図 4.5(c)(d)より、下部層の有無に関わらず、 $t_{\text{Ge}} > 200$ nm において高い μ を有していることが判る。この傾向は、 $T_{\text{g}} = 375$ °C の時に顕著である。これは、不純物散乱が支配的な領域で

あることに起因する。高密度前駆体を用いた固相成長に対して GeO_x 下部層挿入、低温結晶化 ($T_g = 375^\circ\text{C}$)、厚膜化 ($t_{\text{Ge}} = 500\text{ nm}$)、そして PA を重畳することで SiO_2 ガラス上に極めて高い μ ($620\text{ cm}^2\text{ V}^{-1}\text{ s}^{-1}$) を実証した。これは、酸化濃縮法で合成した単結晶 Ge 薄膜^{9,22}よりも優れており、低温プロセス ($<800^\circ\text{C}$) で絶縁体基板上に直接合成した半導体薄膜中最高の値である。

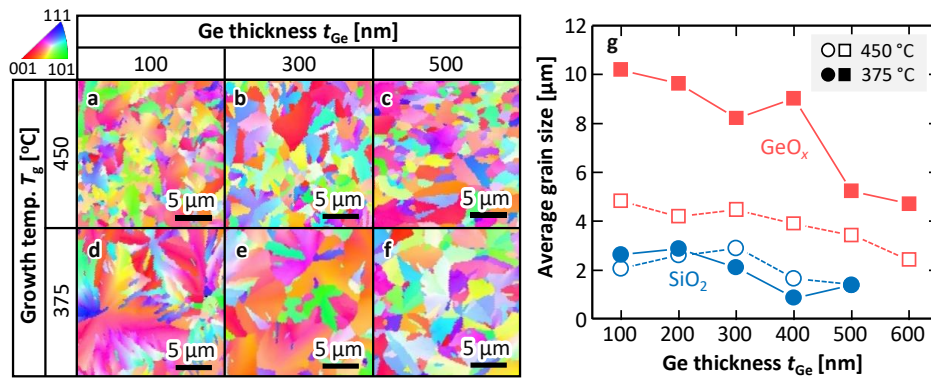


図 4.4 EBSD 解析. (a)–(f) IPF 像ならびに (g) 結晶粒径.

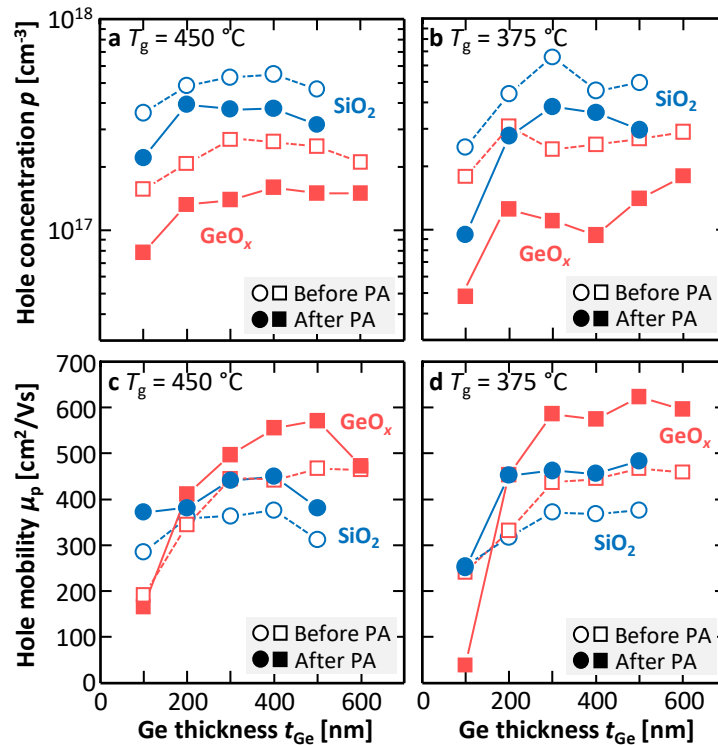


図 4.5 Ge 成長層の PA 前後の電気的特性の Ge 膜厚 t_{Ge} 依存性. (a), (b) 正孔密度 p , (c), (d) 正孔移動度 μ . (a), (c) $T_g = 450^\circ\text{C}$ および (b), (d) $T_g = 375^\circ\text{C}$.

4.4.2 GeO_x 下部層膜厚変調効果

前節では、我々の Ge 固相成長プロセスに対して GeO_x 下部層を採用した。これにより、低温プロセス (< 800 °C) で絶縁体基板上に直接合成した半導体薄膜中最高の μ (620 cm² V⁻¹ s⁻¹) を SiO₂ ガラス上で実証した。しかし、GeO_x 下部層が固相成長プロセスに作用する物理機構への理解は浅い。従って、本節では GeO_x 膜厚 t_{ox} の制御によりメカニズム解明を試みた。

本節では、 t_{Ge} を 300 nm に固定し、 t_{ox} を変調した際の固相成長 Ge 薄膜の振る舞いを記す。試料作製手順を図 4.6 に示す。前章と同様の洗浄を行った SiO₂ ガラス基板上に、RF マグネトロンスパッタにより GeO_x (25–300 nm) を室温堆積した。このとき、ベース真空度は 3.0×10^{-4} Pa とし、RF 電力は全て 50 W とした。製膜後、MBE チャンバーにおいて固相成長の前駆体となる非晶質 Ge を加熱堆積 (150 °C) した。堆積レートは 1 nm min⁻¹ とし、300 nm 製膜した。その後、石英管アニール炉を用い、N₂ 雰囲気中で熱処理 (T_g : 375–450 °C) を行うことで固相成長を誘起した。結晶化後、Ar 雰囲気中でポストアニール (PA: 500 °C, 5 h) を行った。

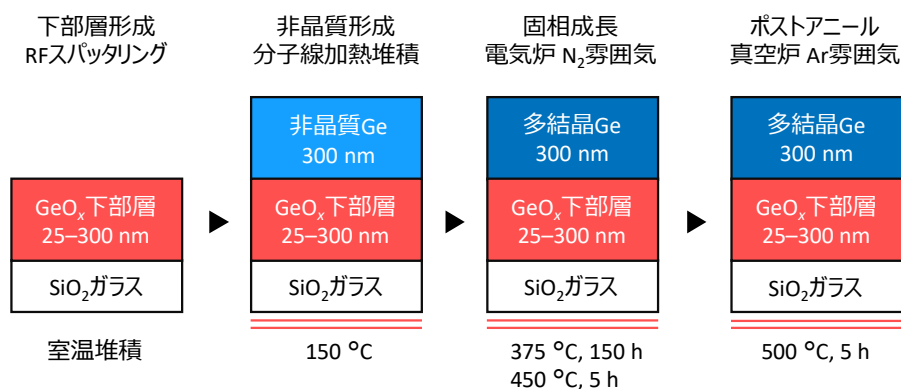


図 4.6 試料作製手順.

in-situ 光学顕微鏡 (Linkam 10042 D with a Keyence VH-5500) を用いて Ge 固相成長におけるドメイン生成過程を評価した。ここで、 t_{ox} を変調した際のドメイン径と測定時間の兼ね合いにより、 $T_g = 400\text{ }^\circ\text{C}$ を採用した。図 4.7(a) は固相成長の典型的な成長様態を示している。すなわち、熱処理時間の増加とともに①初期結晶核が生成、②ドメインが横方向に成長し、③飽和して膜全面が最終的に多結晶 Ge に覆われる。GeO_x 下部層を挿入しない場合の固相成長 Ge に対し、飽和ドメイン径は数倍となった^{1,2}。また、ドメイン径が全 t_{ox} (0–100 nm) に対し、時間とともに発展していく様子が判る (図 4.7(b))。 t_{ox} と共に飽和ドメイン径も増加し、 $t_{ox} = 50\text{ nm}$ で極大となった後、減少に転じた。固相成長では、核発生と横方向成長のバランスが飽和ドメイン径を決定する。すなわち、低い核発生頻度と高い横方向成長速度の重畳により大粒径化が見込める²⁴。図 4.7(c) より核発生頻度と横方向成長速度が t_{ox} によって変化している。また、初期核が生成するまでの時間 (潜伏時間) は t_{ox} と共に線形増加した。その一方で、横方向成長速度は $t_{ox} > 50\text{ nm}$ で減少した。非晶質薄膜においては異種界面が核生成サイトとなる²⁵。非晶質半導体への酸素取り込みが結晶化を遅延させること²³ を考慮すれば、GeO_x 層に起因した Ge 膜中の微量酸素 ($t_{ox} \leq 50\text{ nm}$) が界面核発生を抑制し、多量の場合 ($t_{ox} > 50\text{ nm}$) にはさらに横方向成長を遅延させたと推察される。

Raman 分光法により、 t_{ox} が Ge 成長層の結晶性に与える影響を調査した。図 4.8(a) は Ge-Ge 振動モードを示すピークが約 300 cm^{-1} に位置しており、熱処理後に全試料が結晶化していることを示唆している。Raman スペクトルより、 $T_g = 375, 450\text{ }^\circ\text{C}$ に対する当該ピークの半値全幅と Raman シフトを導出した。図 4.8(b) は Ge ピークの FWHM が t_{ox} に依存していることを示している。この振舞いは、適切な t_{ox} において酸素原子が GeO_x 層から Ge 層に程よく拡散することにより、結晶性を向上させることを示唆している。図 4.8(c) は単結晶 Ge 基板から低波数側にピークシフトしているため Ge と SiO₂ ガラス基板の熱膨張係数差によって引張ひずみが導入されることを示す²⁴。また、Ge-Ge ピークのシフトは t_{ox} の増加によって単結晶 Ge の値に漸近した。これは GeO_x ($7.6 \times 10^{-6}\text{ K}^{-1}$)²⁵ が Ge ($5.8 \times 10^{-6}\text{ K}^{-1}$) や SiO₂ ガラス ($0.5 \times 10^{-6}\text{ K}^{-1}$) よりも大きな熱膨張係数を有する為、SiO₂ ガラス基板からの応力を緩和したためだと考えられる。

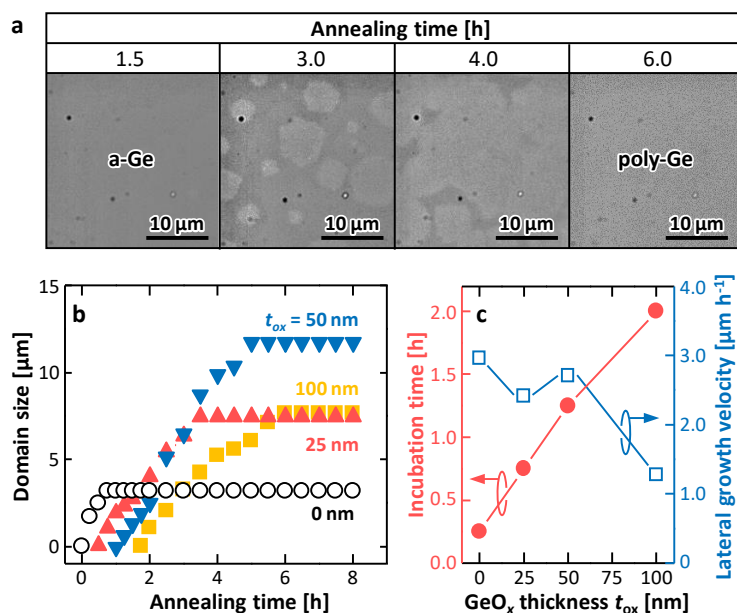


図 4.7 固相成長 Ge のドメイン観察. (a) *in-situ* 光学顕微鏡像. (b) ドメイン径の熱処理時間依存性および (c) 潜伏時間と横方向成長速度の GeO_x 膜厚 t_{ox} 依存性

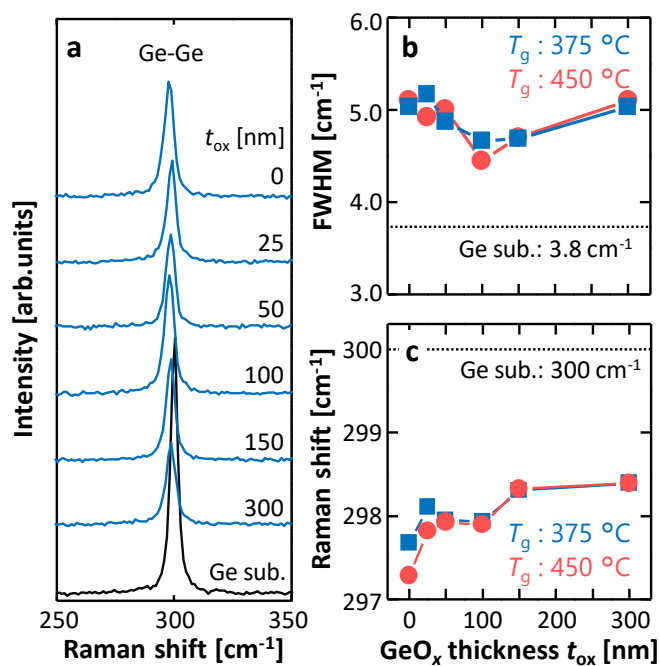


図 4.8 Raman 分光法. (a) Raman スペクトル. (b) FWHM および (c) Raman shift.

Ge 成長層の二次電子(SE)像を SEM によって取得した(図 4.9)。一部、高品質結晶に由来した結晶方位が可視化されている(チャネリングコントラスト)²⁶。コントラストを確認すると、GeO_x 下部層挿入によって Ge の結晶粒が拡大していることが判る。 $t_{ox} \geq 100$ nm では、低温熱処理($T_g = 375$ °C)では認められない Ge 成長層でのクラックが、 $T_g = 450$ °Cにおいて発生した。400 °C 以上の場合、Ge/GeO_x 界面反応により GeO が脱離する^{27,28}。これを鑑みると、Ge 成長層を GeO ガスが掘進したことにより導入されたと考えられる。 $t_{ox} = 300$ nm の場合、結晶コントラストの存在しない非晶質状の領域が結晶化温度に関わらず観察された。これは図 4.7 の結果と一貫しており、GeO_x 層からの過度の酸素供給が Ge 層へ為され、Ge の結晶化を著しく遅延させたと推察される。

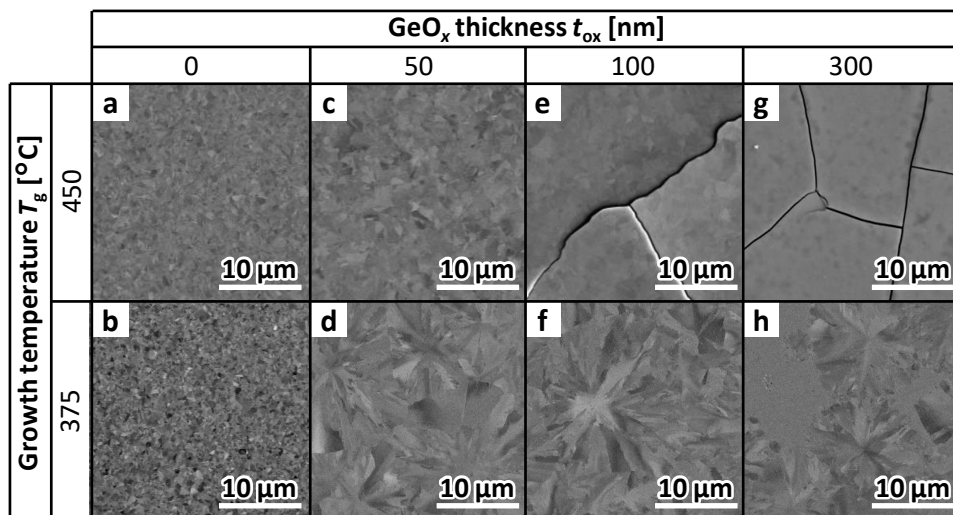


図 4.9 Ge 成長層の SE-SEM 像.

図 4.10(a)–(d)に $T_g = 375\text{ °C}$ で結晶化した異なる t_{ox} に対する Ge 成長層の IPF 像を示す。Ge 結晶粒はランダム配向しており、 t_{ox} に対して粒径は大きく変化した。特に、 $t_{ox} = 300\text{ nm}$ において非晶質領域が確認できた。SEM 観察の結果(図 4.9(g)(h))と符合しており、熱処理時間が Ge 成長層の全面結晶化を完了させるに不十分だったと考えられる。これらの結晶粒径を t_{ox} の関数として整理した(図 4.10(e))。前節と同様、低温($T_g = 375\text{ °C}$)で結晶化を促すことにより、全ての Ge 成長層に対して大粒径化した。固相成長において核発生頻度が低温で抑制される典型的な現象である^{1,4,11}。 $T_g = 450\text{ °C}$ では、結晶粒径が t_{ox} と共に増加して $t_{ox} = 50\text{ nm}$ でピークをとり、減少に転じる。図 4.7 で論じた $T_g = 400\text{ °C}$ の場合に一致する。一方、 $T_g = 375\text{ °C}$ では $t_{ox} = 100\text{ nm}$ で最大粒径となった。これらは、 GeO_x 層からの酸素導入、ならびに Ge 結晶化の活性化エネルギーには差異があり、二者のバランス(温度で変化)が結晶粒径を決定することを示唆している。

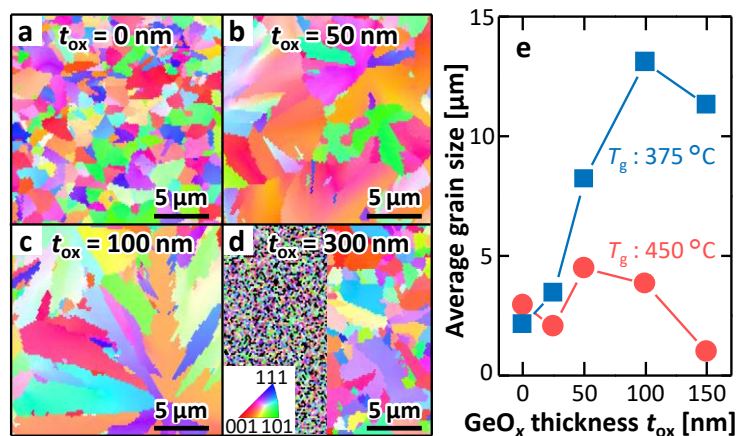


図 4.10 Ge 成長層の EBSD 解析. (a)–(d) IPF 像および(e) 結晶粒径の GeO_x 膜厚 t_{ox} 依存性.

FIB-SEM (Helios Nanolab 600i) により、Ge 成長層 ($t_{\text{ox}} = 0, 50 \text{ nm}$) の断面構造を反射電子 (BSE) 像で観察した (図 4.11)。Ge, GeO_x , SiO_2 ガラス各層に対応する領域が観察できる。 GeO_x 層は $T_g = 375 \text{ }^\circ\text{C}$ において均質である一方、 $T_g = 450 \text{ }^\circ\text{C}$ では暗領域が確認される。BSE 像では原子番号に応じたコントラストが生じる。従って、暗領域は Ge が欠損した体積欠陥: ボイドであると推察される。これは、高温熱処理に伴う GeO 脱離に起因する²⁷と考えられ、図 4.9 の結果と符合する。二次イオン質量分析法 (SIMS、PHIADEPT1010) によって Ge/ GeO_x 界面近傍の酸素濃度を見積もった。 GeO_x 下部層が無く ($t_{\text{ox}} = 0 \text{ nm}$) とも酸素が $1 \times 10^{18} \text{ cm}^{-3}$ 程度存在することが判った。これは、非晶質堆積中に混入するものと考えられる。一方、Ge/ GeO_x 界面近傍において、酸素濃度は $1 \times 10^{18} \text{ cm}^{-3}$ よりも高くなり、結晶化温度が高温であるほど顕著であった。これにより、 GeO_x 層から Ge への酸素導入が裏付けられる。また、高温熱処理において GeO_x 層にボイドが形成される証拠ともなる。以上により、酸素の拡散が Ge/ GeO_x 界面での不均一核生成を抑制したため、核生成頻度が低減し (図 4.7)、大粒径化した (図 4.10) と考えられる。

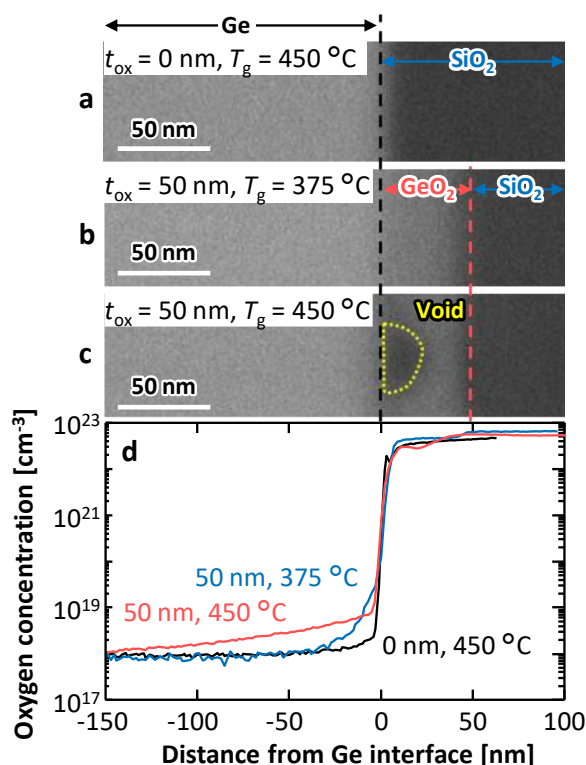


図 4.11 Ge 成長層の断面評価. (a)–(c) 断面 BSE-SEM 像ならびに (d) SIMS による酸素濃度プロファイル.

Ge 成長層の電気的特性を評価した。ここで、クラックが発生した $t_{\text{ox}} \geq 100$ nm、 $T_g = 450$ °C は除外した(図 4.9(e)(g))。測定可能な試料は欠陥誘起アクセプタに起因した p 型伝導を示した^{29,30}。先ず PA 前の場合について論じる。 t_{ox} と共に p が減少し、そして増加に転じる(図4.12(a))。FWHM と結晶粒径の t_{ox} に対する振る舞いと同様であるため、結晶性を反映していると考えられる。また、 t_{ox} の増加と共に μ は増加し、減少に転じる(4.12(b))。 p と粒径の振る舞いに一致しており、 μ が不純物散乱と粒界散乱に影響されていることが示唆される。

更なる特性向上のため、PA を行った。PA によって欠陥誘起アクセプタが補償され、全ての Ge 成長層の p が減少した。 μ は p の減少に伴い増加した。すなわち不純物散乱の緩和である。低温熱処理 ($T_g = 375$ °C) することによる大粒径化を反映し、低い p と高い μ を達成できる。以上より t_{ox} や T_g を制御することで、Ge 層への微量酸素を導入でき、固相成長 Ge 薄膜の結晶性(結晶粒径、品質)と電気的特性の向上が期待できることが判明した。

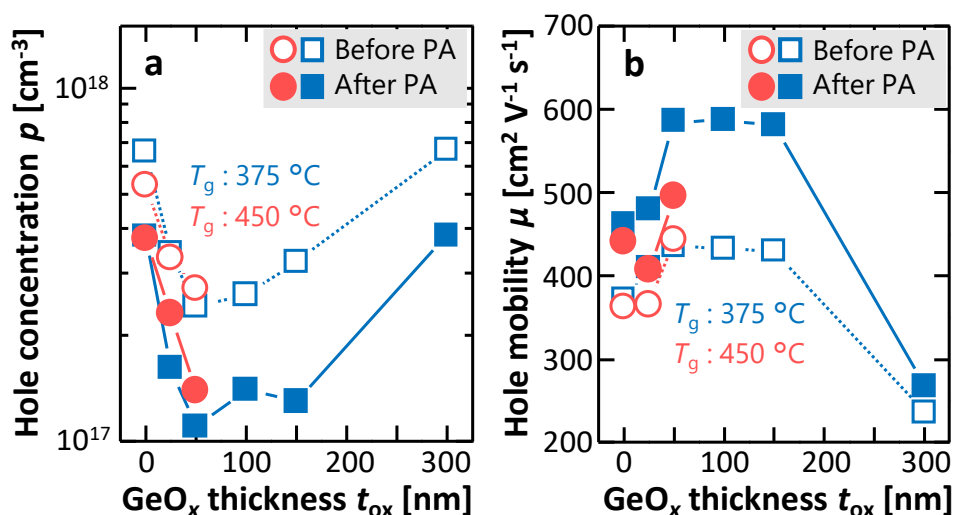


図 4.12 Ge 成長層の電気的特性. (a) 正孔密度 p ならびに (b) 正孔移動度 μ .

4.5 結言

我々は固相成長法の高度化により、Ge 薄膜のキャリア移動度を刷新してきた。しかし、単結晶 Si 基板の値 (正孔 : $450 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$) を大きく超えない現状では、Ge 薄膜は民生応用に堪えるとは言えない。本章では、下部界面層挿入による Ge/SiO₂ ガラス界面の改質を通じ、固相成長 Ge 薄膜の高度化を試みた。

まず、Ge に対して化学反応性の乏しい絶縁材料を候補に下部層材料を検討した。その結果、下部層挿入により固相成長 Ge 薄膜の特性が変化した。特に結晶粒径と電気的特性の観点から AlO_x と GeO_x が下部層材料に好適であった。

続いて、下部層材料として GeO_x に注目し、Ge 膜厚を変調した際の固相成長 Ge 薄膜の影響を調査した。GeO_x 挿入により結晶性の改善 (粒径、正孔密度) が達成できることが判った。特に薄膜領域 (100 nm) では結晶粒径が 10 μm に及ぶと共に、極めて低いキャリア密度 ($< 5 \times 10^{16} \text{ cm}^{-3}$) を実現した。また、厚膜領域 ($\geq 300 \text{ nm}$) では既存の $450 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ を大きく更新する値、 $620 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ を記録した。

最後に、GeO_x 下部層が Ge の固相成長プロセスに作用する機構を探索した。Ge/GeO_x 膜厚比と結晶化温度を制御することにより、GeO_x から Ge 層への酸素拡散が結晶成長速度と不純物補償に影響することを見出した。両者のバランスを最適化することで、これまでよりも優れた結晶粒径 (10 μm) と電気的特性を有する固相成長 Ge 薄膜が実現できるとの知見を得た。

本章では、Ge の固相成長プロセスを変化させる物理要因 (界面改善、酸素拡散) の一端に触れた。特に GeO_x 下部層挿入により、固相成長 Ge 薄膜を従来よりも高度化した。

4.6 参考文献

- ¹ K. Toko, R. Yoshimine, K. Moto, and T. Suemasu, *Sci. Rep.* **7**, 16981 (2017).
- ² R. Yoshimine, K. Moto, T. Suemasu, and K. Toko, *Appl. Phys. Express* **11**, 031302 (2018).
- ³ S.M. Sze and J.C. Irvin, *Solid State Electron.* **11**, 599 (1968).
- ⁴ K. Toko, I. Nakao, T. Sadoh, T. Noguchi, and M. Miyao, *Solid State Electron.* **53**, 1159 (2009).
- ⁵ H. Watakabe, T. Sameshima, H. Kanno, and M. Miyao, *Thin Solid Films* **508**, 315 (2006).
- ⁶ N. Uchida, T. Maeda, R.R. Lieten, S. Okajima, Y. Ohishi, R. Takase, M. Ishimaru, and J.-P. Locquet, *Appl. Phys. Lett.* **107**, 232105 (2015).
- ⁷ K. Toko, K. Nakazawa, N. Saitoh, N. Yoshizawa, N. Usami, and T. Suemasu, *CrystEngComm* **16**, 2578 (2014).
- ⁸ I. Yoshikawa, M. Kurosawa, W. Takeuchi, M. Sakashita, O. Nakatsuka, and S. Zaima, *Mater. Sci. Semicond. Process.* **70**, 151 (2017).
- ⁹ P. Germain, K. Zellama, S. Squelard, J.C. Bourgoin, and A. Gheorghiu, *J. Appl. Phys.* **50**, 6986 (1979).
- ¹⁰ K. Moto, K. Yamamoto, T. Imajo, T. Suemasu, H. Nakashima, and K. Toko, *Appl. Phys. Lett.* **114**, 212107 (2019).
- ¹¹ T. Sadoh, Y. Kai, R. Matsumura, K. Moto, and M. Miyao, *Appl. Phys. Lett.* **109**, 232106 (2016).
- ¹² K. Kasahara, Y. Nagatomi, K. Yamamoto, H. Higashi, M. Nakano, S. Yamada, D. Wang, H. Nakashima, and K. Hamaya, *Appl. Phys. Lett.* **107**, 142102 (2015).
- ¹³ D. Wang and H. Nakashima, *Solid State Electron.* **53**, 841 (2009).
- ¹⁴ C.G. Ahn, H.S. Kang, Y.K. Kwon, S.M. Lee, B.R. Ryum, and B.K. Kang, *J. Appl. Phys.* **86**, 1542 (1999).

- ¹⁵ E. Billig and M.S. Ridout, *Nature* **173**, 496 (1954).
- ¹⁶ J. Chen, D. Yang, Z. Xi, and T. Sekiguchi, *J. Appl. Phys.* **97**, 033701 (2005).
- ¹⁷ C.-Y. Tsao, J. Huang, X. Hao, P. Campbell, and M.A. Green, *Sol. Energy Mater. Sol. Cells* **95**, 981 (2011).
- ¹⁸ O. Madelung, *Semiconductors: Data Handbook* (Springer, Berlin, Heidelberg, 2004).
- ¹⁹ K. Moto, R. Yoshimine, T. Suemasu, and K. Toko, *Sci. Rep.* **8**, 14832 (2018).
- ²⁰ T. Maeda, K. Ikeda, S. Nakaharai, T. Tezuka, N. Sugiyama, Y. Moriyama, and S. Takagi, *Thin Solid Films* **508**, 346 (2006).
- ²¹ N. Hirashita, Y. Moriyama, S. Nakaharai, T. Irisawa, N. Sugiyama, and S.I. Takagi, *Appl. Phys. Express* **1**, 1014011 (2008).
- ²² Z. Wang, L.P.H. Jeurgens, W. Sigle, and E.J. Mittemeijer, *Phys. Rev. Lett.* **115**, 016102 (2015).
- ²³ Y.-M. Ha, S.-H. Lee, C.-H. Han, and C.-K. Kim, *Journal of Electronic Materials* **23**, 39 (1994).
- ²⁴ T. Imajo, T. Suemasu, and K. Toko, *Sci. Rep.* **11**, 8333 (2021).
- ²⁵ M. Cavillon, P.D. Dragic, and J. Ballato, *Opt. Lett.* **42**, 3650 (2017).
- ²⁶ D.C. Joy, D.E. Newbury, and D.L. Davidson, *J. Appl. Phys.* **53**, R81 (1982).
- ²⁷ A. Toriumi and T. Nishimura, *Japanese Journal of Applied Physics* **57**, 010101 (2017).
- ²⁸ T. Nishimura, X. Tang, C. Lu, T. Yajima, and A. Toriumi, *IEEE Journal of the Electron Devices Society* **6**, 1212 (2018).
- ²⁹ H. Haesslein, R. Sielemann, and C. Zistl, *Phys. Rev. Lett.* **80**, 2626 (1998).
- ³⁰ H. Yang, D. Wang, and H. Nakashima, *Appl. Phys. Lett.* **95**, 122103 (2009).

第 5 章

多結晶 Ge 薄膜における歪印加の要因と影響

5.1 緒言

Si は物性限界(キャリア移動度)が懸念されたが、歪エンジニアリング¹⁻³を契機にポスト Moore 時代でも活躍している。これは、応力印加によりバンド構造が変化する物理を利用したものである。同様にポスト Si 材料となる Ge においても、歪印加によりキャリア移動度の向上や直接遷移化に寄与する現象が見られる^{4,6}。その秀抜な物性を駆使したデバイス開発も活発に検討されている^{7,8}。

多結晶 Ge 薄膜では、合成後に圧縮方向の残留歪が生じる傾向にあることが知られてきた⁹。しかし、その詳細な機構は解明されていない。また、この成長時導入応力による歪はキャリア輸送特性に影響するほど大きな値ではないが⁵、結晶成長や粒界特性には影響を与える可能性がある。残留応力は熱応力と真性応力に大別できるが、前者に関しては Ge と基板の熱膨張係数差に着目すれば変調が可能である¹⁰。すなわち、応力が与える影響を探索できると期待できる。

本章では、基板変調を通じて固相成長 Ge 薄膜における歪印加の要因と影響を調査する。5.2 節では実験手法を説明する。5.3 節では、固相成長における歪印加プロセスを体系化する。5.4 節では、成長時導入歪が固相成長 Ge 薄膜の諸特性に与える影響を包括的に考察する。5.5 節では、本章で得られた結果を総括する。

5.2 実験手法

試料作製手順を図 5.1 に示す。多結晶 Ge 薄膜に加わる歪を変調するため、熱膨張係数 α の異なる基板を採用した。それらは、SiO₂ ガラス, Polyimide (PI), n 型 Fz-Si (001), n 型高抵抗 Ge (110), SrTiO₃ (STO) (001), CaF₂ (001) であり、Ge と基板の熱膨張係数差を $\Delta\alpha$ として表 5.1 に整理した。基板を有機洗浄後、Ge 成長層と基板界面の差異を除くため、RF マグネトロンスパッタにより GeO_x 層 50 nm を室温堆積した。下部層形成後、前節と同様に MBE チャンバーにおいて非晶質 Ge を加熱堆積 (150 °C) した。堆積レートは 1 nm min⁻¹ とし、Ge 膜厚は 400 nm で固定した。その後、石英管アニール炉を用い、N₂ 雰囲気中で 375 °C、150 h の熱処理を行うことで固相成長を誘起した。

試料の結晶性は Raman 分光法 (JASCO NRS-5100、波長 532 nm、出力 0.5 mW、露光 60 sec × 2、スポットサイズ: 5 μm)、X-Ray Diffraction (XRD) 法 (Rigaku SmartLab、Cu K_α 放射線源、電圧 40 kV、電流 30 mA)、走査型電子顕微鏡 (JEOL JSM-7001F、電圧 25 kV、電流 15 mA) へアタッチメントされた電子後方散乱回折 (EBSD) 法 (TSL) を用いて評価した。面直 (θ - 2θ) および面内 (ϕ - $2\theta_\chi$) XRD パターンはスキャン範囲を 20° から 60° の範囲を 0.01° ステップで行った。解析において、Raman スペクトル及び XRD パターンのフィッティングには Origin6.0 における Pseudo Voight 関数を用いた。電気的特性は Bio-Rad HL5500PC system を用いて van der Pauw 法により評価した。

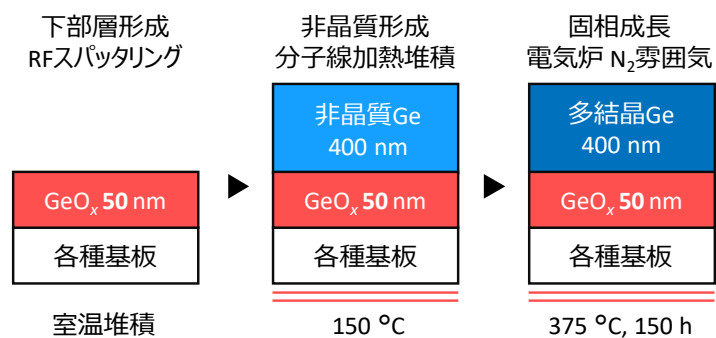


図 5.1 試料作製手順.

表 5.1 熱膨張係数 α と Ge-基板間の α の差 $\Delta\alpha$.

基板	熱膨張係数 α [10^{-6} K^{-1}]	$\Delta\alpha$ [10^{-6} K^{-1}]
SiO ₂	0.5	-5.3
Si	3.9	-1.9
Ge	5.8	0
STO	9.4	3.6
CaF ₂	18.9	13.1
PI	27.0	21.2

5.3 歪導入機構の検討

固相成長後の多結晶 Ge 薄膜の歪と結晶性の調査のため、Raman 分光法と XRD 法を用いた。図 5.2(a)は、熱処理前の Ge 薄膜の Raman スペクトルにはピークが生じず、非晶質状態であることを示している。一方、熱処理後には結晶 Ge の振動モードに相当するピークが 300 cm^{-1} 付近に生じており、全 Ge 成長層が結晶化していることが判る(図 5.2(b))。図 5.2(c)より、Raman シフト位置は $\Delta\alpha$ とともに高波数側に移動した。また、 $\Delta\alpha < 5 \times 10^{-6} \text{ K}^{-1}$ では引張歪、 $\Delta\alpha > 5 \times 10^{-6} \text{ K}^{-1}$ では圧縮歪となる¹¹。図 5.2(d)は、半値全幅(FWHM)が $\Delta\alpha$ と明確な相関を持たないことを示している。すなわち、固相成長 Ge 薄膜における Ge-Ge 結合の質が $\Delta\alpha$ に依存しないことを示唆する。

図 5.3(a)の面直 θ - 2θ XRD パターンより、すべての試料で Ge111 面と 220 面に対応する回折ピークが生じた。挿入図によると、試料の Ge 111 面のピーク位置は単結晶 Ge(111)基板のピーク位置から僅かにずれており、更に基板毎に異なっている。図 5.3(b)の面内 φ - $2\theta_\chi$ XRD パターンでは、全ての Ge 成長層で Ge111, 220, 311 のピークが見られた。以上の XRD パターンと Ge の粉末回折パターン(JCPDS 04-0545)¹²と照らし合わせると、固相成長 Ge 薄膜は多結晶であることが判る。これは、界面に挿入した GeO_x が非晶質であり、単結晶基板とのエピタキシャル関係が断たれたためである。図 5.3(a),(b)で得られた Ge111 ピークの回折角(面直: 2θ , 面内: $2\theta_\chi$)を導出し、 $\Delta\alpha$ の関数として図 5.3(c)に整理した。多結晶 Ge 薄膜の Ge111 のピーク位置が $\Delta\alpha$ に強く依存していることを示している。面内測定においてピーク位置 $2\theta_\chi$ は $\Delta\alpha$ とともに増加するが、面直測定 (2θ) では逆の振る舞いが見られる。この挙動は、面直/面内に対する Ge 薄膜の歪の方向が逆であることを示しており、これは一般的な等方弾性体の特性と一致している。以上より、 $\Delta\alpha$ は Ge 成長層の歪に影響を与えることが判る。

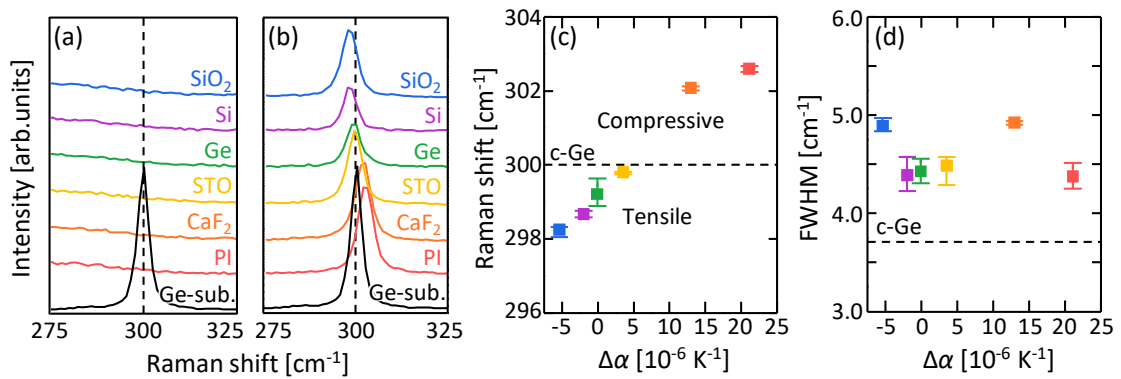


図 5.2 Raman 分光法解析. (a)熱処理前ならびに(b)熱処理後の Raman スペクトル. (c)Raman shift ならびに(d)FWHM の $\Delta\alpha$ 依存性.

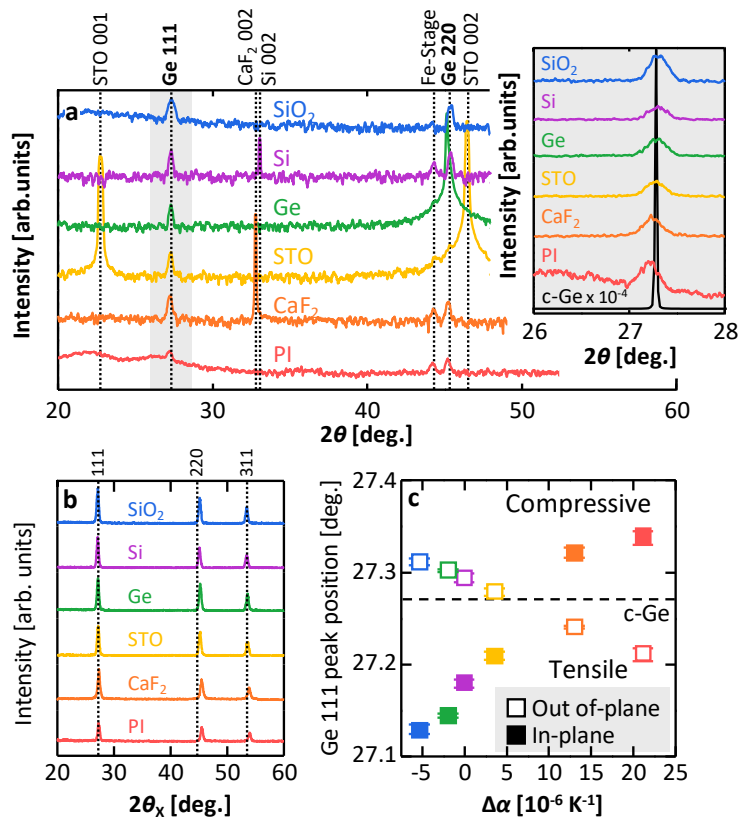


図 5.3 XRD 解析. (a) θ - 2θ ならびに(b) ϕ - $2\theta_x$ XRD パターン. (c)Ge111 ピーク回折位置($2\theta, 2\theta_x$)の $\Delta\alpha$ 依存性.

Raman 分光法と XRD 法の結果を基に Ge 成長層に導入される歪 ε を解析した。一般的に、Raman シフト $\Delta\omega$ と歪 ε は以下の関係式で表される。

$$\varepsilon = \frac{\Delta\omega}{b} \quad (5.1)$$

Manganelli¹¹ らによって提案された歪フォノン係数 b (= -395 cm^{-1})を用いて、膜に印加される歪を結晶 Ge ピークの Raman シフトから見積もった。また、固相成長後の冷却過程において、Ge 成長層には $\Delta\alpha$ に対応する歪が印加される。薄膜に発生する熱応力 σ_{th} は次の式で表される¹⁰。

$$\sigma_{th} = (\alpha_f - \alpha_s) \frac{\Delta T}{1 - \nu} E_f \quad (5.2)$$

ここで、 α_f と α_s はそれぞれ薄膜と基板の熱膨張係数、 ΔT は温度差、 ν は薄膜のポアソン比、 E_f は薄膜材料の Young 率である。更に、Hook の法則より応力 σ と歪 ε の関係は次の式で表される。

$$\varepsilon = E\sigma \quad (5.3)$$

式(5.2)と式(5.3)より、熱歪 ε_{th} を得る。

$$\varepsilon_{th} = (\alpha_f - \alpha_s) \frac{\Delta T}{1 - \nu} \quad (5.4)$$

以上より、図 5.2(b) で得られた Ge-Ge ピークの Raman シフトと式(5.1)から、図 5.3(c) で得られた XRD パターンの Ge111 ピーク位置と Bragg の法則¹³から ε を推定し、 $\Delta\alpha$ の関数として整理した(図 5.4)。さらに、式(5.4)を用いて、 $\Delta\alpha$ による熱歪 ε_{th} を点線で示した。すなわち、Ge 成長層には $\Delta\alpha$ が負の場合に引張方向、正の場合に圧縮方向の熱応力が印加される。Raman と XRD 解析の間で ε の値が異なっているが、これは測定環境や試料の状態によって歪フォノン係数が変化するためと考えられる¹¹。面直方向の歪は、面内方向の歪とは逆の傾向となり、また ε の絶対値が小さくなった。これは Poisson 効果に符合する。面内方向については、実験的な(すなわち、Raman 分光法と XRD から求めた) ε の傾きが式(5.4)から導かれる理論的な熱歪とほぼ一致した。しかし興味深いことに、全 $\Delta\alpha$ において実験的な ε の値は熱歪 ε_{th} のみを考えた場合よりも正方向にシフトしている。これは、固相成長 Ge 薄膜には基板に関係ない引張応力の存在を示唆している。Si の場合に知られているように¹⁴、この現象が起こるのは、結晶化時に結晶と非晶質間の密度差により、

非晶質 Ge が基板に拘束されつつ収縮するためと考えられる。すなわち、Ge 成長層の歪の総量は $\Delta\alpha$ 起因の熱歪のみならず、非晶質から結晶への相転移の際に導入される歪も要因になっていることを示唆している。

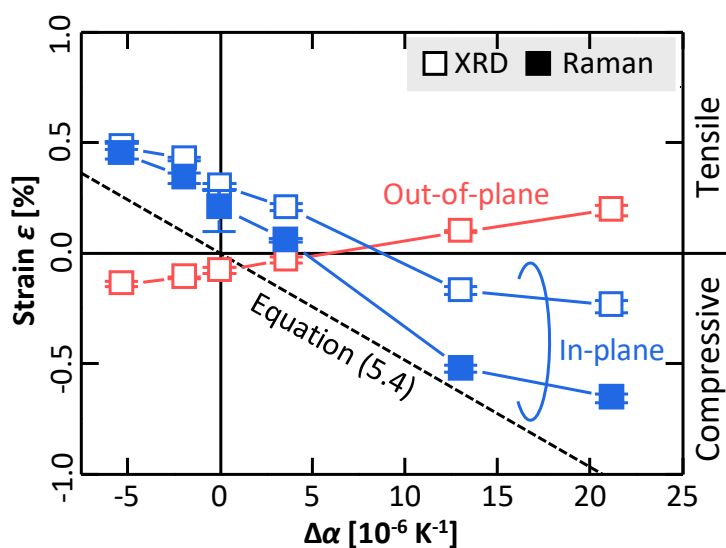


図 5.4 固相成長 Ge 薄膜の歪解析.

5.4 各種物性に与える影響

まず、Ge 成長層の結晶粒径を EBSD 法で評価した。図 5.5(a)の IPF 像より、すべての成長層がランダムに配向した結晶で構成されており、非晶質 GeO_x 下部界面層のために単結晶基板とのエピタキシャル関係がないことが判る。これは XRD の結果に一致する(図 5.3)。粒径は基板種に依らず μm オーダーと従来法よりも 1 桁以上大きい¹⁵。これは非晶質前駆体の高密度化と GeO_x 下部層の効果による¹⁶。Ge の粒径は基板の種類に依存し、 $\Delta\alpha$ に対して放物線状の傾向を示した(図 5.5(b))。図 5.4 の結果を踏まえると、図 5.5(b)は $|\varepsilon|$ が大きいほど結晶粒径も拡大する。固相成長を導入する熱処理時には、基板との熱膨張係数差により非晶質 Ge 層にも応力印加がなされる。これらの結果は、 ε の二乗に比例する内部弾性ポテンシャルが Ge の横方向成長を促進することを示唆している。この挙動は、歪を利用して非晶質 Si や Ge 層の成長促進を行った既報と一致する¹⁷⁻¹⁹。

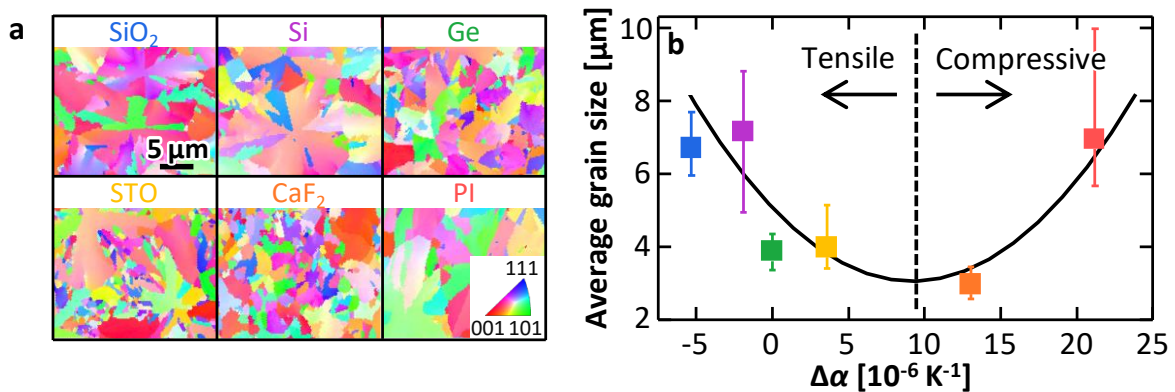


図 5.5 EBSD 解析. (a)IPF 像. (b)結晶粒径の $\Delta\alpha$ 依存性.

続いて図 5.6 に電気的特性の温度依存性を示す。全ての Ge 成長層で、欠陥誘起アクセプタに起因する 10^{17} cm^{-3} オーダーの正孔密度 p が見られた^{20,21}。STO 上の合成膜は比較的高い p を示している。原因は明らかになっていないが、STO 基板からの過剰な酸素脱離により Ge 成長層の結晶性を損なったと考察している²²。室温 (300 K) から 115 K に下げること、全 Ge 成長層の p が減少した。これは、アクセプタの不活性化に伴う一般的な半導体の挙動である²¹。図 5.6(b) は、 μ が $\Delta\alpha$ に対して明確な傾向を持たないことを示している。単結晶 Ge の μ と p の関係²³ によると、本研究における Ge 成長層の μ は、不純物・粒界の両方の散乱によって制限される²⁴。この挙動は、 μ が GB 散乱によってのみ制限される一般的な多結晶半導体とは異なる²⁴。我々は、 μ の増加率 R_μ を以下のように定義した。

$$R_\mu = \frac{\mu_{115} - \mu_{300}}{\mu_{300}} \quad (5.5)$$

ここで、添え字は測定温度 (300 K, 115 K) を示す。図 5.6(b) は、 R_μ が $\Delta\alpha$ とともに増加することを表す。Seto による多結晶半導体のキャリア輸送モデルを用いて、粒界障壁 E_B を推定した。

$$\mu = \frac{Lq}{\sqrt{2\pi m^* k_B T}} \exp\left(-\frac{E_B}{k_B T}\right) \quad (5.6)$$

ここで、 T は絶対温度、 L は結晶粒径、 m^* は有効質量、 k_B はボルツマン定数である。図 5.6(c) は、 $\mu T^{1/2}$ の Arrhenius plots を示す。 $\mu T^{1/2}$ は増加し、その後減少することが判る。この挙動は、 μ が室温付近では不純物散乱の影響を受け、低温では粒界散乱によって制限されることを示している。また、Arrhenius plots の形状が基板の違いによって大きく異なっていることから、 E_B の違いが大きいことがわかる。これらの E_B を $\Delta\alpha$ で整理した (図 5.6(d))。 $\Delta\alpha$ の増加に伴い E_B が減少することを示している。この E_B の挙動は図 5.6(b) の R_μ の挙動の原因となっている。すなわち、 $\Delta\alpha$ の大きい (すなわち圧縮歪) Ge 層は E_B が小さいため、不純物散乱が μ に与える影響が強くなる。ここで注意したいのは、 GeO_x 下部界面層を挿入した一方で、異なる材料の基板を用いている以上、単純に歪の影響だけを抽出することはできないことである。しかし、多結晶 Ge の E_B を下げるには、圧縮歪が導入される基板種が好適であると強く示唆された。応力に対する E_B 変調のメカニズムはまだ明らかになっていないが、一般的な多結晶材料で発生する圧電効果に起因すると考えている²⁵。

以上、固相成長 Ge 薄膜において引張歪は E_B を上昇させ、圧縮歪は E_B を低減させることが判明した。

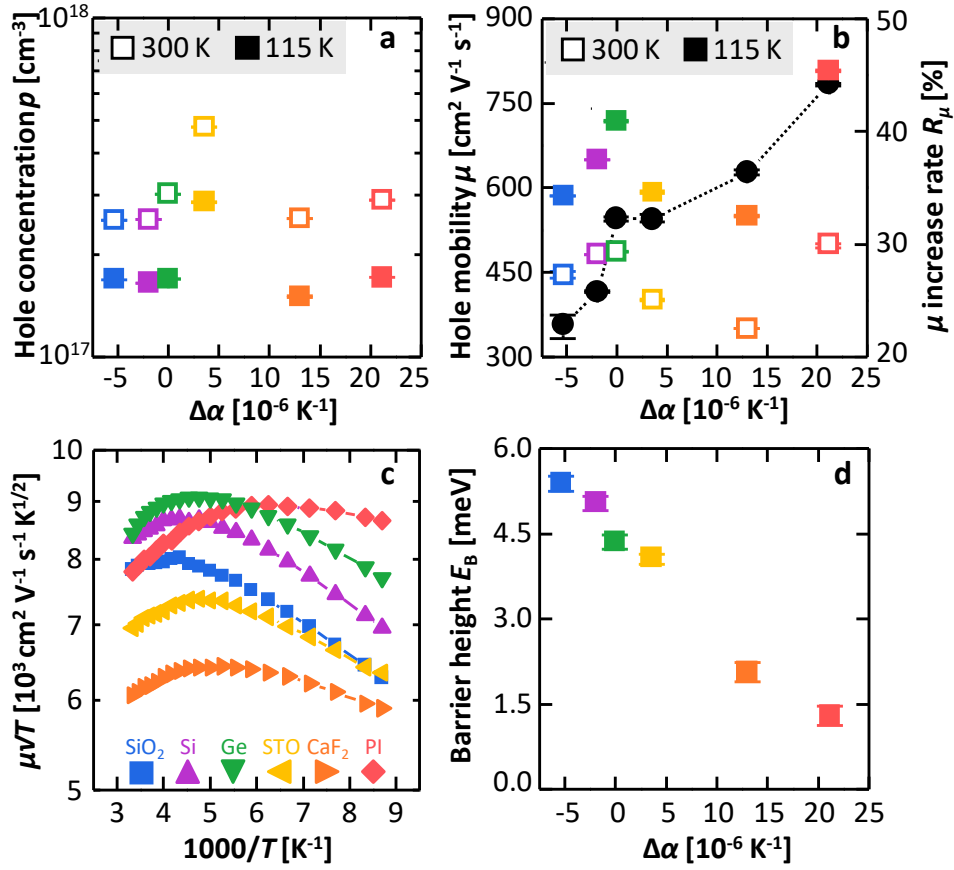


図 5.6 電気的特性の $\Delta\alpha$ 依存性. (a) $t_{\text{Ge}} = 500 \text{ nm}$ における θ - 2θ XRD パターン. (b) Ge111ピーク回折位置 (2θ) の t_{Ge} 依存性.

5.5 結言

本章では、固相成長における基板種により熱応力を変調できることに着目し、多結晶 Ge 薄膜における歪印加の要因とその影響を探索した。

まず、Raman 分光法と XRD 法を用いて Ge 成長層に導入される歪を熱膨張係数差 $\Delta\alpha$ に対し整理した。その結果、固相成長 Ge 薄膜においては熱応力に起因する歪と、相遷移(非晶質→結晶)時の引張歪の両者が支配的であることが判明した。

続いて、歪と物性の関連性を調査した。Ge 成長層内部における歪量に対し結晶粒径は 2 次関数的な挙動となった。これは弾性ポテンシャルによると考えられる。また、Seto モデルにより導出した粒界障壁 E_B は $\Delta\alpha$ に対し線形に減少した。すなわち、多結晶 Ge 薄膜における面内圧縮歪がキャリア輸送に好適であることが強く示唆される。

以上、歪導入機構を体系化するとともに、固相成長 Ge 薄膜における諸特性への影響を包括的に纏めた。本知見は多結晶材料のエンジニアリングに有用である。

5.6 参考文献

- ¹ T. Ghani, M. Armstrong, C. Auth, M. Bost, P. Charvat, G. Glass, T. Hoffmann, K. Johnson, C. Kenyon, J. Klaus, B. McIntyre, K. Mistry, A. Murthy, J. Sandford, M. Silberstein, S. Sivakumar, P. Smith, K. Zawadzki, S. Thompson, and M. Bohr, in *IEEE International Electron Devices Meeting 2003* (2003), pp. 11.6.1-11.6.3.
- ² S. Takagi, T. Mizuno, T. Tezuka, N. Sugiyama, T. Numata, K. Usuda, Y. Moriyama, S. Nakaharai, J. Koga, A. Tanabe, N. Hirashita, and T. Maeda, in *IEEE International Electron Devices Meeting 2003* (2003), pp. 3.3.1-3.3.4.
- ³ J.L. Hoyt, H.M. Nayfeh, S. Eguchi, I. Aberg, G. Xia, T. Drake, E.A. Fitzgerald, and D.A. Antoniadis, in *Digest. International Electron Devices Meeting*, (2002), pp. 23–26.
- ⁴ G. Taraschi, A.J. Pitera, and E.A. Fitzgerald, *Solid State Electron.* **48**, 1297 (2004).
- ⁵ M.V. Fischetti and S.E. Laux, *J. Appl. Phys.* **80**, 2234 (1996).
- ⁶ J. Greil, A. Lugstein, C. Zeiner, G. Strasser, and E. Bertagnolli, *Nano Lett.* **12**, 6230 (2012).
- ⁷ K. Ikeda, Y. Kamimuta, Y. Moriyama, M. Ono, M. Oda, T. Irisawa, and T. Tezuka, in *2014 7th International Silicon-Germanium Technology and Device Meeting (ISTDM)* (2014), pp. 3–4.
- ⁸ Y. Hoshina, M. Shimizu, K. Tadokoro, and A. Yamada, in *2011 37th IEEE Photovoltaic Specialists Conference* (2011), pp. 000242–000245.
- ⁹ K. Toko, I. Nakao, T. Sadoh, T. Noguchi, and M. Miyao, *Solid State Electron.* **53**, 1159 (2009).
- ¹⁰ Wolf, Stanley., Tauber, and R. N., *Silicon Processing for the VLSI Era. Vol. 1, Vol. 1*, (Lattice Press, Sunset Beach, California, 2000).
- ¹¹ C.L. Manganelli, M. Virgilio, O. Skibitzki, M. Salvalaglio, D. Spirito, P. Zaumseil, Y. Yamamoto, M. Montanari, W.M. Klesse, and G. Capellini, *J. Raman Spectrosc.* **51**, 989 (2020).
- ¹²JCPDS File No. 04-0545 (Cubic Ge).

- ¹³ W.H. Bragg and W.L. Bragg, Proceedings of the Royal Society of London. Series A, Containing Papers of a Mathematical and Physical Character **88**, 428 (1913).
- ¹⁴ H. Miura, H. Ohta, N. Okamoto, and T. Kaga, Appl. Phys. Lett. **60**, 2746 (1992).
- ¹⁵ K. Toko, R. Yoshimine, K. Moto, and T. Suemasu, Sci. Rep. **7**, 16981 (2017).
- ¹⁶ T. Imajo, K. Moto, R. Yoshimine, T. Suemasu, and K. Toko, Appl. Phys. Express **12**, 015508 (2018).
- ¹⁷ B. Hekmatshoar, S. Mohajezadeh, D. Shahrjerdi, and M.D. Robertson, Appl. Phys. Lett. **85**, 1054 (2004).
- ¹⁸ M. Moniwa, M. Miyao, R. Tsuchiyama, A. Ishizaka, M. Ichikawa, H. Sunami, and T. Tokuyama, Appl. Phys. Lett. **47**, 113 (1985).
- ¹⁹ K. Toko, T. Sadoh, and M. Miyao, Appl. Phys. Lett. **94**, 192106 (2009).
- ²⁰ H. Haesslein, R. Sielemann, and C. Zistl, Phys. Rev. Lett. **80**, 2626 (1998).
- ²¹ H. Yang, D. Wang, and H. Nakashima, Appl. Phys. Lett. **95**, 122103 (2009).
- ²² Y.J. Chang and S.H. Phark, Current Applied Physics **17**, 640 (2017).
- ²³ S.M. Sze and J.C. Irvin, Solid State Electron. **11**, 599 (1968).
- ²⁴ J.Y.W. Seto, J. Appl. Phys. **46**, 5247 (1975).
- ²⁵ R. Baraki, N. Novak, M. Hofstätter, P. Supancic, J. Rödel, and T. Frömling, J. Appl. Phys. **118**, 085703 (2015).

第 6 章

固相成長 Ge 薄膜のフレキシブル基板への展開

6.1 緒言

モノのインターネット (IoT) 化が進展した新しい社会「Society5.0」が取り沙汰されている¹。従来「重く、高価で、固く、割れやすい」単結晶基板上に形成されてきたトランジスタは IoT 化に荷が重い。「軽く、安価で、曲げ畳め、丈夫な」フレキシブル基板上へと代替できれば、常識が転換するデバイスも夢ではない。サイズや設置場所を問わず、無毒であればウェアラブルに、更には「電子皮膚」といった生体融合デバイスも叶えられる²。再び文明開化の音が鳴るだろう。フレキシブル TFT の創出のため、水素化アモルファス Si^{3-6} や酸化物半導体⁷、有機半導体薄膜^{8,9} の研究が国内外で盛んである。既にディスプレイ画素用として実用化されているものもある一方、材料物性の観点から電界効果移動度は低く¹⁰、ディスプレイ信号駆動ドライバや CMOS 論理回路には不向きである。CPU や駆動素子を全て集積した次世代デバイス「システム・オン・ディスプレイ」を目指し、高いキャリア移動度を有する無機半導体への注目が集まっている。Ge のフレキシブル TFT 応用も検討されている¹¹⁻¹⁵ が、未だ単結晶 Si-MOSFET を超える電界効果移動度は得られていない。隘路となっているのがフレキシブル基板上への高キャリア移動度薄膜の合成である。

4 章では下部界面層の挿入が固相成長 Ge 薄膜の成長機構に与える影響を探索した。これにより、 GeO_x 層からの微量の酸素拡散が Ge の固相成長プロセスに好適であることを見出した。さらに、低温プロセス ($\leq 500^\circ\text{C}$) によって、大粒径 ($10\ \mu\text{m}$) かつ優れたキャリア輸送特性 ($620\ \text{cm}^2\ \text{V}^{-1}\ \text{s}^{-1}$) を有する多結晶 Ge 薄膜を SiO_2 ガラス上に実証した。また 5 章では多結晶 Ge 薄膜に対する歪導入と物性への影響を包括的に議論した。その結果、Ge より大きな熱膨張係数を持つ基板利

用により導入される圧縮歪が、粒界障壁を緩和することを発見した。

本章では、前章まで築いてきた知見を基に、高耐熱プラスチック基板上 (Polyimide, 耐熱温度 : Kapton ≤ 400 °C, XENOMAX ≤ 500 °C) への高移動度な多結晶 Ge 薄膜の展開を検討する。

6.2 節では実験手法を説明する。6.3 節では、前章まで得た知見を活かし、プラスチック基板上へ高キャリア移動度を有する多結晶 Ge 薄膜を合成する。6.4 節では、本章で得られた結果を総括する。

6.2 実験手法

試料作製手順を図 6.1 に示す。RF マグネトロンスパッタにより GeO_x 層 50 nm を SiO_2 ガラス基板上とプラスチック基板上に室温堆積した。下部層形成後、前節と同様に MBE チャンバーにおいて非晶質 Ge を加熱堆積 (150°C) した。堆積レートは 1 nm min^{-1} とし、Ge 膜厚 t_{Ge} は 100–500 nm で変調した。その後、石英管アニール炉を用い、 N_2 雰囲気中で 375°C 、150 h の熱処理を行うことで固相成長を誘起した。

試料の結晶性は Raman 分光法 (JASCO NRS-5100、波長 532 nm、出力 0.5 mW、露光 60 sec \times 2、スポットサイズ $5 \mu\text{m}$)、X-Ray Diffraction (XRD) 法 (Rigaku SmartLab、 $\text{Cu K}\alpha$ 放射線源、電圧 40 kV、電流 30 mA)、走査型電子顕微鏡 (SEM: JEOL JSM-7001F、電圧 25 kV、電流 15 mA) へ装着された電子後方散乱回折 (EBSD) 法 (TSL)、透過型電子顕微鏡 (TEM: FEI、Tecnai Osiris、電圧 200 kV) を用いて評価した。面直 (θ - 2θ) XRD パターンはスキャン範囲を 20° から 60° の範囲を 0.01° ステップで行った。解析において、Raman スペクトル及び XRD パターンのフィッティングには Origin6.0 における Pseudo Voight 関数を用いた。電気的特性は Bio-Rad HL5500PC system を用いて van der Pauw 法により評価した。

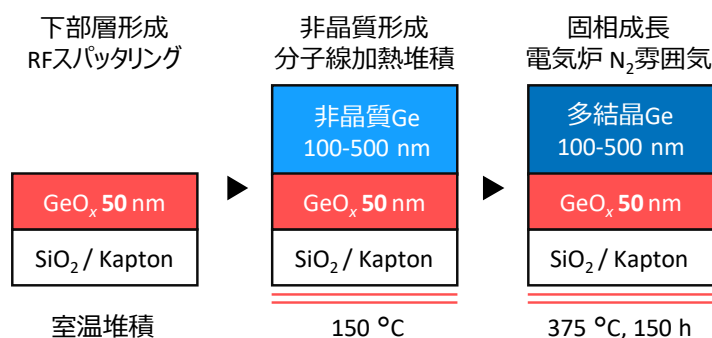


図 6.1 試料作製手順.

6.3 フレキシブル基板上への固相成長 Ge 薄膜の合成

図 6.2(a)に SiO_2 ガラス基板および Kapton 基板上に合成した固相成長 Ge 薄膜の面直 θ - 2θ XRD パターンを示す。いずれの Ge 成長層においても、各ピークの強度比は Ge 粉末回折パターンの参照データ(Joint Committee on Powder Diffraction Standards (JCPDS) 04-0545)¹⁶とほぼ一致しており、合成膜がランダム配向していることが判る。また、各 Ge 成長層の Ge111 ピークが単結晶 Ge(111) 基板のピークからシフトしていることが挿入図から確認できる。これらのピーク位置 (2θ) を t_{Ge} の関数として図 6.2(b)に整理した。ここで、本測定では $t_{\text{Ge}} \leq 200$ nm の場合に十分なピーク強度が得られなかった。いずれの t_{Ge} (300–500 nm) においても、単結晶 Ge と比較して Ge 111 ピークは SiO_2 ガラス上で高角シフト、Kapton 上で低角シフトした。以上より、Ge 成長層の垂直方向に対して、 SiO_2 ガラス上では圧縮歪が、Kapton 上では引張歪が印加されていることを示唆している¹⁷。

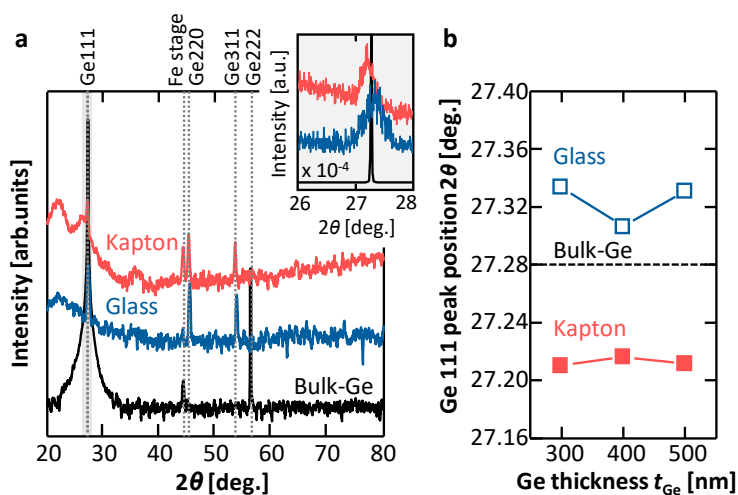


図 6.2 XRD 解析. (a) $t_{\text{Ge}} = 500$ nm における θ - 2θ XRD パターン. (b) Ge111 ピーク回折位置 (2θ) の t_{Ge} 依存性.

図 6.3(a)に SiO₂ ガラス上と Kapton 上に形成した Ge 薄膜の熱処理前後の Raman スペクトルを示す。熱処理前には非晶質 Ge に対応するブロードなピーク(~280 cm⁻¹)、熱処理後には結晶 Ge に対応するシャープなピーク(~300 cm⁻¹)が得られた。この挙動は、基板種を問わず、全 t_{ox} (100–500 nm) で確認できた。各 Ge 成長層の結晶 Ge ピークの波数は、単結晶 Ge 基板のものを基準に逆方向にシフトしている。図 6.3(b)に結晶 Ge ピーク位置を t_{Ge} の関数として整理した。全 t_{Ge} において、SiO₂ ガラス上の結晶 Ge ピークは単結晶 Ge 基板よりも低波数側、プラスチック上の結晶 Ge ピークは高波数側にシフトしている。これらの結果は、XRD の結果(図 6.2)と一致している。面内方向では、低波数のシフトは引張歪に、高波数のシフトは圧縮歪に相当するためである¹⁸。

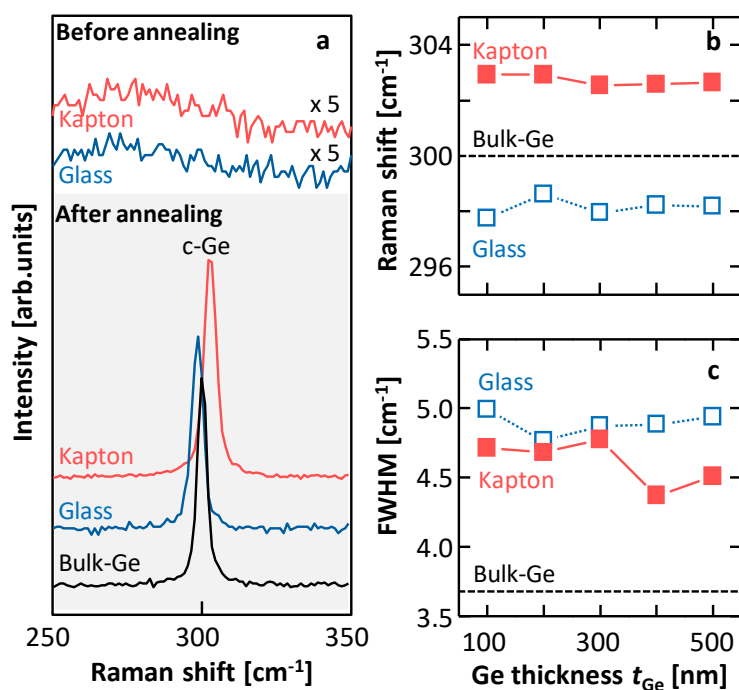


図 6.3 Raman 分光法解析. (a)熱処理前後の Raman スペクトル. (b)Raman シフトおよび(c)FWHM.

一般的に、Raman シフト $\Delta\omega$ と歪 ε は以下の関係式で表される。

$$\varepsilon = \frac{\Delta\omega}{b} \quad (6.1)$$

Manganelli¹⁸らによって提案された歪フォノン係数 b (= -395 cm^{-1})を用いて、膜に印加される歪を結晶 Ge ピークの Raman シフトから見積もった。その結果、SiO₂ ガラス上では 0.47%の引張歪を、Kapton 上では 0.69%の圧縮歪が導入されていることが判った。この原因は前章で述べた通り、基板と Ge の熱膨張差の観点から説明できる^{19,20}。Ge、SiO₂ ガラス、Kapton の熱膨張係数 α は、それぞれ $5.8 \times 10^{-6} \text{ K}^{-1}$ 、 $0.5 \times 10^{-6} \text{ K}^{-1}$ 、 $27 \times 10^{-6} \text{ K}^{-1}$ である。これらの α の関係により Ge 結晶化後の冷却過程において、SiO₂ ガラス上の Ge には引張方向の、Kapton 上の Ge には圧縮方向の熱歪が導入される。薄膜に発生する熱応力 σ_{th} は次の式で表される²¹。

$$\sigma_{th} = (\alpha_f - \alpha_s) \frac{\Delta T}{1 - \nu} E_f \quad (6.2)$$

ここで、 α_f と α_s はそれぞれ薄膜と基板の熱膨張係数、 ΔT は温度差、 ν は薄膜のポアソン比、 E_f は薄膜の young 率である。更に、Hook の法則より応力 σ と歪 ε の関係は次の式で表される。

$$\varepsilon = E\sigma \quad (6.3)$$

式(6.2)と式(6.3)より、熱歪 ε_{th} を得る。

$$\varepsilon_{th} = (\alpha_f - \alpha_s) \frac{\Delta T}{1 - \nu} \quad (6.4)$$

式(6.4)によると、結晶化温度の 375 °Cから室温(27 °C)まで冷却した際、SiO₂ ガラス上 Ge に対し引張歪が 0.25%、プラスチック上 Ge に対し圧縮歪が 1.02%導入される。これらは、Raman シフトから推定した歪と同じオーダーであるが、引張側にシフトしている。これは5章で論じた相遷移歪に起因すると考えられる。図 5.3(c)は、結晶 Ge ピークの半値全幅(FWHM)が全 t_{Ge} に対してほぼ一定であることを示している。プラスチック上では、SiO₂ ガラス上よりも全 t_{Ge} において低い FWHM を示した。すなわち、固相成長 Ge 薄膜が Kapton 上では SiO₂ ガラス上よりも高い結晶性を有することが示唆される。

図 6.4(a)は、SiO₂ ガラスと Kapton 上に合成した固相成長 Ge 薄膜(100 nm)の典型的な写真である。図 6.4(b)の SE-SEM 像は、チャネリング効果によって可視化された結晶方位に対応するコントラストを示している。これは低品質な多結晶膜の場合に確認しづらい²²。図 6.4(c)の逆極点方位(IPF)像は、すべての試料で結晶方位がほぼランダムであることを示しており、XRD の結果(図 6.2(a))と一致する。

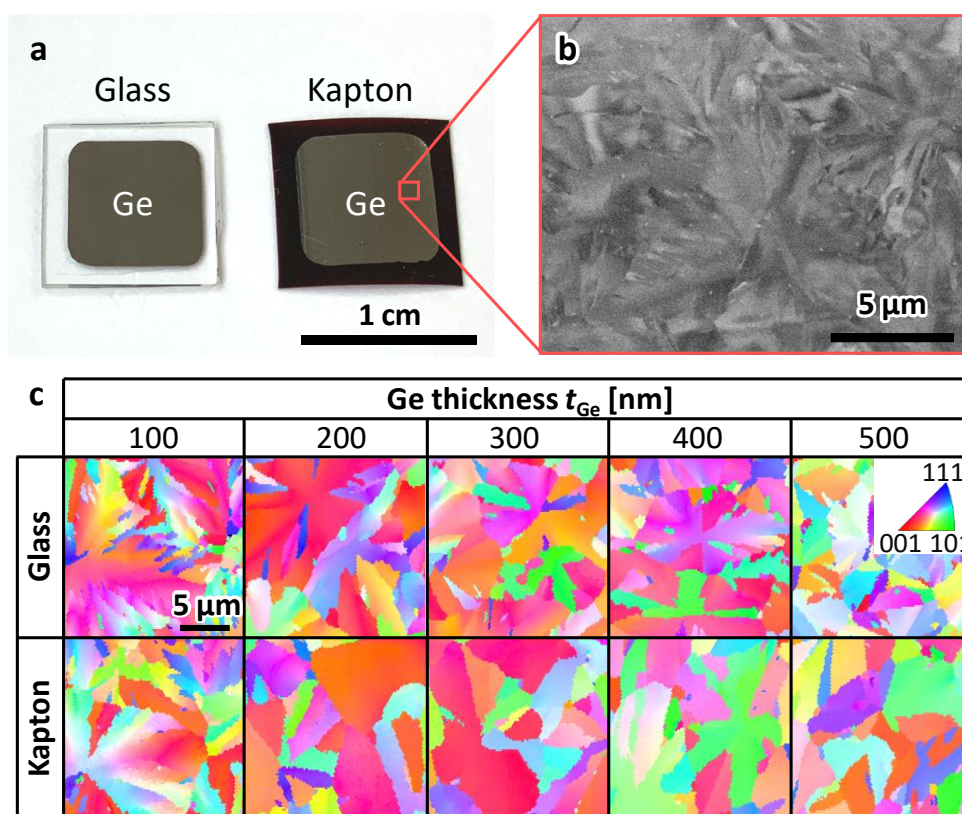


図 6.4 (a)各基板上的固相成長 Ge 薄膜の写真. (b)Kapton 上 Ge 薄膜の SE-SEM 像. (c)IPF 像

粒界 (Grain boundary : GB) 分布を詳しく調べるため、IPF 像を Grain 像に変換した。先ず結晶粒径を見積もるため、方位差 $\theta < 5^\circ$ の領域を単一粒と判別した。この際、双晶粒界 ($\Sigma 3, 9$) は電氣的に不活性であるため^{23,24}、本処理からは除外した。単一粒と見なされた領域を等面積の円に換算し、面積加重平均で結晶粒径を算出した。図 6.5(a) は本研究で合成した固相成長 Ge が μm オーダーの結晶粒径で構成されていることを示している。これは、4 章で述べた GeO_x 下部層挿入と低温結晶化の重畳によるものだと考えられる。図 6.5(b) は、結晶粒径が SiO_2 ガラス—Kapton 上で差異がないことを示している。 t_{Ge} の増加に伴い粒径が減少する傾向は、核生成サイトが増加することに起因する^{25,26}。粒を識別する GB の密度は、 $t_{\text{Ge}} = 500 \text{ nm}$ で比較的高い値を示しており、粒径の挙動と一致した。我々は粒内 GB を分析し、低角 ($2^\circ < \theta < 15^\circ$) 粒界 (LAGB)、高角 ($\theta \geq 15^\circ$) 粒界 (HAGB)、双晶粒界に分類した²⁷。図 6.5(a) から、粒内 GB は結晶粒が大きいほど顕著に発生し、放射状に生成する。また、それらの HAGB は双晶粒界に接続している。 t_{Ge} が増加すると双晶粒界密度が顕著になる (図 6.5(c)) 一方で、 t_{Ge} が減少すると LAGB と HAGB 密度が顕著になる (図 6.5(d),(e))。IPF 像 (図 6.4(c)) を確認すると、「結晶ねじれ」は薄膜ほど顕著になり、図 6.5 の結果を補足する。本現象のメカニズムは未だ明らかになっていないが、薄膜ほど大きな応力印加がなされていることから、応力に起因すると考えられる (図 6.3(b))。くわえて、ほぼ全ての t_{Ge} において、Kapton 上の固相成長 Ge 薄膜は SiO_2 ガラス上よりも粒内 GB の密度が低い。この差異が Raman 分光法における FWHM の結果を説明していると推察される (図 6.3(c))。この結晶性の違いは、固相成長時の熱歪の差異に関連していると考えられる。

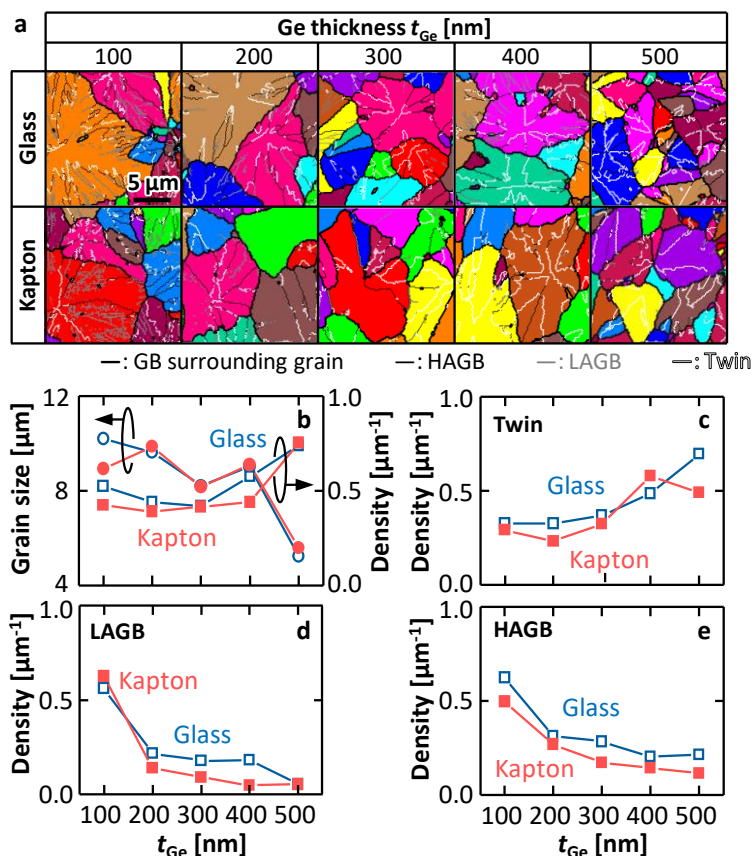


図 6.5 EBSD 解析. (a) Grain 像. (b) 平均粒径ならびに粒を形成する GB 密度. (c) 双晶粒界, (d) 低角粒界ならびに (e) 高角粒界密度.

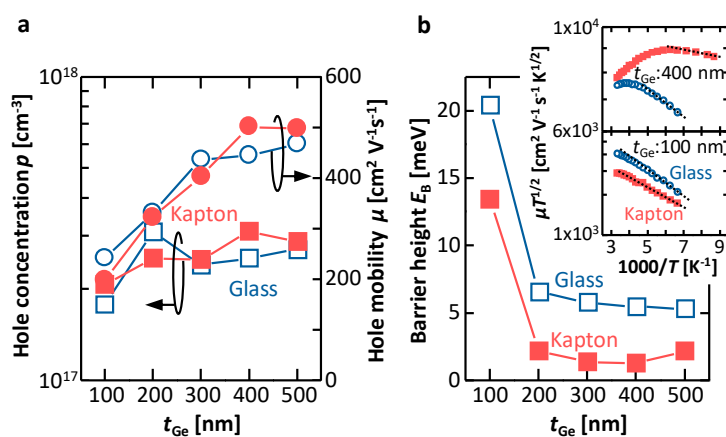


図 6.6 電気的特性. (a) 正孔密度 p ならびに正孔移動度 μ . (b) $\mu\sqrt{T}$ の Arrhenius plots ならびに粒界障壁 E_B

図 6.6 に電気的特性を示す。正孔密度 p は t_{Ge} に対して概ね一定である。また、正孔移動度 μ は t_{Ge} の増加とともに増加した(図 6.6(a))。これは界面散乱の低減に起因する^{25,28}。 μ は Kapton 上の Ge 成長層 ($t_{\text{Ge}} = 400 \text{ nm}$) で最大 $500 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ となった。ここで、電気的特性は Kapton とガラスで概ね差異はない一方、厚膜側 ($t_{\text{ox}} \geq 400 \text{ nm}$) の μ がプラスチック上で高い値となった。この原因を調べるため、粒界の障壁高さ E_B を Seto が提案した多結晶半導体の伝導モデルによって推定した²⁹。このモデルによると、粒界散乱が支配的な領域における μ は、以下の式で求めることができる。

$$\mu = \frac{Lq}{\sqrt{2\pi m^* k_B T}} \exp\left(-\frac{E_B}{k_B T}\right) \quad (6.5)$$

ここで、 T は絶対温度、 L は結晶粒径、 m^* は有効質量、 k_B はボルツマン定数である。図 6.6(b) の挿入図に示すように、 $t_{\text{Ge}} = 100 \text{ nm}$ の場合、 $\mu T^{\frac{1}{2}}$ の Arrhenius plots は全測定温度に対し下向きの直線を示した。すなわち、キャリア伝導は主に粒界散乱によって制限されていることを示している²⁹。

一方、 $t_{\text{Ge}} = 400 \text{ nm}$ の場合、 $\mu T^{\frac{1}{2}}$ は $1000/T$ とともに増加し、その後減少に転じる。この挙動はキャリア輸送が室温付近では不純物散乱によって、低温では粒界散乱によって制限されることを示唆している。事実、室温付近の p は $T^{\frac{3}{2}}$ に対し線形となる。また、Arrhenius plots の形状は、 SiO_2 ガラスと Kapton 基板上で異なり、 E_B に差があることを示している。図 6.6(b) は、 E_B が t_{Ge} の増加とともに減少していることを示している。特に $t_{\text{Ge}} = 100 \text{ nm}$ では、 E_B はガ SiO_2 ガラス試料で 20 meV 以上、Kapton 試料で 13 meV 以上の高い値を示している。これらの E_B は、 SiO_2 ²² や a-Si 上の SPC-Ge の E_B 値よりも遥かに大きく²⁶、Ge/ GeO_x 界面付近の GB 特性が Ge/ SiO_2 や Ge/a-Si よりも劣っていることを示唆している。薄い Ge 層 ($t_{\text{Ge}} \leq 100 \text{ nm}$) では、高いキャリア輸送の実現のためには、 GeO_x 以外の下部材料 (eg. a-Si, AlO_x 等) が好適である可能性が高い。 E_B は SiO_2 ガラスよりも Kapton 上 が低くなった。これは、前章で述べた歪の観点から説明できる。

これまでの研究により、プラスチック (Kapton) 上の固相成長 Ge 薄膜は SiO₂ ガラス上と同等の結晶粒や電気的特性を維持しつつ、粒界障壁が低減できることが判明した。従って、高耐熱なプラスチック基板 (XENOMAX) へ展開した。Kapton 上と同様の固相成長過程を経た後 (図 6.1)、Ar 雰囲気中でポストアニール (PA: 500 °C, 5 h) を行った。断面 TEM 観察を行い、膜のマイクロ構造を分析した。HAADF-STEM 像とエネルギー分散型 X 線分光法 (EDX) より積層構造が意図通り形成できている (図 6.7(a)-(c))。また、前章で述べた 450 °C での結晶化処理では GeO_x 層に Void が発生していた。しかし、今回は PA (500 °C) を施したにも関わらず存在しない。これは、低温 (375 °C) の結晶化熱処理によって GeO_x 層が安定したと考えられる。元素分析により、GeO_x の組成 x は約 1.5 となった。前章の SIMS の結果と合わせると、スパッタリング堆積中に GeO が脱離したと考えられる。明視野像を確認すると、等傾角干渉縞あるものの、粒界や転移、積層欠陥などは確認できない (図 6.7(d))。図 6.7(e) の格子像より、Ge/GeO_x 界面は荒れているが、これは XENOMAX 基板の表面を反映したものである。また、GeO_x 層は Ge ナノ結晶を含む。これは、結晶化熱処理過程で酸素拡散が発生した際に生成したものだと考えられる。

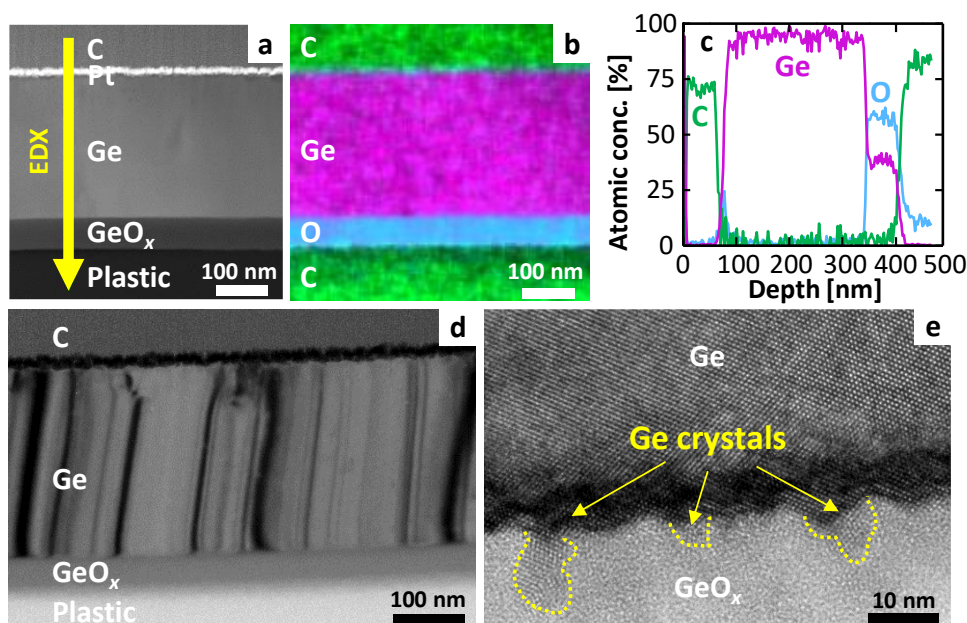


図 6.7 断面 TEM 解析. (a) HAADF-STEM 像. (b) EDX 元素マップならびに (c) ラインスキャン. (d) 明視野像. (e) 格子像.

続いて、プラスチック基板上的多結晶 Ge 薄膜の機械的強度を調べるために、簡単なテープ剥離試験と曲げ試験を行った。サンプル全面に貼られたカプトンテープを剥がしても多結晶 Ge 薄膜はプラスチック (Kapton) 基板に密着しており、Ge は基板に十分に固着している (図 6.8(a))。図 6.8(b) に示すように、 $t_{\text{Ge}} = 150\text{--}400\text{ nm}$ の試料を曲げ、そして戻した後に電気的特性を調査した。曲率半径 10 cm (曲げ角度 50°) まで μ を維持することが判った (図 6.8(c))。Kapton 上でも同様の傾向を示した。この μ 劣化の原因は、クラック発生によるシート抵抗の増加に起因する。しかし、これらのクラックは十分に粗大であり、TFT 応用時のアイランド化により無視できる可能性が大きい (図 6.8(d)(e))。XENOMAX 上でも結晶粒径は SiO_2 ガラスや Kapton 上と同等であり (図 6.8(f))、PA 後の Ge 成長層 (400 nm) で μ は $690\text{ cm}^2\text{ V}^{-1}\text{ s}^{-1}$ に及んだ。 SiO_2 ガラス上で最も高い μ ($620\text{ cm}^2\text{ V}^{-1}\text{ s}^{-1}$) を記録した Ge 成長層の Raman スペクトルと比較したところ、単結晶 Ge 基板のピークを基準に反対方向へピークシフトした (図 6.8(g))。XENOMAX が Ge より大きな α を有する為であると考えられる。(6.1)式より Raman シフトから見積もった歪量は、 SiO_2 ガラス上が 0.38% の引張歪、XENOMAX 上が 0.08% の圧縮歪となった。(6.5)式の Seto モデルにより粒界障壁 E_B を同様に求めた結果、 SiO_2 ガラス上が 4.4 meV、XENOMAX 上が 2.7 meV となった。すなわち、圧縮歪による E_B の低減が更なる μ 更新に貢献したと推察される。

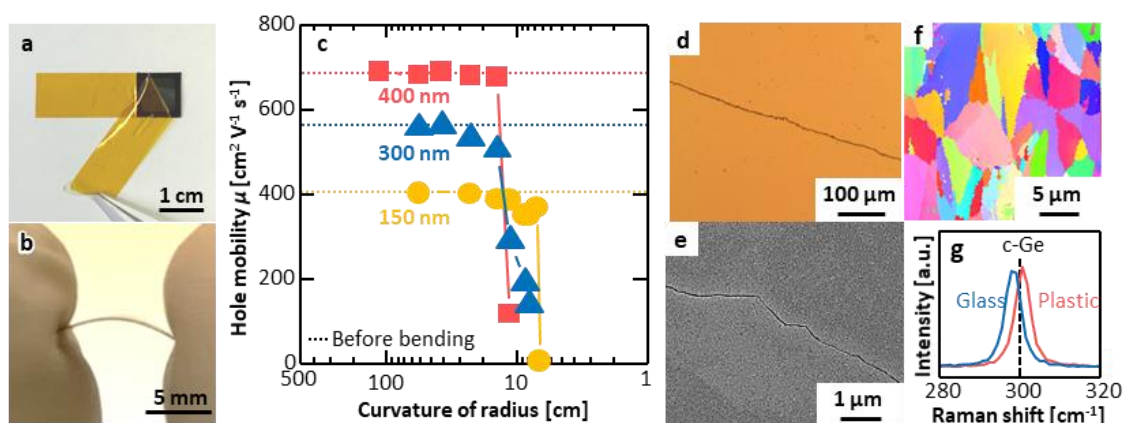


図 6.8 (a) Kapton 上試料のテープテスト. (b) 曲げ試験. (c) μ の曲げ特性. (d) 光学顕微鏡像. (e) SE-SEM 像. (f) IPF 像. (g) Raman スペクトル.

上記結果を俯瞰する為、図 6.9 に絶縁体上に直接合成した Ge(Sn) 薄膜の正孔移動度 (正孔密度ならびにプロセス温度) をまとめた^{15,22,25,26,28,30-46}。本研究で合成した多結晶 Ge 薄膜は、プラスチック上に実現しており、酸化濃縮法 (プロセス温度 > 800 °C) で合成された単結晶 Ge 薄膜や Si 単結晶基板 (450 cm² V⁻¹ s⁻¹) を凌駕するキャリア移動度を有する。これは、絶縁体上に直接・低温合成したあらゆる薄膜中最高の値である。

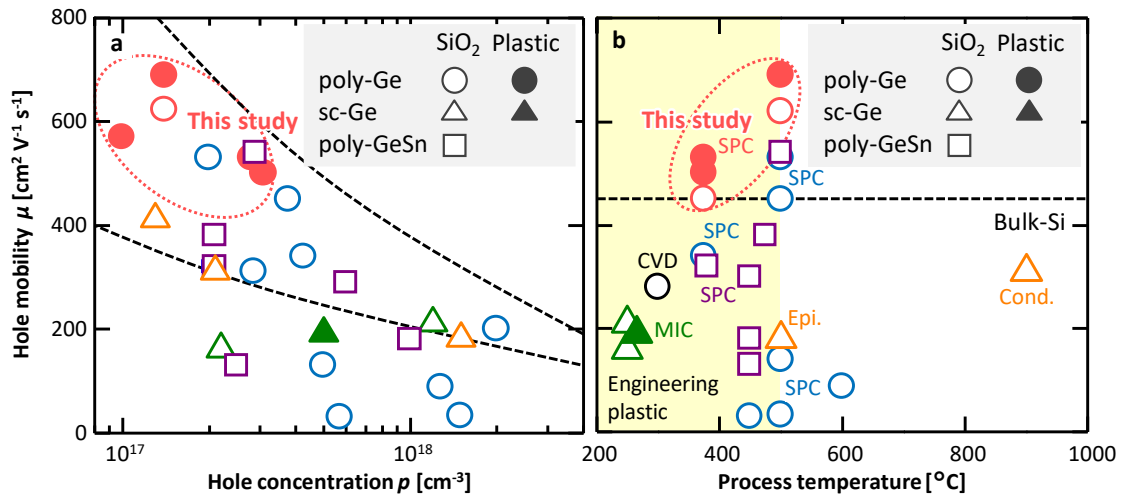


図 6.9 絶縁体上 Ge 系薄膜の電気的特性比較。
正孔移動度を (a) 正孔密度ならびに (b) 合成温度で整理。

6.4 結言

本章では、前節まで築いてきた高移動度な多結晶 Ge 薄膜の低温合成技術をフレキシブル基板上へと展開した。

まず、Raman 分光法により各種基板上の結晶性を評価した。5 章で議論した歪の影響(熱歪+相遷移歪)を、幅広い Ge 膜厚に対して確認した。また、プラスチック(Kapton)上の固相成長 Ge 薄膜は SiO₂ ガラス上より結晶性が優れていることが示された。

続いて、EBSD 法により結晶粒の解析を行った。Kapton-SiO₂ ガラス上で結晶粒径に差は無かった。また、結晶粒内における HAGB が薄膜領域(< 200 nm)で顕著であることを発見するとともに、Kapton 上であらゆるランダム粒界割合を SiO₂ ガラス上に比べて低減できた。

電気的特性においては、5 章で議論した圧縮歪に伴う粒界散乱低減を反映し、厚膜側(≥ 400 nm)において SiO₂ ガラス上より高い μ を示した(Kapton 上)。この結果を踏まえ、Kapton よりも更に高耐熱な XENOMAX を基板に採用し PA を重畳した。断面 TEM 観察により、大きな積層欠陥や転移の存在しない高品質な多結晶 Ge 薄膜がプラスチック上に実現したことが判った。更に、SiO₂ ガラス上の値を超える、傑出した μ が達成できつつ(690 cm² V⁻¹ s⁻¹)、約 50°まで曲げた場合でも電気的特性を維持できた。

以上、高いキャリア移動度を持つ半導体膜の創製には、もはや単結晶基板は必要ないと言える。

6.5 参考文献

- ¹ 内閣府 HP “Society5.0” <https://www8.cao.go.jp/cstp/society5_0/>.
- ² M.J. Mirshojaeian Hosseini and R.A. Nawrocki, *Micromachines (Basel)* **12**, 655 (2021).
- ³ W.E. Spear and P.G. Le Comber, *Solid State Commun.* **17**, 1193 (1975).
- ⁴ W.E. Spear and P.G.L. Comber, *The Philosophical Magazine: A Journal of Theoretical Experimental and Applied Physics* **33**, 935 (1976).
- ⁵ P.G. le Comber, W.E. Spear, and A. Ghaiith, *Electron. Lett.* **15**, 179 (1979).
- ⁶ J.-K. Lee, Y.-S. Lim, C.-H. Park, Y.-I. Park, C.-D. Kim, and Y.-K. Hwang, *IEEE Electron Device Lett.* **31**, 833 (2010).
- ⁷ K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, *Nature* **432**, 488 (2004).
- ⁸ A. Tsumura, H. Koezuka, and T. Ando, *Appl. Phys. Lett.* **49**, 1210 (1986).
- ⁹ O.A. Melville, B.H. Lessard, and T.P. Bender, *ACS Appl. Mater. Interfaces* **7**, 13105 (2015).
- ¹⁰ 薄膜材料デバイス研究会, 薄膜トランジスタ (コロナ社, 2008).
- ¹¹ A.G. Fischer, D.J. Tizabi, and H. Blanke, *IEEE Electron Device Lett.* **4**, 447 (1983).
- ¹² H. Utsumi, N. Nishiguchi, R. Miyazaki, H. Suzuki, K. Kitahara, and A. Hara, *Jpn. J. Appl. Phys.* **58**, 046501 (2019).
- ¹³ B. Hekmatshoar, S. Mohajerzadeh, D. Shahrjerdi, and M.D. Robertson, *Appl. Phys. Lett.* **85**, 1054 (2004).
- ¹⁴ D. Shahrjerdi, B. Hekmatshoar, S.S. Mohajerzadeh, A. Khakifirooz, and M. Robertson, *J. Electron. Mater.* **33**, 353 (2004).
- ¹⁵ H. Higashi, M. Nakano, K. Kudo, Y. Fujita, S. Yamada, T. Kanashima, I. Tsunoda, H. Nakashima, and K. Hamaya, *Appl. Phys. Lett.* **111**, 222105 (2017).

- ¹⁶JCPDS File No. 04-0545 (Cubic Ge)..
- ¹⁷ W.H. Bragg and W.L. Bragg, Proceedings of the Royal Society of London. Series A, Containing Papers of a Mathematical and Physical Character **88**, 428 (1913).
- ¹⁸ C.L. Manganeli, M. Virgilio, O. Skibitzki, M. Salvalaglio, D. Spirito, P. Zaumseil, Y. Yamamoto, M. Montanari, W.M. Klesse, and G. Capellini, J. Raman Spectrosc. **51**, 989 (2020).
- ¹⁹ S.A. Lyon, R.J. Nemanich, N.M. Johnson, and D.K. Biegelsen, Appl. Phys. Lett. **40**, 316 (1982).
- ²⁰ P. Lengsfeld, N.H. Nickel, C. Genzel, and W. Fuhs, J. Appl. Phys. **91**, 9128 (2002).
- ²¹ Wolf, Stanley., Tauber, and R. N., *Silicon Processing for the VLSI Era. Vol. 1, Vol. 1*, (Lattice Press, Sunset Beach, California, 2000).
- ²² K. Toko, R. Yoshimine, K. Moto, and T. Suemasu, Sci. Rep. **7**, 16981 (2017).
- ²³ E. Billig and M.S. Ridout, Nature **173**, 496 (1954).
- ²⁴ J. Chen, D. Yang, Z. Xi, and T. Sekiguchi, J. Appl. Phys. **97**, 033701 (2005).
- ²⁵ R. Yoshimine, K. Moto, T. Suemasu, and K. Toko, Appl. Phys. Express **11**, 031302 (2018).
- ²⁶ C. Xu, X. Gong, M. Miyao, and T. Sadoh, Appl. Phys. Lett. **115**, 042101 (2019).
- ²⁷ G. Faraji and Kim, *Severe Plastic Deformation: Methods, Processing and Properties* (Elsevier Science Publishing, Philadelphia, PA, 2018).
- ²⁸ T. Sadoh, Y. Kai, R. Matsumura, K. Moto, and M. Miyao, Appl. Phys. Lett. **109**, 232106 (2016).
- ²⁹ J.Y.W. Seto, J. Appl. Phys. **46**, 5247 (1975).
- ³⁰ S.M. Sze and J.C. Irvin, Solid State Electron. **11**, 599 (1968).
- ³¹ T. Maeda, K. Ikeda, S. Nakaharai, T. Tezuka, N. Sugiyama, Y. Moriyama, and S. Takagi, Thin Solid Films **508**, 346 (2006).
- ³² T. Mizoguchi, T. Imajo, T. Suemasu, and K. Toko, Appl. Phys. Express **13**, 101005 (2020).
- ³³ K. Moto, N. Saitoh, N. Yoshizawa, T. Suemasu, and K. Toko, Appl. Phys. Lett. **114**, 112110 (2019).
- ³⁴ K. Moto, R. Yoshimine, T. Suemasu, and K. Toko, Sci. Rep. **8**, 14832 (2018).

- ³⁵ J.-H. Park, K. Kasahara, K. Hamaya, M. Miyao, and T. Sadoh, *Appl. Phys. Lett.* **104**, 252110 (2014).
- ³⁶ W. Takeuchi, N. Taoka, M. Kurosawa, M. Sakashita, O. Nakatsuka, and S. Zaima, *Appl. Phys. Lett.* **107**, 022103 (2015).
- ³⁷ K. Toko, I. Nakao, T. Sadoh, T. Noguchi, and M. Miyao, *Solid State Electron.* **53**, 1159 (2009).
- ³⁸ I. Yoshikawa, M. Kurosawa, W. Takeuchi, M. Sakashita, O. Nakatsuka, and S. Zaima, *Mater. Sci. Semicond. Process.* **70**, 151 (2017).
- ³⁹ K. Kasahara, Y. Nagatomi, K. Yamamoto, H. Higashi, M. Nakano, S. Yamada, D. Wang, H. Nakashima, and K. Hamaya, *Appl. Phys. Lett.* **107**, 142102 (2015).
- ⁴⁰ C.-Y. Tsao, J. Huang, X. Hao, P. Campbell, and M.A. Green, *Sol. Energy Mater. Sol. Cells* **95**, 981 (2011).
- ⁴¹ H.-W. Jung, W.-S. Jung, H.-Y. Yu, and J.-H. Park, *J. Alloys Compd.* **561**, 231 (2013).
- ⁴² K. Usuda, Y. Kamata, Y. Kamimuta, T. Mori, M. Koike, and T. Tezuka, *Appl. Phys. Express* **7**, 056501 (2014).
- ⁴³ O. Nakatsuka, N. Tsutsui, Y. Shimura, S. Takeuchi, A. Sakai, and S. Zaima, *Jpn. J. Appl. Phys.* **49**, 04DA10 (2010).
- ⁴⁴ Z. Meng, Z. Jin, G.A. Bhat, P. Chu, H.S. Kwok, and M. Wong, *J. Mater. Res.* **12**, 2548 (1997).
- ⁴⁵ Z. Meng, Z. Jin, B.A. Gururaj, P.C.H. Kwok, M.W.Z. Meng, Z. Jin, B.A. Gururaj, P. Chu, c. H.S. Kwok, and M. Wong, *J. Electrochem. Soc.* **144**, 1423 (1997).
- ⁴⁶ N. Hirashita, Y. Moriyama, S. Nakaharai, T. Irisawa, N. Sugiyama, and S.I. Takagi, *Appl. Phys. Express* **1**, 1014011 (2008).

第 7 章

結論

7.1 本論文における主要成果

本論文では、固相成長法により合成した多結晶 Ge 薄膜に対し、キャリア移動度の向上を多角的に検討した。以下、本研究で得られた成果をまとめる。

第 3 章では、固相成長プロセスにおける各種熱処理過程が物性に与える影響を探索した。特に電気的特性において、機械学習の知見に基づいた新しい解析法を提案し、多結晶 Ge 薄膜においては室温における多数キャリアが 2 種のアクセプタ欠陥に支配されていることを見出した。それらの PA 前後の欠陥密度変化を、結晶粒径や高角粒界密度と類比しながら現象論的に考察することで、それぞれが結晶粒内・粒界に存在するとの知見を得た。また、PA に伴うキャリア移動度向上の起源は、粒界障壁と交えながら比較することで、不純物散乱の低減によるものと判明した。

第 4 章では、下部層挿入効果に伴う固相成長 Ge 薄膜の結晶粒径変調に取り組んだ。酸化 Ge 膜 (GeO_x) が下部層として有用であることを発見した。Ge/ GeO_x 膜厚比と結晶化処理温度の制御によって GeO_x 層からの酸素拡散量を変調した。その結果、劇的な大粒径化 ($> 10 \mu\text{m}$) とアクセプタ欠陥低減により優れたキャリア輸送特性 ($> 600 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$) を実現できることが判った。

第5章では、固相成長 Ge 薄膜への歪導入機構を体系化するとともに、諸特性への影響を包括的にまとめた。その結果、固相成長 Ge 薄膜においては熱応力に起因する歪と、相遷移時の引張歪の両者が支配的であることが判明した。これらの内部歪は結晶粒径や粒界特性に大きな影響を与えた。Seto モデルによる粒界障壁の見積もりにより、多結晶半導体におけるキャリア輸送の観点では面内圧縮歪が好適であるとの知見を得た。

第6章では、これまで築いてきた高品質な多結晶 Ge 合成技術をフレキシブル基板へと展開した。圧縮歪が導入できるプラスチック基板において優れたキャリア移動度が得られることを裏付けた。さらに高耐熱なプラスチック基板(XENOMAX)の採用により、転位や積層欠陥の無い高品質かつ極めて高いキャリア輸送特性($690 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$)を有する多結晶 Ge 薄膜を実現した。

以上、本論文においては、独自技術「固相成長」をベースに多結晶 Ge 薄膜の結晶粒径や各種物性を幅広く制御し、物理探索から合成プロセス開拓にわたる横断的研究を行った。その結果、優れた多結晶 Ge 薄膜の低温・直接合成技術を確立するとともに、低耐熱なフレキシブル基板上に Si 単結晶基板を凌駕するキャリア移動度を実証した。高機能性と汎用性を両立した次世代デバイスを創出する技術の端緒を開く成果である。

7.2 今後の展望

本論文においては、固相成長法の高度化を通じ、最高のキャリア移動度を有する絶縁体上 Ge 薄膜を創出した。活躍し得る一丁目一番地には、高いキャリア輸送特性を生かした薄膜トランジスタ(TFT)応用が挙げられる。従来の多結晶 Ge-TFT は、高耐熱な SiO₂ ガラス上でも電界効果移動度は 170 cm² V⁻¹ s⁻¹ に留まる。フレキシブル基板上では 110 cm² V⁻¹ s⁻¹ へと更に低落する。これらは、チャネル領域に用いる多結晶 Ge 薄膜が粗悪であることに基づく。高キャリア移動度の固相成長 Ge 薄膜を積極的に用いれば、多結晶 Ge-TFT における単結晶 Si-MOSFET を凌ぐ電界効果移動度(正孔移動度 > 400 cm² V⁻¹ s⁻¹)の成就も夢ではない。

高効率な多接合型太陽電池において赤外吸収を担う狭ギャップ半導体は候補材料が少なく、「ミシング・ギャップ」との呼び声もある。狭ギャップ半導体の筆頭である Ge は、化合物半導体との格子整合性が優れており、既に単結晶 Ge 基板を用いた高効率多接合型太陽電池の報告も多い。また、Ge はその特異なバンド構造から、間接遷移型半導体でありながら高い光吸収係数を有する。すなわち、汎用基板上の Ge 薄膜を用いることで、高出力太陽電池の低コスト化、そして民生応用への期待が膨らむ。我々の固相成長 Ge 薄膜は欠陥誘起アクセプタが従来法より顕著に少なく、酸化濃縮法で合成した単結晶 Ge 薄膜を超える高品質な膜である。更には、面直方向には擬似単結晶として扱える十分な結晶粒径を持つ。これらを重畳し、分光感度すら得られていない多結晶 Ge 薄膜において未踏峰である太陽電池応用が期待できる。

くわえて、狭ギャップ半導体かつ高キャリア移動度を持つ Ge は、熱電変換材料としての出力因子が室温において優位である。我々は既に、固相拡散法により p/n 両伝導型に高濃度ドーピングした固相成長 Ge 薄膜において、1000 °C 以下のプロセスで合成した IV 族多結晶薄膜中最高の出力因子(p 型:1080 μW m⁻¹ K⁻², n 型:2300 μW m⁻¹ K⁻²)を達成し、そのポテンシャルを実証している。この際、高濃度ドーピングのベースには下部界面層挿入等の工夫を行っていない固相成長

Ge 薄膜を用いている。従って、下部界面層の変調に伴う高キャリア移動度化や、結晶粒界の制御(フォノン輸送の抑制)による熱伝導率低減を果たせば、更なる高出力化が見込める。

以上、固相成長 Ge 薄膜には TFT・太陽電池・熱電変換素子と3つの魅力的なデバイス応用の道が広がっている。とはいえ、我々は Ge 薄膜デバイスのポテンシャル実証のみに足を止めず、その先へ向かわねばならない。持続的なデバイス特性の向上と、究極的には産業化という道程を踏破するためには、根本にあたる固相成長 Ge 薄膜自身を更に鍛えていく必要がある。本論文では、4つの実験章にわたり成果を得た。以下ではその整理と、検討項目を列挙する。

第3章では、正孔密度の温度依存性を取得することで、多結晶 Ge 薄膜のアクセプタ起源が結晶粒内/粒界の双方に因ると見出した。一方で本測定の評価温度域は狭く(400–115 K)、他のアクセプタ準位の発見には及ばなかった。そこで温度域を拡張すれば、今回不定であった浅い準位の見積もりや、他のアクセプタ起源の発見に期待が寄せられる。また、準位を見積もれた結晶粒界起因アクセプタは PA による低減が微々たるものである。すなわち、キャリア散乱源や再結合中心としての粒界欠陥の改善が困難である恐れがある。抜本的なアクセプタ抑制手法の開拓が望まれる。

第4章では、基板–Ge 薄膜間への下部界面層挿入と、 GeO_x の効能を探索した。 GeO_x が Ge の固相成長プロセスへ作用する物理の一端を解析できたが、他の絶縁材料(SiN_x 、 AlO_x)が与えるメカニズム理解には及ばなかった。 GeO_x は固相成長 Ge に対し、大粒径化や電気的特性の向上といった好適な効果をもたらす。一方、熱的・化学的安定性が双方ともに乏しく、特に後者の潮解性はデバイス応用時の障壁になる。上記理由により、 GeO_x の一本足打法では発展性に不安が残る。従って、第一には GeO_x の弱点の克服が挙げられる。 YO_x と GeO_x のネットワーク形成によって安定性が向上するとの報がある。第二には、帰納的な物性研究を通じた Ge と下部界面層の「相性」の解明、それに伴う材料選択の指針構築が待たれる。

第5章では、歪の方向と大きさにより Seto モデルに基づいた粒界障壁が変調するとの知見を得た。現在は微弱な圧電効果に基づく物理現象として解釈しているが、詳細な原因は突き止められていない。ポテンシャル分布の評価手法と、結晶化後の歪制御手法の確立により、粒界障壁変調の起源を可視化でき得る。また後者の実現は、より動的な多結晶 Ge 薄膜の歪エンジニアリングの幕開けを意味する。1%以上の歪導入による Ge のキャリア輸送特性向上や直接遷移化は、光電子デバイスにとって魅力的な物性となる。

第6章では、フレキシブル基板上に固相成長 Ge 薄膜を展開した。その機械的特性の評価には、簡単なベンディングテストを行ったに留まる。応用の観点では、繰り返し屈曲性試験によって耐久性を詳細に評価したい。疲労評価を合わせてクラック導入機構への理解も深めれば、より強靱な Ge 薄膜の実現に繋がる。

以上、章ごとの検討項目を述べた。先鋭的なトピックが多いが、後進にとって手掛かりとなれば幸いである。

謝辞

本研究を進めるにあたり、数多くの方々からご指導、ご協力を賜りました。この場をお借りして厚く御礼を申し上げます。

本論文は、筑波大学 都甲薫准教授のご指導があつてこそ、完成したものです。6年間という決して短く無い期間でしたが、先生は迷妄な私を決して座視しませんでした。文字通り薫陶を賜り、人生の視界が大きく広がりました。今後十年は先生の下で研究しても足りない思いですが、優秀な(本当に!!)後輩たちにバトンを託します。TOKO-Gr.の益々の活躍を、本当に楽しみに願っております。先生の弟子として恥ずかしくない人材に成るべく、切磋琢磨に励んで参ります。

筑波大学 末益崇教授には「研究のコツは」という初歩的な問いを始めとする、私の様々な疑問に答えて下さいました。私の未熟な点を重く突いてくださり、襟を正す思いを何度も何度もいたしました。思い返せば、研究室配属の承諾を願った際に頂いた言葉に、自分の器の小ささを痛感したことが懐かしいです。あれから少しは成長できたでしょうか。未だ浅学菲才の身ではありますが、先生の徳を思い返しながらい進んでいきます。深甚に感謝を捧げさせていただきます。

本論文執筆にあたり、筑波大学 関口隆史教授、国立研究開発法人物質・材料研究機構 深田直樹教授に有益な御指導と御助言を賜りました。関口先生に御会いする数年前から、粒界工学に関心を持ち、ずっと議論を交わしてみたいと願っていたのを覚えております。その後、思いがけず沢山お話しする機会に恵まれ、嬉しく思います。先生から頂いた数々の温かい言葉を胸に、今後も過ごしていくことでしょう。深田先生には博士前期課程の授業(不純物と欠陥)で関わるご縁を頂きました。あの時の授業が興味深く、弊 Gr.でも余り取り組むことが無かった物性探索の原動力となったと思います。物性研究の浅瀬ではありますが、博士研究として携わることが出来た事を誇りに思います。両先生のご尽力に感謝申し上げます。

九州大学 山本圭介助教ならびに山本哲子様には、九州大学出張の際に大いにお世話になりました。山本先生には、TFT プロセスでのアドバイスや研究討議に協力くださいました。Ge-TFT を博士論文に含める夢は私が愚かなばかりに叶いませんでしたが、後進達が立派に纏めてくれると思います。山本様には、どこの馬の骨とも判らない男を快く迎え入れ、胃と心を満たしてくださいました。

熊本高専 角田功准教授には、大らかな愛を以て私は勿論、後輩達を抱きしめて下さいました。事務担当の伊藤さんには、事務手続き等で大いに支えて頂きました。

筑波大学 櫻井岳暁教授には、Hall 効果測定装置に関して御協力を賜りました。

国立研究開発法人産業技術総合研究所 吉澤徳子教授、斎藤徳之教授には、透過型電子顕微鏡観察に関して、御協力を賜りました。

筑波大学微細加工プラットフォーム 谷川俊太郎様、俵妙様ならびに手塚様には、スパッタリング装置、顕微ラマン装置、走査電子顕微鏡の使用、および集束イオンビーム加工・観察に関して御協力を賜りました。

大阪大学 渡部平司教授には顕微 PL 測定に関して、御協力を賜りました。

直接指導を頂きました高部先輩、中田先輩、茂藤先輩、村田先輩、吉峯先輩には先輩研究者の手本として、常に背中を追い求める対象でありました。偉大なる先輩に少しでも近づきたい一心で過ごした 6 年間でした。先輩たちの存在が、モチベーションの一つでありました。高部先輩には、理想の先輩像を重ねておりました。中田先輩には、決して怒らない姿に感銘を受けました。茂藤先輩は、初めて自分のテーマに対等に話せる先輩であり、とても嬉しかったです。温かく、そして誠実な先輩は、今後も活躍していくことと存じます。村田先輩にはその姿勢の違いから、時に私と衝突することが多かったと思いますが、本当に尊敬しておりました。間違いなく、アカデミアの大地を切り拓かれることでしょう。吉峯先輩には、固相成長という「種」を遺していただきました。先輩の遺産なくして、私の博士論文は為し得ませんでした。

Deng 先輩、具志先輩、Li 先輩、東小蘭先輩、佐藤先輩、高田先輩、Xu 先輩、谷内先輩、

Emha 先輩には、深い了見を以て、研究に関して数多くのご助言を頂きました。

同期である安西君、小玉さん、高原君、山下君、草野君、松野君、Sambit 君には、生活の中に沢山の笑いを、そして大きな刺激を頂きました。素晴らしい同期に恵まれ、誇りに思います。特に山下君は、博士課程合わせて 6 年間に及ぶ時を共に過ごしました。頭脳明晰で朗らかな君の存在が、とても励みになりました。ありがとう。

弊 Gr.の後輩である、中島君、西田君、斎藤君、辻さん、小澤君、溝口君、石山君、鈴木君、前田君、野沢くん、居倉君は、不甲斐ない私にも信頼を置いて下さいました。中島君は切れ者であり、如何に考え、行動するのか、一目置いておりました。西田君は、自由闊達に生きる姿が眩しかったです。研究室の明るさは、きっと貴方の存在が大きいと思います。斎藤君の物事に真摯に取り組む姿は、内省の契機になりました。辻さんの趣味と研究を両立したエネルギッシュな生き方には、研生活の在り方を考えさせられました。鈴木君は、同じ研究テーマではありませんでしたが、一緒に旅行や、ご飯に行く機会が頂けて嬉しく思います。居倉君は、昔の自分を見ているようで、懐かしい気持ちになりました。初めての指導後輩となった、溝口君。ビビットな研究姿勢に度肝を抜かれておりました。「先輩の弟子で良かった」と言ってくれましたが、私こそ、あなたの先輩で本当に良かったです。会社で追い越されないか既に心配です。小澤君は、2つの結晶成長に携わって両立するという稀有な経験をしましたね。板挟みに合って大変かと思いましたが、よくぞやり切りました。偉い！石山君は、本当に優秀なのに、事ある毎に私を頼ってくれました。ちょっとした抜けが心配ではありますが、君みたいな人物が、学問という困難を超克し、天高く飛翔していくことでしょう。前田君は、大変な研究テーマにも動じず、体系化を成就しました。今まさに新しい時代を切り拓いていますね。心躍る成果をどう成就していくのか、本当に楽しみです。野沢君は意外にも固相成長に関わることになりました。多くの物事に挑戦する君は、必ずや新しい学理を創っていくことでしょう。これからも、興味の赴くままに前へ進んでください。本当に優秀な後輩達に恵まれました。君たちとの出会いと指導経験が、僕の人生の財産です。

他 Gr.の後輩である小森君、杉山稜太君、杉山周君、青貫君、根本君、廣瀬君、Luice さん、Julia さん、伯さん、小坂橋君、吉田君、御手洗さんには、日々の小さな雑談や議論にも耳を傾けてくださいました。長谷部君、成田君、安田君、高柳さん、堀内くん、竹中君には、その瑞々しく努力する姿勢に、素直に己の未熟さを痛感することが多々ありました。残りの学生生活も頑張ってください。

以上、簡単ではありますが、感謝の気持ちを伝えさせて頂きました。

博士論文以上に、皆様との出会いが、私の短い研究生活で得た一番の宝物です。

この6年間研究に邁進して参りました。それが出来たのは、ひとえに皆様の存在があつてこそです。改めて、感謝申し上げます。

2022年2月 今城 利文

研究業績(2022-02-28 現在)

1. 学術雑誌論文(査読有): 16 件(筆頭 8 件)

■ 筆頭論文

- [1] **T. Imajo**, K. Toko, R. Takabe, N. Saitoh, N. Yoshizawa and T. Suemasu
Fabrication of SrGe₂ thin films on Ge (100), (110), and (111) substrates
Nanoscale Research Letters **13**, 22 (2018).
- [2] **T. Imajo**, K. Moto, R. Yoshimine, T. Suemasu and K. Toko
High hole mobility ($\geq 500 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$) polycrystalline Ge films on GeO₂-coated glass and plastic substrates
Applied Physics Express **12**, 015508 (2019).
- [3] **T. Imajo (Corresponding author)**, T. Suemasu and K. Toko
Influence of grain boundaries on the properties of polycrystalline germanium
Journal of Applied Physics **128**, 075301 (2020).
- [4] **T. Imajo**, K. Moto, Y. Yamamoto, T. Suemasu, H. Nakashima and K. Toko
Underlayer Selection to Improve the Performance of Polycrystalline Ge Thin Film Transistors
ECS transaction **98**, 5 (2020).
- [5] **T. Imajo (Double first author)**, T. Mizoguchi, T. Suemasu and K. Toko
Four-step heating process for solid-phase crystallization of Ge leading to high carrier mobility
Applied Physics Express **13**, 10 (2020).
- [6] **T. Imajo (Corresponding author)**, T. Suemasu and K. Toko
Strain effects on polycrystalline germanium thin films
Scientific Reports **11**, 8333 (2021).
- [7] **T. Imajo (Double first author)**, T. Mizoguchi, J. Chen, T. Sekiguchi, T. Suemasu and K. Toko
Composition dependent properties of p- and n-type polycrystalline group-IV alloy thin films
Journal of Alloys and Compounds **887**, 161306 (2021).
- [8] **T. Imajo**, T. Ishiyama, N. Saitoh, N. Yoshizawa, T. Suemasu and K. Toko
Record-High Hole Mobility Germanium on Flexible Plastic with Controlled Interfacial Reaction
ACS Applied Electronic Materials <https://doi.org/10.1021/acsaelm.1c00997>.
(Selected as Supplementary Journal Cover, top 5% output by altmetric, press released)

■ 共著論文

- [9] D. Takahara, K. Moto, **T. Imajo**, T. Suemasu and K. Toko
Sb-doped crystallization of densified precursor for n-type polycrystalline Ge on an insulator with high carrier mobility
Applied Physics Letters **114**, 082105 (2019).
- [10] K. Moto, K. Yamamoto, **T. Imajo**, T. Suemasu, H. Nakashima and K. Toko
Polycrystalline thin-film transistors fabricated on high-mobility solid-phase-crystallized Ge on glass
Applied Physics Letters **114**, 212107 (2019).
- [11] M. Tsuji, **T. Imajo**, N. Saitoh, N. Yoshizawa, T. Suemasu and K. Toko
Improved thermoelectric performance of flexible p-type SiGe films by B-doped Al-induced layer exchange
Journal of Physics D: Applied Physics **53**, 075105 (2019).
- [12] T. Nishida, K. Igura, **T. Imajo**, Suemasu and K. Toko
Grain size dependent photoresponsivity in GaAs films formed on glass with Ge seed layers
Scientific Reports **11**, 10159 (2021).
- [13] T. Ozawa, **T. Imajo**, T. Suemasu and K. Toko
High thermoelectric power factors in polycrystalline germanium thin films
Applied Physics Letters **119**, 132101 (2021).
(Selected as Featured article.)
- [14] K. Moto, K. Yamamoto, **T. Imajo**, T. Suemasu, H. Nakashima and K. Toko
Sn concentration effects on polycrystalline GeSn thin film transistors
IEEE Electron Device Letters **42**, 12 (2021).
- [15] T. Mizoguchi, T. Ishiyama, K. Moto, **T. Imajo**, T. Suemasu and K. Toko
Solid-Phase Crystallization of GeSn Thin Films on GeO₂-Coated Glass
Physica Status Solidi Rapid Research Letters **16**, 2100509 (2021).
(Selected as Main Journal Cover)
- [16] T. Ishiyama, **T. Imajo**, N. Saitoh, N. Yoshizawa, T. Suemasu and K. Toko
Three-dimensionally orientation-controlled Ge rods on an insulator formed by low-temperature Ni-induced lateral crystallization
ACS Crystal Growth & Design **22**, 1123 (2022).
(Selected as Supplementary Journal Cover)

2. 国内学会講演:28 件(筆頭 13 件)

■ 筆頭発表

- [1] ○今城 利文, 都甲 薫, 末益 崇
Ge 基板上における SrGe₂ 薄膜の反応性エピタキシャル成長
第 64 回応用物理学会春季学術講演会 16a-B5-4, 横浜, March 16 (2017). (口頭発表)
- [2] ○今城 利文, 高部 涼太, 都甲 薫, 末益 崇
基板面方位と成長温度の変調による Ge 基板上 SrGex 薄膜の組成制御
第 17 回シリサイド系半導体・夏の学校 P21, 浜松, July 29 (2017). (ポスター発表)
- [3] ○今城 利文, 高部 涼太, 都甲 薫, 末益 崇
SrGe₂ 薄膜の結晶成長に与える Ge 基板面方位の効果
第 78 回応用物理学会秋季学術講演会 8a-C11-6, 福岡, September 8 (2017). (口頭発表)
- [4] ○今城 利文, 高部 涼太, 都甲 薫, 末益 崇
Ge 基板上 SrGe₂ 薄膜の結晶成長と電気的特性評価
第 9 回半導体材料・デバイスフォーラム, P-4, 都城, December 24 (2017). (ポスター発表)
【最優秀ポスター発表賞受賞】
- [5] ○今城 利文, 都甲 薫, 高部 涼太, 末益 崇
Ge(110)基板上 SrGe₂ 薄膜の電気的特性に与える成長温度の影響
第 65 回応用物理学会春季学術講演会 19p-F202-7, 東京, March 19 (2018). (口頭発表)
- [6] ○今城 利文, 茂藤 健太, 末益 崇, 都甲 薫
非晶質 Ge/GeO₂/プラスチックの固相成長による超高移動度(570 cm²/Vs)フレキシブル薄膜
第 3 回機能性薄膜研究会, 19-1, 福岡, May 19 (2018). (口頭発表)
- [7] ○今城 利文, 茂藤 健太, 吉峯 遼太, 末益 崇, 都甲 薫
GeO₂ 下地層による固相成長 Ge 薄膜の高移動度化とプラスチック上展開
第 79 回応用物理学会秋季学術講演会 21a-233-5, 名古屋, Sept. 20 (2018). (口頭発表)
- [8] ○今城 利文, 茂藤 健太, 山本 圭介, 末益 崇, 中島 寛, 都甲 薫
固相成長した高移動度 Ge 薄膜の TFT 動作実証
第 66 回応用物理学会春季学術講演会 10a-M114-1, 東京, March 10 (2019). (口頭発表)
- [9] ○今城 利文, 茂藤 健太, 末益 崇, 都甲 薫
プラスチック上 Ge 薄膜の直接合成と高正孔移動度(670 cm²/Vs)実証
第 80 回応用物理学会秋季学術講演会 18a-E304-9, 札幌, Sept. 18 (2019). (口頭発表)
【注目講演選出】

- [10]○今城 利文, 末益 崇, 都甲 薫 (COVID-19 で中止)
固相成長 Ge 薄膜の熱処理過程制御による移動度向上機構の解明
第 67 回応用物理学会春季学術講演会, 14p-A305-7, 東京, Mar. 14 (2020). (口頭発表)
- [11]○今城 利文, 茂藤 健太, 山本 圭介, 末益 崇, 中島 寛, 都甲 薫
TFT 高性能化に向けた絶縁膜上 GeSn 薄膜の固相成長
第 81 回応用物理学会春季学術講演会 10p-Z10-3, オンライン, Sep. 10 (2020). (口頭発表)
- [12]○今城 利文, 末益 崇, 都甲 薫
GeO₂ 下部層による固相成長 Ge 薄膜の移動度向上機構
第 68 回応用物理学会春季学術講演会, 17a-Z33-7, オンライン, Mar. 17 (2021). (口頭発表)
【講演奨励賞受賞】
- [13]○今城 利文, 末益 崇, 都甲 薫
固相成長 Ge 薄膜の電気的特性に影響を与える物理的起源の探索
第 82 回応用物理学会秋季学術講演会, 10a-N202-1, オンライン, Sept. 10 (2021). (口頭発表)
【招待講演】

■ 共著発表

- [14]○都甲 薫, 茂藤 健太, 今城 利文, 高原 大地, 斎藤 聖也, 吉峯 遼太, 末益 崇
IV 族半導体薄膜の固相成長: 多結晶でも高移動度
第 66 回応用物理学会春季学術講演会 10p-S221-4, 東京, March 10 (2019). (口頭発表)
【招待講演】
- [15]○斎藤 聖也, 高原 大地, 今城 利文, 茂藤 健太, 末益 崇, 都甲 薫
高品質 n 型多結晶 Ge 膜の合成に向けた Sb 添加固相成長
第 66 回応用物理学会春季学術講演会 10a-M114-2, 東京, March 10 (2019). (口頭発表)
- [16]○茂藤 健太, 山本 圭介, 今城 利文, 末益 崇, 中島 寛, 都甲 薫
固相成長 Ge 薄膜の TFT 動作実証と Sn 添加効果の検討
第 80 回応用物理学会秋季学術講演会 19a-E313-7, 札幌, Sept. 19 (2019). (口頭発表)
- [17]○小澤 知輝, 今城 利文, 末益 崇, 都甲 薫
拡散材を用いた固相成長の Ge 薄膜の n 型伝導制御と熱電応用
第 81 回応用物理学会秋季学術講演会 8p-Z18-9, オンライン, Sep. 8 (2020). (口頭発表)
- [18]○溝口 拓士, 今城 利文, 末益 崇, 都甲 薫
絶縁体上 Ge 薄膜の固相成長における焼締効果
第 81 回応用物理学会秋季学術講演会 9p-Z12-9, オンライン, Sep. 9 (2020). (口頭発表)
- [19]○溝口 拓士, 今城 利文, 末益 崇, 都甲 薫
IV 族混晶薄膜の固相成長における前駆体変調効果
第 68 回応用物理学会春季学術講演会, 17a-Z33-5, オンライン, Mar. 17 (2021). (口頭発表)

- [20]○石山 隆光, 今城 利文, 末益 崇, 都甲 薫
高密度非晶質 Ge 薄膜の Ni 誘起横方向成長
第 68 回応用物理学会春季学術講演会, 17a-Z33-6, オンライン, Mar. 17 (2021). (口頭発表)
- [21]○小澤 知輝, 今城 利文, 末益 崇, 都甲 薫
拡散剤を用いた固相成長 GeSn 薄膜の n 型伝導制御と熱電応用
第 68 回応用物理学会春季学術講演会, 17a-Z33-8, オンライン, Mar. 17 (2021). (口頭発表)
- [22]○小澤 知輝, 今城 利文, 末益 崇, 都甲 薫
拡散剤を用いた固相成長 Ge 薄膜の伝導制御と熱電応用
第 82 回応用物理学会秋季学術講演会, 10p-N406-1, オンライン, Sept. 10 (2021). (口頭発表)
- [23]○石山隆光, 今城 利文, 末益 崇, 都甲 薫
非晶質 Ge(Sn)薄膜の Ni 誘起横方向成長
第 82 回応用物理学会秋季学術講演会, 10a-N202-6, オンライン, Sept. 10 (2021). (口頭発表)
- [24]○茂藤 健太, 山本 圭介, 今城 利文, 末益 崇, 中島 寛, 都甲 薫
固相成長 GeSn 薄膜トランジスタにおける Sn 組成の影響
第 82 回応用物理学会秋季学術講演会, 10a-N202-8, オンライン, Sept. 10 (2021). (口頭発表)
- [25]○高山 智成, 茂藤 健太, 山本 圭介, 今城 利文, 末益 崇, 都甲 薫
ガラス上における多結晶 Ge 系薄膜トランジスタの作製と評価
2021 年(令和 3 年度)応用物理学会九州支部学術講演会, 4Bp-8, オンライン, Dec. 4 (2021).
(口頭発表) **【講演奨励賞受賞】**
- [26]○石山 隆光, 今城 利文, 茂藤 健太, 山本 圭介, 末益 崇, 都甲 薫
多結晶 Ge-TFT の性能評価と粒界・方位制御技術
第 12 回半導体材料・デバイスフォーラム, O-4, オンライン, Dec. 11 (2021). (口頭発表)
【最優秀口頭発表賞受賞】
- [27]○小澤 知輝, 今城 利文, 末益 崇, 都甲 薫
多結晶 Ge 膜の熱電応用と高出力因子の実証
第 12 回半導体材料・デバイスフォーラム, P-5, オンライン, Dec. 11 (2021). Dec. 4 (2021). (口頭発表)
- [28]○溝口 拓士, 今城 利文, 茂藤 健太, 末益 崇, 都甲 薫
多結晶 Ge 膜におけるアクセプタ欠陥低減と分光感度実証
第 12 回半導体材料・デバイスフォーラム, P-3, オンライン, Dec. 11 (2021). (口頭発表)
【最優秀ポスター発表賞受賞】

3. 国際学会講演:20 件(筆頭 15 件)

■ 筆頭発表

- [1] ○**T. Imajo**, K. Toko, R. Takabe, T. Suemasu
Reactive Deposition Epitaxy of SrGe₂ Thin Films on Ge(111) and (001) Substrates
2017 International Conference on Solid State Devices and Materials (SSDM 2020), PS-15-03,
Sendai, Japan, September 21, 2017. (ポスター発表)
- [2] ○**T. Imajo**, R. Takabe, K. Toko and T. Suemasu
SrGe₂ thin films for solar cell applications
Tsukuba Global Science Week Interdisciplinary Workshop on Science and Patents 2017 IWP013,
Tsukuba, September 26, 2017. (ポスター発表)
- [3] ○**T. Imajo**, K. Toko, R. Takabe and T. Suemasu
Growth of SrGe₂ thin films on Ge substrates
27th International Photovoltaic Science and Engineering Conference, 2ThPo.83, Shiga, Japan,
November 16, 2017. (ポスター発表)
- [4] ○**T. Imajo**, R. Yoshimine, K. Moto, T. Suemasu and K. Toko
Improvement of hole mobility of polycrystalline Ge on glass by controlling interfacial layer in
solid-phase crystallization
2018 Joint Symposium on Energy Materials Science and Technology, P-34, Tsukuba, Japan,
March 9, 2018. (ポスター発表)
- [5] ○**T. Imajo**, K. Toko, R. Takabe and T. Suemasu
Characterization of crystallinity and electrical properties of SrGe₂ thin films on Ge substrates
grown by two-step epitaxy
60th Electric Materials Conference, F06, California, USA, June 27 (2018). (口頭発表)
- [6] ○**T. Imajo**, R. Yoshimine, K. Moto, T. Suemasu and K. Toko
Improving hole mobility of solid-phase crystallized Ge on glass by reduction of carrier scattering
factors
2018 International Conference on Solid State Devices and Materials (SSDM 2018), N-1-04,
Tokyo, Japan, Sept. 11, 2018. (口頭発表)
- [7] ○**T. Imajo**, K. Moto, R. Yoshimine and K. Toko
Flexible Germanium Thin Film with the Highest Hole Mobility
Student Poster Presentation on Materials Research (NIMS Collaborative Doctoral Program &
TIMS), PS13, Tsukuba, Sept. 20, 2018. (ポスター発表)
- [8] ○**T. Imajo**, K. Moto, T. Suemasu and K. Toko
High-hole mobility (500 cm²/Vs) polycrystalline Ge thin film on a GeO₂ coated flexible plastic
substrate
MRS Spring Meeting, EP10,02,03 Phoenix, USA, April 24, 2019. (口頭発表)

-
- [9] ○**T. Imajo**, K. Moto, T. Suemasu and K. Toko
Large-grained Polycrystalline Germanium Thin Films on Insulators with the Highest Hole Mobility
The 5th Asia-Pacific Conference on Semiconducting Silicides and Related Materials, Tue-a-O32, Miyazaki, Japan, July 23, 2019. (口頭発表)
- [10] ○**T. Imajo** T. Suemasu and K. Toko
Thickness dependent crystal and electrical properties of polycrystalline Ge on a plastic substrate formed by solid-phase crystallization
2019 International Conference on Solid State Devices and Materials (SSDM 2019), F-6-01, Nagoya, Japan, Sept. 5, 2019. (口頭発表)
- [11] ○**T. Imajo**, T. Suemasu and K. Toko (Postponed due to COVID-19)
The highest quality flexible polycrystalline Ge thin film for wearable devices.
E-MRS Spring Meeting, R.YIF.19, Strasbourg, France, May, 26, 2020. (口頭発表)
【招待講演】
- [12] ○**T. Imajo**, T. Suemasu and K. Toko (Postponed due to COVID-19)
Direct synthesis of Ge thin film on plastic substrate by solid-phase crystallization
E-MRS Spring Meeting, R.P.2, Strasbourg, France, May, 26, 2020. (ポスター発表)
- [13] ○**T. Imajo**, T. Suemasu and K. Toko
High Hole-mobility (690 cm² V⁻¹ s⁻¹) Flexible Polycrystalline Ge Thin Films
2020 International Conference on Solid State Devices and Materials (SSDM 2020), K-2-01, Online, Sept. 28, 2020. (口頭発表)
- [14] ○**T. Imajo**, K. Moto, K. Yamamoto, T. Suemasu, H. Nakashima and K. Toko
Underlayer Selection to Improve the Performance of Polycrystalline Ge Thin Film Transistors
ECS-Prime2020, G03-1759, Online, Oct, 8, 2020. (口頭発表)
- [15] ○**T. Imajo**, T. Suemasu and K. Toko
Possibility of Ge-based materials for flexible thin-film transistors
E-MRS Spring Meeting, O.YIF.26, Online, June, 1, 2021. (口頭発表)
【招待講演、運営委員、座長、Young Research Awards 受賞】

■ 共著発表

- [16] ○T. Mizoguchi, **T. Imajo**, T. Suemasu and K. Toko
Effects of Post Deposition Annealing on the Solid-Phase Crystallization of Ge leading to a Hole Mobility of 530 cm²/Vs on Glass
2020 International Conference on Solid State Devices and Materials (SSDM 2020), K-2-02, Online, Sept. 28, 2020. (口頭発表)
- [17] ○T. Ozawa, **T. Imajo**, T. Suemasu and K. Toko
Solid-phase Diffusion Doping in Polycrystalline Ge Thin Films Leading to High Thermoelectric Power Factors
2021 International Conference on Solid State Devices and Materials (SSDM 2021), F-1-04, Online, Sept. 7, 2021. (口頭発表)
- [18] ○K. Moto, K. Yamamoto, **T. Imajo**, T. Suemasu, H. Nakashima and K. Toko
Sn Doping Effects on Polycrystalline Germanium Thin-Film Transistors on Glass
2021 International Conference on Solid State Devices and Materials (SSDM 2021), J-4-08, Online, Sept. 8, 2021. (口頭発表)
- [19] ○T. Ishiyama, **T. Imajo**, T. Suemasu and K. Toko
Ni-Induced Lateral Crystallization of Densified Amorphous Ge Layer
2021 International Conference on Solid State Devices and Materials (SSDM 2021), K-6-03, Online, Sept. 8, 2021. (口頭発表)
- [20] ○T. Mizoguchi, **T. Imajo**, K. Moto, T. Suemasu and K. Toko
First Demonstration of Photoresponsivity in a Polycrystalline Ge-based Thin Film
2021 International Conference on Solid State Devices and Materials (SSDM 2021), K-6-04, Online, Sept. 8, 2021. (口頭発表)

4. 受賞:5件

- [1] 2016年度 筑波大学 数理物質系物理工学域学修優秀賞, 2017年3月.
- [2] 第9回半導体材料・デバイスフォーラム ポスター発表最優秀賞, 2017年12月.
- [3] 2018年度 筑波大学院 数理物質科学研究科長賞, 2019年3月.
- [4] 第50回(2021年春季) 応用物理学会講演奨励賞, 2021年5月.
- [5] 2021 European Materials Research Society (E-MRS) Spring Meeting, Young Researcher Awards 受賞, 2021年6月.

5. 助成金:5件

- [1] NEC C&C 財団 国際会議論文発表者助成 内定(2018年)
- [2] 丸文財団 平成31年度第1期国際交流助成金 内定(2019年)
- [3] 日本学術振興会 DC1(2019年4月-2022年3月)
- [4] 東電記念財団 2019年度国際技術交流援助 内定(2020年)
- [5] 日立ハイテク 2020年度 奨学生(2020年4月-2021年3月)

6. その他:3件

- [1] 筑波大学 電子・物理工学専攻「TIA パワーエレクトロニクスコース」修了, 2019年3月.
- [2] 東京大学 松尾研「Deep learning 基礎講座/深層学習」修了, 2021年7月.
- [3] 東京大学 松尾研「サマースクール 画像認識」修了, 2021年9月.