

氏名(本籍)	いけ 池 戸 恒 雄 (福島県)		
学位の種類	博 士 (工 学)		
学位記番号	博 乙 第 1,313 号		
学位授与年月日	平成 9 年 7 月 25 日		
学位授与の要件	学位規則第 4 条第 2 項該当		
審査研究科	工 学 研 究 科		
学位論文題目	A Scalable Graphics Processor with Multiple Rendering Functions (拡張接続可能な多機能グラフィックスプロセッサ)		
主査	筑波大学教授	工学博士	大 田 友 一
副査	筑波大学教授	工学博士	西 原 清 一
副査	筑波大学教授	工学博士	平 井 有 三
副査	筑波大学助教授	学術博士	和 田 耕 一
副査	お茶の水女子大学助教授	理学博士	藤 代 一 成

### 論 文 の 内 容 の 要 旨

本論文は、コンピュータグラフィックスを高速化するためのVLSIグラフィックスプロセッサ、特に、レンダリングプロセッサの開発研究について述べている。

仮想現実システムにおいては、描画処理のスループットを高めること、人間の動きに対する描画処理の遅延を小さくすること、リアリティの高い画像を生成することが、臨場感を高めるために重要であり、毎秒100万ポリゴン（1ポリゴン100画素）程度の描画速度が必要と言われている。

本研究では、上記性能を比較的小規模の描画装置で実現することを目標とする。このため、1チップ中に多様なデータの処理に対応可能な回路を埋め込んだ多機能プロセッサ構造を実現し、機能間の並列処理を可能として、1チップによって毎秒100万ポリゴンの描画速度を達成するとともに、複数のチップをツリー状に接続して、装置全体の描画性能を容易に拡張可能としている。

論文は、全7章から構成され、1章の序論に引き続き、2章では、仮想現実感のためのコンピュータグラフィックスシステムについて論じている。3章では、本論文で開発したグラフィックスプロセッサのアーキテクチャについて、多機能レンダリングとスケーラビリティの観点から論じている。4章では、同一チップ内に埋め込まれるRISCプロセッサを説明している。5章では、各種の描画機能、すなわち、テクスチャマッピング、ビデオ画像マッピング、バンプマッピング、フォンシェーディング、反射光シェーディング、ガス状オブジェクト生成などをハードウェアで実現するための技術について、詳細に述べている。6章において、構成したチップの性能評価を行っている。7章は結論である。

本研究のプロセッサは、94万ゲートのASIC上で実現されている。

### 審 査 の 結 果 の 要 旨

本研究では、種々のグラフィックスアルゴリズムをハードウェアで実現するために、多光源Bump-Mapped Phong Shading回路、Multi-Basis Function Filter回路、Sinc Interpolation回路などの多くの回路構成を新しく考案し、拡張接続可能なグラフィックスプロセッサとして1チップで構成した点に、新規性がある。実現された機

能は、現在のグラフィックスアルゴリズムの全てをカバーするものではないが、本研究で開発されたプロセッサによって、描画速度とリアリティの高い仮想現実感システムが、容易に構築できるようになり、有用性の高い研究であると評価できる。

よって、著者は博士（工学）の学位を受けるに十分な資格を有するものと認める。