

| | |
|---------|--------------------------------|
| 氏名(本籍) | くれ ばやし りょう すけ 樽 林 亮 介 (静岡県) |
| 学位の種類 | 博 士 (工 学) |
| 学位記番号 | 博 乙 第 1947 号 |
| 学位授与年月日 | 平成 15 年 7 月 25 日 |
| 学位授与の要件 | 学位規則第 4 条第 2 項該当 |
| 審査研究科 | 工学研究科 |
| 学位論文題目 | データ駆除プロセッサによる実時間処理の実現法に関する研究 |

| | | | |
|-----|---------|--------|---------|
| 主 査 | 筑波大学教授 | 工学博士 | 西 川 博 昭 |
| 副 査 | 筑波大学教授 | Ph. D. | 田 中 二 郎 |
| 副 査 | 筑波大学教授 | 学術博士 | 和 田 耕 一 |
| 副 査 | 筑波大学教授 | 理学博士 | 佐 藤 三 久 |
| 副 査 | 筑波大学助教授 | 博士(工学) | 安 永 守 利 |

論 文 の 内 容 の 要 旨

本論文は、データ駆動プロセッサによる実時間処理の実現法に関する研究をまとめたものである。本論文では、まずデータ駆動プロセッサによる実時間処理の実現を目的としたプログラム割当手法を提案している。データ駆動プロセッサは、パイプラインが過負荷にならない限り、実行可能なプロセスを相互干渉なしに並列処理可能である。このとき、多重処理される個々のプロセスのターンアラウンドタイムは、多重に実行される他のプロセスに依存することなく、単一プロセスで実行した際の実行時間のまま維持される。したがって、(1) 実行時間が見積り可能であり、(2) その実行時間が時間制約の範囲内であり、かつ、(3) 過負荷が生じないようプログラムを各 PE (Processing Element) に静的に割当てれば、多重処理時においても実行時のスケジューリングなしに時間制約を充足できる。本論文では、まずプログラム割当問題における制約と目的関数を定義している。次に、プログラム割当問題の規模縮小のため、プログラム割当手順を階層化する手法を提案している。更に、プログラム割当におけるアルゴリズムを比較評価し、リストを用いた発見的アルゴリズムと遺伝的アルゴリズムとを組み合わせた手法が、割当対象となるプログラム及びマルチプロセッサシステムの規模拡大に対するスケーラビリティ、及び時間制約の充足能力に優れることを示している。

次に本論文は、実時間性を検証するための性能評価手法について述べ、メディア処理、及びプロトコル処理を具体例として、データ駆動プロセッサによる実時間処理を評価する。まず、実時間性の検証手段として筆者が属する研究室で提案してきた RESCUE (Real-time Execution System for CUE family data-driven processors) について概説している。更に、プロトコル処理を対象とした評価を通じ、提案されたプログラム割当手法を用いることによって、実行時のスケジューリングなしに、性能仕様の範囲内でターンアラウンドタイムが一定に維持されることを示す。その一方で、データ依存性のある命令をパイプライン処理できないというデータ駆動プロセッサの特徴によって、並列性の低い処理部が時間制約を充足する際のボトルネックとなる。

上述の課題を解決するため、本論文は、データ駆動プロセッサのオーバーヘッドのない多重処理という特長を維持しつつ逐次処理部によるボトルネックを軽減したプロセッサの実行方式とパイプライン構成を提案し

ている。本プロセッサは、データ依存関係に基づき命令発行されるデータ駆動プログラムと、プログラムカウンタに基づき逐次的に命令発行される制御駆動プログラムとを、同一パイプライン上で命令単位に多重処理する。このとき、制御駆動プログラムの実行時に生じるデータハザードを効率よく解消するため、データ駆動プロセッサの発火制御部を、スーパーカラプロセッサにおけるリザーベーションステーションとしても利用可能なように拡張する。本論文では、動画像圧縮処理を例とした性能評価を通じ、データ駆動プロセスによる並列処理の優位性、制御駆動プロセス導入による逐次処理部の実行効率の向上を述べている。更に、データ駆動プログラムと制御駆動プログラムとの多重処理時に、パイプラインを公平に共有できることを示している。

審 査 の 結 果 の 要 旨

本論文では、データ駆動プロセッサによる実時間処理の実現を目的として、プログラム割当手法、実時間性の検証、プロセッサアーキテクチャについて論じている。プログラム割当手法では、時間制約を充足するための要件を論理的に導びき、適切に定式化している点が評価できる。またその割当アルゴリズムについても、割当手順の階層化や、リストを用いた発見的アルゴリズムと遺伝的アルゴリズムを組合せるなど、筆者の独創性が認められる。更に具体的な実験を通じて、性能仕様の範囲内でターンアラウンドタイムを一定に維持していることを示されており、筆者が提案する実時間処理の実現法の有効性が定量的に示されている。プロセッサアーキテクチャに関しては、従来手法の問題点を明らかにした上で、データ駆動・制御駆動プログラムを多重処理するという新規性が認められるプロセッサの提案がなされている。

よって、著者は博士（工学）の学位を受けるに十分な資格を有するものと認める。