

低消費電力高周波モノリシック  
能動RCフィルタの構成

1996年3月

松元藤彦

①

目次

# 低消費電力高周波モノリシック 能動RCフィルタの構成

1996年3月

松元 藤彦

# 目次

1	序論	6
1.1	研究の背景	6
1.2	各章の概要	9
2	積分器の基本構成とその基本的性質	11
2.1	積分器の基本構成	11
2.2	トランスコンダクタ	14
2.3	トランスコンダクタの電流出力回路	17
2.4	まとめ	21
3	高周波特性の優れたシングルエンド出力回路	22
3.1	カレントミラー回路の高周波補償	23
3.2	ベース接地 PNP トランジスタの高周波補償	29
3.2.1	ダーリントン回路の周波数特性	29
3.2.2	ダーリントン回路の入力インピーダンス	34
3.2.3	ダーリントン回路の出力インピーダンス	35
3.3	まとめ	40
4	低電圧用高周波積分器の構成	41
4.1	OTA を用いたミラー積分器	42
4.2	2 入力形ミラー積分器の構成	44
4.3	回路実現法	46
4.3.1	実現法 I	46

4.3.2	実現法 II . . . . .	50
4.4	まとめ . . . . .	54
5	位相補償法 . . . . .	56
5.1	従来の位相補償法 . . . . .	56
5.2	新しい位相補償法 . . . . .	59
5.3	まとめ . . . . .	63
6	シミュレーション . . . . .	64
6.1	3次リープフロッグフィルタの実現 . . . . .	65
6.2	シミュレーション結果 . . . . .	73
6.2.1	積分器のシミュレーション . . . . .	75
6.2.2	フィルタのシミュレーション . . . . .	79
7	結論 . . . . .	87
	謝辞 . . . . .	91
	参考文献 . . . . .	92

## 目 次

2.1	容量接地形積分器の基本構成 . . . . .	12
2.2	ミラー形積分器の基本構成 . . . . .	12
2.3	エミッタ結合対 . . . . .	15
2.4	Gilbert Cell 形トランスコンダクタ . . . . .	17
2.5	シングルエンド出力トランスコンダクタ . . . . .	18
2.6	Folded Cascode を用いたシングルエンド出力トランスコンダクタ . . . . .	19
2.7	差動出力形トランスコンダクタ . . . . .	20
3.1	カレントミラー電流源回路 . . . . .	23
3.2	3トランジスタ形カレントミラー回路 . . . . .	24
3.3	Wilson 形電流源回路 . . . . .	24
3.4	各電流源回路の振幅特性 . . . . .	27
3.5	各電流源回路の位相特性 . . . . .	28
3.6	ダーリントン回路 . . . . .	31
3.7	ベース接地回路の振幅特性 . . . . .	32
3.8	ベース接地回路の位相特性 . . . . .	33
3.9	ダーリントン回路の入力インピーダンス . . . . .	35
3.10	ダーリントン回路の出力インピーダンス . . . . .	36
3.11	出力インピーダンスの比較 . . . . .	39
4.1	OTA ミラー積分器 . . . . .	43
4.2	提案する 2 入力形ミラー積分器の基本構成 . . . . .	45
4.3	実現法 I . . . . .	48

4.4	エミッタ接地トランジスタの高周波等価回路	49
4.5	実現法 I の位相特性	50
4.6	実現法 II	51
4.7	電流源をダイオードに置き換えた構成	52
4.8	同相モード小信号等価回路	54
5.1	積分器の位相進み補償	57
5.2	トランスコンダクタの位相進み補償	58
5.3	提案する位相補償法	59
5.4	補償容量を接続したトランスコンダクタの小信号等価回路	62
5.5	位相特性の計算結果	62
6.1	抵抗両終端形 LC ローパスフィルタ	65
6.2	3 次リープフロッグフィルタ	66
6.3	Wilson 電流源回路を用いた Gilbert Cell	66
6.4	出力電圧範囲の広い Gilbert Cell	67
6.5	ダーリントン回路を用いた Gilbert Cell	67
6.6	multi-tanh トランスコンダクタ (N=2)	68
6.7	高周波特性の改善された multi-tanh トランスコンダクタ (N=2)	69
6.8	2 入力形ミラー積分器で構成した 3 次リープフロッグフィルタ	69
6.9	提案する積分器の構成	70
6.10	電圧ホロワ	70
6.11	RCCS の基本構成	71
6.12	RCCS の具体的回路構成	72
6.13	容量接地形積分器の振幅特性	75
6.14	容量接地形積分器の位相特性	76
6.15	容量接地形積分器の位相特性 (-90° 付近)	76
6.16	2 入力形ミラー積分器の位相特性	77
6.17	位相補償の効果	78

6.18 2入力形ミラー積分器の同相利得と差動利得 . . . . .	79
6.19 ダーリントン回路を導入した積分器で構成されたフィルタの振幅特性 . . . . .	80
6.20 ダーリントン回路を導入した積分器で構成されたフィルタの振幅特性 (通過域) . . . . .	80
6.21 提案するミラー積分器で構成されたフィルタの振幅特性 . . . . .	82
6.22 提案するミラー積分器で構成されたフィルタの振幅特性 (通過域) . . . . .	82
6.23 提案するフィルタの電源電圧特性 . . . . .	83
6.24 提案するフィルタの電源電圧特性 (通過域) . . . . .	83
6.25 提案するフィルタの温度特性 . . . . .	84
6.26 提案するフィルタの温度特性 (通過域) . . . . .	84
6.27 提案するフィルタのモンテカルロシミュレーション . . . . .	86
6.28 提案するフィルタのモンテカルロシミュレーション (通過域) . . . . .	86

# 第 1 章

## 序論

### 1.1 研究の背景

電子フィルタの概念は、1915年にアメリカの G.Campbell とドイツの K.Wagner によってほぼ同時期に初めて発表された。伝送線路の研究において、コイルやコンデンサの特性を解明したことがきっかけであったといわれている。能動 RC フィルタとしては、1938年に H.H.Scott によって発表された RC 狭帯域増幅器が最初であるが、フィルタ理論の立場から能動 RC フィルタが注目されるようになったのは、1954年に J.G.Linvill が負性インピーダンス変換器 (NIC) を用いたフィルタを発表して以来である [6]。翌 1955年には、2次伝達関数を1個の帰還増幅器と RC 回路で実現する、いわゆる Sallen Key フィルタが R.P.Sallen と E.L.Key によって発表された [7]。1965年に最初に発売された演算増幅器が、大量生産により低価格で入手できるようになると、この回路を基本とした能動 RC フィルタが急速に普及するに至った。さらに、半導体技術の進歩により、現在では様々な方法でフィルタが集積化されるようになった。

近年、オーディオ機器、通信機器、映像機器等様々な用途の電子機器の小形化に伴い、信号処理回路の集積化がますます重要となってきた。信号処理回路を高い集積度で集積化するためには、集積化に適したフィルタを設計することが重要である。フィルタは用途によって、処理信号が低ひずみであること、優れた高周波特性、低電圧電流動作、広いダイナミックレンジ等が要求される。理想に近いフィルタが実現できれば、あらゆる分野への応用が可能となる。このことは製造コストの削減につながり、ユーザーに安価で実用性の高いフィルタを提供できるようになる。

しかし実際には、コスト面も含め、あらゆる性能の優れた回路を設計することは非常に困難であり、特定の性能を重点的に向上させる手法が採られる。例えば、オーディオ機器用フィルタは、



低ひずみであることが要求され、ビデオ機器 [10],[26] やハードディスクのリードチャンネルにおける信号処理 [1],[2],[38] には高周波帯域用のフィルタが要求される。携帯用電子機器には、本体をより軽量化するために小形バッテリーで駆動できるようにすると同時に、バッテリーの駆動時間を長くできるように、低消費電力フィルタを使用することが要求される [14],[15],[39]。

現在集積化可能なフィルタとして、デジタルフィルタ、スイッチトキャパシタフィルタが挙げられる。しかし、これらのフィルタには、信号処理用フィルタ以外に、AD、DA 変換器、あるいは高性能演算増幅器が必要となり、コスト、消費電力等の問題が生じる。従って、小形で安価なフィルタを製造するには、モノリシック集積回路で能動 RC フィルタを実現することが望ましい。特に、回路の高速化に伴う消費電力の増加は重大な問題であるため、連続時間フィルタを使用する以外選択の余地はないと考えられる。

またその一方で、デバイスの微細加工技術の発展により、最小加工寸法が  $1\mu\text{m}$  以下となるいわゆるサブミクロン時代を迎え、より高い集積度で複雑かつ高機能なシステムを集積化できるようになってきた。しかしこれによって、チップの単位面積当たりの消費電力が増大するという問題が生じる。しかも、信号処理の高速化に対する要求も高まっているため、低電力化の問題は、高周波化とともに集積回路の重要な課題となっており、その両者の問題は、切り放して考えることができなくなっている。

プロセスの選択にあたって、まず消費電力を考慮するならば、電流と電圧の関係が二乗則特性となっている MOSFET の使用は避け、低電圧、低電流動作可能なバイポーラトランジスタを使用すべきである。さらに、低コスト性を考慮するならば、標準バイポーラプロセスを採用することが要求される。標準バイポーラプロセスによって能動 RC フィルタを実現する場合には、素子精度が悪いという問題と、ラテラル形 PNP トランジスタ高周波特性が、NPN トランジスタのそれに比べてはるかに劣るという問題に直面する。

モノリシック集積回路内の受動素子は、その値が相対的には揃っているものの、絶対値の偏差は非常に大きい。この問題は、相対精度の良さを生かして設計された能動回路を用いて、低素子感度である抵抗両終端形 LC フィルタ [4],[5] をシミュレートすることによって解決が図られる。

ラテラル形 PNP トランジスタの高周波特性が、NPN トランジスタのそれよりもはるかに劣るのは、ベース幅を狭くできないことが大きく関係している。それは、ベース領域の不純物濃度がコレクタ領域のそれより低いために、コレクターベース接合の空乏層がベース側に広がり、それ

がエミッタ領域に達しないように、ベース幅を広くとらざるを得ない、という理由によるものである。P基板をコレクタ領域とするサブストレート PNP トランジスタは、ラテラル形に比べて高周波特性が優れているが、コレクタが回路の最低電位となるため、コレクタ接地回路としてしか使用できない。従って、高周波特性の優れた回路を実現するためには、信号経路に PNP トランジスタが不要となる回路設計をすることが最も望ましい [17],[22],[23]。しかし、PNP トランジスタが欠かせない回路においては、高周波特性の改善は、解決が非常に困難な課題である。

一般に、LCシミュレーション形モノリシック能動 RCフィルタの主な構成方法として、ジャイレータ・コンデンサ形フィルタ [20]、およびリーブフロッグ形フィルタ [8] が挙げられる。いずれの構成法においても、トランスコンダクタとコンデンサを組み合わせることによりフィルタが実現される。従って、トランスコンダクタの高周波特性を改善することが、フィルタの高周波化につながる。

ジャイレータ形フィルタでは、二個のトランスコンダクタを組み合わせたジャイレータとコンデンサで等価インダクタが実現される。この構成法に対しては、信号経路に PNP トランジスタを用いないで設計されたトランスコンダクタを適用できる [14],[15],[34]。しかし、トランスコンダクタには無限大の入出力インピーダンスが要求されるが、実際には有限の値であるために、等価インダクタの  $Q$  とフィルタの通過域利得が低下するという問題が生じる [37]。

リーブフロッグ形フィルタは、基本構成ブロックとしてトランスコンダクタとコンデンサで構成される積分器を用いて、原形 LCフィルタの各節点電圧と枝電流をシミュレートするものである。当初は、演算増幅器を用いて加算器、積分器、不完全積分器を構成してリーブフロッグフィルタが実現されていたが、後にモノリシック集積回路上で、差動入力トランスコンダクタとコンデンサを組み合わせた差動入力積分器を使用することにより、加算器は不要となり、不完全積分器は、差動入力積分器に帰還を施すことにより容易に実現できるようになった。

積分器の出力端には電圧フォロワを接続できるため、出力インピーダンスを低くすることができる。そのため、ジャイレータフィルタと比べて、等価インダクタの  $Q$  や直流利得の低下が起こりにくい [9]。また、より少ないトランスコンダクタで 0dB の通過域利得を実現できるという利点を有する。この構成法に対しても、信号経路にラテラル形 PNP トランジスタを用いない回路構成とすることが可能である。しかしその場合は、完全差動形で動作させるため、非平衡-平衡信号変換回路 [22] や同相フィードバック回路 (CMF) [1],[10],[35] が必要となり、コストの増大を招く

という問題が生じる。従って、低コスト性が要求される場合には、PNP トランジスタを用いて同相信号除去比 (CMRR) の優れた回路を設計しなくてはならない。

本研究は、ラテラル形 PNP トランジスタを使用したフィルタの高周波特性を改善することと、高周波化に伴って増加する消費電力を低減することを目的としている。本論文では、高周波特性が優れ、消費電力の低いリープフロッグ形フィルタを実現するための、新しい積分器の構成法を提案する。そして、回路解析シミュレータ PSpice を用いて行ったシミュレーション結果を示し、提案する手法の有効性及び実用性を確認している。

## 1.2 各章の概要

本論文は7章で構成されている。2章から6章までが本論で、7章が結論である。本節では各章の概要を示す。以下、本論文において、PNP トランジスタは全てラテラル形 PNP トランジスタを指すものとする。

2章では、従来の積分器の基本構成及びその特性について述べる。まず、典型的な積分器である、容量接地形積分器とミラー形積分器の基本構成を示し、それらの伝達特性とその特徴について議論する。次に、入力信号電圧を信号電流に変換して積分容量に出力するための回路である、トランスコンダクタの構成について述べる。最後に、トランスコンダクタの電流出力回路の構成について議論する。トランスコンダクタの電流出力回路としては、シングルエンド形出力と差動形出力の二通りの構成法がある。それぞれの回路に対して、高周波特性、消費電力、そして製造コストの問題について議論する。

3章では、シングルエンド形出力トランスコンダクタの高周波特性を改善する方法について述べる。信号が、PNP トランジスタで構成されるカレントミラー回路、またはベース接地 PNP トランジスタを通過することによって、高周波特性が悪化する。そこでまず、PNP カレントミラー回路に代わるものとして、二つの電流源回路に注目し、それらの周波数特性を解析する。そして、カレントミラー回路の特性と比較し、高周波特性が優れていることを示す。次に、ベース接地 PNP トランジスタ回路の代わりに、PNP トランジスタと NPN トランジスタで構成される異極性ダーリントン回路 (以下、ダーリントン回路) を使用することを提案する。そして、その周波数特性と、電流出力回路として重要となる入出力インピーダンスを解析し、ダーリントン回路を用いる

ことによって、高周波特性の優れたシングルエンド出力形トランスコンダクタを実現できることを示す。

4章では、新しい積分器の基本概念と、その具体的構成法について述べる。提案する積分器は、帰還増幅器として Operational Transconductance Amplifier (以下、OTA) を用いた従来の OTA ミラー積分器の出力端に、もう一つの逆相の入力信号電流源を接続して実現される。二つの信号電流の値を等しくすることによって、OTA の特性や、前段に接続されるトランスコンダクタの出力インピーダンスの影響をほとんど受けない理想的な積分特性が得られる。理想特性を実現するために、OTA のトランスコンダクタンスを十分大きくしなくてはならない従来の OTA ミラー積分器に比べて、提案する手法は、優れた特性を有する積分器を実現する上で非常に有利であることが示される。後半において、提案する積分器の具体的実現法として、二つの回路構成を示す。そして、それぞれの特性を解析し、評価する。

5章では、まず前半で、従来の位相補償法について解説し、後半では、新しい位相補償法を提案する。提案する手法は、複数のテール電流源でバイアスされる multi-tanh トランスコンダクタに適用されるもので、対称な一組の結合対のテール電流源間に、補償容量を接続することにより、位相進み補償が実現される。これによって実現される零点と極の周波数は、補償容量とトランスコンダクタを構成するトランジスタのエミッタ等価抵抗の積に比例した時定数によって与えられるので、テール電流の変化に伴って時定数が変化する。このような位相補償システムは、可変特性フィルタにおいては大変重要である。

6章では、まず前半で、積分器を用いて実現する、3次リープフロッグフィルタの構成について述べる。また、フィルタの特性をチューニングするための回路である、抵抗制御電流源の構成を示す。後半では、PSpice でシミュレーションした結果を示し、提案する手法の有効性及び実用性を確認している。

7章では、各章のまとめと今後の課題について述べて、総括する。

## 第 2 章

# 積分器の基本構成とその基本的性質

リープフロッグ形フィルタ [8] は、原形となる抵抗両終端形  $LC$  フィルタの各節点の電圧と枝電流を、ブロック図、あるいはシグナルフローグラフで表し、それを加算器、積分器などの演算器で実現するものである。各積分器の利得係数は、原形となる抵抗両終端形  $LC$  フィルタのリアクタンス素子のリアクタンスと 1 対 1 に対応しているため、リープフロッグ形フィルタは、 $LC$  フィルタの低素子感度性を受け継いでいる。

本章では、リープフロッグ形構成の基本構成要素である、従来のモノリシック積分器の基本構成とその特性について述べる。また、消費電力と高周波特性について問題点を指摘し、その解決のための方策及び展望について議論する。

従来のモノリシック積分器は、二つの基本的なタイプに分類される。まず、それぞれの積分器の特性を示し、その特徴について述べる。次に、入力信号電圧を信号電流に変換して積分容量に出力するための回路である、トランスコンダクタの構成について簡単に述べる。最後に、トランスコンダクタの電流出力回路の構成について議論する。ここでは、優れた高周波特性や高い CMRR を有する電流出力回路について検討する。

### 2.1 積分器の基本構成

図 2.1 と図 2.2 に、トランスコンダクタと積分容量によって構成される、二つの典型的な積分器の構成を示す [1]。積分器の理想伝達特性は、一般的に

$$T(s) = \frac{K}{s} \quad (2.1)$$

で表される。トランスコンダクタのトランスコンダクタンス  $g_m$  と、積分容量  $C_{int}$  を用いると、図に示される積分器の理想伝達特性は

$$T(s) = \frac{g_m}{sC_{int}} \quad (2.2)$$

で与えられる。

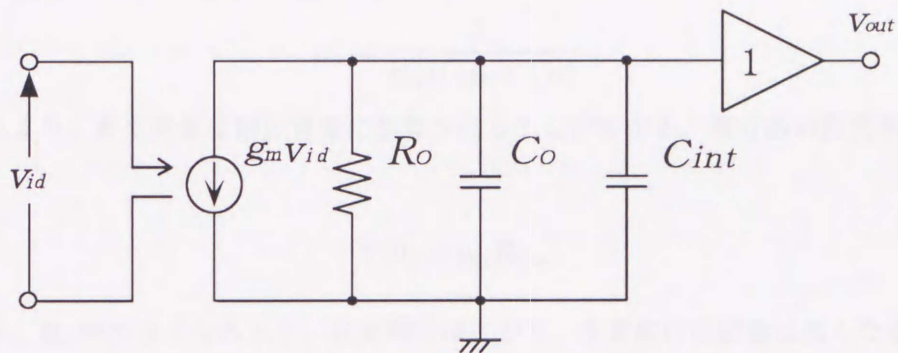


図 2.1: 容量接地形積分器の基本構成

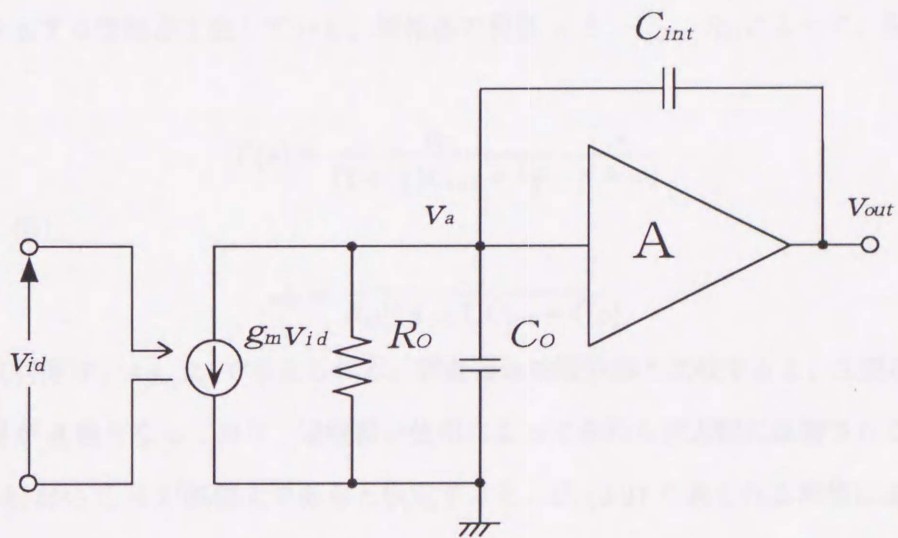


図 2.2: ミラー形積分器の基本構成

図 2.1 に示される回路は容量接地形積分器である [21],[24]。\$C\_O\$ はトランスコンダクタの出力端の全寄生容量、\$R\_O\$ はトランスコンダクタの出力抵抗を表している。この積分器は、構成が簡単で消費電力が小さいなどの特長を有する。この回路の伝達特性は

$$T(s) = \frac{g_m}{C_{int} + C_O} \cdot \frac{1}{s + \omega_a} \quad (2.3)$$

で表される。但し

$$\omega_a = \frac{1}{R_O(C_{int} + C_O)} \quad (2.4)$$

である。これより、寄生容量は積分容量に加算されることがわかる。積分器の直流利得は

$$T(0) = g_m R_O \quad (2.5)$$

で与えられる。\$R\_O\$ が小さくなるほど、直流利得は下がり、主要極の周波数は高くなる。このように、この積分器には、その特性がトランスコンダクタの出力端に存在する寄生容量や出力抵抗の影響を受けやすい、という問題点がある。

図 2.2 の回路は、ミラー積分器と呼ばれ、増幅器と容量で帰還ループを構成することによって得られる積分器である [10],[13]。図中の \$A\$ は、高入力インピーダンス、低出力インピーダンス、そして高利得を有する増幅器を表している。増幅器の利得 \$A\$ と、\$C\_O\$、\$R\_O\$ によって、伝達特性は

$$T(s) = \frac{g_m}{(1 + \frac{1}{A})C_{int} + \frac{C_O}{A}} \cdot \frac{1}{s + \omega_b} \quad (2.6)$$

で表される。但し

$$\omega_b = \frac{1}{R_O[(A + 1)C_{int} + C_O]} \quad (2.7)$$

である。直流利得は、\$A g\_m R\_O\$ で与えられる。容量接地形積分器と比較すると、主要極周波数が \$\frac{1}{A}\$ 倍、直流利得が \$A\$ 倍となっており、増幅器の使用によってそれらが大幅に改善されることがわかる。式 (2.6) において \$A\$ が無限大であると仮定すると、式 (2.2) で表される理想伝達特性が得られ、直流利得は無限大となる。

ミラー積分器における \$C\_O\$、\$R\_O\$ の振る舞いを調べるために、トランスコンダクタの出力端、すなわち増幅器の入力端の電圧 \$v\_a\$ を求める。積分器の出力電圧を \$v\_o\$ とすると

$$v_a = -\frac{v_o}{A} \quad (2.8)$$

が得られる。 $A$ が十分大きいとすると、 $v_a$ は非常に小さな値となる。これは、この節点が仮想接地点であることを意味する。このことより、ミラー積分器は $C_O$ 、 $R_O$ の影響を受けにくい構成となっていることがわかる。

この積分器の問題点は、高利得増幅器の導入による、コストと消費電力の増加である。また、増幅器の周波数特性が積分器の周波数特性に重大な影響を及ぼすので、増幅器の設計に対する要求特性は非常に厳しいものとなる。

積分特性の非理想性は、低周波側では有限の直流利得、すなわち主要極として、高周波側では高次極として現れる。高次極によって生じる位相遅れは、積分器で構成されたフィルタの $Q$ を著しく増大させる。高次極は、トランスコンダクタの入力トランジスタのミラー効果によるもの、容量接地形積分器に使用される電圧ホロワの出力端に存在する寄生容量と出力抵抗によるもの、ミラー積分器の帰還増幅器の出力抵抗と積分容量によるもの、そしてPNPトランジスタの遷移周波数 $f_P$ によって定義される極等が挙げられる。標準のバイポーラプロセスにおける一般的な $f_P$ の値は数MHzから10MHz程度であるが、その他の極周波数はいずれも $f_P$ よりも十分高い。従って、高周波特性の優れた積分器を実現するためには、PNPトランジスタを使用しないことが最も有効な解決策である。しかし、低コスト性や低電力動作を考慮するならば、PNPトランジスタを使用せざるを得ない場合が少なくない。この点については、2.3節において議論する。

## 2.2 トランスコンダクタ

図2.3に示す回路は、エミッタ結合対と呼ばれる最も簡単な構成のトランスコンダクタである。この回路は、縦積みのトランジスタ数が少ないので、低電源電圧回路に適している。入力電圧 $v_{id}(=v_1 - v_2)$ と $i_{out}(=i_1 - i_2)$ の関係は

$$i_{out} = I_{EE} \tanh\left(\frac{v_{id}}{2V_T}\right) \quad (2.9)$$

で与えられる[31]。但し、 $V_T$ は、トランジスタの熱電圧で絶対温度 $T$ 、ボルツマン定数 $k$ 、電子の電荷 $q$ より



$$V_T = \frac{kT}{q} \quad (2.10)$$

で与えられる。トランスコンダクタンス  $g_m$  は

$$g_m = \frac{di_{out}}{dv_{id}} \quad (2.11)$$

で定義される。エミッタ結合対の  $g_m$  が入力電圧に依存せず、ほぼ一定となるためには

$$\left| \frac{v_{id}}{2V_T} \right| \ll 1 \quad (2.12)$$

を満足しなくてはならないので、無ひずみ最大入力電圧は数 mV 程度と非常に低くなる。

広い線形入力範囲を実現する方法として、非対称なエミッタ結合対を複数並列接続して線形化を行う、multi-tanh 技術が提案されている [14]。しかし、1V を越えるような大きな振幅の信号を扱う場合には、トランジスタ数が膨大になるため実用的ではない。

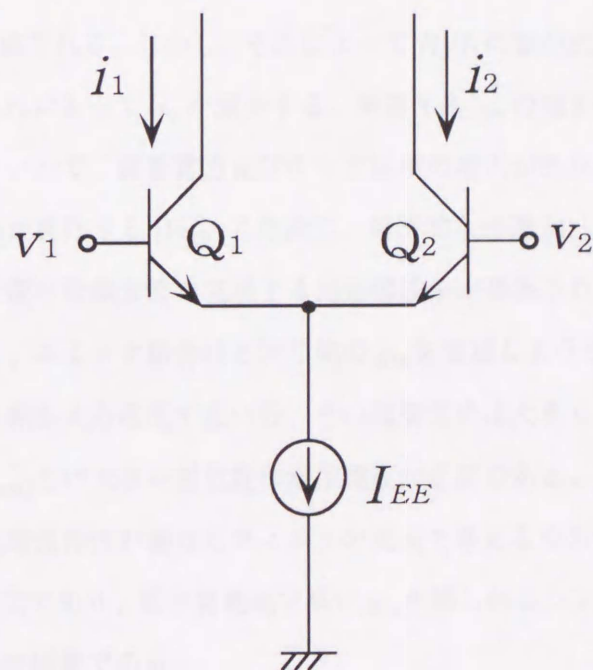


図 2.3: エミッタ結合対

図 2.4 に示すトランスコンダクタは Gilbert Cell 形トランスコンダクタと呼ばれ、線形性の優れた回路として知られている [42]。トランスコンダクタンスは

$$g_m = \frac{I_2}{(R_E + 2r_e)I_1} \quad (2.13)$$

で与えられる [21],[24]。但し、 $r_e$  はトランジスタ  $Q_1$ 、 $Q_2$  のエミッタ抵抗である。入力可能な最大振幅  $V_{inMAX}$  は、 $Q_1$  または  $Q_2$  の一方がカットオフ状態となる時の入力電圧であるから、図 2.4 の回路においては

$$V_{inMAX} = 2I_1R_E \quad (2.14)$$

で与えられる。しかし、初段の信号電流が  $I_1$  に比べて無視できない大きさとなる場合には、 $r_e$  の値は信号電流の大きさによって大きく変化するため、式 (2.13) の分母に非理想項が生じ、結果として信号電流にひずみが発生する。ひずみを低減し、優れた線形性を実現するためには

$$\frac{2r_e}{R_E} \ll 1 \quad (2.15)$$

なる関係を満足させればよい。これは、 $R_E$  を大きくするか、初段のバイアス電流  $I_1$  を十分大きくすることにより容易に達成される。しかし、それによって  $R_E I_1$  の値が式 (2.14) で定められる値よりかなり大きくなり、それによって  $g_m$  が減少する。希望する  $g_m$  の値を維持するためには、 $I_2$  も大きくしなければならないので、消費電力及びチップ面積の増大が免れないだけでなく、雑音増大の原因となり、S/N 比が悪化する [15]。入力段に、局所的な帰還 [41],[40] を施すことによって消費電流を増加させずに優れた線形性を実現する回路構成法が提案されている [15]。しかし、この回路を用いたとしても、エミッタ結合対と同じ値の  $g_m$  を実現しようとする場合、Gilbert Cell 形トランスコンダクタは線形入力電圧が広い分、その消費電流は大きくなる。また、エミッタ結合対よりも  $V_{BE} - V_{CE(sat)}$  だけ大きい最低動作電源電圧が必要である。従って、本論文の主眼である、消費電力が低く高周波特性が優れたフィルタの実現を考えるならば、線形入力範囲は犠牲になるが、低電圧動作可能であり、低消費電流で高い  $g_m$  が得られるシングルエミッタ結合対を用いて積分器を設計するのが得策である。

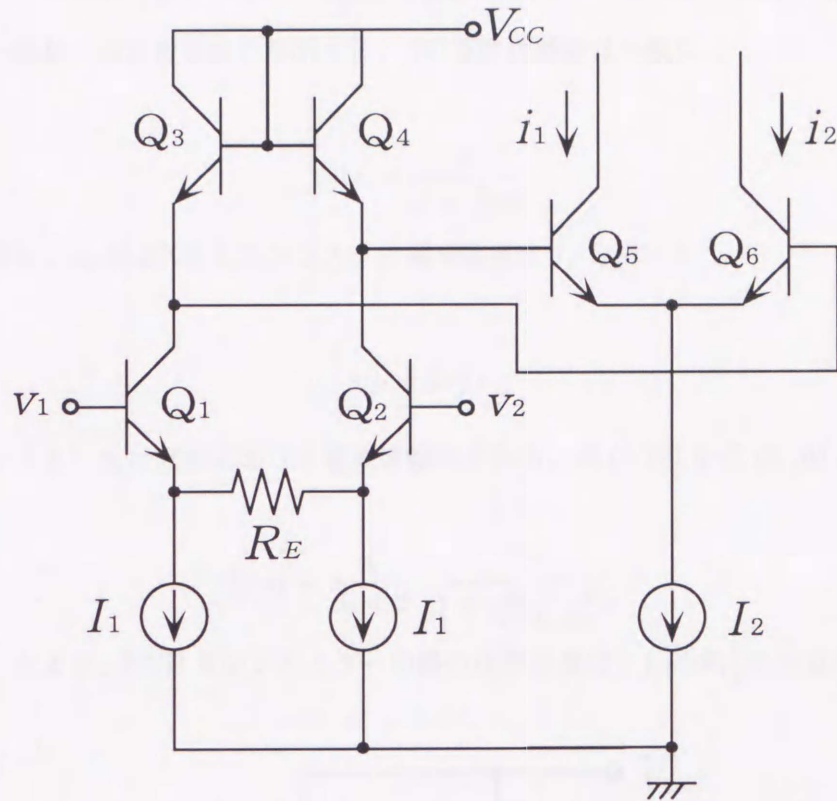


図 2.4: Gilbert Cell 形トランスコンダクタ

### 2.3 トランスコンダクタの電流出力回路

2.2節で述べたモノリシクトランスコンダクタは、基本的に差動入出力形である。トランスコンダクタの出力端をコンデンサに接続して積分器を実現する際に、その電流出力を、シングルエンド出力にする方法と、そのまま差動出力にする方法とがある。

図 2.5の回路は、トランスコンダクタの出力を、PNP トランジスタ  $Q_1$ 、 $Q_2$  で構成されるカレントミラー回路でシングルエンド変換するという最も簡単な電流出力方式である。PNP カレントミラー回路のミラー係数  $T_i$  は

$$T_i = \frac{\beta_P}{\beta_P + 2} \quad (2.16)$$

で与えられる。但し、 $\beta_P$  は PNP トランジスタのエミッタ接地電流増幅率である。 $\beta$  の値が 1 よりも十分大きければ、 $T_i$  の値はほぼ 1 となるため、エミッタ結合対の両入力端子に同相信号が入力されても、出力端子には信号電圧がほとんど生じない。このように、この回路構成の最大の利点

は、カレントミラー回路の働きにより CMRR が非常に高くなっているということである。

次に、ミラー係数の周波数特性を解析する。 $\beta$ の周波数特性は一般に

$$\beta(s) = \frac{\beta_0}{1 + \frac{\beta_0}{\omega_P} s} \quad (2.17)$$

で表される。但し、 $\omega_P$ はPNPトランジスタの遷移周波数 $f_P$ を用いて

$$\omega_P = 2\pi f_P \quad (2.18)$$

で与えられる。また、 $\beta_0$ は直流における電流増幅率である。式(2.17)を式(2.16)に代入すると

$$T_i(s) = \frac{\beta_0}{\beta_0 + 2} \cdot \frac{1}{1 + \frac{\beta_0}{\beta_0 + 2} \cdot \frac{2}{\omega_P} s} \quad (2.19)$$

が得られる。これより、PNPカレントミラー回路の極周波数は、 $f_P$ の約 $\frac{1}{2}$ であることがわかる。

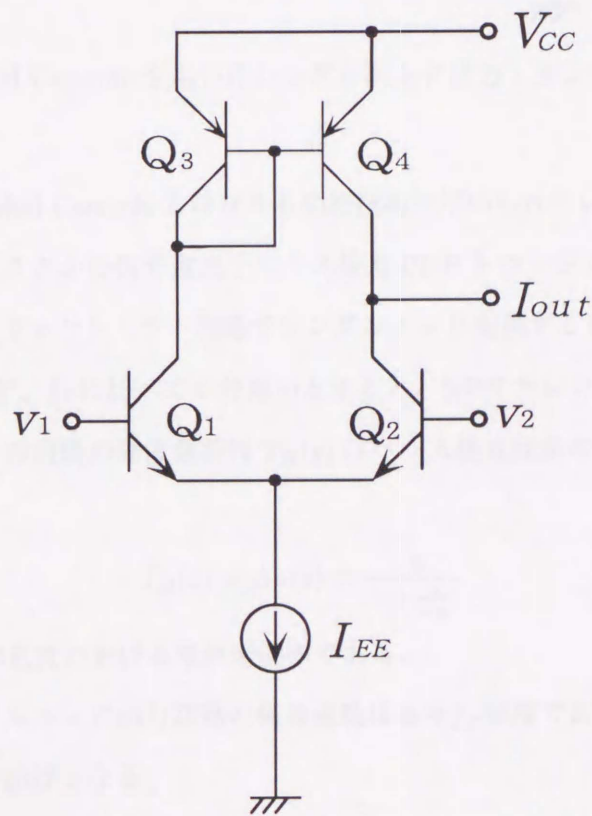


図 2.5: シングルエンド出力トランスコンダクタ

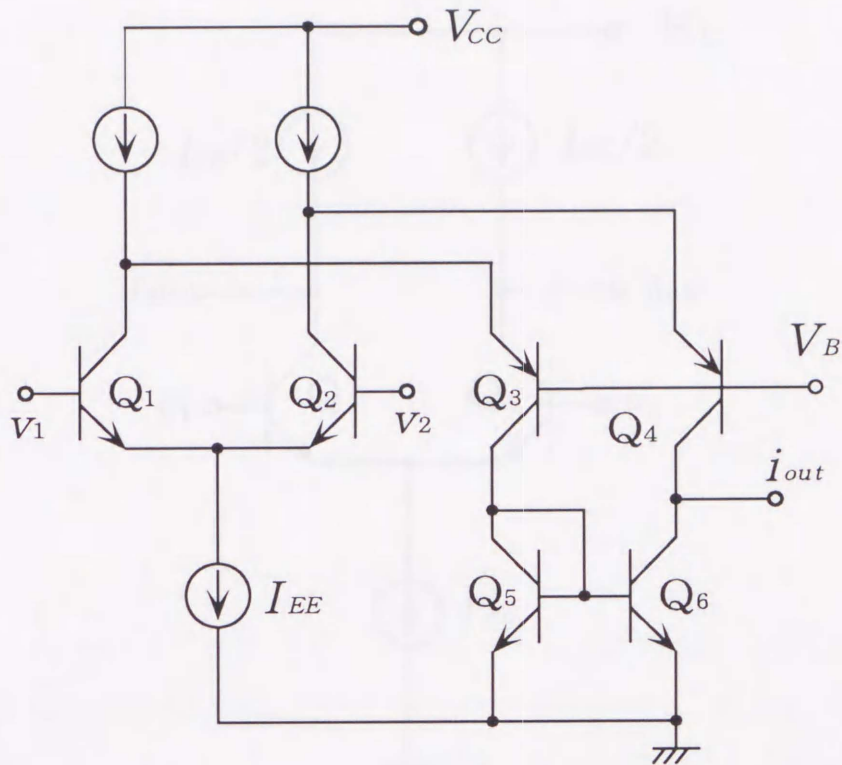


図 2.6: Folded Cascode を用いたシングルエンド出力トランスコンダクタ

図 2.6の回路では、Folded Cascode と呼ばれる回路技術が用いられている [18]。これは、能動負荷されたトランスコンダクタから信号電流をベース接地 PNP トランジスタで取り出し、NPN トランジスタで構成されるカレントミラー回路でシングルエンド変換するものである。NPN トランジスタの遷移周波数  $f_N$  が、 $f_P$  に比べて十分高いとすると、NPN カレントミラーの周波数特性は無視できる。従って、この回路の周波数特性  $T_B(s)$  はベース接地回路の電流増幅率そのもので与えられる。すなわち

$$T_B(s) = \alpha_P(s) = \frac{\alpha_0}{1 + \frac{s}{\omega_P}} \quad (2.20)$$

で表される。但し、 $\alpha_0$  は直流における電流増幅率である。

以上のように、シングルエンド出力回路の極周波数は高々  $f_P$  程度である。このことは、高周波用積分器の実現の大きな妨げとなる。

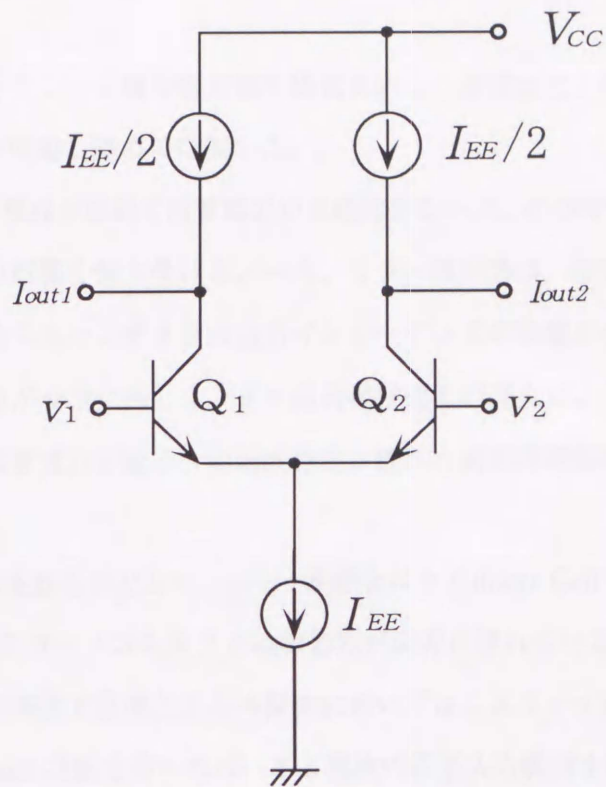


図 2.7: 差動出力形トランスコンダクタ

図 2.7の構成では、トランスコンダクタの出力端子に定電流源が接続され、信号電流が差動出力されている。従って、信号経路にPNPトランジスタが使用されていないため、PNPトランジスタによる周波数特性の劣化は生じない。しかし、 $Q_1$ 、 $Q_2$ のコレクタ電流源の内部抵抗が高いため、同相利得はかなり高くなる。従って、このトランスコンダクタを用いてフィルタを実現するには、回路全体を完全差動形構成としなければならない。その場合には、非平衡信号を平衡信号に変換する回路 [22] や、出力端子の直流バイアスを安定化するため同相フィードバック回路 (CMF) が必要となる [1],[10],[35]。これらの回路を導入すると、回路規模の増加によるコストの増大と、消費電力の増加が問題となる。

## 2.4 まとめ

本章では、従来のモノリシック積分器の基本構成を示し、高周波化、低電力化という観点からその問題点を、コストの問題と絡めて指摘した。

容量接地形積分器は、構成が単純で消費電力が比較的少ないが、その特性がトランスコンダクタの出力インピーダンスの影響を強く受ける。一方、ミラー積分器は、増幅器の入力端に仮想接地が実現されるので、トランスコンダクタの出力インピーダンスの影響を受けにくい。しかし、増幅器の設計に対する要求が非常に厳しく、また高利得増幅器の導入により、コストと消費電力が問題となる。従って、消費電力が低く、高周波特性が優れた高利得増幅器を、低コストで実現することが望まれる。

トランスコンダクタの主なものとして、エミッタ結合対と Gilbert Cell 形トランスコンダクタを挙げた。Gilbert Cell 形トランスコンダクタは線形性が非常に優れているが、消費電流が大きい。従って、低電力積分器の実現を目的とする本研究においては、エミッタ結合対を用いるのが得策である。低次の multi-tanh 技術を用いれば、ある程度の線形入力範囲を拡大することができる。

トランスコンダクタの出力が、カレントミラー回路によってシングルエンド変換される場合には回路規模が小さくて済むが、PNP トランジスタによる高周波特性の悪化が深刻な問題となる。一方、出力端子を能動負荷で終端して差動出力電流とすれば、PNP トランジスタによる高周波特性の悪化は避けられるが、平衡信号変換回路や CMF が必要となり、消費電力やコストの増加が避けられない。

消費電力やコストの問題に加えて、平衡信号変換することによる信号の劣化やひずみの発生という問題があることも考慮すると、回路構成は、できる限り簡単であることが望ましい。従って、周辺回路を用いずに、特性の優れた積分器を実現するためには、カレントミラーを用いたシングルエンド出力トランスコンダクタの高周波特性を改善しなくてはならない。

## 第 3 章

# 高周波特性の優れたシングルエンド出力回路

2章では、優れた高周波特性と高い CMRR をともに有するトランスコンダクタの出力回路を実現することが、困難であることを指摘した。カレントミラー回路を用いたシングルエンド出力回路は、高い CMRR を有するが、信号経路に PNP トランジスタが必要となり高周波特性が悪化する。一方、差動出力形構成とすれば、PNP トランジスタによる周波数特性の悪化は避けられるが、フィルタを実現する際に、CMF 等の周辺回路が必要となるので、消費電力と製造コストの増加が問題となる。そこで本章では、シングルエンド出力トランスコンダクタの、高周波特性を改善する方法について述べる。

まず、高周波特性の悪い PNP カレントミラー回路に代わるものとして、ミラー係数の精度が高いことで知られる、3 トランジスタ形カレントミラー回路と Wilson 形電流源回路を取りあげる。そして、それらの周波数特性を示し、カレントミラー回路の特性と比較する。また、Folded Cascode 回路で用いられる PNP ベース接地回路に代わるものとして、PNP トランジスタと NPN トランジスタで構成されるダーリントン回路を取り上げ、その周波数特性と、電流出力回路として重要となる入出力インピーダンスについて議論する。



### 3.1 カレントミラー回路の高周波補償

図 3.1 に示すカレントミラー回路のミラー係数  $T_i$  は、エミッタ接地電流増幅率  $\beta_P$  を用いて

$$T_i = \frac{i_2}{i_1} = \frac{\beta_P}{\beta_P + 2} \quad (3.1)$$

で与えられる。 $\beta_P$  の値が 100 であると仮定すると、ミラー係数に 2% の誤差が生じることになる。 $\beta_P$  の値が小さくなるほど、この誤差は増大する。図 3.2 の回路では、基準電流源側に流れ込む  $Q_1$  と  $Q_2$  のベース電流が、トランジスタ  $Q_3$  によって十分小さくなっているため、ミラー係数の誤差が極めて小さい。ここでは、この回路を 3 トランジスタ形カレントミラー回路と呼ぶことにする。図 3.3 の回路は、Wilson 形電流源回路と呼ばれるもので、この回路のミラー係数誤差も十分小さい。以下において、これらの回路の周波数特性を解析し、高周波特性を比較する。尚、本節において記述されるトランジスタは、すべて PNP トランジスタを指すものとする。

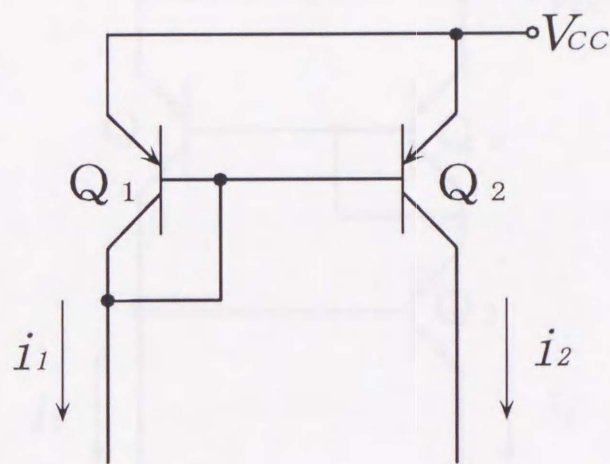


図 3.1: カレントミラー電流源回路

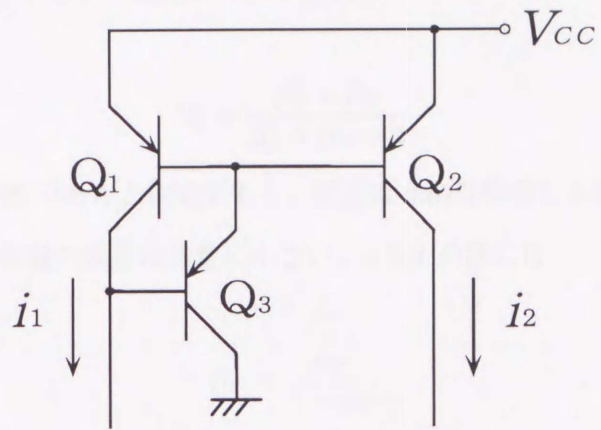


図 3.2: 3トランジスタ形カレントミラー回路

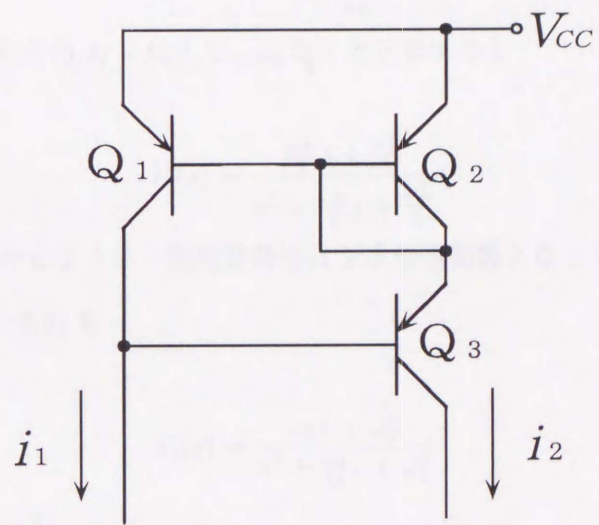


図 3.3: Wilson 形電流源回路

3トランジスタ形カレントミラー回路のミラー係数は

$$T_i = \frac{\beta_P^2 + \beta_P}{\beta_P^2 + \beta_P + 2} \quad (3.2)$$

で表される。 $\beta_P$ の値が100であると仮定すると、誤差は0.02%程度しかない。これからわかるように、この回路のミラー係数の誤差は非常に小さい。 $\alpha$ と $\beta$ の間には

$$\beta_P = \frac{\alpha_P}{1 - \alpha_P} \quad (3.3)$$

の関係があるので、この式を式(3.2)に代入して、 $\alpha_P$ の式として表すと

$$T_i = \frac{\alpha_P}{2\alpha_P^2 - 3\alpha_P + 2} \quad (3.4)$$

が得られる。 $\alpha_P$ の周波数特性は

$$\alpha_P = \frac{\alpha_0}{1 + \frac{s}{\omega_P}} \quad (3.5)$$

で与えられる。式(3.5)を式(3.4)に代入し、 $\alpha_0$ を1と近似すると

$$T_i(s) = \frac{\frac{\omega_P}{2}s + \frac{\omega_P^2}{2}}{s^2 + \frac{\omega_P}{2}s + \frac{\omega_P^2}{2}} \quad (3.6)$$

が得られる。これからわかるように、周波数特性は2次伝達関数となっている。 $Q$ 値と共振周波数 $\omega_0$ を調べるために、式(3.6)を

$$T_i(s) = \frac{\omega_0 s + \omega_0^2}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2} \quad (3.7)$$

と書き換える。これによって

$$\omega_0 = \frac{\omega_P}{2} \quad (3.8)$$

$$Q = \sqrt{2} \quad (3.9)$$

が得られる。

Wilson 形電流源回路のミラー係数は

$$T_i = \frac{\beta_P^2 + 2\beta_P}{\beta_P^2 + 2\beta_P + 2} \quad (3.10)$$

で表される。以下、3トランジスタ形カレントミラーの場合と同様に

$$T_i = \frac{-\alpha_P^2 + 2\alpha_P}{\alpha_P^2 - 2\alpha_P + 2} \quad (3.11)$$

$$T_i(s) = \frac{\omega_P s + \frac{\omega_P^2}{2}}{s^2 + \omega_P s + \frac{\omega_P^2}{2}} \quad (3.12)$$

が得られる [28]。式 (3.12) を式 (3.7) で表すと

$$Q = \frac{1}{\sqrt{2}} \quad (3.13)$$

が得られる。 $\omega_0$  は 3トランジスタ形カレントミラー回路のものと等しく、式 (3.8) で与えられるが、 $Q$  の値が  $\frac{1}{\sqrt{2}}$  と低くなっている。

図 3.4 と図 3.5 は、カレントミラー回路、3トランジスタ形カレントミラー回路、そして Wilson 形電流源回路の振幅特性及び位相特性を示している。これらは、式 (2.19)、式 (3.6)、式 (3.12) において、パラメータを

$$\beta_0 = 100$$

$$\omega_P = 2\pi \times 7 \times 10^6$$

と設定して計算した値をプロットしたものである。

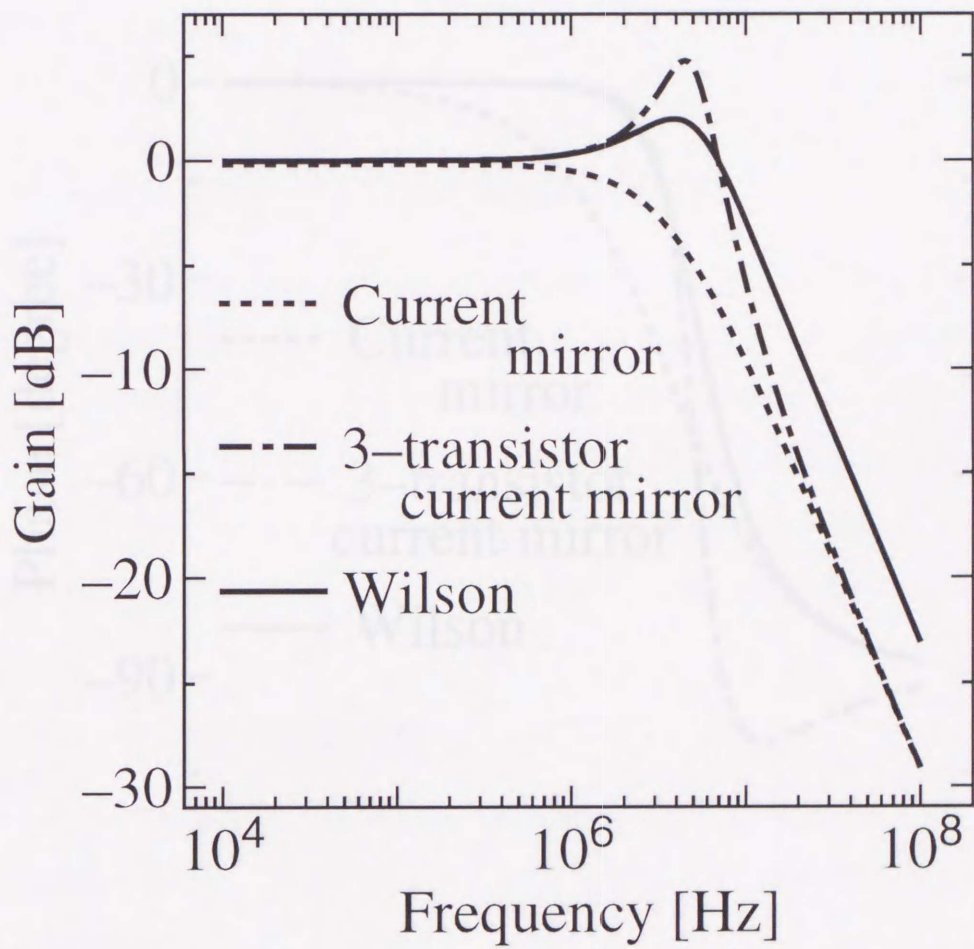


図 3.4: 各電流源回路の振幅特性

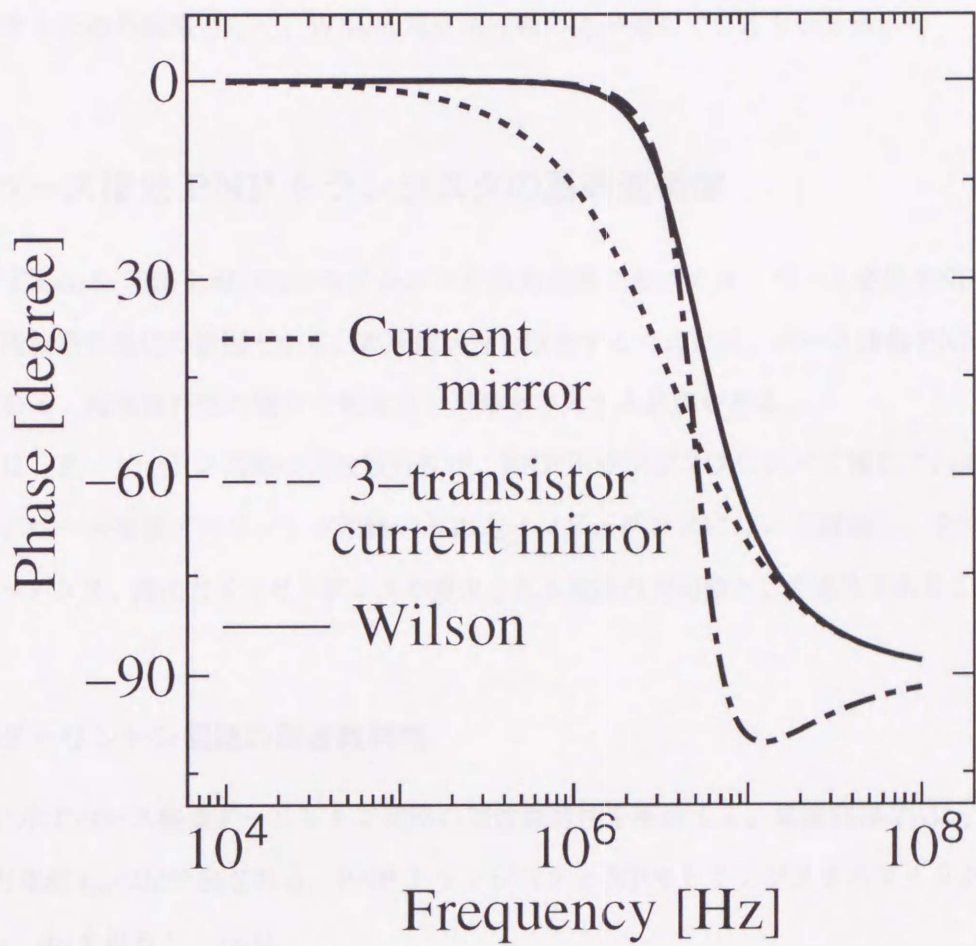


図 3.5: 各電流源回路の位相特性

カレントミラー回路の振幅特性は、1MHz に満たない周波数において低下しているのに対して、3トランジスタ形カレントミラー回路と Wilson 形電流源回路の振幅特性は、共振周波数付近で大きな値を示している。特に、3トランジスタ形カレントミラー回路の場合は、最高で 5dB 程度となっており、このようにミラー係数の誤差が大きくなっている。位相特性の場合、カレントミラー回路に比べて他の二つの回路は、共振周波数以下の帯域においてはほぼ同程度の位相特性を示しており、位相遅れが非常に小さくなっている。以上のことから、カレントミラー回路の高周波特性を改善するための回路として、Wilson 電流源回路の方が適しているといえる。

### 3.2 ベース接地 PNP トランジスタの高周波補償

Folded Cascode 回路を用いたシングルエンド出力回路においては、ベース接地 PNP トランジスタが高周波特性悪化の原因となる。高周波特性を改善するためには、ベース接地 PNP トランジスタに代わる、高周波特性の優れた電流出力回路を導入する必要がある。

本節では、ダーリントン回路の周波数特性が、PNP トランジスタに比べて優れていることを示す。また、ベース接地ダーリントン回路の入出力インピーダンスについて議論し、それが、低入力インピーダンス、高出力インピーダンスが要求される電流出力回路として適当であることを示す。

#### 3.2.1 ダーリントン回路の周波数特性

図 3.6 に示すベース接地ダーリントン回路の周波数特性を解析する。電流利得  $T_D$  は、出力電流  $i_{out}$  と入力電流  $i_{in}$  の比で表される。PNP トランジスタと NPN トランジスタのエミッタ接地電流増幅率  $\beta_P$ 、 $\beta_N$  を用ると、 $T_D$  は

$$T_D = \frac{\beta_P(\beta_N + 1)}{\beta_P(\beta_N + 1) + 1} \quad (3.14)$$

で与えられる。 $\beta_P$  と  $\beta_N$  の周波数特性を考慮すると、式 (3.14) は

$$T_D = \frac{\omega_P s + (1 + \frac{1}{\beta_0})\omega_N \omega_P}{s^2 + (\omega_P + \frac{\omega_N + \omega_P}{\beta_0})s + (1 + \frac{1}{\beta_0} + \frac{1}{\beta^2})\omega_N \omega_P} \quad (3.15)$$

となる。ここで、分母の $\frac{1}{\beta_0}$ を無視すると

$$T_D(s) = \frac{\omega_0 s + \omega_0^2}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2} \quad (3.16)$$

が得られる。但し

$$\omega_0 = \sqrt{\left(1 + \frac{1}{\beta_0}\right)\omega_N\omega_P} \quad (3.17)$$

$$Q = \frac{\sqrt{\left(1 + \frac{1}{\beta_0}\right)\omega_N\omega_P}}{\omega_P + \frac{\omega_N}{\beta_0}} \quad (3.18)$$

である。ここで

$$\begin{aligned} f_P &= 7 \times 10^6 \\ f_N &= 7 \times 10^9 \\ \beta_0 &= 100 \end{aligned} \quad (3.19)$$

として、 $f_0$ と $Q$ の値を求めると

$$\begin{aligned} f_0 &= 222 \times 10^6 \\ Q &= 2.89 \end{aligned}$$

が得られる。



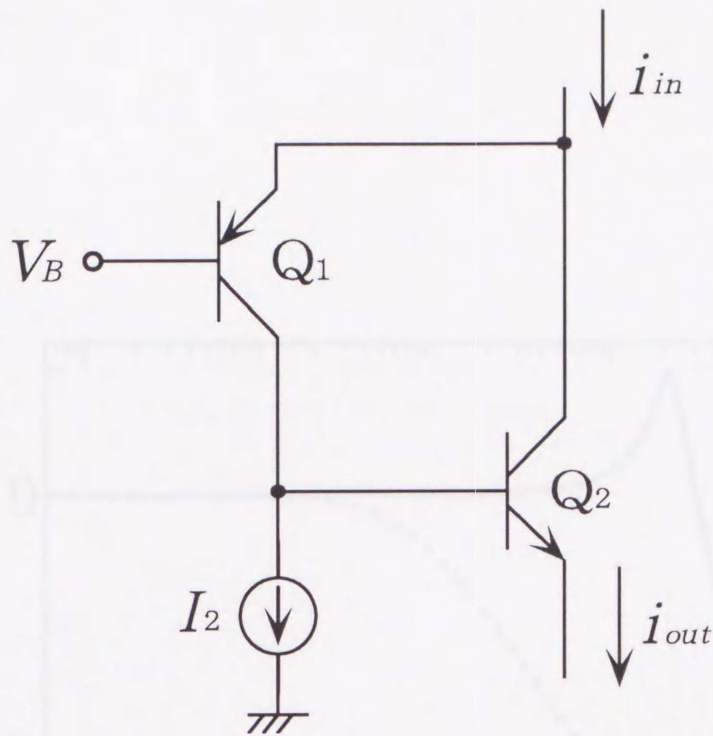


図 3.6: ダーリントン回路

図 3.7と図 3.8に、式 (3.16)~(3.18) より得られる振幅特性及び位相特性を示す。各パラメータの値は、式 (3.19) のものを用いた。 $f_p$ よりはるかに高い周波数において、位相遅れが非常に小さくなっており、ダーリントン回路の優位性が顕著に現れている。これは、式 (3.17) に示されるように、共振周波数 $\omega_0$ が、 $\omega_N \gg \omega_P$ の関係にある $\omega_N$ と $\omega_P$ の相乗平均となっていることによるものである。振幅特性においては、200MHz 付近に利得の上昇が見られるが、これは高い  $Q$  値によるものである。 $\omega_N$ が $\omega_P$ に近い場合には、高周波特性改善の効果は低く、 $\omega_N$ が高くなるにつれて $\omega_0$ も高くなるが、それに伴って  $Q$  値も高くなってしまう。

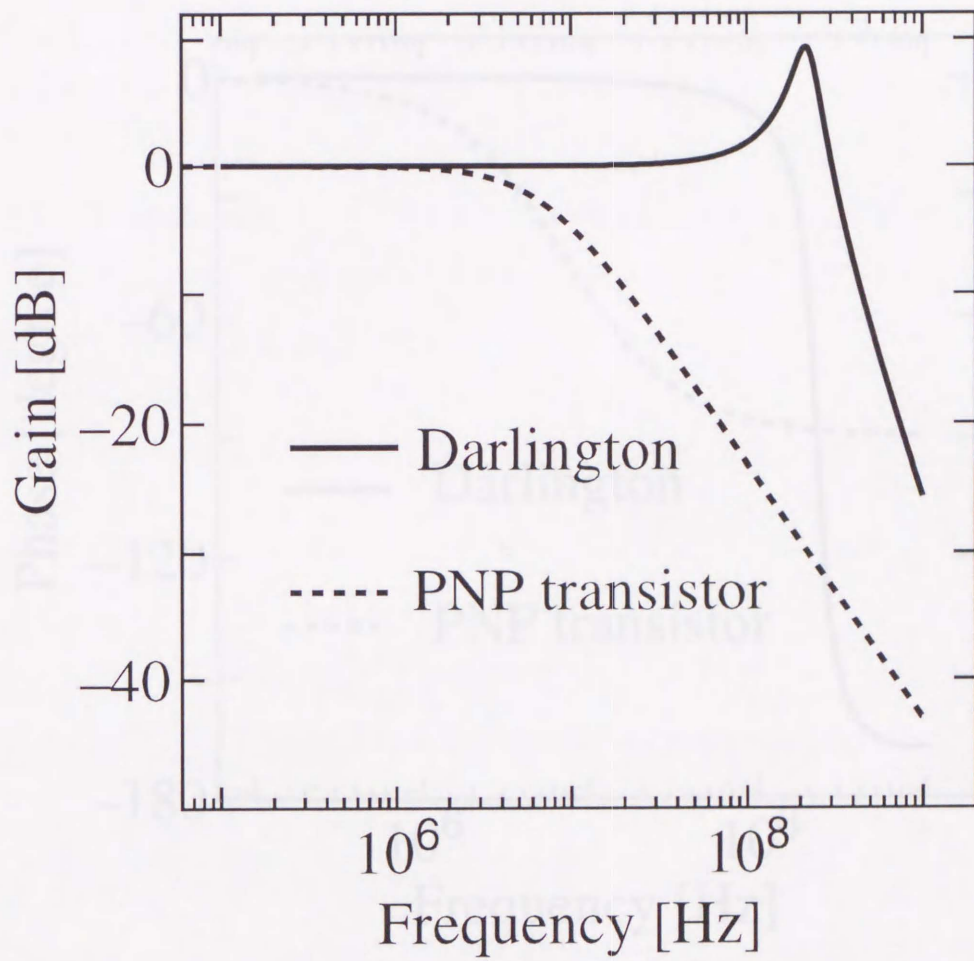


図 3.7: ベース接地回路の振幅特性

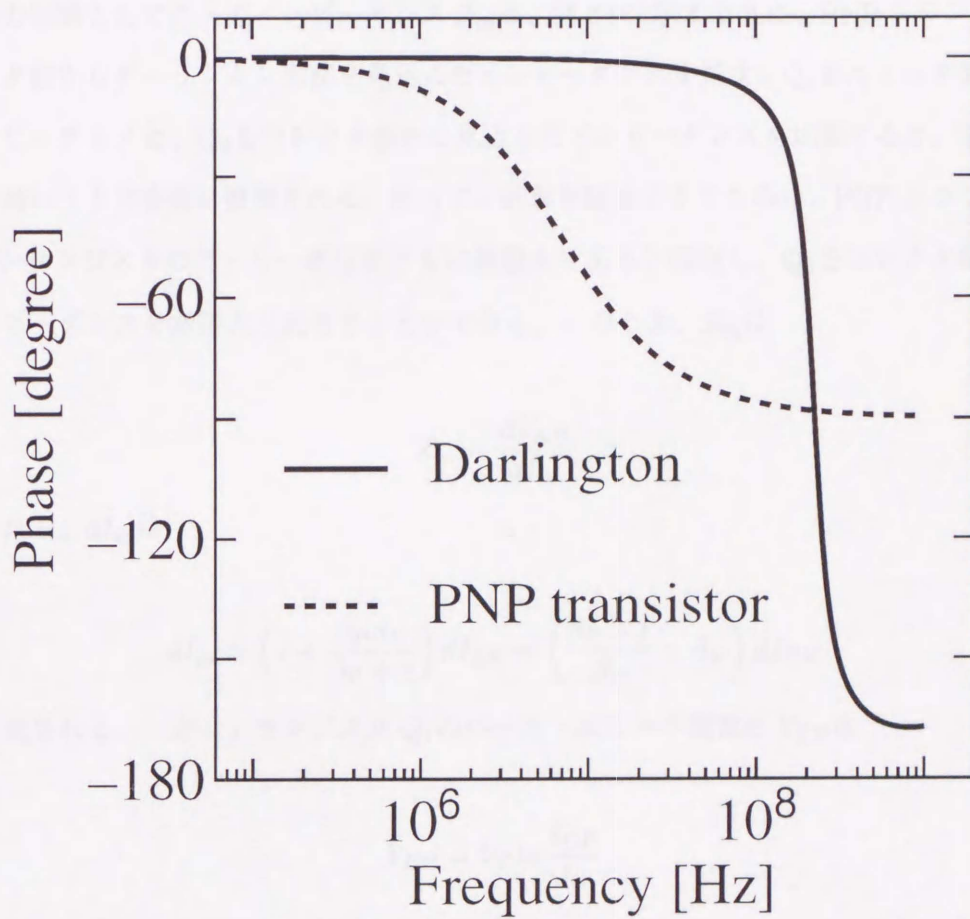


図 3.8: ベース接地回路の位相特性

### 3.2.2 ダーリントン回路の入カインピーダンス

ダーリントン回路をPNPトランジスタのベース接地回路の代わりに用いるためには、電流出力回路として適当であるかを検討する必要がある。電流出力回路に求められる重要な特性は、低入力インピーダンスと高出力インピーダンスである。以下において、ベース接地ダーリントン回路の入力インピーダンスを解析して、その評価を行う。出力インピーダンスについては、次の小節3.2.3にて議論する。

電流出力回路としての入力インピーダンス  $Z_{in}$  は、図 3.9 に示すように、PNPトランジスタ  $Q_1$  のエミッタ側からダーリントン回路を見込んだインピーダンスを指す。 $Q_1$  をエミッタ側から見込んだインピーダンスと、 $Q_2$  をコレクタ側から見込んだインピーダンスを比較すると、後者の方がはるかに高いことは容易に推測される。従って、計算を簡単にするために、PNPトランジスタ及びNPNトランジスタのアーリー電圧がともに無限大であると仮定し、 $Q_2$  をコレクタ側から見込んだインピーダンスを無限大と見なすことができる。このとき、 $Z_{in}$  は

$$Z_{in} = \frac{dV_{EP}}{dI_{in}} \quad (3.20)$$

で与えられる。 $dI_{in}$  は

$$dI_{in} = \left(1 + \frac{\beta_P \beta_N}{\beta_P + 1}\right) dI_{EP} = \left(\frac{\beta_P + 1}{\beta_P} + \beta_N\right) dI_{CN} \quad (3.21)$$

のように表される。一方、トランジスタ  $Q_1$  のベース・エミッタ間電圧  $V_{EP}$  は

$$V_{EP} = V_T \ln \frac{I_{CP}}{I_S} \quad (3.22)$$

で与えられる。但し、 $I_S$  はトランジスタの飽和電流である。式 (3.20) ~ (3.22) より、 $Z_{in}$  は

$$Z_{in} = \frac{1}{\frac{\beta_P + 1}{\beta_P} + \beta_N} \cdot \frac{dV_{EP}}{dI_{CP}} \simeq \frac{V_T}{(\beta_N + 1)I_2} \quad (3.23)$$

で表される。ベース接地PNPトランジスタの入力インピーダンスが  $\frac{V_T}{I_2}$  であるので、ダーリントン回路の入力インピーダンスは、その  $\frac{1}{\beta_N + 1}$  に低下していることがわかる。これは、NPNトランジスタによる、電流負帰還がかかっていることによるものである [10],[36]。

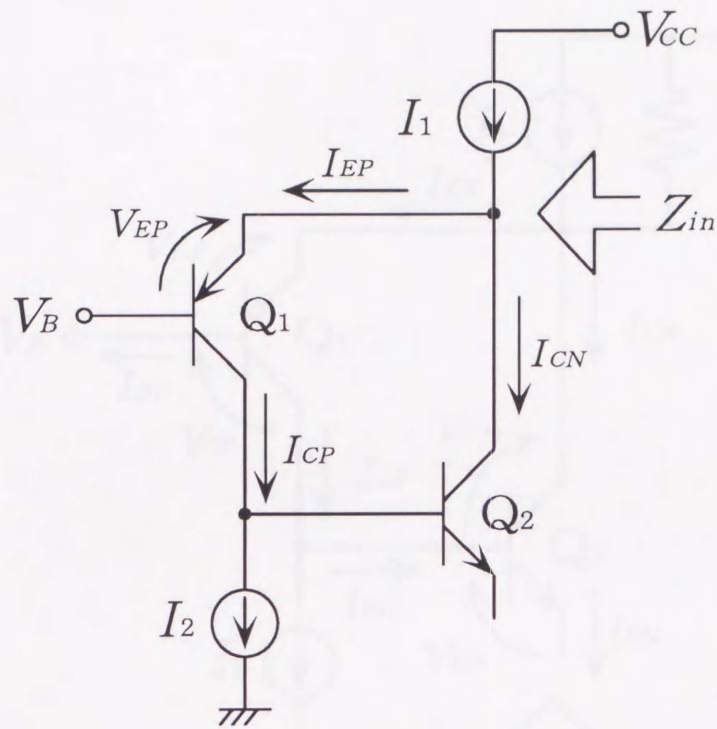


図 3.9: ダーリントン回路の入力インピーダンス

### 3.2.3 ダーリントン回路の出力インピーダンス

出力インピーダンス  $Z_{out}$  は、NPN トランジスタ  $Q_2$  のエミッタ側からダーリントン回路を見込んだインピーダンスを指す。このインピーダンスは極めて高いことが予想される。およその値を求める目的で、アーリー電圧が無量大であると仮定すると、出力インピーダンスの近似解は無量大になってしまう。従って、有限の値をもつ解を求めるためには、アーリー電圧を考慮した複雑な計算をしなくてはならない。

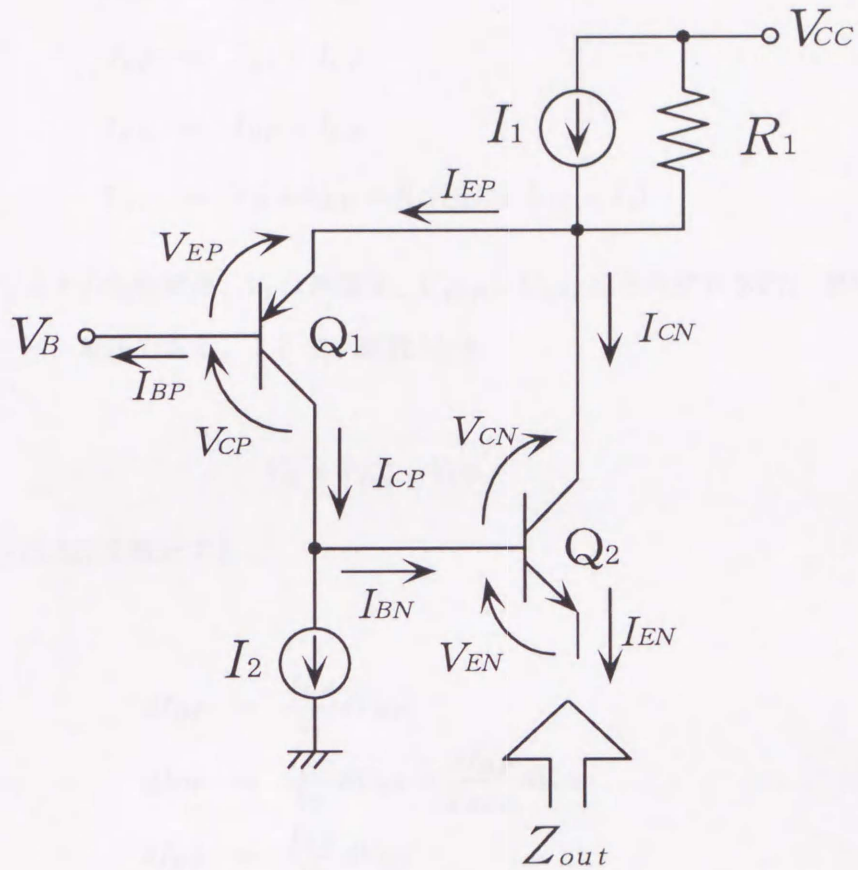


図 3.10: ダーリントン回路の出力インピーダンス

まず、図 3.10のように各電圧、電流を定める。但し、 $I_1$ 、 $I_2$ はバイアス電流源、 $R_1$ は電流源  $I_1$  の内部抵抗である。トランジスタの逆方向アーリー電圧が無大であると仮定すると、図中に示された電圧と電流は、以下のように与えられる。

$$I_{BP} = \frac{I_S}{\beta} \exp\left(\frac{V_{EP}}{V_T}\right) \quad (3.24)$$

$$I_{CP} = I_S \exp\left(\frac{V_{EP}}{V_T}\right) \left(1 + \frac{V_{CP}}{V_{AFP}}\right) \quad (3.25)$$

$$I_{BN} = \frac{I_S}{\beta} \exp\left(\frac{V_{EN}}{V_T}\right) \quad (3.26)$$

$$I_{CN} = I_S \exp\left(\frac{V_{EN}}{V_T}\right) \left(1 + \frac{V_{CN}}{V_{AFN}}\right) \quad (3.27)$$

$$V_{CN} = V_{CP} + V_{EP} \quad (3.28)$$

$$I_{EP} = I_{BP} + I_{CP} \quad (3.29)$$

$$I_{EN} = I_{BP} + I_{CN} \quad (3.30)$$

$$V_{CC} = V_B + V_{EP} + R_1(I_{EP} + I_{CN} - I_1) \quad (3.31)$$

但し、 $I_S$ はトランジスタの飽和電流、 $V_T$ は熱電圧、 $V_{AFN}$ 、 $V_{AFP}$ はそれぞれNPN、PNPトランジスタの順方向アーリー電圧である。ここで、変数 $V_E$ を

$$V_E = V_{EN} + V_{CP} \quad (3.32)$$

とする。式(3.24)~(3.32)を微分すると

$$dI_{BP} = \frac{I_{BP}}{V_T} dV_{EP} \quad (3.33)$$

$$dI_{CP} = \frac{I_{CP}}{V_T} dV_{EP} + \frac{\beta I_{BP}}{V_{AFP}} dV_{CP} \quad (3.34)$$

$$dI_{BN} = \frac{I_{BN}}{V_T} dV_{EN} \quad (3.35)$$

$$dI_{CN} = \frac{I_{CN}}{V_T} dV_{EN} + \frac{\beta I_{BN}}{V_{AFN}} dV_{CN} \quad (3.36)$$

$$dV_{CN} = dV_{CP} + dV_{EP} \quad (3.37)$$

$$dI_{EP} = dI_{BP} + dI_{CP} \quad (3.38)$$

$$dI_{EN} = dI_{BP} + dI_{CN} \quad (3.39)$$

$$0 = dV_{EP} + R_1(dI_{EP} + dI_{CN}) \quad (3.40)$$

$$dV_E = dV_{EN} + dV_{CP} \quad (3.41)$$

が得られる。 $Q_2$ をエミッタ側から見たインピーダンス $Z_{out}$ は

$$Z_{out} = \frac{dV_E}{dI_{EN}} \quad (3.42)$$

で与えられる。式(3.42)を求めるために

$$dI_{CP} = dI_{BN} \quad (3.43)$$

を用いて、式(3.33)~(3.41)において、 $dI_{BP}$ 、 $dI_{CP}$ 、 $dI_{BN}$ 、 $dI_{CN}$ 、 $dI_{EP}$ 、 $dV_{EP}$ 、 $dV_{CP}$ 、 $dV_{CN}$ を消去する。簡単化のために

$$I_{CP} = I_{CN} = \beta I_{BP} = \beta I_{BN}$$

$$\beta^2 \gg 1 > \frac{\beta V_T}{V_{AFP}}$$

と仮定すると

$$Z_{out} = \frac{1 + \frac{\beta V_T}{V_{AFP}} + R_1(1 + \beta) \frac{I_{CP}}{V_T} - R_1 \beta \frac{I_{CN}}{V_{AFP}}}{\left(1 + \frac{R_1 I_{BP}}{V_T}\right) \left[(1 + \beta) \frac{I_{CP}}{V_{AFP}} + \frac{I_{CN}}{V_{AFP}}\right]} \quad (3.44)$$

が得られる。ここでさらに

$$\frac{1}{\beta} \ll 1$$

$$\frac{V_T}{V_{AFP}} \ll 1$$

$$\frac{\beta V_T}{V_{AFP}} \ll 1$$

と仮定して、それぞれ無視すると

$$Z_{out} = \frac{V_{AFP}}{V_T} \cdot \frac{\beta R_1 + \frac{V_T}{I_{CP}}}{R_1 + \frac{\beta V_T}{I_{CP}}} \quad (3.45)$$

となる。一方、シングルPNPトランジスタベース接地回路のコレクタ側から見込んだインピーダンス  $Z'_{out}$  は

$$Z'_{out} = \frac{V_{AFP}}{V_T} \cdot \frac{(\beta + 1)R_1 + \frac{\beta V_T}{I_{CP}}}{R_1 + \frac{\beta V_T}{I_{CP}}} \quad (3.46)$$

で表される [25]。

ここで、 $Z_{out}$  と  $Z'_{out}$  を簡単に比較する。 $I_1$  が理想的な定電流源で、その内部抵抗  $R_1$  が無限大であると仮定すると、両者の値は等しくなる。 $I_1$  の部分が定電流源ではなく、低インピーダンス素子であるような場合は、 $R_1 = 0$  と仮定すると

$$Z_{out} = \frac{Z'_{out}}{\beta} \quad (3.47)$$



となり、ダーリントン回路の出力インピーダンスは、シングルPNPトランジスタのその $\frac{1}{\beta}$ 程度となることがわかる。

図3.11は、 $R_1$ を変数として $Z_{out}$ 、 $Z'_{out}$ をプロットしたものである。 $Z_{out}$ の値は、式(3.44)を用いて正確に算出した。この図より、 $R_1$ が $10\text{k}\Omega$ 程度より大きければ、 $Z_{out}$ と $Z'_{out}$ の値は同程度であることが分かる。Folded Cascodeで使用する場合には、能動負荷されたトランスコンダクタの出力端子に接続されるので、 $R_1$ は十分大きな値となる。従って、ダーリントン回路の出力インピーダンスは、シングルPNPトランジスタと同程度の高い値となることがわかる。

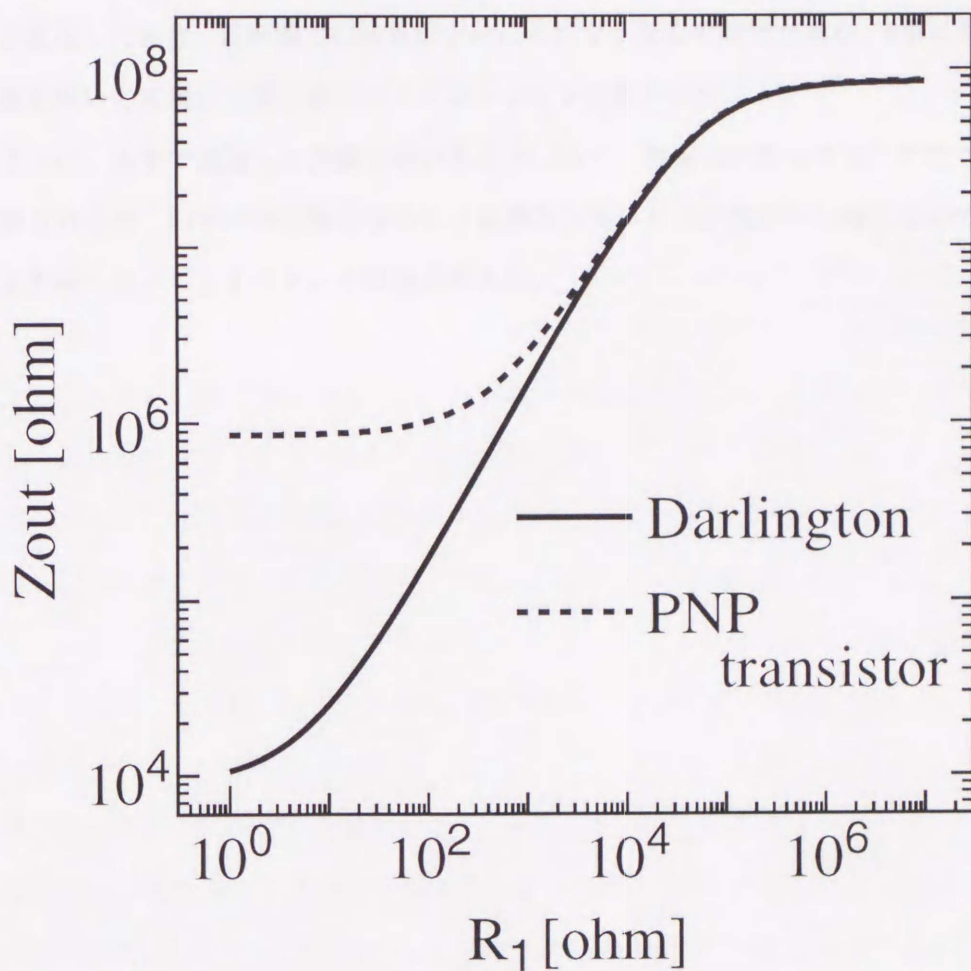


図 3.11: 出力インピーダンスの比較

### 3.3 まとめ

3トランジスタ形カレントミラー回路と Wilson 形電流源回路は、カレントミラー回路よりも優れた位相特性を示す。3トランジスタ形カレントミラーは、共振点における利得上昇が高く、ミラー係数の偏差が大きいことから、Wilson 形電流源回路が、高周波特性の点で優れているといえる。ベース接地ダーリントン回路は、高周波帯域において、さらに優れた位相特性を示している。しかも、電流増幅率が高いことに加えて、低入力インピーダンス、高出力インピーダンスであることから、特性の優れた等価 PNP トランジスタと見なすことができる。しかし、振幅特性においては、高い  $Q$  値による利得上昇が生じる。これによって、ダーリントン回路を使用した積分器でフィルタを実現した場合、遮断域での減衰が十分にとれなくなる可能性がある。6章において、これらの回路を用いて実現した積分器のシミュレーション結果を示す。

以上のように、本章で議論した回路を用いることにより、従来のトランスコンダクタの高周波特性は改善されるが、いずれの回路の場合も、縦積みトランジスタ数が増えるので、最低動作電源電圧が高くなってしまいう問題点がある。

## 第 4 章

# 低電圧用高周波積分器の構成

2章で述べたように、ミラー積分器には、その中の節点に仮想接地が実現されるので、その特性が、前段に接続されるトランスコンダクタの出力インピーダンスの影響を受けにくいという特長がある。また、直流利得が高い、すなわち主要極周波数が低いということも大きな利点である。

実際に手に入りやすい高利得増幅器としては、演算増幅器が挙げられる。演算増幅器の出力端は低インピーダンスであることから、演算増幅器を用いたミラー積分器で構成されたフィルタにおいては、直流オフセットが低くなる。また、寄生容量が原因で生じる高次極の時定数は、非常に小さくなる。しかし、積分器全体としての回路規模や消費電力が大きくなってしまい、本研究が目指すところの低消費電力フィルタの実現には適さない。

一つの代案として、エミッタ接地 PNP トランジスタで高利得増幅回路を実現する方法がある [12],[13]。増幅用 PNP トランジスタの入出力部にエミッタホロワを接続することにより、高入力インピーダンス、低出力インピーダンスを実現している。このようにすれば、増幅器のコスト自体は問題にならない。しかし、エミッタ接地回路の周波数特性が悪いので、高周波フィルタを実現するための積分器としては適当ではない。

一方、帰還増幅器として、OTA を使用することが可能である [1]。電圧増幅器を用いる場合との大きな相違点の一つは、OTA は電流出力回路であるので、積分器の出力インピーダンスが高くなるということである。しかし、出力端子に電圧ホロワを接続することによって、低インピーダンス出力を実現することができる。電圧増幅器よりも高周波特性の優れた回路を容易に設計することができるということも、OTA を用いる場合の注目すべき点である。

本章では、提案する積分器の基本概念と具体的回路構成について述べる。提案する積分器は、OTA を使用したミラー積分器の出力端子に、もう一つの信号電流源を設けるといった新しい手法に

よって実現されている。

まず、OTA を用いて実現される従来のミラー積分器の特性について述べる。次に、その回路を基本とした新しい積分器を提案し、その特性について述べる。そして、提案する積分器の具体的な回路実現法を示す。

#### 4.1 OTA を用いたミラー積分器

帰還増幅器として OTA を用いたミラー積分器の基本構成を図 4.1 に示す。図中の GM は帰還用 OTA を表している。この回路の伝達特性は

$$T(s) = \frac{g_m(G_M - sC_{int})}{(sC_{int} + \frac{1}{R_n})(sC_O + \frac{1}{R_O}) + sC_{int}(G_M + \frac{1}{R_n})} \quad (4.1)$$

で表される。但し、 $G_M$  は OTA のトランスコンダクタンス、 $R_n$  は OTA の出力抵抗、 $C_O$  はトランスコンダクタの出力端の全寄生容量、 $R_O$  はトランスコンダクタの出力抵抗である。直流利得、及び OTA の入力端電圧  $v_a$  と入力電圧  $v_{id}$  の比は、それぞれ

$$T(0) = G_M g_m R_O R_n \quad (4.2)$$

$$\frac{v_a}{v_{id}} = \frac{-g_m(sC_{int} + \frac{1}{R_n})}{(sC_{int} + \frac{1}{R_n})(sC_O + \frac{1}{R_O}) + sC_{int}(G_M + \frac{1}{R_n})} \quad (4.3)$$

で表される。 $G_M$ 、 $R_O$ 、 $R_n$  のいずれかが無限大であると仮定すると、直流利得は無限大となることは明らかである。また、式 (4.1) において  $G_M$  を無限大と仮定すると、伝達特性は理想的となる。

伝達特性の高周波帯域における非理想性について議論するために、式 (4.1) を近似により簡略化する。 $G_M$  の値が  $1\text{mS}$  程度であると仮定すると、トランスコンダクタや OTA の出力抵抗の値は  $1\text{M}\Omega$  程度、またはそれ以上であるから、 $G_M$  に比べて  $\frac{1}{R_O}$ 、 $\frac{1}{R_n}$  は無視できるほど十分小さいと見なすことができる。また、高周波帯域では、 $\omega C_{int}$ 、 $\omega C_O$  の値と比較しても、 $\frac{1}{R_O}$ 、 $\frac{1}{R_n}$  は無視できる程小さい。これらのことは、結果的に  $R_O$ 、 $R_n$  が無限大であると仮定することと等価である。従って、式 (4.1) は

$$T(s) = \frac{g_m}{sC_{int}} \cdot \frac{G_M - sC_{int}}{sC_O + G_M} \quad (4.4)$$

と近似できる。この近似式からわかるように、このミラー積分器の特性には、伝送零点及び高次極という非理想要因が存在する。これらはともに、位相遅れの原因となるが、 $C_{int}$ の値が $C_O$ より十分大きいと見なすことができるので、伝送零点の影響の方が支配的であると考えられる。この伝送零点による位相遅れは

$$\theta = -\arctan \frac{\omega C_{int}}{G_M} \quad (4.5)$$

で表される。これより、ユニティゲイン角周波数 $\omega_c = \frac{g_m}{C_{int}}$ における位相遅れは

$$\theta = -\arctan \frac{g_m}{G_M} \quad (4.6)$$

で与えられる。位相遅れを無視できるほど小さくするためには

$$\frac{g_m}{G_M} \ll 1 \quad (4.7)$$

を満足させなくてはならない。

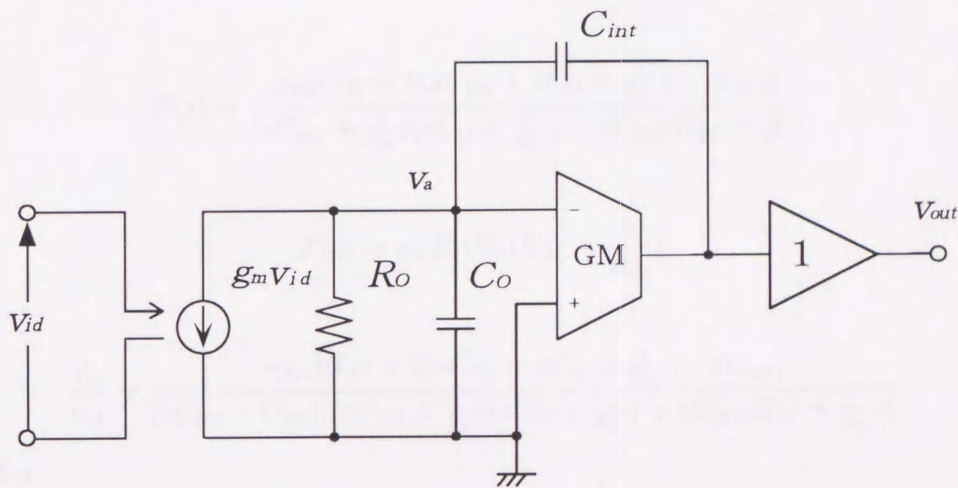


図 4.1: OTA ミラー積分器

周波数を0とすると、式(4.3)の値は $-g_m R_O$ となる。高周波帯域においては、上述の近似と同様にして

$$\frac{v_a}{v_{id}} = \frac{-g_m}{sC_O + G_M} \quad (4.8)$$

が得られる。これより、理想的な仮想接地を実現するためにも、 $G_M$ の値が十分大きくなくてはならないことがわかる。

## 4.2 2入力形ミラー積分器の構成

提案する積分器の基本構成を図4.2に示す。帰還増幅器としてOTAを用いたミラー積分器は高出力インピーダンスなので、図のように、OTAの出力端に、入力電流源と逆相の新たな入力電流源 $i_2$ を接続することが可能となっている。入力電流 $i_2$ を

$$i_2 = kg_m v_{id} \quad (4.9)$$

と表すと、この回路の伝達関数、直流利得、及び $v_a$ に関する伝達関数は、それぞれ

$$T(s) = \frac{g_m [G_M + k(sC_{int} + sC_O + \frac{1}{R_O}) - sC_{int}]}{(sC_{int} + \frac{1}{R_n})(sC_O + \frac{1}{R_O}) + sC_{int}(G_M + \frac{1}{R_n})} \quad (4.10)$$

$$T(0) = g_m R_O R_n (G_M + \frac{k}{R_O}) \quad (4.11)$$

$$\frac{v_a}{v_{id}} = \frac{-g_m [G_M + k(sC_{int} + sC_O + \frac{1}{R_O}) - sC_{int}]}{(sC_{int} - G_M) [(sC_{int} + \frac{1}{R_n})(sC_O + \frac{1}{R_O}) + sC_{int}(G_M + \frac{1}{R_n})]} \quad (4.12)$$

で表される。

簡単化のため、前節と同様の近似を行うと、式(4.10)は

$$T(s) = \frac{g_m}{sC_{int}} \cdot \frac{ks(C_{int} + C_O) + G_M - sC_{int}}{sC_O + G_M} \quad (4.13)$$

となる。ここで、 $k = 1$  と仮定すると

$$T(s) = \frac{g_m}{sC_{int}} \quad (4.14)$$

が得られる。このことから、 $k = 1$ 、すなわち、二つの入力電流源の値を等しくすることによって、理想積分特性が得られることがわかる。

式 (4.12) は、近似により

$$\frac{v_a}{v_{id}} = \frac{g_m(k-1)}{sC_O + G_M} \quad (4.15)$$

となる。 $k = 1$  のとき、理想的な仮想接地が実現されることがわかる。

従来の、電圧増幅器を用いたミラー積分器、あるいは図 4.1 に示される OTA を用いたミラー積分器の場合、理想的な積分特性を実現するためには、増幅器の電圧利得や OTA のトランスコンダクタンス  $G_M$  をかなり高い値にしなくてはならない。そのため、回路規模の増加に伴うコストの上昇や、消費電力の増加を抑えることができない。それに対して提案する積分器では、二つの信号電流源の値を等しくすれば、OTA の  $G_M$  の値に関わらず、理想積分特性が得られる。

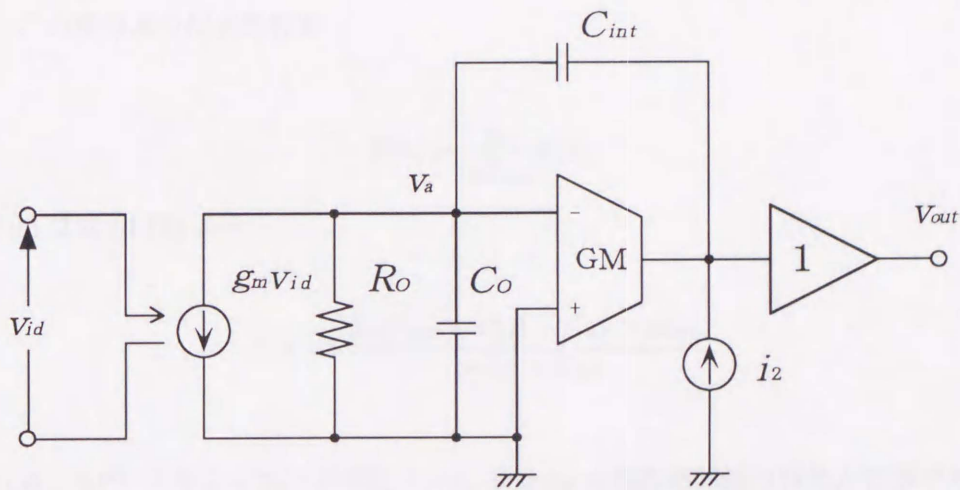


図 4.2: 提案する 2 入力形ミラー積分器の基本構成

このような信号電流源は、差動入出力トランスコンダクタを用いれば容易に実現できる。エミッタ結合対のような差動対は、テール電流源でバイアスされているので、二つの差動信号電流の値は本質的に等しい。従って、図 4.2 の二つの信号電流源を、一つの結合対の差動出力段に置き換えれば、 $G_M$  の高周波特性やトランスコンダクタの出力インピーダンス低下の影響を受けず、優れた高周波特性が実現される。

### 4.3 回路実現法

#### 4.3.1 実現法 I

図 4.3 に示される回路は、図 4.2 に示される 2 入力形ミラー積分器を実現したものである [27]。但し、 $I_1 = \frac{I_{EE}}{2}$  である。差動出力トランスコンダクタの一方の出力端子は、バイアス電流源  $I_1$  で能動負荷され、帰還増幅器としての OTA の機能を担っているトランジスタ  $Q_3$  のベースに接続されている。 $Q_3$  のベースには、トランスコンダクタの出力インピーダンス、電流源回路  $I_1$  の内部インピーダンス、そして  $Q_3$  をベースから見込んだインピーダンスが混在している。それらを合成したインピーダンスのレジスタンスとリアクタンスが、それぞれ図 4.2 の  $R_O$  と  $C_O$  に対応する。もう一方の出力端子を流れる電流は、二つの Wilson 形電流源回路を経て、 $Q_3$  のコレクタに伝送される。

ここで、この積分器の伝達特性を

$$T(s) = \frac{g_m}{sC_{int}} F(s) \quad (4.16)$$

で表す。 $F(s)$  は式 (4.13) より

$$F(s) = \frac{ks(C_{int} + C_O) + G_M - sC_{int}}{sC_O + G_M} \quad (4.17)$$

で与えられる。NPN トランジスタで構成される Wilson 形電流源回路の特性が理想であると仮定すると、式 (4.17) における  $k$  は、PNP トランジスタ回路で構成される Wilson 形電流源回路のミラー係数、すなわち式 (3.12) で与えられる。ここで、周波数を  $f_P$  で規格化し、変数を

$$p = \frac{s}{\omega_P} = \frac{jf}{f_P} = jx \quad (4.18)$$



のように変換すると、 $k$ は

$$k(p) = \frac{2p+1}{2p^2+2p+1} \quad (4.19)$$

で表される。式(4.17)の $G_M$ は、トランジスタ $Q_3$ のトランスコンダクタンスである。図4.4に示される高周波小信号等価回路より、 $G_M$ の周波数特性は

$$G_M(s) = \frac{i_{out}}{v_i} = \frac{\alpha_0}{(1-\alpha_0)r_b + r_e + sC_d r_e r_b} \quad (4.20)$$

で表される。但し

$$\begin{aligned} \omega_p &= \frac{1}{C_d r_e} \\ r_d &= \frac{r_e}{1-\alpha_0} \\ g_m &= \frac{\alpha_0}{r_e} \end{aligned}$$

である。式(4.20)において $\alpha_0 = 1$ と近似し、変数を $p$ に置き換えると

$$G_M(p) = \frac{1}{r_e} \cdot \frac{1}{1+p\omega_p C_d r_b} \quad (4.21)$$

となる。式(4.19)と式(4.21)を、式(4.17)に代入すると、 $F(p)$ は

$$F(p) = \frac{a_4 p^4 + a_3 p^3 + a_2 p^2 + a_1 p + 1}{b_4 p^4 + b_3 p^3 + b_2 p^2 + b_1 p + 1} \quad (4.22)$$

で表される。但し

$$a_4 = -2\omega_p C_{int} r_b \quad (4.23)$$

$$a_3 = 2\omega_p (C_O r_b - C_{int} r_e) \quad (4.24)$$

$$a_2 = 2 + \omega_p C_O (2r_e + r_b) \quad (4.25)$$

$$a_1 = 2 + \omega_p C_O r_e \quad (4.26)$$

$$b_4 = 2\omega_p C_O r_b \quad (4.27)$$

$$b_3 = 2\omega_p C_O (r_e + r_b) \quad (4.28)$$

$$b_2 = 2 + 2\omega_p C_O (2r_e + r_b) \quad (4.29)$$

$$b_1 = 2 + \omega_p C_O r_e \quad (4.30)$$

である。ここで、 $\frac{C_o}{C_{int}} \ll 1$  と仮定して  $C_o$  を無視すると、 $F(p)$  は

$$F(p) = \frac{-2p^4\omega_P C_{int}r_b - 2p^3\omega_P C_{int}r_e + 2p^2 + 2p + 1}{2p^2 + 2p + 1} \quad (4.31)$$

となる。そして、 $F(jx)$  の位相  $\theta_m$  は

$$\theta_m = \arctan \frac{2x + 2x^3\omega_P C_{int}r_e}{1 - 2x^2 - 2x^4\omega_P C_{int}r_b} - \arctan \frac{2x}{1 - 2x^2} \quad (4.32)$$

で表される。この式から

$$C_{int}r_b \simeq C_{int}r_e < \omega_P$$

であるので、 $f_P$  の付近においては、位相がわずかに進むことが推測される。

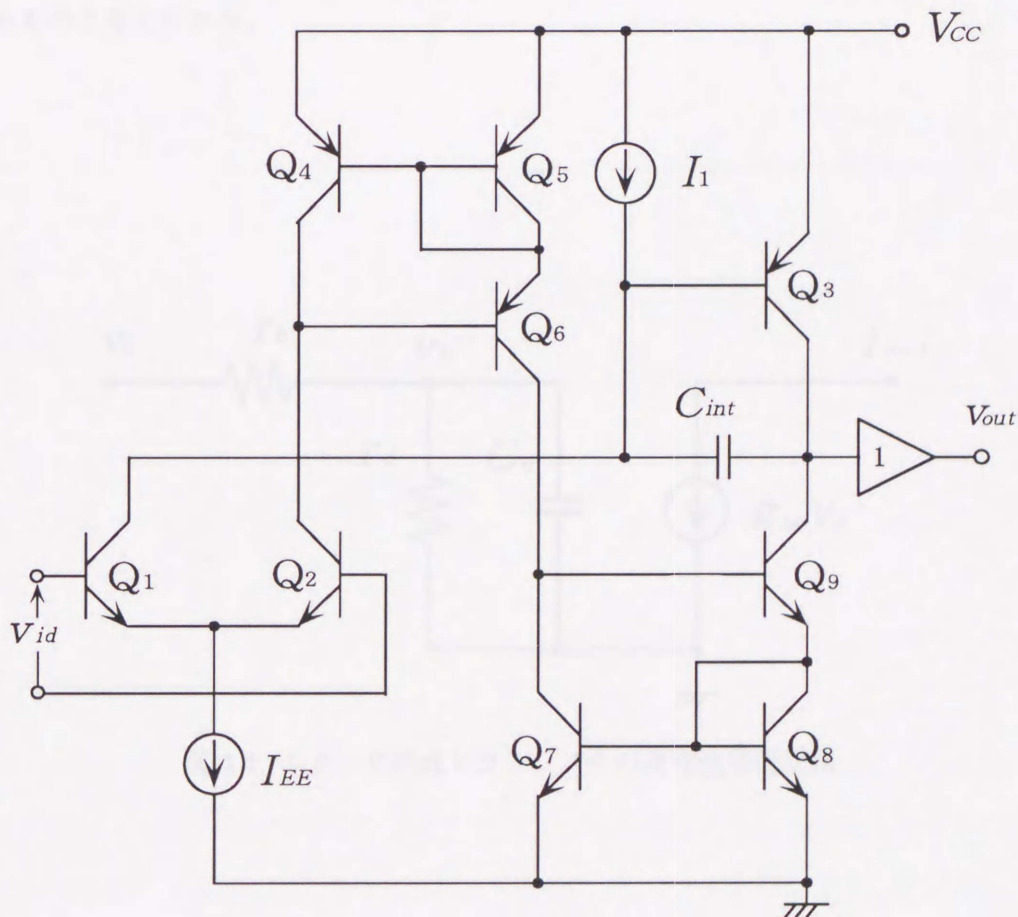


図 4.3: 実現法 I

図 4.5 は、式 (4.22) から得られる位相特性を示している。計算の際、各パラメータの値を

$$C_{int} = 10^{-11}$$

$$C_O = 10^{-12}$$

$$r_e = r_b = 130$$

$$\omega_P = 2\pi \times 7 \times 10^6$$

と設定している。図より、 $\frac{f_P}{10}$  から  $f_P$  の間で位相が進み、それより高い周波数では、急激に遅れていることがわかる。これは、PNP トランジスタで構成された Wilson 形電流源回路によって信号電流が劣化してしまうため、積分器に入力される信号電流の大きさに、アンバランスが生じることによるものと考えられる。

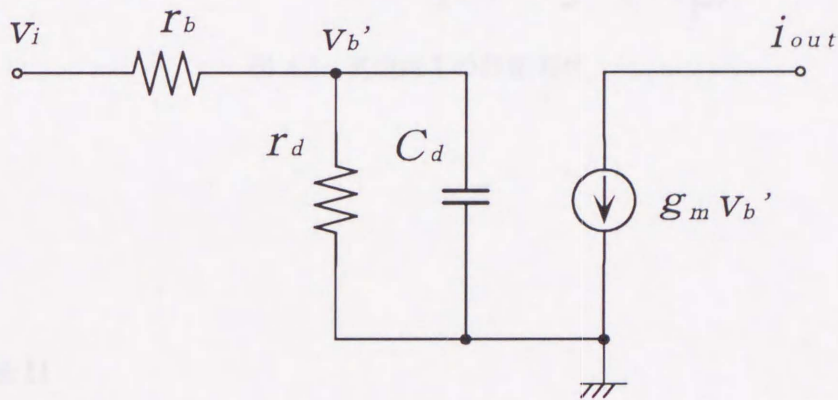


図 4.4: エミッタ接地トランジスタの高周波等価回路

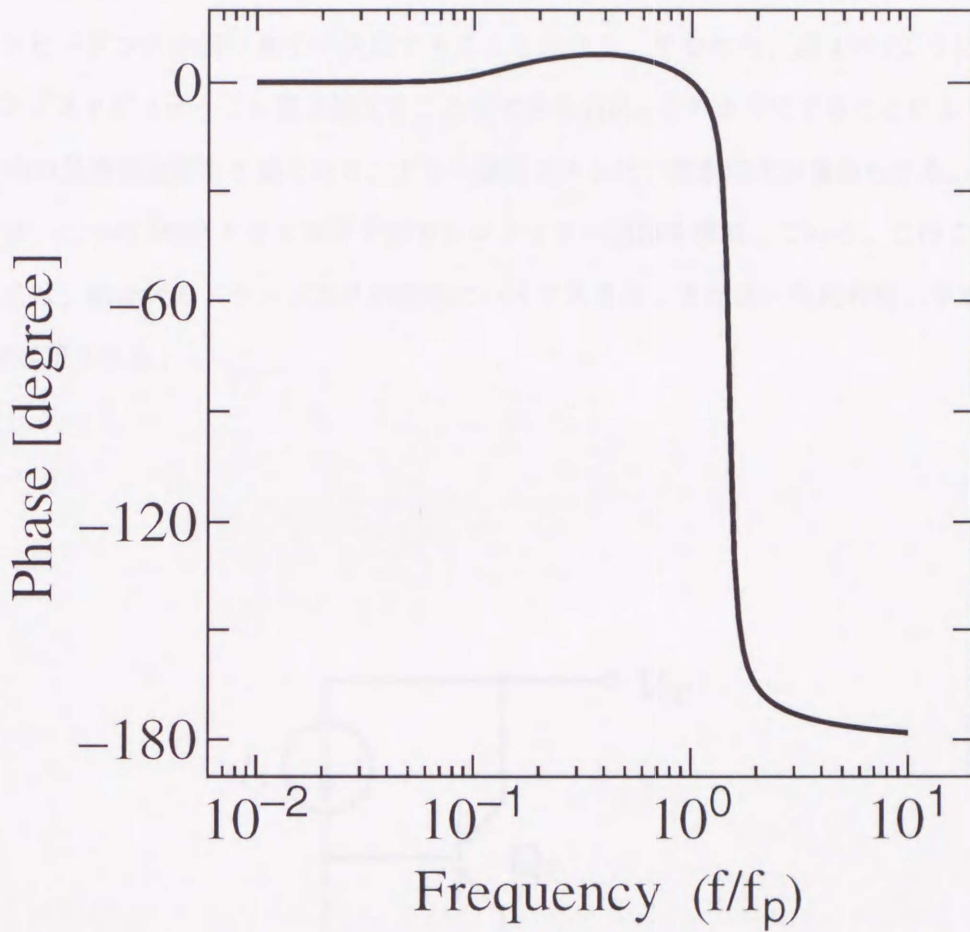


図 4.5: 実現法 I の位相特性

#### 4.3.2 実現法 II

構成例 I は、トランスコンダクタの片方の出力信号電流を、電流源回路を介して  $Q_3$  のコレクタに伝送するというものであるが、図 4.6 に示されるように、出力電流を直接帰還用トランジスタのコレクタへ伝送することも可能である。このようにすれば、周波数に関係なく、値が等しい逆位相の信号電流をミラー段に与えることができる。値の等しい逆相の信号電流が得られれば、理想的な積分特性を実現することができるので、OTA のトランスコンダクタンス  $G_M$  のみならず、トランスコンダクタの出力端における合成インピーダンスも、高い値である必要はない。このことに

着目すると、図 4.6において、結合対のバイアス電流が左右で等しく配分されるならば、定電流源  $I_1$  を、インピーダンスの低い素子で代用できることになる。すなわち、図 4.7のように電流源  $I_1$  を、トランジスタダイオードに置き換えることができる [19]。このようにすることによって、電流源  $I_1$  のための基準電流源も不要となり、より一層低コスト化、低電力化が進められる。結果的に、見かけ上は、二つの PNP トランジスタがカレントミラー回路を構成している。このことにより、無信号時には、結合対のトランジスタが均等にバイアスされ、また低い同相利得、すなわち高い CMRR が実現される。

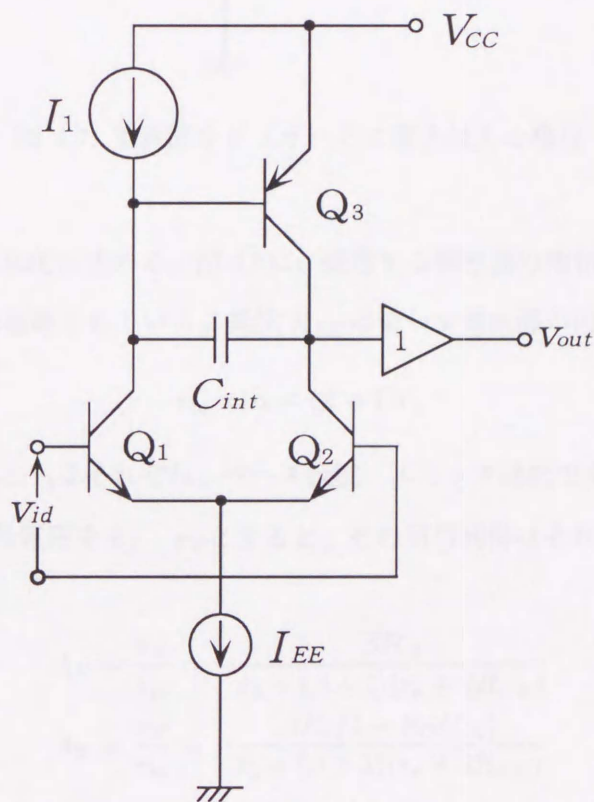


図 4.6: 実現法 II

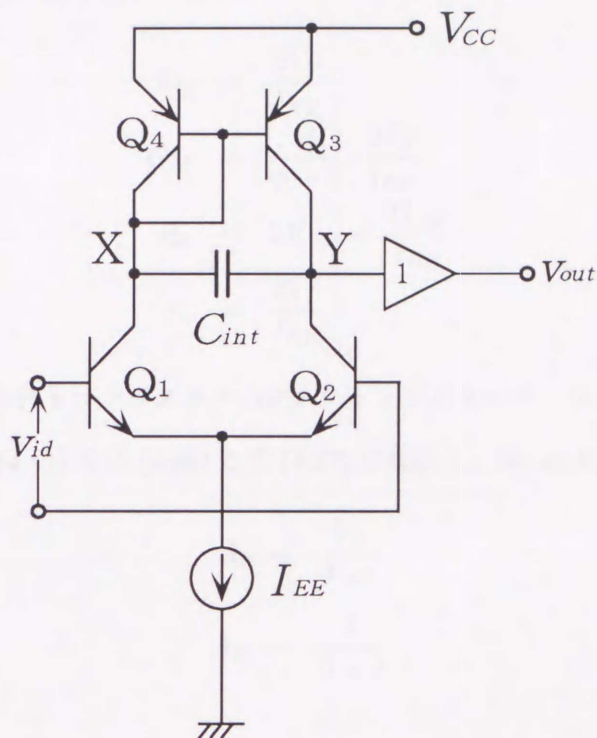


図 4.7: 電流源をダイオードに置き換えた構成

ここで、同相利得を近似的に求める。図 4.8 に、提案する積分器の同相モード小信号等価回路を示す。但し、積分容量は省略されている。抵抗  $R_{EE}$  はテール電流源の内部抵抗で、抵抗  $r_{ie}$  は

$$r_{ie} = r_b + (\beta + 1)r_e \quad (4.33)$$

で与えられる。但し、 $r_b$  と  $r_e$  はそれぞれ、ベース抵抗、エミッタ抵抗である。図 4.7 の回路内の節点 X 及び Y における信号電圧を  $v_X$ 、 $v_Y$  とすると、その同相利得はそれぞれ

$$A_X = \frac{v_X}{v_{ic}} = -\frac{\beta R_O}{r_b + (\beta + 1)(r_e + 2R_{EE})} \quad (4.34)$$

$$A_Y = \frac{v_Y}{v_{ic}} = -\frac{\beta R_n(1 - R_O G_M)}{r_b + (\beta + 1)(r_e + 2R_{EE})} \quad (4.35)$$

で表される。ここで、 $r_b \ll r_e + 2R_{EE}$  と仮定して  $r_b$  を無視し、 $\beta + 1 \approx \beta$  と近似すると、式 (4.34) と式 (4.35) はそれぞれ

$$A_X = -\frac{R_O}{r_e + 2R_{EE}} \quad (4.36)$$

$$A_Y = -\frac{R_n(1 - R_O G_M)}{r_e + 2R_{EE}} \quad (4.37)$$

となる。また、 $R_O$ 、 $G_M$ 、 $R_n$ 、 $r_e$ はそれぞれ

$$R_O = \frac{2V_T}{I_{EE}} \quad (4.38)$$

$$G_M = \frac{\beta}{\beta + 2} \cdot \frac{2V_T}{I_{EE}} \quad (4.39)$$

$$R_n = 2R_{EE} = \frac{2V_{AF}}{I_{EE}} \quad (4.40)$$

$$r_e = \frac{2V_T}{I_{EE}} \quad (4.41)$$

で与えられる。但し、PNPトランジスタとNPNトランジスタのアーリー電圧  $V_{AF}$  は等しいと仮定している。式(4.38)~(4.41)を式(4.36)と式(4.37)に代入し、 $V_T \ll V_{AF}$ と仮定して近似すると

$$A_X = -\frac{V_T}{V_{AF}} \quad (4.42)$$

$$A_Y = -\frac{2}{\beta + 2} \quad (4.43)$$

が得られる。ここで

$$V_{AF} = 80$$

$$V_T = 0.026$$

$$\beta = 100$$

と仮定すると

$$A_X = -70dB$$

$$A_Y = -34dB$$

が得られる。このように、提案する積分器の同相利得は十分に低いことがわかる。

この積分器は、エミッタ結合対を基本として構成されているので、低電源電圧動作が可能である。トランジスタのベース-エミッタ間電圧が0.7V、コレクター-エミッタ間飽和電圧が0.1Vであると仮定すると、最低動作電源電圧は、0.9Vとなる。フィルタを実現する場合に、エミッタホロワを加えても、動作電源電圧は1.6Vである。また、CMF等の周辺回路が不要で、トランスコンダクタは低電流で高いトランスコンダクタンスを実現するので、消費電流も極めて小さい。以上のように、この積分器は、低電源電圧力回路としても優れていることがわかる。

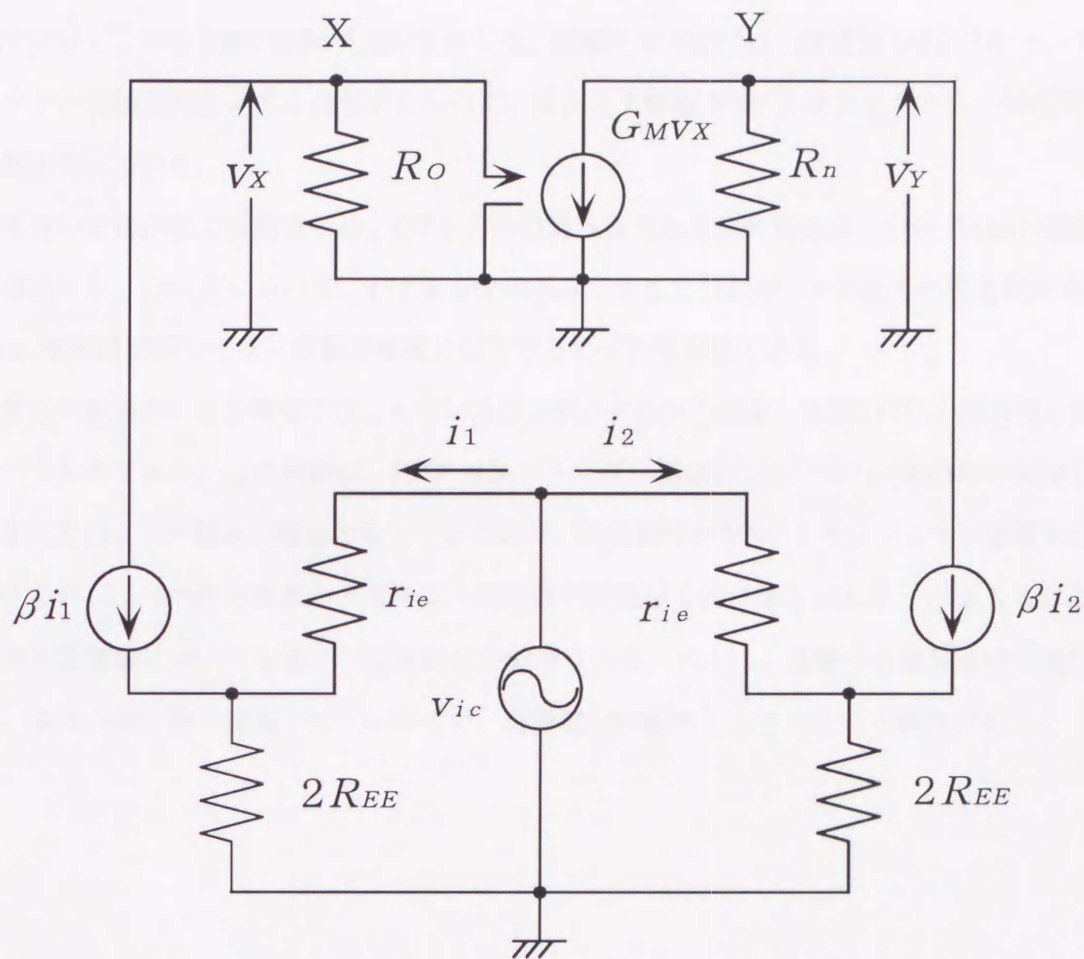


図 4.8: 同相モード小信号等価回路

#### 4.4 まとめ

本章では、新しい積分器の基本概念と、その具体的実現法を提案した。帰還増幅器として OTA を用いるミラー積分器は、高い出力インピーダンスを有する。提案する回路は、この従来の OTA ミラー積分器の出力端に、もう一つの逆相の入力信号電流源を接続して実現される。二つの信号電流の値を等しくすることによって、OTA の特性や、前段に接続されるトランスコンダクタの出力インピーダンスの影響をほとんど受けない理想的な積分特性が得られる。

信号源として差動出力トランスコンダクタを用いれば、このような信号電流は容易に実現できる。従って、理想特性を実現するためには OTA のトランスコンダクタンスを無限大としなくてはならない、従来の OTA ミラー積分器と比べると、提案する積分器は、その実現性において非常に



有利であるといえる。

後半では、二つの具体的回路実現法を示した。提案する方法では、帰還用 OTA のトランスコンダクタンスの値を大きくする必要がないので、エミッタ接地 PNP トランジスタに、帰還用 OTA の役割を与えている。

一番目の実現法による構成では、OTA の出力端へ移される信号電流は二つの Wilson 電流源回路を通過する。 $f_P$  付近において、わずかな位相進みが生じているが、それ以上の周波数帯域では、Wilson 電流源回路のミラー係数が極度に低下するので特性が悪くなる。

二番目の実現法による構成では、トランスコンダクタの出力端を、直接 OTA の出力端に接続するというものである。この回路は、PNP カレントミラー構成によって高い CMRR を実現し、しかも 2 入力形ミラー積分器構成となっているので、伝達特性が PNP トランジスタの影響をほとんど受けない。二つの信号電流の大きさは、周波数に関係なく常に等しいので、 $f_P$  よりもはるかに高い周波数帯域においても優れた伝達特性が実現される。さらに、提案する積分器は低電圧で動作し、少ない素子数で実現されているので、消費電力が極めて小さいという利点がある。

## 第 5 章

# 位相補償法

モノリシック能動  $RC$  フィルタを実現する上で、積分器の位相特性は非常に重要な意味を持つ。積分器のユニティゲイン周波数における位相遅れは、フィルタの  $Q$  を著しく増大させ、その結果、過大な通過域リップルを生じさせることになる [11]。

4.3.2 で提案した積分器は、その特性が PNP トランジスタの影響を受けないので、非常に優れた高周波特性を有する。これを用いて構成されるフィルタは、信号経路に PNP トランジスタが使用されている従来の回路では達成し得ない程高い周波数帯域においても、正常な動作をすることが期待される。しかしながら、寄生容量による高次極が存在し、これによって位相遅れが生じることが予想される。厳密に積分器を設計しても、モノリシック集積回路においては、寄生容量の影響は避けられない。

そこで本章では、高周波用積分器に適した新しい位相補償法について述べる。提案する手法は、複数のテール電流源でチューニングされる multi-tanh トランスコンダクタに適用できるもので、補償容量によって生じる零点の周波数が、トランスコンダクタンスに比例するという特長を有する。

### 5.1 従来の位相補償法

位相遅れの補償は、伝達関数上で零点をつくり、位相遅れの原因となる寄生極を打ち消すことによって実現される。これは、補償用素子を加える部位によって、容量と抵抗を、直列あるいは並列に接続することによって得られる。

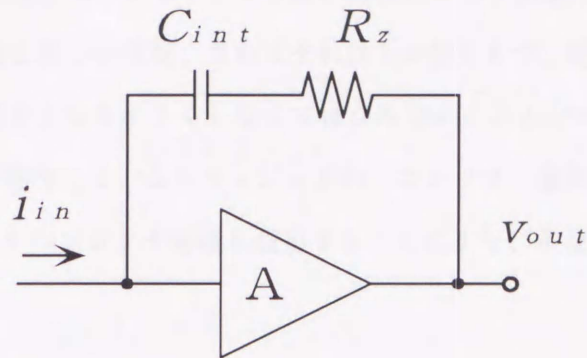


図 5.1: 積分器の位相進み補償

図 5.1 に示すように、積分容量に抵抗  $r_z$  を直列に接続すると、零点が実現される [10]。このとき、積分器の伝達関数は

$$T(s) = \frac{g_m}{sC_{int}} \cdot (1 + sC_{int}R_z) \quad (5.1)$$

で与えられる。この  $CR$  直列素子には、小さい時定数が要求されるので、 $r_z$  としては低い値の抵抗が用いられる。また、 $r_z$  として抵抗領域で動作する MOSFET を用いることによって、時定数を可変とすることができる。しかし、本論文で述べているような、バイポーラトランジスタで設計される積分器では、コスト面を考えると、MOSFET の導入は避けるべきである。

一方、トランスコンダクタ側において、位相補償を行うことも可能である。よく知られているのが、Gilbert Cell 形トランスコンダクタに適用される方法である。図 5.2 に示すように、エミッタ負帰還抵抗  $R_E$  に、補償容量  $C_z$  を並列に接続することによって零点が実現される [21]。このとき、この回路のトランスコンダクタンスは

$$g_m(s) = \frac{I_2}{I_1} \cdot \frac{1 + sC_zR_E}{R_E} \quad (5.2)$$

で表される。Gilbert Cell 形トランスコンダクタは、比較的大きな振幅の信号を扱う場合に使用されるので、 $R_E$ は、一般的に数  $k\Omega$  程度、またはそれ以上の値をもつ。従って、時定数を小さな値とするためには、 $C_z$ の値をかなり小さくしなくてはならない。このためこの容量は、しばしば、バイアス電流源  $I_1$ として動作しているトランジスタの、コレクター-基板間容量で代用される。その場合には、トランジスタのコレクタ面積を設定することにより、希望する値に近い容量値を実現する。

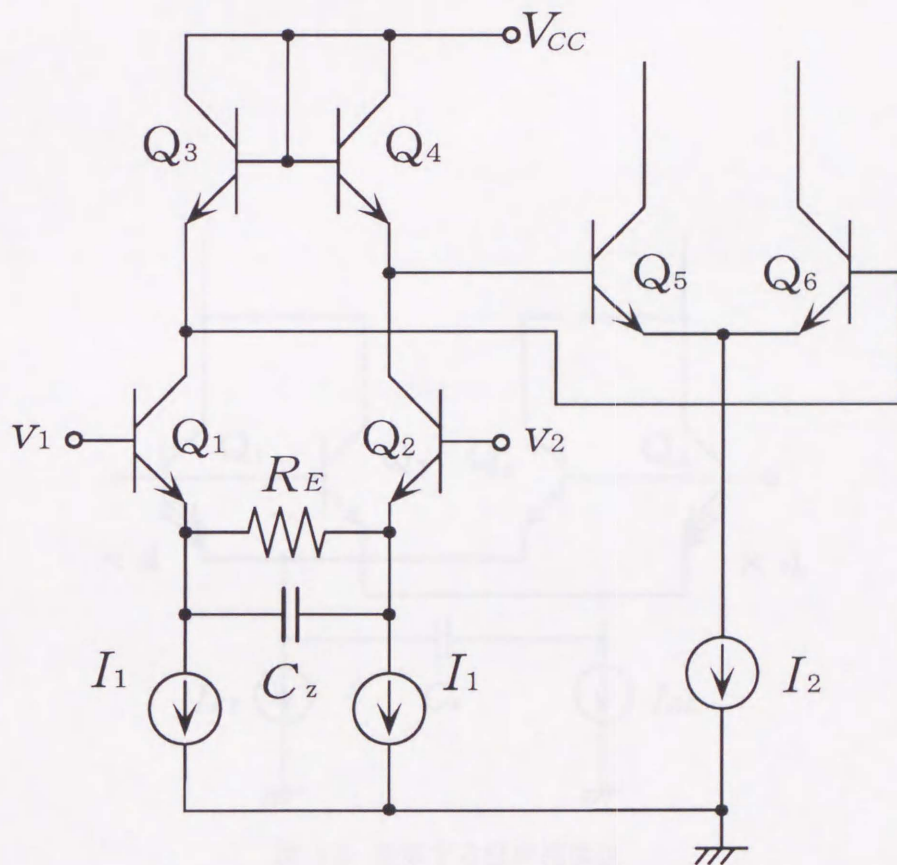


図 5.2: トランスコンダクタの位相進み補償

## 5.2 新しい位相補償法

図 5.3 に示すトランスコンダクタは、 $N = 2$  の場合の multi-tanh トランスコンダクタである。非対称エミッタ結合対のエミッタ面積比を  $2 + \sqrt{3} : 1$  とすることにより、トランスコンダクタンス  $g_m$  が線形化されるが、ここでは、簡単化のため、 $4 : 1$  とする [3],[16]。提案する位相補償法は、図のように、二つのテール電流源の電流出力端子間に、コンデンサ  $C_z$  を接続するというものである。この位相補償の効果を厳密に解析することが困難であるため、近似的な解析により、 $g_m$  の周波数特性を求め、零点を導き出す。

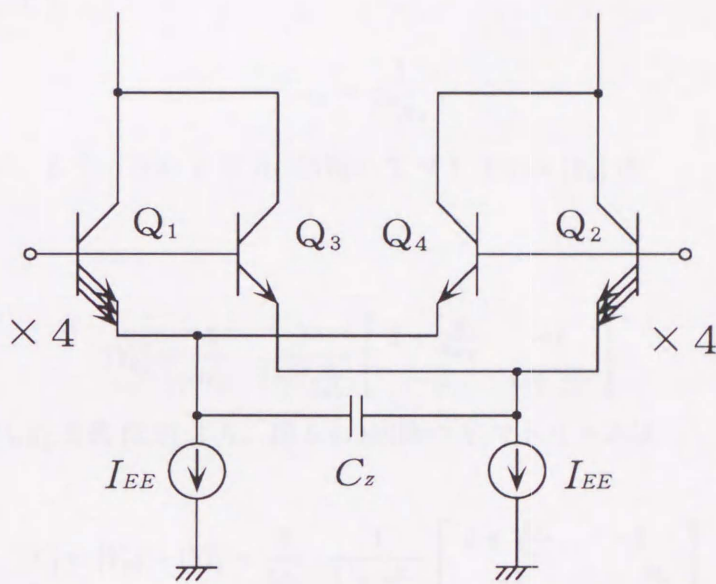


図 5.3: 提案する位相補償法

コンデンサ  $C_z$  は同相信号に対しては全く無関係であるので、入力される信号は、完全差動信号であると仮定する。図 5.3 の回路の差動モード小信号等価回路は、図 5.4 のように表される。ここで、 $r_i$  は図 5.3 中に示されるトランジスタ  $Q_i (i = 1 \sim 4)$  のエミッタ抵抗を表している。また、 $C'_z = 2C_z$  である。ここでは、補償用コンデンサの効果だけを調べるために、寄生容量は無視している。図 5.4 の回路の波線で囲まれた部分は、並列に接続された二つの T 形 RC 回路であることから、Y マトリクスを用いることにより解析が容易になる。 $r_1$ 、 $r_4$ 、 $C'_z$  で構成される T 形 RC 回路の Y マトリクス  $[Y_a]$  は

$$[Y_a] = \frac{1}{r_1 + r_4 + sC'_z r_1 r_4} \begin{bmatrix} 1 + sC'_z r_4 & -1 \\ -1 & 1 + sC'_z r_1 \end{bmatrix} \quad (5.3)$$

で与えられる。ここで、 $r_1 = \frac{r_e}{4}$ 、 $r_4 = r_e$  とすると、式 (5.3) は

$$[Y_a] = \frac{4}{5r_e} \cdot \frac{1}{1 + \frac{s}{5\omega_z}} \begin{bmatrix} 1 + \frac{s}{\omega_z} & -1 \\ -1 & 1 + \frac{s}{4\omega_z} \end{bmatrix} \quad (5.4)$$

となる。但し

$$\omega_z = \frac{1}{C'_z r_e} \quad (5.5)$$

である。同様に、もう一方の T 形 RC 回路の Y マトリクス  $[Y_b]$  は

$$[Y_b] = \frac{4}{5r_e} \cdot \frac{1}{1 + \frac{s}{5\omega_z}} \begin{bmatrix} 1 + \frac{s}{4\omega_z} & -1 \\ -1 & 1 + \frac{s}{\omega_z} \end{bmatrix} \quad (5.6)$$

で与えられる。式 (5.4) と式 (5.6) より、図 5.4 の回路の Y マトリクスは

$$[Y] = [Y_a] + [Y_b] = \frac{8}{5r_e} \cdot \frac{1}{1 + \frac{s}{5\omega_z}} \begin{bmatrix} 1 + \frac{5s}{8\omega_z} & -1 \\ -1 & 1 + \frac{5s}{8\omega_z} \end{bmatrix} \quad (5.7)$$

となる。ここで

$$\begin{bmatrix} i_1 \\ i_2 \end{bmatrix} = [Y] \begin{bmatrix} v_1 \\ v_2 \end{bmatrix} \quad (5.8)$$

$$\begin{aligned} v_1 &= \frac{v_{in}}{2} \\ v_2 &= -\frac{v_{in}}{2} \end{aligned} \quad (5.9)$$

を考慮すると、トランスコンダクタンス  $g_m$  は

$$g_m = \frac{8}{5r_e} \cdot \frac{1 + \frac{5s}{16\omega_z}}{1 + \frac{s}{5\omega_z}} \quad (5.10)$$

で表される。これより、零点周波数は、極周波数より低くなっているため、位相進み補償が可能となっていることがわかる。

ここで

$$C_{int} = 5 \times 10^{-12}$$
$$r_e = \frac{2}{5\pi} \times 10^5$$

と仮定すると、積分回路のユニティゲイン周波数  $f_c$  は 4MHz となる。 $C_z = 1\text{pF}$  の時、零周波数  $f_{zero}$  と極周波数  $f_{pole}$  は、それぞれ 20MHz、31.25MHz となる。 $\frac{1}{r_e}$  がテール電流  $I_{EE}$  に比例することから、 $f_{zero}$  と  $f_{pole}$  は  $I_{EE}$  に、すなわち  $f_c$  に比例することになる。

Gilbert Cell 形トランスコンダクタの初段の負帰還抵抗に、容量を並列接続するという従来の方法では、時定数が一定である。積分容量と直列に MOSFET による可変抵抗を接続すれば、時定数が可変となるが、その場合には、制御電圧源が必要となる。それに対して、提案する位相補償法では、テール電流の値に応じて時定数が変化するため、大幅なチューニングを行っても、常に  $f_c$  付近で効果的な位相補償が得られる。

図 5.5 に、式 (5.10) から導かれる位相特性を示す。計算の際に、パラメータの値として、上述のものをを用いた。(1)、(2)、(3) の曲線は、 $f_c$  をそれぞれ、4MHz、10MHz、25MHz としたときの計算結果である。図より、 $f_{zero}$  と  $f_{pole}$  が  $I_{EE}$  に比例して変化している様子がわかる。

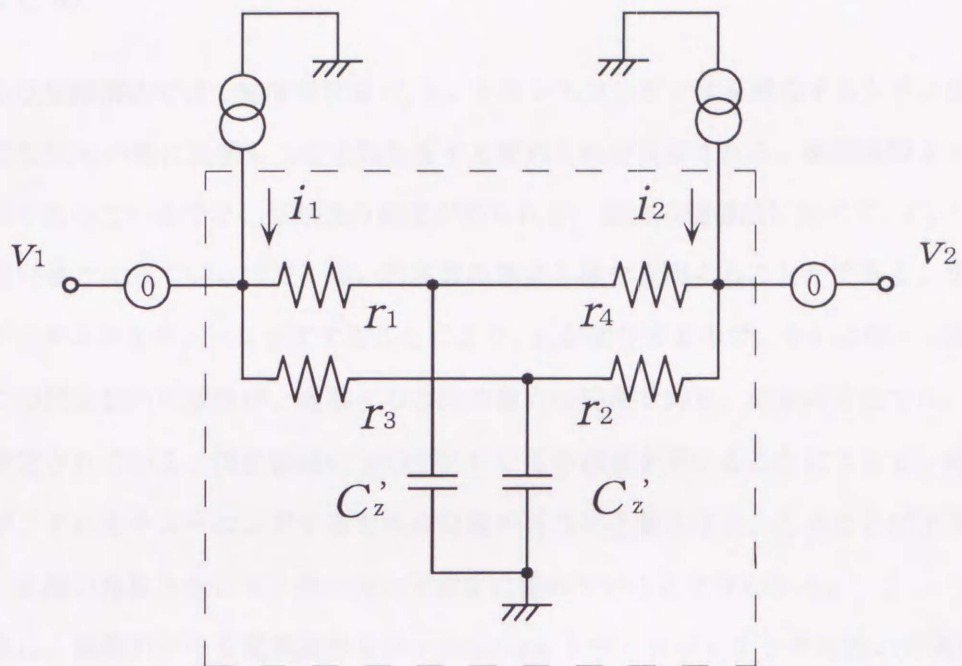


図 5.4: 補償容量を接続したトランスコンダクタの小信号等価回路

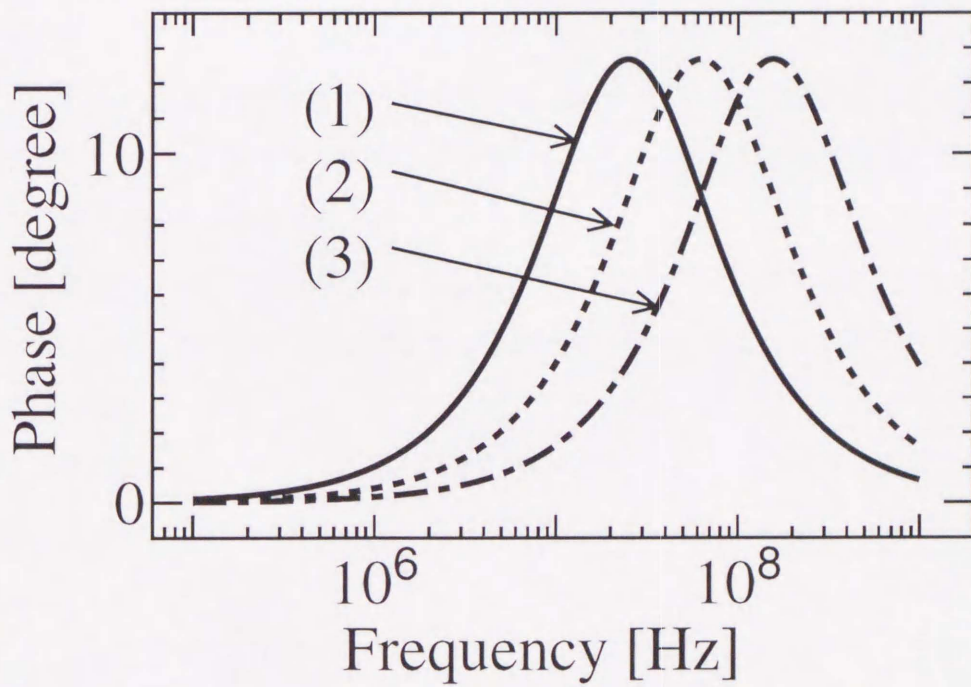


図 5.5: 位相特性の計算結果



### 5.3 まとめ

提案する位相補償法では、補償用容量  $C_z$  と、トランスコンダクタを構成するトランジスタのエミッタ等価抵抗  $r_e$  の積に比例した時定数を有する零点と極が実現される。極周波数よりも零周波数の方が低くなっているため、位相進み補償が得られる。従来の補償法に比べて、 $C_z$  と  $r_e$  はともに比較的低い値となっているため、高い周波数の零点と極を実現することができる。また、トランスコンダクタンスをチューニングすることにより、 $r_e$  が変化するので、それに伴って時定数も変化する。この時定数の可変性が、提案する方法の最大の特長である。従来の方法では、基本的に時定数は固定されている。抵抗領域の MOSFET や接合容量を用いることによって、可変性を実現できるが、それをチューニングするための回路がさらに必要となる。このことにより、提案する方法は、実現の容易さやコスト面において非常に優れていることがわかる。

この手法は、複数のテール電流源をもつ multi-tanh トランスコンダクタにおいて実現可能で、対称な一組の結合対のテール電流源間に、容量を接続すればよい。この容量は、非接地の状態でも用いられるため、片側の端子に遍在する寄生容量が問題となるが、希望する値の半分の値をもつ容量を、互いに逆向きに並列接続すれば解決できる。

## 第 6 章

# シミュレーション

本章ではまず、提案する積分器を用いて実現する 3 次リープフロッグフィルタの構成について述べる。

能動 RC フィルタを構成する積分器の特性を全て同時に制御するための回路として最も広く用いられているのが、フェーズ・ロックド・ループ (PLL) を用いた自動チューニングシステムである [12],[11],[21],[26],[38]。このシステムでは、電圧制御発振器 (VCO) に高い精度が要求される。また、PLL や参照用フィルタ等が必要となるので、フィルタシステム全体の複雑さが増し、消費電力が大幅に増大する。そこで、自動チューニングシステムを用いなくても、正確なチューニングを行うことができる、抵抗制御電流源 (RCCS) について述べる。この回路を用いると、一本の外付け抵抗で、フィルタの特性を制御することができる。また、温度や電源電圧変化による、フィルタの特性変動を補償する働きをもつ。

次に、回路解析シミュレータ (PSpice) によるシミュレーション結果を示す。Wilson 形電流源回路を用いた積分器とダーリントン回路を用いた積分器の特性、そして提案する 2 入力形ミラー積分器の特性を比較し、考察する。

フィルタの構成例として、ダーリントン回路を用いた積分器と、2 入力形ミラー積分器によってそれぞれ構成される、リープフロッグフィルタの特性を示し、比較する。

### 6.1 3次リープフロッグフィルタの実現

原形となる抵抗両終端形 LC フィルタを図 6.1 に示す。図に示される素子値は、0.5dB リプル 3 次チェビシェフローパス特性を実現するものである。この回路の各節点電圧と枝電流の関係を、積分器を用いてシミュレートすると、図 6.2 に示される、リープフロッグフィルタが得られる。

3章で述べた、高周波特性の改善されたトランスコンダクタの構成を図 6.3~6.5 に示す。図 6.3 は、PNP トランジスタで構成される Wilson 電流源回路でシングルエンド変換する Gilbert Cell である。Q<sub>10</sub> で実現されるダイオードは、2 段目の回路が適当な動作点で動作するようにするために、ダイオード負荷の直流レベルを下げる働きを担う。この回路は、出力電圧範囲が狭く、電源電圧を高くしても、それを拡大することができない。この問題を解決した回路構成となっているのが、図 6.4 に示す Gilbert Cell である。この回路では、2 段目の差動出力電流を Wilson 電流源回路 (Q<sub>7</sub>~Q<sub>9</sub>, Q<sub>10</sub>~Q<sub>12</sub>) で取りだし、NPN トランジスタで構成される Wilson 電流源回路でシングルエンド変換している。図 6.5 は、Folded Cascode を用いた Gilbert Cell である。Q<sub>7</sub> と Q<sub>8</sub>、及び Q<sub>9</sub> と Q<sub>10</sub> が、それぞれダーリントン回路を構成している。

これらのトランスコンダクタの電流出力端子を接地容量で終端し、電圧ホロワを接続することにより、図 2.1 で表される容量接地形積分器が実現される。電流源  $I_1$  を定電流源とし、 $I_2$  を可変電流源とすることにより、時定数可変性を実現できる。 $I_2$  を制御する回路である RCCS については後述する。

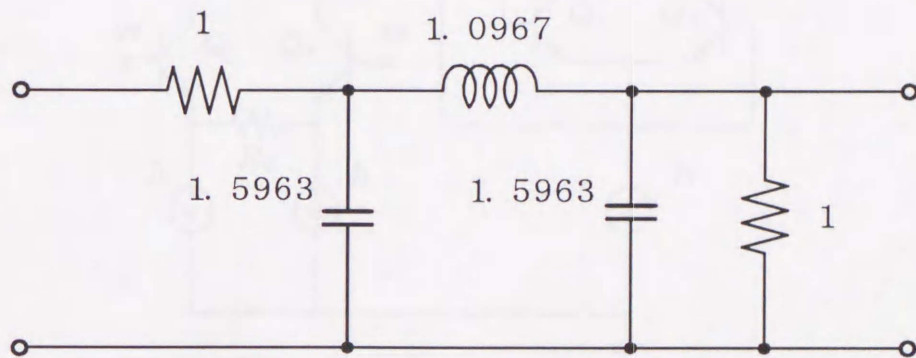


図 6.1: 抵抗両終端形 LC ローパスフィルタ

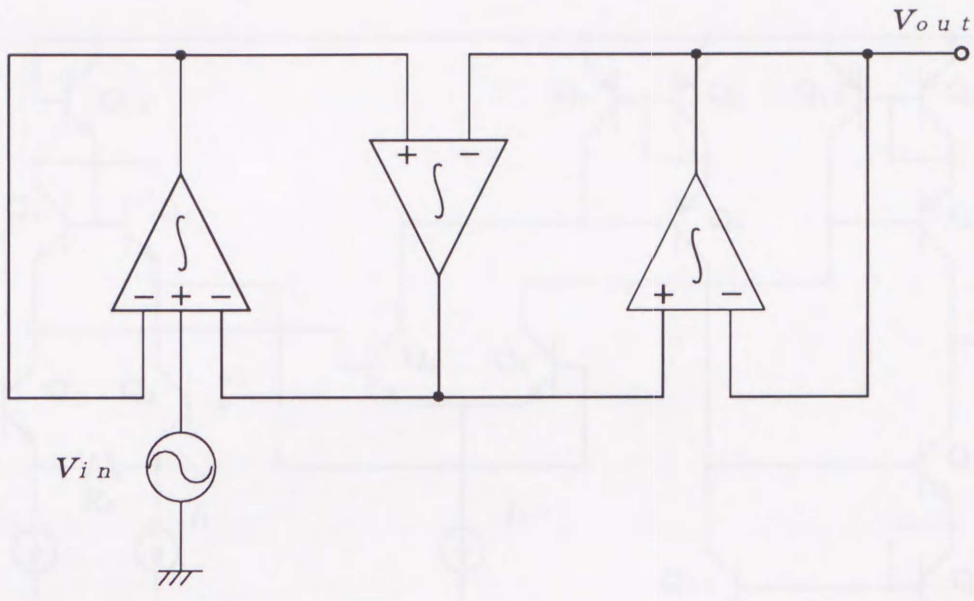


図 6.2: 3次リープフロッグフィルタ

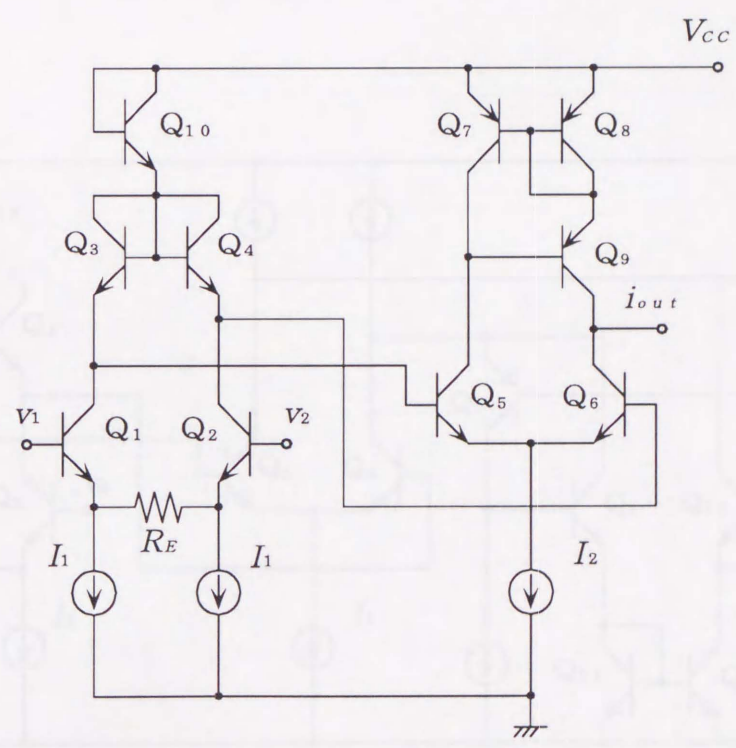


図 6.3: Wilson 電流源回路を用いた Gilbert Cell

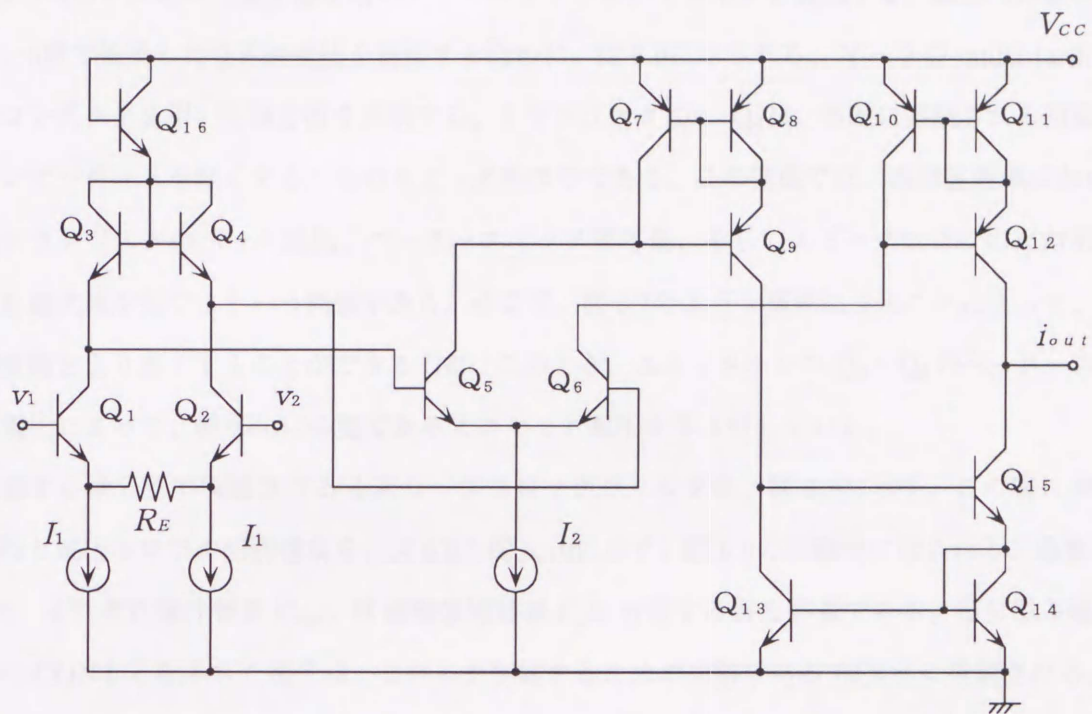


図 6.4: 出力電圧範囲の広い Gilbert Cell

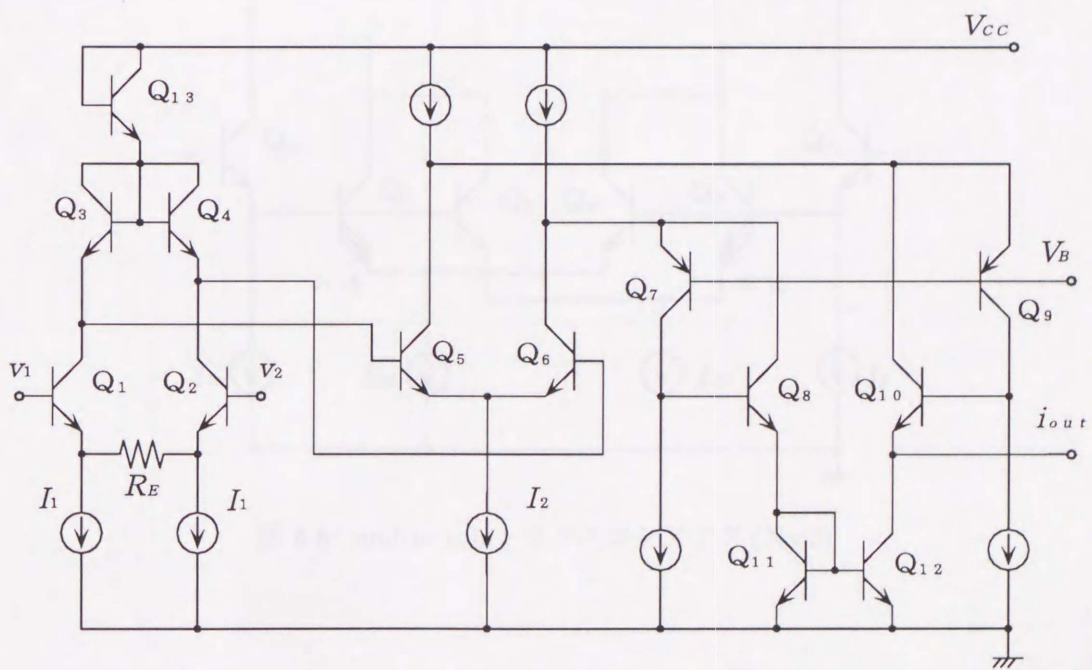


図 6.5: ダーリントン回路を用いた Gilbert Cell

次に、4章で提案した積分器を用いて、リープフロッグフィルタを実現する。線形入力範囲を拡大し、5章で提案した位相補償法を適用するために、図 6.6 に示される、 $N = 2$  の multi-tanh トランスコンダクタを用いて積分器を実現する。トランジスタ  $Q_5$ 、 $Q_6$  は、前段に接続される回路の出力インピーダンスを低くするためのエミッタホロワである。この構成では、高周波帯域において、入力トランジスタのベース抵抗、ベース-エミッタ間容量、そしてエミッタホロワの出力抵抗で決まる高次極が生じるという問題がある。そこで、図 6.7 のような構成にすることによって、その極周波数をより高くすることができる [16]。このとき、エミッタホロワ  $Q_5 \sim Q_8$  のベース-エミッタ間電圧によって、線形化に必要なオフセット電圧を作りだしている。

提案する積分器で実現される 3 次リープフロッグフィルタを、図 6.8 に示す。この図における積分器と電圧ホロワの回路構成を、図 6.9 と図 6.10 に示す。図 6.9 の回路内に示される、容量  $C_{is}$ 、 $C_{zs}$  は、それぞれ積分容量  $C_{int}$ 、位相補償用容量  $C_2$  に付随する寄生容量である。積分器と電圧ホロワの CONT と記された端子は、これらを制御するための回路である RCCS に接続される。

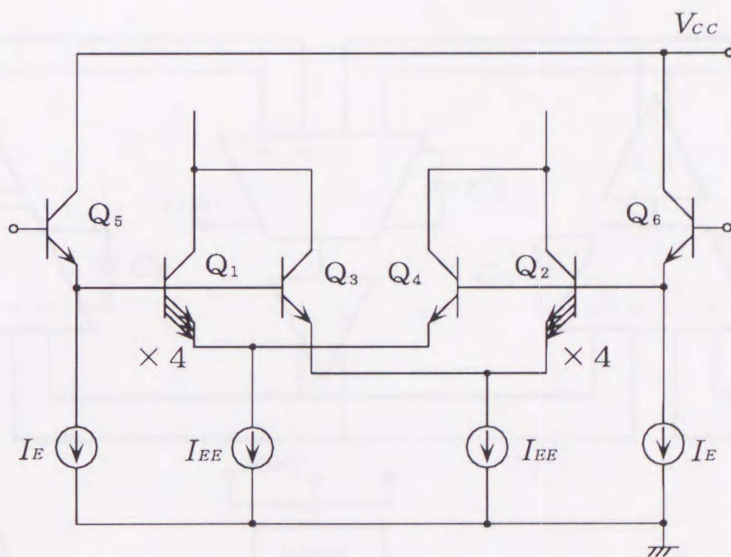


図 6.6: multi-tanh トランスコンダクタ ( $N=2$ )







提案する RCCS の基本構成を図 6.11 に示す。A は帰還増幅器、 $g_m$  は積分器で使用しているものと同じのトランスコンダクタを表している。 $g_m$  の入力には、抵抗を用いて直流電圧が与えられる。増幅器 A は負帰還ループを形成し、 $g_m$  の出力端は  $\frac{V_{CC}}{2}$  に保たれる。これによって  $g_m$  の入出力関係は

$$\frac{V_{CC}}{50} \cdot 2g_m = \frac{V_{CC}}{2R_{ext}} \quad (6.1)$$

で与えられる。これより、トランスコンダクタンス  $g_m$  は

$$g_m = \frac{25}{2R_{ext}} \quad (6.2)$$

で与えられる。これは、 $g_m$  の値が外付け抵抗  $R_{ext}$  の値だけで決まるので、 $R_{ext}$  として温度特性の優れた抵抗を用いれば、 $g_m$  は温度や電源電圧の影響を受けないということを意味する。各積分器の端子 CONT は RCCS の端子 CONT に接続される。これによって、各トランスコンダクタのトランスコンダクタンスはすべてこの  $g_m$  と等しくなり、温度や電源電圧等の変動による回路の特性変動が補償される。

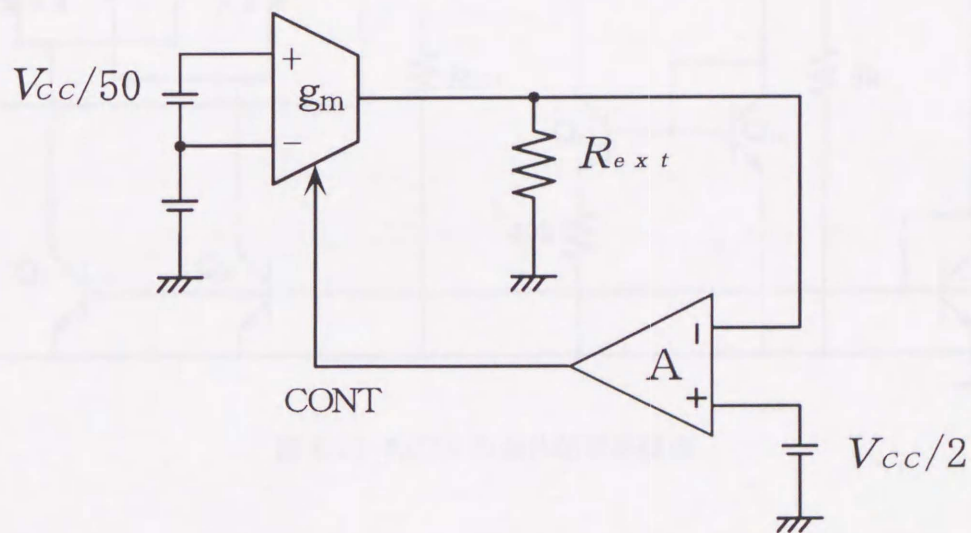


図 6.11: RCCS の基本構成

提案する積分器を基に設計した RCCS の具体的回路構成を図 6.12 示す [28]。この回路は、2V 以下の電源電圧で動作が可能となるように設計されている。Q<sub>16</sub> のエミッタ電流の一部が各トランスコンダクタをバイアスするテール電流源のベースに流れ込んでしまうので、本来ならば、ベース電流補償用トランジスタを接続すべきであるが、そうすることによって、2V 以下の電源電圧での動作が困難となるので、Q<sub>17</sub> のコレクタ-ベース間を短絡して、補償用トランジスタを省略した。また、テール電流源をできる限り減らすために、エミッタホロワも省略した。

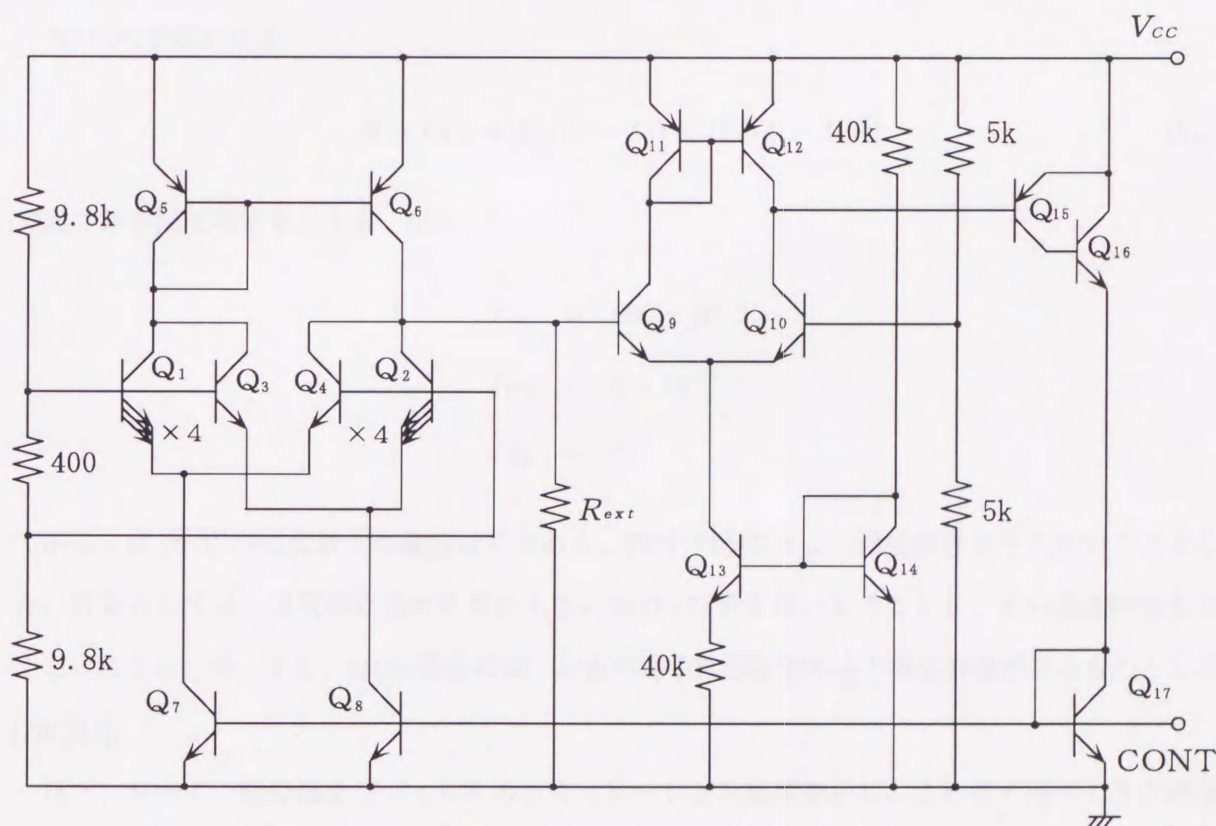


図 6.12: RCCS の具体的回路構成

## 6.2 シミュレーション結果

提案する回路の有効性を確認するために、回路解析シミュレータ (PSpice) を用いてシミュレーションを行った。トランジスタのモデルとしては、一般に広く使われている Gummel-Poon モデルが採用されている。このモデルは、電流増幅率や遷移周波数の特性表現に優れているので、アナログ集積回路のシミュレーションに使用するモデルに適している。

トランジスタのモデルパラメータを表 1 に示す。これらのパラメータは、実際のバイポーラプロセスで製造されたモノリシック IC 上のトランジスタから抽出されたもので、実現されるトランジスタの遷移周波数は、NPN トランジスタが約 7GHz、PNP トランジスタが約 7MHz となっている。

IC 内の抵抗には全て

$$R = R_0[1 + T_{C1}(T - T_0) + T_{C2}(T - T_0)^2] \quad (6.3)$$

で表される温度特性を与える。但し

$$T_{C1} = 800 \times 10^{-6}$$

$$T_{C2} = 5 \times 10^{-6}$$

$$T_0 = 27$$

である。式 (6.3) 内の変数  $T$  の単位は  $^{\circ}\text{C}$  である。外付け抵抗  $R_{ext}$  の温度特性は与えないこととした。容量としては、温度依存性が非常に小さい MOS 容量を用いることとし、その温度特性も与えないことにした。また、MOS 容量には、片方の端子に容量値の  $\frac{1}{10}$  の寄生容量が在るものとした [29],[31]。

以下において、積分器及びフィルタのシミュレーション結果を示し、これまで述べてきた理論の正当性を確認する。

表 6.1: トランジスタの SPICE パラメータ

	FDT2M NPN	FLP1M PNP
IS[A]	$38.52 \times 10^{-18}$	$11.44 \times 10^{-18}$
BF	100.1	121.3
NF	1	1
VAF	42.82	84.04
IKF[A]	$119.1 \times 10^{-6}$	$5.821 \times 10^{-3}$
ISE[A]	$2 \times 10^{-21}$	$2 \times 10^{-21}$
NE	1	1
BR	17.1	0.9794
NR	1	1
VAR[V]	10.17	7.629
IKR[A]	$80.42 \times 10^{-6}$	$3.947 \times 10^{-3}$
ISC[A]	$2 \times 10^{-21}$	$2 \times 10^{-21}$
NC	1	1
RB[Ω]	260.5	161.3
RBM	25.12	161.3
IRB	$6 \times 10^{-6}$	$200 \times 10^{-6}$
RE[Ω]	9.22	6.064
RC[Ω]	180.8	51.89
CJE[F]	$71.16 \times 10^{-15}$	$44.96 \times 10^{-15}$
VJE	1.701	0.9434
MJE	0.4791	0.4071
CJC[F]	$138.6 \times 10^{-15}$	$55.37 \times 10^{-15}$
VJC	0.6302	0.6415
MJC	0.3803	0.3913
CJS[F]	$320 \times 10^{-15}$	$162.2 \times 10^{-15}$
VJS[V]		0.375
MJS		0.1582
TF[sec]	$20.00 \times 10^{-9}$	$12 \times 10^{-12}$
XTF	0.9654	32.75
VTF[V]	0.7358	2.794
ITF	$7.589 \times 10^{-3}$	$5.519 \times 10^{-3}$
TR[sec]	$19.99 \times 10^{-9}$	$12.92 \times 10^{-9}$
XTB	1.3	1.45
XTI	5.8	4.8
KF	$3.033 \times 10^{-12}$	$128.5 \times 10^{-12}$
AF	1.554	2.173

### 6.2.1 積分器のシミュレーション

図 6.13と図 6.14は、Wilson 形電流源回路を用いた積分器と、ダーリントン回路を用いた積分器の、 $C_{int}$ の値を 10pF とした時の、振幅特性及び位相特性を示している。また、図 6.15は、6.14の $-90^\circ$  付近の拡大図である。各積分器には、それぞれの回路に合わせて設計された RCCS を接続している。外付け抵抗  $R_{ext}$ としてそれぞれ適当な値の抵抗を接続して、ユニティゲイン周波数  $f_c$  を 2MHz に設定した。また、それぞれの積分器において、2MHz における位相遅れが最小になるように、従来の方法で位相補償を行っている。

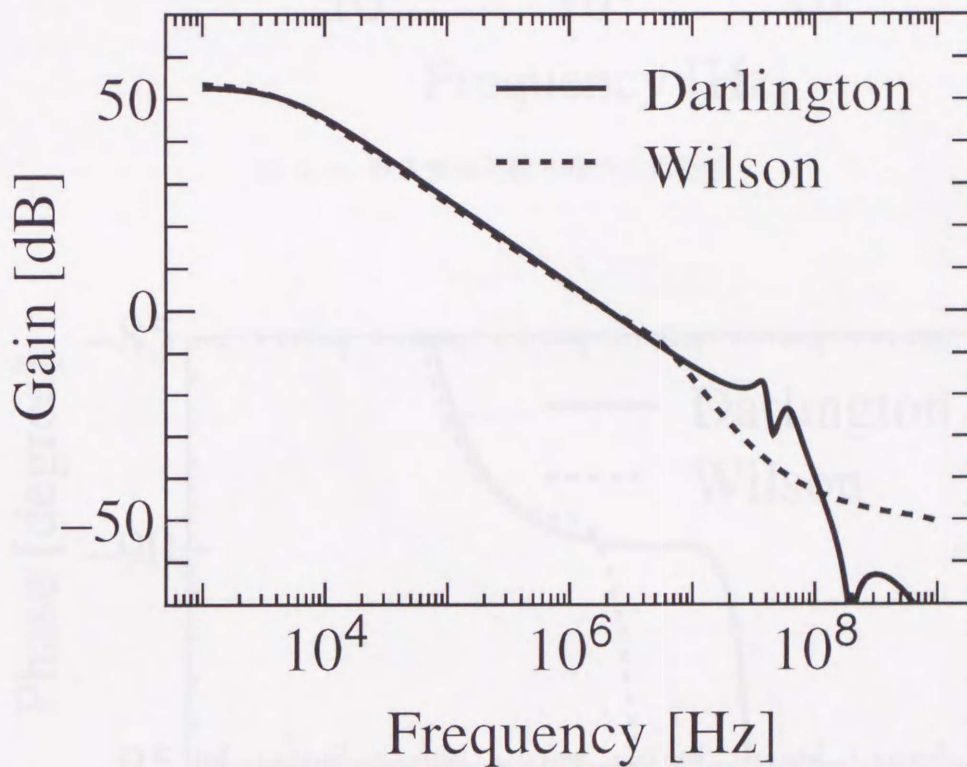


図 6.13: 容量接地形積分器の振幅特性

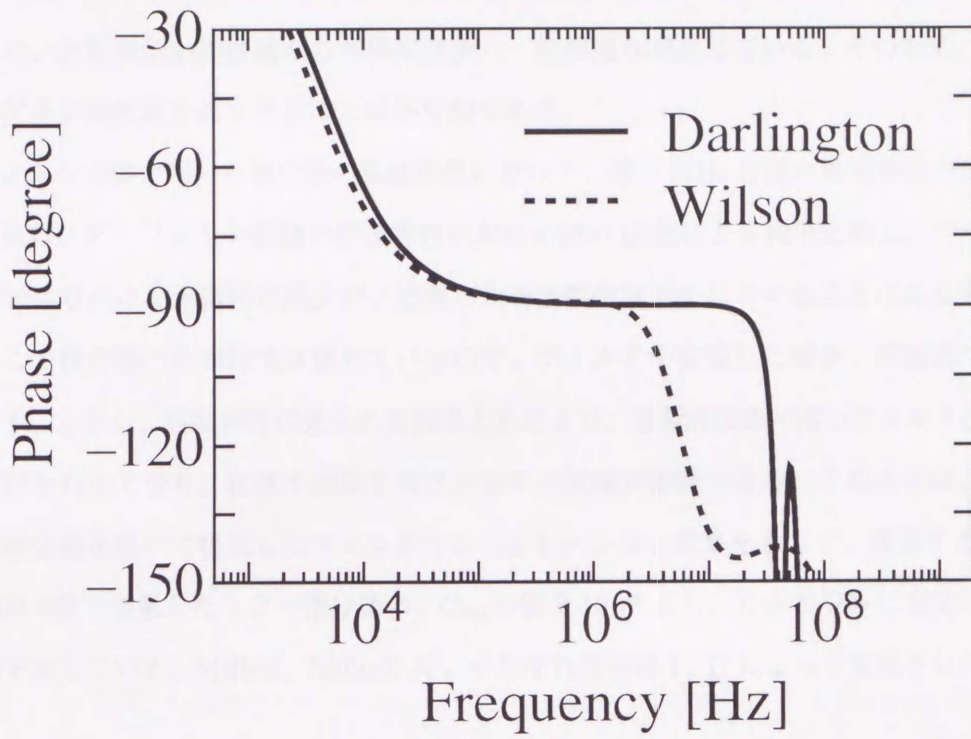


図 6.14: 容量接地形積分器の位相特性

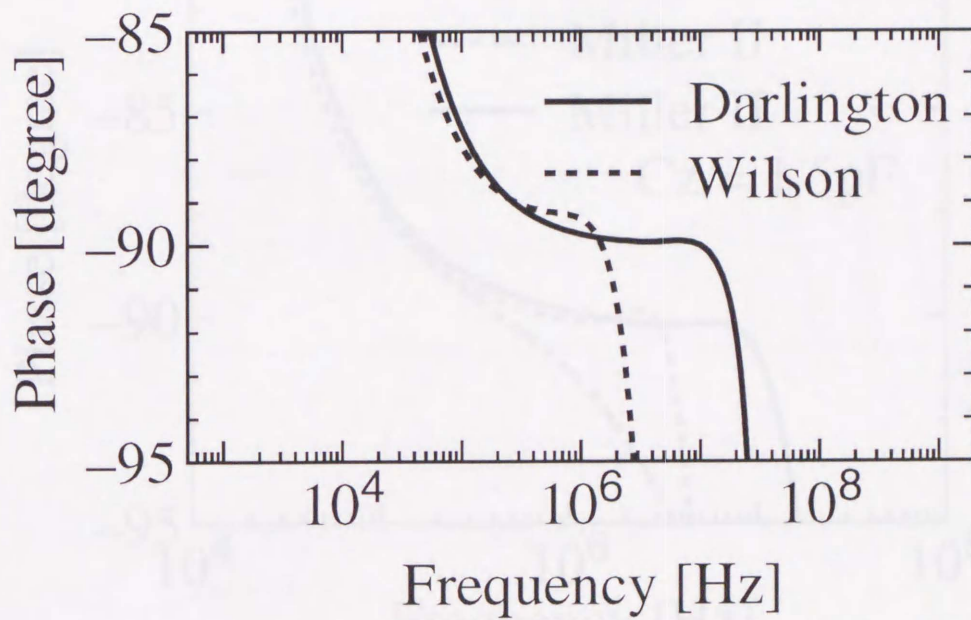


図 6.15: 容量接地形積分器の位相特性 (-90° 付近)

Wilson 形電流源回路を用いた積分器の場合、位相補償をしたにもかかわらず、位相の偏差が大きい。また、比較的低い周波数から利得が減少し、位相遅れが生じている。そのため、これ以上ユニティゲイン周波数を高くすることは不可能である。

ダーリントン回路を用いた積分器の振幅特性において、数十 MHz 付近に振幅特性の乱れが見られる。これは、ダーリントン回路の伝達特性における高い  $Q$  値による利得上昇と、ベース接地回路特有の伝送零点による利得の減少が、近接した周波数帯域で生じていることによるものと考えられる。この積分器の位相特性は優れているので、フィルタを実現した場合、通過域では良好な特性を示す。しかし、振幅特性に見られる利得上昇により、遮断周波数の高いフィルタほど、遮断域の減衰がとれなくなり、仕様を満足するフィルタの実現が困難となる。このことは、次の小節で、この積分器を用いて構成したフィルタのシミュレーション結果を示して、確認する。

図 6.16 は 4 章で提案したミラー積分器の、 $C_{int}$  の値を  $10\text{pF}$  とし、 $f_c$  を  $2\text{MHz}$  に設定したときの位相特性を示している。Miller I、Miller II は、それぞれ実現法 I、II によって実現された積分器を指す。

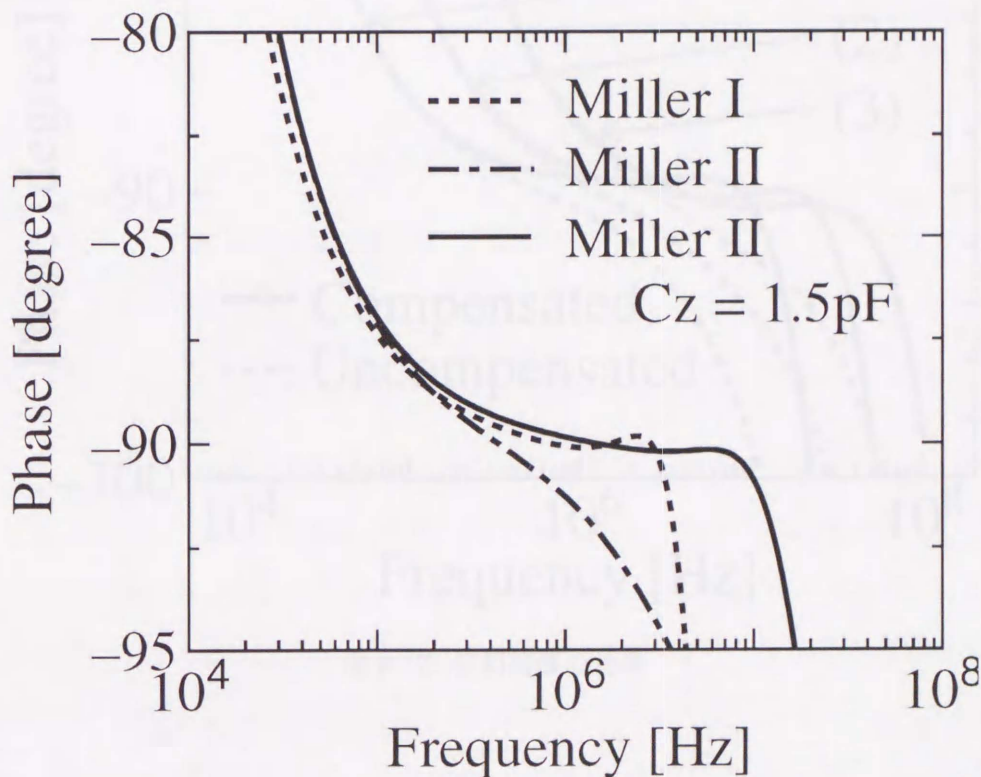


図 6.16: 2 入力形ミラー積分器の位相特性

4.3.1で示されたように、MillerIは、位相がやや進むので、それ自体が位相補償を行う効果があることがわかる。しかし、これ以上  $f_c$  を高くすると、Wilson 電流源回路のミラー係数が低下するため、位相が大きく遅れる。この場合には、位相補償を行なっても、特性を改善することは不可能である。

一方、MillerIIは、位相補償を行うことによって、優れた特性を示す。 $f_c$  を更に高くした場合の位相特性を図 6.17に示す。この図から  $f_c$  が変化しても常に効果的な位相補償が行われていることがわかる。

図 6.18は、MillerIIの振幅特性を示している。 $f_c$  は 4MHz である。-Dif、-Com は、それぞれ差動利得、同相利得を表す。また、VG は仮想接地点に対する利得を意味する。この図より、出力端における同相利得、並びに仮想接地点における利得が十分低いことがわかる。

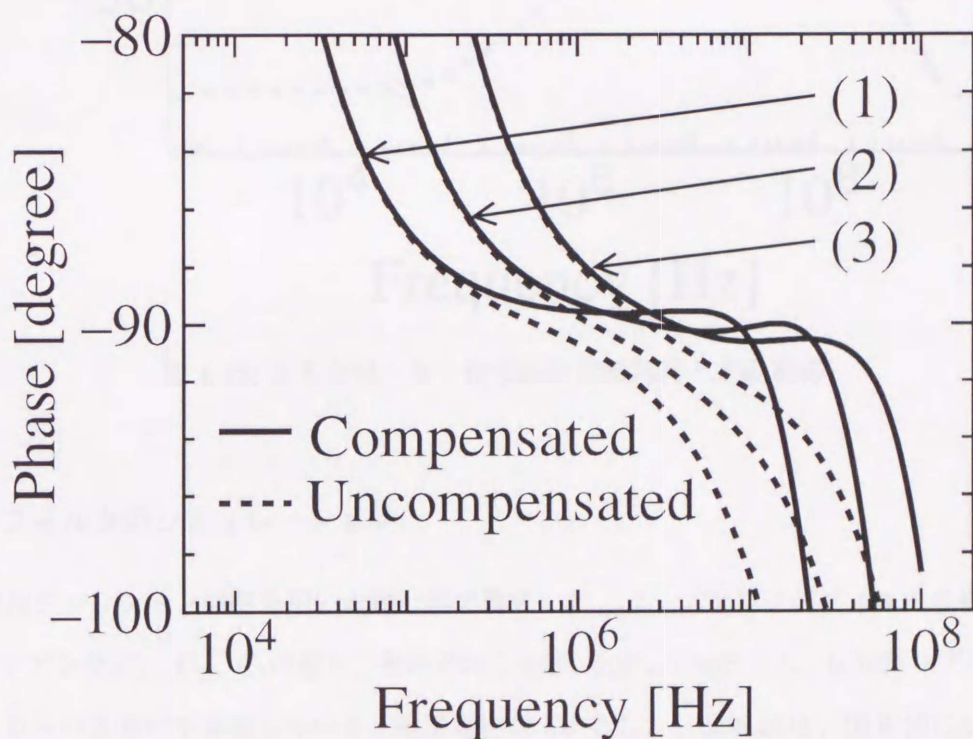


図 6.17: 位相補償の効果



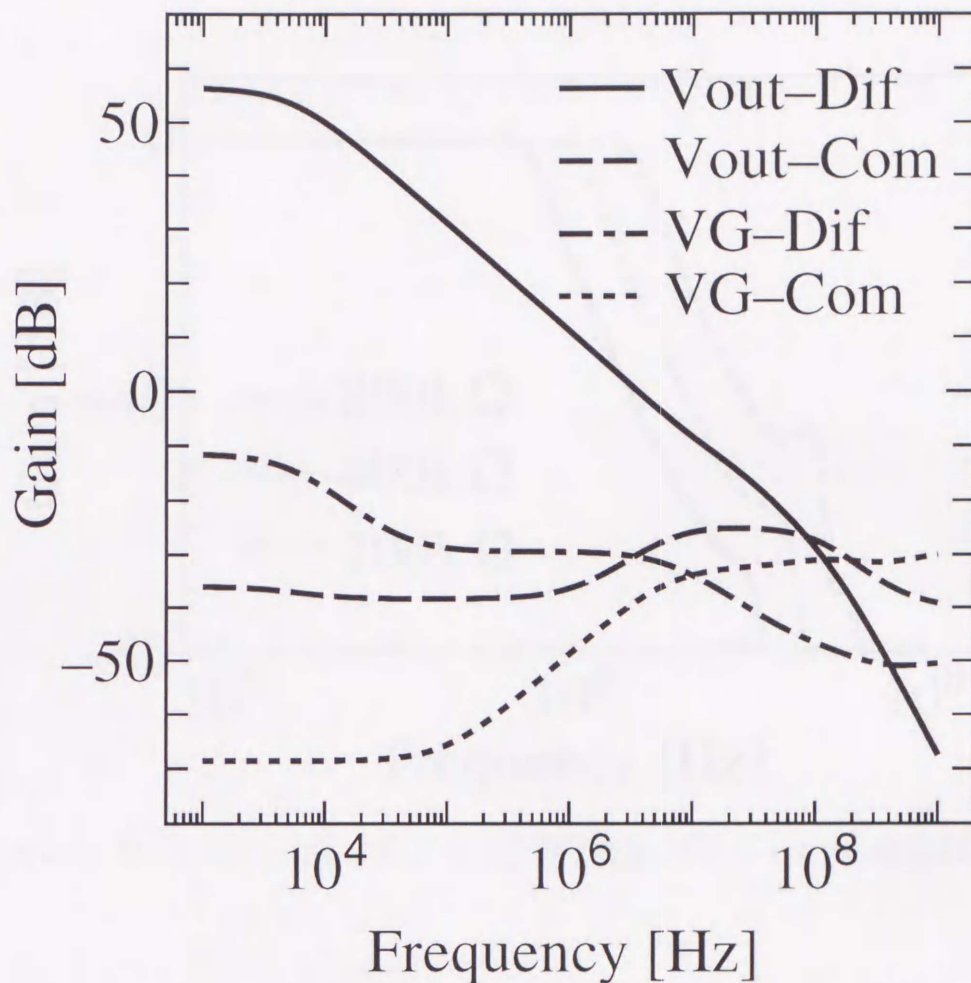


図 6.18: 2 入力形ミラー積分器の同相利得と差動利得

### 6.2.2 フィルタのシミュレーション

図 6.19 はダーリントン回路を用いた積分器で構成した、リープフロッグフィルタの振幅特性である。コンデンサ  $C_1$ 、 $C_2$ 、 $C_3$  の値を、それぞれ 7.3pF、5pF、7.3pF とし、0.5dB リプル 3 次チェビシェフローパス特性を実現している。電源電圧は 5V とした。図 6.20 は、図 6.19 に示される特性の通過域の拡大図である。図より、通過域特性は全く問題ないが、遮断周波数が高くなるにつれて、遮断域の利得上昇が高くなっているのがわかる。このことが、このフィルタの高周波化の妨げになっている。利得上昇の生じる周波数が、遮断周波数とともに高くなっているのは、ダーリントン回路を構成する NPN トランジスタのコレクタ電流が増加し、それによって  $f_N$  が高くなるからであると考えられる。消費電力は、遮断周波数 1MHz のフィルタの場合、17.8mW であった。

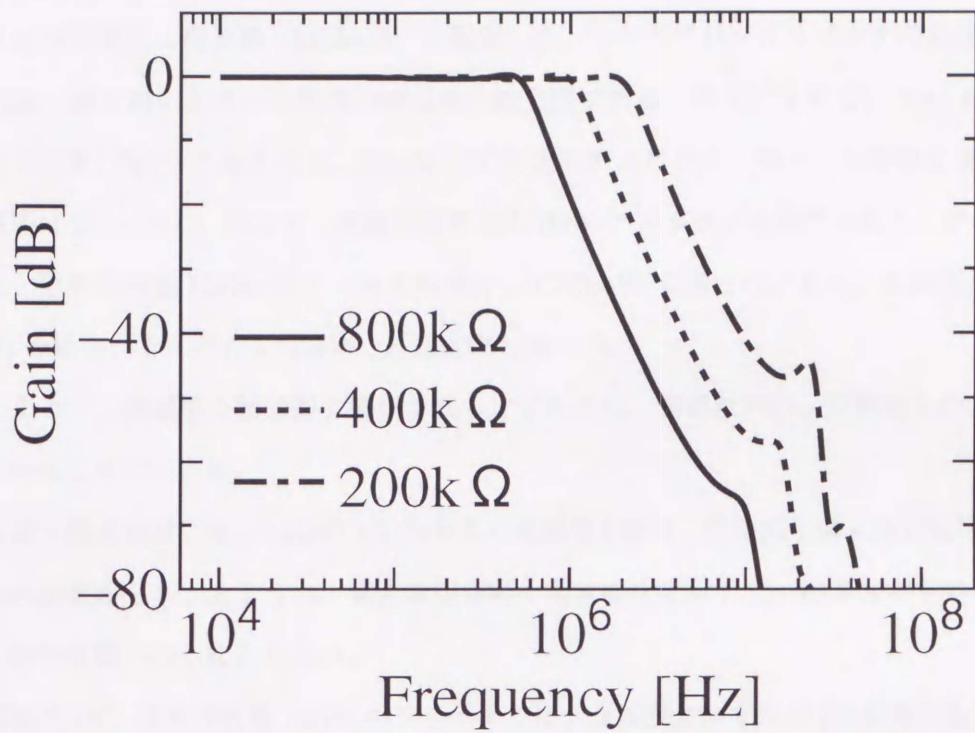


図 6.19: ダーリントン回路を導入した積分器で構成されたフィルタの振幅特性

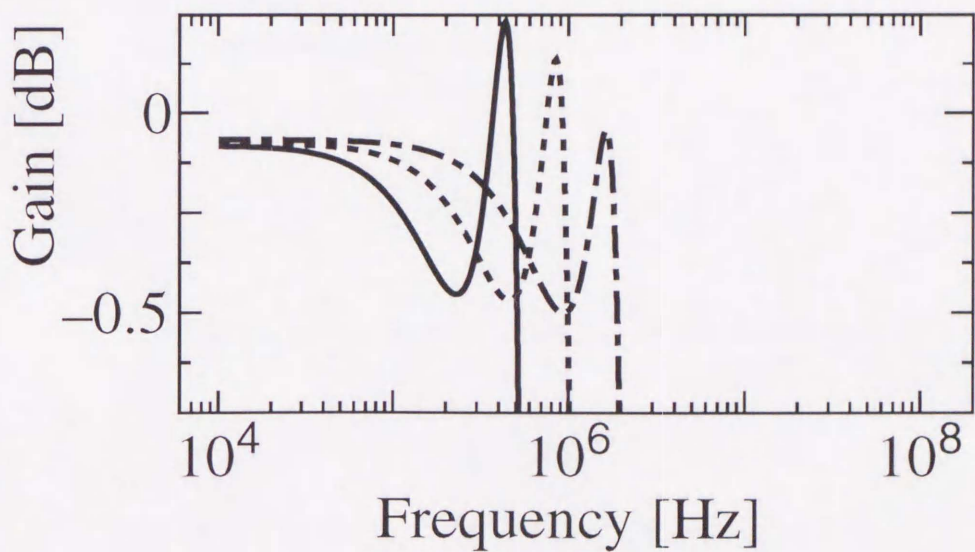


図 6.20: ダーリントン回路を導入した積分器で構成されたフィルタの振幅特性 (通過域)

電源電圧 5V、遮断周波数 1MHz のフィルタでは、全高調波ひずみが 1%未満である最大入力振幅は、 $2.6V_{p-p}$ であった。但し、信号の周波数は 100kHz である。

図 6.21 は提案する積分器 (MillerII) で構成した、リーブフロッグフィルタの振幅特性である。図 6.22 は、図 6.21 に示される特性の通過域の拡大図である。コンデンサ  $C_1$ 、 $C_2$ 、 $C_3$  の値を、それぞれ 7.3pF、5pF、7.3pF とし、0.5dB リプル 3 次チェビシェフローパス特性を実現している。電源電圧は 2V とした。図より、遮断周波数 50MHz のフィルタが実現できることがわかる。消費電力は、遮断周波数 1MHz のフィルタの場合、0.773mW であった。また、遮断周波数 10MHz、50MHz の場合、それぞれ 1.75mW、5.22mW であった。

このように、提案する積分器で構成されるフィルタは、高周波特性、消費電力の点で、非常に優れていることがわかる。

図 6.23 と図 6.24 は、 $R_{ext}=40k\Omega$  としたときの電源電圧特性、図 6.25 と図 6.26 は温度特性である。これらの結果からわかるように、電源電圧変動や温度変化に対して、RCCS が有効に働き、フィルタの特性変動が殆ど起こらない。

電源電圧 2V、遮断周波数 1MHz のフィルタでは、全高調波ひずみが 1%未満である最大入力振幅は、 $0.31V_{p-p}$ であった。但し、信号の周波数は 100kHz である。このフィルタで使用している 2 入力形ミラー積分器は、消費電力を低減するために、線形性を犠牲にしているため、このように最大入力電圧が低くなっている。

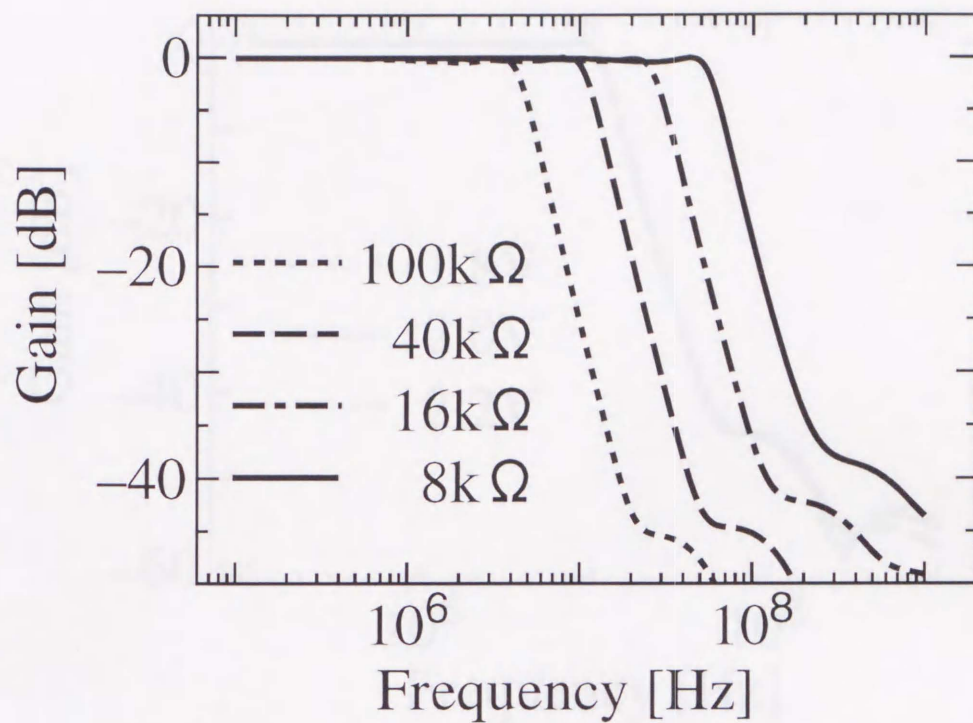


図 6.21: 提案するミラー積分器で構成されたフィルタの振幅特性

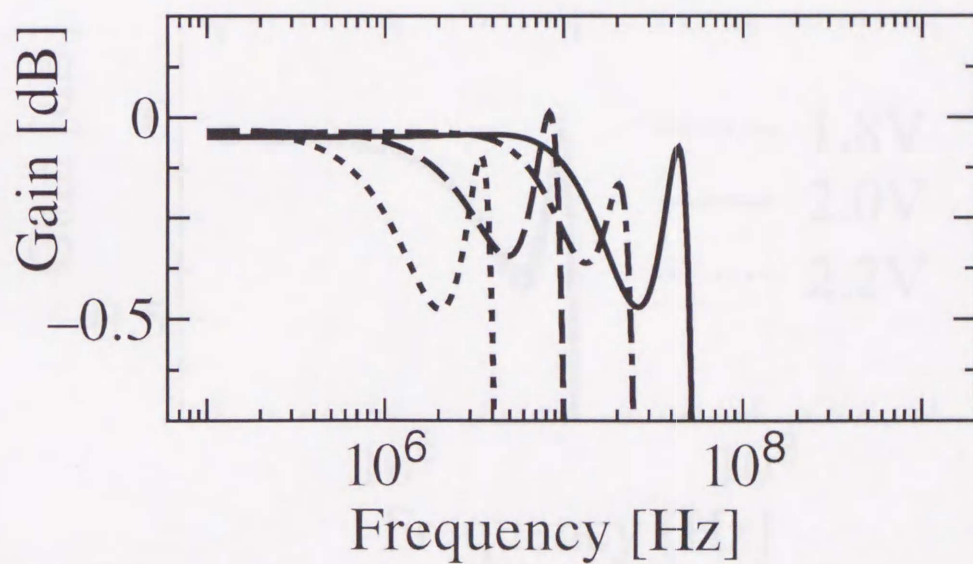


図 6.22: 提案するミラー積分器で構成されたフィルタの振幅特性 (通過域)

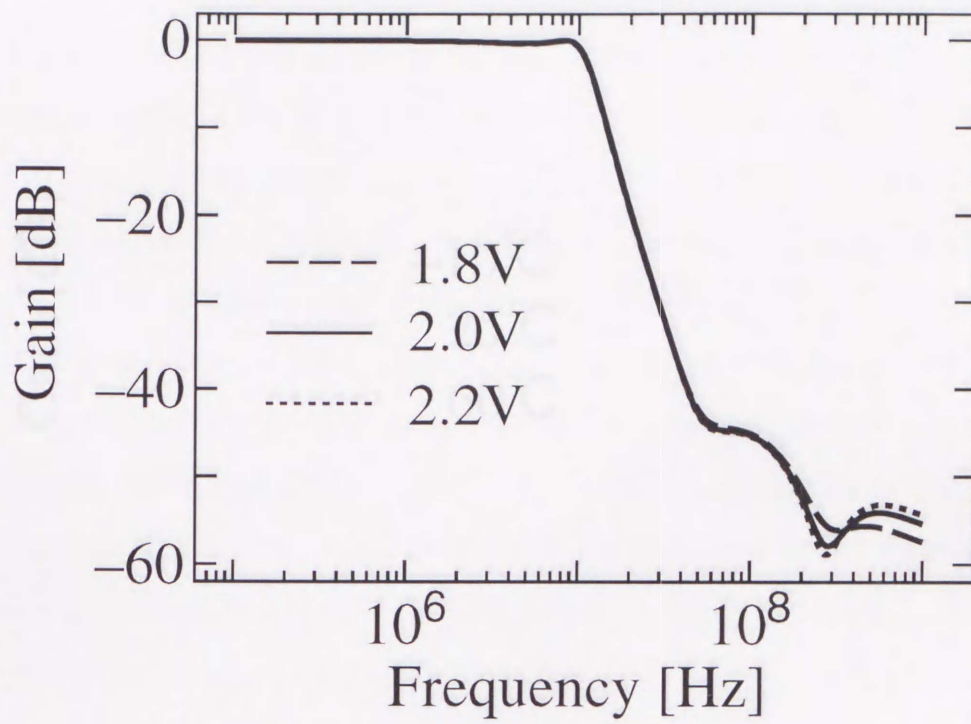


図 6.23: 提案するフィルタの電源電圧特性

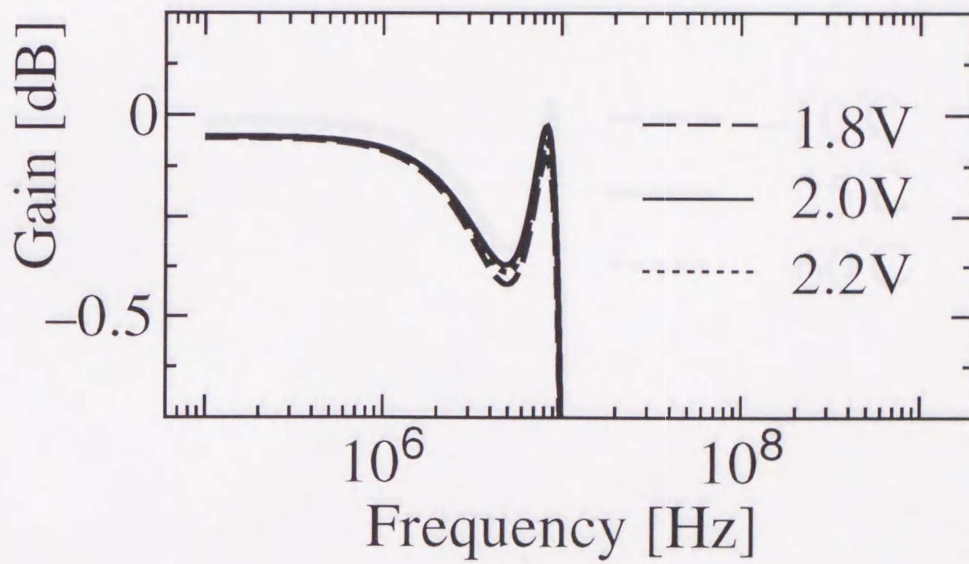


図 6.24: 提案するフィルタの電源電圧特性 (通過域)

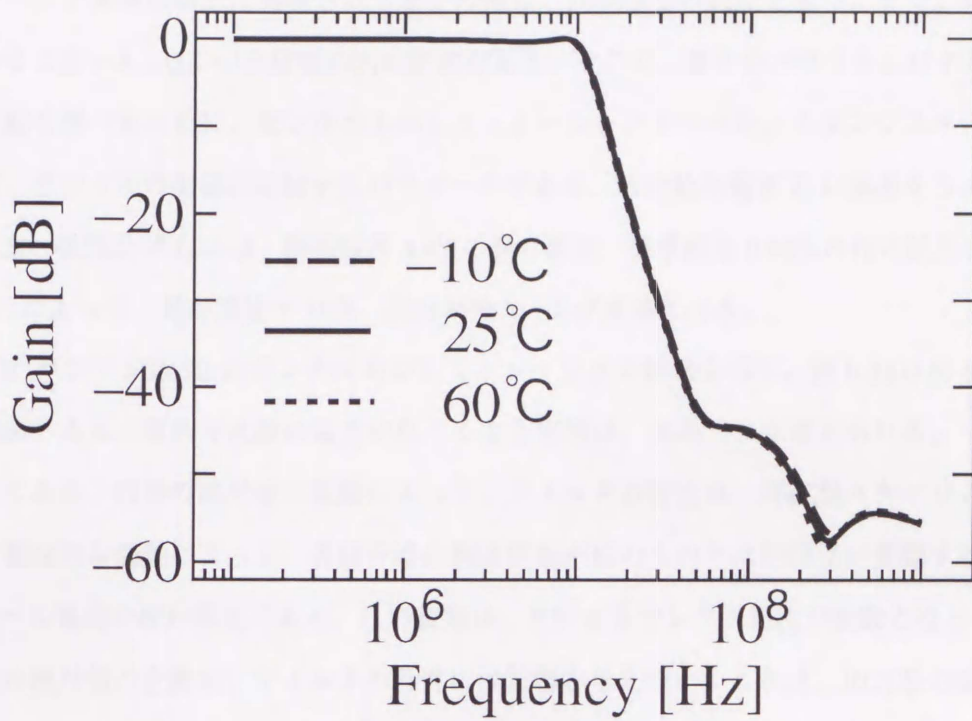


図 6.25: 提案するフィルタの温度特性

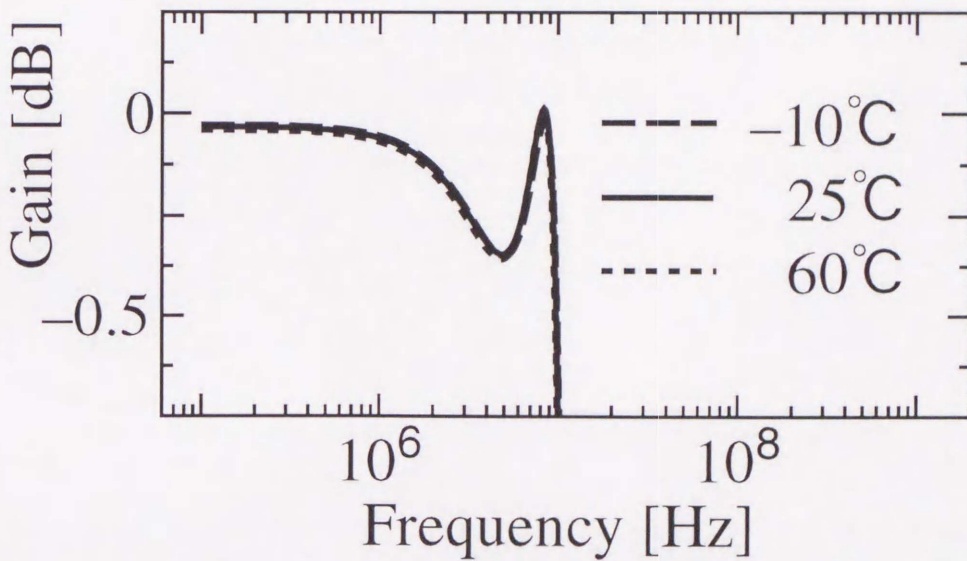


図 6.26: 提案するフィルタの温度特性 (通過域)

モノリシック集積回路に実現される素子の値は、10%程度の誤差をもつ。また、相対的には揃っているとはいえ、0.5~1%程度の相対誤差がある。そこで、素子のバラツキに対するフィルタの特性変動を調べるために、モンテカルロシミュレーションを行った。トランジスタのバラツキとしては、デバイスの面積に比例するパラメータである、接合飽和電流  $I_S$  に誤差を与えることとした。容量、抵抗及び  $I_S$  には、標準偏差 3.3%の絶対誤差、標準偏差 0.33%の相対誤差を設定した [30]。これによって、絶対精度  $\pm 10\%$ 、相対精度  $\pm 1\%$  が実現される。

図 6.27 にサンプル数 20 のモンテカルロシミュレーション結果を示す。図 6.28 は図 6.27 の通過域の拡大図である。遮断周波数の偏差が生じる主な原因は、次の二つが考えられる。一つは、容量の誤差である。容量の絶対値の変動によって、フィルタの特性は、周波数スケールングされてしまい、相対的な変動によって、各積分器の利得係数が他のものとは無関係に変動する。もう一つは、テール電流の相対誤差である。 $I_S$  の変動は、そのままコレクタ電流の変動となって現れる。飽和電流の絶対値の変動は、フィルタの特性には影響を与えない。これは、RCCS の働きによるものである。しかし、相対的な変動によって、各トランスコンダクタにおけるテール電流間の整合性が悪くなり、各積分器の利得係数が相対的に変動するのである。



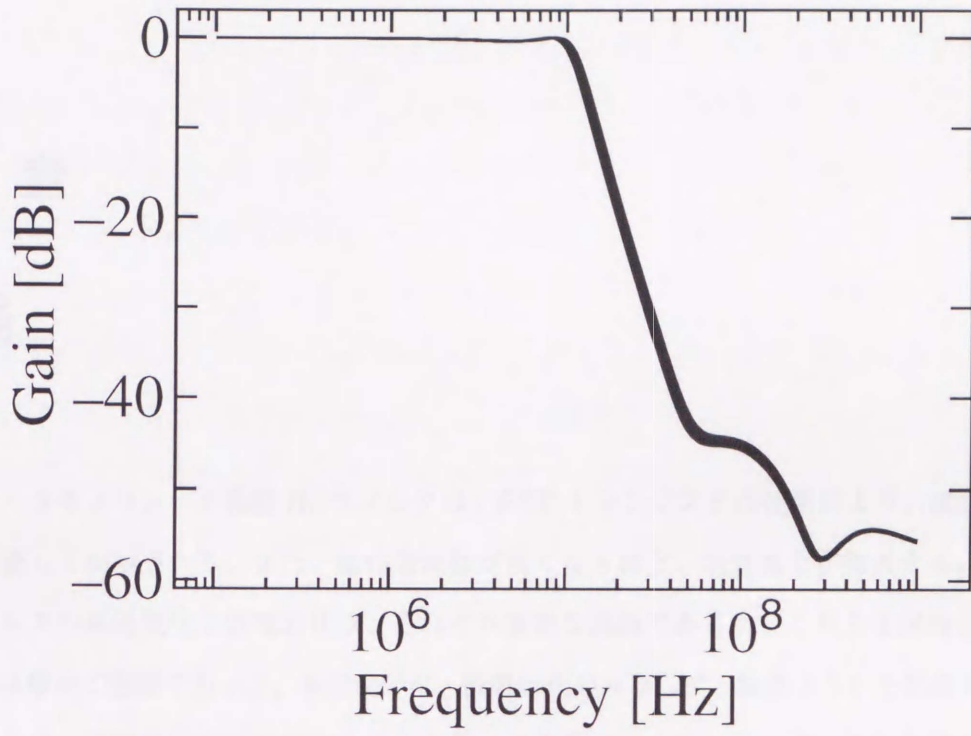


図 6.27: 提案するフィルタのモンテカルロシミュレーション

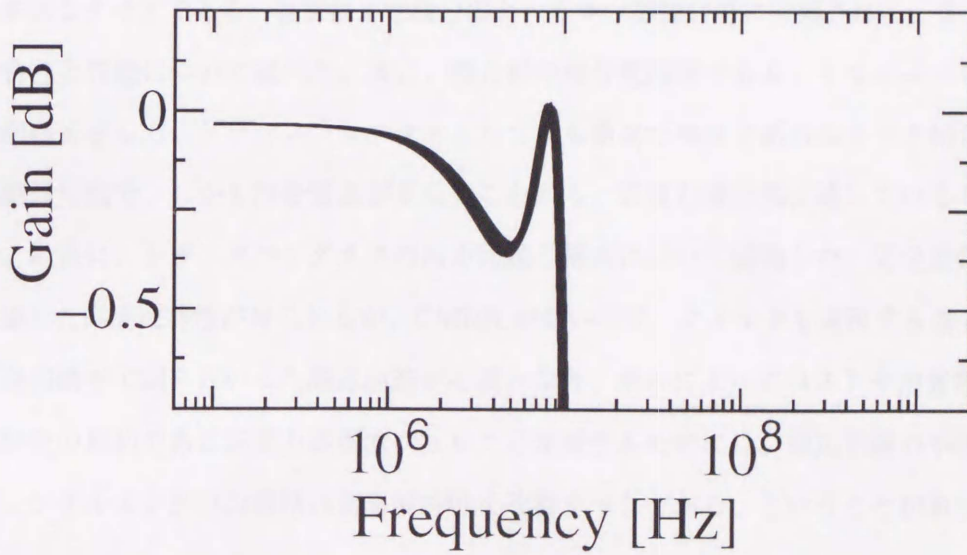


図 6.28: 提案するフィルタのモンテカルロシミュレーション (通過域)



## 第 7 章

### 結論

バイポーラモノリシック能動 RC フィルタは、PNP トランジスタの使用により、高周波帯域での動作が著しく制限される。また、動作周波数が高くなるほど、消費電力が増大する。このように、フィルタの高周波化と低電力化は、それぞれ重要な課題であるが、これらを同時に改善していくことは極めて困難であった。本研究では、低電力化のみならず、製造コストを削減することも視野に入れて、回路構成を簡素化することを第一の条件に据えた。そして、それを基にして、高周波特性を改善する方法について検討を行ってきた。

2章では、従来のモノリシック積分器の特性と問題点について述べた。モノリシック積分器は、二つの基本的なタイプである、容量接地形積分器と、ミラー形積分器に分類される。まず、これらの回路の特性と特徴について述べた。次に、積分器の信号電流源である、トランスコンダクタの代表的な回路を示した。トランスコンダクタとして最も簡素な構成であるエミッタ結合対は、低電源電圧動作可能で、しかも消費電流が少ないことから、低電力積分器に適しているということを示した。最後に、トランスコンダクタの出力回路の構成について議論した。完全差動形構成にすると、優れた高周波特性が得られるが、CMRR が低いので、フィルタを実現する場合には、平衡信号変換回路や CMF といった周辺回路が必要となり、それによってコストや消費電力が増大する。本研究の目的である低電力高周波フィルタを実現するためには、周辺回路の不要な回路構成であるシングルエンド出力回路の高周波特性を改善すべきである、ということがあらためて確認された。

3章では、シングルエンド出力回路を実現するための、PNP トランジスタで構成されるカレントミラー回路と Folded Cascode 回路の、高周波特性の改善方法について述べた。シングルエンド回路を実現するためには、PNP トランジスタで構成されるカレントミラー回路か、ベース接地

PNP トランジスタが必要となるが、どちらも高周波特性悪化の原因となっている。まず、ミラー係数の精度が高いことで知られている、3 トランジスタ形カレントミラー回路と Wilson 形電流源回路の高周波特性が、従来のカレントミラー回路のそれよりも優れていることを、解析により示した。その二つの回路は、ほぼ同じような位相特性を示すが、振幅特性に関しては、ミラー係数の偏差が少ない Wilson 形電流源回路の方が、やや優れていることがわかった。

次に、PNP トランジスタと NPN トランジスタで構成されるダーリントン回路が、高周波特性の優れた等価 PNP トランジスタとして振舞うことを示した。ベース接地回路としたときの電流利得は 2 次伝達関数となり、共振周波数  $f_0$  は  $f_P$  と  $f_N$  の相乗平均となる。 $f_N \gg f_P$  の関係が成立する標準バイポーラプロセスにおいては、 $f_0$  は  $f_P$  に比べて十分に高くなる。しかし、伝達関数の  $Q$  値はかなり高い値となるので、振幅特性において  $f_0$  付近に高い利得上昇が生じる。

3 章で述べた回路に共通する問題点は、縦積みトランジスタ数が増えるので、最低動作電源電圧が高くなってしまいうことである。従って、本研究で目指すような低電力用回路としては、最適であるとはいえない。しかし、これらの回路は、トランスコンダクタの出力回路以外の高周波回路としての応用も可能である。例えば、ダーリントン回路を入力段に用いることによって、電源電圧範囲の広い高周波 Gilbert Cell 形トランスコンダクタを実現することができる [33]。この回路においては、等価 PNP トランジスタのエミッタ抵抗が低いので、低バイアス電流でも優れた線形性が得られる。

ダーリントン回路の位相特性は優れているので、振幅特性における高いピークを抑えることができれば、さらにフィルタの高周波特性が改善されると考えられる。そのための一つの改善策について、文献 [33] で述べられている。この方法を用いれば、位相特性はやや悪化するが、利得の上昇を抑えることができる。これについての理論的裏付けをすることが、今後の課題として重要であると考えられる。

4 章では、新しい積分器の構成を提案した。OTA を帰還増幅器として用いたミラー積分器の出力端に、本来の信号電流源と逆相の信号電流源を新たに加えた構成となっている。通常の差動出力トランスコンダクタによって、値の等しい差動信号電流を実現すれば、OTA のトランスコンダクタンスの値が無限大でなくても、理想的な積分特性が得られる。理想特性を実現するために、OTA のトランスコンダクタンスを無限大としなくてはならない従来の OTA ミラー積分器と比べると、提案する回路は、実現が極めて容易である。

二つの具体的回路実現法を示したが、電流源回路を介して二つ目の信号電流を伝送する方法（実現法 I）では、PNP トランジスタで構成される Wilson 形電流源回路によって信号が劣化するので、積分特性はあまり改善されない。それに対して、二つ目の信号電流を直接 OTA の出力端に伝送する方法（実現法 II）では、二つの信号電流の値が周波数に関係なく常に等しいので、積分特性が OTA の特性等の影響を受けにくい。従って、PNP トランジスタを使用しても、その低い  $f_P$  の影響が殆ど特性に現れない。しかも、PNP トランジスタはカレントミラーを構成しているので、高い CMRR が実現されている。また、縦積みトランジスタ数を増加させる必要がないので、低電源電圧動作可能である。また、構成素子数が大幅に低減されたので、消費電流も極めて小さい。

このように、提案する積分器は、高周波特性が大幅に改善され、消費電力が低く、高い CMRR を有する優れた回路であることがわかる。しかし、高周波帯域で動作させる場合には、寄生容量の影響が無視できなくなる。そこで、高い零周波数を実現する位相補償が必要となる。

5章では、新しい位相補償法を提案した。前半では、従来の位相補償法について解説し、後半では、新しい補償法とその原理を示した。提案する手法は、複数のテール電流源をもつ multi-tanh トランスコンダクタにおいて実現可能で、対称な一組の結合対のテール電流源間に補償用容量を接続することによって、位相進み補償が実現される。これによって、補償用容量と非対称エミッタ結合対のエミッタ等価抵抗の積に比例した、小さな値の時定数をもつ零点と極ができる。トランスコンダクタンスをチューニングするためにテール電流を変化させると、エミッタ等価抵抗が変化するので、それに伴って時定数も変化する。従来の位相補償法では、時定数を可変とするためには、抵抗領域の MOSFET あるいは接合容量を制御電圧源でチューニングしなくてはならなかった。本章で提案した位相補償法では、補償用容量を加えるだけで、時定数可変の位相進み補償を実現できるので、実現の容易さや製造コストの面で非常に有利である。

6章では、まず、積分器を用いて実現する、3次リープフロッグフィルタの構成について述べた。その中で、フィルタの特性をチューニングするための回路である、RCCS の構成を示した。そして、RCCS を用いることによって、各積分器の特性が、温度変化や電源電圧変動によらないことを示した。

次に、シミュレーション結果を示し、それについて考察した。Wilson 形電流源回路やダーリントン回路を用いて構成された積分器と比べて、位相補償を行った提案回路は、優れた位相特性を示すことが確認された。振幅特性においては、同相利得が低いことと、仮想接地が実現されてい

ることが確認された。フィルタのシミュレーションにより、提案する積分器を用いて構成されたフィルタは、PNP トランジスタを使用しているにもかかわらず、遮断周波数 50MHz の特性を示し、しかもその消費電力は十分低いことが確認された。また、優れた温度特性と電源電圧特性が得られた。これは、RCCS が有効に動作することを示す。最後に、素子精度がフィルタの特性に与える影響を調べるために行なった、モンテカルロシミュレーションの結果を示した。本研究で構成した RCCS は、フィルタ使用時の温度変化や電源電圧変動に対しては有効に動作するが、製造段階における素子のバラツキによって生じる特性の誤差に対しては、十分な効力をもたないことがわかった。この問題を解決することは、今後の重要な研究課題である。

以上のように、本論文の前半においては、低電力高周波積分器を実現する際の問題点、及びその問題解決に関する知見が得られた。後半では、低消費電力高周波フィルタの実現に有効な、新しい積分器の構成法、及び時定数が可変である位相補償法を提案した。そして、シミュレーションにより、提案する手法の有効性が確認された。本論文で示された解析結果、及び提案する手法が、アナログ集積回路設計技術の発展に貢献できれば何よりである。

## 謝辞

本研究を進めるにあたり、筑波大学・石橋幸男教授には長期に渡り御懇切なる御指導、御教示を賜りました。ここに喪心より感謝申し上げます。

本論文をまとめるにあたり、有益な御指導と御助言を頂いた、筑波大学・寅市和男教授、筑波大学・根本承次郎教授、筑波大学・平澤一紘教授には深く感謝申し上げます。また、最後まで御支援と激励、そして多大なる御協力を頂いた石橋研究室の皆様には、感謝の意を表します。

## 参考文献

- [1] C. A. Laber and P. R. Gray, "A 20-MHz sixth-order BiCMOS parasitic-insensitive continuous-time filter and second-order equalizer optimized for disk-drive read channels," *IEEE J. Solid-State Circuits*, vol.28, pp.462-470, April 1993.
- [2] G. A. De Veirman, R. G. Yamasaki, "Design of Bipolar 10-MHz programmable continuous-time 0.05 equiripple linear phase filter," *IEEE J. Solid-State Circuits*, vol.27, pp.324-331, March 1992.
- [3] J. C. Schmoock, "An input stage transconductance Reduction technique for high-slew rate operational amplifiers," *IEEE J. Solid-State Circuits*, vol.SC-10, no.6, pp.407-411, Dec. 1975.
- [4] H. J. Orchard, "Loss sensitivity in singly and doubly terminated filters," *IEEE Trans. Circuits Syst.*, vol CAS-26, pp.293-297, 1979.
- [5] H. J. Orchard, "Inductorless filters," *Electron. Lett.*, 2, p.224, Jun, 1966.
- [6] J. G. Linvill, "RC active filter," *Proc. IRE* March 1954.
- [7] R. P. Sallen and E. L. Key, "A practical method of designing RC active filters," *IRE Trans. Circuit Theory*, vol. CT-2, pp.74-85, 1955.
- [8] F. E. Girling and E. F. Good, "The leapfrog or active-ladder synthesis," *Wireless World*, pp.341-345, July 1970.
- [9] C. L. Perry, "An integrated continuous-time bipolar transconductor-capacitor filter," *IEEE J. Solid-State Circuits*, vol.24, pp.732-735, June 1989.

- [10] S. D. Willingham, K. W. Martin and A. Ganesan, "A BiCMOS low-distortion 8-MHz low-pass filter," *IEEE J. Solid-State Circuits*, vol.28, pp.1234-1245, Dec 1993.
- [11] H. Khorramabadi and P. R. Gray, "High-frequency CMOS continuous-time filters," *IEEE J. Solid-State Circuits*, vol. SC-19, pp.939-948, Dec 1984.
- [12] K. S. Tan and P. R. Gray, "Fully integrated analog filters using bipolar-JFET technology," *IEEE J. Solid-State Circuits*, vol.SC-13, pp.814-821, Dec 1978.
- [13] K. Fukahori, "A bipolar voltage-controlled tunable filter," *IEEE J. Solid-State Circuits*, vol.SC-16, pp.729-737, Dec 1981.
- [14] H. Tanimoto, M. Koyama and Y. Yoshida, "Realization of a 1-V active filter using a linearization technique employing plurality of emitter-coupled pairs," *IEEE J. Solid-State Circuits*, vol.26, pp.937-945, July 1991.
- [15] M. Koyama, T. Arai, H. Tanimoto and Y. Yoshida, "A 2.5-V active low-pass filter using all-n-p-n Gilbert cells with a 1-V<sub>p-p</sub> linear input range," *IEEE J. Solid-State Circuits*, Vol.28, pp.1246-1253 Dec. 1993.
- [16] M. Koyama, H. Tanimoto and S. Mizoguchi, "Design considerations for high frequency active bandpass filters," *IEICE Trans. Fundamentals*, vol.E76-A, no.2, pp.164-173, Feb. 1993.
- [17] S. Takagi, H. Nitta, J. Koyoma, N. Fujii, M. Nagata and T. Yanagisawa, "100-MHz monolithic low-pass filters with transmission zeros using NIC integrators," *IEEE J. Solid-State Circuits*, vol.26, pp.669-671 April 1991.
- [18] A. T. V. Zanten and J. H. Huijsing, "An accurate integrated voltage-to-current converter," *IEEE J. Solid-State Circuits*, vol.SC-10, no.6, pp.432-436 Dec. 1975.
- [19] F. Matsumoto and Y. Ishibashi, "A realization of a high-frequency monolithic integrator with low-power dissipation and its application to an active RC filter," *IEICE Trans. Fundamentals*, vol.E79-A, no.2, Feb. 1996 (To be published)

- [20] D.W.H Calder,"Audio frequency gyrator filters for an integrated radio paging receiver",Proc. IEE Conf. Mobile Radio Syst. Tech.,pp.21-24,1984.
- [21] 西尾研一, 渡部善寿, 高木茂孝, 降旗誠, 永田穰, 柳沢健,"可変特性高周波モノリシック積分器の一構成法とその特性自動チューニングフィルタへの応用," 信学論 (C), vol.J70-C, no.9, pp.1247-1254, Sep. 1987.
- [22] 高木茂孝, 安西貴史, 柳沢健,"NICにより特性を改善した平衡形積分器とそのフィルタへの応用," 信学論 (A), vol.J71-A, no.2, pp.213-220, Feb. 1988.
- [23] 高木茂孝, 藤井信生, 柳沢健,"高周波モノリシック差動入出力積分器," 信学論 (C), vol.J71-C, no.10, pp.1419-1425, Oct. 1988.
- [24] 石橋幸男,"集積化用可変特性積分器の構成とそのフィルタへの応用," 信学論 (A), vol.J74-A, no.12, pp.1723-1730, Dec. 1991.
- [25] 石橋幸男,"集積化用可変特性ジャイレータの構成とそのフィルタへの応用," 信学論 (A), vol.J75-A, no.5, pp.907-916, May 1992.
- [26] V. Gopinathan, Y. P. Tsividis, K. S. Tan and R. K. Hester,"Design Considerations for high-frequency continuous-time filters and implementation of an antialiasing filter for digital video," IEEE J. Solid-State Circuits, vol.25, no.6 pp.1368-1378, Dec. 1990.
- [27] 石橋幸男, 松元藤彦,"ミラー積分器を用いた高周波モノリシック積分回路の構成とそのフィルタへの応用," 信学論 (A), vol.J77-A, no.3, pp.379-387, March 1994.
- [28] Y. Ishibashi and F. Matsumoto,"A Realization of Low Sensitivity RCCS-Controlled Monolithic Integrators and Their Application to RC Active Filters", IEICE Trans. Fundamentals, vol.E75-A, no.12, pp.1777-1784, Dec. 1992.
- [29] 柳井久義, 永田穰,"改訂 集積回路工学 (1) プロセス・デバイス技術編," コロナ社, 1987
- [30] 柳井久義, 永田穰,"改訂 集積回路工学 (2) ・回路技術編," コロナ社, 1989
- [31] P. R. Gray and R. G. Meyer,"Analysis and design of analog integrated circuits (Second edition)," John Wiley & Sons, New York, 1984



- [32] 石橋幸男, 松元藤彦, "ダーリントン回路を用いた高周波モノリシックフィルタの構成," 信学論 (A), vol.J78-A, no.3, pp.449-453, March 1995.
- [33] 松元藤彦, "ダーリントン回路によるトランスコンダクタの高周波補償," 第3回電気学会東京支部茨城支所研究発表会講演予稿集, pp.137-138, Nov. 1995.
- [34] 藤井晃一, 松元藤彦, 石橋幸男, "線形入力範囲の改善を図った集積化用 VCCS の構成とそのフィルタへの応用", 信学論 (A), vol.J77-A, no.10, pp.1422-1425, Oct. 1994.
- [35] A. Wyszynski, R. Schaumann, S. Szczepanski and P. V. Halen, "Design of a 2.7-GHz linear OTA and a 250-MHz elliptic filter in bipolar transistor-array technology," IEEE Trans. Circuits Syst. II: Analog and Digital Signal Processing, vol.40, no.1, pp.19-31, Jan. 1993.
- [36] T. Kwan and K. Martin, "An adaptive analog continuous-time CMOS biquadratic filter," IEEE J. Solid-State Circuits, vol.26, no.6 pp.859-867, June 1991.
- [37] Y. T. Wang and A. A. Abidi, "CMOS active filter design at very high frequencies," IEEE J. Solid-State Circuits, vol.25, no.6 pp.1562-1574, Dec. 1990.
- [38] J. M. Khoury, "Design of a 15-MHz CMOS continuous-time filter with on-chip tuning," IEEE J. Solid-State Circuits, vol.26, no.12 pp.1988-1997, Dec. 1990.
- [39] K. Toyota, A. Hyogo and K. Sekine, "A Design of 1V CMOS-OTA with wide input range," IEICE Trans. Fundamentals, vol.E77-A, no.2, pp.356-362, Feb. 1994.
- [40] R. J. Van De Plassche, "a Wide-band monolithic instrumentation amplifier," IEEE J. Solid-State Circuits, vol.SC-10, no.6 pp.424-431, Dec. 1975.
- [41] B. Blesser, "Ultralinear transistor Configuration under conditions of Minimal power-supply drain current," IEEE J. Solid-State Circuits, vol.SC-5, pp.125-126, June 1970.
- [42] B. Gilbert, "A precise four-quadrant multiplier with subnanosecond response," IEEE J. Solid-State Circuits, vol.SC-3, pp.365-373, Dec. 1968.

## 本研究に関する公表論文

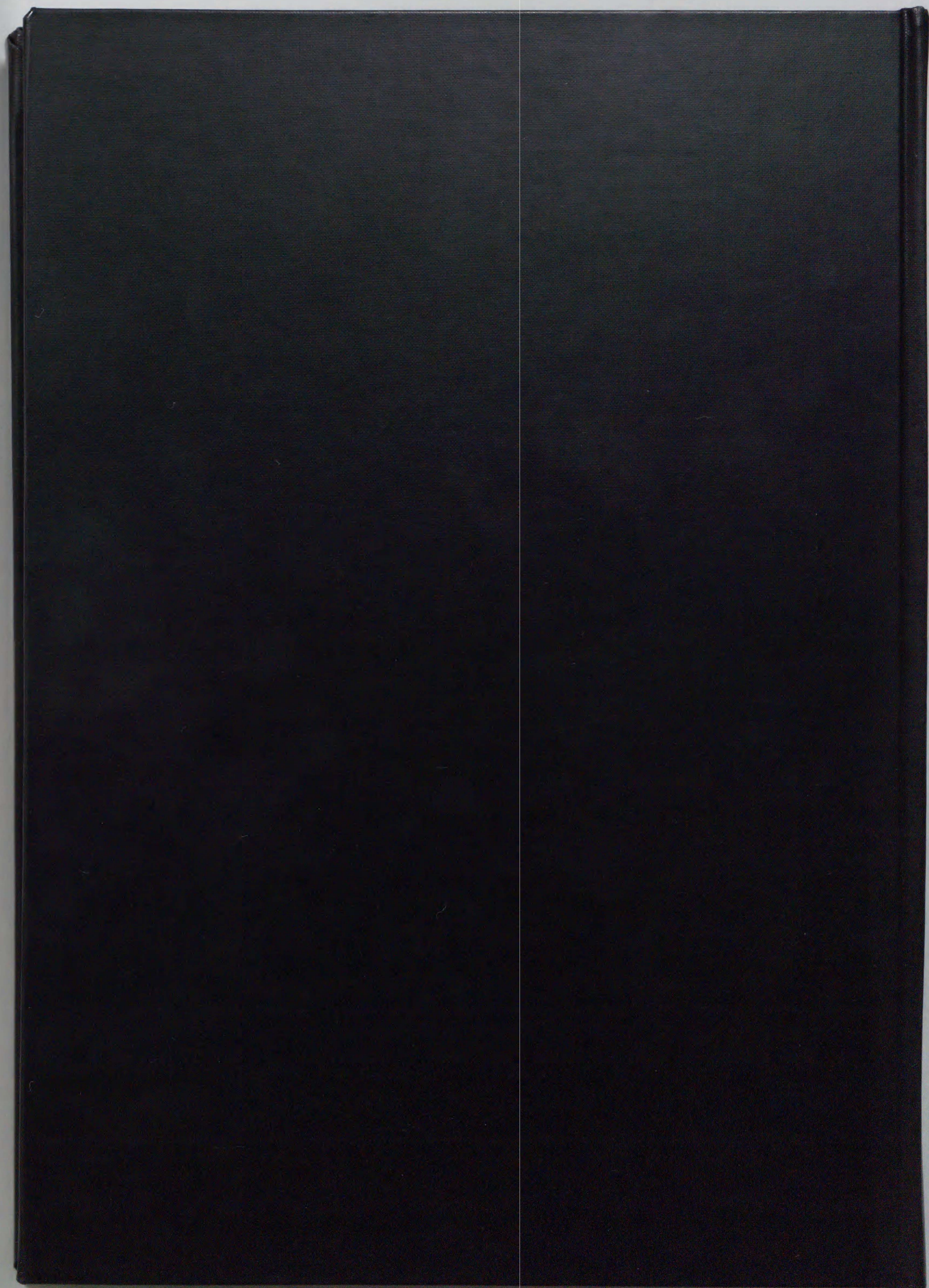
- [1] Y. Ishibashi and F. Matsumoto, "A Realization of Low Sensitivity RCCS-Controlled Monolithic Integrators and Their Application to RC Active Filters", IEICE Trans. Fundamentals, vol.E75-A, no.12, pp.1777-1784, Dec. 1992.
- [2] 石橋幸男, 松元藤彦, "ミラー積分器を用いた高周波モノリシック積分回路の構成とそのフィルタへの応用", 信学論 (A), vol.J77-A, no.3, pp.379-387, March 1994.
- [3] 藤井晃一, 松元藤彦, 石橋幸男, "線形入力範囲の改善を図った集積化用 VCCS の構成とそのフィルタへの応用", 信学論 (A), vol.J77-A, no.10, pp.1422-1425, Oct. 1994.
- [4] 石橋幸男, 松元藤彦, "ダーリントン回路を用いた高周波モノリシックフィルタの構成", 信学論 (A), vol.J78-A, no.3, pp.449-453, March 1995.

## 本研究に関する口頭発表

- [1] 松元藤彦, "ダーリントン回路によるトランスコンダクタの高周波補償," 第3回電気学会東京支部茨城支所研究発表会講演予稿集, pp.137-138, Nov. 1995.

## 本研究に関する公表予定論文

- [1] F. Matsumoto and Y. Ishibashi, "A realization of a high-frequency monolithic integrator with low-power dissipation and its application to an active RC filter," IEICE Trans. Fundamentals, vol.E79-A, no.2, Feb. 1996.



Inches 1 2 3 4 5 6 7 8  
cm 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19

# Kodak Color Control Patches

© Kodak, 2007 TM: Kodak



# Kodak Gray Scale



© Kodak, 2007 TM: Kodak

**A** 1 2 3 4 5 6 **M** 8 9 10 11 12 13 14 15 **B** 17 18 19

