

氏名(本籍)	いとう しんや (伊藤伸也 (愛媛県))		
学位の種類	博 士 (工 学)		
学位記番号	博 甲 第 3682 号		
学位授与年月日	平成 17 年 3 月 25 日		
学位授与の要件	学位規則第 4 条第 1 項該当		
審査研究科	システム情報工学研究科		
学位論文題目	スーパスカラ実行を可能とするデータ駆動プロセッサの実現法に関する研究		
主 査	筑波大学教授	工学博士	西 川 博 昭
副 査	筑波大学教授	理学博士	佐 藤 三 久
副 査	筑波大学教授	博士 (工学)	安 永 守 利
副 査	筑波大学教授	博士 (工学)	山 口 喜 教
副 査	筑波大学教授	学術博士	和 田 耕 一

論 文 の 内 容 の 要 旨

本論文は、スーパスカラ実行を可能とするデータ駆動プロセッサの実現法に関する研究をまとめたものである。

本論文では、まず、現在稼働中のデータ駆動プロセッサ CUE-v1 を用い、メディア処理およびプロトコル処理などを具体例に取り上げ、マルチメディアネットワーク環境への適合性の検証を行った目的について述べている。つぎに、CUE-v1 を用いた検証結果から、命令セットの最適化、データ駆動パケット長の最適化、逐次処理の高効率化の 3 点の改善が必須であることを明らかにした。上記 3 つの課題のうち、逐次処理の非効率性はデータ駆動原理そのものに原因があり、その解決には、動作原理そのものに改善が必要である。本研究では、プログラムの逐次部分を制御駆動的に実行するアーキテクチャについて検討し、データ駆動と制御駆動のハイブリッドアーキテクチャを採用するに至る過程を論じている。さらに、このハイブリッドアーキテクチャを VLSI 実現可能な水準まで詳細に検討し、スーパスカラ方式の動的スケジューリングという点に注目し、データ駆動プロセッサの有する発火制御機構をリザーベーションステーションとして利用可能なよう拡張することを提案している。これにより、スーパスカラ実行とデータ駆動実行の 2 つのパラダイムを共存させた実行方式を、共通パイプライン上にて実現可能とするアーキテクチャが最小限のハードウェア追加で可能となった。特に、ハイブリッド化の実現の鍵を握る、命令フェッチ機構、レジスタリネーミング機構、発火制御機構、およびメモリアクセス機構については、詳細に設計トレードオフから設計までを述べている。

続いて、0.18 μ m CMOS プロセスを用いて試作した CUE-v2 チップについて述べている。まず、ハードウェア量について評価している。この結果、スーパスカラプロセッサのコア部に 10% 程度のハードウェア追加でデータ駆動・制御駆動の 2 種類のスレッドの同時・多重処理が可能であることを示している。つぎに、モジュールごとの設計時間並びに検証時間の観点から設計難易度に関して評価し、スーパスカラプロセッサと比較してほぼ同等である見通しが得られた。

さらに、提案アーキテクチャの性能に関して、RTL (Register Transfer Level) シミュレーションにより評価・検討を行っている。まず、動画圧縮処理中の逐次処理部分のスーパスカラ実行を行えば、データ駆動

実行に対して5倍の高速化が達成されたことを示している。さらに、JPEG エンコーディング処理において、データ駆動・制御駆動のハイブリッド処理により、4PE 以上の構成をとれば、スーパスカラよりも実行時間を短縮可能であることを示している。最後に、ハイブリッド実行時の資源共有の実験的検討を行い、2種類のスレッドの同時・多重実行を行っても、互いをブロックすることなく資源共有可能であることを示した。

審 査 の 結 果 の 要 旨

本論文が提案している、スーパスカラ実行とデータ駆動実行の2つのパラダイムを共存させた実行方式を、共通パイプライン上にて実現可能とするアーキテクチャ並びにそのVLSI 実現法には新規性がある。本論文は、試作チップのVLSI 水準での検証・評価を通じて、その実現可能性を明らかにしている。また、試作チップを用いたシステム実現には至っていないが、チップマルチプロセッサ構成まで含めた評価をレジスタトランスファレベルシミュレーションにて行っており、提案アーキテクチャの有効性を十分明らかにしていると認められる。

よって、著者は博士（工学）の学位を受けるに十分な資格を有するものと認める。