

超低消費電力化データ駆動ネットワークシステムとその評価

西川 博昭^{†a)} 青木 一浩^{††} 三宮 秀次[†] 宮城 桂^{†††}
 岩田 誠^{†††} 宇津 圭祐^{††††} 石井 啓之^{††††}

Ultra-Low-Power Data-Driven Networking System and Its Evaluation

Hiroaki NISHIKAWA^{†a)}, Kazuhiro AOKI^{††}, Shuji SANNOMIYA[†], Kei MIYAGI^{†††},
 Makoto IWATA^{†††}, Keisuke UTSU^{††††}, and Hiroshi ISHII^{††††}

あらまし 筆者らは、緊急時の通信環境として、超低消費電力化データ駆動ネットワークシステムを研究している。本論文では、トラフィック抑制型アドホックネットワーク方式、この方式におけるプロトコルである UDP/IP 処理に最適化したデータ駆動チップマルチプロセッサアーキテクチャ、及び、その VLSI 実現法である自己同期型パイプラインの消費電力最適化手法とそれらの省電力化効果を述べる。まず、超低消費電力化シナリオと評価方法を示す。次に、本アドホックネットワーク方式における放送型情報転送のトラフィックを従来方式と比較して最大で十分の一に削減できることを示す。更に、UDP/IP 処理のデータ駆動型実現法を、データ駆動チップマルチプロセッサを用いて実験的に評価するとともに、自己同期型パイプラインにおける細粒度パワーゲーティング及び自己適応型実行時電圧制御の最適化手法を半定量的に検討する。最後に、ネットワーク方式とプラットフォームにおける省電力化効果の統合的なシミュレーションを通じて、本システムが、従来型組み込み用途プロセッサと比較して、数百分の一程度の超低消費電力化を可能とすることを述べている。

キーワード 超低消費電力化、データ駆動原理、アドホックネットワーク、チップマルチプロセッサ、自己同期型パイプライン

1. ま え が き

災害発生など緊急時に本質的な情報疎通を維持できる通信環境の必要性が再認識されている。筆者らも、インターネットなどのトラフィックの指数関数的な増加を見れば、ネットワークシステムの省電力化が不可避と着想し、超低消費電力化データ駆動ネットワークシステム ULP-DDNS (Ultra-Low-Power Data-Driven Networking System) の研究プロジェクトを進めてきた [1]。本論文は、本来的に通信処理向きの受動的なデータ駆動原理を、ネットワーク方式、プラットフォームから VLSI 実現法に至るまで徹底して

適用し、実行時オーバーヘッドを極小化した通信環境の超低消費電力化とその評価を述べている。

緊急時には、いわゆるインフラストラクチャが十分に機能しない環境並びに異常トラフィックへの対応が大前提となる。したがって本研究では、アドホックネットワーク [2] を前提にこの上のトラフィックの抑制によって、低消費電力化を達成するアドホックネットワーク方式を採用した。このアドホックネットワークのプラットフォームには、放送型情報転送、情報発見、認証やマルチホップ型中継処理に共通するプロトコルの低消費電力化実現が要求される。また、通信処理実行時はもちろん、いわゆる待機時の省電力化も重要な課題となることは論をまたない。したがって本プラットフォームとして、真に情報処理中の部分に電力消費が極限される自己同期型パイプラインを用いて、本来的に通信処理に向けた受動的なデータ駆動チップマルチプロセッサを VLSI 試作した。

VLSI 実現上の省電力化には、動的電圧制御やパワーゲーティングが既に常套的手段として導入されている。本研究では、実行時の処理負荷が事前に予測できない

[†] 筑波大学、つくば市

University of Tsukuba, Tsukuba-shi, 305-8577 Japan

^{††} (有) 情報基盤研究所、つくば市

Information Infrastructure Laboratory, Inc., Tsukuba-shi, 305-0003 Japan

^{†††} 高知工科大学、香美市

Kochi University of Technology, Kami-shi, 782-8502 Japan

^{††††} 東海大学、東京都

Tokai University, Minato-ku, Tokyo, 108-8619 Japan

a) E-mail: nisikawa@cs.tsukuba.ac.jp

通信処理の特性と将来の VLSI のダークシリコン問題 [3] を考慮して、プラットフォームの消費電流観測に基づく実行時電圧制御並びにパイプライン段水準の細粒度パワーゲーティングという自己同期型パイプライン STP (Self-Timed Pipeline) の消費電力最適化手法を着想した [4].

以下、本論文ではまず、超低消費電力化のシナリオと評価方法を述べる。次に、ネットワーク方式、プラットフォームと VLSI 実現法の各消費電力削減手法とそれぞれの評価結果を示す。続いて、各消費電力削減手法を統合したプラットフォームシミュレータを用いて、ULP-DDNS を総合的に評価した後、今後の課題にふれている。

2. ULP-DDNS の設計思想

本研究は、既に述べたように、本来的に通信処理向きのいわゆるデータ駆動原理を、ネットワーク方式から、プラットフォームとその VLSI 実現法に至るまでに徹底的に活用して、従来の数百分の一の超低消費電力化の達成を目標に開始された。本研究では、インフラストラクチャが十分に機能しない場合の代替としてのアドホックネットワークにおける、情報発見、放送型情報転送、及び秘匿通信などの機能を前提として、本章に述べるように、超低消費電力化のシナリオを構想し、これを具現化した ULP-DDNS の低消費電力化効果を総合的に評価した。

2.1 超低消費電力化のシナリオ

本研究では、ネットワーク方式についてトラヒックの抑制手法 [5]~[7] を定式化すると同時に、緊急時における各機能の利用頻度を想定したトラヒック抑制効果を検証した。その結果、放送型情報転送方式が支配的であることが判明し、これをネットワークングレイヤにおける主要機能と位置づけた。

また、各プラットフォームの低消費電力化については、アドホックネットワークにおけるプロトコルである UDP/IP を対象に、実時間多重処理性と、通信処理実行時及び待機時の省電力化を両立する超低消費電力化データ駆動チップマルチプロセッサのアーキテクチャとその VLSI 実現法の両面から検討した。

まず、通信処理向きのプラットフォームとして、実行時オーバヘッドを極小化した実時間多重処理のデータ駆動型実現法に加えて、UDP/IP 処理で多用される単項演算に適した二重環状 (dual-ring) パイプライン構成とすることにより、無駄な発火制御を抑制し

たデータ駆動プロセッサ・アーキテクチャ ULP-CUE (Ultra-Low-Power CUE) を考案した [8]. 筆者らは既に、通信処理に不可避の順序依存処理部のインライン実行を高効率に実現するスーパスカラアーキテクチャを部分的に取り入れたハイブリッドデータ駆動プロセッサを提案している [9]. 低消費電力化の観点からは、実時間多重処理性を損なわない範囲で、スーパスカラ構成よりもむしろ、演算実行に最低限必要な機能要素のみが活性化される二重環状パイプライン構成が本質的であると考えたためである。また、高電圧で単一プロセッサを動作させるよりも、低電圧で複数プロセッサを並列動作させる方が、より低消費電力化が可能のため、上述の ULP-CUE をコアとして複数集積化したチップマルチプロセッサ ULP-DDCMP (Ultra-Low-Power Data-Driven Chip-Multiprocessor) を試作してプラットフォームに導入した。

この ULP-DDCMP の VLSI 実現法にも、データ駆動的に動作する STP を採用し、動作時電力を実行時に適応的に供給できる実行時電圧制御 VS (Voltage Scaling), 及び、待機時の漏れ電流をパイプライン段水準で遮断する細粒度パワーゲーティング PG (Power Gating) の最適化手法を検討した。

2.2 評価方法

ネットワークシステムの省電力化は、トラヒック削減とプラットフォームの省電力化の二つの側面から捉えられる。したがって、本論文に述べる総合評価では、ネットワーク水準から VLSI 回路に至るまで一貫性のある評価を意図して、ネットワークングレイヤの検討結果である各ノードにおける入出力ログを、プラットフォームでの送受信パケットないし入出力パケットとして反映した評価を進めた。

アドホックネットワーク上のトラヒックについては、ネットワークシミュレータを用いた評価実験を多面的に実施し、プラットフォームの消費電力については、上述の ULP-DDCMP を VLSI 化し、それを搭載するプロトタイプ ULP-DDNS を試作し評価した。この ULP-DDNS には、消費電力のロギング結果や入出力データを外部と送受するためのインタフェースとして、従来の携帯機器向け低消費電力プロセッサ Atom (Intel 社 E660) を搭載した。また、ULP-DDNS の省電力化効果を対比的に評価するため、Atom をロギングの対象に加え、通信処理実行時のみならず待機時も含めた実効的な消費電力の比較を試みた。

細粒度 PG と実行時 VS による STP の省電力化効

果については、電力削減量がオーバーヘッド電力を上回るための条件である PG の BET (Break Even Time) と VS の BEPL (Break Even Processing Load) の検討が本質的であると研究開始当初から予測された。したがってこれらを定量的に検討する専用の VLSI をまず試作し [4], 3.3 に述べる最適化手法の基礎パラメータを取得した。

更に、これらのネットワークシミュレーション評価、試作プロトタイプ ULP-DDNS による実測評価、並びに、回路の SPICE シミュレーション評価の結果を統合して検証するために、4. に述べるプラットフォームシミュレータを構築して、ネットワークシステム全体の省電力化効果を従来方式の消費電力と比較検討した。

3. ULP-DDNS の超低消費電力化手法

3.1 トラヒック抑制型アドホックネットワーク

ネットワークレイヤの主要機能である放送型情報転送方式として、負荷感応型カウンタベースフラディング LDCF (Load-aware Dynamic Counter-based Flooding) [6] を採用した。この方式は、パケットを受信時に直ちに一度だけ再送信する SF (Simple Flooding) 方式や同一パケットの受信回数をカウントし固定のしきい値を超えれば再送信しない CF (Counter-based Flooding) [6] と異なり、ノード負荷に応じてカウンタしきい値の増減を動的に行う。したがって、LDCF は、再送信を抑制しトラヒックを抑制するとともに、パケット到達ノード率 (ネットワーク全体に対する情報到達ノードの割合) を向上できるため、SF などの既存方式に比べて有効であることが分かっている [6]。

本節では、アドホックネットワークを構成するノードであるプラットフォームの評価と連携するために必要な、ノード当りのトラヒックを検証する。具体的には、文献 [6] での評価条件に加えて、ノード密度 (面積当りのノード数) や MAC レイヤ伝送速度が送受信パケット数の抑制効果に与える影響を多面的に評価し、それらのシミュレーションログを総合評価に活用した。

本評価には、ネットワークシミュレータ (OPNET14.5 [10]) を用いた。シミュレーション条件は以下のとおりである。ノード数 100, このうち 2 ノードが動画ストリームを放送とした。これは、緊急時に必要な情報を放送として流せる拠点は限られると想定したからである。各放送元ノードは、QCIF (Quarter Com-

mon Intermediate Format) 形式の “highway” [11] のうち 1000 フレームを jm14.2 [12] によって符号化したストリームを放送する。いずれも携帯情報端末を想定した解像度、及び緊急時に一度に流せる時間を想定した。この際、フレームレートは 30 frames/s (つまりパケット生成間隔は 33 ms となる)、I フレームと P フレームによるフレーム構成とし、GoP (Group of pictures) は 10 とした。それぞれ、一般的な動画のフレームレート、パケット損が高いとされるアドホックネットワークを考慮した GoP、並びに携帯情報端末向きのフレーム構成という観点から選定した。なお、これらの評価では実際に符号化した動画のパケットサイズ分布として、I フレームを 1000~1200 Byte 程度、P フレームを 100~150 Byte 程度のデータ長とした。各放送元ノードがこの 1000 フレームを合計 2 回繰り返し放送することを想定し、既存の SF, CF, 及び LDCF を比較した。ここで、事前評価により、CF のしきい値は 2, LDCF のしきい値は 1 または 2 が最適であったため、これらの値を用いている。

(a) ノード密度に対するトラヒック抑制効果

MAC レイヤは IEEE802.11b, 伝送速度は 2 Mbit/s, シミュレーションエリアは、 $1000 \times 600 \text{ m}^2$ を基準とし、 $1291 \times 775 \text{ m}^2$ (ノード密度比 0.6), $846 \times 507 \text{ m}^2$ (ノード密度比 1.4) の計 3 通りとした。

送受信パケット数をパケット到達ノード率 (図中 penetration rate) で正規化した値を、CF の場合と比較して、図 1(a) に示す。この結果から、LDCF は送受信パケット数の削減効果が優れていることが分かる。更にノード密度が高くなるにつれて、送受信パケットの削減効果が向上することも分かった。この効果は、

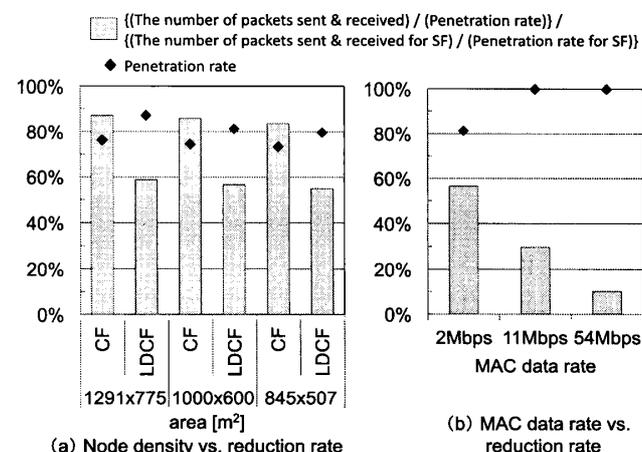


図 1 パケット抑制効果
Fig. 1 Packet reduction effects.

SF では、密度の増加により近隣ノードからの再送信割合が増え、それによる負荷（待合せパケット数）が大きくなるが、これらに LDCF の再送抑制がより効果的に作用したためと考えられる。

(b) MAC 伝送速度に対するトラヒック抑制効果

今後は、低位レイヤの伝送速度が向上する傾向にあるため、MAC レイヤを IEEE802.11b (2 Mbit/s, 11 Mbit/s), IEEE802.11g (54 Mbit/s) の計 3 通りを比較した。シミュレーションエリアは評価 (a) で基準にした $1000 \times 600 \text{ m}^2$ とした。その他の条件は前述の評価と同じである。

SF と LDCF の送受信パケット数及びパケット到達ノード率の比較を図 1 (b) に示す。これにより、伝送速度を大きくするに依り、SF に対して最大 1/10 程度にパケット数が削減できることが分かった。

3.2 ULP-DDCMP

プラットフォームの省電力化効果を評価するため、図 2 (a) に示す ULP-DDDNS に、ULP-DDCMP (図 2 (b)) のコアである ULP-CUE 及びコア間相互接続網の電源電圧、電流及び入出力データをタイムスタンプとともに記録するロギング機構 (図中 FPGA - backside) を搭載した。

まず、Atom の評価を試みた。Atom では、周辺回路などに要する消費電力が特定不能であり、通信処理に要する消費電力が直接評価できない構成となっている。通信処理実行時の消費電力を推定するため、UDP/IP 処理を実行した場合と実行していない場合の差分として消費電力量を求めた結果、1 パケット分の UDP/IP 処理の消費電力量は約 $21.9 \mu\text{J}$ ($\approx 1.07 \text{ W} \times 20.4 \mu\text{s}$) が計測された。更に、待機時の消費電力は、 90°C 時のピーク電力に対する漏れ電力の比率 0.016 [13] に、 90°C 時に対する 25°C 時の温度係数を回路シミュレーションにより求めて得られた 0.111 を乗じて求め、約

1.9 ($\approx 1.07 \text{ W} \times 0.016 \times 0.111$) mW とした。

ULP-CUE では、二重環状パイプライン構成により、UDP/IP 処理の約 8 割を占める単項演算の実行時に、発火制御を実現する回路の駆動が回避されている。すなわち、図 3 に示すように、プログラム記憶部 (PS)、演算処理部 (FP)、メモリアクセス部 (MA)、二つの経路から転送されるデータを先着順に後段へ転送するマージ部 (M)、後段の二つの経路へデータを選択的に転送するブランチ部 (B) から構成される環状パイプラインによって単項演算が実行される。二項演算は更に、発火制御部 (MM)、発火制御部用マージ部 (MB) 及び発火制御部用ブランチ部 (BB) を加えた環状パイプラインによって実行される構成となっている。

本評価では、ULP-CUE における通信処理実行時の消費電力を評価するため、1 パケット分の UDP/IP 処理の消費電力量を求めた結果、標準電圧 (1.2 V) 供給時に $2.69 \mu\text{J}$ ($\approx 4.64 \text{ mW} \times 580 \mu\text{s}$) が計測された。更に、ULP-DDCMP と次節に述べる ULP-STP を組み合わせる観点から、供給電圧 $0.8 \text{ V} - 1.3 \text{ V}$ で ULP-DDCMP チップが動作できることを確認した。その上で、ULP-DDCMP チップにおけるチップマルチプロセッサによる低電圧動作による省電力化効果を評価するため、 0.8 V 供給時に 4 コアで同時並行実行した場合の 1 パケット分の UDP/IP 処理の消費電力量を実測した結果、 $0.94 \mu\text{J}$ ($\approx 1.46 \text{ mW} \times 645 \mu\text{s}$) が計測された。更に、待機時の消費電力を実測した結果、 0.32 mW が計測された。

以上の比較によって、ULP-DDCMP は、従来型組込みプロセッサに比べて、通信処理実行時と待機時の消費電力をそれぞれ $1/20$ ($\approx 0.94/21.9$) 以下と $1/5$ ($\approx 0.32/1.9$) 以下に削減するとの結果が得られた。

3.3 低消費電力化自己同期型パイプライン

STP では、図 4 に示すように、隣接する C 素子間

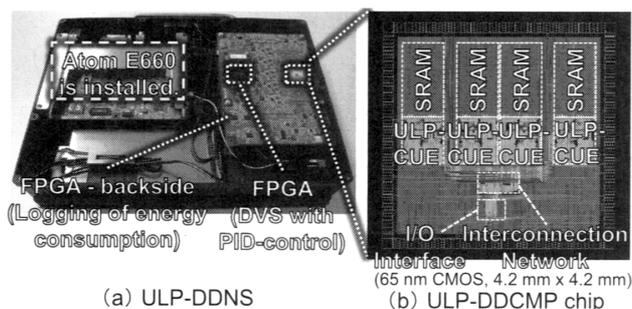


図 2 試作プロトタイプ ULP-DDDNS
Fig. 2 Platform prototype, ULP-DDDNS.

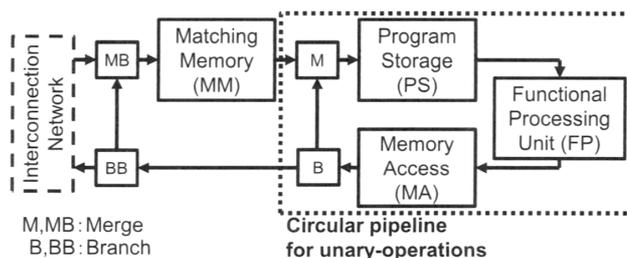


図 3 UDP/IP 処理向け二重環状パイプライン構成
Fig. 3 Dual-ring pipeline for UDP/IP.

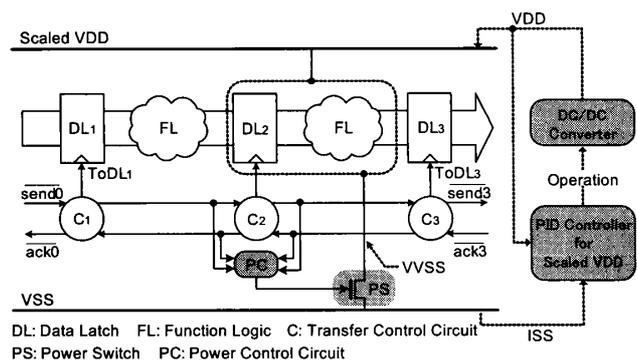


図4 低消費電力化自己同期型パイプライン ULP-STP
Fig.4 Ultra-Low-Power Self-Timed Pipeline.

で転送要求信号 (send) と転送許可信号 (ack) を相互に授受することによって、有効なデータが到着し次第、各々のパイプライン段 (DL 及び FL) が自律的かつ局所的に転送及び処理を行う。このため、個々のパイプライン段が有効データを処理しているときに限りスイッチング電力を消費する、という優れた省電力性が生来的に備わっている [14]。

本研究では、STP が供給電力に応じて自律的に可変速度動作できる点に着目し、要求される処理性能に応じて適応的に電力を供給すれば、真の意味で必要最小限の電力を消費する VLSI 回路実現法が確立できると着想した。この超低消費電力化を目指した自己同期型パイプライン ULP-STP は、図 4 中の灰色部に示すように、従来型 STP に加えて、

- (a) 消費電流 I_{ss} に基づく電圧制御機構 VS,
- (b) send/ack 信号に基づく局所的なパワーゲーティング機構 PG,

を備えた回路となっている。前者は、STP ではパイプライン内の処理負荷 (実効スループット) に比例して電流 I_{ss} が消費される特性に着目して、その増減に応じて PID 制御により供給電圧を動的に変更し、スイッチング電力を極小化する回路である。一方、後者は、パワーゲーティング対象となる 1 段あるいは複数段のパイプライン段の両端の send/ack 信号に基づいて、NMOS パワースイッチ PS の on/off を制御し、待機時のリーク電流を遮断する回路である。

ULP-STP では、電圧が変更される過渡的な期間でも、VDD 配線内に極端な電位差が生じない限り、その時点の供給電圧に準じたスイッチング動作が可能である。しかしながら、電圧増減時には電源供給ラインを含む回路の充放電電力が追加的に必要になるため、高頻度で電圧を増減すると VS の効果がなくなる。こ

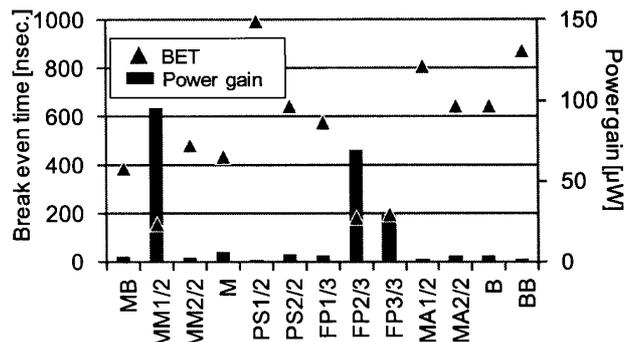


図5 各ステージの Break Even Time (0.8 V, 25°C)
Fig.5 Break Even Time (BET) in each stage.

の関係性は、電源ラインの容量 C_{VDD} と DL 及び FL 部の容量 C_L の比率に基づいて、損益分岐処理負荷 BEPL として、式 (1) で近似できる。

$$BEPL = \frac{C_{VDD}}{C_L \times \alpha} \quad (1)$$

ここで、 α は DL 及び FL 部を構成するトランジスタのスイッチング確率である。試作 ULP-CUE チップの実測値から、0.8~1.2V 間で電圧を増減できる頻度は、1 パケットの処理中にたかだか 1 回となった。試作チップはオフチップ DC-DC 変換器を用いているため C_{VDD} が比較的大きく、結果的に BEPL が大きくなる。これに関しては、DC-DC 変換器のオンチップ化により C_{VDD} が 1 けた減るという報告 [15] もあり、改善可能である。

一方、PG に関しては、漏れ電力削減量と付加回路に起因する電力性能オーバーヘッドのトレードオフがあるが、提案回路は、LSI 製造プロセスの特性に応じて、PG 対象とするパイプライン段数や経路を自由に設定できる柔軟性を有している。このトレードオフ関係は、PS 及び電源接続時に発生する突入電流による電力オーバーヘッドと漏れ電力の比率から、損益分岐時間 BET として、式 (2) で近似できる [16]。

$$BET = \frac{C_{PS} \times VDD^2 + (C_{VVSS} + \frac{1}{2} C_L) \times VDD \times \Delta V_{VSS}}{P_{leak}} \quad (2)$$

ここで、 C_{PS} は PS 及び PS 駆動用バッファの容量、VDD は電源電圧、 C_{VVSS} は仮想グラウンド VVSS の容量、 C_L は DL と FL 部の容量である。また、 ΔV_{VSS} はウェイクアップ直前の VVSS の電位、 P_{leak} は DL 及び FL 部の漏れ電力である。

式 (2) に基づいて、ULP-CUE の各パイプライン段の BET を評価した結果を図 5 に示す。これらの BET

値は、試作 ULP-CUE チップのレイアウト後の寄生成分を抽出した回路の SPICE シミュレーションにより得られたパラメータを用いて算出した。VS と PG を併用する際には、PG は最低電圧時に作動するため、VDD は 0.8V としている。図中のプロット△は各パイプライン段（ステージ）の BET、棒グラフは削減可能な漏れ電力を示している。これらの基礎データに基づいて、設計目標に適した BET が得られるように、PG 対象の粒度を最適化することが重要になる。以上の最適化の効果を含めたプラットフォームの総合評価に関しては、次章に述べる。

4. 超低消費電力化の総合評価

本研究では、試作した VLSI チップの実測結果に基づいて自律適応型電力供給機構に最適化を施したデータ駆動チップマルチプロセッサを対象として、これをトラヒック抑制されたアドホックネットワークのプラットフォーム実現法とした際の超低消費電力化効果を評価した。以下、本章では、このプラットフォーム用に構築した消費電力評価用のプラットフォームシミュレータの概要を示し、これを活用して、3.1 の評価で得たログに基づくプラットフォームの消費電力を求めて、提案方式を総合的に評価した結果を示す。

4.1 プラットホームシミュレータ

総合評価のために構築したプラットフォームシミュレータは、アドホックネットワーク・ノードとしての模擬ができるように、ネットワークシミュレータのログを取り込んで連携動作が可能である。更に、STP におけるトークンの転送動作をパイプライン段ごとに模擬し、ULP-DDCMP 上でのプログラム実行時の消費電力量及び実行時間の内訳を求めることができる。

本シミュレータでは、対象とする STP 構成のパイプライン段ごとに、表 1 に示すパラメータ群を事前に設定し、シミュレーション時にこれらを随時参照しながら、

模擬を行う。動作条件（電源電圧 VDD 及び温度）ごとに、転送要求信号 (send) 並びに許可信号 (ack) の伝搬遅延時間を参照しながら離散事象の時刻を管理し、スイッチング電力及び漏れ電力 (PG on 時/off 時) を参照して消費電力量を積算する。これらの事前設定値には、ULP-DDCMP の各種実測結果並びにレイアウト後の寄生成分を抽出した回路の SPICE シミュレーション結果を活用した。

このように回路内の過渡的な電圧・電流値の変化をパイプライン段ごとに一定値として近似することによって、プラットフォームシミュレータの精度を検証に十分な水準に維持しながら、離散事象シミュレーションに要する計算量を極小化している。実際に UDP/IP 処理プログラムの処理性能及び電力消費について、試作 VLSI チップの実測結果と比較した結果、妥当な精度並びに時間でシミュレーション可能なことを確認した。

4.2 ULP-DDNS の総合評価

本総合評価では、まず、3.1 に述べた LDCF の評価に用いたネットワークシミュレータのログから、MAC 伝送速度 54 Mbit/s 時のログを取り上げ、ノードごとに、タイムスタンプ付きの UDP/IP パケット系列をベンチマークデータとして用意した。これらのパケット系列を処理する ULP-DDNS プラットホームとして、VS (0.8V-1.3V) 及び PG を最適化した STP 構成からなる ULP-DDCMP の消費電力をプラットフォームシミュレータにより評価した。

表 2 に通信処理実行時と待機時を総合した、ノード当りの平均総消費電力を示す。また、内訳として、通信処理実行時の消費電力と待機時の消費電力に対して、単位時間当りに通信処理が占める時間の割合と待機が占める時間の割合をそれぞれに乘じて正規化した電力量 [mJ/s] を示す。総消費電力は、提案方式の場合に 0.045(= 0.026 + 0.019) mW となった。更に、3.2 に

表 1 プラットホームシミュレータにおける設定パラメータ一覧

Table 1 Parameters on platform simulator.

設定パラメータ	内容
動作条件	電源電圧 [V] 温度 [°C]
send 時間	転送要求の信号伝搬遅延 [s]
ack 時間	転送許可の信号伝搬遅延 [s]
スイッチング電力	ステージ動作時の動的電力 [W]
漏れ電力 (PS off 時)	ステージの静的電力 (PS off 時) [W]
漏れ電力 (PS on 時)	同上 (PS on 時) [W]

表 2 ULP-DDNS の超低消費電力化効果

Table 2 Ultra-low-power consumption effect in ULP-DDNS.

	総消費電力 (=a+b) [mW]	a. 通信処理実行時 電力量 [mJ/s]	b. 待機時 電力量 [mJ/s]
提案方式 (ULP-DDNS)	0.045	0.026	0.019
既存方式 (SF+Atom)	8.1	6.2	1.9
提案方式 /既存方式	≈ 1/180	≈ 1/240	≈ 1/100

述べた Atom の消費電力の推定結果に基づいて、既存プラットフォーム上で SF による放送型情報転送を実現した場合の電力を外挿した結果 $8.1 (= 6.2 + 1.9)$ mW となった。提案方式と既存方式を比較すると、通信処理実行時の電力量は $1/240 (\approx 0.026/6.2)$ となる。提案方式による削減効果の内訳を分析した結果、LDCF によるパケット数削減により $1/8$ 程度、また VS と PG を最適化した ULP-DDCMP により更に $1/30$ 程度となることが分かった。一方、待機時の電力量は、VS と PG を最適化した ULP-DDCMP により $1/100 (\approx 0.019/1.9)$ となる。これらを総合すると、総消費電力は $1/180 (\approx 0.045/8.1)$ に削減される。よって、当初目標とした数百分の一程度の超低消費電力化が達成されたと考えている。

5. む す び

本論文では、災害など緊急時に通信環境を維持するための ULP-DDNS の実現法を提案し、トラヒック抑制方式からプラットフォームの省電力化手法までを統合評価した。その結果、ULP-DDNS が、Atom 上で SF を適用した際の外部比較では数百分の一の超低消費電力化を達成する見通しが得られた。

本論文に述べたように、本システムは研究開始当初から、インフラストラクチャが十分に機能しない環境並びに異常なトラヒックへの対処を考慮して、アドホックネットワークを前提にこの上のトラヒックを抑制することによって、低消費電力化を達成するアドホックネットワークング方式を採用している。しかしながら、緊急時にはいわゆるふくそう状態に陥り通信環境の維持が困難となることが容易に予測される。

このふくそうを可能な限り回避することが、緊急時通信環境にとって本質的に重要となることはいうまでもない。現在、自己同期型パイプラインの過負荷耐性及び消費電流による負荷の可観測性を活用したプラットフォームの過負荷回避方式の実現法を検討しており、これによるふくそう緩和への効果については稿を改めて論じたい。

謝辞 本研究の一部は、科学技術振興機構 JST CREST、及び日本学術振興会科研費の支援を受けて行ったものである。

文 献

- [1] H. Nishikawa, K. Aoki, H. Ishii, and M. Iwata, "Intermediate achievement of ultra-low-power data-driven networking system: ULP-DDNS," Proc. 2011 Int'l Conf. Parallel and Distributed Processing Techniques and Applications, pp.421-427, Las Vegas, U.S.A., July 2011.
- [2] "Mobile Ad hoc Networks (manet)," IETF, <http://datatracker.ietf.org/wg/manet/charter/>, Aug. 2012.
- [3] H. Esmaeilzadeh, E. Blem, R. St. Amant, K. Sankaralingam, and D. Burger, "Dark silicon and the end of multicore scaling," Proc. 38th Annual Int'l Symp. Computer Architecture, pp.365-376, San Jose, U.S.A., June 2011.
- [4] K. Miyagi, S. Sannomiya, M. Iwata, and H. Nishikawa, "Self-timed power-aware pipeline chip and its evaluation," Proc. 2011 Int'l Conf. Parallel and Distributed Processing Techniques and Applications, pp.442-448, Las Vegas, U.S.A., July 2011.
- [5] N. Fukushi, K. Utsu, and H. Ishii, "Information discovery mechanism using GPS over MANET," Proc. 2009 Int'l Conf. Parallel and Distributed Processing Techniques and Applications, pp.616-621, Las Vegas, U.S.A., July 2009.
- [6] 宇津圭祐, 石井啓之, "アドホックネットワークにおけるストリーミング配信向き負荷感応フラッディング," 電学論 (C), vol.130, no.8, pp.1367-1378, Aug. 2010.
- [7] H. Kawabata, and H. Ishii, "Evaluation of self-organizing key management framework based on trust relationship lists," Proc. 2009 Int'l Conf. Parallel and Distributed Processing Techniques and Applications, pp.609-615, Las Vegas, U.S.A., July 2009.
- [8] S. Sannomiya, K. Aoki, M. Iwata, and H. Nishikawa, "Power-performance verification of ultra-low-power data-driven networking processor: ULP-CUE," Proc. 2012 Int'l Conf. Parallel and Distributed Processing Techniques and Applications, pp.465-471, Las Vegas, U.S.A., July 2012.
- [9] H. Nishikawa, "Design philosophy of a networking-oriented data-driven processor: CUE," IEICE Trans. Electron., vol.E89-C, no.3, pp.221-229, March 2006.
- [10] "The network simulator OPNET," <http://www.opnet.com>, Sept. 2012.
- [11] H. Ishii, K. Utsu, and H. Nishikawa, "Integrated evaluation on effectiveness of ULP-DDNS networking layer," Proc. 2012 Int'l Conf. Parallel and Distributed Processing Techniques and Applications, pp.452-457, Las Vegas, U.S.A., July 2012.
- [12] Y. Tseng, S. Ni, Y. Chen, and J. Sheu, "The broadcast problem in a mobile ad hoc network," in Wireless Networks, ed. T. Imielinski and M. Steenstrup, vol.8, pp.153-167, Springer Netherlands, Netherlands, 2002.
- [13] G. Gerosa, S. Curtis, M. D'Addeo, B. Jiang, B. Kuttanna, F. Merchant, B. Patel, M. Taufique, and H. Samarchi, "A sub-1W to 2W low-power IA processor for mobile internet devices and ultra-mobile PCs in 45nm hi-k metal gate CMOS," 2008 ISSCC,

pp.256-257, Feb. 2008.

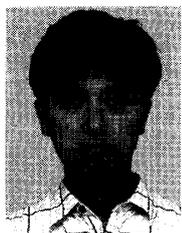
- [14] H. Terada, S. Miyata, and M. Iwata, "DDMP's: Self-timed super-pipelined data-driven multimedia processors," Proc. IEEE, vol.87, no.2, pp.282-296, Feb. 1999.
- [15] A. Inoue, "Design constraint of fine grain supply voltage control LSI," Asia South Pacific Design Automation Conference, pp.760-765, Yokohama, Japan, Jan. 2011.
- [16] K. Miyagi, S. Sannomiya, M. Iwata, and H. Nishikawa, "Low-powered self-timed pipeline with runtime fine-grain power supply," Proc. 2012 Int'l Conf. Parallel and Distributed Processing Techniques and Applications, pp.472-478, Las Vegas, U.S.A., July 2012.

(平成 24 年 10 月 1 日受付, 25 年 1 月 21 日再受付)



西川 博昭 (正員)

昭 51 阪大・工・電子卒. 昭 59 同大大学院工学研究科博士課程了. 工博. 日本学術振興会奨励研究員, 阪大助手, 講師, 筑波大助教授を経て, 現在, 筑波大学大学院システム情報工学研究科教授. 平 6 年 7 月~7 年 8 月, 平 9 年 11 月~12 月, 平 10 年 4 月~5 月 MIT 招聘研究員, 平 10 年 3 月~4 月 USC 招聘教授. データ駆動型超分散システムとその仕様記述環境等の研究に従事. 平 15 IASTED Best Paper Award in the area of Processor Architecture in PDCS 2003, 平 19 PDPTA'07 Ten Best Paper Award, 平 22 WORLDCOMP2010 Outstanding Achievement Award, 平 23 WORLDCOMP2011 Best Paper Award 各受賞. 情報処理学会会員, IEEE シニア会員.



青木 一浩

平 9 筑波大・第三学群・情報卒. 平 14 同大大学院博士課程工学研究科了. 博士 (工学). 現在, (有) 情報基盤研究所. データ駆動プロセッサアーキテクチャの研究に従事.



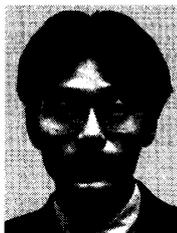
三宮 秀次 (正員)

平 14 高知工科大・工・情報システム卒. 平 18 高知工科大学助手. 平 19 同大大学院博士課程単位取得後退学. 平 22 筑波大学助教, 現在に至る. 博士 (工学). 低消費電力化データ駆動プロセッサの研究に従事. 情報処理学会, IEEE 各会員.



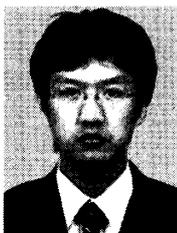
宮城 桂 (学生員)

平 20 高知工科大・情報システム卒. 平 22 同大大学院修士課程修了. 現在, 同大大学院博士課程在学中. 自己同期型パイプラインを用いた低消費電力 VLSI の設計に関する研究に従事.



岩田 誠 (正員)

昭 61 阪大・工・電子卒. 平 3 同大大学院博士課程単位取得後退学. 同年阪大・工・助手, 平 9 高知工科大学助教授, 平 14 同教授, 現在に至る. その間, 平 14 東北大・通研 IT21 センター客員助教授, 平 18~平 21 同客員教授を兼務. 平 20 カリフォルニア大学アーバイン校客員研究員. 博士 (工学). データ駆動パラダイムを核とした, ソフトウェア環境及び ULSI 向きアーキテクチャの研究に従事. 情報処理学会, IEEE 各会員.



宇津 圭祐 (正員)

平 19 東海大・電子情報・コミュニケーション工卒. 平 21 同大大学院工学研究科修士課程了. 平 22 日本学術振興会特別研究員 DC2. 平 23 同大大学院総合理工学研究科博士課程了. 同年日本学術振興会特別研究員 PD. 平 24 東海大情報通信学部助教. 主にアドホックネットワークにおける効率的情報配信方式に関する研究に従事. 博士 (工学). 平 22 松前重義賞 (文化部門奨励賞). 平 23 WORLDCOMP Best Student Paper Award. 電気学会会員.



石井 啓之 (正員)

昭 52 阪大・工・通信卒, 昭 54 同大大学院工学研究科修士課程了, 同年日本電信電話公社入社. 以来, データ通信網設計法の研究, CCITT (現 ITU-T) における ISDN ユーザ・網インタフェースプロトコル標準化, TINA-C 及び OMG での分散処理型ネットワークアーキテクチャの標準化, ATM 交換システム, IP ネットワーク制御システムの研究開発に従事. 平 15 東海大教授, 現在同大情報通信学部教授. 通信情報ネットワーク工学の研究に従事. 博士 (工学). 平 15 情報ネットワーク研究賞, 平 19 PDPTA'07 Ten Best Papers Award, 平 22 松前重義賞 (学術部門), 平 22 WORLDCOMP2010 Outstanding Achievement Award, 平 23 WORLDCOMP2011 Best Paper Award 各受賞. 分担執筆「B-ISDN の基盤技術」. 情報処理学会, 電気学会各会員. IEEE シニア会員.