

平成 2 6 年 5 月 2 9 日現在

機関番号：1 2 1 0 2

研究種目：若手研究(B)

研究期間：2011～2013

課題番号：2 3 7 6 0 2 8 3

研究課題名（和文）異種原子導入によるSiC/絶縁膜界面欠陥の消滅とパワーMOSFETの革新

研究課題名（英文）Elimination of interface defects at SiC/insulator by introducing phosphorus and other atoms toward innovation of power MOSFETs

研究代表者

矢野 裕司（Yano, Hiroshi）

筑波大学・数理物質系・准教授

研究者番号：4 0 3 3 5 4 8 5

交付決定額（研究期間全体）：（直接経費） 3,400,000 円、（間接経費） 1,020,000 円

研究成果の概要（和文）：高性能SiCパワーMOSFETを実現するためには、SiC/絶縁膜界面欠陥を徹底的に低減する必要がある。本研究では、申請者らが見出した界面へのリン導入を追及することに加え、窒素や水素を含むガスで複合処理することで界面欠陥の徹底的な低減を試み、MOSデバイスのチャネル移動度やしきい値電圧の変動および絶縁膜の信頼性などに与える影響を調査した。その結果、リンと水素の複合処理によりチャネル移動度は大きく向上し、リンと窒素の複合処理やリンを界面に局在させることにより、酸化膜への電子注入耐性の向上に成功した。また、種々のバイアス条件や温度におけるしきい値電圧変動の特性から、界面のトラップモデルを構築した。

研究成果の概要（英文）：In order to realize high-performance SiC power MOSFETs, defects at the SiC/insulator interface should be reduced greatly. In this study, effects of phosphorus introduction into the interface on the reduction of interface defects and improvement in MOSFET performance were investigated. In addition, combination effects of phosphorus with hydrogen or nitrogen were also investigated. The channel mobility was improved by combination of phosphorus and hydrogen. The flatband and threshold voltage shifts were successfully minimized by both methods of combination of phosphorus and nitrogen and localization of phosphorus near the interface. The model of trap distribution in the SiC MOS structure was built from the threshold voltage instability experiments using various bias conditions and temperatures.

研究分野：工学

科研費の分科・細目：電気電子工学 電子・電気材料工学

キーワード：炭化ケイ素 MOSFET 界面準位 しきい値変動 リン

1. 研究開始当初の背景

人類の持続的発展には、エネルギーの有効利用が欠かせない。電力変換における損失を低減するため、電力変換器の重要性が高まっており、とりわけそこで使用されるパワー半導体の高性能化が求められている。現在用いられている Si パワー半導体では、物性値の制限から飛躍的な発展は望めない。そこで、Si の限界を大きく超える SiC が注目されている。すでにショットキーダイオードが国内外のメーカーから市販されているが、スイッチング素子のパワー MOSFET は実用化されていない。高性能 SiC-MOSFET 実現のための課題のひとつに、「MOS チャンネル移動度の改善」がある。従来、SiC / 絶縁膜界面に窒素 (N) を導入することで界面欠陥の低減が進められてきたが、チャンネル移動度は $40 \text{ cm}^2 / \text{Vs}$ で頭打ちの状況である。この値では、最も用途の多い 1 kV 級デバイスにおいて MOS チャンネル抵抗の占める割合が大きくなり、SiC のポテンシャルを十分に活かせない。また、残留する界面欠陥のためにしきい値電圧の安定性に難がある。このため、徹底的な界面欠陥の低減と $100 \text{ cm}^2 / \text{Vs}$ 以上の高チャンネル移動度を実現する新技術が熱望されており、これを実現するには従来法とは異なったアプローチが必要である。

2. 研究の目的

(1) 申請者は、窒素以外の異種原子による界面欠陥の低減を模索し、リン (P) が有望であることを見出している。リンを界面に導入することにより、チャンネル移動度は $90 \text{ cm}^2 / \text{Vs}$ と、従来法に比べて 3 倍以上の大幅な改善が見られた。リンに導入による界面欠陥低減をさらに進めるとともに、窒化や水素化を加えることで、リンでは低減できない欠陥をなくして徹底的に界面欠陥を低減させることを第一の目的とする。

(2) チャンネル移動度を改善するだけでなく、絶縁膜や界面特性の信頼性やしきい値電圧の制御も重要課題である。そこで、リン導入した MOS デバイスの信頼性を多角的に評価し、しきい値電圧の不安定性やストレスに対する特性変動メカニズムを明らかにすることを第二の目的とする。

(3) これらを通じて、本プロセスが SiC の MOS デバイスの行き詰まり状態を打破し、革新的性能をもたらすことを示すことを最終目的とする。

3. 研究の方法

(1) これまでに開発してきたリン導入プロセス (POCl₃ アニール) を最適化するとともに、NO アニールによる界面窒化や水素アニールによる欠陥終端を組み合わせた複合処理を行う。MOS キャパシタや MOSFET を試作し、各種電気特性を詳細に評価する。

(2) 経時絶縁破壊特性 (TDDB) 特性を行

い、絶縁膜の信頼性を評価するとともに、絶縁破壊メカニズムを明らかにする。またゲートバイアスに依存したしきい値電圧の変動を調査する。これを室温だけでなく 200 度の高温においても行う。

(3) DMOSFET を設計し、1 kV 級のパワー MOSFET を作製する。

4. 研究成果

(1) SiC の MOS 界面欠陥を低減するため、界面へのリン導入に加えて窒素や水素を複合的に導入する効果を調べた。1000 の POCl₃ アニール処理を行った後に、700 において 10 % の水素を含む雰囲気中でアニールを追加で行ったところ、チャンネル移動度が $86 \text{ cm}^2 / \text{Vs}$ から $101 \text{ cm}^2 / \text{Vs}$ に向上した (図 1)。リン導入では不活性化できていない欠陥 (ダングリングボンドなど) が水素により終端されたためと考えられる。ただし、Si-MOS で十分効果の得られる 400 ではチャンネル移動度の改善効果は見られなかった。したがって、Si-ではなく C-ダングリングボンドが残留しており、それが水素で終端されたと考えられる。

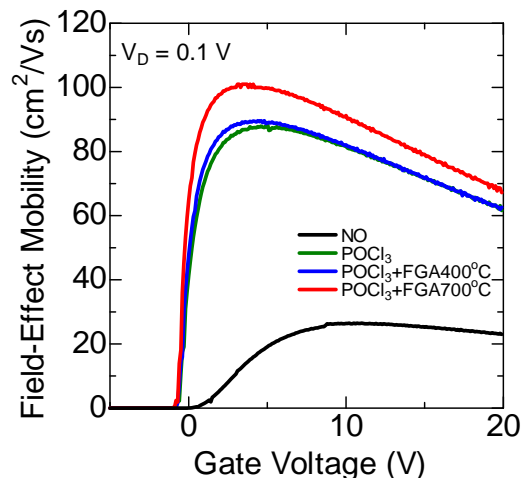


図 1：リンと水素導入による移動度向上

次に、リンと窒素を同時に界面に導入するため、熱酸化膜を形成後に、先に NO アニールを 1250 で行ってから POCl₃ アニールを 1000 で行った。SIMS 測定により、窒素とリンがそれぞれ酸化膜 / SiC 界面に導入されていることを確認した。このプロセスでゲート酸化膜を作製した MOSFET のチャンネル移動度は POCl₃ アニール単独処理のものに比べて小さく、 $47 \text{ cm}^2 / \text{Vs}$ であった。NO アニール単独処理のもの ($24 \text{ cm}^2 / \text{Vs}$) と比較するとチャンネル移動度は改善されているが、NO / POCl₃ 複合処理では POCl₃ 単独処理を超える移動度の改善は見られなかった。これは、欠陥低減メカニズムにおける窒素とリンの役割が異なることに起因していると考えられる。NO アニールでは界面に導入された窒

素は強固な Si-N 結合を形成するのに対し、 POCl_3 アニールで導入されたリンはネットワークに対して 3 配位の結合となることでひずみを緩和する効果がある。したがって、NO アニールより形成された強固な Si-N 結合によってリン導入によるひずみ緩和の効果が小さくなったために、NO/ POCl_3 複合処理では POCl_3 単独処理ほどチャネル移動度が向上しなかったと考えられる。しかし、後述するように電子注入耐性が向上するメリットが見られた。

(2) MOS 界面欠陥の低減と同様に、信頼性も重要な課題である。定電流 TDD 特性やストレス印加後のフラットバンドシフトを調査した。定電流 TDD では、 POCl_3 アニールした試料では定電流を維持するための印加電圧が時間とともに大きく上昇するという、特異な特性を示した。電流注入後の容量-電圧特性を調べると、 POCl_3 アニールした試料ではフラットバンドシフトが大きくなっており、酸化膜トラップがドライ酸化膜や NO アニール酸化膜より多くなることがわかった。SIMS 測定により、酸化膜中のリンの分布は $2 \times 10^{21} \text{ cm}^{-3}$ で一様であることがわかっており、通常の動作条件である低電界 ($< 4 \text{ MV/cm}$) であれば酸化膜中への電子注入は起こらずにフラットバンドシフトは発生しない。しかし、 5 MV/cm 以上の高電界になり FN トンネル現象により電子が酸化膜中に注入されると、電子が酸化膜トラップに捕獲されて大きなフラットバンドシフトを引き起こしてしまう。このことから、リンは酸化膜/SiC 界面付近にのみ局在させるほうが良いとの指針を得た。

その指針を基に、界面にのみリンを局在化させる構造を作製した。具体的には、SiC 表面に対して POCl_3 処理を行い、その後 CVD 法により酸化膜を堆積させ、絶縁性を確保するために窒素中で熱処理を行った。1000 °C の熱処理では、リンが界面から酸化膜表面側に拡散する様子が SIMS 測定よ

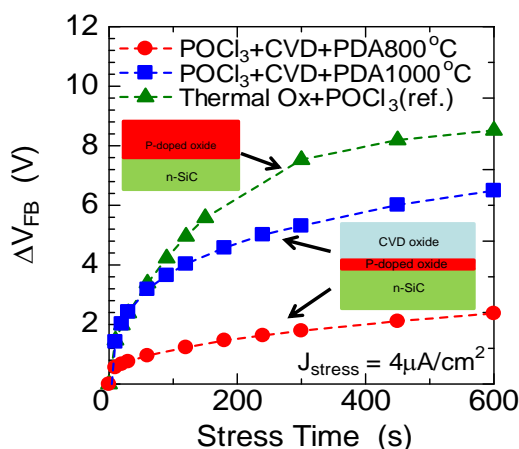


図 2：リンの界面局在化による電子注入耐性の向上

り得られ、界面準位密度は悪化した。熱処理温度を 800 °C に抑えることでリンの拡散を抑制し、界面準位密度は $2 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ と良好であった。本構造では、定電流ストレス印加に対するフラットバンドシフトを 1/4 に低減させることに成功した。このように、酸化膜中のリンのプロファイルを制御することで高品質界面と高電子注入耐性の両立が可能であることを示すことが出来た (図 2)。

また、もう一つの電子注入耐性向上策として、NO/ POCl_3 の複合処理も有効であることを見出した。6 MV/cm 程度の酸化膜電界までは、界面 (近傍) 準位や酸化膜中への電子捕獲はほとんど見られない。6 MV/cm の定電界ストレスの印加時間に対して、フラットバンド電圧は非常に安定していた。ストレス前と比較した 600 秒後のフラットバンドシフトは、NO または POCl_3 単独処理膜では、ともに 2 V 程度のシフトが起こってしまうが、NO/ POCl_3 複合処理膜では 0.4 V となり、大幅なフラットバンド電圧の安定化に成功した (図 3)。また、その変化は極初期に起こっており、初期の変化後はストレス印加時間に対する変化は非常に小さく、0.1 V 以下に抑えることに成功した。

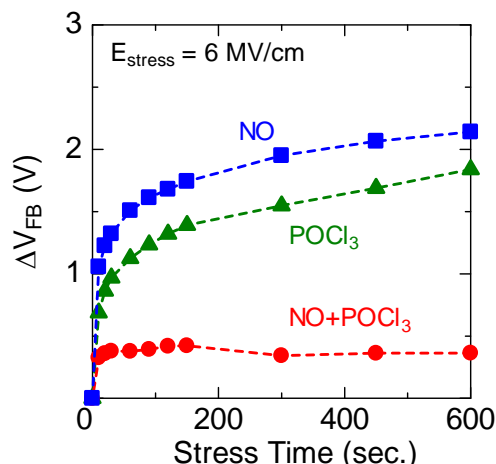


図 3：リンと窒素導入によるフラットバンド電圧の安定化

酸化膜の信頼性と同様に、しきい値電圧の不安定性も重要な課題である。SiC-MOSFET に関してしきい値電圧の制御や不安定性に関する報告はまだ少なく、知見が不十分である。そこで、リン及び窒素を界面に導入した MOSFET のしきい値電圧の不安定性について、様々なバイアス条件や温度で測定し、評価した。オフからオンになるようにゲート電圧を掃引した場合と、オンからオフになるようにゲート電圧を掃引した場合のしきい値電圧シフト (V_{th}) を調査した。しきい値電圧は、ドレイン電流が 10 nA (オン時の電流の約 1/1000) 流れたときのゲート電圧と定義した。

室温における測定では、両試料ともに大き

なしきい値電圧のシフトは見られなかった。(測定開始電圧が -5 V のときに V_{th} は 0.1 V (POCl_3) および 0.3 V (NO))。 100°C まで昇温すると、 NO アニール試料では測定開始電圧が -5 V のときに 1.2 V と、大きな V_{th} が発生した。一方、 POCl_3 アニール試料ではサブスレシヨルド電流がやや増加したものの、 150°C まで昇温しても V_{th} は 0.3 V と小さい。一般的に、温度が上昇するとフェルミ準位がミッドギャップに近づくこと、および界面準位に捕獲された電子が放出されやすくなることでしきい値電圧は負方向へシフトする。しかし NO アニール試料では、温度上昇とともに主にオンからオフ方向への $I_d - V_g$ 特性が正方向にシフトする現象が見られた。これは、温度上昇に伴ってトンネル効果によって界面近傍酸化膜トラップ (NIT) に捕獲される電子数が増大したためと考えられる。高温にあると反転層中にエネルギーの高い電子数が増え、その結果より多くの電子がトンネル減少で NIT にトラップされ、正方向への V_{th} が発生したと考えられる。 NO 試料には NIT が、 POCl_3 試料には酸化膜中に多くのトラップが存在していることから、 NIT が多い NO 試料にのみオンからオフ方向の掃引における大きな正方向の V_{th} が表われたと考えられる。また、 POCl_3 試料を 200°C で測定したときには、 150°C 以下で測定した時の結果と異なり、オンからオフ方向の掃引時のしきい値電圧が負方向の測定開始電圧を大きくするにつれてしきい値電圧が負方向にシフトした。これは、 200°C の高温では大きな負のゲート電圧が印加されることで捕獲される正孔数が増加し、 $+10\text{ V}$ のオン電圧を印加しても捕獲された正孔が放出や電子との再結合を十分に起こさずに捕獲されたままとなったため、オンからオフへの掃引時のしきい値電圧の負方向シフトとして表われたと考えられる。この現象から、 POCl_3 アニール試料では高温で大きな負のゲート電圧を印加すると、界面準位だけでなく酸化膜中にも正孔が捕獲される可能性が高い。これらの結果から、 POCl_3 アニール試料では酸化膜トラップに、 NO アニール試料では NIT に大きく影響を受けたしきい値電圧の不安定性

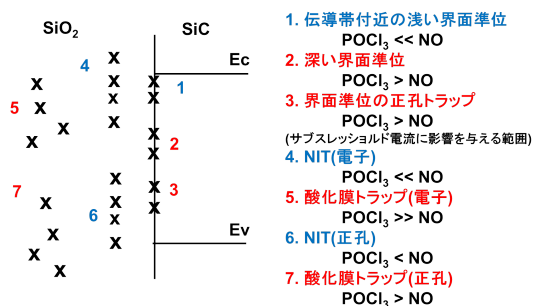


図4：界面近傍におけるトラップ分布モデルとその密度の大小関係

を示すことが明らかとなった。その他にも様々な特性から、図4に示すような界面近傍におけるトラップの分布モデルを提案した。しきい値電圧の不安定性をなくすには、これらの欠陥の除去が必要である。

(3) パワー MOSFET のチャネル部のラフネスが特性に与える影響を調べるため、界面ラフネスの異なる MOSFET を作製し、評価した。ラフネスにより界面準位密度はほとんど変わらないものの、ドレイン電流値に異质性が観測された。マクロステップ端部では酸化膜が局所的に厚く形成され、チャネル内の反転層電子密度が小さくなり局所的に高抵抗な領域が形成されるためと考えられる。パワー MOSFET の作製を行うことが出来なかったが、本研究で開発したプロセスが SiC パワー MOSFET に革新をもたらすことを示す基礎的かつ重要なデータを取得できた。

5. 主な発表論文等

〔雑誌論文〕(計8件)

1. 矢野裕司, 畑山智亮, 冬木隆, 「ゲート酸化膜へのリン導入による SiC-MOS 界面欠陥の低減と MOSFET の高性能化」, 表面科学, Vol.35, No.2, pp.90-95 (2014). DOI: 10.1380/jsssj.35.90, 査読有.
2. H. Yano, T. Araoka, T. Hatayama, and T. Fuyuki, "Improved Stability of 4H-SiC MOS Device Properties by Combination of NO and POCl_3 annealing", Mater. Sci. Forum, Vols.740-742, pp.727-732 (2013). DOI: 10.4028/www.scientific.net/MSF.740-742.727, 査読有.
3. H. Yano, T. Hatayama, and T. Fuyuki, " POCl_3 Annealing as a New Method for Improving 4H-SiC MOS Device Performance ", ECS Trans., Vol.50, No.3, pp.257-265 (2012). DOI: 10.1149/05003.0257ecst, 査読有.

〔学会発表〕(計28件)

1. H. Yano, A. Osawa, T. Hatayama, and T. Fuyuki, "Comparative Study of Threshold Voltage Instability in 4H-SiC MOSFETs with POCl_3 - and NO -Annealed Gate Oxides", The International Conference on Silicon Carbide and Related Materials 2013 (ICSCRM2013), Miyazaki (Japan), 2013/10/2.
2. H. Yano, T. Hatayama, and T. Fuyuki (Invited), " POCl_3 Annealing as a New Method for Improving 4H-SiC MOS Device Performance ", PRiME 2012 (Pacific Rim Meeting on Electrochemical and Solid-State Science), Honolulu (HI, USA), 2012/10/10.

3. H. Yano, T. Araoka, T. Hatayama, and T. Fuyuki (Invited), " Improved Stability of 4H-SiC MOS Device Properties by Combination of NO and POCl₃ Annealing ", The 9th European Conference on Silicon Carbide and Related Materials (ECSCRM2012), Saint-Petersburg (Russia), 2012/9/5.

〔図書〕(計2件)

1. 矢野裕司、エヌ・ティー・エス、「ポストシリコン半導体 - ナノ成膜ダイナミクスと基板・界面効果 - 」、(2013). (分担: 第2編、第1章、第4節 SiC デバイスプロセスにおける新規表面・界面改質技術 pp.94-104) .
2. 矢野裕司、S&T 出版、「SiC パワーデバイスの開発と最新動向 - 普及に向けたデバイスプロセスと実装技術 - 」 岩室憲幸 監修 (2012). (分担: 第2章 - 第4節 MOS 界面欠陥の低減技術と高品質化 pp.42-52) .

〔産業財産権〕

出願状況 (計 0 件)

取得状況 (計 0 件)

6. 研究組織

(1)研究代表者

矢野 裕司 (YANO, Hiroshi)

筑波大学・数理物質系・准教授

研究者番号: 4 0 3 3 5 4 8 5