

筑波大学大学院博士課程

数理物質科学研究科博士論文

博士（工学）

微細シリコンMOSトランジスタの  
高性能化とリーク電流低減に関する研究

上 嶋 和 也

ナノサイエンス・ナノテクノロジー専攻

## 目次

第1章 序論.....	1
1-1. 研究背景.....	2
1-2. 研究指針.....	7
1-2-1. MOSFET の構造と動作原理	
1-2-2. MOSFET の性能向上指針	
1-2-3. MOSFET のリーク電流低減指針	
参考文献 .....	15
第2章 ロジックランジスタの高性能化 .....	17
2-1. ゲート電極設計1 .....	18
2-1-1. はじめに	
2-1-2. Poly-SiGe ゲート電極構造	
2-1-3. ゲート空乏化とデバイス特性	
2-1-4. ゲート酸化膜の信頼性と破壊メカニズム	
2-1-5. まとめ	
2-2. ゲート電極設計2 .....	30
2-2-1. はじめに	
2-2-2. サブ 100nm 多結晶ゲート MOSFET の劣化現象	
2-2-3. 反転容量の低下機構と高反転容量 CMOSFET	
2-2-4. まとめ	
2-3. ソース・ドレイン接合設計 .....	42
2-3-1. はじめに	
2-3-2. 拡散レスアニールによる接合設計	
2-3-3. 短チャネル MOSFET の電気特性	
2-3-4. 寄生抵抗の低減とゲート長スケールリングの延長	
2-3-5. まとめ	
2-4. チャネルストレス制御 .....	58
2-4-1. はじめに	
2-4-2. デバイスコンセプト	
2-4-3. ストレス窒化膜のレイアウトの改善	
2-4-4. 二重除去層を有するスペーサーの導入	
2-4-5. 密着層の導入	
2-4-6. 引張ストレス窒化膜先づくりプロセス	

2-4-7. 高効率チャネルストレス印加技術による MOSFET の性能向上率	
2-4-8. まとめ	
参考文献 .....	76
第 3 章 混載 DRAM 用トランジスタのリーク電流低減 .....	79
3-1. 混載 DRAM 用のリーク電流低減技術.....	80
3-1-1. はじめに	
3-1-2. 従来型プレーナーFET におけるオフリーク電流	
3-1-3. せり上げ S/D (RSD) FET によるオフリーク電流の低減	
3-1-4. まとめ	
3-2. シリコン中の結晶欠陥分析の必要性 .....	95
参考文献 .....	98
第 4 章 接合リーク電流元となるシリコン結晶中の欠陥分析.....	100
4-1. 電流検出型の電子スピン共鳴法の原理.....	101
4-1-1. 電子スピン共鳴法 (ESR) の原理	
4-1-2. 接合リーク電流での電流検出 ESR (EDMR)	
4-1-3. ESR と EDMR の違い ～マイクロ波パワー依存性	
4-1-4. EDMR 法の定量性	
4-2. EDMR 測定装置.....	110
4-2-1. 装置構成	
4-2-2. 磁場変調法による S/N 比向上	
4-3. サンプル作製.....	114
4-3-1. MOSFET 作製法	
4-3-2. MOSFET 構造	
4-3-3. シリコン基板中の不純物分布	
4-4. 超微細分裂と EDMR スペクトル .....	120
4-4-1. 超微細分裂による炭素とフッ素の判別	
4-4-2. EDMR スペクトルの測定結果	
4-4-3. 信号の線幅の影響	
4-4-4. ピークフィッティングによる EDMR 信号の抽出	
4-5. エッチング時間の違いによる EDMR スペクトルの変化 .....	133
4-5-1. 接合リーク電流の変化	
4-5-2. EDMR スペクトルの変化	
4-6. Ci の起源同定 .....	137
4-6-1. g テンソルとスピンハミルトニアン	

4-6-2.	Ci と既知の欠陥との比較	
4-6-3.	Ci の原子構造	
4-6-4.	Ci に見られる missing line とデバイス中のストレス	
4-7.	Fi の起源同定 .....	149
4-7-1.	超微細結合テンソルとスピンハミルトニアン	
4-7-2.	Fi と、 $F_n V_m$ 欠陥との比較	
4-7-3.	Fi の $^{19}\text{F}$ 超微細分裂に見られる特徴	
4-7-4.	Fi の超微細結合テンソルの決定	
4-7-5.	Fi の原子構造	
4-7-6.	FBC の波動関数分布とボンドセンター水素との類似	
4-8.	Ci, Fi 以外のマイナー欠陥に関する検討 .....	164
4-8-1.	Ci 以外のカーボン欠陥の可能性	
4-8-2.	Fi 以外のフッ素関連欠陥の可能性	
4-8-3.	水素関連欠陥の可能性	
4-8-4.	MOSFET 内の格子間シリコンの挙動	
4-9.	4章のまとめ .....	175
	参考文献 .....	177
第5章 結論 .....		181
研究業績一覧 .....		185
謝辞 .....		187

# 第1章

## 序論

## 1-1. 研究背景

現在、あらゆる電子機器の中には、LSI (Large Scale Integrated Circuit 大規模集積回路) と呼ばれる電子部品が入っている。この LSI は、人間で言えば頭脳に相当するもので、大量の情報をプールしたり、それを演算処理したり、電子機器を制御したりしている。

LSI は、シリコン基板上につくられる。そして、そこには、大量の電子素子が集積されている(図 1-1)[1]。その中には、受動素子(容量、インダクタ、抵抗素子など)、多数の配線、が含まれるが、演算をつかさどる能動素子の主役は MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor 金属-酸化物-半導体 電界効果トランジスタ) である。MOSFET は、3端子のスイッチング素子であり、デジタル信号の演算を行う最小単位の電子素子である。MOSFET は、シリコン基板の表面部分に作りこまれている(図 1-1-1)。

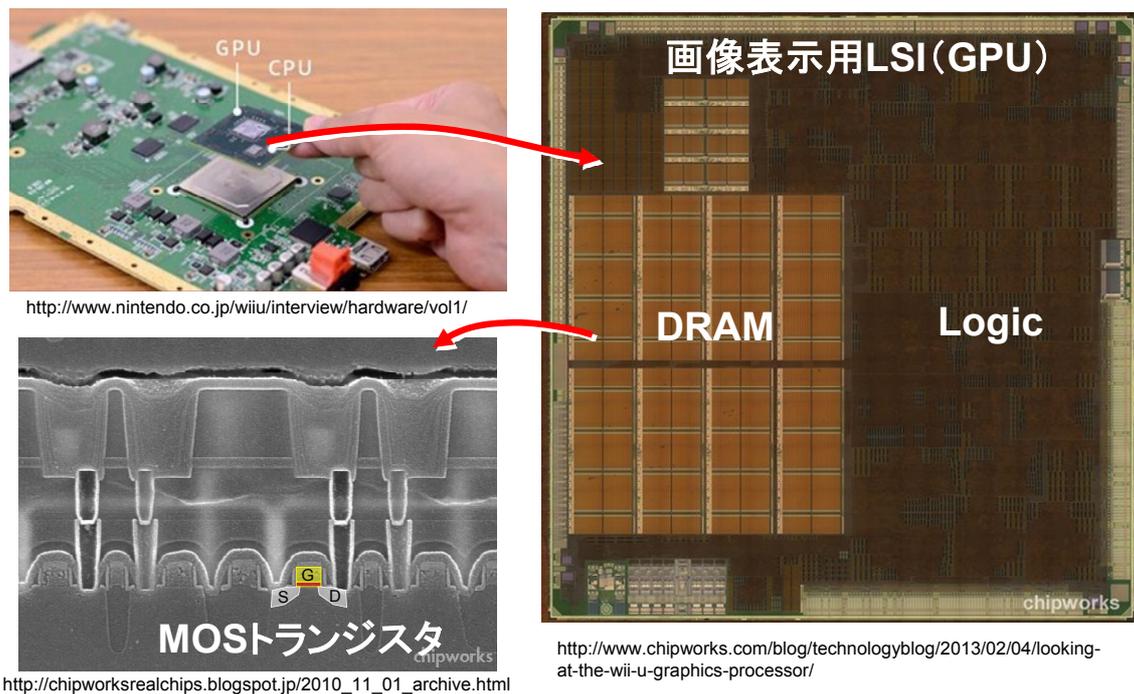


図 1-1-1. LSI の例(画像表示用 LSI)

画像は各 URL (下に記載) より引用。最先端の LSI では、数十億個を超える MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor 金属-酸化物-半導体 電界効果トランジスタ) が数 mm 角から 1~2cm 角の 1つのシリコン基板上に集積されている。演算をつかさどる論理回路 (Logic 回路) に加えて、近年は情報を蓄えている情報記憶 (メモリ) 部の大容量化が著しい。上図は、Logic に混載されるメモリとしてごく一般的な SRAM (Static Random Access Memory) に加え、DRAM (Dynamic Random Access Memory) も混載した LSI。

現在の最先端のLSIでは、数十億個のMOSFETが集積されているため、MOSFET1つ1つの性能は、LSI全体の性能に大きな影響を与える。このMOSFETの高性能化には、スケーリング則（縮小則）と呼ばれる有名な指針がある（図1-1-2）[2]。このスケーリング則に従って、年を追って、LSIは性能向上してきた。工業的、商業的には、LSIに対して、世代、という独特の指標がある。これは、大まかに言うとMOSFETの大きさの半分程度の大きさ、ないし、ゲート長程度の大きさだと思えばよい。この世代は、年を追って、微細化してきていることが分かる（図1-1-3）[3]。本研究では、この微細化の各課題に対し、どのようにMOSFETの形状や接合、製造方法をデザインし取り組んだか、について述べる。

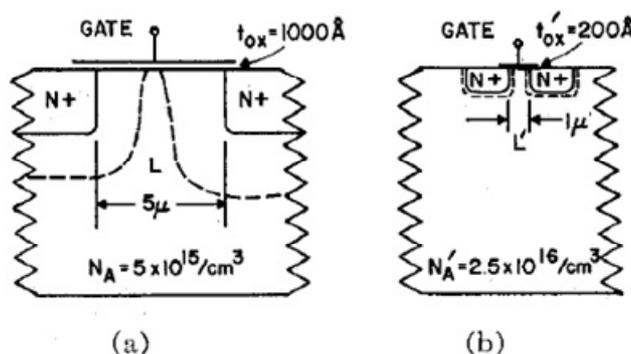


Fig. 1. Illustration of device scaling principles with  $\kappa = 5$ . (a) Conventional commercially available device structure. (b) Scaled-down device structure.

TABLE I  
SCALING RESULTS FOR CIRCUIT PERFORMANCE

Device or Circuit Parameter	Scaling Factor
Device dimension $t_{ox}, L, W$	$1/\kappa$
Doping concentration $N_a$	$\kappa$
Voltage $V$	$1/\kappa$
Current $I$	$1/\kappa$
Capacitance $\epsilon A/t$	$1/\kappa$
Delay time/circuit $VC/I$	$1/\kappa$
Power dissipation/circuit $VI$	$1/\kappa^2$
Power density $VI/A$	1

図1-1-2. MOSFETのスケーリング則 (R. Dennard, IEEE JSSC, 1974)  
MOSFETは、その形状を比例的に縮小していくことにより、動作速度が向上する。かなりおおざっぱに言うと、チャンネル抵抗とゲート容量が低減するためである。

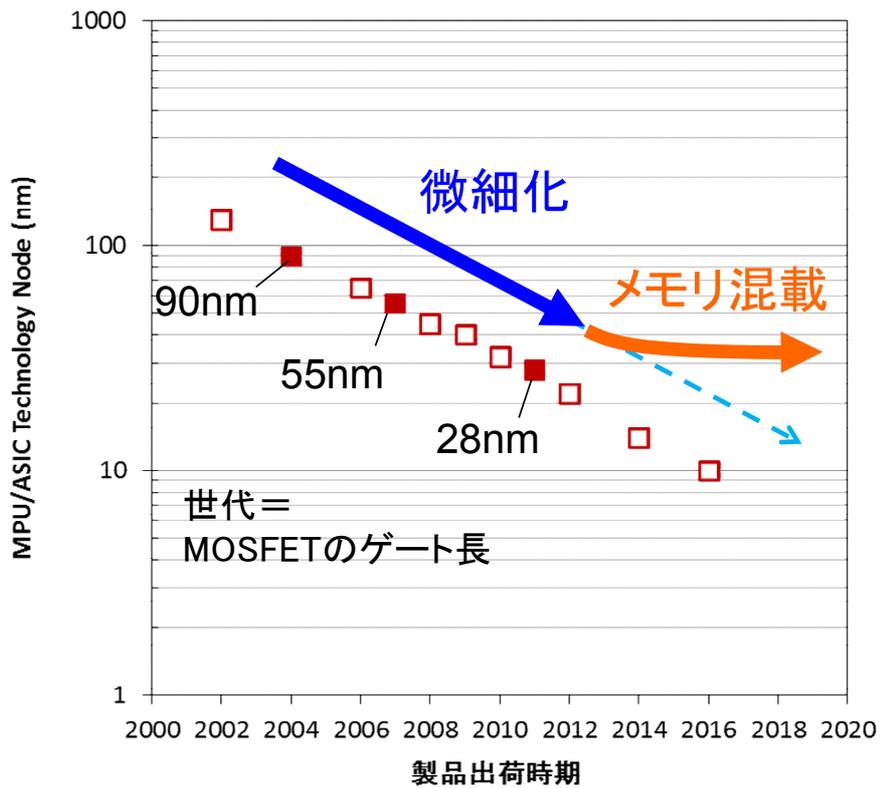


図 1-1-3. シリコン LSI の開発のトレンド

世代は、インテル社、グローバルファウンドリーズ社、旧 NEC エレクトロニクス社の公表値をもとに作成。世代 (nm) の数値は決まった定義はないが、概ね、ゲート長程度の数値と考えると分かりやすい。世代が小さいほど、LSI に集積される MOSFET の大きさが小さくなっていることを意味する。MOSFET の微細化が進み、ロジックのスピードが十分速くなっていくにつれて、LSI 外部のメモリとのやり取りがシステム全体のスピードの足を引っ張るようになってきた。そこで近年、大容量のメモリを LSI 内部に混載する技術が注目されるようになってきた。

しかし、LSI チップを複数用いたシステム全体で見ると必ずしも順調には性能向上しない。これには非常にさまざまな原因があるが、原因のひとつとして、論理(ロジック)LSI と情報記憶(メモリ)LSI の間の通信のボトルネックがあげられる[4-7]。

メモリは、搭載容量を最優先に開発されてきたため、スピード向上の優先度は必然的に落とされてきた。従って、スピードの観点で、一般にロジックより遅い(図 1-1-4)。

また、ロジックとメモリのバス幅(単位時間あたりに転送できるメモリ容量)の問題がある(図 1-1-5)。ロジック LSI (MPU など)とそのメインメモリである DRAM (Dynamic Random Access Memory)チップは、プリント基板上に実装され、パッケージのピンを介してある本数の信号線で行なわれている。しかし、実装の観点により、それほど信号線本数を増やせない。このことは、単位時間あたりに転送できるメモリ容量(バス幅)に制限をかけてきた[8-9]。

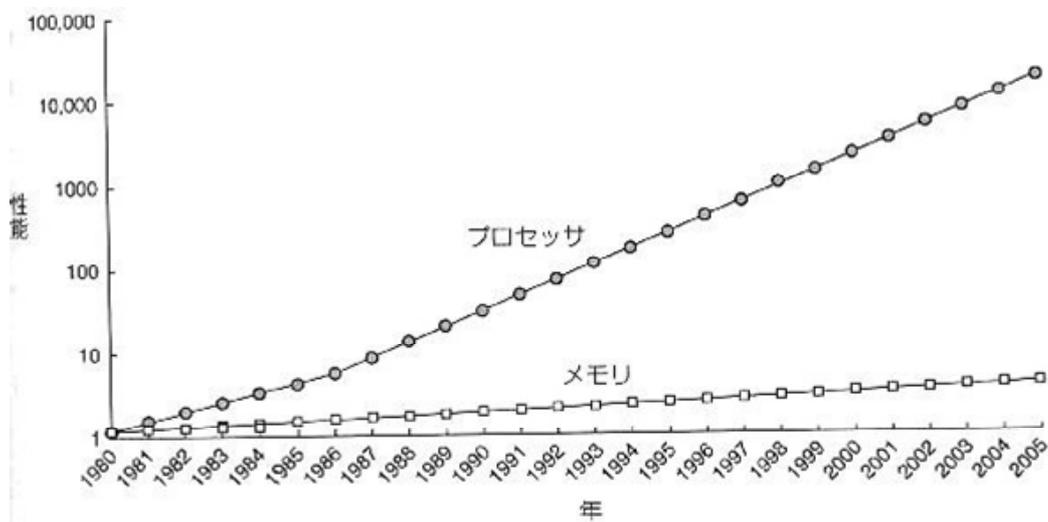


図 8.2 プロセッサとメモリ性能の乖離

図 1-1-4. プロセッサ(ロジック)とメモリ性能の乖離  
 デイビッド・マネー・ハリス他、「デジタル回路設計とコンピュータアーキテクチャ」、  
 翔泳社、2009 年

このような問題を解決するために、DRAM をロジック LSI 内部に取り込む技術が提案されている(図 1-1-5)[6-9]。これは混載 DRAM と呼ばれる技術である。DRAM をロジック回路と1つの LSI 上に混載化することにより、少ないピン数によるバス幅の制限から開放される。また、混載化により、高速なランダムアクセスが可能となり、ロジックとメモリ間のボトルネックの低減が可能となる。

しかしながら、製造方法の異なるロジックとDRAMをひとつのシリコン基板上に作りこむことは、簡単ではない。しかも、ロジック用の MOSFET の性能が変動してはならない。変動してしまうと、LSI の回路を設計する際に、過去の設計資産をそのまま適用できず莫大なコストアップを招く。従って、混載 DRAM の場合は、ロジック LSI 製造用の製造工程を採用しつつ、DRAM としての性能をできるだけ維持する高い製造技術が求められることとなる[8]。本研究では、混載 DRAM に使われる制御用 MOSFET のリーク電流低減手法についても述べる。

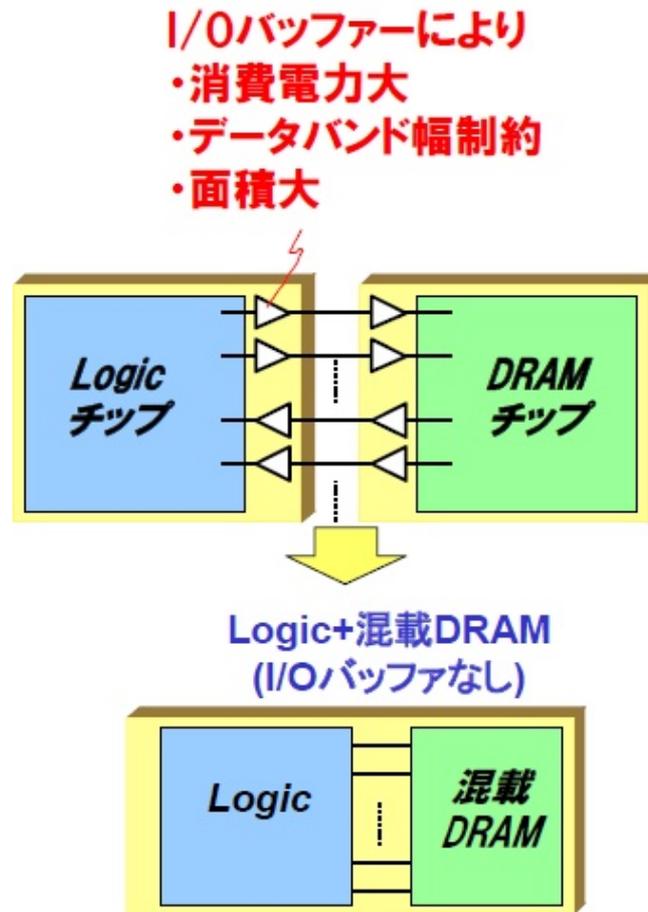


図 1-1-5. 混載 DRAM のコンセプト [8,9]  
東京工業大学 大学院理工学研究科 電子物理工学専攻 VLSI 工学 講義ノートより

## 1-2. 研究指針

### 1-2-1. MOSFET の構造と動作原理

図 1-2-1 に、MOSFET の断面模式図を示す[10,11]。ここでは、N 型の MOSFET を示している。MOSFET は、ソースとドレインという2つの電極間の抵抗を、ゲートの電極の電圧により、制御する素子である。

ソースとドレインの間は、シリコンの NPN 構造をしている。NPN の P 領域 (チャネル) は、電子に対して障壁として作用するため、ゲートの電圧がゼロの状態では、ドレインに電圧をかけても電流が殆ど流れない。これをオフ状態と呼ぶ。しかし、ゲート電圧を正の方向に高くすると、チャネルの障壁が押し下げられ (電界効果)、ソースとドレイン間に電流が流れるようになる。ちょうど時のゲート電圧をしきい値電圧  $V_{th}$  と呼ぶ。

なお、ゲートは、シリコン基板と絶縁膜 (ゲート絶縁膜) で絶縁されているため、ゲートとシリコン基板間には、量子力学的なトンネルによる微小なリーク電流を除けば、電流は流れない。このことは、MOSFET が低電力に適した電子素子である理由の一つである。

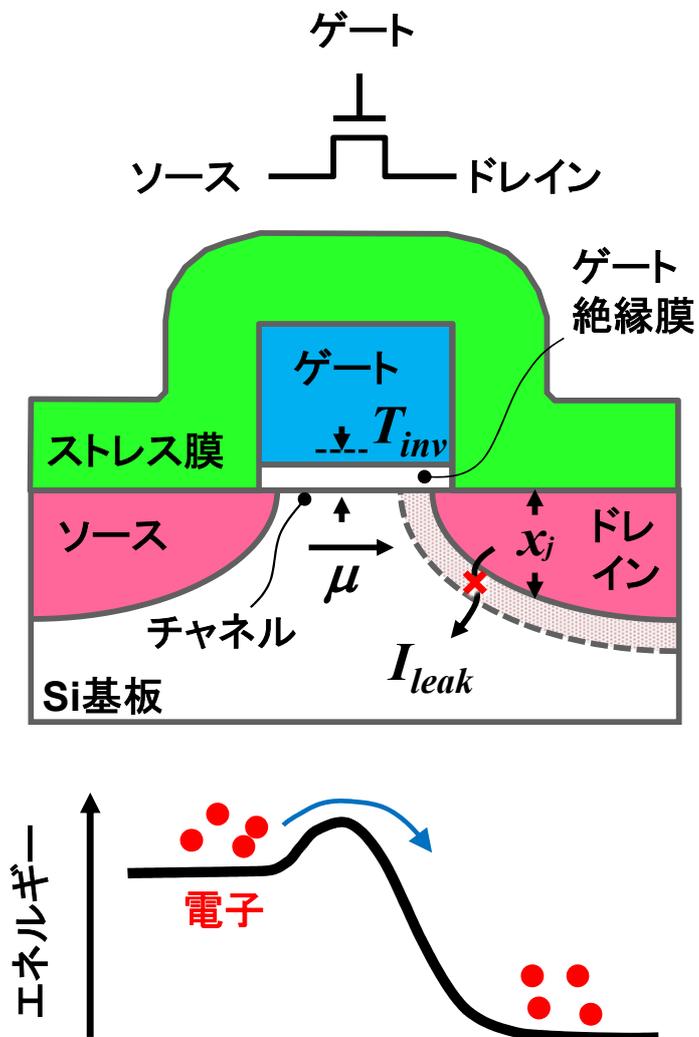


図 1-2-1. MOSFET の断面構造と電子に対するエネルギー障壁  
 ゲート電圧が0Vのときのソースの電子に対するエネルギー障壁高さは、概ね、MOSFET のしきい値電圧に相当する[2]。従って、ゲート電極にしきい値電圧以上の電圧を印加すると、ソースとドレイン間に電流が流れるようになる。

1-2-2. MOSFET の性能向上指針

MOSFET の性能を向上するには、ソース、ドレイン、ゲート、チャネルの働きが十分発揮できるように、形状や PN 接合をデザインしなくてはならない。

例えば、ゲートによるチャネルの制御性を高めること、すなわち単位面積あたりのゲート容量を大きくし、電界効果を高めることが、MOSFET のオン電流を高め、オフ電流を下げる上で重要である[11]。単位面積あたりのゲート容量を高めるには、ゲート絶縁膜を薄くすればよい。本研究では、ゲート電極材料であるポリシリコンが空乏化し、電気的なゲート絶縁膜厚 ( $T_{inv}$ ) が厚く見える現象 [10,12]を軽減する技術について取り組んだ(図 1-2-2)。

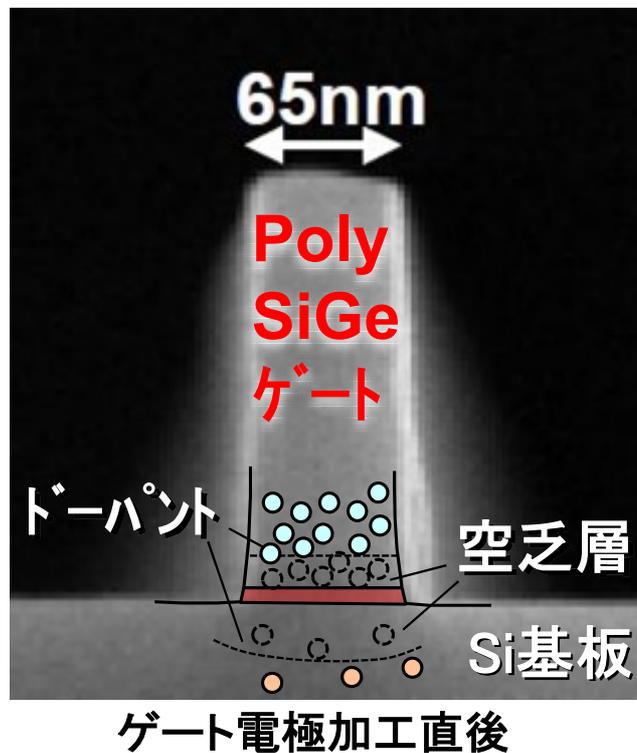


図 1-2-2. ゲート電極とゲート空乏層

32nm 世代以前の MOSFET のゲート電極には、不純物 (NMOS ならリンまたはヒ素、PMOS ならボロン) をドーピングしたポリ Si を主に用いる。ドーピングしたシリコン中のキャリア濃度は、金属よりも低いため、ゲート電極に電圧をかけるとゲート絶縁膜界面が空乏化する。この空乏層は、ゲート絶縁膜のように振る舞うため、あたかも、ゲート絶縁膜厚が厚くなったように見える。ゲート絶縁膜厚が 2nm 程度まで薄くなると、この現象のために、MOSFET の性能が狙い通りに向上しない。ポリ Si の代わりにポリ SiGe を用いたり、ポリ結晶の粒径やドーピングの方法を工夫したりすると、ゲートの空乏層を減らすことができる。

しかしながら、単純にゲート容量が高いと、CR 時定数により、ゲート電極の昇圧が遅くなるため、スイッチングスピードが遅くなる(図 1-2-3)。そこで、ゲート絶縁膜厚を薄くしつつ、ゲートの長さや幅、すなわちゲートの面積も短くすればよい。そうすることにより、電界効果を高く保ちつつゲート容量を低減できるため、スイッチングスピードを高めることが可能になる。また、ソースとドレイン間の距離が縮まるので、ソース・ドレイン間の抵抗が低減する。この効果も、MOSFET のスイッチングスピードを高めることに寄与する。このように、MOSFET を小さくすることによってスイッチング素子としての性能を向上する手法は、いわゆる MOSFET のスケールリング則の骨格をなすものである[2,10]。

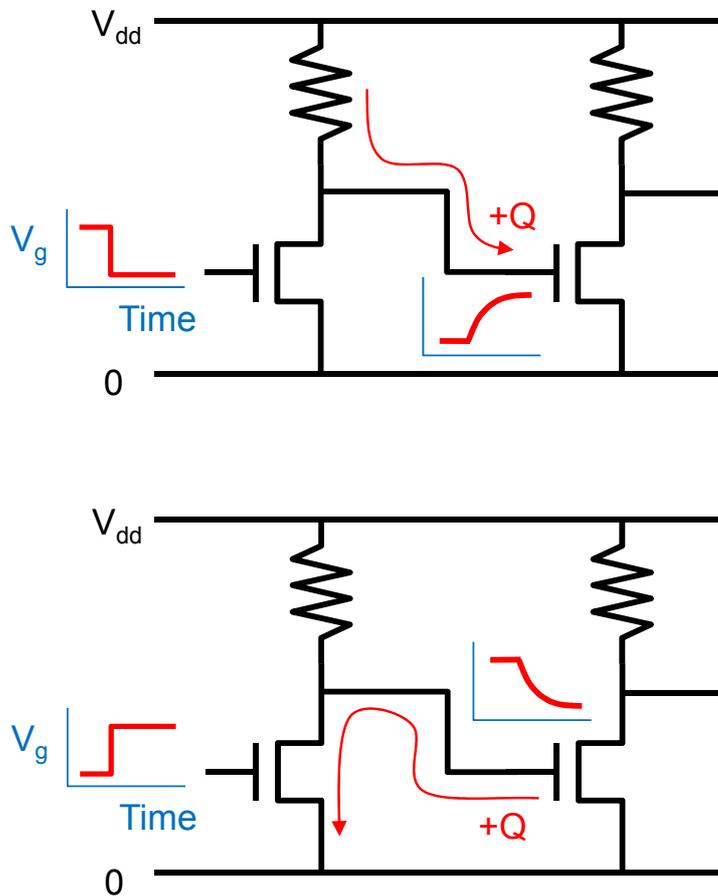


図 1-2-3. MOSFET によるインバータ動作  
ゲート容量が大きすぎると、次段のゲートの昇圧が遅くなる。また、MOSFET のソース・ドレイン間の抵抗(オン抵抗)が大きくなると、次段のゲートの降圧が遅くなる。実際の LSI では、負荷は抵抗ではなく P 型 MOSFET を用いるが、ここではわかりやすさのため、抵抗で表記した。

しかし、ソースとドレインの距離が短くなると、ソース・ドレイン両電極のチャンネルへの電氣的な寄与がどんどん強まる(図 1-2-4 上段)[10,13]。すると、ゲートによるチャンネルの制御性、すなわち電界効果が落ちることになる。これを短チャンネル効果と呼ぶ。これを防ぐためには、ソースとドレインのシリコン基板表面からの深さ( $x_j$ )を浅くすればよい[13]。本研究では、新しい製造方法によって、極限までソースとドレインの深さ  $x_j$ を浅くする技術について取り組んだ(図 1-2-4 下段)。

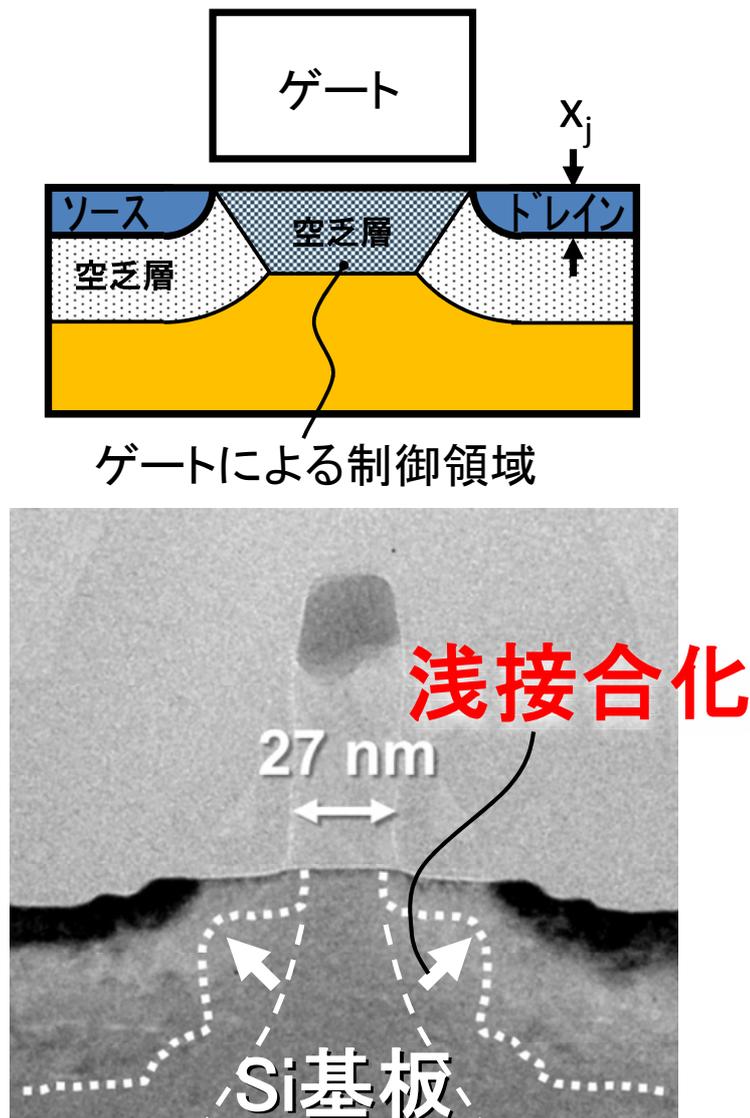


図 1-2-4. MOSFET の容量分布模式図(上段)と浅いソース・ドレイン接合を有する短チャンネル MOSFET の断面 TEM 像(下段)  
 ソース・ドレイン接合が深くなると、チャンネル領域の空乏層へのソース・ドレインの寄与が大きくなり、ゲートによるチャンネルの制御性が低下する(短チャンネル効果)。本研究では、新しい製造方法によって極限までソースとドレインの深さを浅くし、プレーナーバルク型の MOSFET の微細化の限界を追求した。

一方、このような浅接合化により、ソースとドレインの抵抗が高くなり、オン状態でのソースとドレイン間の抵抗(オン抵抗)が高くなる弊害がある。すると、スイッチングスピードが低下してしまう。したがって、オン抵抗を下げる工夫が必要である。オン抵抗の最大の成分はチャンネル抵抗であるため、チャンネル抵抗を下げることは効果がある[14]。

そのひとつの方法として、チャンネルを走行する電子の移動度向上が挙げられる。シリコンにストレスを印加すると、電子の移動度が変化することが知られている(ピエゾ抵抗効果)[15]。従って、うまくチャンネルにストレスをかけると、チャンネル抵抗を下げ、結果として、オン抵抗を下げる事が可能となる。本研究では、ストレス膜からチャンネルへ効率よくストレスを伝搬させ、MOSFET の性能を向上させる技術について取り組んだ(図 1-2-5)。

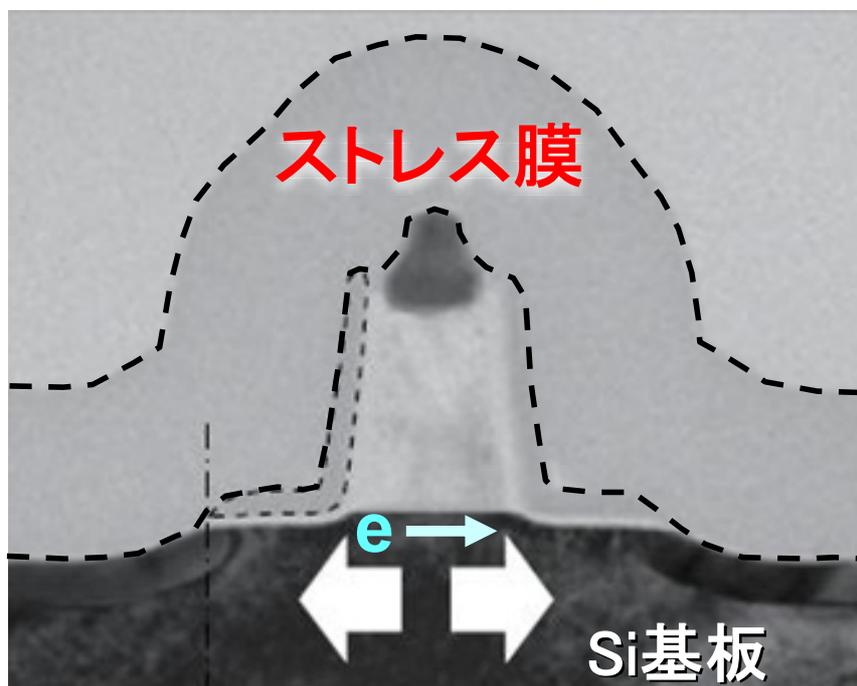


図 1-2-5. ストレス膜を用いた MOSFET のチャンネルへのストレス印加  
ストレス印加によって電子や正孔の移動度を向上させることができる。そのため  
には、ストレス膜のストレスを強めるだけでなく、より強力なストレスがチャンネル  
にかかるよう、構造を工夫する必要がある。

1-2-3. MOSFET のリーク電流低減指針

前項では、デジタル論理素子としてのスイッチングスピード向上の観点で MOSFET の素子設計指針を述べたが、低消費電力への取り組みも重要である。前節で述べたように、最先端の LSI では、数十億個を超える MOSFET が集積されている。従って、ひとつひとつの MOSFET の、動作とは何ら関係のないリーク電流の存在は、無視できない無駄な消費電力となる。

リーク電流は、LSI の中でも、特に DRAM (Dynamic Random Access Memory) の性能に決定的な影響を与える。これは、DRAM の情報保持時間が、リーク電流の大きさに反比例するからである [5]。本研究では、この DRAM (混載 DRAM) の制御用 MOSFET のリーク電流の削減についても取り組んだ (図 1-2-6)。

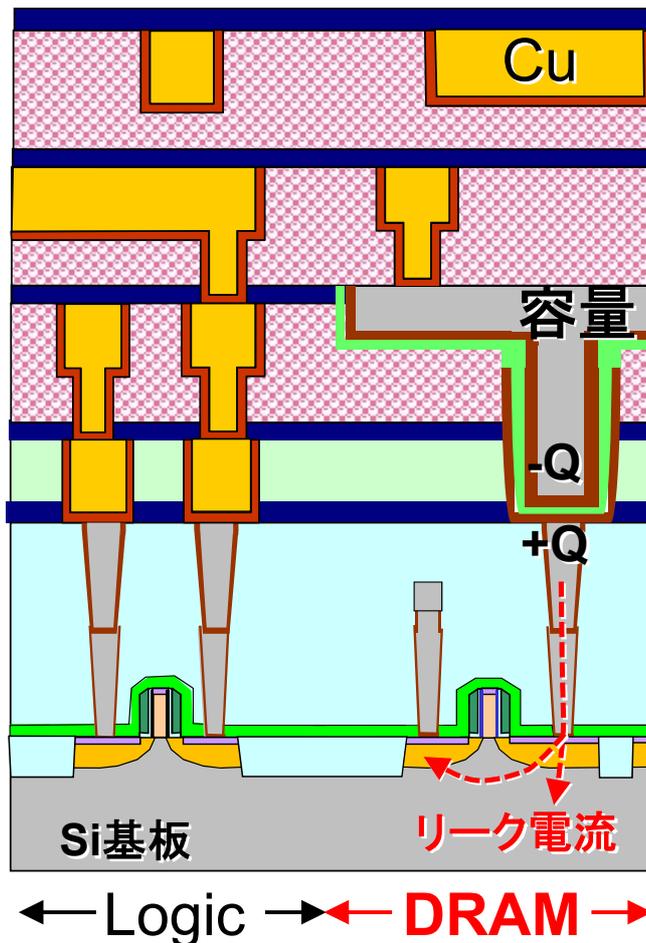


図 1-2-6. 混載 DRAM の断面図[17]

DRAM 制御用の MOSFET のリーク電流は、DRAM の情報保持時間に直接影響を与える。

リーク電流には、オフ状態でのソース・ドレイン間のリーク電流(サブスレッショルドリーク電流)、ゲートリーク電流、のほかに、ドレインから基板に流れる接合リーク電流があげられる[16]。サブスレッショルドリーク電流、ゲートリーク電流は、MOSFET の素子設計の工夫により低減できる余地がある成分であるが、接合リーク電流は、低減が容易でない。これは、人為的には制御が難しい、シリコン結晶中の結晶欠陥が原因のひとつだからである[18-19]。従って、究極的な LSI の消費電力の律速成分は、接合リーク電流になるかもしれない。本研究では、接合リーク電流の原因のひとつとなる、シリコン結晶中の結晶欠陥の分析にも取り組んだ(図 1-2-7)。

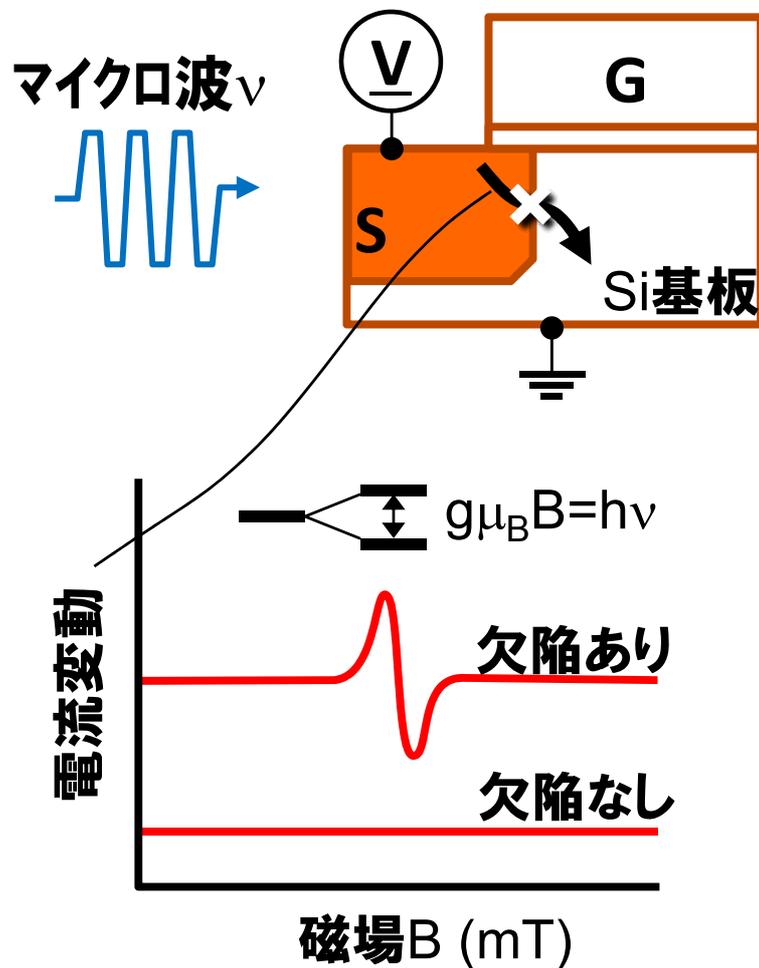


図 1-2-7. 電流検出型の電子スピン共鳴法による接合リーク電流欠陥の分析の概念図

## 第1章の参考文献

[1] 各 URL より引用:

<http://www.nintendo.co.jp/wiiu/interview/hardware/vol1/>

<http://www.chipworks.com/blog/technologyblog/2013/02/04/looking-at-the-wii-u-graphics-processor/>

[http://chipworksrealchips.blogspot.jp/2010\\_11\\_01\\_archive.html](http://chipworksrealchips.blogspot.jp/2010_11_01_archive.html)

[2] R. H. Dennard, F. H. Gaensslen, H-N Yu, V. L. Rideout, E. Bassous, and A. R. LeBlanc, "Design of ion-implanted MOSFET's with very small physical dimensions", IEEE J. Solid-State Circuits (JSSC), v. SC-9, pp. 256-268 (1974).

[3] インテル社、グローバルファウンドリーズ社、旧 NEC エレクトロニクス社の公表値をもとに作成。数値はメーカーによって多少異なるが、1~2 年程度の誤差はある。

[4] D. M. Harris, S. L. Harris、「デジタル回路設計とコンピュータアーキテクチャ」、翔泳社、2009 年。

[5] 角南英夫、「半導体メモリ」、コロナ社、2008 年 7 月。

[6] 井上弘士、石原亨、甲斐康司、村上和彰、「DRAM/ロジック混載 LSI 向け高性能/低消費電力キャッシュ・アーキテクチャ」、情報処理学会論文誌, vol. 42, no. 3, pp. 419-431 (2001).

[7] 森下玄、「システム LSI 向け混載 DRAM の高性能化と超低消費電力化に関する研究」、早稲田大学大学院情報生産システム研究科 博士論文、2005 年 6 月。

[8] Y. Yamagata, H. Shirai, H. Sugimura, S. Arai, T. Wake, K. Inoue, T. Sakoh, M. Sakao, T. Tanigawa, "Device Technology for embedded DRAM utilizing stacked MIM (Metal-Insulator-Metal) Capacitor", Custom Integrated Circuits Conference 2006 (CICC '06), pp. 421-427 (2006).

[9] 日高秀人、「VLSI 工学 混載メモリ技術」、東京工業大学 大学院理工学研究科 電子物理工学専攻 VLSI 工学 講義ノートより。

[10] Y. Taur, T. H. Ning、「最新 VLSI の基礎」、丸善出版、2002 年 9 月。

[11] Y. Taur, "CMOS design near the limit of scaling", IBM Journal of Research and Development, vol. 46, no. 2/3, pp. 213-222 (2002).

[12] S. H. Lo, "Modeling and characterization of quantization, polysilicon depletion, and direct tunneling effects in MOSFETs with ultrathin oxides", IBM Journal of Research and Development, vol. 43, no. 3, pp. 327-337 (1999).

[13] L. D. Yau, "A SIMPLE THEORY TO PREDICT THE THRESHOLD VOLTAGE OF SHORT-CHANNEL IGFET's", Solid-State Electronics, vol. 17, pp. 1059-1063 (1974).

[14] A. M. Noori, M. Balseanu, P. Boelen, A. Cockburn, S. Demuynck, S. Felch, S. Gandikota, A. J. Gelatos, A. Khandelwal, J. A. Kittl, A. Lauwers, W.-C. Lee, J. Lei, T. Mandrekar, R.

- Schreutelkamp, K. Shah, S. E. Thompson, P. Verheyen, C.-Y. Wang, Li-Q. Xia, and R. Arghavani, "Manufacturable Processes for < 32-nm-node CMOS Enhancement by Synchronous Optimization of Strain-Engineered Channel and External Parasitic Resistances", IEEE TRANSACTIONS ON ELECTRON DEVICES, vol. 55, no. 5, pp. 1259-1264 (2008).
- [15] S. Suthram, J. C. Ziegert, T. Nishida, and S. E. Thompson, "Piezoresistance Coefficients of (100) Silicon nMOSFETs Measured at Low and High (~1.5 GPa) Channel Stress", IEEE ELECTRON DEVICE LETTERS, vol. 28, no. 1, pp. 58-61 (2007).
- [16] S. Dhar, M. Pattanaik, and P. Rajaram, "Advancement in Nanoscale CMOS Device Design En Route to Ultra-Low-Power Applications", VLSI Design, vol. 2011, Article ID 178516, 19 pages (2011).
- [17] K. Hijioka, N. Inoue, I. Kume, J. Kawahara, N. Furutake, H. Shirai, T. Itoh, T. Ogura, K. Kazama, Y. Yamamoto, Y. Kasama, H. Katsuyama, K. Manabe, H. Yamamoto, S. Saito, T. Hase, Y. Hayashi, "A novel cylinder-type MIM capacitor in porous low-k film (CAPL) for embedded DRAM with advanced CMOS logics", Technical Digest of IEEE International Electron Devices Meeting (IEDM), pp. 33.3.1 - 33.3.4 (2010).
- [18] M. Wang and M. J. Kushner, "Modeling of implantation and mixing damage during etching of SiO<sub>2</sub> over Si in fluorocarbon plasmas", J. Vac. Sci. Technol. A 29, 051306 (2011)
- [19] J. Lee, C. Cho, J. Lee, S. Shin, J. Lee, D. Kwak, K. Lee, B. Roh, T. Chung, and K. Kim, "Highly Extendible Memory Cell Architecture for Reliable Data Retention Time for 0.10 μm Technology Node and beyond", Proceedings of the 32th European Solid-State Device Research Conference (ESSDERC), pp. 571-574 (2002).

## 第2章

# ロジックランジスタの高性能化

## 2-1. ゲート電極設計1

### ～高信頼性 poly-SiGe/Amorphous-Si ゲート CMOS 技術

#### 2-1-1. はじめに

サブ0.1 $\mu\text{m}$ CMOS世代では、物理的なゲート絶縁膜厚( $T_{\text{ox}}$ )は1.5~2.0nmになる。このような微細CMOSにおいては、ゲート電極が空乏化し電氣的なゲート絶縁膜厚が増加する、“ゲート空乏化”が、高性能デバイスを実現する上で大きな障害となる。一方、poly-SiGeは、ゲート空乏化を抑えることが出来る為、サブ0.1 $\mu\text{m}$ CMOS世代の魅力的なゲート電極材料のひとつである[1-3]。poly-SiGeゲート電極CMOSにおいてはゲート酸化膜の信頼性が重要課題の一つである。本稿では、poly-SiGeゲート電極の酸化膜信頼性を解析するとともに、高信頼性と高性能を併せ持つpoly-SiGe/a-Siゲート構造を報告する。

#### 2-1-2. Poly-SiGeゲート電極構造

本研究では、従来の(i)poly-Si(150nm)、(ii) poly-SiGe(図2-1-1(a))、及び新しく提案した(iii) poly-SiGe/a-Si(図2-1-1(b))、の3つの構造のゲート電極を作製した。(ii)、(iii)では、poly-SiGeの膜厚をそれぞれ50nmとし、その上に100nmのキャップpoly-Siを設けた。これは、シリサイドを良好に形成するためである。ただし、本研究ではシリサイドを行わなかった。(iii)のa-Si層の厚さは3nmとした。本研究では、NMOSにn+ゲート、PMOSにp+ゲートを用いた。

図2-1-2に、a-Si層の有無を含む3種類の成膜条件で形成したゲート電極膜の、ソース・ドレイン熱処理後のGe濃度分布を示す。ゲート電極/ゲート酸化膜界面のGe濃度は、それぞれ27、19および13%であった。図より、熱処理後にキャップpoly-Si層とa-Si層にGeが拡散していることが分かる。すなわち、熱処理によって、a-Si層をSiGeに変化できたことを示している。

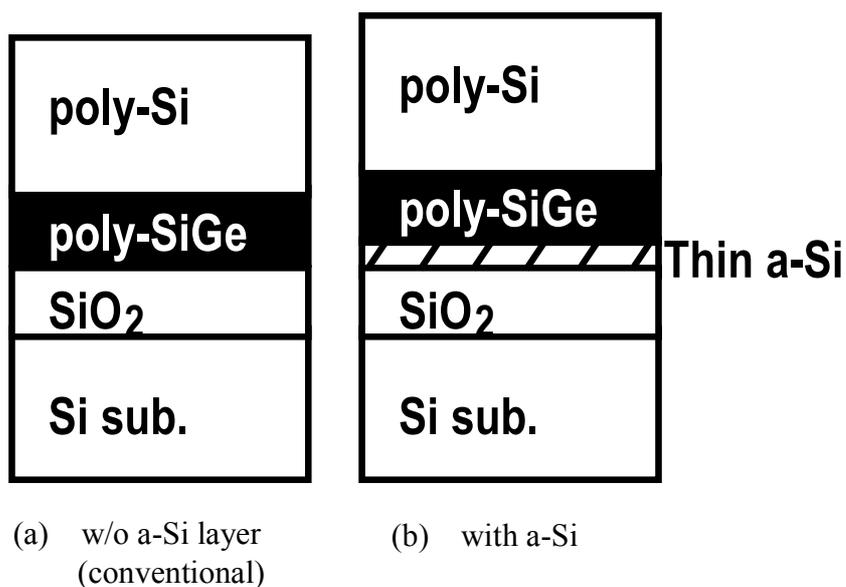


図 2-1-1. 本研究で比較した2種類の Poly-SiGe ゲートスタック構造  
 (a) 従来の poly-Si/poly-SiGe 構造、(b) 新しい poly-Si/poly-SiGe/a-Si 構造

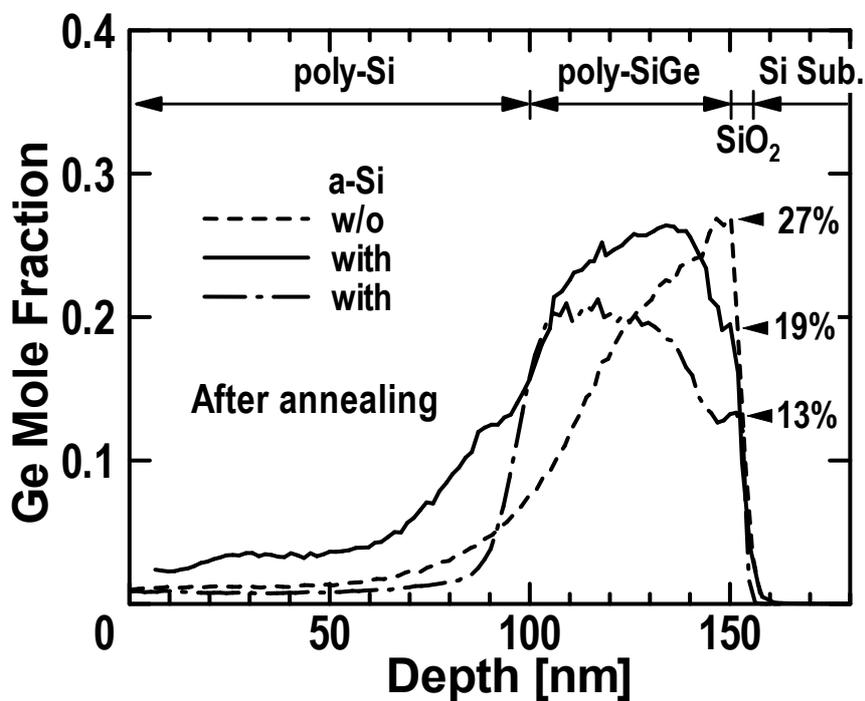


図 2-1-2. a-Si 層の有無を含む3種類の成膜条件で形成したゲート電極膜中の、ソース・ドレイン熱処理後の Ge 濃度分布  
 測定は、SIMS により行った。熱処理後にキャップ poly-Si 層と a-Si 層に Ge が拡散している。

2-1-3. ゲート空乏化とデバイス特性

図2-1-3に、poly-Si<sub>1-x</sub>Ge<sub>x</sub>/a-Siゲート電極とpoly-Si<sub>1-x</sub>Ge<sub>x</sub>ゲート電極を有するN/PMOSキャパシタのC-V特性を示す。ボロンをドーピングしたp+ゲートキャパシタでは、SiGeゲートで反転容量の増加が見られた。また、a-Si層を有するpoly-Si<sub>0.81</sub>Ge<sub>0.19</sub>ゲートの方が、a-Si層を持たないpoly-Si<sub>0.73</sub>Ge<sub>0.27</sub>ゲートより高い反転容量を示した。これは、ゲート空乏化が、Ge濃度だけで無く、結晶のストレス状態や粒径などにも依存することを示している。一方、リンドーピングn+ゲートキャパシタの反転容量は、すべてのゲート構造においてほぼ同一であった。この結果は、a-Si層がpoly-SiGe/a-Siゲートのゲート空乏化を劣化させないことを示している。

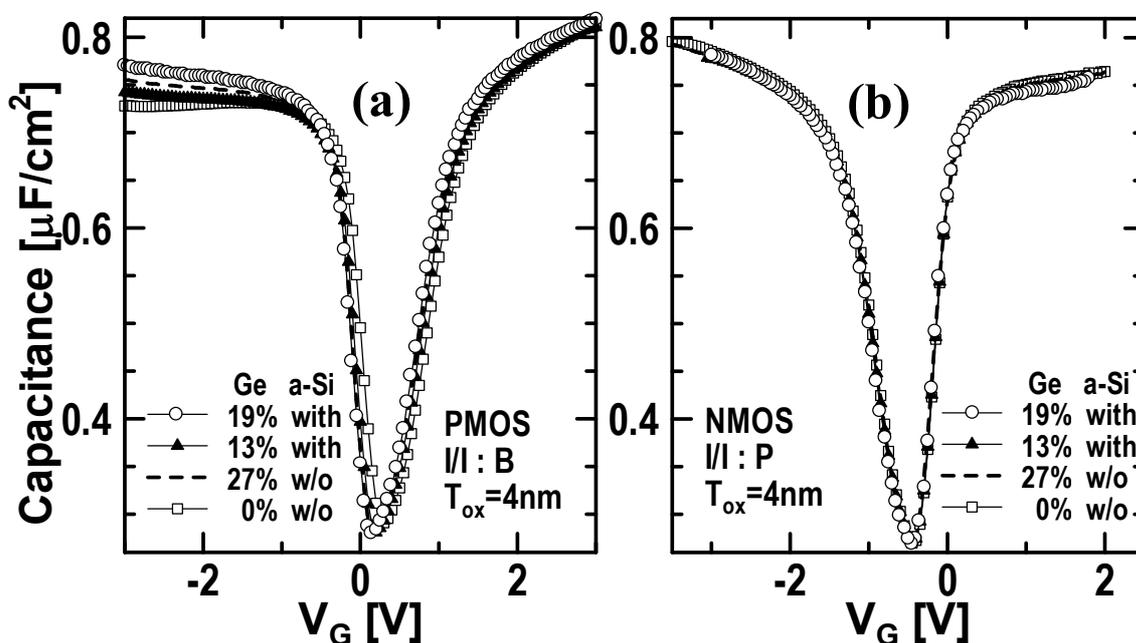


図 2-1-3. Poly-SiGe ゲート電極を有する MOS キャパシタの Quasi-static CV 特性 (a) PMOS、(b) NMOS。ボロンをドーピングしたゲート電極の場合、ゲート空乏化が低減した。a-Si は、ゲート空乏化を悪化させない。

$\text{Si}_{1-x}\text{Ge}_x$  のバンド構造は、Ge濃度 ( $x$ ) の増加とともに変化する[4]。図2-1-4に、SiGeのバンドギャップ減少量 ( $\Delta E_g$ ) とGe濃度の関係を示す。 $\Delta E_g$  は以下の式から計算した[5]:

$$\Delta E_g = q (\Delta V_{\text{FB\_PMOS}} - \Delta V_{\text{FB\_NMOS}})$$

ここで、 $\Delta V_{\text{FB\_PMOS}}$  は p+ poly- $\text{Si}_{1-x}\text{Ge}_x$  ゲート電極の p+ poly-Si ゲート電極に対する  $V_{\text{FB}}$  変化量、 $\Delta V_{\text{FB\_NMOS}}$  は n+ poly- $\text{Si}_{1-x}\text{Ge}_x$  ゲート電極の n+ poly-Si ゲート電極に対する  $V_{\text{FB}}$  変化量、である。 $x > 0.2$  の場合、poly-Si/a-Si の  $\Delta E_g$  は poly-SiGe の  $\Delta E_g$  と異なる特性を示した。この原因として、poly-Si/a-Si 構造は、従来の poly-SiGe 構造と比べて、ストレス状態が異なっていることが考えられる。

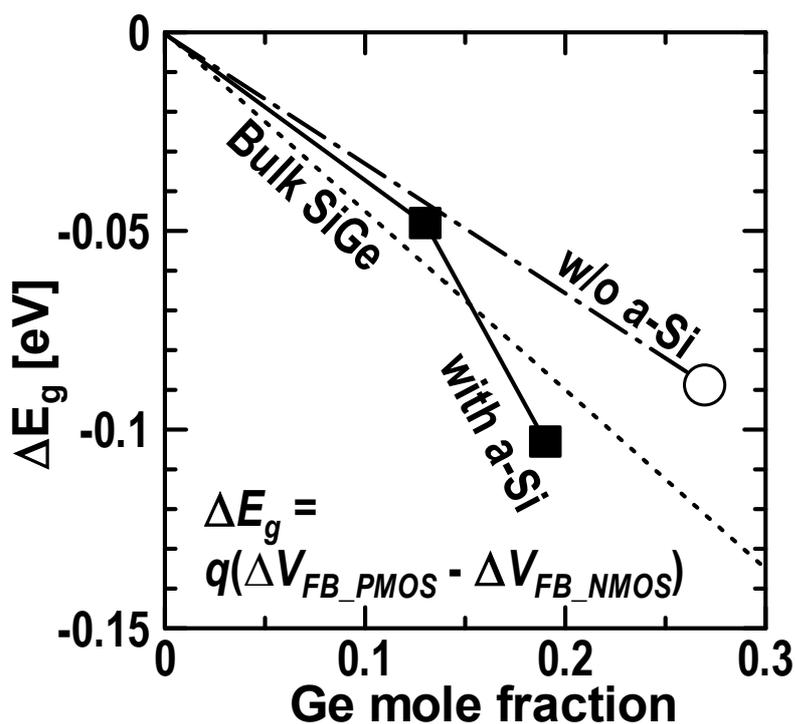


図 2-1-4. MOS ゲート電極の Poly-SiGe のバンドギャップ変化の Ge 濃度依存性  
バンドギャップ変化は、フラットバンド電圧の変化から計算した。a-Si 有無の差の一因として、poly-SiGe 中のストレスが考えられる。

図2-1-5に、poly-SiGe/a-Siゲート電極を有するN/PMOSFETの $I_D$ - $V_G$ 特性を示す。PMOSゲートにはボロンを、NMOSゲートにはヒ素とリンをドーブした。図2-1-5より、サブスレッショルド特性の劣化は見られなかった。一方、 $V_{TH}$ に変化が見られたが、これは、SiGeのバンド構造の変化によるものである。図2-1-6に $V_{TH}$ のワイブル分布を示す。 $V_{TH}$ のばらつき劣化は従来のpoly-Siゲートと同等であり、 $V_{TH}$ 変動を引き起こすようなGe濃度の変動は無いと言える。

図2-1-7に、 $I_D$ - $V_D$ 特性を示す。駆動電流は、PMOSで7%、NMOSで4%増加した。これは、ゲート空乏化の減少によるものである。NMOSの駆動電流の増加は、不純物にヒ素を用いたためである。poly-SiGe中ではヒ素の拡散が促進されるため[6]、NMOSでもゲート空乏化が減少した。

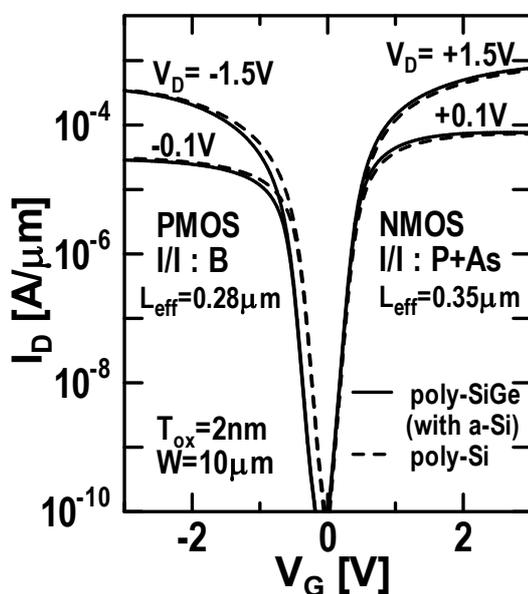


図 2-1-5. Poly-Si または poly-SiGe ゲート電極を有する NMOSFET と PMOSFET の  $I_D$ - $V_G$  特性  
Poly-SiGe ゲート電極においても、poly-Si と同等のサブスレッショルド特性が得られた。

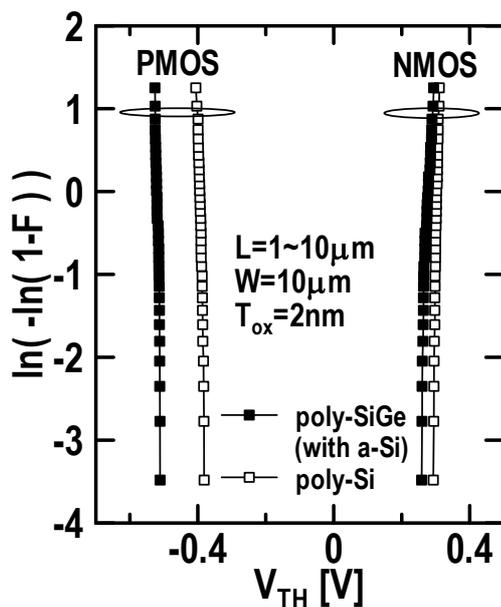


図 2-1-6. Poly-Si または poly-SiGe ゲート電極を有する NMOSFET と PMOSFET の  $V_{TH}$  分布  
Poly-SiGe ゲート電極においても、poly-Si と同等の  $V_{TH}$  均一性が得られた。

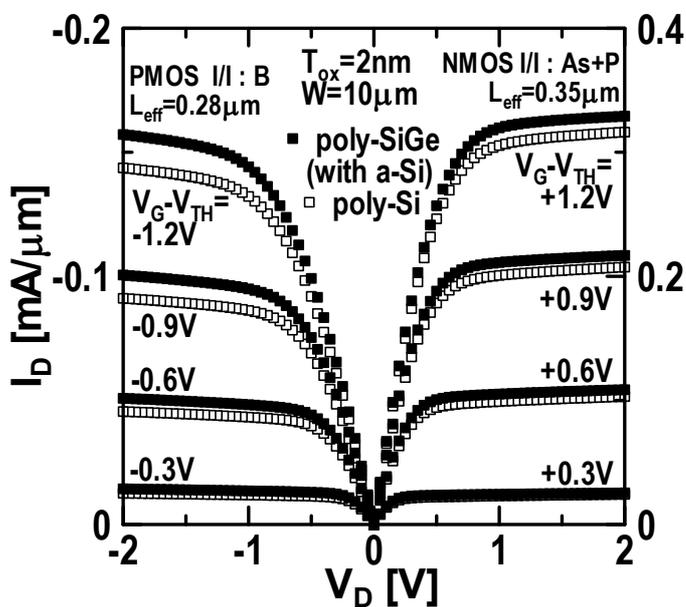


図 2-1-7. Poly-Si または poly-SiGe ゲート電極を有する NMOSFET と PMOSFET の  $I_D$ - $V_D$  特性  
 $I_D$  増加率は、PMOS で 7%、NMOS で 4%であった。NMOS の  $I_D$  増加はゲート電極へのドーパントとして As を用いたため。

2-1-4. ゲート酸化膜の信頼性と破壊メカニズム

ゲート酸化膜の信頼性を調べるため、4nmのゲート酸化膜でpoly-SiGeゲート電極を有するMOSキャパシタを用い、定電流ストレス下で $Q_{BD}$  (charge-to-breakdown)を測定した。本研究でのストレスは蓄積状態で行ったため、NMOSはゲートから電子が注入され(ゲート注入)、PMOSは基板から電子が注入される(基板注入)。

表2-1-1に、N/PMOSキャパシタの $Q_{BD}$ (50%)をまとめた。a-Si層が無い場合、SiGeはNMOSの $Q_{BD}$ を改善するが、PMOSの $Q_{BD}$ は逆に悪化させてしまう。しかし、3nmのa-Si層を加えることによって、NMOS、PMOS両方の $Q_{BD}$ を改善させることができた。更に、poly-Siゲートに対しても $Q_{BD}$ は改善した。次に、電気的なゲート空乏化の膜厚( $T_{dep}$ )を表2-1-1にまとめた。 $T_{dep}$ は以下の式から求めた：

$$T_{dep} = \epsilon_{SiO_2} \epsilon_0 (C_{inv}^{-1} - C_{acc}^{-1})。$$

ここで、 $C_{inv}$ 、 $C_{acc}$ は、それぞれ図2-1-3から求めた反転時の容量、および蓄積時の容量である。なおここでは、蓄積側と反転側の量子効果による電気膜厚の差は小さいと仮定している。表2-1-1より、a-Si層は、 $Q_{BD}$ と $T_{dep}$ の両方を同時に改善できることが分かった。

a-Si	Ge [%] (Interface)	$Q_{BD}(50\%) [C/cm^2]$ *1		$T_{dep} [nm]$ *2	
		NMOS	PMOS	NMOS	PMOS
w/o	0	0.7	2.4	0.16	0.50
w/o	27	3.8	0.6	0.14	0.36
3nm	13	2.9	4.3	0.15	0.42
3nm	19	4.0	8.6	0.18	0.30

\*1 Area=0.1mm<sup>2</sup>,  $|J_G|=0.2A/cm^2$ ,  
NMOS : gate injection, PMOS : substrate injection

\*2  $T_{dep} = \epsilon_{SiO_2} \epsilon_0 (C_{inv}^{-1} - C_{acc}^{-1})$  ( from Fig.3 )

表 2-1-1. Poly-Si または poly-SiGe ゲート電極を有する MOS キャパシタのゲート酸化膜信頼性とゲート空乏化

a-Si 層を有する poly-SiGe ゲート電極は、NMOS と PMOS 双方の  $Q_{BD}$ (50%)を向上させる。ゲート酸化膜厚に換算したゲート空乏層厚 ( $T_{dep}$ )は、図 2-1-3 より計算した。poly-SiGe ゲート電極の  $T_{dep}$  は、NMOS で poly-Si ゲート電極と同等、PMOS で低減が見られた。

$Q_{BD}$ のゲート構造依存性を明らかにする為に、図2-1-8に示すチャージトラッピング特性を解析した。 $SiO_2$ 中のトラップ密度( $N_{trap}$ )は、表2-1-2に示す様に、ネイティブトラップへの捕獲項:

$$N_{ex} (1 - \exp(-\sigma Q/q))$$

と、ストレスによって新しく生成されるトラップへの捕獲項:

$$\gamma Q/q$$

の和で表される[7]。 $N_{ex}$ は $SiO_2$ 中のネイティブトラップ、 $Q$ は注入電荷、 $q$ は素電荷、 $\sigma$ はネイティブトラップの捕獲断面積、 $\gamma$ はストレス電流によるトラップ生成効率、である。加えて、絶縁破壊時の臨界トラップ密度( $N_{trap,BD}$ )についても調べた。これらのパラメータは、表2-1-2の式(2)に図2-1-8のデータをフィッティングすることによって求めた。

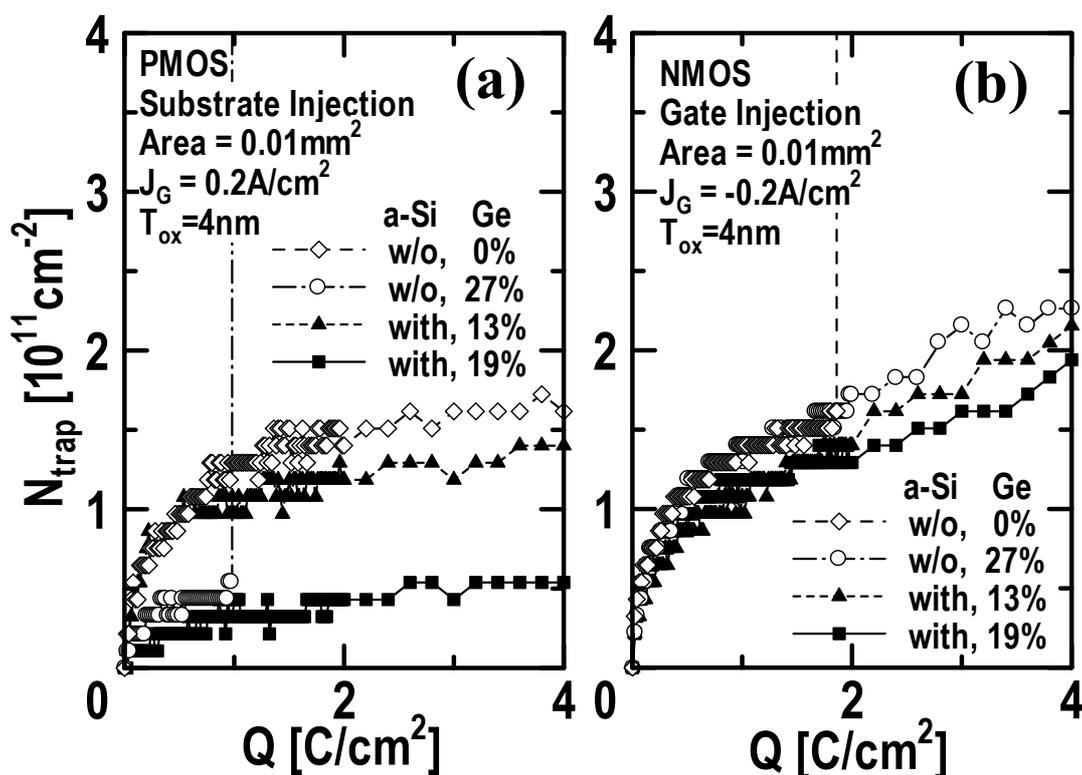


図 2-1-8. 定電流ストレスによるゲート酸化膜へのチャージトラッピング特性  
(a) PMOS、(b) NMOS。  $Q$ は注入電荷、 $N_{trap}$ は  $SiO_2$ 中のトラップ密度を表す。

$$N_{trap\_BD} = N_{trap} @ \text{breakdown} \quad (1)$$

$$N_{trap} = N_{ex} \left( 1 - \exp\left(-\frac{\sigma Q}{q}\right) \right) + \frac{\gamma Q}{q} \quad (2)$$

- $Q$  : Injected charge  
 $N_{trap}$  : Trapped charge density in SiO<sub>2</sub>  
 $Q_{BD}$  : Critical  $Q$  in dielectric breakdown  
 $N_{trap\_BD}$  : Critical  $N_{trap}$  in dielectric breakdown  
 $\sigma$  : Capture cross section of native trap  
 $\gamma$  : Trap generation efficiency by electron injection  
 $N_{ex}$  : Native trap density in SiO<sub>2</sub>

表 2-1-2. SiO<sub>2</sub> 中のトラップ密度  $N_{trap}$  の注入電荷  $Q$  依存性を表す式  
 $\sigma$  はネイティブトラップ (初めから存在するトラップ) の捕獲断面積、 $\gamma$  はストレスによって新たに生じるトラップの生成効率を表す。 $N_{trap\_BD}$  が増えるか、 $\sigma$ ,  $\gamma$  が減れば  $Q_{BD}$  は向上する。

図2-1-9に、 $N_{\text{trap\_BD}}$ のGe濃度依存性を示す。 $N_{\text{trap\_BD}}$ は、a-Si層の有無に依存せず、Ge濃度だけで決まる。NMOSの場合、Ge濃度の増加とともに $N_{\text{trap\_BD}}$ は大きくなるのに対し、PMOSの場合は逆に $N_{\text{trap\_BD}}$ が小さくなる。一方、 $\sigma$ と $\gamma$ は図2-1-10に示す様にa-Si層の有無に依存し、poly-SiGeゲートにa-Si層を追加すると、 $\sigma$ と $\gamma$ が減少する。この効果は特にPMOSで顕著である。すなわち、特にPMOSにおいて、a-Si層がトラップ速度を下げていることを意味している。

この現象は、図2-1-11に示すような、SiGe/SiO<sub>2</sub>界面の“低信頼性層”の存在によって説明することができる。“低信頼性層”の効果は、ゲート注入(NMOS)よりも、基板注入(PMOS)の場合に敏感である。一方、a-Si層は“低信頼性層”を減少させると考えられる。a-Si層が無い場合は、 $\sigma$ と $\gamma$ はGe濃度に対して変化しないため、poly-SiGeの $Q_{\text{BD}}$ は $N_{\text{trap\_BD}}$ で決まり、NMOSの $Q_{\text{BD}}$ は改善するものの、PMOSの $Q_{\text{BD}}$ は劣化してしまう。それに対し、a-Si層を有したpoly-SiGe/a-Siゲート電極を用いると、“低信頼性層”の減少によりPMOSの $Q_{\text{BD}}$ も大きく改善することができると考えられる。

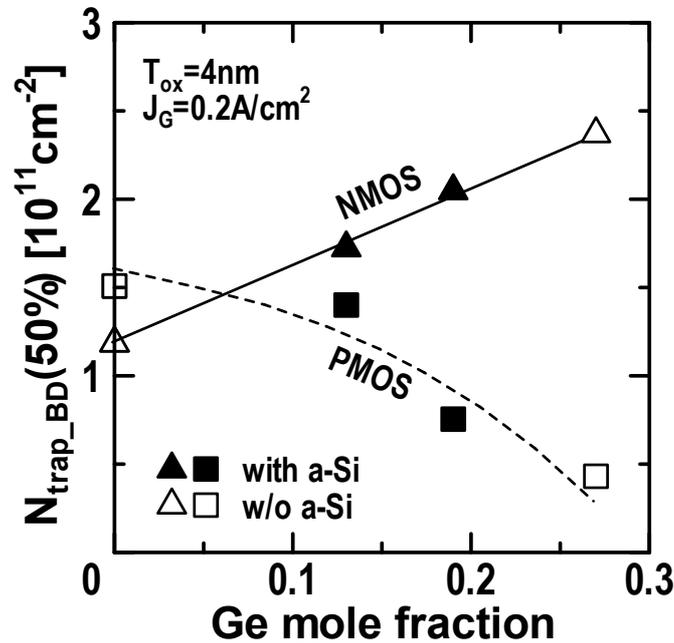


図 2-1-9. 絶縁破壊時の臨界トラップ密度( $N_{\text{trap\_BD}}$ )の Ge 濃度依存性  
Ge 濃度が増えるにつれ、 $N_{\text{trap\_BD}}$  は PMOS で減少、NMOS で増加する。このことは、a-Si 層が無い場合、 $Q_{\text{BD}}$ の NMOS、PMOS 間のトレードオフを生じさせる(表 2-1-1)。

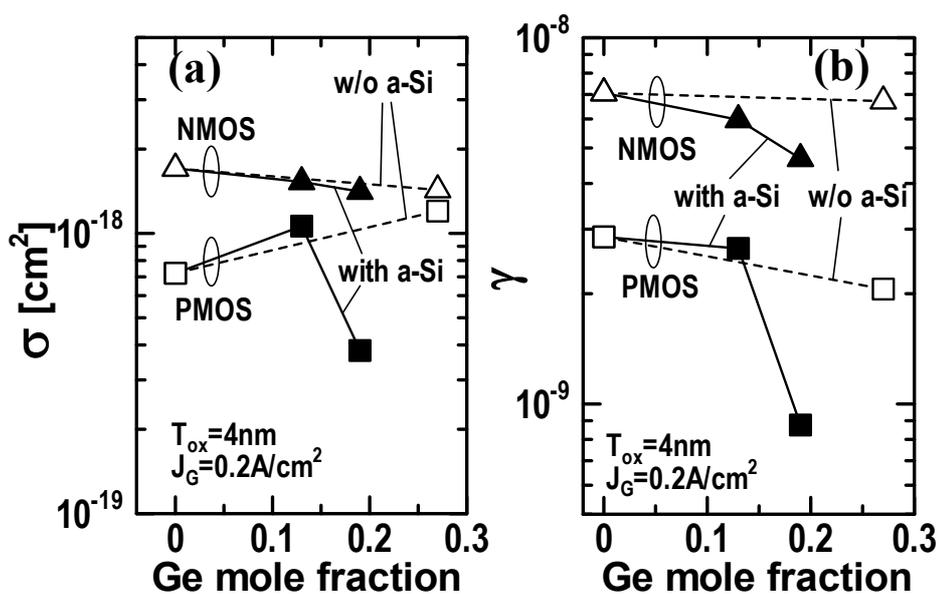


図 2-1-10. (a)ネイティブトラップの捕獲断面積 $\sigma$ と (b)ストレス電流によるトラップ生成効率 $\gamma$ の Ge 濃度依存性  
 $\sigma$ と $\gamma$ は表 2-1-2 の式(2)を、図 2-1-8 にフィッティングして求めた。a-Si 層は、Ge 濃度 19%時の PMOS の $\sigma$ と $\gamma$ を低減させる。

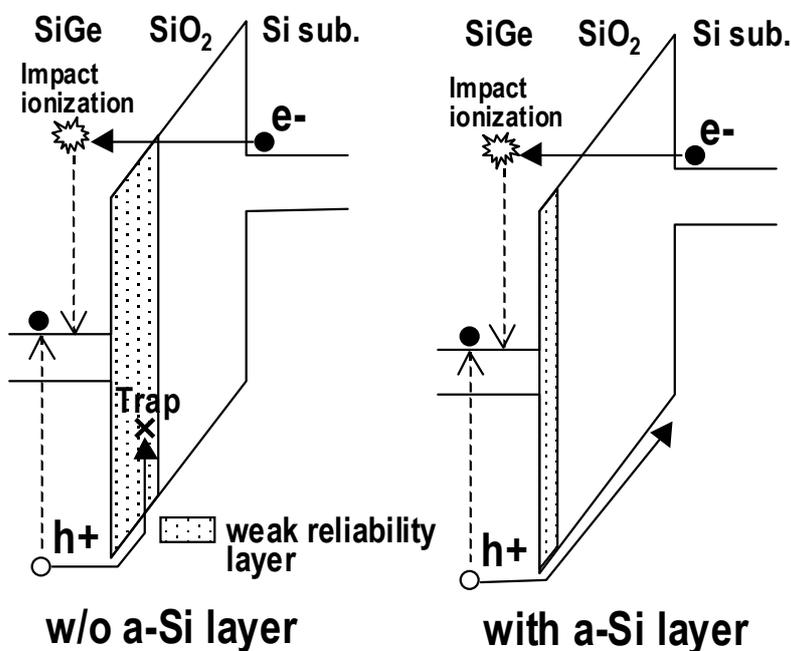


図 2-1-11. 基板側からゲート酸化膜中に電子を注入した場合のチャージトラッピングモデル  
 a-Si 層が (a)無い場合、(b)ある場合。a-Si 層はゲート電極側の低信頼性層を減らすと考えられる。

#### 2-1-5. まとめ

サブ0.1 $\mu\text{m}$ 世代における高性能かつ高信頼性CMOS用ゲート電極として、poly-SiGe/a-Siゲートを検討した。poly-SiGeとゲート酸化膜の間に薄いa-Siバッファ層を加えることにより、ゲート空乏化を劣化させることなく、高い $Q_{\text{BD}}$ と高いトランジスタ駆動電流を同時に達成することが出来た。チャージトラッピング特性の解析より、a-Si層は、SiGe/SiO<sub>2</sub>界面の品質を向上させていると考えられる。

## 2-2. ゲート電極設計2

### ～高性能サブ 100nmCMOS 用の新しい多結晶ゲート制御技術

#### 2-2-1. はじめに

多結晶ゲートは、ゲート長が結晶粒径よりも長い場合については、不純物の拡散やゲート空乏化、しきい値電圧のばらつきの観点から広く研究されてきた[8,9]。ところが、ゲート長がサブ 100nm に達するに及び、ゲート長が結晶粒径より小さくなった場合の効果についても明らかにする必要がある。本稿では、サブ 100nm の多結晶ゲートを有する MOSFET で観測された反転容量 ( $C_{inv}$ ) の減少について議論し、ゲート長 65nm CMOS の高性能化への指針を示す。

#### 2-2-2. サブ 100nm 多結晶ゲート MOSFET の劣化現象

サブ 100nm の多結晶ゲートの反転容量  $C_{inv}$  を調べるため、結晶粒径  $R_G$  が 100nm 程度の poly-Si と poly-SiGe のゲートを有する p/nFET を作製した(図 2-2-1)。ゲート長の効果のみ観測するために、すべての MOSFET でゲート幅は粒径より十分大きい  $10\mu\text{m}$  とした。またチャネルのイオン注入等のゲート電極以外のプロセス条件は同一とした。図 2-2-2 に、ゲート長  $L_G$  が長い MOSFET の典型的な  $C-V$  特性を示す。Poly-SiGe ゲートの場合、poly-Si ゲートに比べて反転容量が pFET で高く、nFET で低くなった。この結果、ゲート長が長い場合のドレイン電流は、pFET で高く、nFET で低くなった(図 2-2-3(a))。しかしながら、ゲート長 65nm では、同じチャネル、ハロー注入であるにも関わらず、poly-SiGe ゲート pFET のドレイン電流はむしろ poly-Si ゲートより低下してしまった(図 2-2-3(b))。この結果は、poly-SiGe ゲート pFET において、ゲート長がサブ 100nm になると、反転容量が低下することを示唆している。

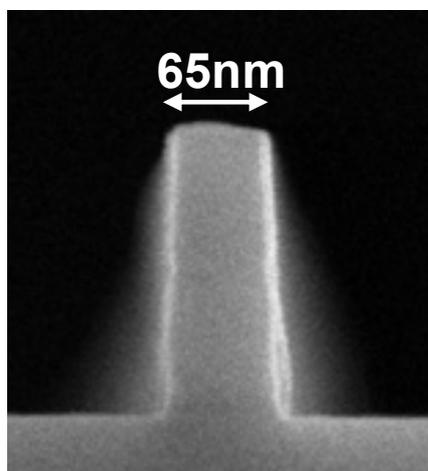


図 2-2-1. ゲート長が 65 nm の poly-SiGe ゲート電極  
ゲート加工直後の断面 SEM による観察像

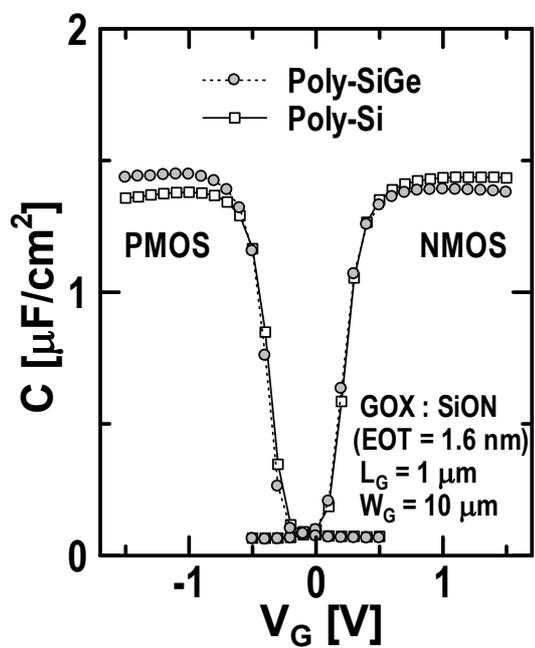


図 2-2-2. 長いゲート長(1 $\mu\text{m}$ )の MOSFET の C-V 特性

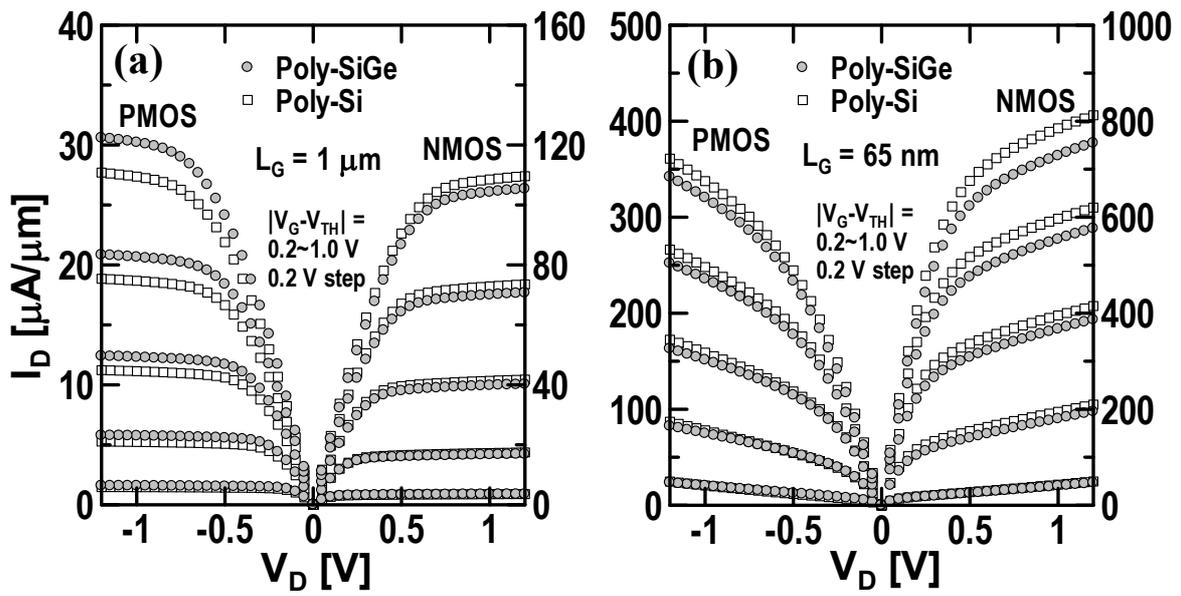


図 2-2-3. Poly-Si および poly-SiGe ゲート電極を有する NMOSFET と PMOSFET の  $I_D$ - $V_D$  特性  
 (a)  $L_G=1 \mu\text{m}$  と (b)  $L_G=65 \text{ nm}$

この仮説を実証するため、ゲート長がサブ 100nm の poly-Si と poly-SiGe ゲートを有する p/nFET の反転容量を測定した。図 2-2-4 に、反転時における MOSFET の様々な容量成分を示す[10]。測定されるゲート容量  $C_G$ [F] は次のように与えられる。

$$C_G = (C_{inv}L_G + 2C_{top} + 2C_{fr})W_G + C_s \quad (1)$$

ここで、 $C_{inv}$  [F/ $\mu\text{m}^2$ ] は単位面積あたりの反転容量、 $C_{top}$  [F/ $\mu\text{m}$ ] と  $C_{fr}$  [F/ $\mu\text{m}$ ] は、それぞれ単位ゲート幅あたりのゲート上面の容量とフリンジ容量である。また  $C_s$  [F] は、測定系に由来する浮遊容量である[11]。 $C_{fr}$  と  $C_s$  はゲート長  $L_G$  に依存しないが、 $C_{inv}$  は一般的にはゲート長  $L_G$  に依存する。しかし、ゲート長  $L_G$  が長い場合は反転容量  $C_{inv}$  はほぼ定数と見なせるであろう。(これは、ゲート両側の影響が小さくなるという考察からである。) なお  $C_{top}$  もゲート長  $L_G$  に依存し、次のように与えられる。

$$C_{top} = \epsilon_{ox} \ln \{ 1 + L_G / 2(T_{ox} + T_G) \} \quad (2)$$

ここで、 $T_G$  はゲート電極の高さである。

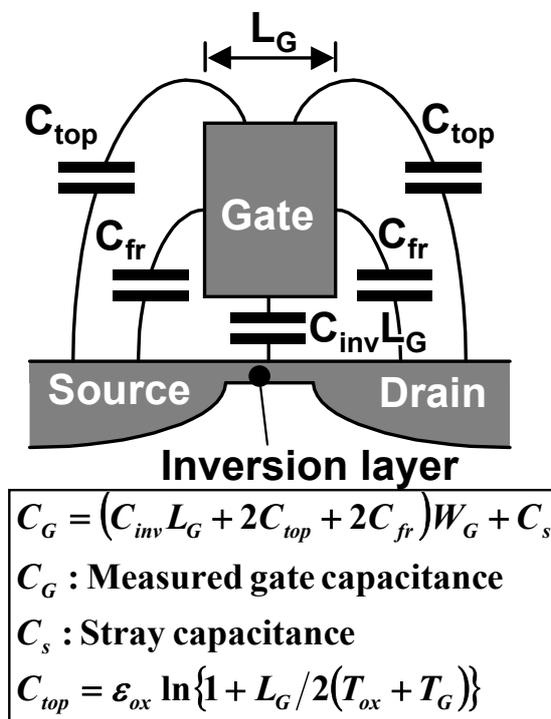


図 2-2-4. MOS 反転時の様々なゲート容量成分

式(1)を変形すると次のようになる。

$$C_G/W_G - 2C_{top} = C_{inv}L_G + \alpha \quad (3)$$

ここで $\alpha (=2C_{\#} + C_s/W_G)$  はゲート長  $L_G$  に依存しない定数である。

図 2-2-5 に、 $(C_G/W_G - 2C_{top}) - L_G$  プロットを示す。ゲート長  $L_G$  が長い部分のフィッティング直線と  $(C_G/W_G - 2C_{top})$  軸との切片は  $\alpha$  に等しくなる。この  $\alpha$  を用いて、反転容量  $C_{inv}$  は次のように表される。

$$C_{inv} = \{(C_G/W_G - 2C_{top}) - \alpha\} / L_G \quad (4)$$

図 2-2-6 に、こうして得られた poly-Si と poly-SiGe ゲートを有する p/nFET の  $C_{inv} - L_G$  特性を示す。すべての水準において、ゲート長  $L_G$  が 100nm 以下で反転容量  $C_{inv}$  の低下が観測された。また、pFET の場合、ゲート長が 70~80nm 以下になると、むしろ poly-SiGe ゲートの方が poly-Si ゲートより反転容量が低くなることが分かった。これが、ゲート長 65nm の poly-SiGe ゲート pFET で生じたドレイン電流低下の原因である。

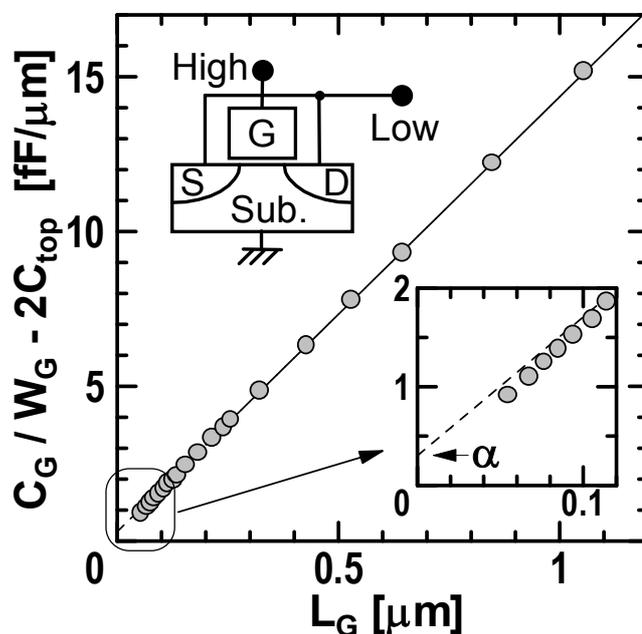


図 2-2-5.  $(C_G/W_G - 2C_{top}) - L_G$  プロットの例

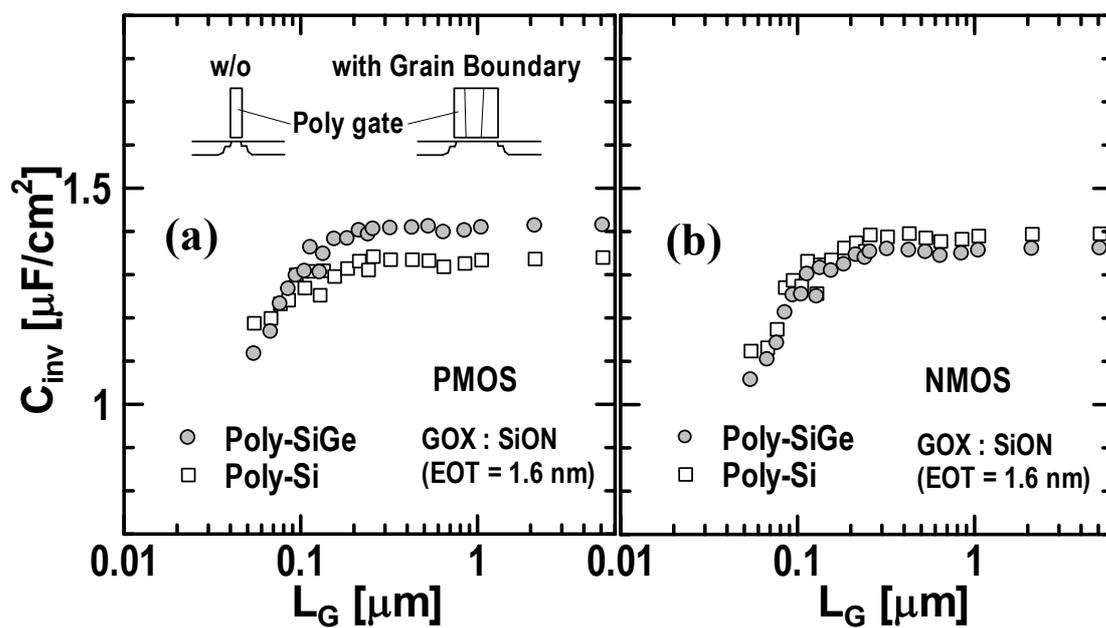


図 2-2-6. 抽出された単位面積当たりの反転容量  $C_{inv}$  のゲート長  $L_G$  依存性  
 (a) PMOSFET、(b) NMOSFET

2-2-3. 反転容量の低下機構と高反転容量 CMOSFET

反転容量の低下を説明するために、結晶粒界に沿った不純物拡散モデルを用いた[12]。多結晶ゲート電極にイオン注入でドーピングされた不純物は、結晶粒界に沿って速く拡散しつつ、結晶粒内部に向かってゆっくり拡散する。図 2-2-7 に、イオン注入+熱処理後の多結晶ゲート断面の模式図を示す。結晶粒界の沿った領域は高ドーピング (HD) 領域で、それ以外の結晶内部は低ドーピング (LD) 領域である。反転容量は、HD 領域の全面積に占める割合  $\gamma_H$ 、HD 領域の反転容量  $C_{inv,H}$ 、LD 領域の反転容量  $C_{inv,L}$ 、を使って、以下のように表される。

$$C_{inv} = C_{inv,H}\gamma_H + C_{inv,L}(1-\gamma_H) = (C_{inv,H} - C_{inv,L})\gamma_H + C_{inv,L} \quad (5)$$

ここで、ゲート長  $L_G$  が結晶粒径  $R_G$  より大きい (3倍以上程度) と、 $\gamma_H$  は  $L_G$  に殆ど依存しない。これは、ゲート周辺部が  $\gamma_H$  に与える影響が小さくなるためである。しかし、 $L_G$  が  $R_G$  より小さくなると、ゲート幅方向に結晶粒界が走る節 (HD block) が減るため、 $C_{inv}$  は低下するようになる。また、結晶粒界からの不純物拡散長  $D_H$  が短くなると、更に  $C_{inv}$  低下が激しくなる。これは、LD 領域の全面積に占める割合大きくなるためである。一方、poly-SiGe 中では、ボロンは poly-Si 中に比べて固溶度が高く、拡散速度は遅くなる[13]。すなわち、poly-SiGe ゲート pFET は、 $C_{inv,H}$  が高く、 $D_H$  が短い。それ故、poly-SiGe ゲート pFET において、ゲート長が長い場合は反転容量  $C_{inv}$  が高いにも関わらず、ゲート長が短い領域で大きく反転容量が低下する。

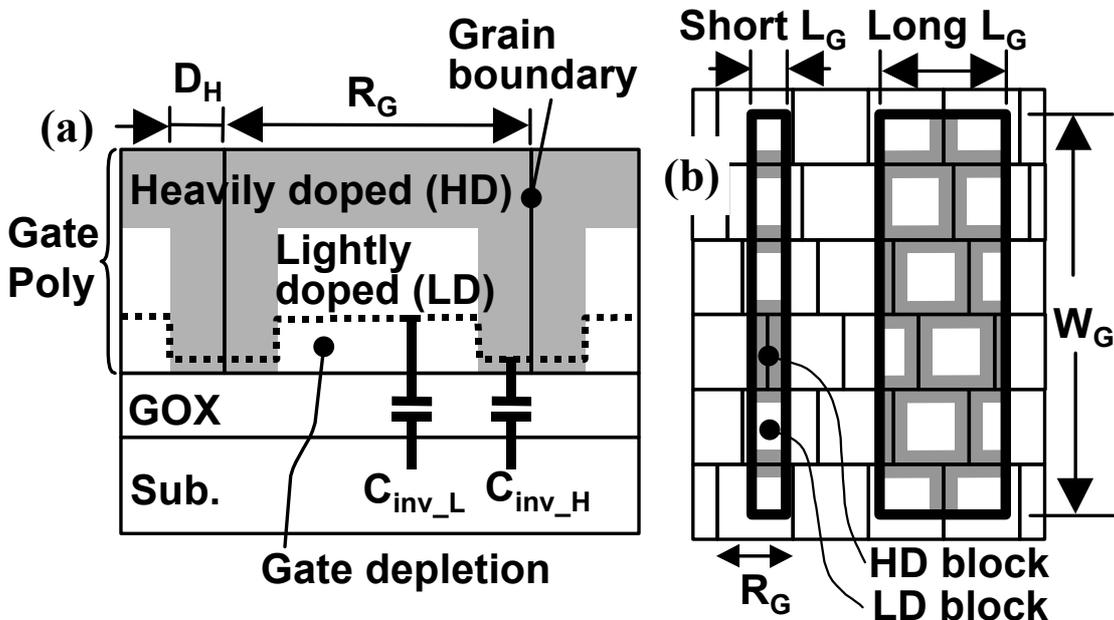


図 2-2-7. 不純物をドーピングしたポリ結晶ゲート電極中の不純物分布の模式図  
(a) 断面図、(b) 平面図

小さな粒径  $R_G$  と、大きな不純物拡散長  $D_H$  を用いることは、 $C_{inv}$  低下の抑制に有効である。図 2-2-8、2-2-9 に、それぞれ小さな粒径  $R_G$  と、大きな不純物拡散長  $D_H$  を持つ pFET の  $C_{inv}$ - $L_G$  特性を示す。小さな粒径  $R_G$  と、大きな不純物拡散長  $D_H$  は、 $C_{inv}$  低下を著しく改善するだけでなく、ゲート長が長いところでも  $C_{inv}$  を高くする。これは、HD 領域の面積率  $\gamma_H$  が大きくなるためである。

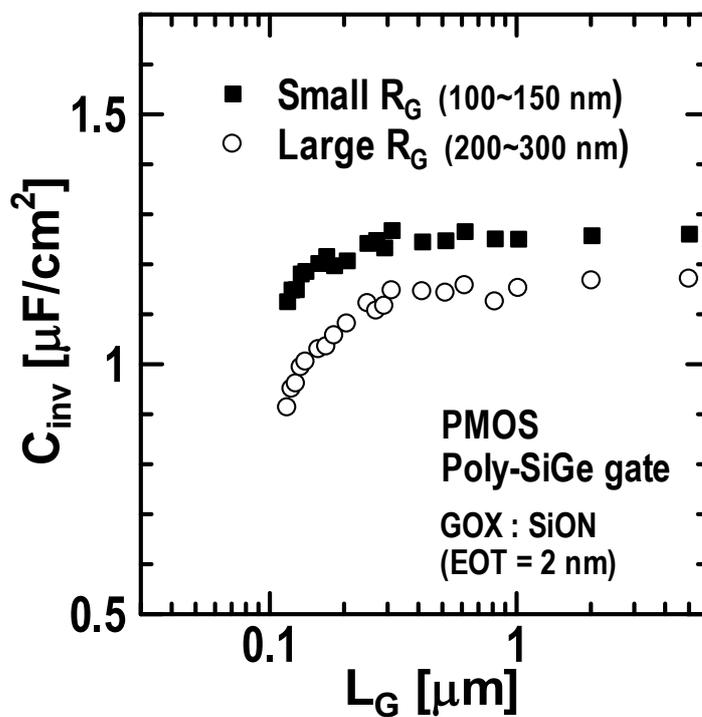


図 2-2-8. 粒径  $R_G$  の異なる2種類の poly-SiGe ゲート電極を用いて作製した PMOSFET の単位面積当たりの反転容量  $C_{inv}$  のゲート長  $L_G$  依存性

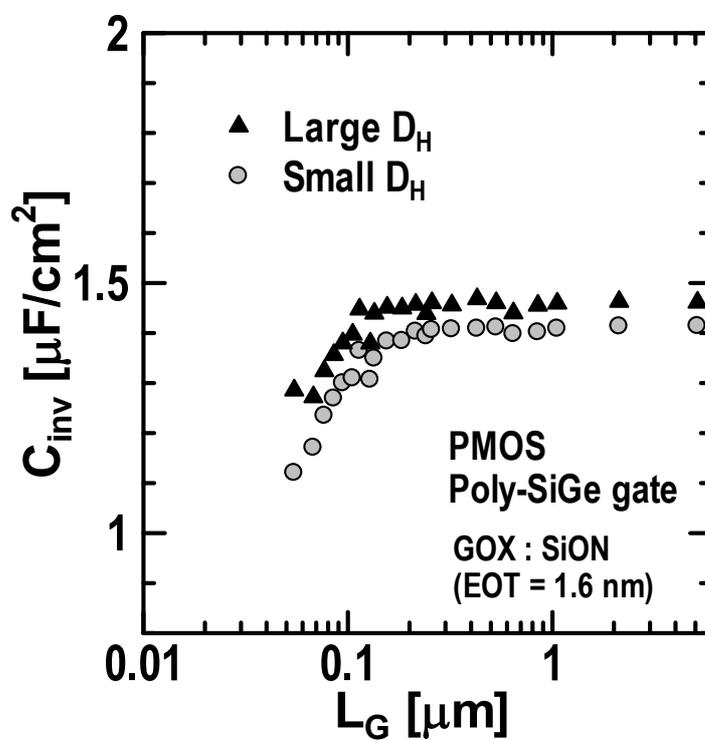


図 2-2-9. 不純物拡散長  $D_H$  の異なる2種類の poly-SiGe ゲート電極を用いて作製した PMOSFET の単位面積当たりの反転容量  $C_{inv}$  のゲート長  $L_G$  依存性

上記考察を基に、小さな粒径  $R_G$  と、大きな不純物拡散長  $D_H$  を持つ poly-SiGe ゲート p/nFET を作製し、通常の poly-Si ゲートの p/nFET と比較した。図 2-2-10 に示すように、ゲート長 65nm において、ドレイン電流が pFET で+15%、nFET で+3%、増加した。駆動電流の向上は、 $I_{ON}-I_{OFF}$  特性でも確かめられた(図 2-2-11)。 $I_{OFF}=20$  nA で見たときの  $I_{ON}$  向上率は、pFET で+14%、nFET では同等であった。これらの結果より、本稿で示した多結晶ゲートの技術は、サブ 100nm 世代 CMOS の高性能化に有効であると言える。

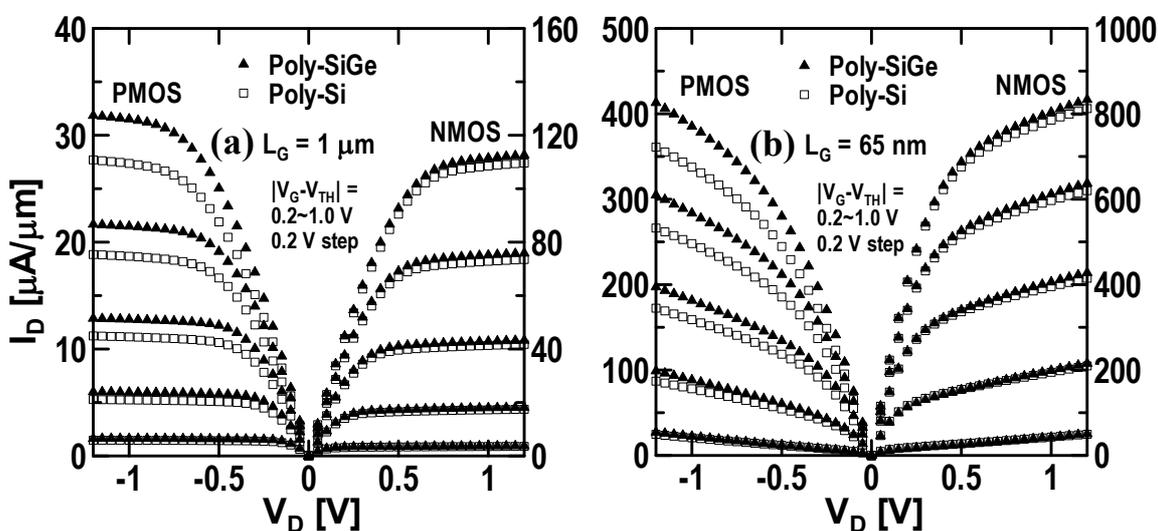


図 2-2-10. 小さな粒径  $R_G$  と大きな不純物拡散長  $D_H$  の poly-SiGe ゲート電極を有する PMOSFET と NMOSFET の  $I_D-V_D$  特性  
比較のため、通常の poly-Si ゲート電極を有する PMOSFET と NMOSFET の  $I_D-V_D$  特性も載せた。(a)  $L_G=1 \mu\text{m}$  と (b)  $L_G=65 \text{ nm}$ 。

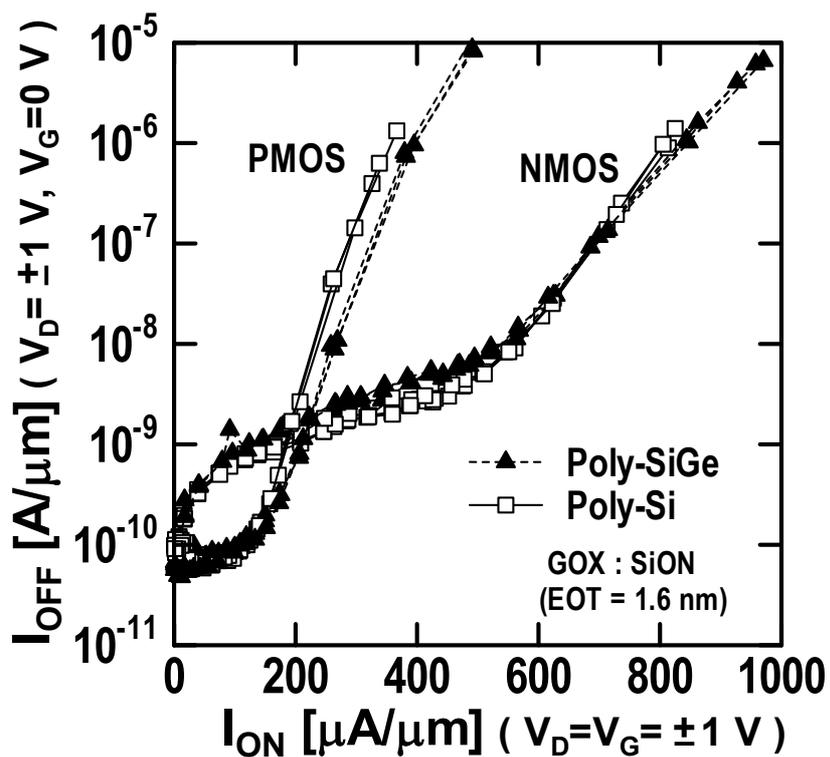


図 2-2-11. 小さな粒径  $R_g$  と大きな不純物拡散長  $D_H$  の poly-SiGe ゲート電極を有する PMOSFET と NMOSFET の  $I_{ON}$ - $I_{OFF}$  特性  
 比較のため、通常の poly-Si ゲート電極を有する PMOSFET と NMOSFET の  $I_{ON}$ - $I_{OFF}$  特性も載せた。

### 2-2-4. まとめ

サブ 100nm 多結晶ゲートを有する CMOSFET において、反転容量が低下する現象を明らかにした。この現象を、ゲート長が結晶粒径より小さくなり、結晶粒界密度が減少するというモデルで説明した。このモデルを基に、小さな結晶粒径と大きな不純物拡散長を持つ多結晶ゲート電極を用いることで、高性能なゲート長 65nm の CMOS を実現できた。この多結晶ゲート電極技術によって、サブ 100nm 世代のデバイス性能の大幅な向上が期待できる。

## 2-3. ソース・ドレイン接合設計

### ～スケーリング限界に向けた極めて浅い熱拡散抑制接合によるプレーナーバルク CMOS 設計

#### 2-3-1. はじめに

MOSFETの短チャネル効果を抑え、スケーリングを持続するために、極薄SOIやマルチゲート構造が理想的な構造であるが、プロセス及び設計のコスト増大の問題がある。一方、プレーナーバルクCMOSは、既にゲート長がサブ10nmのMOSFETの動作は報告されているが、ショートチャネル効果の抑制も考慮すれば、まだ限界に達したとは言い難い [14]。

図2-3-1に、チャージシェアリングモデルによる $V_{th}$  roll-offの計算結果を示す [15]。ここでは、 $V_{th}$ ばらつきを増大させる基板不純物濃度の高濃度化は避け、ソース・ドレイン接合深さのみをパラメータとして計算を行った。これによると、ソース・ドレインの接合を浅くするほど $V_{th}$  roll-offが改善することが分かる。ただし、不純物分布の急峻さが有限であることを考慮すれば、 $x_j=1\text{nm}$ は必要と考えられる。このとき、ゲート長20nmまで $V_{th}$  roll-offが抑制可能である。

この知見をもとに、本研究ではソース/ドレイン・エクステンションをできる限り浅くすることにより、短チャネル効果を抑制することを試みた。本研究では、極浅接合を形成するために、高温かつ短時間(1300°C/0.8msec)のミリ秒アニール(MSA)による熱拡散抑制アニール活性化技術を用いた [16]。熱拡散抑制アニールの場合、イオン注入直後の不純物分布がそのまま最終的な不純物分布となるため、注入分布の設計が重要である。本研究では、PFETのエクステンションの注入種として、極浅注入が難しいボロンモノマー(B)に代わり、より重いボロンクラスター( $B_{18}H_{22}$ )を用いた [17]。また、ダブルハロー注入技術を用い、表面不純物濃度を低く抑えながら、効果的にソース・ドレインのパンチスルーを抑制した [16]。

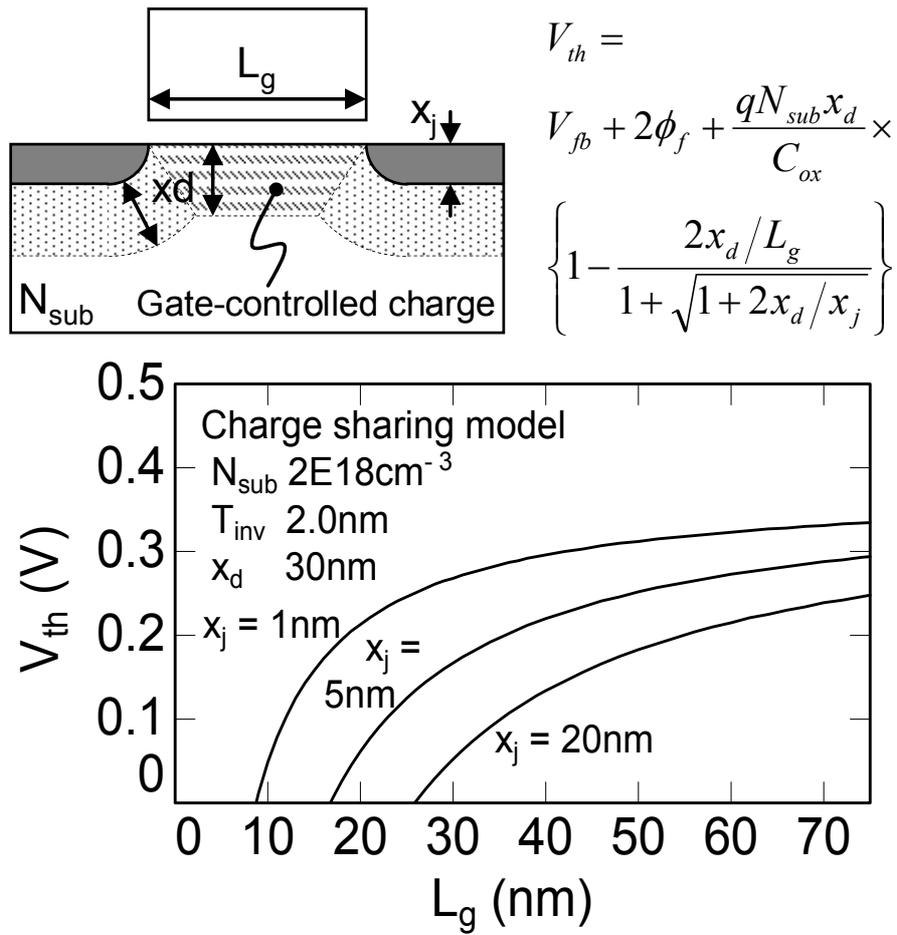


図 2-3-1. チャージシェアリングモデル(上段の図と式)によって計算したプレーナーバルク MOSFET のしきい値電圧  $V_{th}$  のゲート長  $L_g$  依存性(下段グラフ) 接合深さ  $x_j$  をパラメータとして、1, 5, 20nm と変化させた。

## 2-3-2. 熱拡散抑制アニールによる接合設計

図 2-3-2(a)および(b)に、電子線ホログラフィによる、PFET のチャネル及びソース・ドレインのポテンシャルの直接観察像を示す [18]。従来のランプアニールに比べ(図 2-3-2(a))、 $B_{18}H_{22}$  と MSA を用いることにより(図 2-3-2(b))、極めて急峻なエクステンションが形成できたことが分かる。また、電子線ホログラフィで直接観察されたポテンシャル分布は、シミュレーション結果((図 2-3-2(c)))と非常によく一致しており、狙い通りのソース・ドレイン形状が得られたことが確かめられた。

一方、このような浅い接合においては、寄生抵抗の増大を抑えることが極めて重要である。この際、エクステンション抵抗( $R_{ext}$ )だけでなく、ソース・ドレインが急激に狭まることによるエクステンション根元の抵抗( $R_{neck}$ )の増大も抑える必要がある(図 2-3-3)。 $R_{neck}$  は、熱拡散抑制アニールの場合、特に問題となる。図 2-3-3 に、本研究における寄生抵抗低減技術を示す。エクステンションのリセスの低減[16]、シリサイドとソース・ドレイン接合間の短距離化[19]、ソース・ドレイン不純物の高活性化を試みた。また、短チャネル効果を抑える観点から、ゲート空乏化を抑え、ゲート容量を増やすことも試みた。

## Electron holography images of 0 V potential map

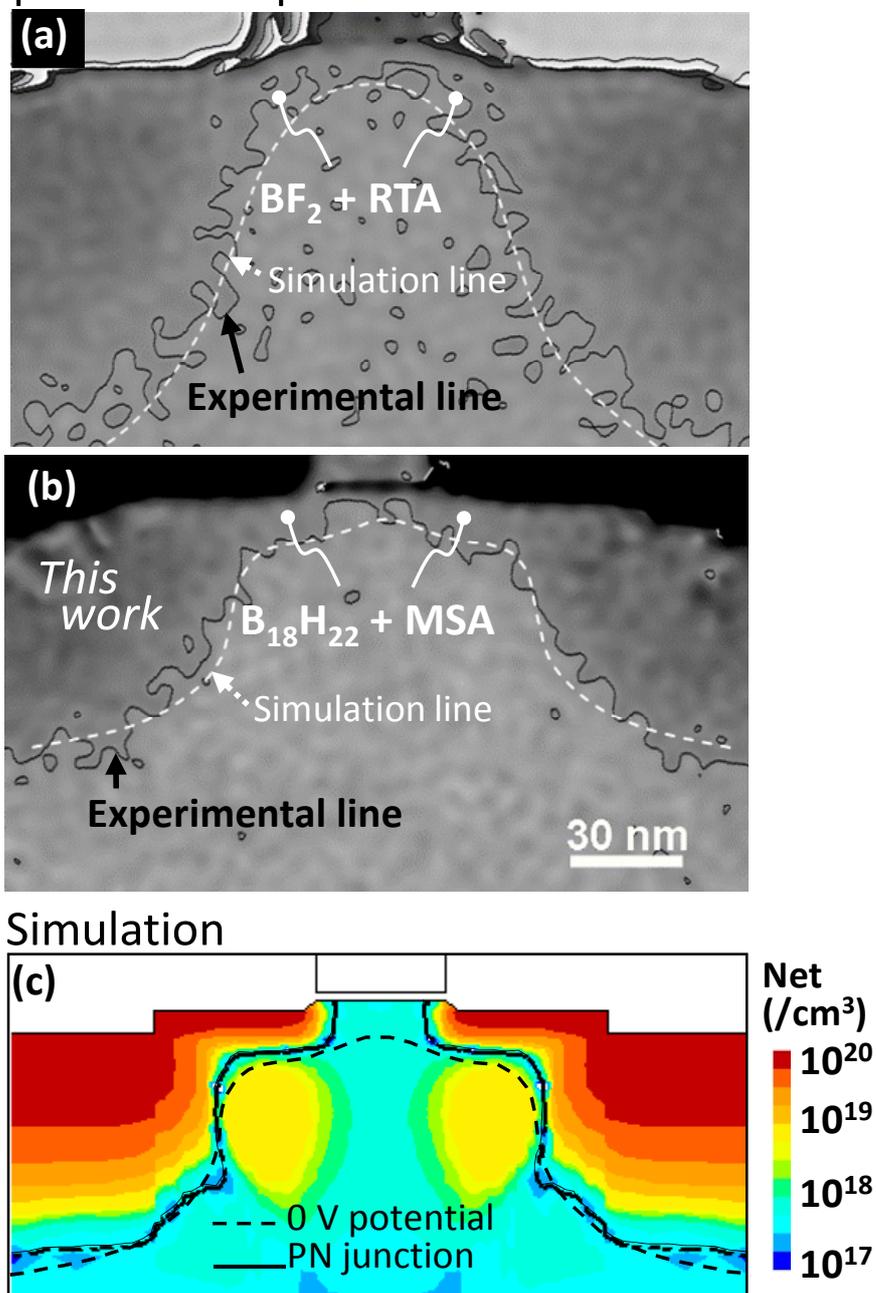


図 2-3-2. PMOSFET 基板内部のポテンシャル(0 V)マップ

(a)は $\text{BF}_2$ 注入＋スパイク・ランプアニール、(b)はボロンクラスター( $\text{B}_{18}\text{H}_{22}$ )注入＋ミリ秒アニールによって形成したサンプル。(a)、(b)の黒い実線は、電子線ホログラフィによって実験的に観察されたポテンシャルマップである。一方、(c)の黒い点線は、(b)の製造条件に基づくシミュレーションにより得られたポテンシャルマップである。

(b)の白い点線は、(c)の黒い点線をそのまま重ねたもの。(a)内の白い点線も、同様にシミュレーションにより得たポテンシャルマップを重ねたものである。シミュレーションと実測のポテンシャルマップはよく一致しており、本研究のコンセプトが実現できていることを示している。なお、実測のポテンシャルマップ((a),(b)の黒い実線)がうねっているのは、サンプルの凹凸の影響による。

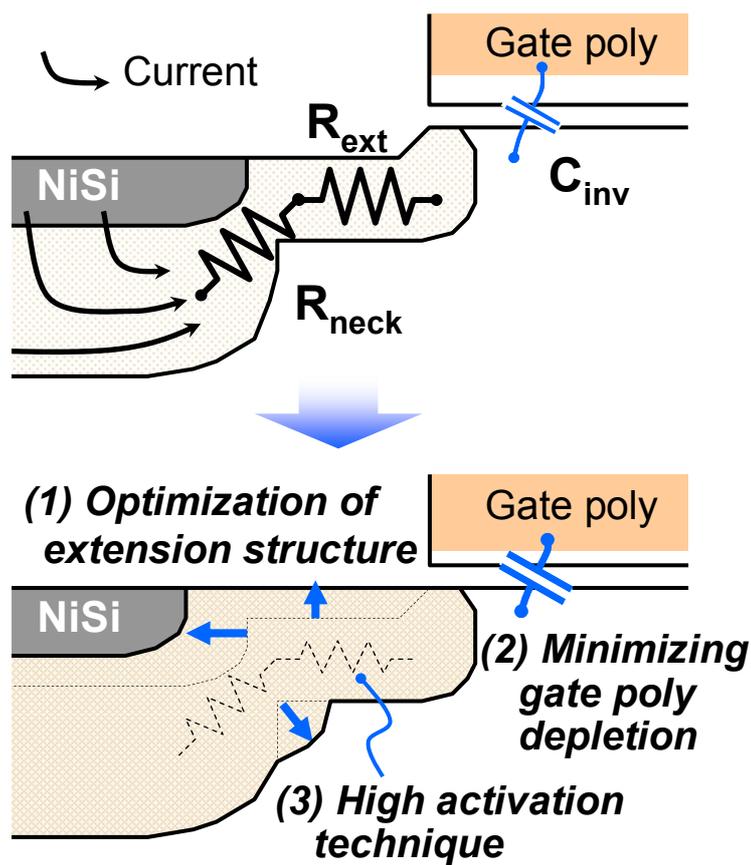


図 2-3-3. 寄生抵抗低減とゲート空乏化低減のコンセプト  
 接合を浅く急峻にしすぎると、シリサイドとPN 接合境界が接近してポトルネックを形成し、深いソース・ドレインからの回り込み電流をピンチオフする。このポトルネックを広げれば寄生抵抗を低減できる。  
 ゲート空乏化を低減すると、電気的なゲート絶縁膜厚を薄くなり、ゲート電界によるチャネルの制御性が向上する。このことは、短チャネル効果の抑制につながる。

2-3-3. 短チャネル MOSFET の電気特性

図 2-3-4 に、本研究における MOSFET のプロセスフローと作製した MOSFET の断面 TEM 像を示す。プロセスフローは、通常バルクプレーナー MOSFET の作製フローに準じたものだが、PFET エクステンションへの  $B_{18}H_{22}$  注入、2段階のハロー注入、MSA による不純物活性化、10nm の極薄 NiSi に特徴がある。

図 2-3-5 にゲート長 27nm の MOSFET  $I_d-V_g$  特性、図 2-3-6 に  $V_{th}$  roll-off 特性を示す。本研究のコンセプトにより、 $L_g$  30nm 以下でも良好なサブスレッショルド特性が得られると共に、従来のスパイクアニールによる活性化に比べ、20nm 以上も  $V_{th}$  roll-off 特性を改善できた。図 2-3-7 に、 $V_{th}$  roll-off 特性より抽出した  $L_{min}$  と、エクステンションの  $x_j$  との関係を示す。 $L_{min}$  は、 $dV_{th}/dL_g = 8$  V/ $\mu m$  となるゲート長として定義した。これによれば、コンセプトどおり、 $x_j$  を縮小することによって  $L_{min}$  が低減できており、 $x_j=5$ nm に対し、29nm の  $L_{min}$  を達成できた。

- Gate formation
- 1<sup>st</sup> halo I/I
- 2<sup>nd</sup> halo I/I
- SDE I/I ( $B_{18}H_{22}$  for PFET)
- SW spacer
- Deep S/D I/I
- MSA (w/o RTA)
- Thin NiSi

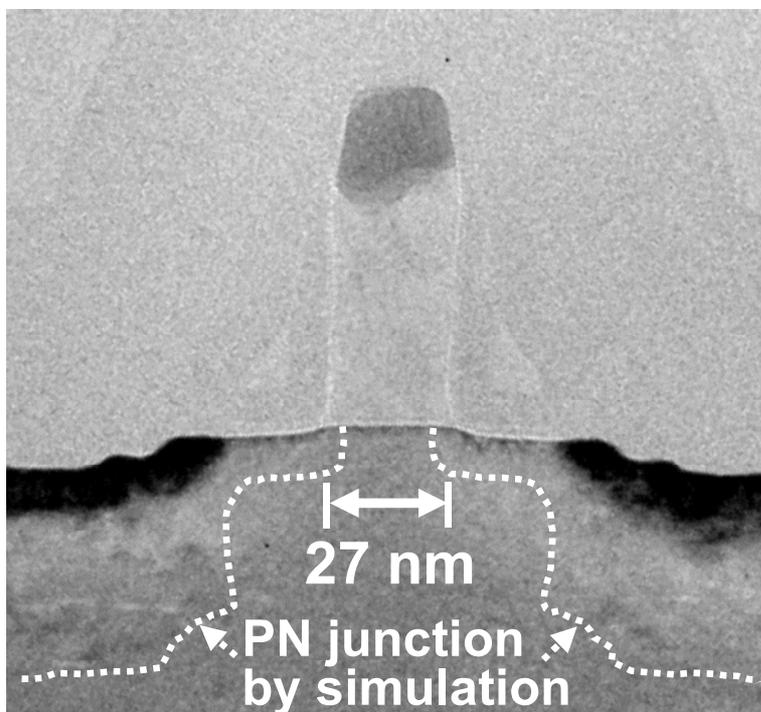


図 2-3-4. ゲート長 27 nm の MOSFET の製造フローと断面 TEM 像

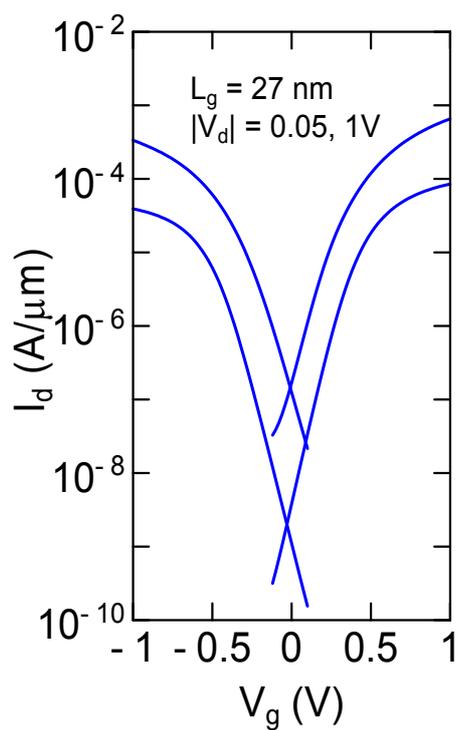


図 2-3-5. ゲート長 27 nm の N/PMOSFET の  $I_d$ - $V_g$  特性

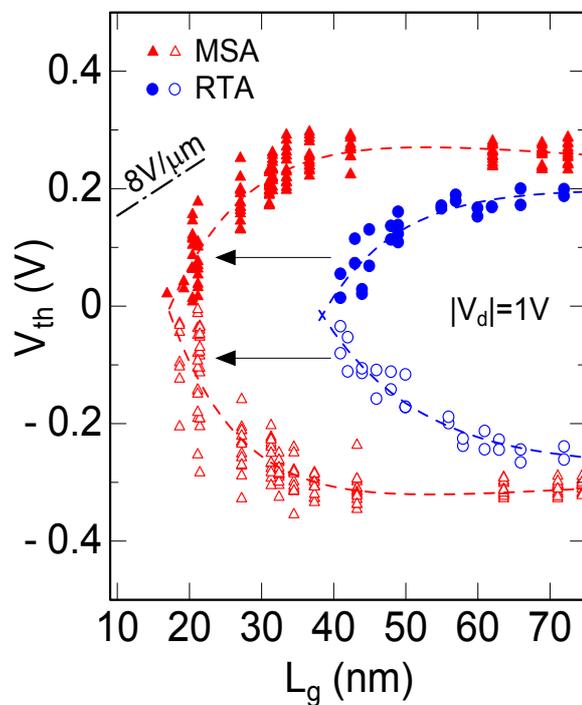


図 2-3-6. しきい値電圧  $V_{th}$  のゲート長  $L_g$  依存性 ( $V_{th}$  roll-off 特性)  
MSA による熱拡散抑制接合は、短チャネル効果を大幅に改善する。

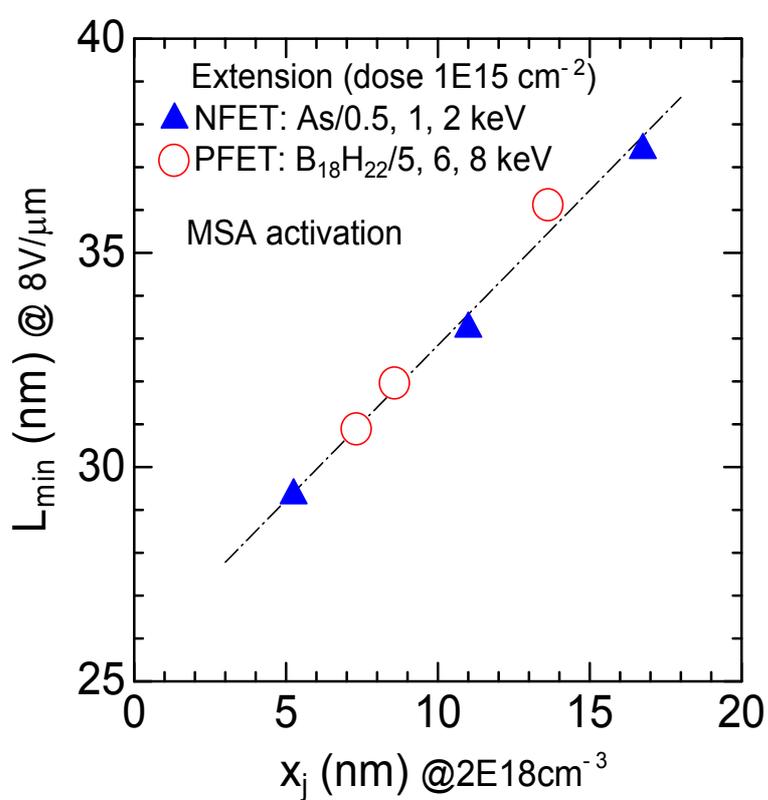


図 2-3-7. MSA で作製した MOSFET の  $L_{min}$  の接合深さ  $x_j$  依存性  
 $L_{min}$  は  $dV_{th}/dL_g=8V/\mu m$  となるゲート長  $L_g$  として定義した。 $L_{min}$  は短チャネル効果の起こり始めるゲート長である。

図 2-3-8 にゲート長 33nm の MOSFET の  $I_d$ - $V_d$  特性を示す。短チャネルでも良好な飽和特性が得られている。これは、DIBL が低く抑えられたためである。しかし、 $L_{min}$  が小さい MOSFET は、 $L_{min}$  が大きいものに比べ、 $V_g$  が高くなると飽和電流が小さくなる。 $V_g$  が高くなるとチャネル抵抗が減少し、ソース・ドレイン寄生抵抗の影響が大きくなることを考慮すると、 $L_{min}$  が小さい MOSFET は寄生抵抗がより大きいことを示唆している。

図 2-3-9 に、エクステンションの  $x_j$  と N/PFET の寄生抵抗の関係を示す。 $x_j$  が小さくなると寄生抵抗が急激に大きくなるのが分かる。このことは、図 2-3-10 に示すように、 $L_{min}$  と  $I_{on}$  のトレードオフの関係を引き起こす。すなわち、 $x_j$  の縮小により  $V_{th}$  roll-off を改善できるが、性能の観点からは  $I_{on}$  の向上も同時に図る必要がある。

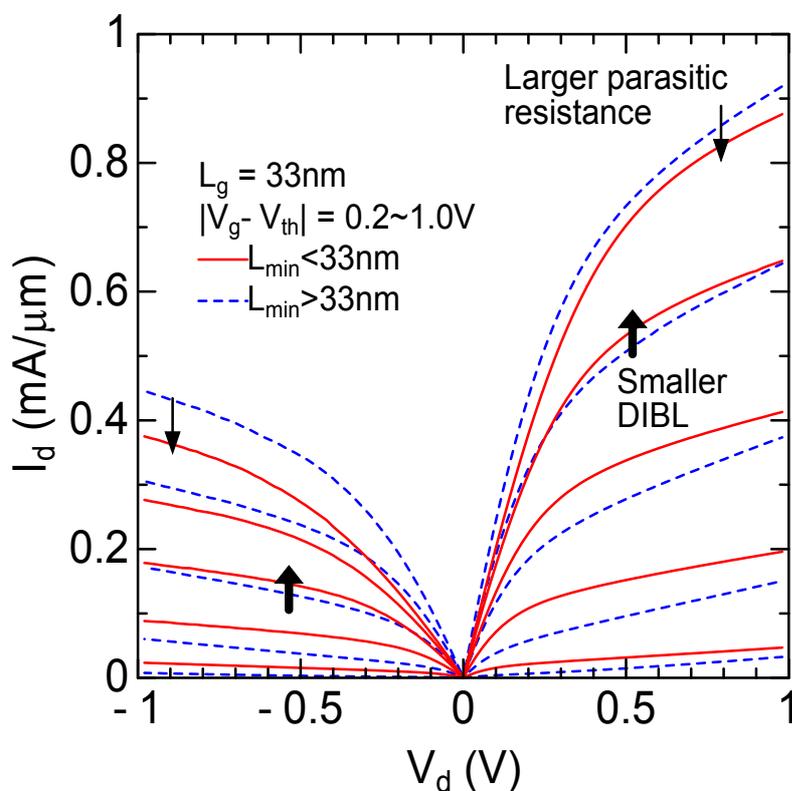


図 2-3-8.  $I_d$ - $V_d$  characteristics of 33nm gate length N/PFETs. FETs with  $L_{min} < 33\text{nm}$  have smaller DIBL while  $I_d$  degrades at high  $V_g$ .

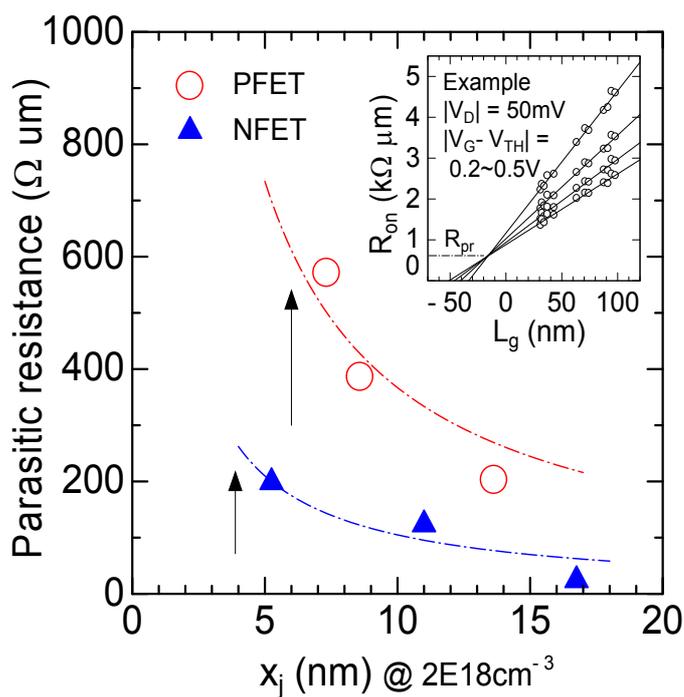


図 2-3-9. Parasitic resistance ( $R_{pr}$ ) as a function of  $x_j$ .  $R_{pr}$  was extracted from  $R_{on} - L_g$  plots as shown in the inset.

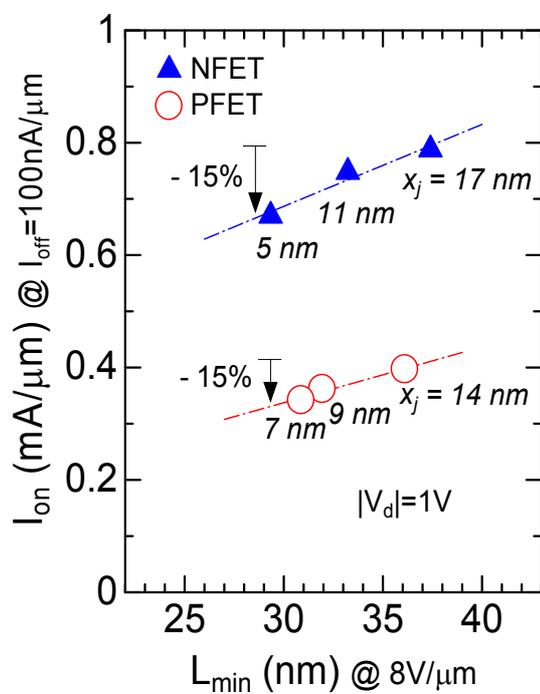


図 2-3-10.  $I_{on} - L_{min}$  plots of N/PFETs with different  $x_j$  showing serious linear trade-off between  $I_{on}$  and  $L_{min}$  even for 5-nm  $x_j$ .

2-3-4. 寄生抵抗の低減とゲート長スケーリングの延長

そのためには、浅いエクステンション接合に起因する寄生抵抗を低減することが重要である。このコンセプトは、図 2-3-3 で示したとおりである。まず、図 2-3-11 に、 $R_{neck}$  の低減のコンセプトを示す。急峻な接合設計では、シリサイドとソース・ドレイン接合間距離を小さくなる。すると、シリサイドからソース・ドレインに流れ出た電流はこの部分で狭まり、大きな抵抗となる [19]。これを防ぐためには、エクステンション根元のくびれを広げることと、NiSi の先端をエクステンションから離すことが有効である(図 2-3-12)。特に、2つの方法を組み合わせた場合に、大きな寄生抵抗低減効果が得られた。また、その結果は、 $I_{on}-I_{off}$  特性にも十分現れている(図 2-3-13)。

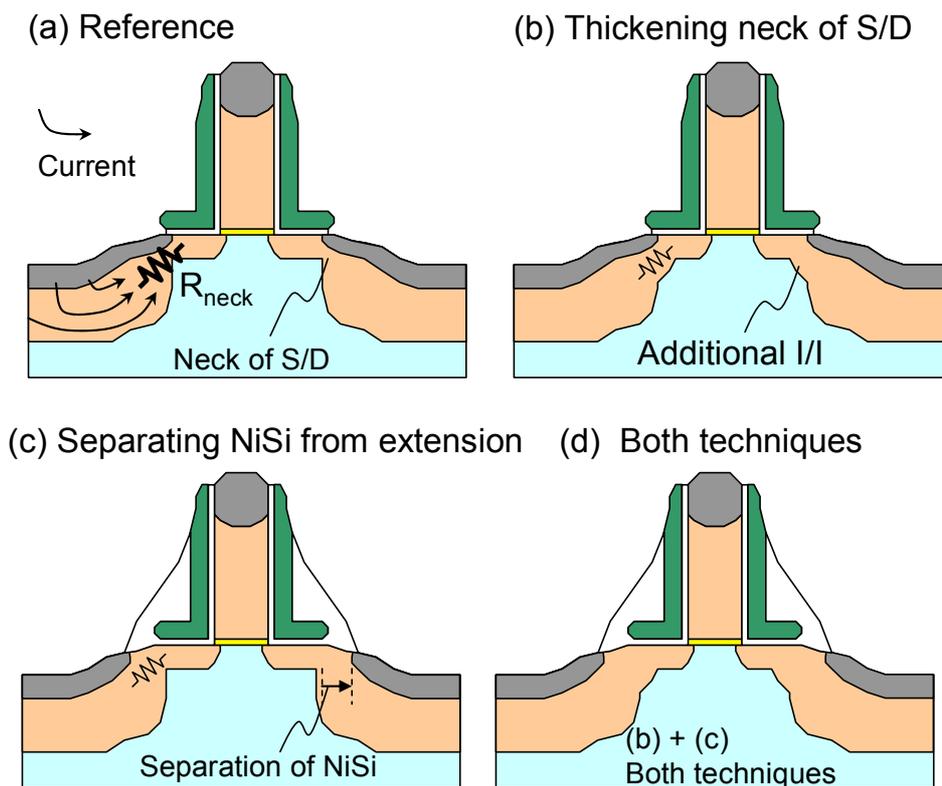


図 2-3-11. 寄生抵抗を低減するためのコンセプト  
 接合を浅く急峻にしすぎると、シリサイドとPN 接合境界が接近してボトルネックを形成し、深いソース・ドレインからの回り込み電流をピンチオフする。このボトルネックを広げれば寄生抵抗を低減できる。これを実現するために、ゲート側壁(サイドウォール)スペーサーのプロセスを工夫した。

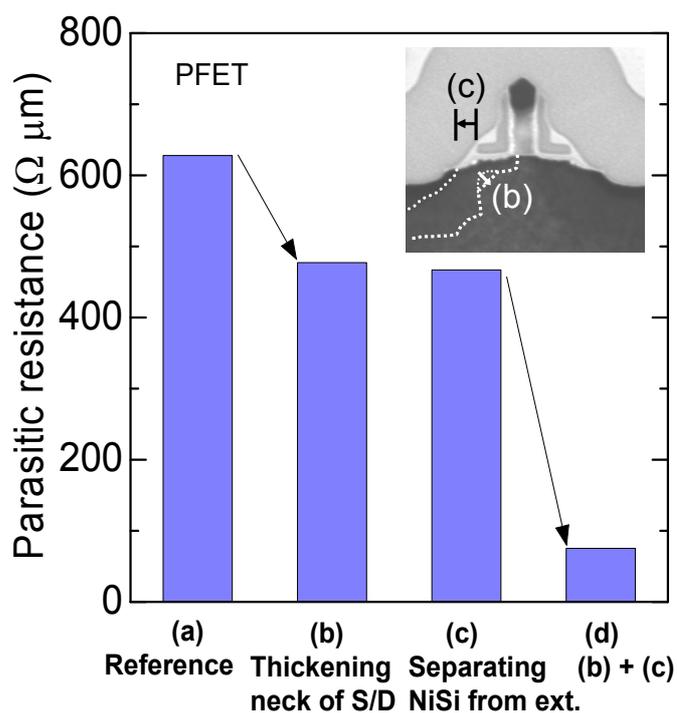


図 2-3-12. それぞれのタイプ(図 2-3-11)の PMOSFET の寄生抵抗  
挿入図は NiSi 位置を離れた PMOSFET の断面 STEM 像

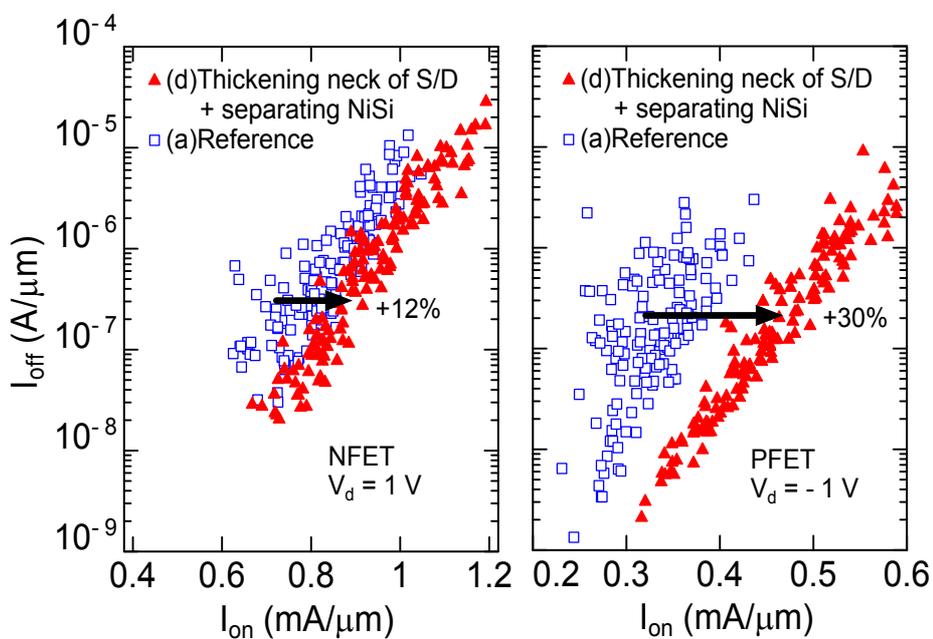


図 2-3-13. 寄生抵抗低減技術を適用した N/PMOSFET の  $I_{on}$ - $I_{off}$  特性  
PMOSFET の方が向上率が大きいのは、図 2-3-9 に示されるように、もともと PMOSFET の寄生抵抗の方が大きく効果が見えやすいためである。

次に、 $R_{ext}$  を減らし  $I_{on}$  を向上させるためには、エクステンションのリセスの低減と、高活性化の熱処理条件の適用が効果がある(図 2-3-15)。また、 $B_{18}H_{22}$  を用いた場合は、B モノマーに比べ、+7%の  $I_{on}$  向上が得られた。これは、 $B_{18}H_{22}$  の自己アモルファス化の効果のためと考えられる。続いて、 $T_{inv}$  縮小の効果を図 2-3-14 に示す。 $T_{inv}$  の低減は、ゲート空乏化を最小化することにより実現した。これによると、 $T_{inv}$  の縮小は、短チャネル効果の低減と  $I_{on}$  の向上を同時に達成できるため、ゲート長をスケールリングする上で極めて魅力的である。

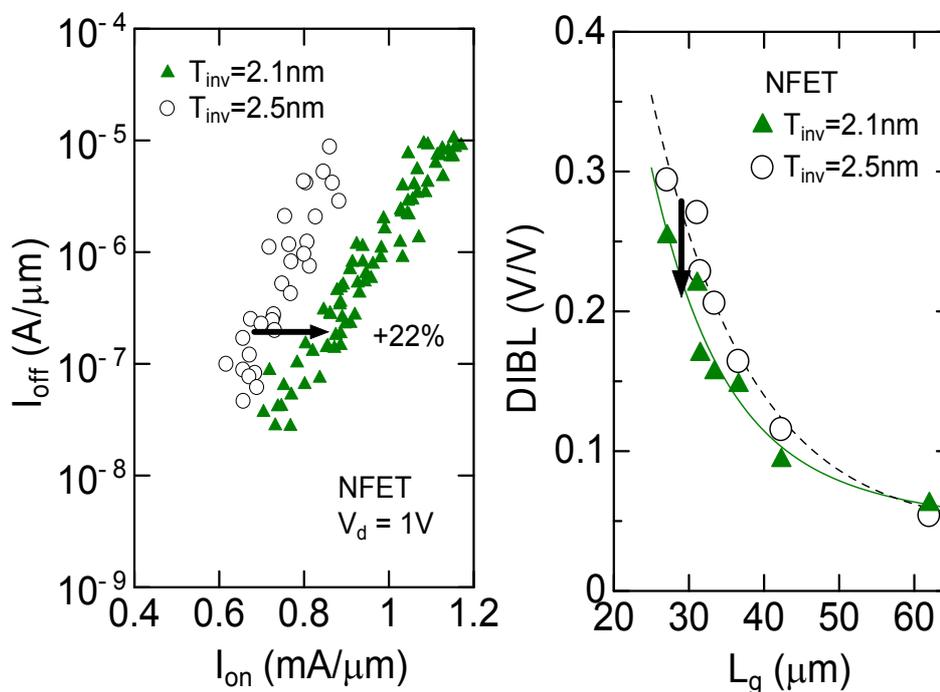


図 2-3-14. ゲート空乏化を減らして電氣的なゲート絶縁膜厚  $T_{inv}$  を減らした NMOSFET の (a)  $I_{on}$ - $I_{off}$  特性と (b) DIBL- $L_g$  特性  
 $T_{inv}$  の低減は、 $I_{on}$  の向上だけでなく、短チャネル効果の抑制にも効果がある。

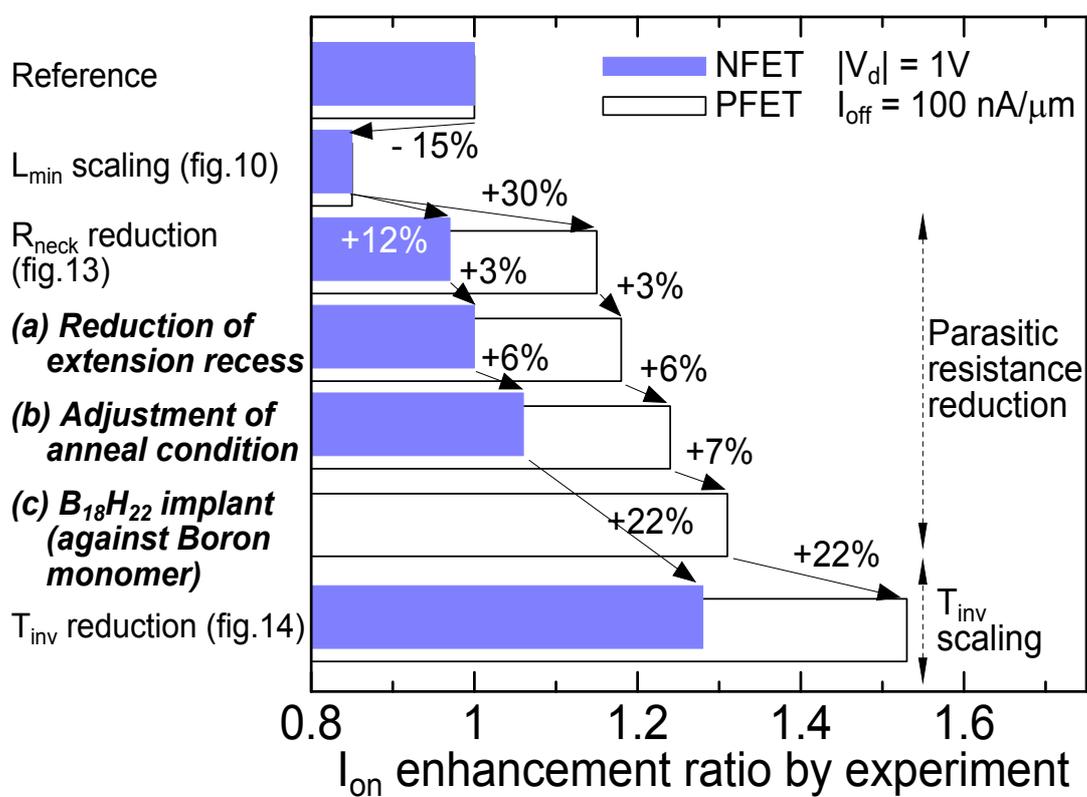


図 2-3-15. 本研究で得られた N/PMOSFET の  $I_{on}$  向上率のまとめ

最後に、本研究で得られた  $I_{on}$  向上率を図 2-3-15 にまとめた。ゲート長のスケーリングによる  $I_{on}$  の低下は、これらの技術を組み合わせることにより十分回復可能である。図 2-3-16 に、本研究により得られた指針を元に、シンプルなモデルで  $I_{on}$ - $L_{min}$  の計算を行った結果を示す。これによると、 $x_j$  を単純に縮小した場合、 $L_{min}$  の低減は可能であるが、 $I_{on}$  が劣化する。これは、 $L_g$  のスケーリングと共にチャネル抵抗が減少するのに対し、 $x_j$  が小さくなるため寄生抵抗はむしろ増加する。一方、エクステンションの抵抗率を十分下げれば、オン抵抗はゲート長と共に減少するため、 $I_{on}$  はむしろ増加する。寄生抵抗を減少させるためには、せり上げエクステンション技術やメタル(シリサイド)S/D 技術が有効と考えられる。更なる  $I_{on}$  の向上と  $L_{min}$  の減少のためには、 $T_{inv}$  の縮小が非常に有効である。これは、メタルゲート+high-k ゲート絶縁膜により実現可能である。これらの技術と、 $x_j=1\text{nm}$  程度の超極浅接合を形成できれば、バルクプレーナーMOSFET でも、ゲート長 20nm まで性能を低下させることなくスケーリングが可能である。

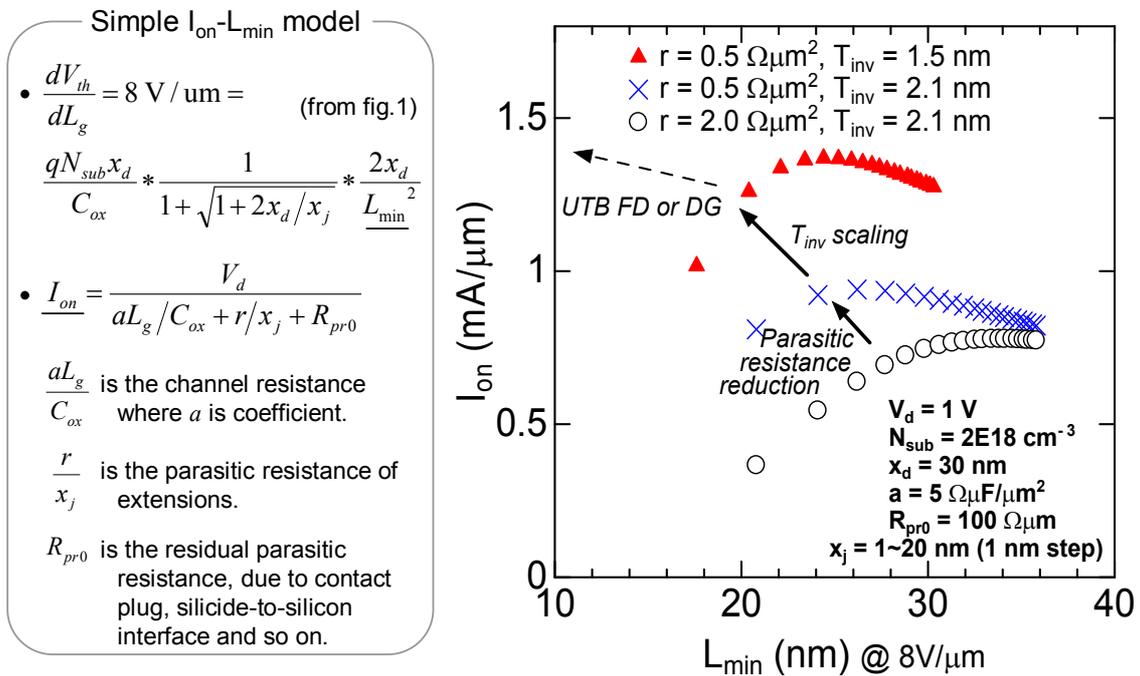


図 2-3-16. シンプルなモデル(左)に基づいた  $I_{on}$ - $L_{min}$  特性の計算結果(右グラフ) 接合深さ  $x_j$  を単純にスケーリングすると、寄生抵抗増大によって  $I_{on}$  が減少する。従って、スケーリングの限界に向けては、寄生抵抗を低減することと電氣的なゲート絶縁膜厚  $T_{inv}$  を薄くすることが重要になる。

### 2-3-5. まとめ

バルクプレーナーMOSFET のゲート長のスケーリングの限界について調べるため、レーザースパイクアニールによる熱拡散抑制活性化技術とクラスターイオン( $B_{18}H_{22}$ )による超極浅注入技術、マルチハロー技術を組み合わせて  $x_j=5\sim 15\text{nm}$  の超極浅接合を有する CMOSFET を作製した。その結果、 $x_j$  の短縮化と共に  $L_{\min}$  も  $30\text{nm}$  以下まで低減できることが分かった。一方、浅接合化に伴う  $I_{\text{on}}$  の低下を防ぐためには、エクステンションリセスの低減、高活性化技術、シリサイドと接合間の幅広化、による寄生抵抗の低減と、 $T_{\text{inv}}$  の縮小が有効である。すなわち、十分に低い寄生抵抗と  $T_{\text{inv}}$  の縮小と組み合わせることにより、 $L_g=20\text{nm}$  程度までは、プレーナーバルクMOSFET でも  $I_{\text{on}}$  を低下させることなく  $L_{\min}$  のスケーリングが可能であることを示した。

## 2-4. チャネルストレス制御

### ～二重ストレス窒化膜の効果を最大化する新 CMOS インテグレーション技術

#### 2-4-1. はじめに

二重ストレス窒化膜による MOSFET チャネルへの一軸性ストレス印加技術は、PMOS、NMOS ともにキャリアの移動度を向上させることにより(ピエゾ抵抗効果)、簡便かつ低コストで CMOS 性能を向上できる [20]。

しかしながら、CMOS の微細化とともにストレス窒化膜が薄くなるため、チャネルへかかるストレスが弱くなるという課題がある。この課題を克服するために、ゲート側壁に除去層を含むスペーサーを設け、ソース・ドレイン接合形成後にこれを除去することにより、ストレスの近接効果を高める技術が提案された [21]。しかし、NMOSFET のオン電流向上率はわずか 3%にとどまっている [22]。加えて、強いストレスの窒化膜は、シリサイド上の密着性が低くはがれるリスクが存在する。

本研究では、二重除去層を有するスペーサーのプロセスを新たに開発し、ストレス近接効果をさらに高める独自のゲート側壁構造(細らせL字型構造)を提案した。この技術を用いることにより、従来の単層除去層を有するスペーサーを用いたプロセスに比べ、さらに高いストレスをチャネルに印加することが可能になった。また、ストレス窒化膜の密着強化技術も新しく導入することにより、ストレスを効率よくチャネルに伝える手法も提案した。

#### 2-4-2. デバイスコンセプト

図 2-4-1 に、単層除去層を有するスペーサーと二重除去層を有するスペーサー、それぞれを用いた場合の MOSFET の構造を示す。前者の場合、外側の単層除去層を、ソース・ドレイン形成後に除去することにより、L 字型のスペーサーが形成される。こうして、ストレス窒化膜とチャネルが近づき、チャネルにかかるストレスが強化される。

さらにこのストレス近接効果を高めたいのであれば、L 字型スペーサーの裾を短くすればよい。そこで本研究では、スペーサーの除去層の二重構造を提案した。図 2-4-2 に、チャネルにかかるストレスのスペーサー幅依存性のシミュレーション結果を示す。ストレス窒化膜をチャネルに近づけることにより、チャネルにかかるストレスは急激に強まっており、二重除去層を有するスペーサープロセスが有効であることを示唆している。

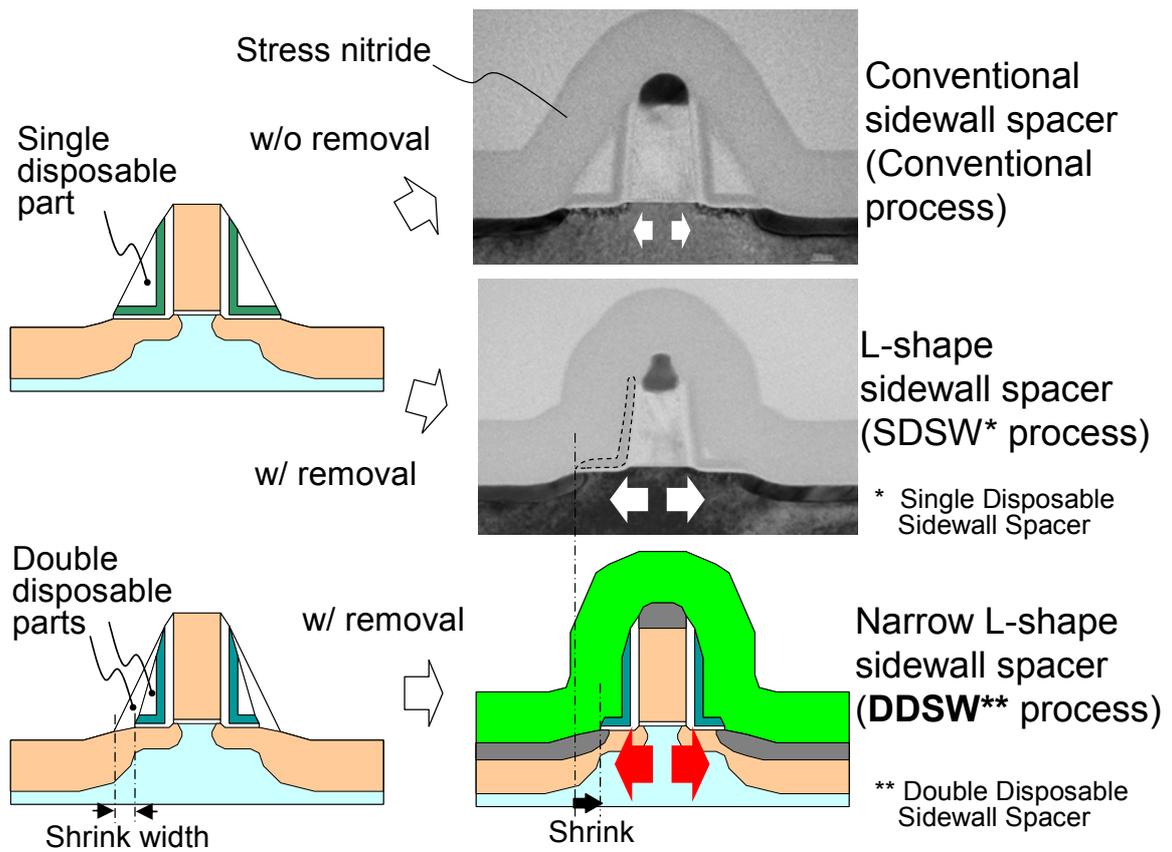


図 2-4-1 単層除去層を有するスペーサーと二重除去層を有するスペーサーを用いた場合の MOSFET の断面構造  
 ゲート側壁スペーサーの外側の除去層を、ソース・ドレイン形成後に除去することにより、L 字型のスペーサーが形成される。こうして、ストレス窒化膜とチャネルが近づき、チャネルにかかるストレスが強化される。

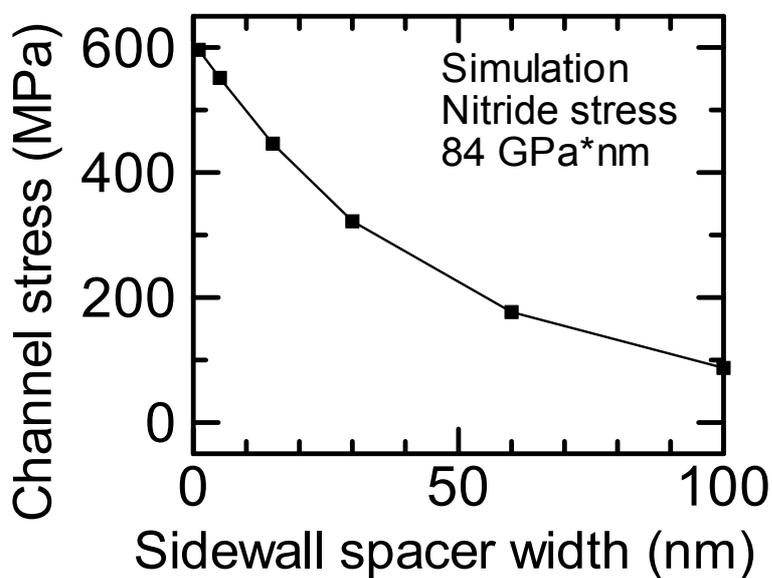
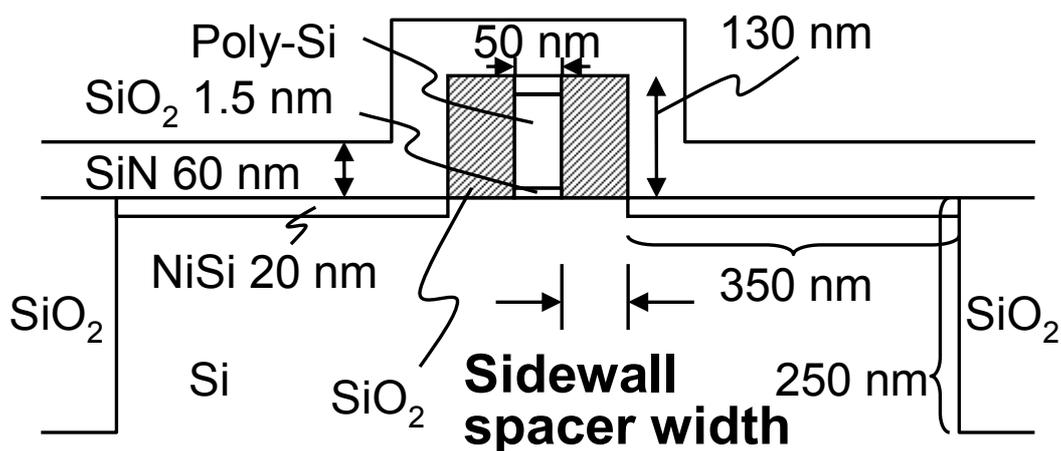


図 2-4-2. MOSFET のチャネルにかかるストレスのゲート側壁スペーサー幅依存性のシミュレーション結果  
 上段はシミュレーションに用いた MOSFET の構造。スペーサー幅が短くなると、急激にチャネルのストレスが強まる。

図 2-4-3 に、密着強化技術のコンセプトを示す。シリサイドと強いストレス窒化膜の間に、密着層として弱いストレス窒化膜または SiO<sub>2</sub> 膜を挿入する。一方、従来技術の場合、直接、強いストレス窒化膜をシリサイド上に堆積するが、極所的な剥がれが観察された。このことは、チャンネルにかかるストレスを弱めると考えられる。この密着強化技術とともに、プロセス中に窒化膜のストレスそのものが弱まってしまわないよう、プロセスの改善も行った。

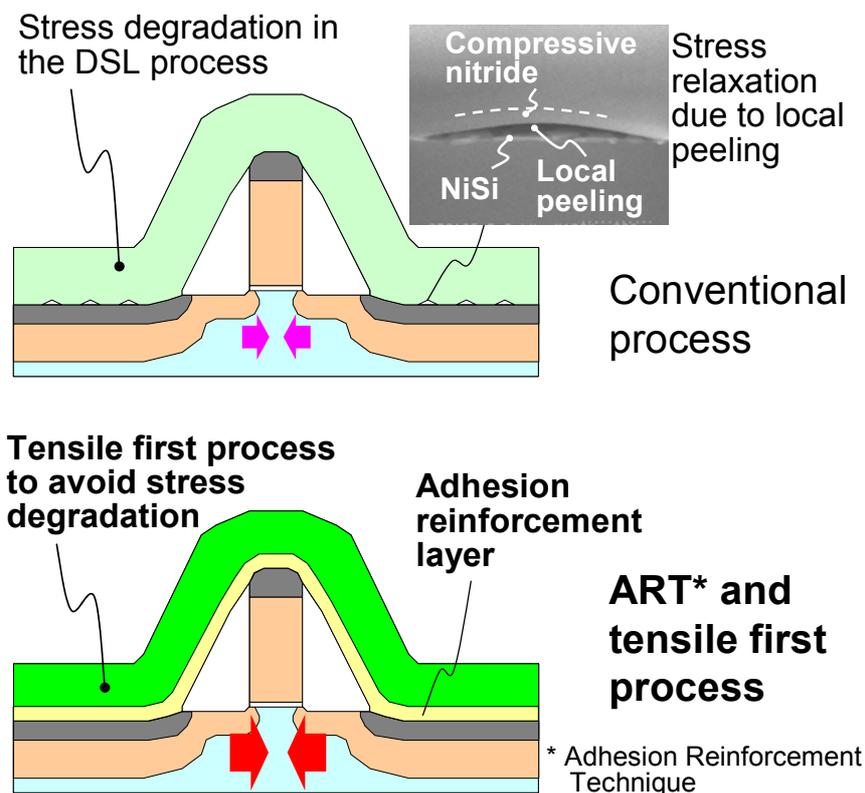


図 2-4-3. 密着強化技術と引張ストレス窒化膜先づくりプロセスのコンセプト  
シリサイドと強いストレス窒化膜の間に、密着層を挿入し剥がれによるチャンネルストレスの低下を防止する。また、プロセス中に窒化膜のストレスそのものが弱まってしまわないよう、プロセスの改善(引張ストレス窒化膜先づくり)も行った。

### 2-4-3. ストレス窒化膜のレイアウトの改善

はじめに、デバイス縮小に伴う、ストレス窒化膜を用いた CMOSFET 特性への影響を調べるため、図 2-4-4 に示すような特殊なレイアウトを有するテストパターンを準備した(図 2-4-4)。

Si ウエハは(100)面であり、チャンネルは $\langle 110 \rangle$ 方向とした。そして、チャンネル方向に対し、PMOSFET は圧縮ストレス、NMOSFET は引張ストレスがかかるよう、二重のストレス窒化膜プロセスを採用した。このチャンネル方向とストレス極性は、キャリアの移動度が感度良く向上する。

なお、チャンネル方向に圧縮のストレスを生じるストレス窒化膜を“圧縮ストレス窒化膜”、チャンネル方向に引張のストレスを生じる窒化膜を“引張窒化膜”と呼ぶ。

図 2-4-4 中、X と Y は、ゲート電極端から二重ストレス窒化膜の境界までの、それぞれゲート長とゲート幅方向の距離を示している。CMOS 回路レイアウトの影響を見積もるために、従来の報告にくらべ、かなり大きく、2桁以上の範囲にわたって X と Y を変化させたことは新しい試みである [23]。

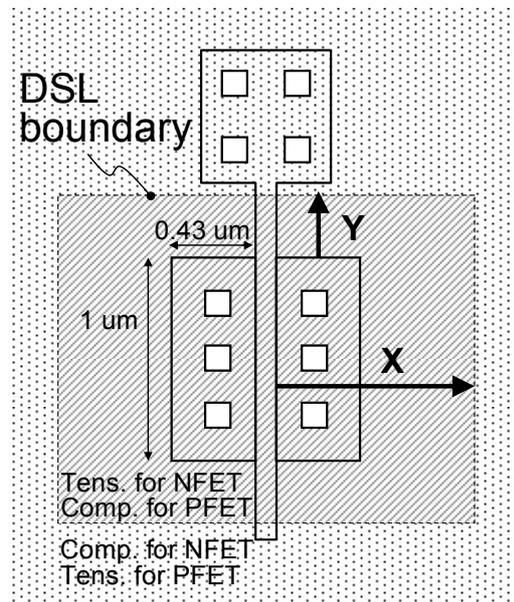
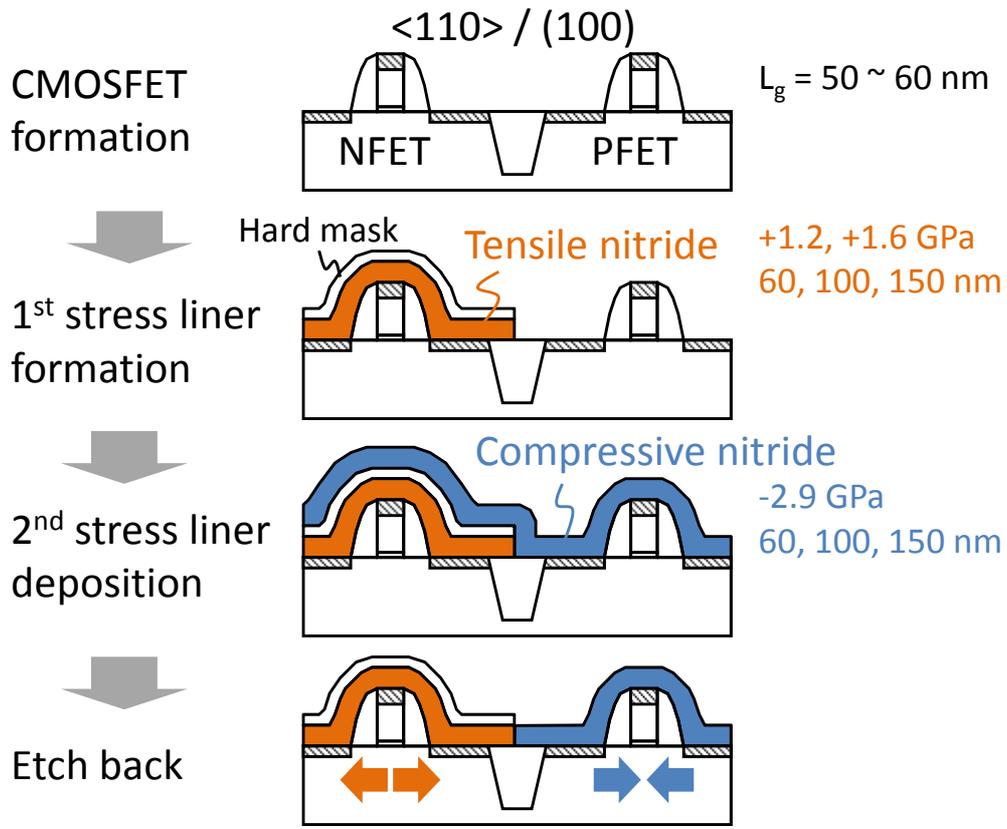


図 2-4-4. 二重ストレス窒化膜(DSL: Dual Stress Liner)を用いた CMOSFET の製造フロー(上段)とその幾何学的なレイアウトの影響を調べるためのテストパターン(下段)  
XとYは、ゲート電極端から二重ストレス窒化膜の境界までの、それぞれゲ

図 2-4-5 に、NMOSFET と PMOSFET それぞれの、オン電流向上率の X 幅依存性を示す。X が  $1\mu\text{m}$  より小さくなると急激にオン電流向上率が低下している。このことは、チャネルにかかるストレスが急激に弱まっていることを示している。この結果は、デバイス縮小に伴うストレス印加技術の大きな課題を示している。すなわち、ゲート長方向のストレス窒化膜の“裾”の長さが短くなれば、どんどんストレスの効果が落ちることを意味している。

一方、ゲート端から  $1\mu\text{m}$  を超えたかなり遠い部分のストレス窒化膜が、PMOSFET の性能に影響を与えている点は注目に値する。このことは、図 2-4-6 に示す、チャネルのストレス強度シミュレーションの結果にも示されている。

従って、二重ストレス窒化膜を用いた MOSFET の回路レイアウトの際、できるだけ同型(NまたはP型)の MOSFET を、ゲート長方向に並べることが有効である。そうすることによって、離れた部分の窒化膜のストレスも、チャネルへのストレスに寄与させることができる。そして、同型の MOSFET を羅列した一番端には、 $1\mu\text{m}$  を超えるダミー-MOSFET 領域を設けることが有効である。

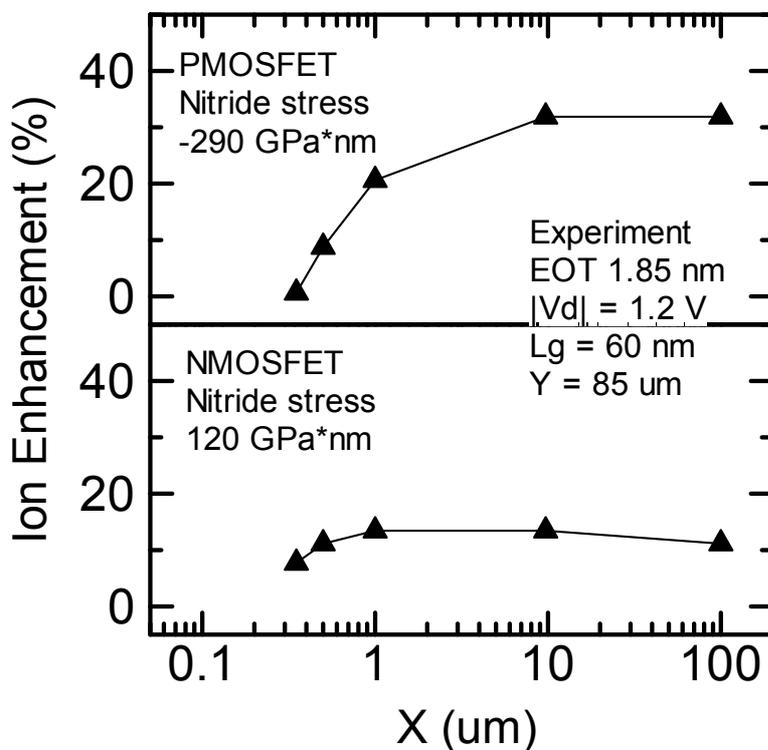


図 2-4-5. 実験的に得られたストレスによるオン電流向上率の X 幅依存性  
X は図 2-4-4 で定義した幅。X が  $1\mu\text{m}$  より小さくなるとストレスの効果が急激に弱まる。

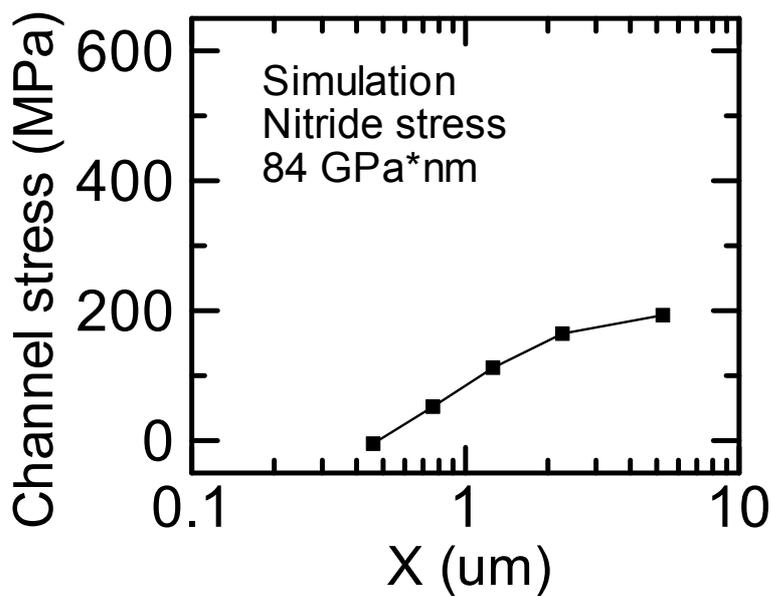
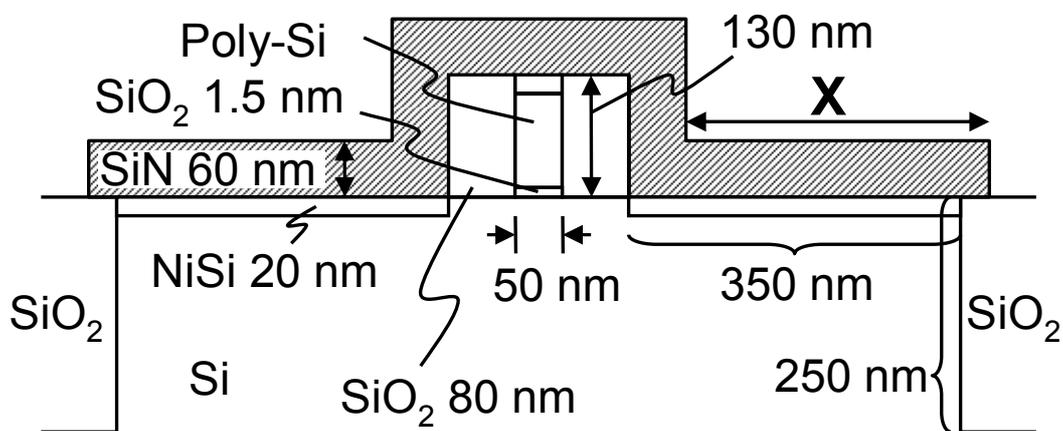


図 2-4-6. MOSFET のチャネルにかかるストレスの窒化膜の X 幅依存性のシミュレーション結果

上段はシミュレーションに用いた MOSFET の構造。図 2-4-5 の実験結果と比較すると、X 幅の短縮によってオン電流が低下するのは、チャネルストレスが減少したためと言える。

次に、図 2-4-7 に、オン電流向上率の Y 依存性を示す。これによると、チャンネル幅方向に対しては、二重ストレス窒化膜の境界を、PMOSFET 側に寄せることが有効であるといえる。このようなレイアウトによって、NMOSFET のオン電流を下げることなく、PMOSFET のオン電流を+10%向上させることが可能となる。

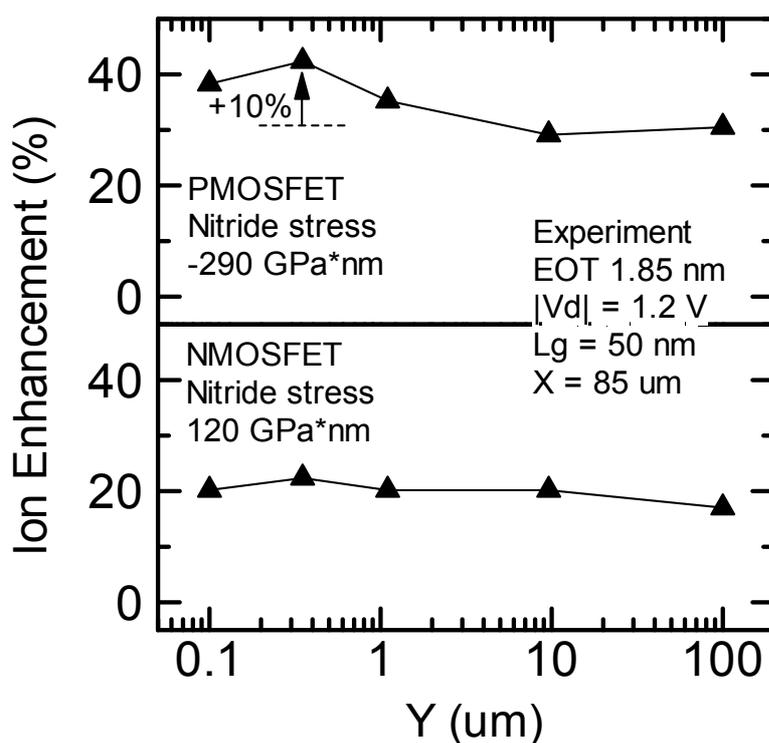


図 2-4-7. 実験的に得られたストレスによるオン電流向上率の Y 幅依存性  
 Y は図 2-4-4 で定義した幅。Y を最適化すると、PMOSFET のオン電流が+10%向上する。

## 2-4-4. 二重除去層を有するスペーサーの導入

図 2-4-8 に、強い引張ストレス窒化膜を用いた NMOSFET の  $I_{on}$ - $I_{off}$  (オン電流-オフ電流) 特性を示す。従来の除去を行わないスペーサー (conventional) に比べ、単層除去層を除去することにより、オン電流が+6%向上した。

次に、図 2-4-9 に、二重除去層を有するスペーサーを用いた NMOSFET の、チャンネルコンダクタンスのゲートドライブ電圧依存性を示す。チャンネルコンダクタンスは、線形領域のオン抵抗のゲート長依存性から計算した。従って、寄生抵抗成分は含まれない。また、移動度の計算を模して、ゲートドライブで規格化した。これによると、二重除去層を有するスペーサーを用いることにより、除去の無い従来プロセスに対し、チャンネルコンダクタンスが向上した。向上率は、最終的に残る L 字型のスペーサー (図 2-4-1) の裾を短くするほど上がり、最大で+10%を得た。

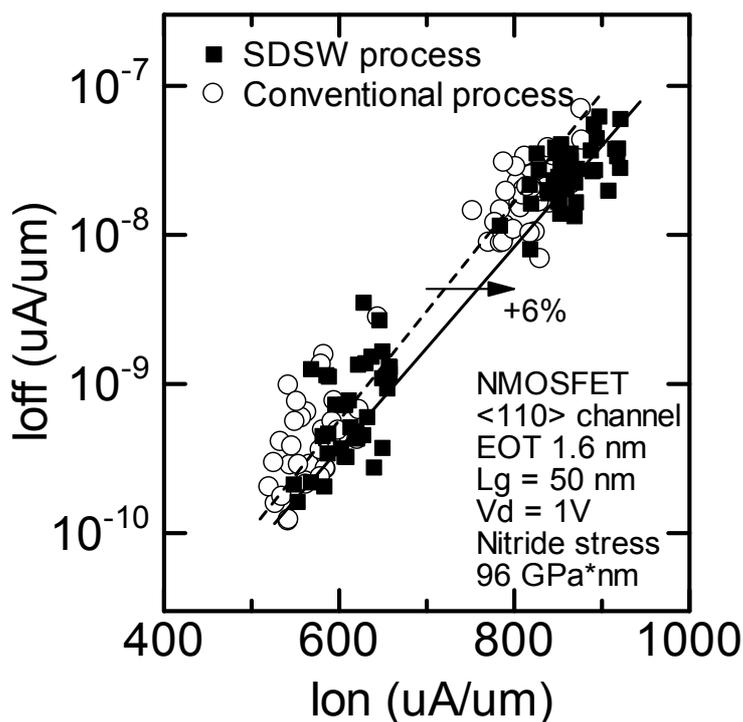


図 2-4-8 単層除去層 (SDSW: Single Disposable SideWall) プロセスを用いた NMOSFET の  $I_{on}$ - $I_{off}$  (オン電流-オフ電流) 特性  
スペーサーの除去を行わないプロセス (conventional) に比べ、オン電流が+6%向上した。

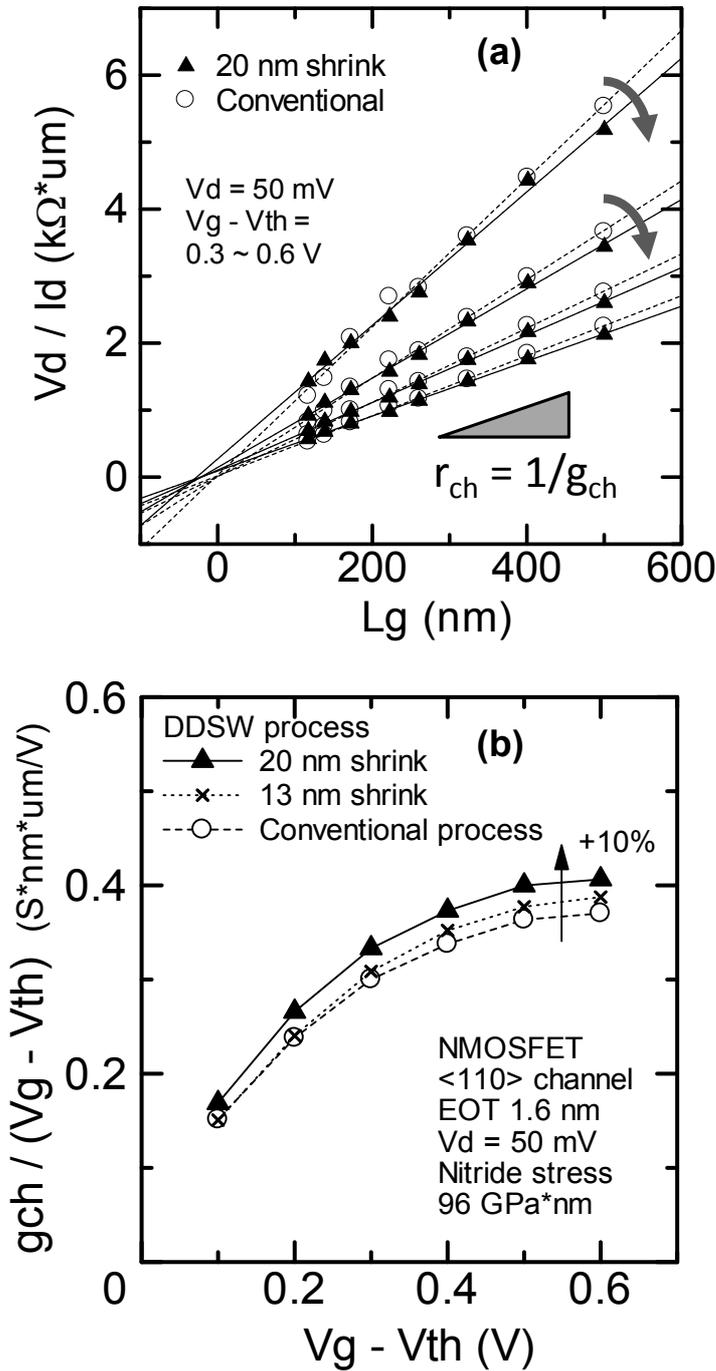


図 2-4-9 二重除去層 (DDSW: Double Disposable SideWall) プロセスを用いた NMOSFET の (a) チャンネルコンダクタンス  $g_{ch}$  の計算方法 と (b) ゲートドライブ ( $V_g - V_{th}$ ) で規格化した  $g_{ch}$  の  $V_g - V_{th}$  依存性

チャンネルコンダクタンス  $g_{ch}$  は、MOSFET の線形領域 (ドレイン電圧  $V_d = 50$  mV) におけるオン抵抗のゲート長  $L_g$  依存性の傾きから計算した。従って、寄生抵抗成分は含まれない。 $g_{ch}$  をゲートドライブ  $V_g - V_{th}$  で規格化したのは、見やすさと移動度の計算を模すためである。これによると、二重除去層を有するスペーサーを用いることにより、スペーサーの除去を行わないプロセス (conventional) に対し、チャンネルコンダクタンスが +10% 向上した。

2-4-5. 密着層の導入

図 2-4-10 に、シリサイド上 (NiSi) の圧縮ストレス窒化膜の密着性テープ試験の結果を示す。密着層の膜厚を厚くすると、膜種 (弱いストレス窒化膜、SiO<sub>2</sub> 膜) に寄らず、密着性が向上した。図 2-4-11 に、圧縮ストレス窒化膜に密着層を組み合わせた PMOSFET のオン電流向上率を示す。比較には、ストレスフリーな窒化膜による PMOSFET のオン電流を用いた。これによると、密着層の膜厚は厚いほどオン電流は向上した。密着性テープ試験の結果を併せて考えると、密着性の向上によって、より強いストレスがチャンネルに印加された結果と解釈できる。これは、本コンセプト (図 2-4-3) を裏付ける結果である。一方、密着膜として、SiO<sub>2</sub> 膜より、弱いストレス窒化膜の方がオン電流向上に効果があった。これは、SiO<sub>2</sub> 膜のストレスが、“弱いストレス窒化膜”より、さらに弱いことが影響したためと考えられる。

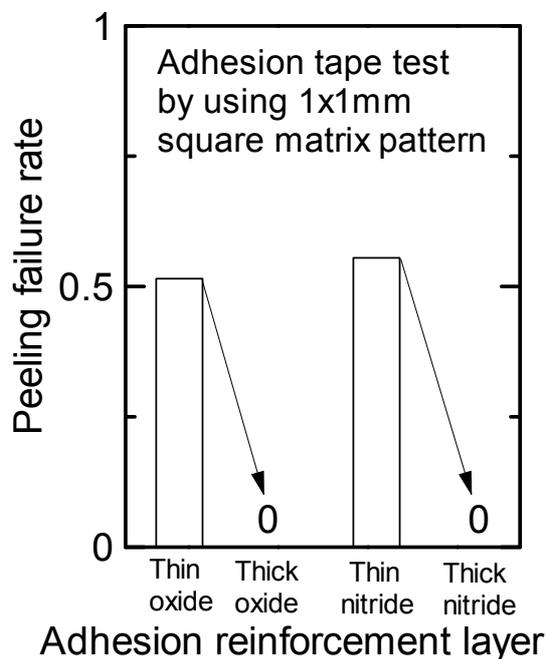


図 2-4-10 NiSi 上の強い圧縮窒化膜のテープテスト結果  
 ブランケットウエハ上にダイヤモンドペンで 1cm 口の領域に 1mm x 1mm のマトリクスパターンを 100 個描き、密着性試験用の粘着力の強いテープを張り付けて剥がす試験を多数繰り返す。密着性が弱いと、窒化膜が剥がれてテープ側に張り付くので数えられる。

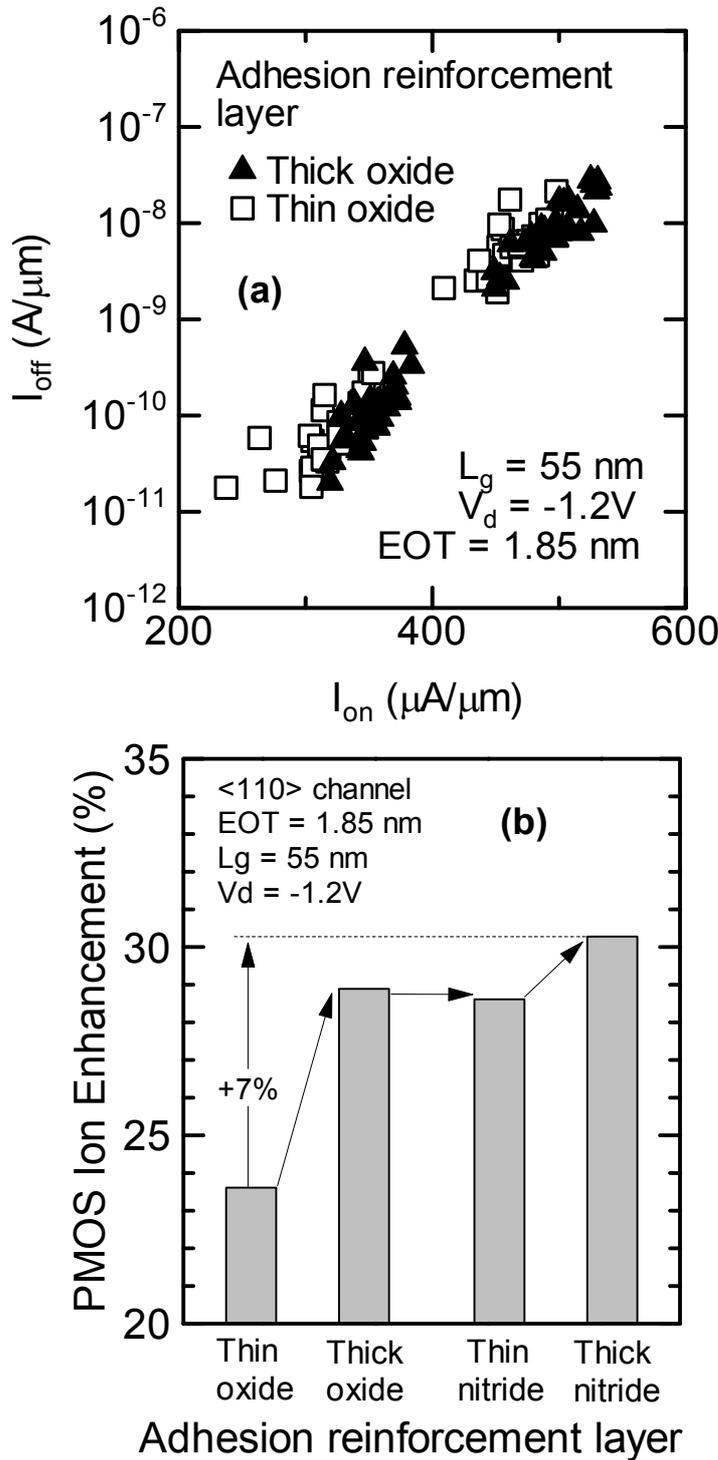


図 2-4-11 圧縮ストレス窒化膜と密着層を用いた PMOSFET の (a)  $I_{on}$ - $I_{off}$  特性 と (b)  $I_{on}$  向上率  
 (a)より、密着層の膜厚が厚いほどオン電流は向上する。密着性テープ試験の結果(図 2-4-10)と併せて考えると、密着性の向上によって、より強いストレスがチャンネルに印加された結果と解釈できる。(b)の  $I_{on}$  向上率は、ストレスフリーな窒化膜を用いた PMOSFET の  $I_{on}$  を基準にした。密着膜としては、 $\text{SiO}_2$  膜より、弱いストレス窒化膜の方がオン電流向上に効果があった。これは、 $\text{SiO}_2$  膜のストレスが、“弱いストレス窒化膜”より、さらに弱いためと考えられる。

## 2-4-6. 引張ストレス窒化膜先づくりプロセス

図 2-4-12 に、二重ストレス窒化膜を用いた CMOSFET の 2 種類の製造方法を示す。

1つは、“圧縮ストレス先づくり”である(図 2-4-12 中の”compressive first”)。“圧縮ストレス窒化膜先づくり”とは、圧縮ストレス窒化膜を先に堆積して NMOSFET 領域のみ除去後、引張ストレス窒化膜を堆積するプロセスである。この後、PMOSFET 領域の引張ストレス窒化膜は除去する。

もう一つは、“引張ストレス先づくり”である(図 2-4-12 中の”tensile first”)。これは、圧縮ストレス窒化膜先づくりと全く逆で、引張ストレス窒化膜を先に堆積して PMOSFET 領域のみ除去後、圧縮ストレス窒化膜を堆積するプロセスである。この後、NMOSFET 領域の圧縮ストレス窒化膜は除去する。

図 2-4-13 に、“圧縮ストレス先づくり”と“引張ストレス先づくり”の2つのプロセスで作製した、NMOSFETとPMOSFETのオン電流の、ストレス窒化膜の積算ストレス値(GPa\*nm)依存性を示す。積算ストレス値は、ストレス窒化膜の内部ストレス値(GPa)に膜厚を乗じた値として定義した。

これによると、PMOSFET の場合、プロセスによってオン電流向上率が変化した。これは、圧縮ストレス窒化膜のストレスが、引張ストレス窒化膜形成時に弱くなってしまったためである。本研究では、-2.9 GPa の内部ストレスを持つ圧縮ストレス窒化膜が、-2.2GPa に弱まることを観測した。

この現象は、“引張ストレス窒化膜先づくり”によって改善可能である。“引張ストレス窒化膜先づくり”の場合、窒化膜のストレスが弱まることはない。この引張ストレス窒化膜先づくりのプロセスを採用することにより、NMOSFET のオン電流向上率を保ちつつ、PMOSFET のオン電流向上率を、圧縮ストレス窒化膜先づくりに対して、+6%向上させることができた。

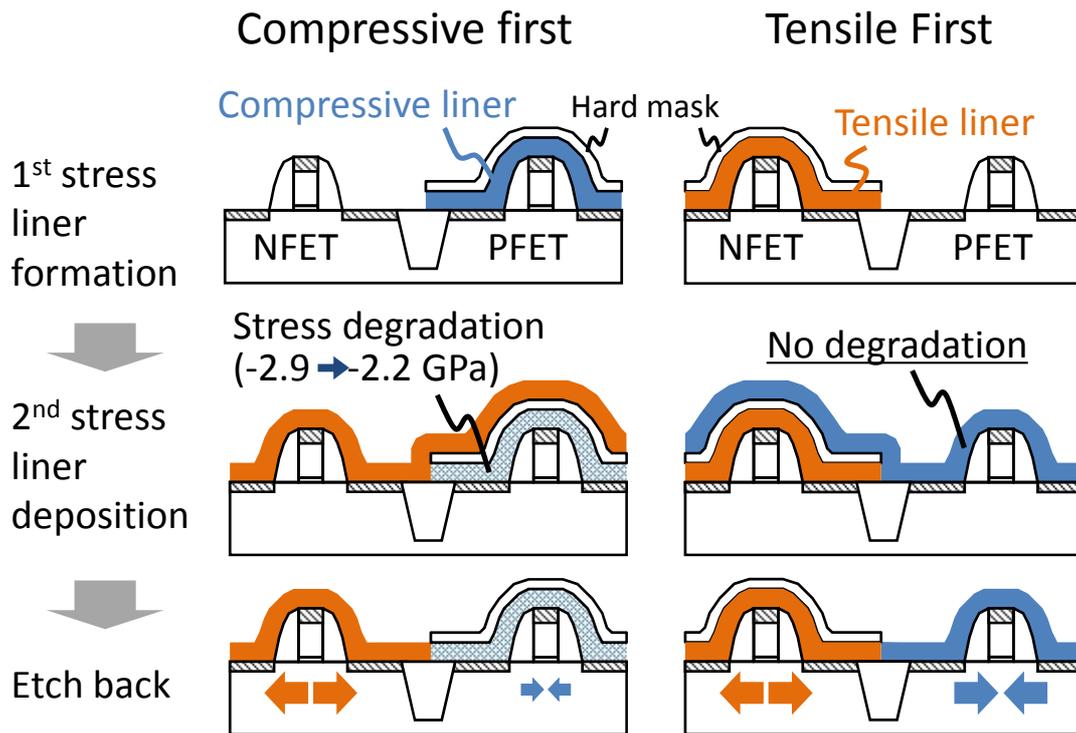


図 4-2-13 二重ストレス窒化膜を用いた CMOSFET の 2 種類の製造方法

“圧縮ストレス先づくり”(compressive first)とは、圧縮ストレス窒化膜(compressive liner)を先に堆積して NMOSFET 領域のみ除去後、引張ストレス窒化膜(tensile liner)を堆積するプロセスである。この後、PMOSFET 領域の引張ストレス窒化膜は除去する。

“引張ストレス先づくり”(tensile first)とは、引張ストレス窒化膜を先に堆積して PMOSFET 領域のみ除去後、圧縮ストレス窒化膜を堆積するプロセスである。この後、NMOSFET 領域の圧縮ストレス窒化膜は除去する。

本研究では、圧縮ストレス窒化膜のストレスが、引張ストレス窒化膜形成時に弱くなることを確認した(内部応力: -2.9 GPa→-2.2GPa)。

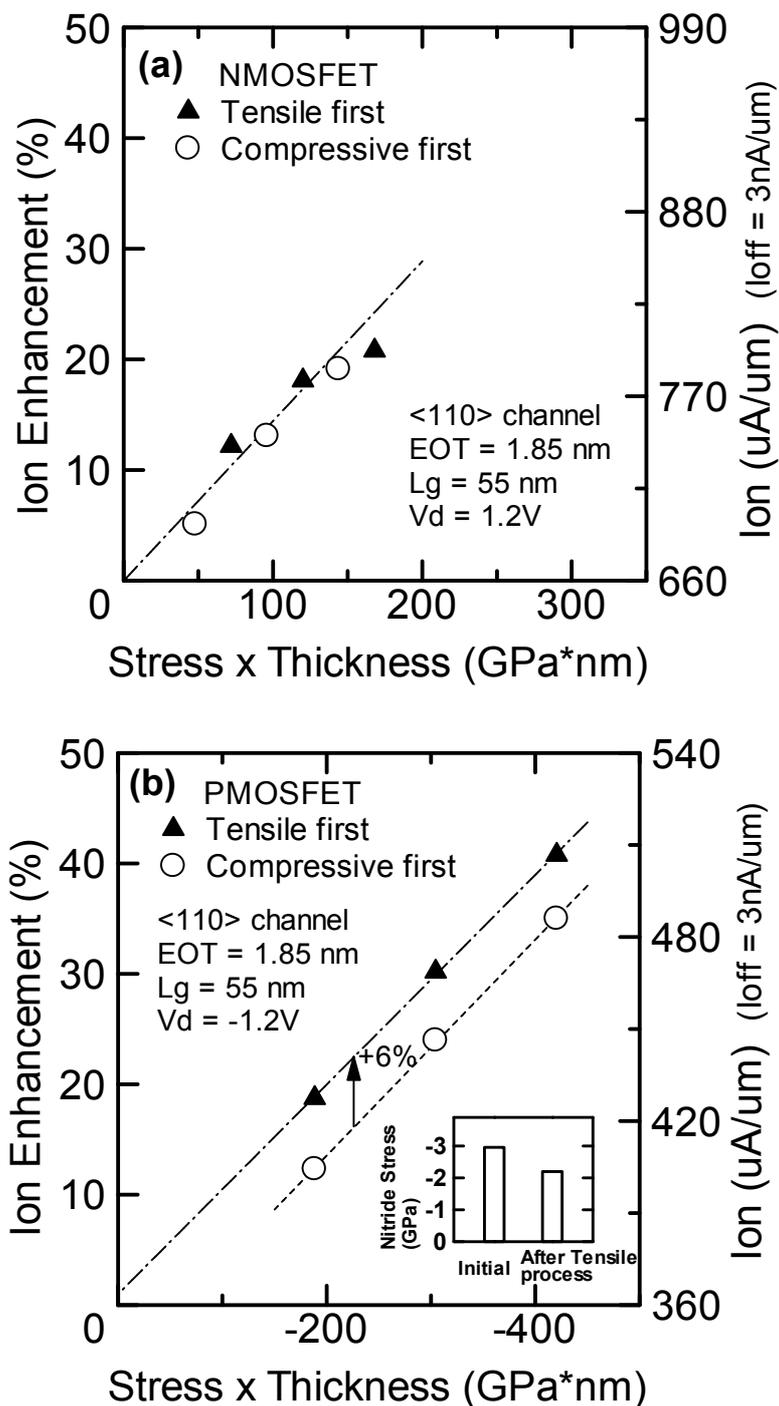


図 4-2-13 オン電流のストレス窒化膜の積算ストレス値依存性 (a) PMOSFET、(b) NMOSFET  
 積算ストレス値 (GPa\*nm) はストレス窒化膜の内部ストレス値 (GPa) に膜厚 (nm) を乗じた値として定義した。PMOSFET の場合、プロセスによってオン電流向上率が変化した。これは、圧縮ストレス窒化膜のストレスが、引張ストレス窒化膜形成時に弱くなるためである (図 2-4-12)。この現象は、“引張ストレス窒化膜先づくり”によって改善可能である。このプロセスを採用することにより、NMOSFET のオン電流向上率を保ちつつ、PMOSFET のオン電流向上率を、圧縮ストレス窒化膜先づくりに対して、+6%向上させることができた。

2-4-7. 高効率チャンネルストレス印加技術による MOSFET の性能向上率

図 2-4-14 に、本研究の高効率チャンネルストレス印加技術による MOSFET の性能向上率を示す。

二重除去層を有するスペーサーを用いることにより、+10%のチャンネルコンダクタンスの向上を得た。PMOFET に関しては、密着層導入によって+7%、ストレス劣化防止プロセスにより+6%、ストレス窒化膜のレイアウトの工夫により+10%、のオン電流向上を得た。

その他にも、チャンネルストレスを弱めるゲート上のストレス窒化膜を除去したり、ゲート電極の高さを高くしたり、完全に側壁スペーサーを除去することも、チャンネルストレスをさらに強める手法として考えられる。しかし、プロセスが複雑な割に性能向上率は限定的と考えられる。本研究の手法は、プロセスコストと性能向上率(最大+50%)のバランスの観点で、有効であるといえる。

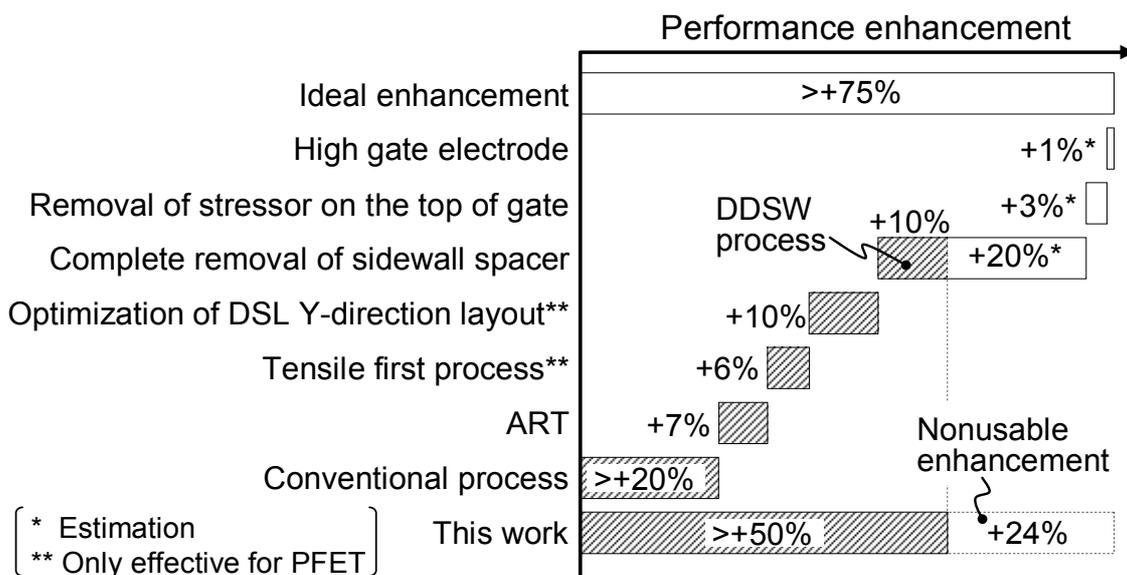


図 4-2-14 本研究の高効率チャンネルストレス印加技術による MOSFET の性能向上率  
 二重除去層を有するスペーサーを用いることにより、+10%のチャンネルコンダクタンスの向上を得た。PMOFET に関しては、密着層導入によって+7%、ストレス劣化防止プロセスにより+6%、ストレス窒化膜のレイアウトの工夫により+10%、のオン電流向上を得た。  
 その他にも、ゲート電極の形状を工夫したり、完全に側壁スペーサーを除去することも、チャンネルストレス強化につながる。しかし、プロセスが複雑な割に性能向上率は限定的と考えられる。本研究の手法は、プロセスコストと性能向上率(最大+50%)のバランスの観点で、有効である。

#### 2-4-8. まとめ

ストレスを効果的に MOSFET チャンネルに伝える技術を採用することにより、二重ストレス窒化膜の効果を最大化することに成功した。二重除去層を有する側壁スペーサーによる更なるストレス近接技術、密着層の導入と引張ストレス窒化膜先づくりによるストレス緩和防止、ストレス窒化膜のレイアウトの工夫、により、微細化に伴うストレスの低下という課題を解決可能である。

## 第2章の参考文献

- [1] W.-C. Lee, T.-J. King, and C. Hu, "Optimized Poly-Si<sub>1-x</sub>Ge<sub>x</sub>-Gate Technology for Dual Gate CMOS Application", Symposium on VLSI Technology Digest of Technical Papers, pp. 190-191 (1998).
- [2] Y. V. Ponomarev, C. Salm, J. Schmitz, P. H. Woerlee, P. A. Stolk, and D. J. Gravesteijn, "Gate-workfunction engineering using poly-(Si,Ge) for high-performance 0.18 $\mu$ m CMOS technology", IEDM Tech. Dig., pp. 829-832 (1997)
- [3] V. Z.-Q. Li, M. R. Mirabedini, R. T. Kuehn, J. J. Wortman, and M. C. Ozturk, "Single gate 0.15 $\mu$ m CMOS devices fabricated using RTCVD in-situ boron doped Si<sub>1-x</sub>Ge<sub>x</sub> gates", IEDM Tech. Dig., pp. 833-836 (1997).
- [4] R. People, "Indirect band gap of coherently strained Ge<sub>x</sub>Si<sub>1-x</sub> bulk alloys on  $\langle 001 \rangle$  silicon substrates", Physical Review B, vol. 32, pp. 1405-1408 (1985).
- [5] T. J. King, J. P. McVittie, K. C. Saraswat, and J. R. Pfister, "Electrical properties of heavily doped polycrystalline silicon-germanium films", IEEE Trans. Electron Devices, vol. 41, pp. 228-232 (1994).
- [6] C. Salm, D. van Veen, D. Gravesteijn, J. Holleman, and P. Woerlee, "Diffusion and electrical properties of boron and arsenic doped poly-Si and poly-Ge<sub>x</sub>Si<sub>1-x</sub> (x similar to 0.3) as gate material for sub-0.25  $\mu$ m complementary metal oxide semiconductor applications", J. Electrochem. Soc., vol. 144, pp. 3665-3673 (1997).
- [7] M.-S. Liang and C. Hu, "Electron trapping in very thin thermal silicon dioxides", IEDM Tech. Dig., pp. 396-399 (1981).
- [8] K. Uejima, T. Yamamoto, and T. Mogami, "Highly reliable poly-SiGe/Amorphous-Si gate CMOS", IEDM Tech. Dig., pp. 445-448 (2000).
- [9] H. P. Tuinhout, A. H. Montree, J. Schmitz, and P. A. Stolk, "Effects of gate depletion and boron penetration on matching of deep submicron CMOS transistors", IEDM Tech. Dig., pp. 631-634 (1997).
- [10] C.H. Wang, IEEE Trans. Ele. Dev., p. 965, (1996).
- [11] J.-R. Kahng, J.-W. Moon, and J.-H. Kim, "C-V extraction method for gate fringe capacitance and gate to source-drain overlap length of LDD MOSFET", Proc. IEEE ICMTS, p. 59-63 (2001).
- [12] T. Aoyama, K. Suzuki, H. Tashiro, Y. Tada, and H. Arimoto, "Flat-band voltage shifts in P-MOS devices caused by carrier activation in P+-polycrystalline silicon and boron penetration", IEDM Tech. Dig., pp. 627-630 (1997).
- [13] C. Salm, D. van Veen, D. Gravesteijn, J. Holleman, and P. Woerlee, "Diffusion and electrical properties of boron and arsenic doped poly-Si and poly-Ge<sub>x</sub>Si<sub>1-x</sub> (x similar to 0.3) as gate

- material for sub-0.25 um complementary metal oxide semiconductor applications", J. Electrochem. Soc., vol. 144, pp. 3665-3673 (1997).
- [14] N. Yasutake, K. Ohuchi, M. Fujiwara, K. Adachi, A. Hokazono, K. Kojima, N. Aoki, H. Suto, T. Watanabe, T. Morooka, H. Mizuno, S. Magoshi, T. Shimizu, S. Mori, H. Oguma, T. Sasaki, M. Ohmura, K. Miyano, H. Yamada, H. Tomita, D. Matsushita, K. Muraoka, S. Inaba, M. Takayanagi, K. Ishimaru, and H. Ishiuchi, "A hp22 nm Node Low Operating Power (LOP) Technology with Sub-10 nm Gate Length Planar Bulk CMOS Devices", Symposium on VLSI Technology Digest of Technical Papers, pp. 84-85 (2004).
- [15] L. D. Yau, "A SIMPLE THEORY TO PREDICT THE THRESHOLD VOLTAGE OF SHORT-CHANNEL IGFET's", Solid-State Electronics, vol. 17, pp. 1059-1063 (1974).
- [16] M. Narihiro, T. Iwamoto, T. Yamamoto, T. Ikezawa, K. Yako, M. Tanaka, A. Mineji, Y. Okuda, K. Uejima, S. Shishiguchi and M. Hane, "Sub-30nm Mosfet Fabrication Technology Incorporating Precise Dopant Profile Design using Diffusion-Less High-Activation Laser Annealing", International Conference on Advanced Thermal Processing (RTP), pp. 147-151, (2006).
- [17] A. Mineji, J. Borland, S. Shishiguchi, M. Hane, M. Tanjyo, and T. Nagayama, "Molecular Dopants and High Mass Dopants for HALO and Extension Implantation", International workshop on Junction Technology (IWJT), pp. 73-76, (2007).
- [18] N. Ikarashi, T. Ikezawa, K. Uejima, T. Fukai, M. Miyamura, A. Toda, and M. Hane, "Electron holography analysis of a shallow junction for planar-bulk metal-oxide-semiconductor field-effect transistors approaching the scaling limit", Journal of Applied Physics, Vol. 103, Iss. 11, pp. 114514, (2008).
- [19] P. Oldiges, C. S. Murthy, X. Wang, S. Fung, and R. Purtell, "On the Optimal Shape and Location of Silicided Source and Drain Contacts", Proceedings of Simulation of Semiconductor Processes and Devices (SISPAD), pp. 39-42, (2002).
- [20] H. S. Yang, R. Malik, S. Narasimha, Y. Li, R. Divakaruni, P. Agnello, S. Allen, A. Antreasyan, J. C. Arnold, K. Bandy, M. Belyansky, A. Bonnoit, G. Bronner, V. Chan, X. Chen, Z. Chen, D. Chidambarao, A. Chou, W. Clark, S. W. Crowder, B. Engel, H. Harifuchi, S. F. Huang, R. Jagannathan, F. F. Jamin, Y. Kohyama, H. Kuroda, C. W. Lai, H. K. Lee, W.-H. Lee, E. H. Lim, W. Lai, A. Mallikarjunan, K. Matsumoto, A. McKnight, J. Nayak, H. Y. Ng, S. Panda, R. Rengarajan, M. Steigerwalt, S. Subbanna, K. Subramanian, J. Sudijono, G. Sudo, S-P. Sun, B. Tessier, Y. Toyoshima, P. Tran, R. Wise, R. Wong, I. Y. Yang, C. H. Wann, L. T. Su, M. Horstmann, Th. Feudel, A. Wei, K. Frohberg, G. Burbach, M. Gerhardt, M. Lenski, R. Stephan, K. Wiczorek, M. Schaller, H. Salz, J. Hohage, H. Ruelke, J. Klais, P. Huebler, S. Luning, R. van Bentum, G. Grasshoff, C. Schwan, E. Ehrichs, S. Goad, J. Buller, S. Krishnan, D. Greenlaw, M. Raab, and N. Kepler, "Dual stress liner for high performance sub-45nm gate length SOI CMOS

- manufacturing", IEDM Tech. Dig., pp. 1075-1078 (2004).
- [21] A. Oishi, O. Fujii, T. Yokoyama, K. Ota, T. Sanuki, H. Inokuma, K. Eda, T. Idaka, H. Miyajima, S. Iwasa, H. Yamasaki, K. Oouchi, K. Matsuo, H. Nagano, T. Komoda, Y. Okayama, T. Matsumoto, K. Fukasaku, T. Shimizu, K. Miyano, T. Suzuki, K. Yahashi, A. Horiuchi, Y. Takegawa, K. Saki, S. Mori, K. Ohno, I. Mizushima, M. Saito, M. Iwai, S. Yamada, N. Nagashima, and F. Matsuoka, "High performance CMOSFET technology for 45nm generation and scalability of stress-induced mobility enhancement technique", IEDM Tech. Dig., pp. 229-232 (2005).
- [22] X. Chen, S. Fang, W. Gao, T. Dyer, Y. W. Teh, S. S. Tan, Y. Ko, C. Baiocco, A. Ajmera, J. Park, J. Kim, R. Stierstorfer, D. Chidambarao, Z. Luo, N. Nivo, P. Nguyen, J. Yuan, S. Panda, O. Kwon, N. Edleman, T. Tjoa, J. Widodo, M. Belyansky, M. Sherony, R. Amos, H. Ng, M. Hierlemann, D. Coolbough, A. Steegen, I. Yang, J. Sudijono, T. Schiml, J. H. Ku, and C. Davis, "Stress Proximity Technique for Performance Improvement with Dual Stress Liner at 45nm Technology and Beyond", Symposium on VLSI Technology Digest of Technical Papers, pp. 60-61 (2006).
- [23] P. Grudowski, V. Adams, X.-Z. Bo, K. Loiko, S. Filipiak, J. Hackenberg, M. Jahanbani, M. Azrak, S. Goktepli, M. Shroff, W.-J. Liang, S.J. Lian, V. Kolagunta, N. Cave, C.-H. Wu, M. Foisy, H. C. Tuan, and J. Cheek, "1-D and 2-D Geometry Effects in Uniaxially-Strained Dual Etch Stop Layer Stressor Integrations", Symposium on VLSI Technology Digest of Technical Papers, pp. 62-63 (2006).

## 第3章

# 混載 DRAM 用トランジスタの リーク電流低減

### 3-1. 混載 DRAM 用のリーク電流低減技術

#### ～せり上げ S/D 構造を用いた 28nm eDRAM セルトランジスタ用極低リーク接合設計

##### 3-1-1. はじめに

DRAM のセルトランジスタ(駆動トランジスタ、あるいはアクセストランジスタとも言う)のオフリーク電流は、セルサイズとゲート長の縮小に伴い増加する傾向にあり、課題となっている。そこで汎用 DRAM では、Si 基板を掘り込んだリセスゲート構造によって、高さ方向をトランジスタのソース/ドレイン(以下、S/D)とチャンネルに利用することにより、DIBL(= Drain Induced Barrier Lowering、ドレイン誘起障壁低下)の抑制と緩やかな接合による接合電界緩和の両立を果たしている(図 3-1-1) [1]。しかし、ロジック互換の eDRAM(= embedded DRAM、混載 DRAM) [2-4] においては、プロセスの複雑さから、リセスゲート構造を用いることは困難である。

そこで今回、ロジックプロセスとの互換性を保ちつつ、高さ方向を S/D の一部として利用可能な、せり上げ S/D(Raised S/D, RSD)構造 [5, 6] をセルトランジスタに適用することを検討した。オフリーク電流のターゲットとしては、ルネサス 28nm eDRAM で予想される 55nm のゲート長において、115°C の typical 値で 0.1pA/cell 以下とした。これは、Cs=10fF/cell においてホールド時間の typical 値として概ね 100msec 以上を達成するのに必要な値である [2, 10]。

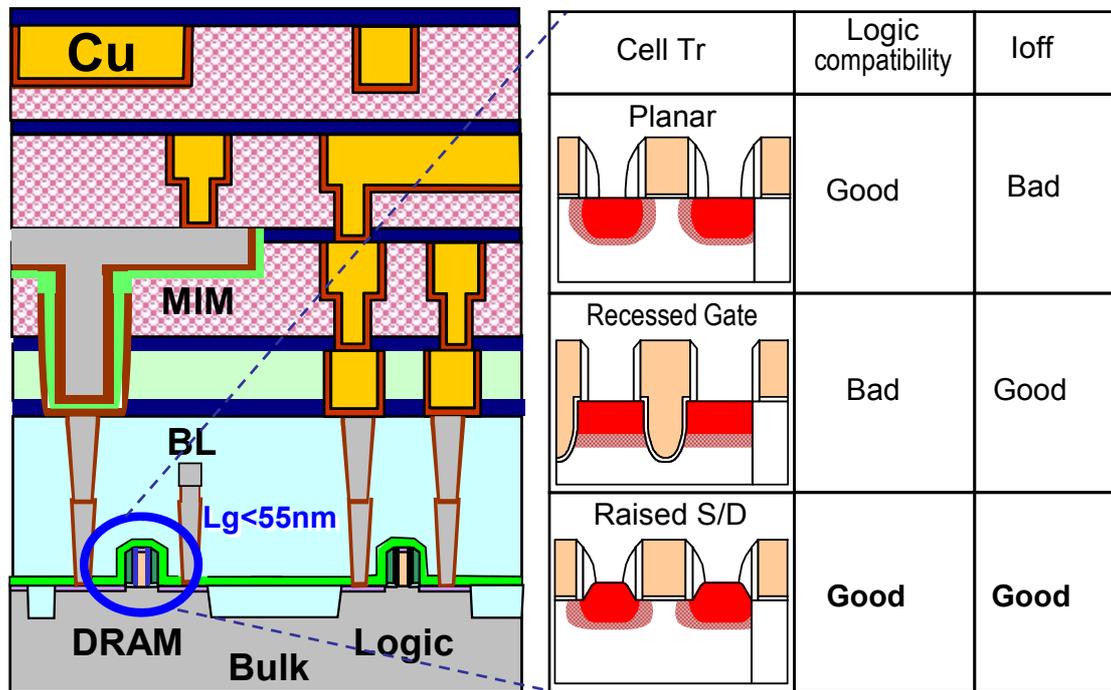


図 3-1-1. シリンダー型 MIM キャパシタを有する 28nm ノード eDRAM 断面構造 [3](左)と候補となるセルトランジスタの構造(右)

### 3-1-2. 従来型プレーナーFET におけるオフリーク電流

#### 3-1-2-1. 急峻な接合

まず初めに、急峻な接合を有する、従来型のプレーナーNFET のオフリーク電流のゲート長依存性を示す(図 3-1-2)。室温においては、ゲート長が 55nm 以下でもオフリーク電流は増加せず、DIBL は抑制されている。しかし、115°Cにおいては、ゲート長に関わらずオフリーク電流が増加している。これは、SRH(= Shockley-Read-Hall)再結合が、急峻な接合に起因する高電界の熱電界放出効果によって、促進されたためと考えられる [7]。また、数個のトランジスタに1個という高い割合で、VJL(=Variable Junction Leakage)が観測された。図 3-1-3 に、ある NFET の VJL の観察結果を示す。時間差プロットによると、およそ1桁の接合リーク電流の2値変動が起きていることがわかる [8]。VJL は、不良品の顧客流出を招く DRAM の VRT(=Variable Retention Time)を引き起こすため大きな課題である。この VJL は、双安定欠陥が多く存在するゲート端近傍 [9] と、急峻な(かつ浅い)接合の形成する高電界領域とが、重なるために生じたと考えられる。これらの結果は、セルトランジスタに急峻な接合を適用することが困難であることを示している。

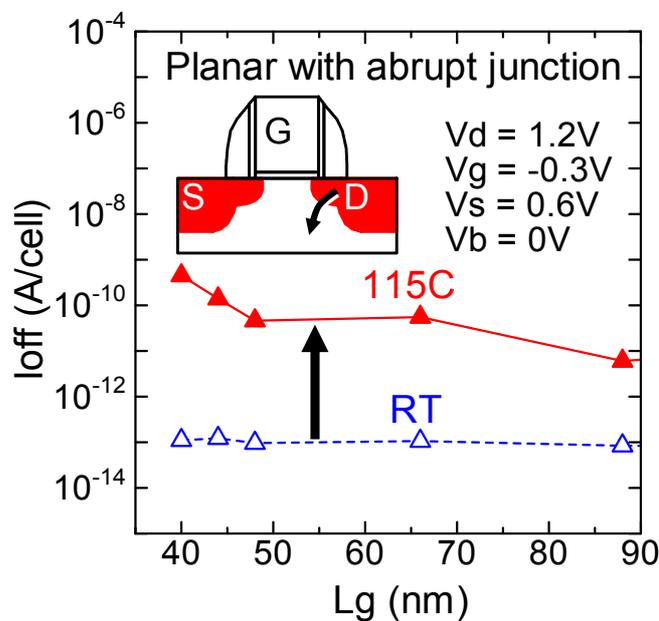


図 3-1-2. 急峻な接合を有する NFET のオフリーク電流のゲート長依存  
DIBL は抑制されているが、高温において接合リークが急増する

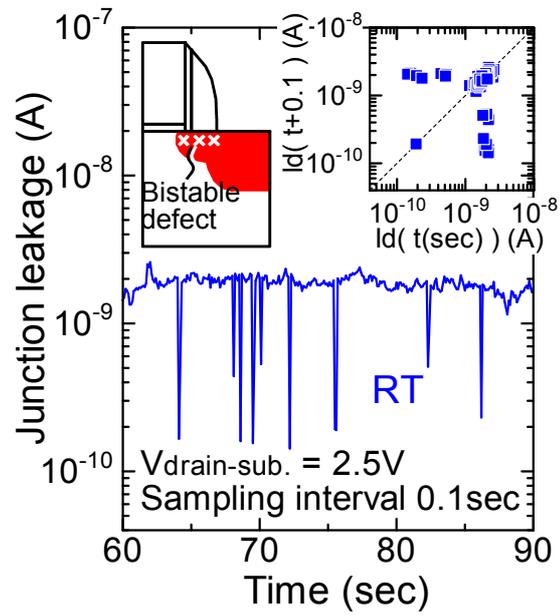


図 3-1-3. 急峻な接合を有する NFET で観察された VJL (Variable Junction Leakage) 数個に1個の割合で観察された。

3-1-2-2. 緩やかな接合

図3-1-4に、LDD(=Lightly Doped Drain)をイオン注入により形成した、緩やかな接合を有するNFET のオフリーク電流のゲート長依存性を示す。測定温度は 115°Cである。これによると、接合リーク電流は0.1pA 未満の低い値に抑えられている。しかしながら、サブスレッショルドリーク起因のリーク電流が、ゲート長が短くなるほど増加していることが分かる。これは、イオン注入による不純物の横方向広がりによって、DIBL が促進されたことが原因である。

一方、DIBL は、スペーサー幅を厚くすることによって改善できることが知られている。図3-1-5 に、厚いオフセットスペーサーを有する NFET の Ion-Ioff 特性および Vth roll-off 特性を示す。厚いオフセットスペーサーによって Vth roll-off 特性は改善するが、Ion の低下が起きた。これは、チャンネルとLDD のオーバーラップ長が不足し、寄生抵抗が増加したためである。Ion 向上の方法は、ストレスライナーの適用などいくつか考えられるが、いずれもプロセスを複雑にする欠点がある。

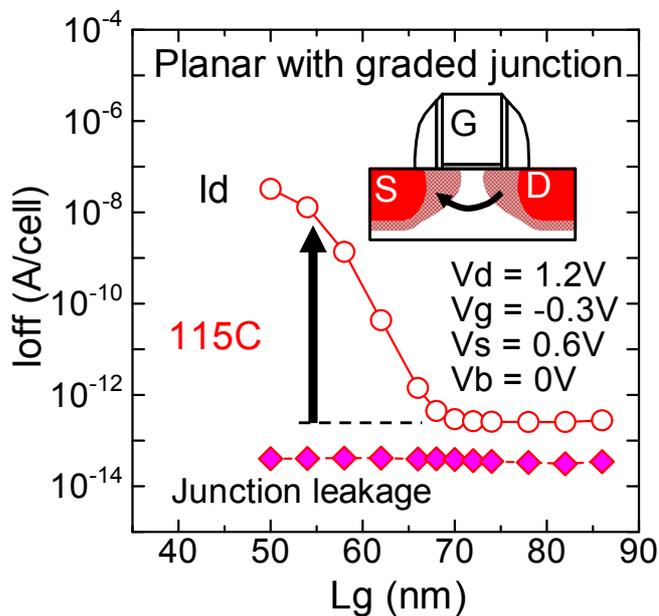


図 3-1-4. 緩やかな接合を有する NFET のオフリーク電流のゲート長依存(115°C)  
高温でも接合リークは低く抑えられているが、短チャンネルで DIBL が起きている。

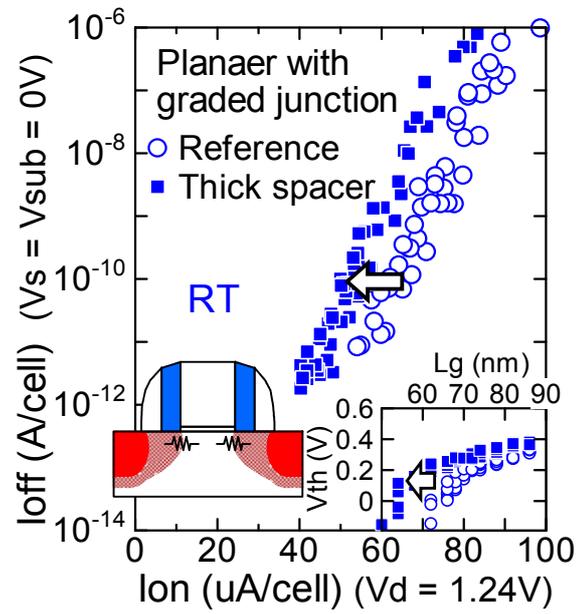


図 3-1-5. 厚いオフセットスペーサーを有する NFET の  $I_{on}$ - $I_{off}$  特性および  $V_{th}$  roll-off 特性 DIBL は改善するが  $I_{on}$  が低下する。

3-1-3. せり上げ S/D (RSD) FET によるオフリーク電流の低減

3-1-3-1. デバイス構造

せり上げ S/D (Raised S/D, RSD) 構造は、それ以外のデバイス構造を変えることなく、実効的な接合深さを低減し、DIBL を抑制することが可能である [5, 6]。図 3-1-6(a), (b) にプレーナー FET とせり上げ S/D FET の接合の模式図を示す。せり上げ構造は、ノンドーブまたは in-situ リンドープの Si を、基板表面のみに、選択的にエピタキシャル成長することによって形成した (図 3-1-6(c))。エピタキシャル成長は UHV-CVD (超高真空化学気相成長) 法を用い、ゲート電極の側壁は 5nm 程度の厚さのスペーサーで保護した。せり上げ構造形成後、ノンドーブせり上げの場合は LDD 形成用のイオン注入を行い、リンドープせり上げの場合は LDD イオン注入を行わなかった。

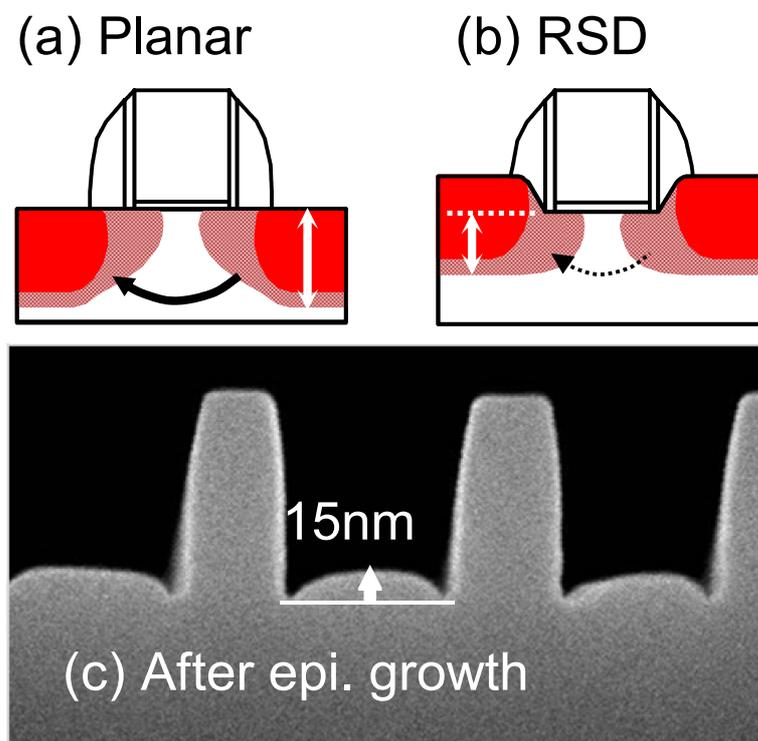


図 3-1-6. プレーナー構造およびせり上げ構造の MOSFET の接合の模式図(上段)とせり上げエピタキシャル成長直後の断面 SEM 観察像(下段)

3-1-3-2. ノンドープせり上げ S/D

図 3-1-7 に、ノンドープせり上げ S/D NFET におけるオフリーク電流のゲート長依存性を示す。測定温度は 115°C である。ターゲットの 55nm のゲート長において、オフリーク電流を2桁低減できた。また、 $I_{on}$  の低下は見られていない(図 3-1-8)。これは、ノンドープせり上げ S/D でも、チャンネルと LDD のオーバーラップ長が十分保たれているためと考えられる。しかしながら、オフリーク電流の絶対値としては、ターゲットの 0.1pA よりも依然として高い水準である。従って、更なる DIBL の低減が必要と言える。

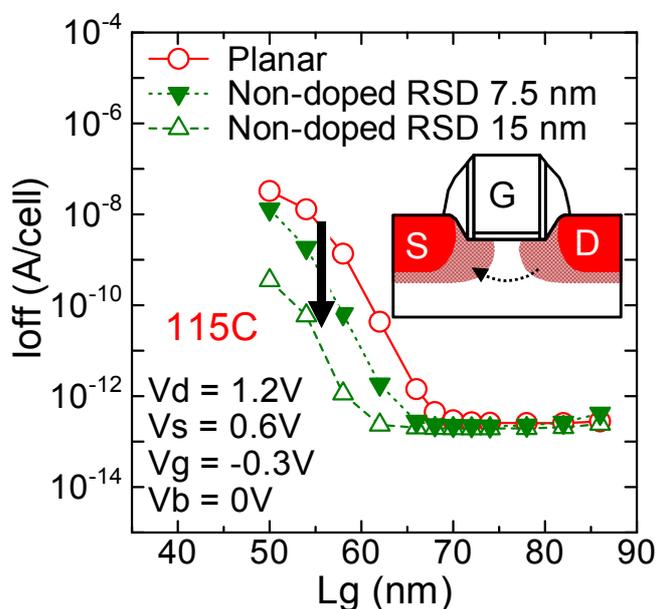


図 3-1-7. せり上げ構造を有する NFET のオフリーク電流のゲート長依存せり上げを高くするほど、サブスレッショルドリークが減少した。

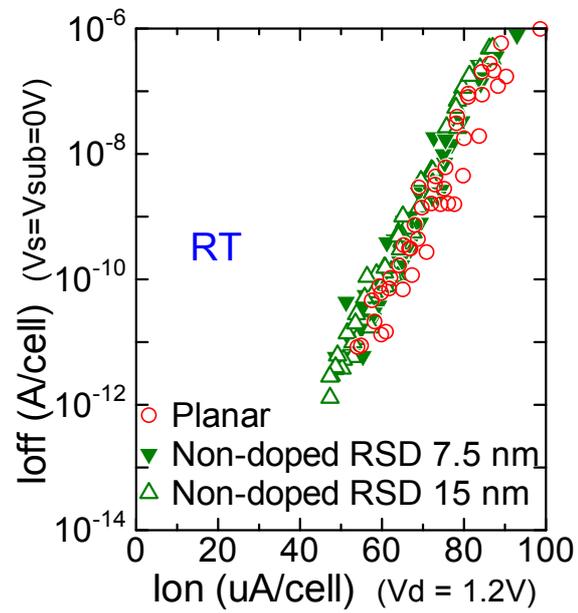


図 3-1-8. せり上げ構造を有する NFET の  $I_{on}$ - $I_{off}$  特性  
せり上げ構造による  $I_{on}$  の低下は見られない。

3-1-3-3. In-situ リンドープせり上げ S/D によるリーク低減コンセプト

図 3-1-9 に、in-situ リンドープせり上げ S/D を用いた DIBL 改善のコンセプトを示す。まず、リンドープせり上げ S/D の場合 (図 3-1-9(a))、S/D とチャネルの接続のため、LDD イオン注入が必要である。しかし、不純物 (リン) はイオン注入時にも横方向に広がるため、熱処理による拡散も考慮すると、接合が広がりすぎている可能性がある。一方、リンドープせり上げ S/D の場合 (図 3-1-9(b))、LDD イオン注入が無くても、リンドープ Si から熱拡散のみでチャネルと S/D を接続できる。特にリンは、ヒ素に比べると拡散係数が大きく、熱拡散のみでも十分緩やかな接合を形成できる可能性がある。

図 3-1-10 に、115°C における各構造の FET の接合リーク電流の比較を示す。リンドープせり上げ S/D でも接合リークの増加は小さく、ターゲットの 0.1pA 以下を満たしている。また、 $I_{on}$  の低下は見られない (図 3-1-11)。このことは、リンドープせり上げのコンセプト、すなわち、オーバーラップ長を十分保ちつつ、接合の広がりすぎを抑制できていることを示唆する。

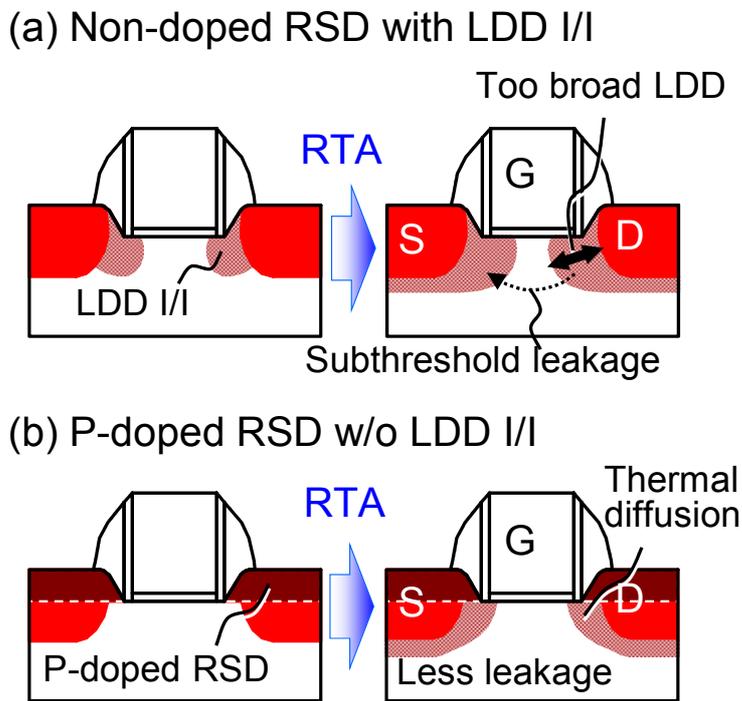


図 3-1-9. In-situ リンドープせり上げ部からの熱拡散による LDD 形成の概念図  
イオン注入による LDD 形成に比べ、余分なリンの横方向広がりを抑制できると考えられる

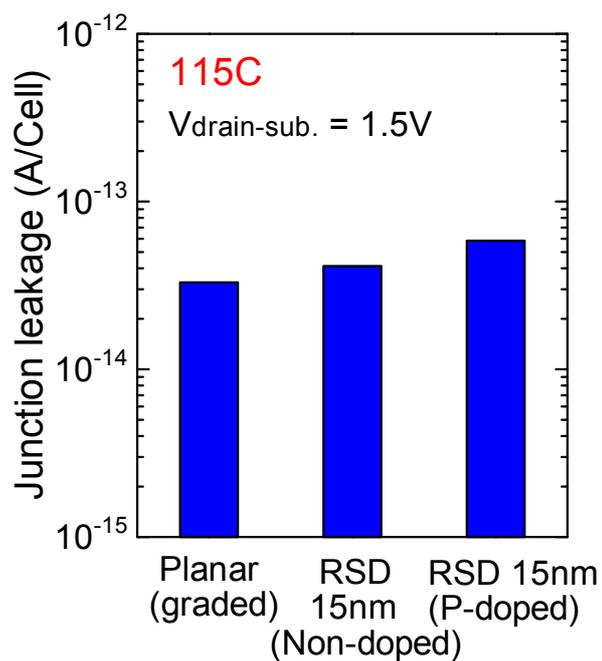


図 3-1-10. 各構造の FET の接合リーク電流 (115°C)

リンドープせり上げ構造において接合リークが増加するがターゲットの 0.1pA 未満である

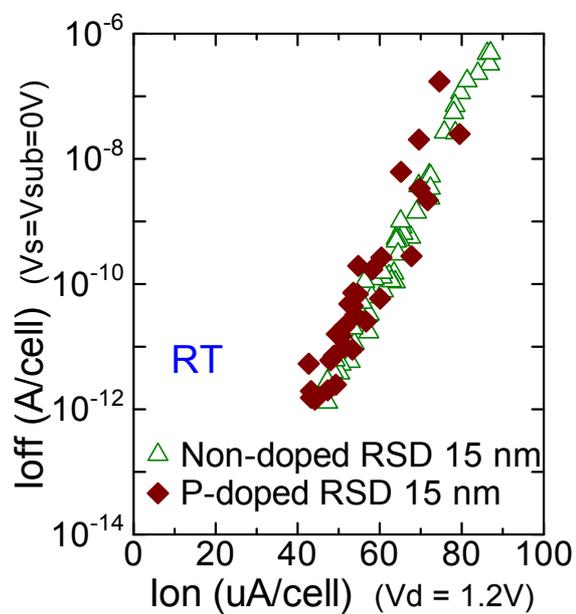


図 3-1-11. リンドープせり上げ NFET の  $I_{on}$ - $I_{off}$  特性

リンドープせり上げによる  $I_{on}$  の低下は見られない。

## 3-1-3-4. リンドープせり上げ S/D FET による更なるリーク低減

図 3-1-12 に、リンドープせり上げ S/D NFET の  $I_d$ - $V_g$  特性を示す。良好なサブスレッショルド特性が得られた。図 3-1-13 に、115°Cにおけるリンドープせり上げ S/D NFET のオフリーク電流のゲート長依存性を示す。リンドープせり上げに比べ、短いゲート長において、更にオフリーク電流が減少した。これは、DIBL の抑制効果である。一方、低い接合リーク電流と低いサブスレッショルドリーク電流のために、ゲートエッジリーク電流が新たな支配成分として見えてきた(図 3-1-12)。この成分は、ゲート絶縁膜厚を必要な分だけ厚くすることによって低減可能である。

図 3-1-14 に、64k 並列 NEFT で測定した、リンドープせり上げ NFET の接合リーク電流の時間変動を示す。平均の接合リーク電流値は 5fA、ノイズレベルは 0.5pA である。もし、図 3-1-3 のように 1 桁の VJL が複数の FET で観察されれば、64k 内で 2 桁を超える変動が見られるはずだが、図 3-1-14 では見られない。これは、リンドープせり上げからの熱拡散による接合が、双安定欠陥が多く存在するゲート端近傍を避けつつ、緩やかに形成できたためと考えられる。

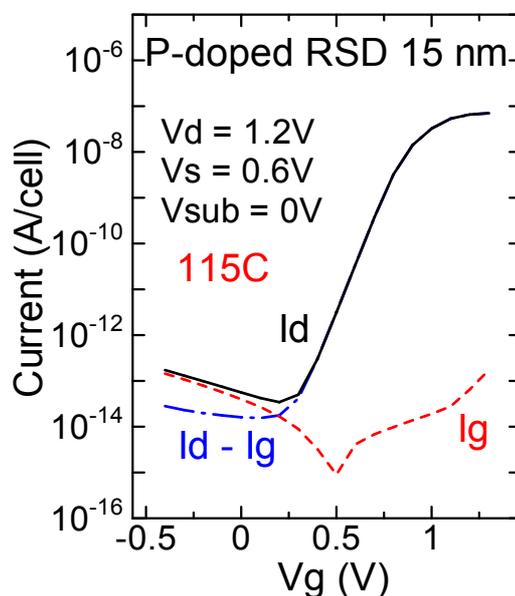


図 3-1-12. リンドープせり上げ NEFT の  $I_d$ - $V_g$  特性

この NFET はゲート絶縁膜が薄いため、オフリーク電流はゲートエッジリーク電流が支配的であった。

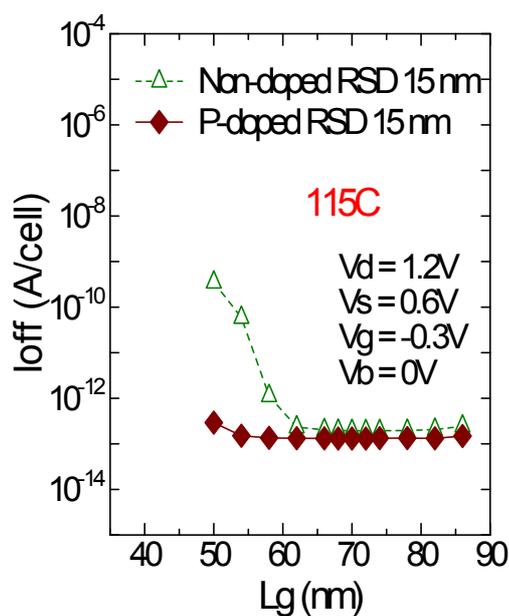


図 3-1-13. リンドープせり上げ NFET のオフリーク電流のゲート長依存性  
リンドープせり上げ構造により、更にサブスレッショルドリークが低減した。

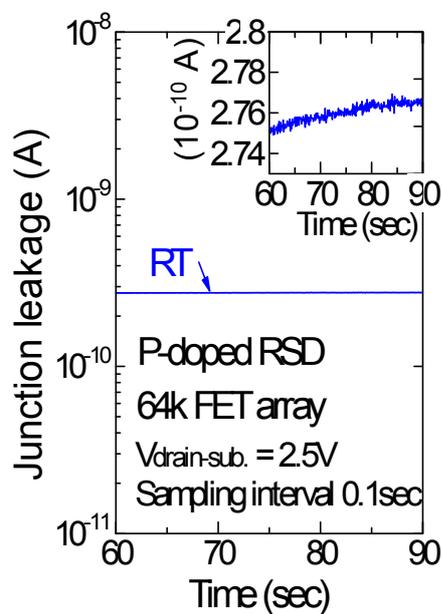


図 3-1-14. リンドープせり上げ NFET の接合リーク電流の時間変動  
1FET あたりの平均オフリーク電流は 5fA、ノイズレベルは 500fA。図3のように 1 桁の VJL が  
複数の FET で観察されれば 2 桁を超える変動が見られるはずだが、図 14 では見られない。

図 3-1-15 に、28nm eDRAM で予想される 55nm のゲート長を有する NFET のオフリーク電流をまとめた。測定温度は 115°C である。緩やかな接合によりサブスレッショルドリーク電流が増加するが、リンドープせり上げ構造により、ターゲットである 0.1pA 以下のオフリーク電流を達成できる。このように、リンドープせり上げ S/D 構造による接合形成は、28nm eDRAM のセルトランジスタの低リーク化に貢献できると思われる。

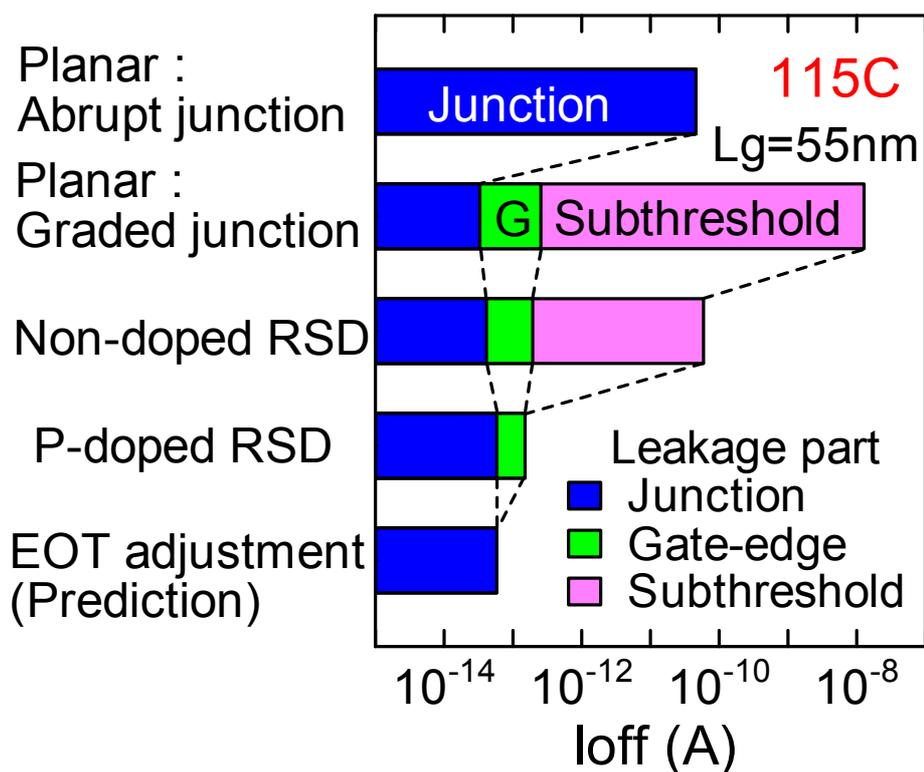


図 3-1-15. 各構造の FET のオフリーク電流の比較

緩やかな接合によりサブスレッショルドリーク電流が増加するが、リンドープせり上げ構造により、28nm-eDRAM のターゲットである 0.1pA 以下のオフリーク電流を達成できる。

#### 3-1-4. まとめ

In-situ リンドープせり上げ S/D を用いることにより、イオン注入に拠らない熱拡散のみの LDD 形成を可能とし、28nm eDRAM 用セルトランジスタのオフリーク電流を、115°C においても 0.1pA まで低減できることを示した。このような接合形成のコンセプトは、28nm eDRAM のセルトランジスタの低リーク化に貢献できる。

### 3-2. シリコン中の結晶欠陥分析の必要性

本節では、次章で接合リーク電流元となるシリコン結晶中の欠陥分析について述べる前に、シリコン中の結晶欠陥分析の必要性について簡単に述べておきたい。

前節では、混載 DRAM 制御用の MOSFET (セルトランジスタ) のリーク電流低減技術について述べた。サブスレッショルドリーク電流、ゲートリーク電流は、MOSFET の構造設計の工夫により低減できる成分であるが、接合リーク電流は低減が容易でない。これは、制御が難しい、シリコン結晶中の結晶欠陥が原因のひとつだからである。

この結晶欠陥を低減していくためには、まず、どのような結晶欠陥がシリコン基板中に生成されているかを知る必要がある。結晶欠陥の起源を知ることができれば、MOSFET の製造工程を改良することにより、低減が可能になる。

一方、MOSFET 製造工程で混入する不純物を完全になくすのはきわめて難しい。イオン注入法などのように、原理的にシリコン結晶を破壊する工程もある。また、MOSFET にはさまざまな界面やストレスが存在しているため、そもそも熱平衡状態では、ある程度の欠陥が存在するほうが自由エネルギー的に安定であるかもしれない。

もちろん、(技術者の努力により)最後まで残留する結晶欠陥は微量であろう。それでも、ギガビット(10 億個)級の DRAM になってくると、統計的には無視できなくなってくる。従って、ある程度の欠陥は存在することを前提に、接合リーク電流の影響を見積もることも、重要といえる。

このような見積もりに、統計的なシミュレーションは威力を発揮する [8]。図 3-2-1 に、接合リーク電流の統計シミュレーションの手法について述べる。MOSFET の基板中に、ドーパントと欠陥の位置をランダムにばらつかせて計算する。ドーパントは、微視的に見たときの電界分布に影響を与える。もし、その近傍に欠陥が存在すれば、強電界の影響により、接合リーク電流が増大することになる。

おのおの MOSFET の基板中におけるドーパントの位置、密度と、欠陥の位置、密度は、統計的なランダム性によって決まる。ほとんどの MOSFET は、ある平均的な性質をもっており、接合リークも平均的な値をとる。この平均的な接合リーク電流値は、多くの場合、かなり低い値である。

ところが、稀に非常に接合リークが多い MOSFET が計算される(図 3-3-2)。これは前述したとおり、たまたまドーパント(やゲート電極)の形成する電界の強いところに、欠陥が位置した場合である。

このような MOSFET は非常にまれなので、とるにたらないと思われるかもしれない。しかしながら、ギガビット級の DRAM になると、不良救済用の冗長ビットの個数を上回る可能性もあり、正常な DRAM 動作が保障できなくなってしまう場合もありえる。

このようなリスクを正確に事前に把握するには、統計シミュレーションの精度向上が重要である。計算の際、ドーパントは、ボロン、リン、砒素、など、元素が確定しているため、すでに知られたパラ

メータを用いて計算できる。しかし、どのような欠陥が存在するかわからなければ、欠陥準位と捕獲断面積などのパラメータを確定することができない。したがって、実際に、MOSFET 中にどのような欠陥が存在するか明らかにすることが重要なのである。欠陥の同定ができれば、過去の欠陥の報告データ、第一原理計算などにより、欠陥を特徴づけるパラメータの取得 (characterization) が可能となる。

接合リーク電流そのものに加え、前節で触れたように、接合リーク電流の時間変動(図 3-1-3)にも注意が必要である [9]。接合リーク電流揺らぎは、DRAM の VRT (Variable Retention Time 保持時間変動) 不良を引き起こす場合があることが知られている [10,11]。接合リーク電流揺らぎは、欠陥の双安定性に起因するモデル[12]と、シリコン基板内のストレスの異方性に起因するモデルとが考えられる [13,14]。いずれにしても、MOSFET 内でどのような結晶欠陥が生成されているかを知ることは、DRAM の VRT 不良のリスクを事前に知るうえで重要と考えられる。

次章では、このようなモチベーションに基づき、MOSFET のシリコン基板内の結晶欠陥について、詳細な分析結果を述べることとする。

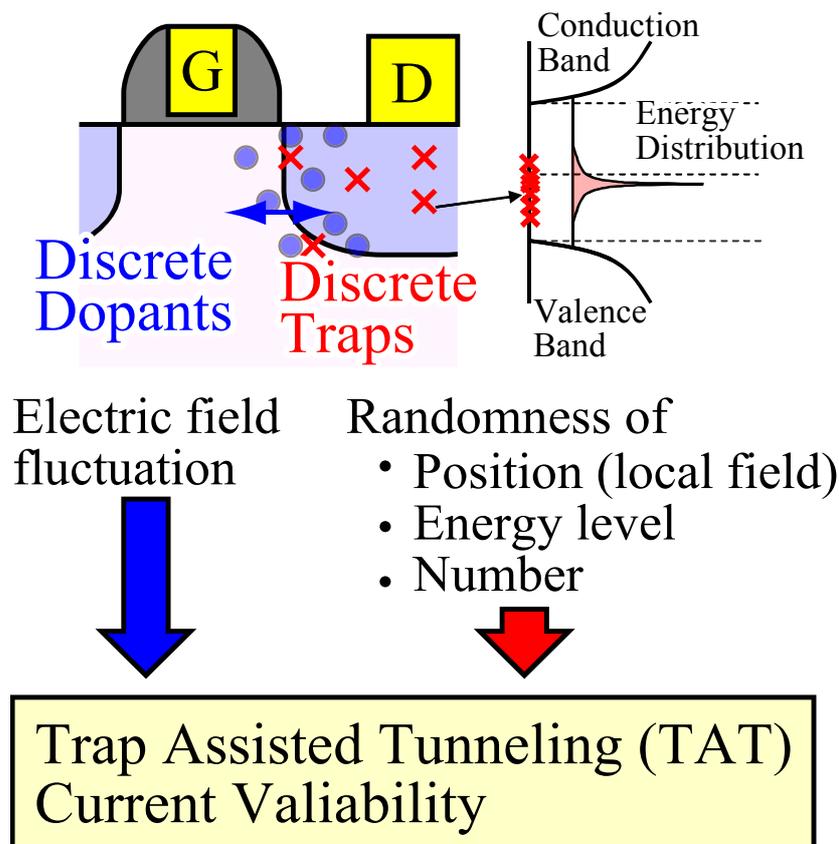


図 3-2-1. 接合リーク電流の統計シミュレーションの概念図  
H. Takeda, K. Uejima, K. Takeuchi and H. Hane, IWCE2013

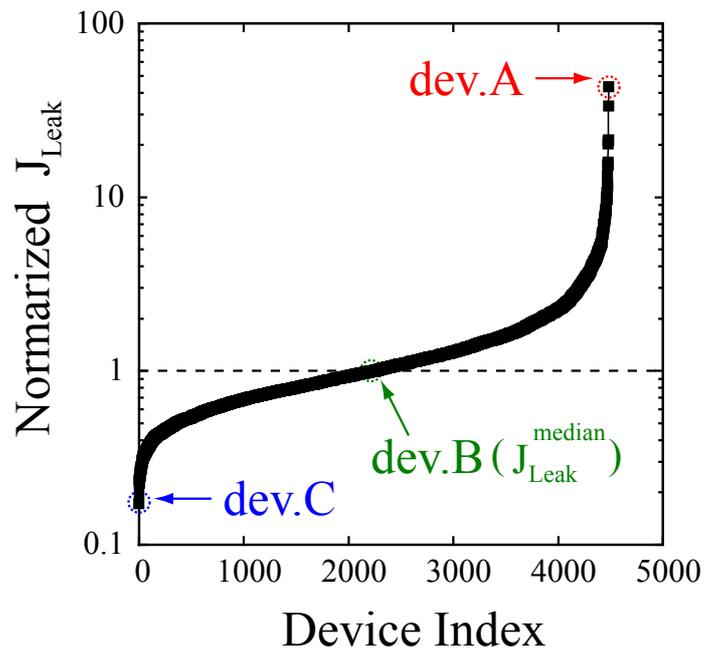


Fig. 1: The maximum junction leakage current within each device profile,  $J_{Leak}$ .  $J_{Leak}$  is normalized by median  $J_{Leak}$  ( $J_{Leak}^{median}$ ) and plotted in ascending order.  $J_{Leak}$  is strongly

図 3-2-2. 接合リーク電流の統計シミュレーション例

H. Takeda, K. Uejima, K. Takeuchi and H. Hane, IWCE2013

### 第3章の参考文献

- [1] S. Hong, "Memory Technology Trend and Future Challenges", Technical Digest of 2010 IEEE International Electron Devices Meeting (IEDM), pp. 292 (2010).
- [2] Y. Yamagata, H. Shirai, H. Sugimura, S. Arai, T. Wake, K. Inoue, T. Sakoh, M. Sakao, T. Tanigawa, "Device Technology for embedded DRAM utilizing stacked MIM (Metal-Insulator-Metal) Capacitor", Custom Integrated Circuits Conference 2006 (CICC '06), pp. 421-427 (2006).
- [3] K. Hijioka, N. Inoue, I. Kume, J. Kawahara, N. Furutake, H. Shirai, T. Itoh, T. Ogura, K. Kazama, Y. Yamamoto, Y. Kasama, H. Katsuyama, K. Manabe, H. Yamamoto, S. Saito, T. Hase, and Y. Hayashi, "A Novel Cylinder-Type MIM Capacitor in Porous Low-k Film (CAPL) for Embedded DRAM with Advanced CMOS Logics", Technical Digest of 2010 IEEE International Electron Devices Meeting (IEDM), pp. 756 (2010).
- [4] G. Wang, D. Anand, N. Butt, A. Cestero, M. Chudzik, J. Ervin, S. Fang, G. Freeman, H. Ho, B. Khan, B. Kim, W. Kong, R. Krishnan, S. Krishnan, O. Kwon, J. Liu, K. McStay, E. Nelson, K. Nummy, P. Parries, J. Sim, R. Takalkar, A. Tessier, R. M. Todi, R. Malik, S. Stiffler, and S. S. Iyer, "Scaling Deep Trench Based eDRAM on SOI to 32nm and Beyond", Technical Digest of 2009 IEEE International Electron Devices Meeting (IEDM), pp. 259 (2009).
- [5] K. Yako, K. Uejima, T. Yamamoto, A. Mineji, T. Nagumo, T. Ikezawa, N. Matsuzaka, S. Shishiguchi, T. Hase, and M. Hane, "Aggressive Design of Millisecond Annealing Junctions for Near-Scaling-Limit Bulk CMOS using Raised Source/Drain Extensions", Technical Digest of 2008 IEEE International Electron Devices Meeting (IEDM), pp. 909 (2008).
- [6] K. Uejima, K. Yako, T. Yamamoto, N. Ikarashi, S. Shishiguchi, T. Hase, and M. Hane, "Aggressive Design of Ultra-Shallow Junction for Near-Scaling-Limit Bulk Planar CMOS by using Raised Source/Drain Extension Structure and Carbon Co-Implantation Technology", IWJT, pp. 136 (2010).
- [7] A. Weber, A. Birner, and W. Krautschneider, "Retention Tail Improvement for Gbit DRAMs through Trap Passivation confirmed by Activation Energy Analysis", Proceeding of the 36th European Solid-State Device Research Conference (ESSDERC 2006), pp. 250-253 (2006).
- [8] H. Takeda, K. Uejima, K. Takeuchi, and M. Hane, "Junction Leakage Variability Simulation Considering Random Discrete Dopants", Abstracts of 16th International Workshop on Computational Electronics (IWCE2013), pp. 192 (2013).
- [9] K. Abe, T. Fujisawa, H. Suzuki, Watabe, Shunichi R. Kuroda, S. Sugawa, A. Teramoto, and T. Ohmi, "Statistical Evaluation of Dynamic Junction Leakage Current Fluctuation Using a Simple Arrayed Capacitors Circuit", K. Abe, T. Fujisawa, H. Suzuki, Watabe, Shunichi R. Kuroda, S.

- Sugawa, A. Teramoto, and T. Ohmi, Proceedings of 2010 IEEE International Reliability Physics Symposium (IRPS), pp. 683-688 (2010).
- [10] P. J. Restle, J. W. Park, and B. F. Lloyd, "DRAM Variable Retention Time", Technical Digest of 1992 IEEE International Electron Devices Meeting (IEDM), pp. 807-810 (1992).
- [11] H. Kim, K. Kim, T. K. Oh, S. Y. Cha, S. J. Hong, S. W. Park, and H. Shin, "RTS-like Fluctuation in Gate Induced Drain Leakage Current of Saddle-Fin Type DRAM Cell Transistor", Technical Digest of 2009 IEEE International Electron Devices Meeting (IEDM), pp. 271-274 (2009).
- [12] B. R. Tuttl and R. Meade, "Microscopic aspects of the variations in the retention times of dynamic random access memory", Applied Physics Letters, vol. 90, issue 20, 202105 (2007).
- [13] T. Umeda, K. Okonogi, K. Ohyu, S. Tsukada, K. Hamada, S. Fujieda, and Y. Mochizuki, "Single silicon vacancy-oxygen complex defect and variable retention time phenomenon in dynamic random access memories", Applied Physics Letters, vol. 88, issue 25, 253504 (2006).
- [14] K. Ohyu, T. Umeda, K. Okonogi, S. Tsukada, M. Hidaka, S. Fujieda, and Y. Mochizuki, "Quantitative identification for the physical origin of variable retention time: A vacancy-oxygen complex defect model", Technical Digest of 2006 IEEE International Electron Devices Meeting (IEDM) (2006).

## 第4章

# 接合リーク電流元となるシリコン結晶 中の欠陥分析

## 4-1. 電流検出型の電子スピン共鳴法の原理

## 4-1-1. 電子スピン共鳴法(ESR)の原理

リーク電流の原因であるシリコン結晶中の結晶欠陥を分析するために、本研究では、電流検出型の電子スピン共鳴(Electrically Detected Magnetic Resonance:EDMR)分光法を用いた[1]。

まず、分析の概要を説明する。図 4-1-1 に示すような MOSFET サンプルをマイクロ波共振器に挿入してマイクロ波と外部磁場を印加する。この MOSFET 中の結晶欠陥からの ESR 信号を電流検出し、その信号位置(共鳴磁場)の磁場印加角度依存性から、結晶欠陥の対称性や異方性を調べる。また、構成元素を「超微細相互作用(hyperfine interaction)」から明らかにする。これらの結果を総合することによって、結晶欠陥の原子構造を同定することができる。

次に、ESRの測定原理を説明する(図 4-1-2) [1-5]。結晶欠陥中に電子スピン(不対電子)が含まれるとする。この不対電子に外部磁場を印加すると、2重に縮退していた不対電子のエネルギー準位が電子スピンの向きに依存して2つの準位+1/2と-1/2に分裂する。これは、電子スピンという微小な磁石が外部磁場方向にS-NまたはN-Sという向きに量子化されたことに相当する。ここでは、便宜上、+1/2をアップ、-1/2をダウンと呼ぶことにする。

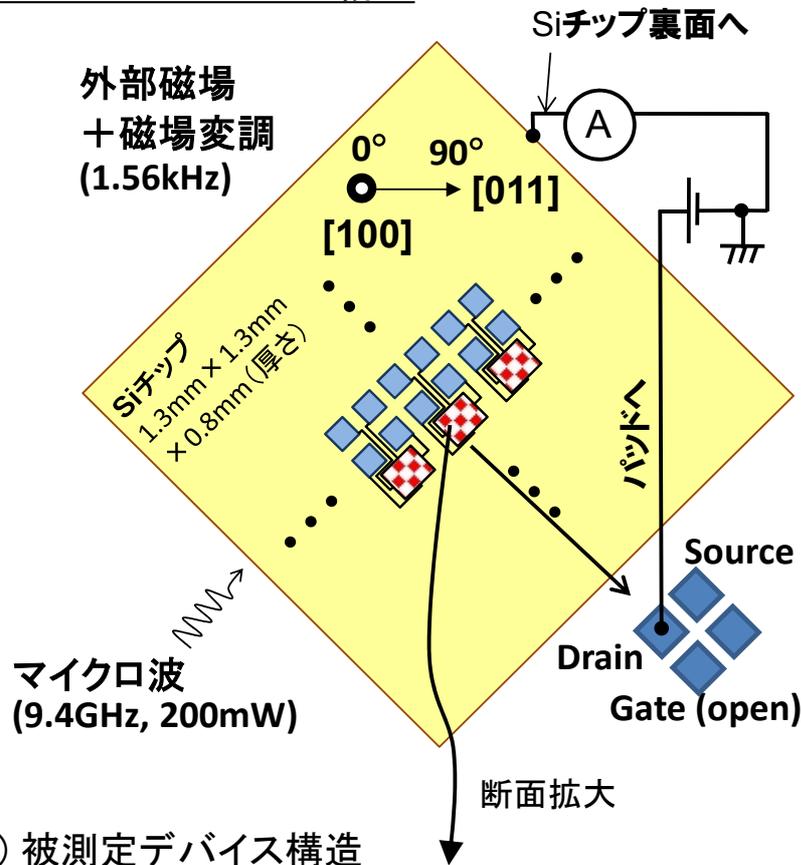
外部磁場によってアップとダウンの2つのスピン状態の縮退を解くことをゼーマン分裂とよぶ。ゼーマン分裂したエネルギー準位は  $g\mu_B M_S B$  で与えられる。ここで、

- $g$  : 不対電子の  $g$  値 (gyromagnetic factor、自由電子は 2.0023)、
- $\mu_B$  : 電子スピンの磁気モーメント(ボア磁子、 $5.7883 \times 10^{-5}$  eV/T)、
- $B$  : 外部磁場(T)、
- $M_S$  : 電子スピンの磁気量子数(+1/2、-1/2)、

である。ゼーマン分裂によるアップとダウンのエネルギー差(ゼーマンエネルギー)は  $g\mu_B B$  に等しい。ここに、ゼーマンエネルギーに相当する振動数( $\nu = g\mu_B B/h$ ,  $h = 4.1357 \times 10^{-15}$  eV/s:プランク定数)の光を照射すると、ダウンからアップに電子スピンの遷移し、光が物質に吸収される。これが電子スピン共鳴(Electromagnetic Spin Resonance:ESR)と呼ばれる電子スピンの反転現象である。実際には、 $B$  は 350 mT、 $\nu$  は約 10 GHz となり、励起光はマイクロ波となる。ゼーマンエネルギーは  $10^{-4}$  eV オーダーと非常に小さい。市販の ESR スペクトロメーターは  $\nu$  を固定して、 $B$  をスキャンする方式を採用している。したがって、ESR スペクトルは横軸が磁場、縦軸がマイクロ波の吸収量となる。

さて、ESR 信号を検出するには、試料によるマイクロ波の吸収を計量する「通常 ESR 法」と、電子スピンの占有分布の変化を電氣的に検出する「電流検出型電子スピン共鳴(EDMR)法」がある[1]。

(a) サンプル(Siチップ)構造



(b) 被測定デバイス構造

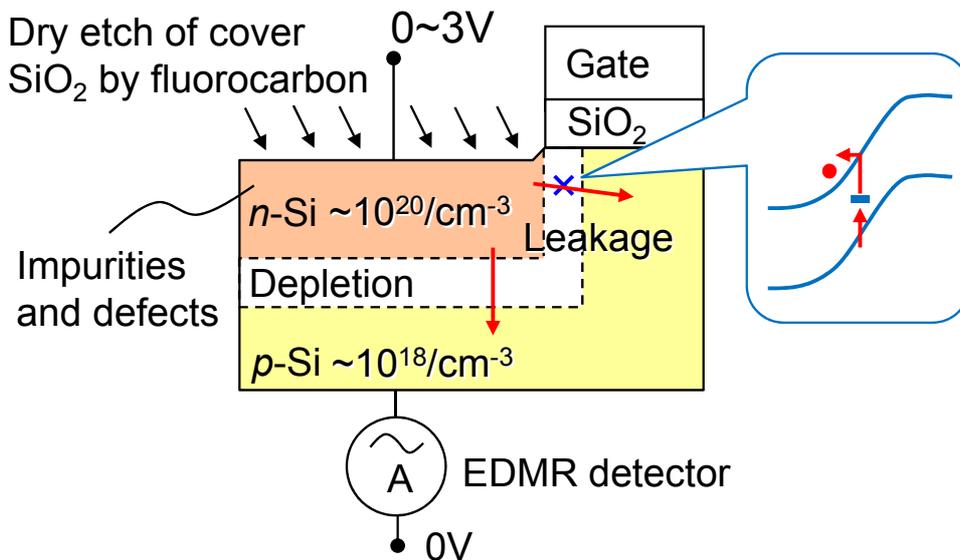


図 4-1-1. 微細 MOSFET を利用した接合リーク電流による電流検出型電子スピン共鳴 (EDMR) 法の概要

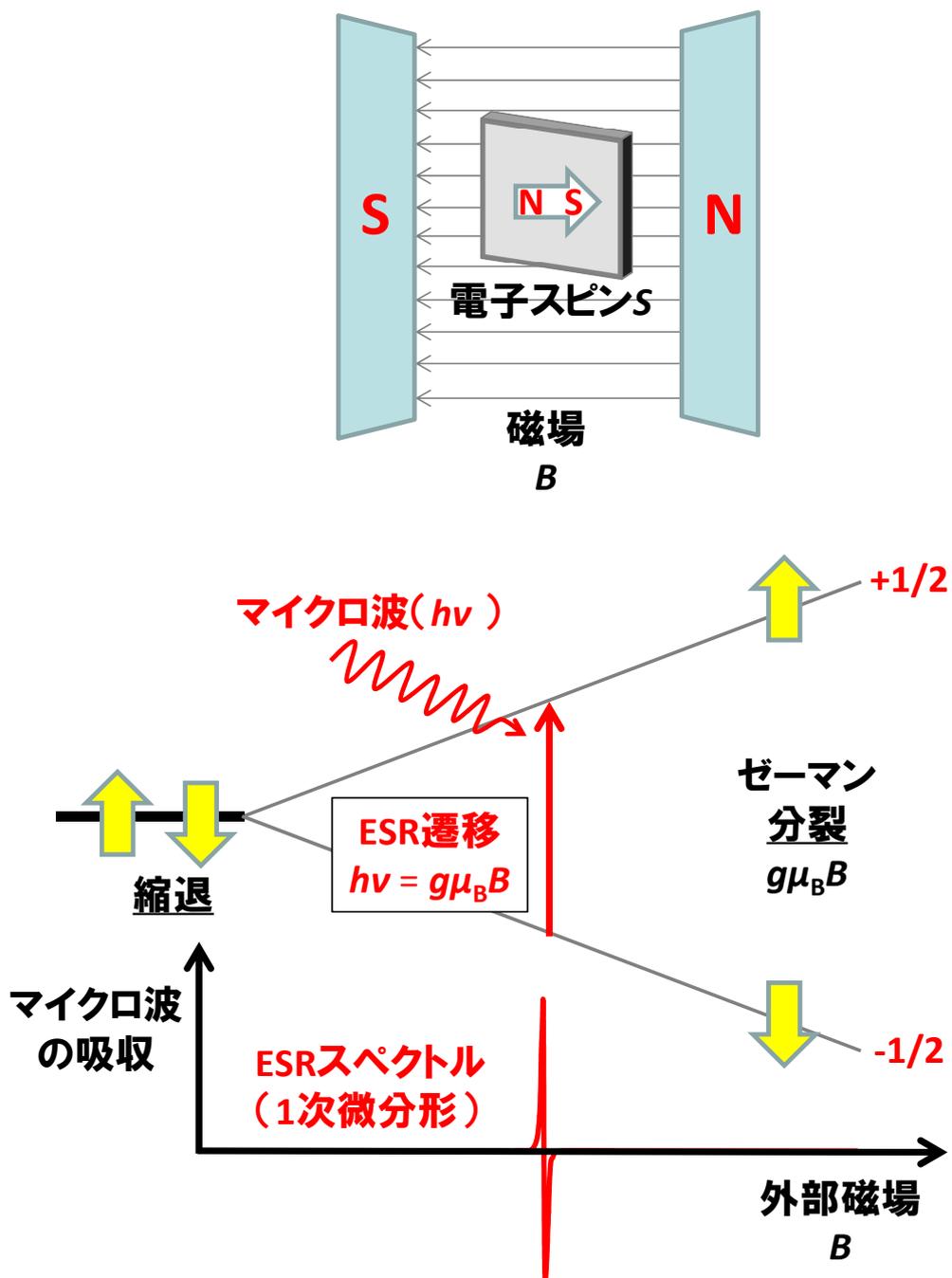


図 4-1-2. 電子スピン共鳴 (ESR) の原理

通常 ESR 法は市販スペクトロメータで容易に様々な試料の測定ができるため、広く用いられている。しかしながら、サンプル全体が分析領域となるため、MOSFET 内部のように局所的な領域に絞った分析が難しい。また、通常 ESR 法は  $0.1\sim 1\text{cm}^2$  の試料サイズを必要とするので、微細 MOSFET を測定することは感度的にも困難である。

一方、EDMR 法の場合、市販装置も存在せず、共鳴信号が小さいために測定も容易ではないが、試料電流を介して ESR 信号を測定するため、電流さえ流れれば微細 MOSFET でも測定が可能である。また、電流が流れた領域に限定した分析もできる。さらに、本研究のように、接合リーク電流を用いた EDMR 法の場合、接合リーク電流に寄与する欠陥のみを選択的に分析することも可能になる。もちろん、逆を言えば、接合リーク電流に寄与しない欠陥は検出できないことになるが、本研究では、それは分析対象としないので問題ない。

### 4-1-2. 接合リーク電流での電流検出 ESR (EDMR)

次に、接合リーク電流を用いた EDMR の基本原理について、図 4-1-3 を用いて説明する。シリコンの PN 接合の空乏層中に欠陥準位が存在すると、有限の温度では、その準位を介して価電子帯から伝導帯への熱的な電子の励起が起こる。もちろん、直接、バンドギャップを飛び越える電子もあるが、欠陥準位を介したものに比べると無視できるくらい少ない。

このような欠陥準位が 1 電子占有準位 (不対電子をもつ準位) の場合、「パウリの排他原理」に従い、熱的に励起する伝導電子と、もともと準位に存在する不対電子の電子スピンは互いに反平行でなければならない。

外部磁場が存在しない場合、アップとダウンの電子スピンは等しい確率で存在するため、不対電子と反平行スピンの関係を満たす伝導電子は 50% の確率で存在し、継続的に電子の熱励起が起こる。これが接合リーク電流となる。

一方、外部磁場が強くなると、エネルギー的に安定なダウンの電子スピンの増加する。極低温かつ強磁場という極限状態では、すべての電子スピンはダウンにそろふ。すると、パウリの排他律により、熱励起が禁止され、接合リーク電流は流れなくなる。

この状態で欠陥準位に対して電子スピン共鳴をおこすと、一部の電子スピンのアップに反転し、熱励起が許可されるようになり、接合リーク電流が流れることになる。すなわち、電子スピン共鳴が起こる前後では、接合リーク電流がオフからオンの状態にスイッチング的に変化することになる。この接合リーク電流の変化を捉えれば、電氣的に電子スピン共鳴を観察できることになる。

もちろん、実際には有限温度で磁場も有限値であるため、磁場ゼロの定常状態と極限状態の中間状態が出現しているはずである。そのため、スイッチング的な挙動は薄まり、共鳴信号は非常に小さくなる (試料電流の ppm オーダーの変化)。また、このモデルとは違う過程が存在する可能性もある。しかしながら、電子スピン共鳴は電子スピンの占有分布を必ず変化させるので、1 電子準位を介した接合リーク電流の変動は必ず起こることが予想される。

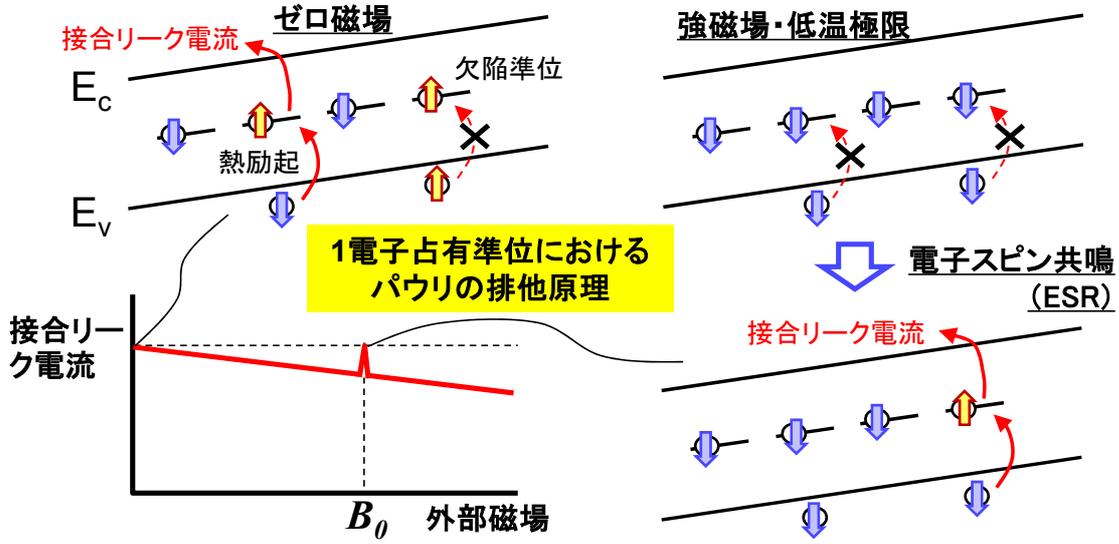


図 4-1-3. 接合リーク電流による EDMR の説明

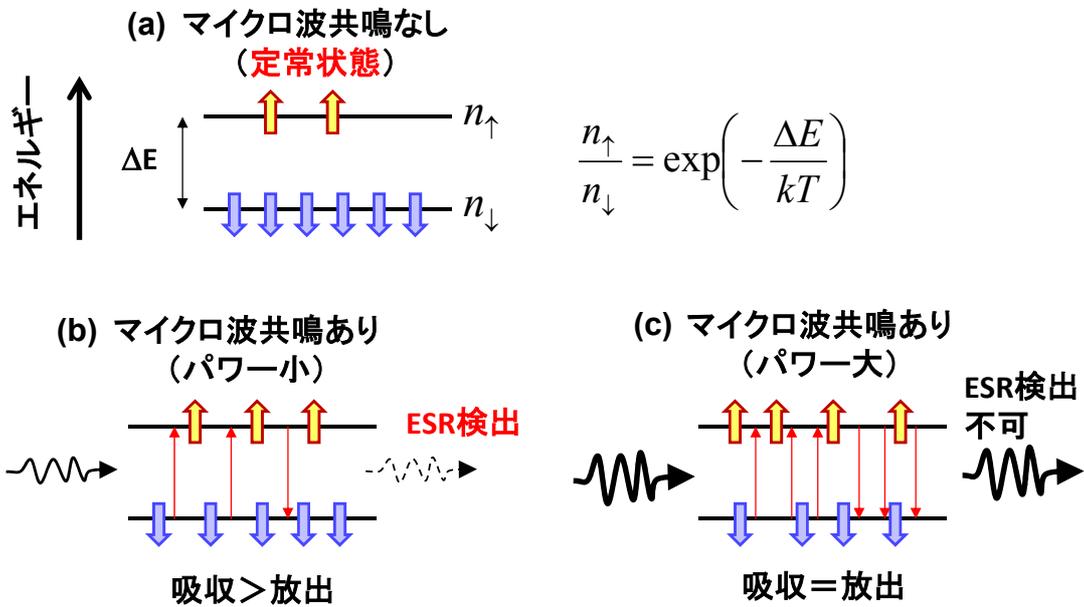


図 4-1-4. ESR による電子スピン分布変化

### 4-1-3. ESRとEDMRの違い ～マイクロ波パワー依存性

ESRもEDMRもマイクロ波励起により電子スピン準位の占有分布の変化を誘起する。しかし、その励起光強度依存性(マイクロ波パワー依存性)はESRとEDMRで大きく異なる。

ESRでは、マイクロ波による電子スピンのダウンからアップへの励起(誘導吸収)、および、アップからダウンへの遷移(誘導放出)以外に、アップの電子がフォノンとの相互作用によりダウンに遷移する非輻射過程も考慮しなければならない。これを「スピン格子緩和(Spin-lattice relaxation)」と呼ぶ[6]。この緩和機構があるために、マイクロ波励起を続けても、アップとダウンの占有分布が定常状態(図4-1-4(a))から大きくずれることは無い。すなわち、ダウンの電子スピンのボルツマンファクター  $\exp(g\mu_B B/k_B T)$  分だけ、アップの電子スピンよりも多い状態が維持される。このため、通常のESRでは、マイクロ波の吸収(=誘導吸収-誘導放出  $\propto$  ダウンの電子スピン数-アップの電子スピン数)が連続的に観測可能である(図4-1-4(b))。

しかし、マイクロ波のパワーが強くなると、励起に対してスピン格子緩和が追いつけなくなり、アップとダウンの占有数が定常状態から外れて同数に近づいていく。最終的に、通常ESRでは正味のマイクロ波の吸収がみられなくなり、共鳴信号強度が減衰する(図4-1-4(c))。これを「飽和」と呼び、通常ESRではどの信号でも普遍的に観測される(図4-1-5(a))[7]。

一方、EDMRの場合、全く異なるマイクロ波パワー依存性が見られる。図4-1-5(b)は、同じ信号(シリコン結晶中のSL1欠陥、Pドナー、サーマルドナーTDD+)をEDMRで観測した場合のマイクロ波パワー依存性である。EDMR信号は一定値に到達はするが、ESRのように減衰はしない。この依存性は、

$$S_{EDMR} = C \frac{\beta P}{1 + \beta P}, \quad \dots(4-1-A)$$

でフィッティングされている。 $C$ 、 $\beta$ がフィッティングパラメータ、 $P$ がマイクロ波パワーである。(4-1-A)式は論文[7]では極低温でのドナー-アクセプターペアで起こる再結合電流を仮定して得られた式で、電流プロセスや欠陥種が変わればマイクロ波依存性も変わることに注意する必要がある。

他方、通常ESRのマイクロ波パワー依存性は、飽和が起こる前までは、どの信号であってもマイクロ波パワーの1/2乗に比例する(図4-1-6)[8]。これは通常ESRの信号強度が単純な磁気双極子遷移だけで決まっていることの証しである。

<sup>1</sup> ESR遷移は量子力学の理論で言えば磁気双極子遷移に相当し、その遷移確率は励起振動磁場  $B_1$  に比例する。マイクロ波パワー  $P$  は励起振動磁場  $B_1$  の2乗に比例しているため、ESR遷移確率は  $P^{1/2}$  に比例する。

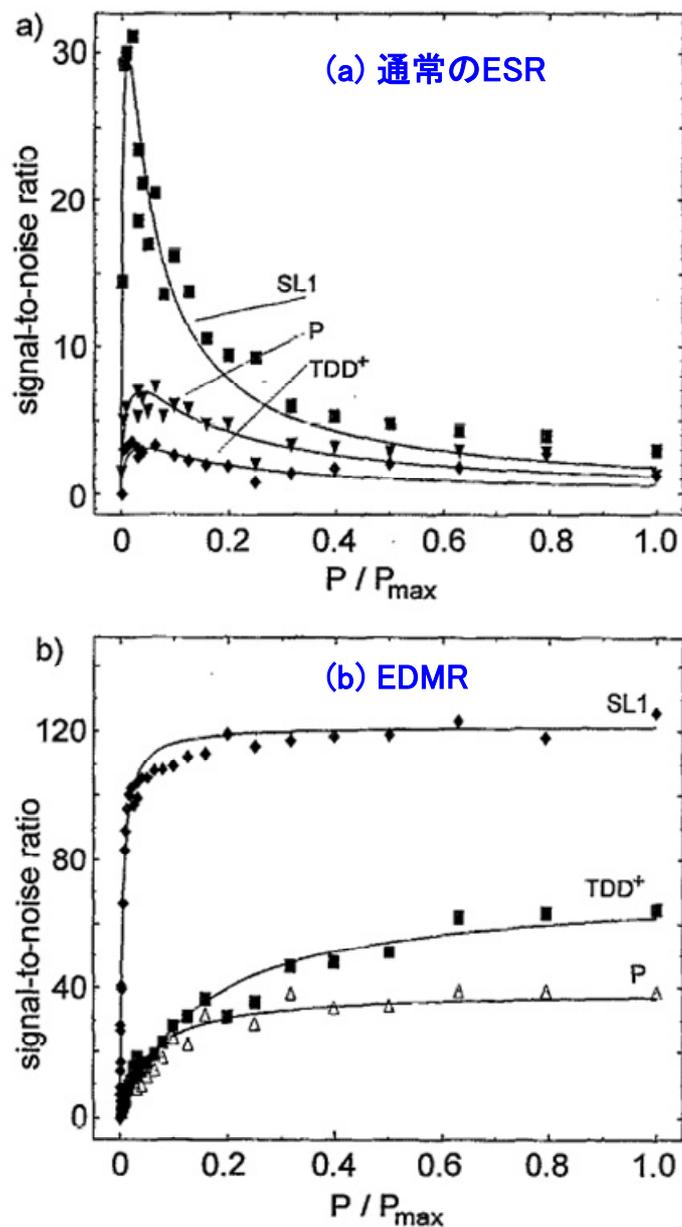


FIG. 7. (a) EPR microwave power dependence for the EPR lines of SL1, P and TDD<sup>+</sup> shown in Fig. 1(a). The dots are the experimental signal-to-noise ratios of EPR lines, the solid curves are fitted according to Eq. (1). The maximum microwave power was  $P_{max} = 200\text{mW}$  ( $\nu_{\text{EPR}} = 9.3\text{ GHz}$ ,  $B \parallel [011]$ ,  $T = 20\text{ K}$ ). (b) EDEPR microwave power dependence for the EDEPR lines of SL1, P, and TDD<sup>+</sup> shown in Fig. 1(b). The dots are the experimental signal-to-noise ratios of EDEPR lines, the solid curves are fitted according to Eq. (4). The maximum microwave power was  $P_{max} = 200\text{ mW}$  ( $\nu_{\text{EDEPR}} = 9.3\text{ GHz}$ ,  $B \parallel [011] + 2^\circ$ ,  $T = 20\text{ K}$ ).

図 4-1-5. ESR 信号と EDMR 信号のマイクロ波パワー依存性の比較  
[7] B. Stich et al., J. Appl. Phys. **77**, 1546 (1995).

## 4-1-4. EDMR法の定量性

通常 ESR 法におけるマイクロ波の吸収強度は、欠陥種によらず純粋に電子スピンの数で決まる。したがって、電子スピンの数があらかじめ分かっている標準試料 ( $\text{CuSO}_4 \cdot 5\text{H}_2\text{O}$  など) の信号強度との比を取ることで、未知の欠陥の電子スピンの絶対定量が可能である。

しかし、EDMR の場合は、前述したように信号強度は磁気双極子遷移だけでは単純に決まらず、伝導機構が変わればマイクロ波パワー依存性も、信号の検出感度も変わる。極端な話、同じサンプルでも印加電圧を変えただけで電気伝導機構が変わるので検出感度が変わることがあり得る。

たとえば、本研究で取得した EDMR 信号強度のマイクロ波パワー依存性 (図 4-1-7) は、過去の論文報告の(4-1-A)式とは合わず、マイクロ波パワーに対して 1.2 乗に比例する依存性が見られた。これは、ESR で見られる 0.5 乗則とも異なる。このように、欠陥種ごとに伝導機構ごとに信号強度のマイクロ波パワー依存性が変わるので、標準試料との比較に基づく絶対定量は EDMR では不可能である。

しかしながら、欠陥種が同じで、伝導機構も同じであれば、信号強度は欠陥数に比例すると考えるのが自然である。前節の(4-1-A)式でもパラメータ  $C$  は欠陥数に比例していた[7]。

接合リーク電流で測定した EDMR 信号強度は、接合空乏層領域内にある欠陥準位からのリーク電流の大きさに比例するはずである。1つ1つの欠陥から発生するリーク電流は一樣ではなく、その欠陥が電界増幅の効く強電界領域に位置しているかどうかで大きく変わる[9]。したがって、EDMR 信号強度  $S_{\text{接合リーク電流}}$  は、1つ1つの欠陥が発生するリーク電流  $j$  に、欠陥数  $N(\mathbf{r})$  と、その欠陥位置での電界増幅度  $\Gamma(\mathbf{r})$  をかけた式に比例することが予想される。

$$S_{\text{接合リーク電流}} \propto \int_{\text{接合空乏層領域}} j \times N(\mathbf{r}) \times \Gamma(\mathbf{r}) d\mathbf{r}, \quad \dots(4-1-B)$$

したがって、単純に欠陥数  $N(\mathbf{r})$  の積分値だけで信号強度が決まる訳ではない。信号強度から欠陥数を比較することはできないが、サンプル間の信号強度の相対的な大小や、別種の信号間での信号強度の相対的な大小は「その欠陥がどれだけリーク電流に寄与しているか。他のサンプル、あるいは別種の欠陥よりも大きい小さいか」を相対的に表しており、相対比較による議論が可能である。

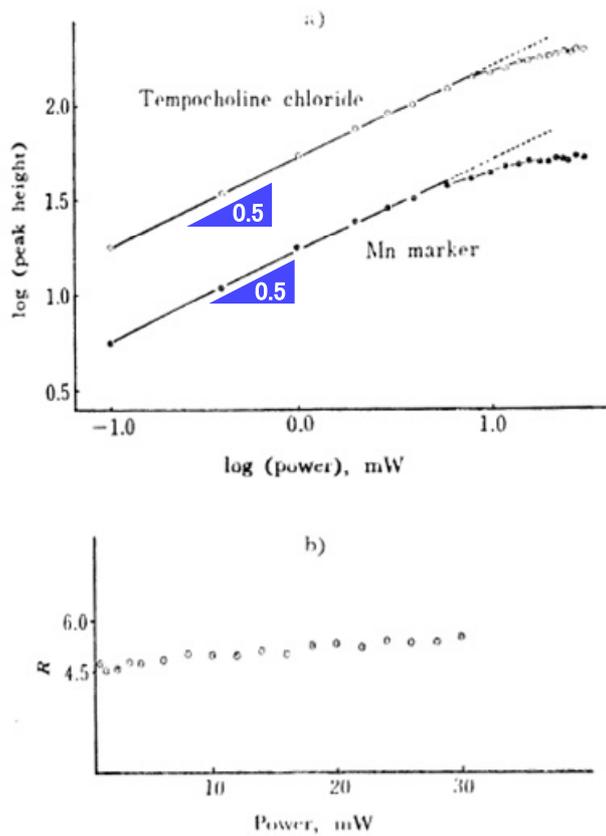


Fig. 1 a) The dependence of the peak to peak amplitudes of ESR signals of nitroxide radical and standard  $Mn^{2+}$  on the microwave power. The spectrum was taken with the modulation amplitude, 0.32 gauss. b) The dependence of the normalized peak to peak amplitude of ESR signal of nitroxide radical ( $R$ ) on the microwave power

○ Tempocholine chloride  $1.5 \times 10^{-4} M$ ; ● Mn marker;  
 $R$  [Peak to peak amplitude of the nitroxide radical ( $m_1 = 0$ )]/[Peak to peak amplitude of the Mn marker (4th lfs from lower field)]; The spectrum was taken with the modulation amplitude, 0.32 gauss.

図 4-1-6. 通常 ESR の共鳴信号強度のマイクロ波パワー依存性(低パワー領域)  
 [8]安部ら、分析化学 27(2), T9-T13 (1978).

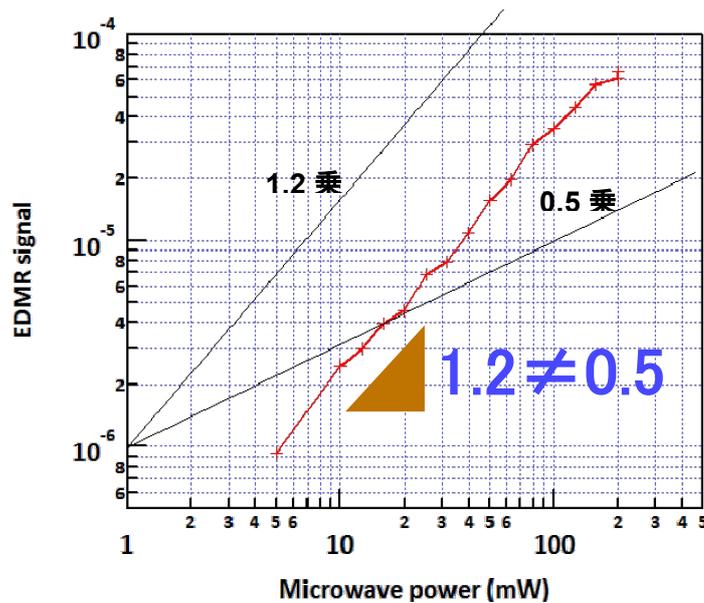


図 4-1-7. 本研究で取得した接合リーク電流による EDMR 信号強度のマイクロ波パワー依存性

## 4-2. EDMR 測定装置

### 4-2-1. 装置構成

次に、EDMR の測定装置について説明する。図 4-2-1 に EDMR スペクトロメーターの外観を示す。システムのベースは、ブルカーバイオスピン社の ESP300 X バンド ESR スペクトロメーターである。最大出力 900mT の電磁石のギャップ中に、マイクロ波共振器(ブルカーバイオスピン社製 TE<sub>102</sub> 光学キャビティ)が設置され、導波管+SUCOFLEX ケーブルで X バンドマイクロ波ソースとつながっている。使用するマイクロ波は約 9.46GHz で、その波長は約 3cm である。マイクロ波共振器は空洞タイプで、マイクロ波波長に対応した矩形空洞をもち、導波管との接続部にはインピーダンス調整用の「アイリス」が搭載されている。ESR/EDMR 測定時には、アイリスを調整してマイクロ波ソースと共振器のインピーダンスマッチングを行う。EDMR の場合、図 4-1-7 に示したように飽和が観測されないので、マイクロ波ソースの最大出力である 200mW で実験を行う。

図 4-2-2 に、試料ホルダーおよび電流検出系の拡大図を示す[1]。試料ホルダー内部には低雑音同軸ケーブルが貫通しており、先端の固定電極につながっている。この試料ホルダーの先に、EDMR 測定専用の試料プレートを接続する。試料プレートの先端に、1.3mm 角のサンプル(シリコンチップ)を接着し、チップ内の MOSFET の 1 つに Al ワイヤーボンディングによって電氣的接続を施す。今回用意したサンプルは2種類(A, B)で、詳細は後ほど述べる。

試料ホルダーから伸びた同軸ケーブルを電流プリアンプ(ケースレー社モデル 428)とソースメジャーユニット(ケースレー社モデル 6430 サブ fA ソースメータなど)につなぎ、マイクロ波共振器内に挿入した微小チップに対して電氣的測定を行う。電流変化は電流プリアンプでモニターし、ここで  $10^7 \sim 10^9$  V/A のゲインで電圧信号に増幅/変換する。この信号をロックインアンプに入力し、磁場変調検出(次節)を行うことで、ppm オーダーの信号検出を可能にしている。



図 4-2-1 本研究で使用した EDMR の測定系

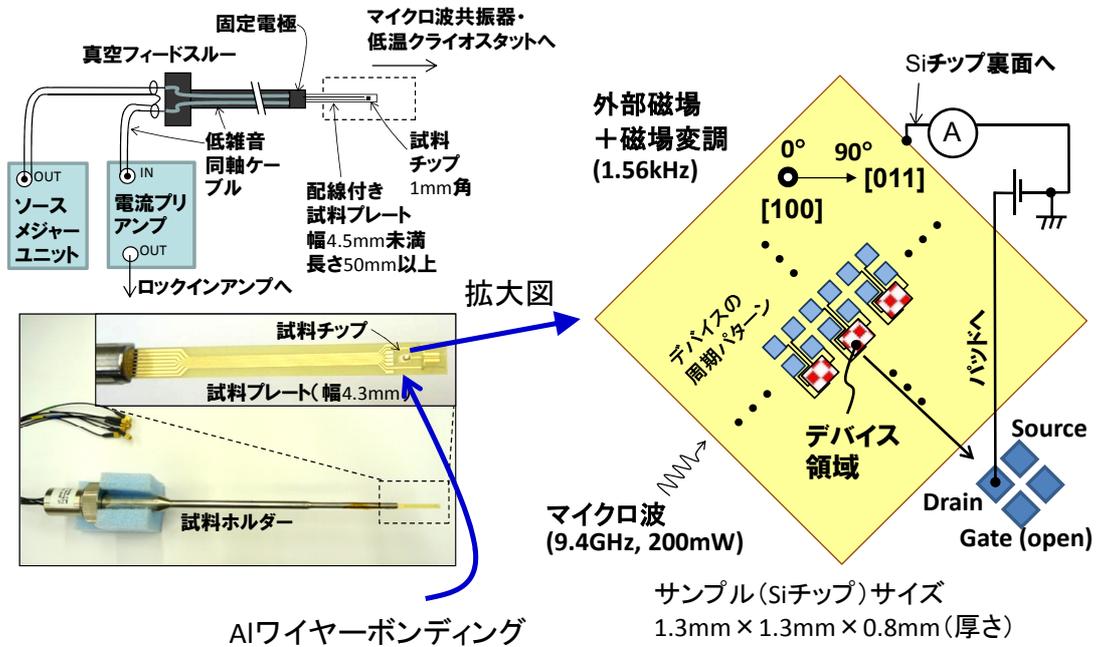


図 4-2-2 試料ホルダー及び電流検出系拡大  
測定系拡大図は[1]より参照

## 4-2-2. 磁場変調法による S/N 比向上

本研究では、磁場変調検出法を用いて EDMR 信号を測定している。本節で磁場変調法について説明したい。

ESR 信号および EDMR 信号は、基本的に、マイクロ波パワーと磁場の関数で表される。したがって、どちらかに変調をかければ、ESR/EDMR 信号にも同じ周波数の変調をかけることができる。そこで、市販の ESR スペクトロメーターでは磁場に変調をかける磁場変調検出が一般的に採用されている(図 4-2-3(a))[3]。

磁場変調検出法では、周波数一定の小さな交流磁場を掃引磁場に重畳し、同じ周波数で応答する信号をロックイン検出器で測定するという手法をとる。信号に含まれる雑音は図 4-2-3(b)に示すように広い範囲にわたって周波数分布を示す[10]。ノイズスペクトルは通常は  $1/f$  ノイズに支配されており、周波数が高いほど  $1/f$  でノイズレベルは減少していく。したがって、変調周波数  $\omega$  を高くすればノイズの効果的な低減が図れる。一般的に、DC で測定する  $I_{DC}$  は 0.1% 程度の変化までしか観測できないが、 $I_{\omega}$  (図 4-2-3(b)) を観測する変調検出法の場合は ppm オーダーまで検出感度を上げることが可能になる。

交流磁場の周波数は、通常の ESR では電子スピンの  $ns \sim \mu s$  の速い時間応答を生かして 100kHz が標準となっている。しかし本研究の EDMR では 1.5kHz を使用した。これは、電流プロセスが応答できるようにするためと、本研究の電流検出系のノイズ密度が 1kHz 帯で最小(10nA の電流に対して  $10^{-13}$  A/ $\sqrt{Hz}$ )となるためである。磁場振幅は、ワイドスキャン時は 1.0~0.5 mT、ナロースキャン時は 0.25 mT とした。なお、図 4-2-3(a)に示したように、磁場変調検出を行うと、得られる信号波形は 1 次微分波形となることに注意されたい。

変調検出法の出力は、一般に  $A \cos \phi$  ( $A$  は信号強度、 $\phi$  は変調波と信号波の位相差)で与えられ、位相差  $\phi$  が  $90^\circ$  であれば出力信号はゼロになってしまう。通常 ESR では位相差  $\phi$  をあらかじめ  $0^\circ$  に調整する「キャリブレーション」を行うことで対処する。EDMR の場合は、試料のインピーダンスによって  $\phi$  が毎回大きく変わるため、キャリブレーションは事実上不可能である。そのため、2 位相ロックインアンプ(シグナルリカバリー社 DSP ロックインアンプモデル 7265)を使用する。これは位相が  $90^\circ$  ずれた 2 つの信号、 $(A/2)\cos \phi$  と、 $(-A/2)\sin \phi$  を同時に計測するものである(図 4-2-4(a))[11]。

測定で得られた 2 つの位相の EDMR スペクトルに位相補正を行うことで、信号強度  $A$  を求めることが可能になる。図 4-2-4(b)(c)に、この様子を示した。生データでは、どちらの位相にも信号が現れているが(図 4-2-4(b))、2 つのスペクトルの位相を同じ量だけずらすことにより(このケースでは  $50^\circ$ )、 $\phi = 0^\circ$  で測定したスペクトルを得ることができる。つまり、片方のスペクトルはゼロになり、もう片方のスペクトルに信号が含まれるようになる(図 4-2-4(c))。

なお、位相補正には  $n\pi$  ( $n$  は整数)の任意性があるので、EDMR 信号が電流増加によるものなのか、電流減少に対応しているのかは判別できない。これを判断するには DC で変化の向きを観測する必要があるが、EDMR 信号は ppm オーダーのため、DC での観察は不可能だった。

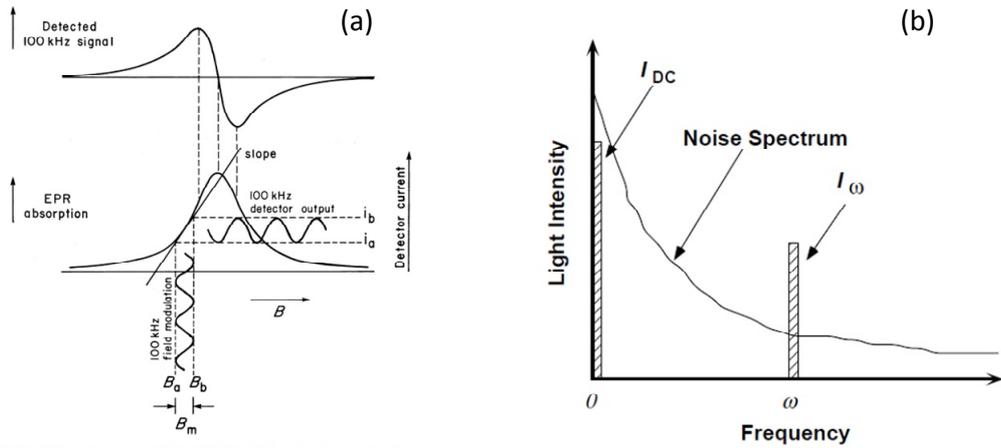


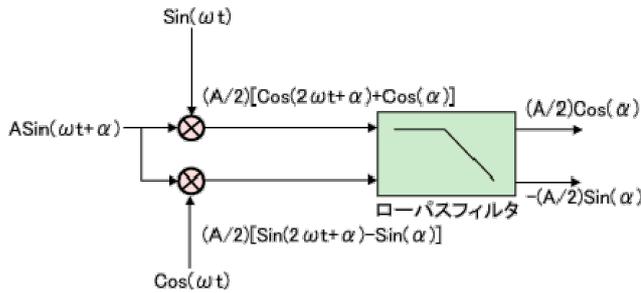
FIGURE E.6 Effect of small-amplitude 100 kHz field modulation on the detector output current. The static magnetic field  $B$  is modulated between the limits  $B_a$  and  $B_b$ . The corresponding detector current varies between the limits  $i_a$  and  $i_b$ . The upper diagram shows the recorded rectified 100 kHz signal as a function of  $B$ .

図9: 変調法と雑音のスペクトルの関係

J.A. Weil, J.R. Bolton, "Electron Paramagnetic Resonance (2ed., Wiley)", 2007

三尾典克, "物理計測法特論・物理学実験技法(A)", 東京大学テキスト, 2008

図4-2-3 磁場変調法による共振信号の検出(a)[3]とS/N比向上の概念図(b)[10]



(a) 2相ロックインアンプの構成

→(株)東陽テクニカ HPより  
<http://www.toyo.co.jp/sr/what/>

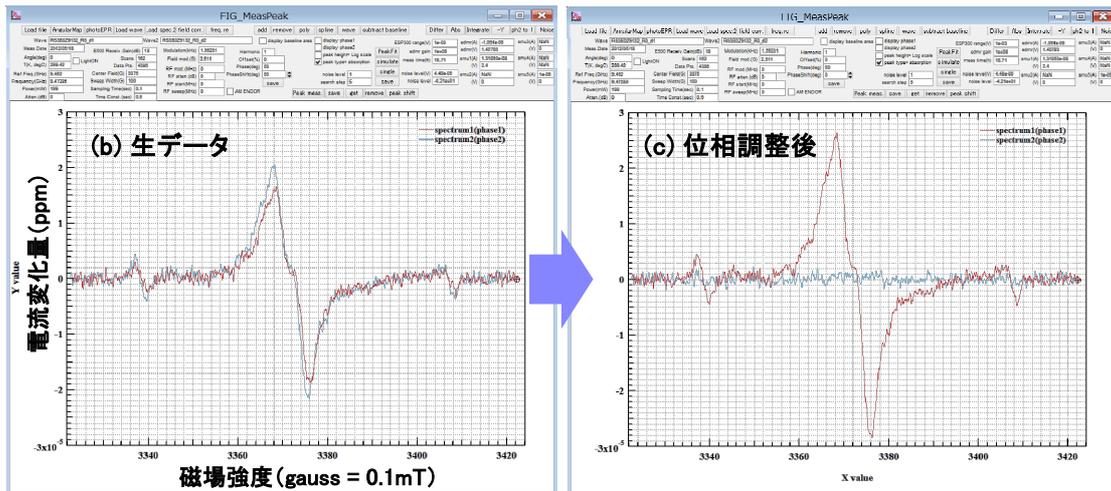


図4-2-4 2位相ロックインアンプの構成と出力データの位相調整

### 4-3. サンプル作製

#### 4-3-1. MOSFET 作製法

EDMR 測定で使用する MOSFET サンプルの作製法を説明する。

図 4-3-1 は、MOSFET の作製フローを示している。 $1 \times 10^{18}$  atoms/cm<sup>3</sup> 程度のボロンをドーピングしたシリコン基板の上に、poly-Si ゲート電極/SiO<sub>2</sub> ゲート絶縁膜のゲートスタック構造を形成する。

この後、SiO<sub>2</sub> を等方的に堆積し、これを異方性エッチングにより、ゲート電極の側壁にスペーサーを形成する。このスペーサーは、のちほど形成される LDD (Lightly Doped Drain) の横方向の位置調整のために必要である。この異方性エッチングは、フルオロカーボン (C<sub>m</sub>H<sub>n</sub>F<sub>l</sub>) を含むエッチャントを使用したドライ RIE (Reactive Ion Etching) によって行われる。

比較のために、エッチングは2つの極端な条件で行った。ひとつは、シリコン基板上の SiO<sub>2</sub> がちょうどとりきれれる予想時間の 1.5 倍の時間でエッチングを行ったものである (プロセス A)。この場合は、シリコン基板表面が長くフルオロカーボンにさらされる。もうひとつは、シリコン基板上の SiO<sub>2</sub> がちょうど切り切れる時間の半分以下の時間でエッチングを行ったものである (プロセス B)。シリコン基板表面は SiO<sub>2</sub> が残留し、直接フルオロカーボンにさらされる時間がない。

次に、LDD 形成のためのリンのイオン注入を行う。その後、再びゲート側壁に、スペーサーを形成し、このスペーサーとゲート電極をマスクにイオン注入法により SD (Source/Drain) 領域にドーピングを行う。このときのイオン注入量は、 $1 \times 10^{15}$  atoms/cm<sup>2</sup> 以上である。

続いて、ドーパントの活性化のために、1000°C 以上の急速熱処理 (Rapid Thermal Annealing, RTA) を行う。RTA とは、目的の設定温度まで、急速に昇温し、達したらすぐに再び降温するプロセスである。したがって、最高温度の滞在時間は1秒に満たない。なお、MOSFET の製造工程では、この RTA 以外にも、400°C 以上、数 10 分間の熱工程が数回挿入される。

本論文では、エッチングプロセス A を用いて作製した MOSFET を「サンプル A」、エッチングプロセス B を用いて作製した MOSFET を「サンプル B」と呼ぶことにする。

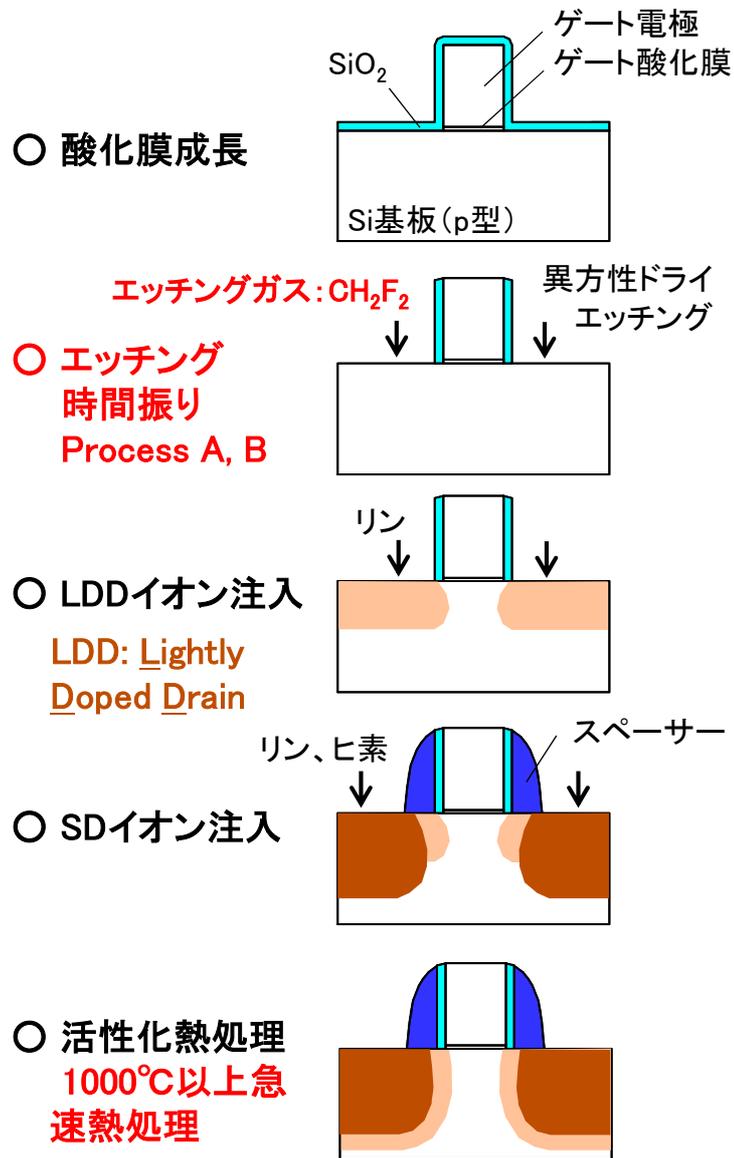


図 4-3-1 サンプルとなる MOSFET の作製法

4-3-2. MOSFET 構造

こうして製造された N チャネル MOSFET の断面構造の模式図を図 4-3-2 に示す。ソース・ドレインの接合深さは、おおむね 100nm 程度で、SD 領域の n 型ドーパントの濃度は  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 以上となる。これより、PN 接合の空乏層は、ドーパント濃度の薄い P 型基板方向に向かって主に広がる。また、空乏層は、SD の下方に伸びるとともに、ゲート電極下では、側面方向にも伸びる点に注意が必要である。この時の空乏層幅は、30nm 程度である。

この空乏層中に結晶欠陥が存在すると、接合リーク電流の原因となる。結晶欠陥がシリコンのバンドギャップ中に欠陥準位を形成すれば、価電子帯から伝導帯への電子の熱励起の効率的な中継地点となりうる[12,13]。そして伝導帯に達した熱励起電子(および価電子帯に生じた正孔)は、接合電界にしたがって移動し、接合リーク電流となる。

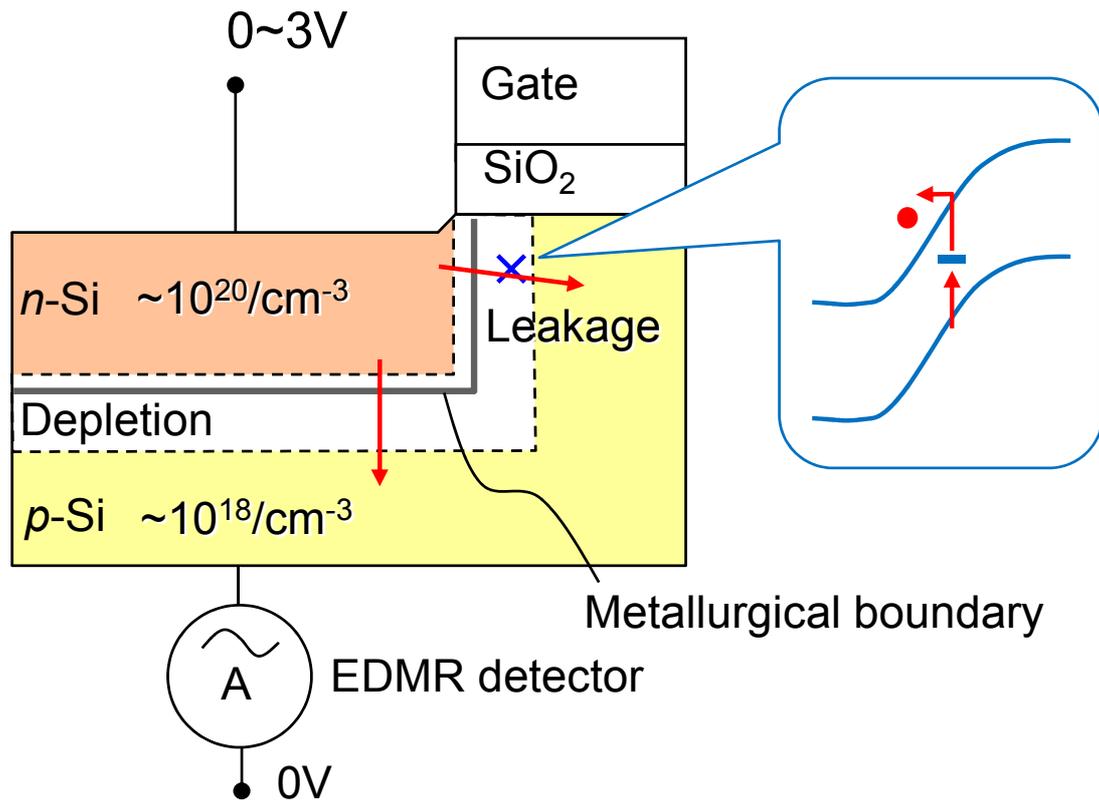


図 4-3-2 製造された N チャネル MOSFET の断面構造の模式図  
 ソース・ドレインの接合深さは、おおむね 100nm 程度。PN 接合の空乏層は、ドーパント濃度の薄い P 型基板方向に向かって主に広がる。空乏層は、SD の下方に伸びるとともに、ゲート電極下では、側面方向にも伸びる。

## 4-3-3. シリコン基板中の不純物分布

SiO<sub>2</sub>のエッチングプロセスによりシリコン基板に導入される不純物を調べるため、図 4-3-3 に示すようなフローで SIMS (Secondary Ion Mass Spectroscopy) 分析用サンプルを準備した。

ブランケットのシリコンウエハ上に、SiO<sub>2</sub>スペーサーのエッチングを模した工程を行った。このときのエッチング時間は、MOSFET 製造のときと同様に、シリコン基板上の SiO<sub>2</sub> がちょうどとりきれる時間の 1.5 倍 (プロセス A) と半分以下 (プロセス B) の、2種類の極端な条件で行った。次に、SIMS 測定のために、余分な SiO<sub>2</sub> を除去後、クリーニングして、SiN でシリコン表面をカバーした。SiN の成膜は 650°C、数 10 分間で行っている。このブランケットのサンプルに対し、SIMS 分析を行い、シリコン基板中に導入された不純物の深さ分布を測定した。SIMS 測定は表面側 (すなわち SiN 側) から行った。

カーボンとフッ素の SIMS 測定結果を図 4-3-4 に示す。これによると、プロセス A の場合は、いずれも表面 5nm 以下の領域に、 $1 \times 10^{20}$  atoms/cm<sup>3</sup> を超える、カーボンとフッ素が導入されていることがわかった。一方、プロセス B の場合は、カーボンおよびフッ素の濃度の 1~2 桁の低減が観測された。

このようなカーボンとフッ素のシリコン基板への導入は、過去にも報告例がある。文献[14]に従えば、フルオロカーボンによるエッチングにより、高濃度のカーボンとフッ素が導入される。文献[15]に従えば、第一原理計算の結果、表面の浅い領域に、カーボンとフッ素が導入されることが示されている。

ここで、被測定領域となる空乏層内部に存在するカーボン、フッ素の原子数を見積もっておく。4-5-1 節で述べるが、被測定 MOSFET は 64,000 個並列に接続されており、1つの MOSFET のゲートに面した部分の長さ (図 4-3-2 紙面垂直方向の長さ) は約 140nm である。空乏層の幅は約 30nm である。図 4-3-4 に寄れば、プロセス A の場合、カーボン、フッ素、が、シリコン基板表面から 3nm の領域に  $1 \times 10^{20}$  atoms/cm<sup>3</sup> の濃度で分布している。従って、図 4-3-2 によれば、被測定領域となる空乏層中に存在するカーボン、フッ素の原子数は、おおよそ

$$140\text{nm} \times 30\text{nm} \times 3\text{nm} \times 64,000 \times 10^{-21}\text{cm}^3/\text{nm}^3 \times 10^{20}\text{ atoms/cm}^3 = 8 \times 10^7\text{ atoms}$$

となる。

このようにシリコン基板に導入されたカーボンやフッ素が結晶欠陥となり、接合リーク電流の原因となっている可能性がある[16]。カーボンやフッ素、あるいは他の元素がどのような結晶欠陥を MOSFET 内部に形成しているのかを EDMR 法を使って調べていく。

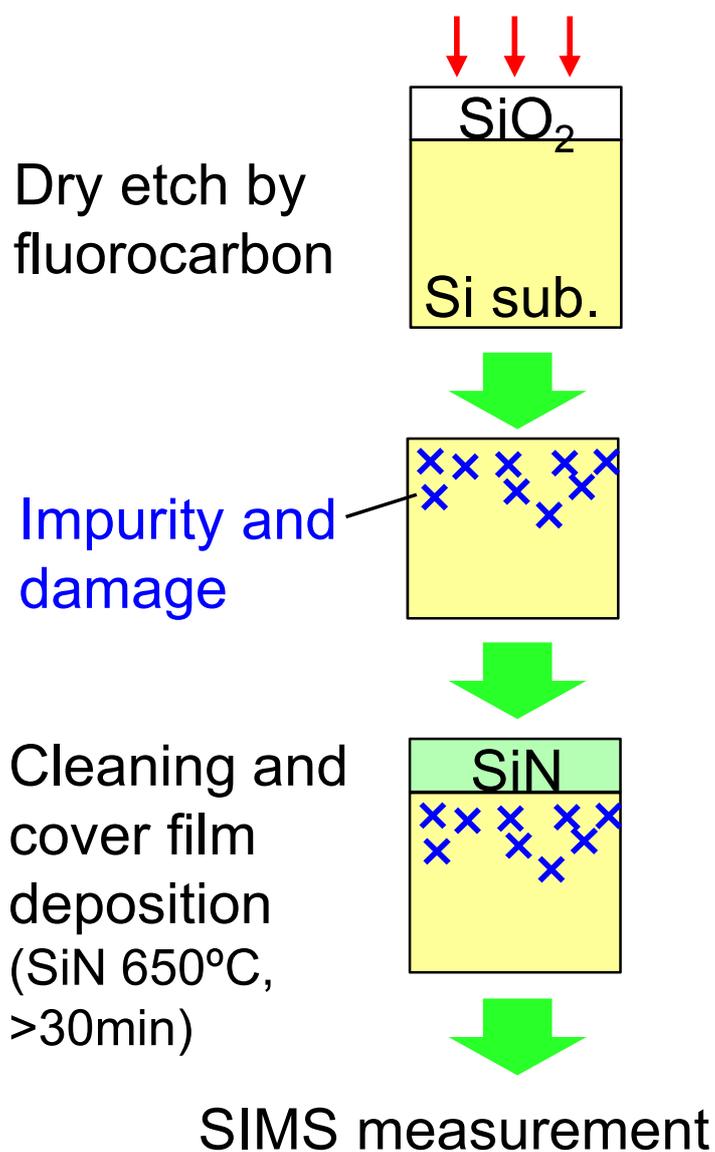


図 4-3-3 シリコン基板中の不純物の分布測定用のブランケットサンプルの作製方法  
ブランケットのシリコンウエハ上に、SiO<sub>2</sub> を堆積しエッチングを行う。このときのエッチング時間は、MOSFET 製造のときと同様に、シリコン基板上の SiO<sub>2</sub> がちょうどとりきれれる時間の 1.5 倍 (プロセス A) と半分以下 (プロセス B) の、2 種類の極端な条件で行った。次に、SIMS 測定のために、余分な SiO<sub>2</sub> を除去後、クリーニングして、SiN でシリコン表面をカバーした。SiN の成膜は 650°C、数 10 分間で行っている。

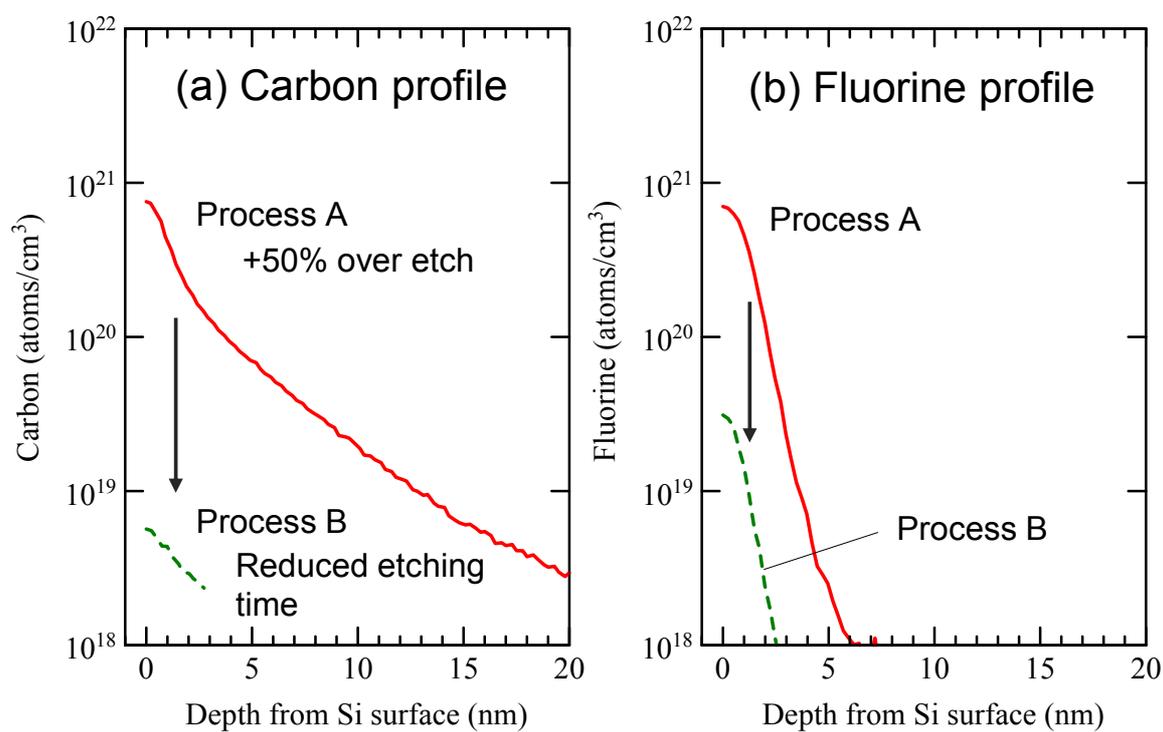


図 4-3-4 シリコン基板中のカーボンとフッ素の深さ分布  
 図 4-3-2 で作製したサンプルに対し、表面側(すなわち SiN 側)から測定を行った。

## 4-4. 超微細分裂とEDMRスペクトル

### 4-4-1. 超微細分裂による炭素とフッ素の判別

ESRやEDMRでは、カーボンとフッ素を「超微細分裂(Hyperfine Splitting)」を通じて明確に区別することができる。その原理について述べる。

ESR/EDMRスペクトルには超微細分裂と呼ばれる信号の等間隔分裂が観測されるケースがよくある。これは電子スピンと核スピンの磁気相互作用によるものである。カーボンとフッ素には、核スピンの大きな違いがある。カーボンの場合、天然存在比が98.9%の $^{12}\text{C}$ は核スピンのゼロであり、残り1.1%の同位体 $^{13}\text{C}$ が核スピン $1/2$ をもつ。それに対し、フッ素は天然存在比100%の $^{19}\text{F}$ が $1/2$ の核スピンをもつ(表4-4-1)。この核スピンの違いから、両元素による欠陥の区別が可能となる。

核スピンによる超微細分裂を説明したのが図4-4-1である。電子スピンと同様、核スピンもマイクロな磁石であり、核スピンの周囲には局所磁場が形成される(図4-4-1(a))。この核スピンの局所磁場に外部磁場を重畳したものが「電子スピンが感じる磁場」になる。

図4-4-1(b)は水素核スピン $1/2$ の場合を示したもので、この場合、核スピンの状態はアップとダウンのどちらかの状態をとり得る(核磁気量子数 $M_I$ の $+1/2$ 、 $-1/2$ に対応)。核スピンからは2つの正反対向きの局所磁場が発生するので、その結果、外部磁場による電子スピンのゼーマン分裂は、核スピンの局所磁場によってさらに2本ずつに分裂する。 $h\nu$ 一定のマイクロ波を照射すると、縦の矢印のように2つのESR遷移(電子の磁気スピン量子数 $M_S$ が $\pm 1$ 変化する。 $M_I$ は変化しない)が発生し、ESR/EDMRスペクトルには2本に分裂した信号が観測される。これが超微細分裂である。核スピンがアップである確率とダウンである確率はそれぞれ等しく50%なので、超微細分裂信号は1:1の等強度となる(核スピンもゼーマン分裂を起こすため、厳密にはアップが少し安定だが、本研究のように300Kでは1:1とみなせる。)

この例は核スピン $1/2$ のケースであるが、表4-1-1に示したように、核スピンの大きさ( $I$ とする)は $1/2$ だけとは限らない。同位体によって $I$ は変化する。核スピンによって、電子スピンの準位は $M_I = -I, -I+1, \dots, I-1, I$ の数( $2I+1$ 通り)だけ分裂するので、超微細分裂信号は $2I+1$ 本に分裂する。超微細分裂は等間隔、等強度で分裂するという分かりやすい特徴があるので、容易に見分けることができる。

図4-4-2(a)、(b)に、カーボンとフッ素による欠陥に対して予想されるEDMR信号を模式的に示す。カーボンの場合、ほとんどの原子が核スピンゼロの $^{12}\text{C}$ であるため、中心に1本線の信号が生じる。核スピン $1/2$ の $^{13}\text{C}$ による超微細分裂は0.55%(=同位体比1.1% $\div$ 2)ときわめて弱いので、普通は観測されない。一方、フッ素の場合、核スピン $1/2$ の $^{19}\text{F}$ による超微細分裂が50%、50%で明瞭に観測される。これは、天然には $^{19}\text{F}$ しか存在しないためである。

他方、母体のSi原子で欠陥が構成された場合は、存在比4.7%の $^{29}\text{Si}$ 核スピン $1/2$ による $^{29}\text{Si}$

超微細分裂が発生する。これにより、Si 原子からなる欠陥の信号は 2.35%、95.3%、2.35%の強度比の3本線の信号になる。超微細分裂信号が2.35%と比較的大きく、Si の場合は観測が可能である。したがって、カーボンとも、フッ素とも区別することができる。

原子 同位体	核スピン 大きさ $I$	自然 存在比	$a_0$ (mT)	$b_0$ (mT)
$^1\text{H}$	1/2	99.9%	50.7 (実測)	50.7
$^{11}\text{B}$	3/2	80.2%	90.9	2.27
$^{13}\text{C}$	1/2	1.1%	134.8	3.83
$^{14}\text{N}$	1	99.6%	64.6	1.98
$^{17}\text{O}$	5/2	0.038%	-187.8	-6.01
$^{19}\text{F}$	1/2	100%	1886.5	62.8
$^{27}\text{Al}$	5/2	100%	139.5	2.96
$^{29}\text{Si}$	1/2	4.7%	-163.9	-4.07
$^{31}\text{P}$	1/2	100%	474.8	13.0

$s$ 軌道によるA (等方的) ————

$p$ 軌道によるA (1軸性) ————

J.A. Weil et al., *Electron Paramagnetic Resonance* (1994).

表 4-4-1 シリコンデバイスに関係する代表的な核スピンの例 [3]

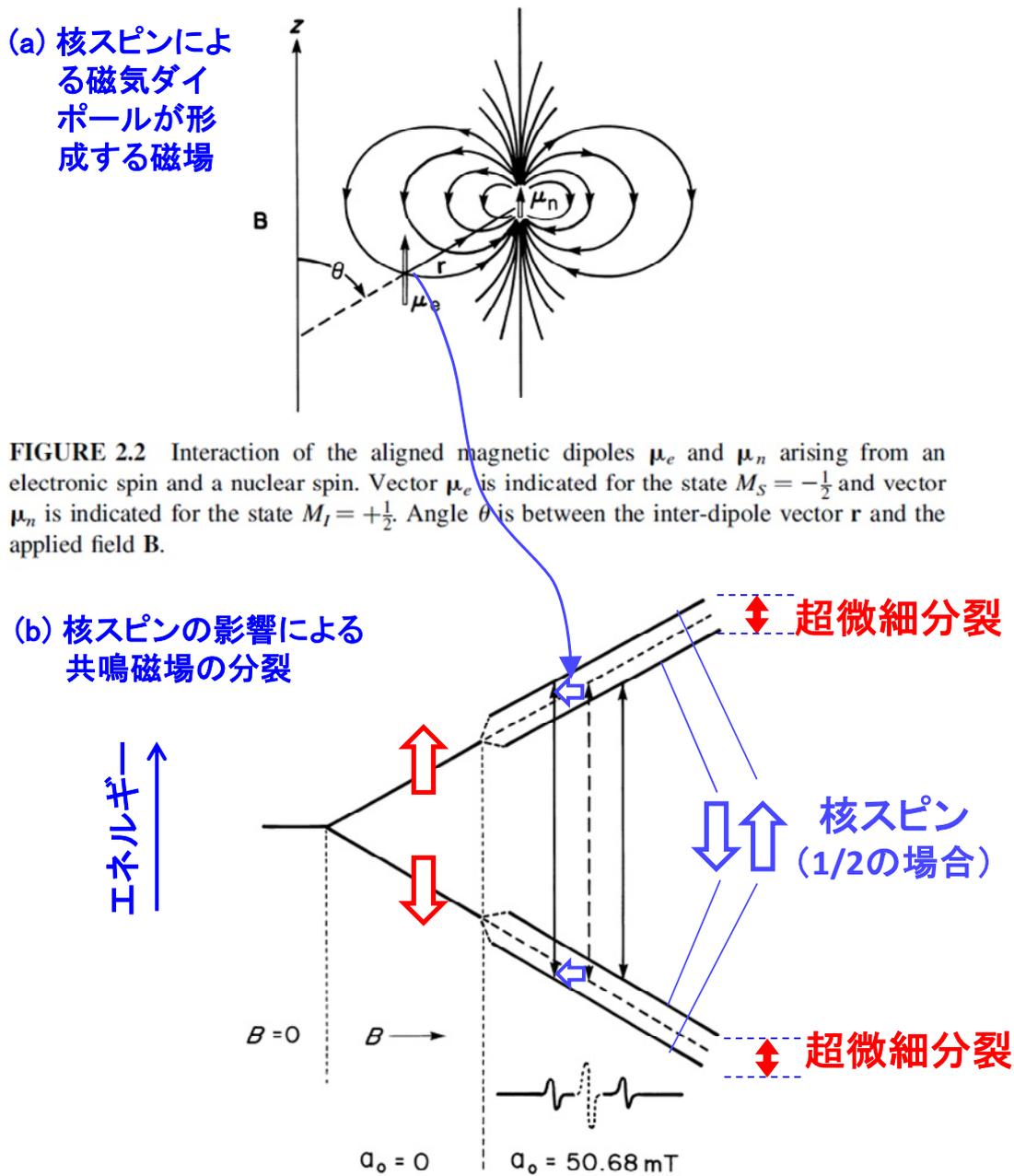
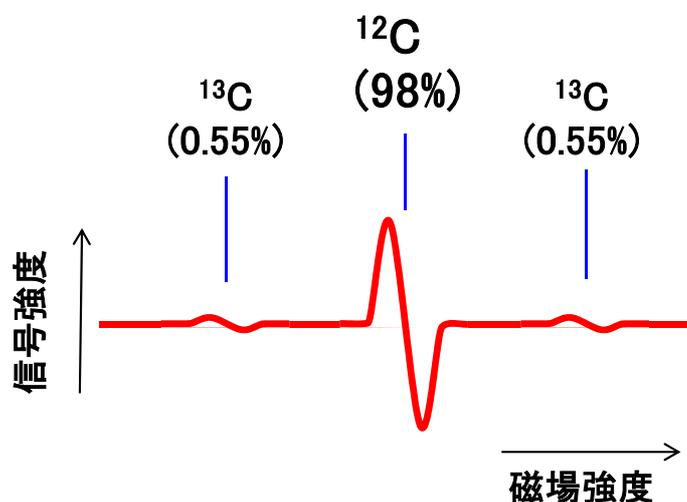


FIGURE 2.2 Interaction of the aligned magnetic dipoles  $\mu_e$  and  $\mu_n$  arising from an electronic spin and a nuclear spin. Vector  $\mu_e$  is indicated for the state  $M_S = -\frac{1}{2}$  and vector  $\mu_n$  is indicated for the state  $M_I = +\frac{1}{2}$ . Angle  $\theta$  is between the inter-dipole vector  $r$  and the applied field  $B$ .

FIGURE 2.1 Energy levels of a system with one unpaired electron and one magnetic nucleus with  $I = \frac{1}{2}$  (e.g., the free hydrogen atom) as a function of magnetic field. The dashed-line transition would be observed if  $a_0$  were zero. The observed fixed-frequency spectrum (Section C.1.6 and Fig. 1.4) may be accounted for if the allowed transitions shown as solid lines are both drawn with the same length, since  $h\nu$  is constant.

図 4-4-1 核スピンによる電子スピンの共鳴磁場のシフト(超微細分裂)  
 [3]J.A. Weil, J.R. Bolton, "Electron Paramagnetic Resonance (2ed., Wiley)" (2007) を  
 参考に作成

### (a) カーボンの場合



### (b) フッ素の場合

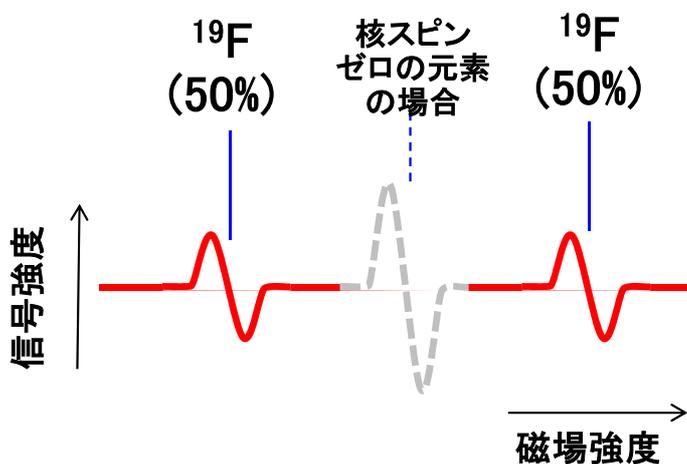


図 4-4-2 カーボンとフッ素による超微細分裂の模式図

カーボンの場合、ほとんどの原子が核スピンゼロの  $^{12}\text{C}$  であるため、中心に1本線の信号が生じる。核スピン  $1/2$  の  $^{13}\text{C}$  による超微細分裂は  $0.55\%$  ( $=$  同位体比  $1.1\% \div 2$ ) ときわめて弱いので、普通は観測されない。一方、フッ素の場合、核スピン  $1/2$  の  $^{19}\text{F}$  による超微細分裂が  $50\%$ 、 $50\%$  で明瞭に観測される。これは、天然には  $^{19}\text{F}$  しか存在しないためである。なお、Si 原子で欠陥が構成された場合は、存在比  $4.7\%$  の  $^{29}\text{Si}$  核スピン  $1/2$  による  $^{29}\text{Si}$  超微細分裂が発生する。この場合、超微細分裂信号が  $2.35\%$  ( $= 4.7\% \div 2$ ) と比較的大きく、観測が可能である。したがって、カーボンとも、フッ素とも区別することができる。

#### 4-4-2. EDMR スペクトルの測定結果

図 4-4-3 に、サンプル A で観測された、EDMR 信号の磁場強度依存性をしめす。縦方向に 19 本のスペクトルがずらしながら表示されているが、それぞれは外部磁場と結晶軸の角度を(011) 平面内で  $0^{\circ}$ ~ $90^{\circ}$  で変化させたものに対応している。

外部磁場の角度は図 4-4-3 中に示すように、 $0^{\circ}$  が[100]軸方向、 $90^{\circ}$  が[011]軸方向に対応している。この磁場回転実験では、途中で  $54.8^{\circ}$  に[111]軸方向が出現する。すなわち、この回転方法は、シリコン結晶の代表的な方位である[100]、[111]、[011]軸方向に対する ESR スペクトルを観察できるメリットがあり、シリコン結晶の ESR では標準となっている。

さて、図 4-4-3 の EDMR スペクトルをみると、大きく2つの信号がみられる。1つは、337mT 付近に見られる強い信号で、もうひとつは、334mT と 340mT 付近に、等強度で2本に分裂している信号である。後者は、その特徴から、 $^{19}\text{F}$  超微細分裂をもつフッ素由来の欠陥信号であると考えられる。超微細分裂のない前者はカーボン由来の欠陥信号と考えられる。

そこで本研究では、前者の信号を Ci、後者の信号を Fi と名づけた。カーボンとフッ素の欠陥であることは、SIMS データから見ても妥当である。ラベルの「i」は interstitial (格子間欠陥)を意味しているが、Ci と Fi が格子間欠陥であることは今後の解析で明らかになっていく。

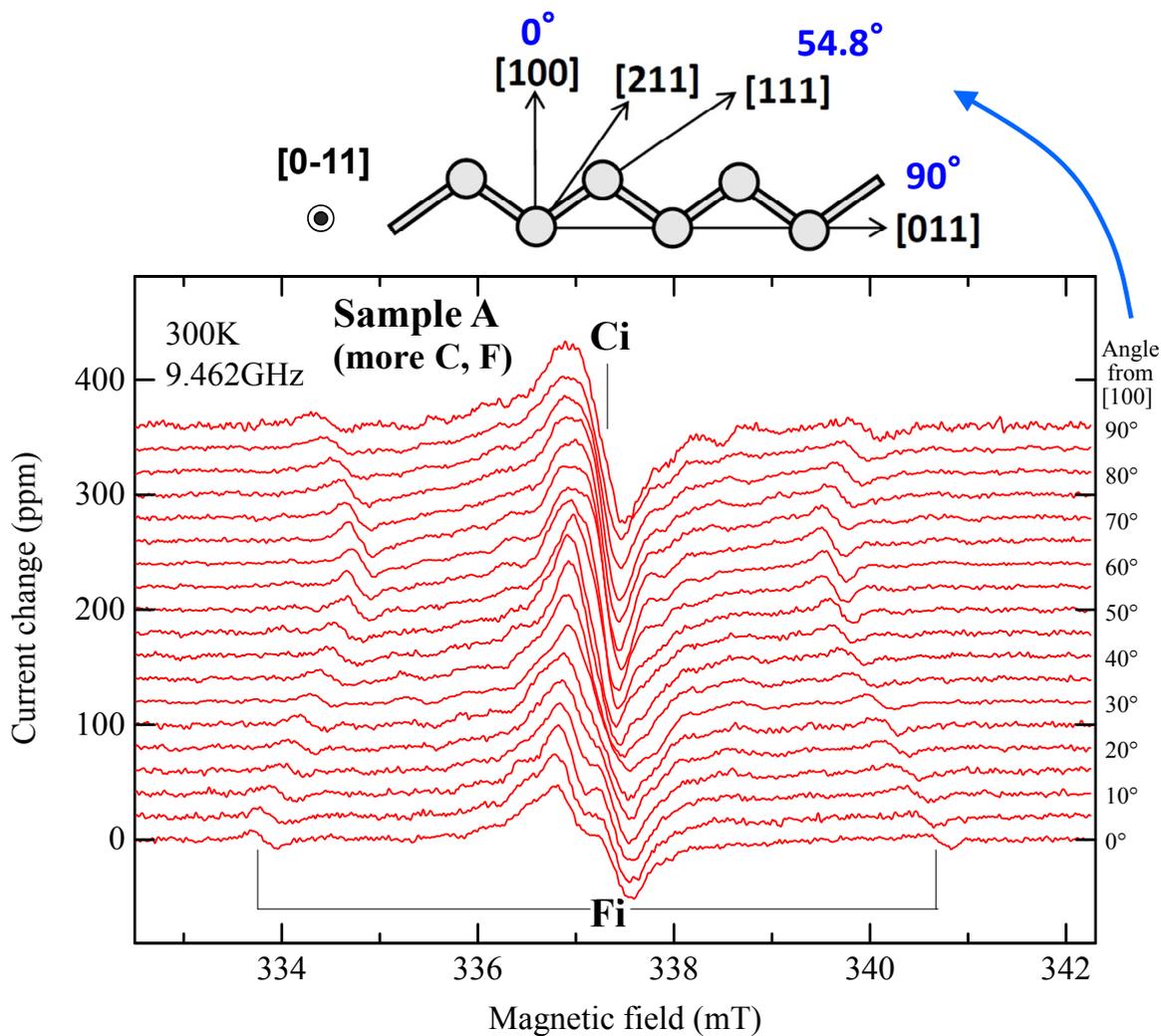


図 4-4-3 サンプル A で観測された EDMR スペクトル

縦方向に 19 本のスペクトルがずらしながら表示されているが、それぞれは外部磁場と結晶軸の角度を(011)平面内で  $0^\circ \sim 90^\circ$  で変化させたものに対応している(上図)。外部磁場の角度は、 $0^\circ$  が[100]軸方向、 $90^\circ$  が[011]軸方向に対応している。この磁場回転実験では、途中で  $54.8^\circ$  に[111]軸方向が出現する。EDMR スペクトルをみると、大きく2つの信号がみられる。1つは、337mT 付近に見られる強い信号で、もうひとつは、334mT と 340mT 付近に、等強度で 2 本に分裂している信号である。後者は、その特徴から、 $^{19}\text{F}$  超微細分裂をもつフッ素由来の欠陥信号であると考えられる。超微細分裂のない前者はカーボン由来の欠陥信号と考えられる。

## 4-4-3. 信号の線幅の影響

詳しい解析に入る前に、EDMR 信号の線幅について説明しておきたい。図 4-4-4 に、本研究で得られた EDMR スペクトルと通常の ESR スペクトルの比較結果を示す。図 4-4-4 の通常 ESR スペクトルは、 $^{13}\text{C}$  同位体をドーピングした単結晶シリコンに電子線照射を行った試料で炭素関連欠陥 ( $G_{12}$  センター、後述) を検出した例である[17]<sup>2</sup>。外部磁場は、マイクロ波 9.5GHz で測定したケースとなるように変換している。

図から明らかのように、本研究の EDMR の信号は、通常の ESR に比べて何倍も線幅が広いことが分かる。これは EDMR 信号に「寿命広がり」が起きたためだと推測している。EDMR は 4-1-2 節で説明した通り、「パウリの排他原理」を介した欠陥準位と伝導電子の電子スピンの相互作用を利用している。したがって、欠陥準位の電子スピンのみならず、伝導電子の電子スピンの影響も受けると考えるのが妥当である。電子スピンの寿命 (スピンが反転した状態を維持している時間) は欠陥準位では十分に長く、寿命広がり ESR 信号の線幅約 1Gauss 以内に十分収まるが<sup>3</sup>、伝導電子の電子スピン寿命は極めて短く、最短で  $10^{-12}$  sec にまでなることが知られている。このため寿命広がり非常に大きくなり、伝導電子の電子スピン共鳴は室温では観測できないのが通常である。EDMR では、この伝導電子の電子スピン寿命の影響を一部取り込んで、信号線幅が広がっていると考えられる。線幅の広がり、すべての EDMR 信号に当てはまる傾向である。

問題は、EDMR 信号の線幅の広がりによって信号の分離が難しくなることである。このような例は本研究以外でも報告されている。図 4-4-5 に、素子分離 (LOCOS) に起因する Si-SiO<sub>2</sub> 界面の  $P_{b0}$  センター (界面 Si ダングリングボンド欠陥) の極低温 EDMR 信号の例を示す[18]。この結果は、4 K の極低温で測定されたものであるが (電子スピン寿命には強い温度依存性があり、原則、低温にするほど急激に長くなる)、EDMR 信号の線幅が依然として広いために、磁場角度依存性を見ると理論上は 3 本に分かれる信号 (実線で表示) が 2 本 (黒丸で表示) にしか見えず、信号の分離ができていないことがわかる。

<sup>2</sup> 同位体  $^{13}\text{C}$  (核スピン 1/2) のドーピングにより、本来は強度が弱くて見えないはずの  $^{13}\text{C}$  超微細分裂がはっきりと観測されている。このシリコン試料は核スピン濃縮系となるため、電子スピンから見て、その周囲に多数の微弱な磁石が分布することになり、非常に多数の細かい  $^{13}\text{C}$  超微細分裂が発生する。その結果、通常のシリコン試料よりも ESR 信号の線幅は広がる。それにもかかわらず、EDMR 信号線幅はそれを何倍も上回る広さとなっている。

<sup>3</sup> ESR では 10 GHz が約 3500 Gauss に対応しているので、1 Gauss は周波数スペクトルで見れば 2.8 MHz 幅の信号に対応する。逆数を取れば  $10^{-7}$  sec (100 ns オーダー) となり、電子スピンの寿命がこれ以上であれば寿命広がり 1 Gauss の線幅に埋もれてしまって見えない。しかし、電子スピンの寿命が  $10^{-8}$  sec (10 ns オーダー) になると寿命広がりによる線幅は 10 Gauss のオーダーになり、今回の EDMR 信号で観測されている線幅に近づく。

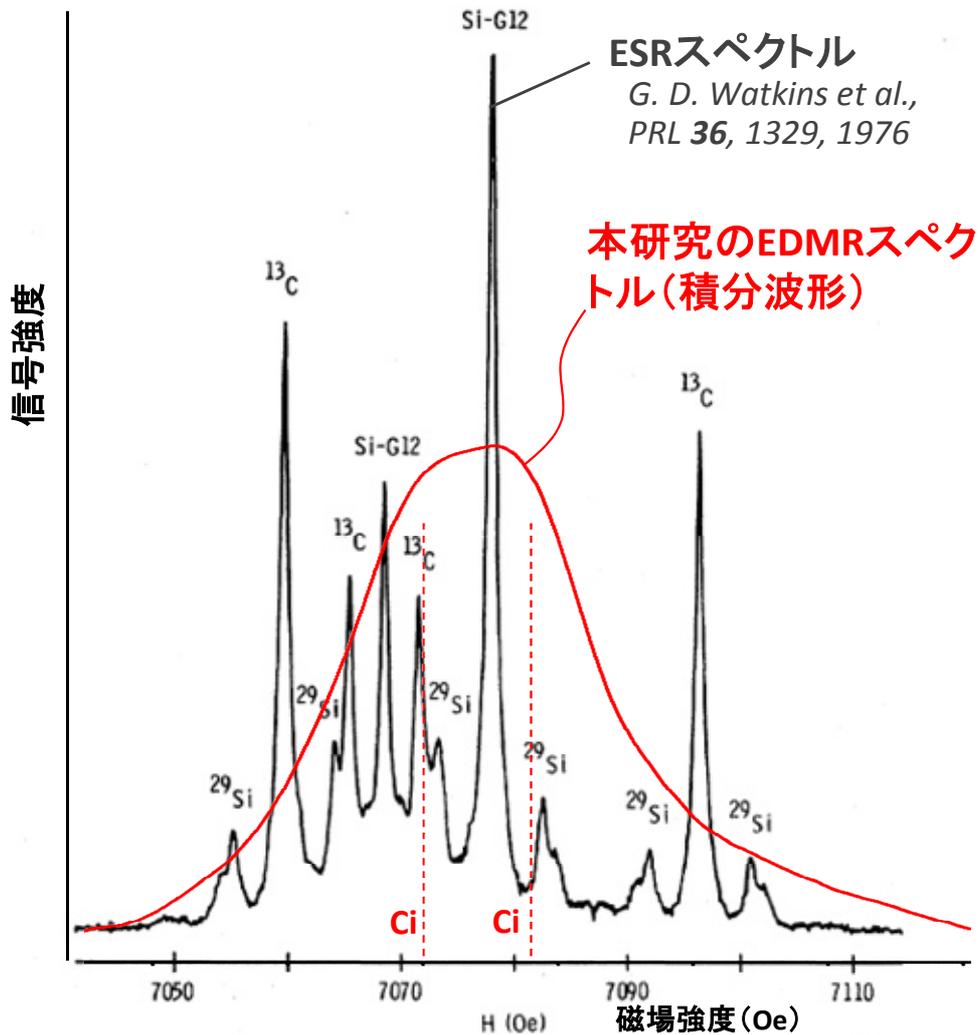


FIG. 1. Si-G12 spectrum at  $\nu = 19.8582$  Hz,  $\vec{H} \parallel \langle 100 \rangle$ ,  $T = 35$  K. Hyperfine satellites due to  $^{13}\text{C}$  (enriched to 60.1%) and  $^{29}\text{Si}$  (normal abundance 4.7%) are indicated.

図 4-4-4 本研究の EDMR と通常 ESR[17] のスペクトルの比較

通常 ESR スペクトルは、 $^{13}\text{C}$  同位体をドーピングした単結晶シリコンに電子線照射を行った試料で炭素関連欠陥(G12 センター、後述)を検出した例である[17]。本研究の EDMR の信号は、通常の ESR に比べて何倍も線幅が広い。EDMR では欠陥準位の電子スピンのみならず、伝導電子の電子スピンの影響も受けると考えるのが妥当である。電子スピンの寿命は欠陥準位では十分に長く、寿命広がりには ESR 信号の線幅約 1Gauss(10e)以内に十分収まるが<sup>1)</sup>、伝導電子の電子スピン寿命は極めて短く、最短で  $10^{-12}$  sec にまでなることが知られている。この伝導電子の影響により、信号線幅が広がっていると考えられる。線幅の広がりには、すべての EDMR 信号に当てはまる傾向である。

なお、本研究の EDMR スペクトルは、9.462GHz のマイクロ波で測定したので、 $19.8582\text{GHz}/9.462\text{GHz} \times 10 \text{ Oe/mT} = 20.9873$  を外部磁場に乘じた上で重ねて描いた(赤線)。例えば、本研究の EDMR 信号 337.0 mT(Ci、後述)は、7072.7 Oe となる。上図説明文の“19.8582 Hz”は、“19.8582 GHz”の誤記と思われる。

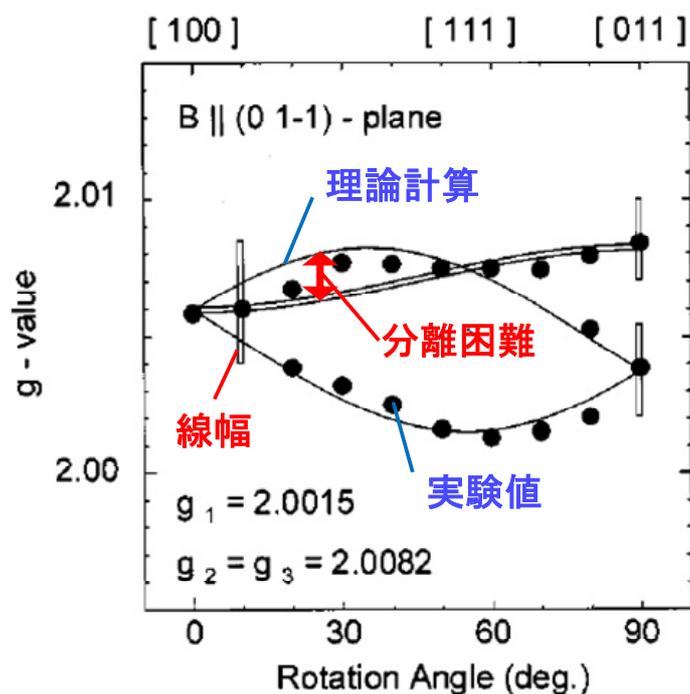


FIG. 3. Angular dependence of  $P_b$  centers. The closed circles represent the observed resonance positions as a function of the sample orientation with respect to the static magnetic field. The lines give the calculated resonance positions for a  $g$  tensor with the principal values shown. The vertical bars are a measure for the linewidth of the signals.

図 4-4-5 EDMR の線幅が信号の分離に影響を与えた例[18]  
 素子分離(LOCOS)に起因する Si-SiO<sub>2</sub> 界面の  $P_{b0}$  センター(界面 Si ダングリングボンド欠陥)の極低温 EDMR 信号の例である[18]。EDMR 信号の線幅が広いために、磁場角度依存性を見ると理論上は 3 本に分かれる信号(実線で表示)が 2 本(黒丸で表示)にしか見えず、信号の分離ができていないことがわかる。

#### 4-4-4. ピークフィッティングによる EDMR 信号の抽出

通常の ESR 解析では、信号位置の磁場角度変化を人間の目で読み取るだけで十分なデータが得られるが、EDMR 信号のようにブロードな信号を分離するためには、それでは極めて不十分で、数学的なモデルに基づくピークフィッティングが有効である。

図 4-4-6 にピークフィッティングの様子を示す。この例では、図 4-4-3 の磁場角度  $10^\circ$  の EDMR スペクトルを解析している。ピークフィッティングのためのモデル関数としては、1 次微分形の Voigt 関数を用いた。Voigt 関数とは、線幅の狭いガウス関数型ピーク(半値全幅  $W_G$ )を、線幅の広いローレンツ関数型ピーク(半値全幅  $W_L$ )の包絡線に沿って Convolution したもので、

$$V(x, W_G, W_L) = \frac{1}{W_L} \int_{-\infty}^{+\infty} \frac{\exp\left[-\left(z\sqrt{\ln 2}/W_G\right)^2\right]}{1 + \left[2(x - z\sqrt{\ln 2})/W_L\right]^2} dz \equiv V(x', y), \quad \dots(4-4-A)$$

で表される[19,20]。物理的な意味としては、ガウス関数は「不均一な分布(広がり)」を表し、ローレンツ関数は寿命広がりなどによる「均一な分布(広がり)」を表している。これは ESR に限らず、一般の分光法で成立する話である。Voigt 関数はガウス関数からローレンツ関数の中間を連続的に表現できる関数となっている。

フィッティングは、1 つのピーク当たり、ピーク強度  $A$ 、ピーク半値全幅  $W$ 、ピーク位置  $x_0$ 、Voigt 関数  $V(x', y)$  のパラメータである  $y$  の 4 つをフィッティングパラメータとする。ここで  $y$  は shape parameter と呼ばれ、

$$x' = x \frac{y + \sqrt{y^2 + 4 \ln 2}}{2W}, \quad \dots(4-4-B)$$

で定義される[19]。  $y$  は  $V(x', y)$  の形をコントロールし、0 でガウス型に収束、1 でガウス型とローレンツ型のちょうど中間、10 $\sim$  $\infty$  でローレンツ型に収束する。

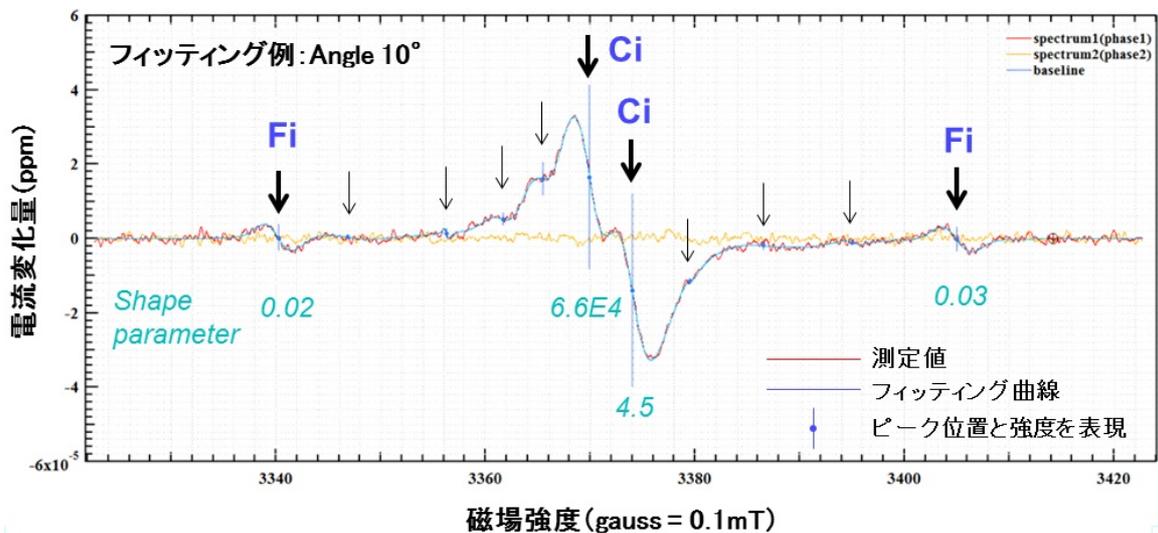


図 4-4-6 EDMR スペクトルの Voigt 関数によるフィッティング

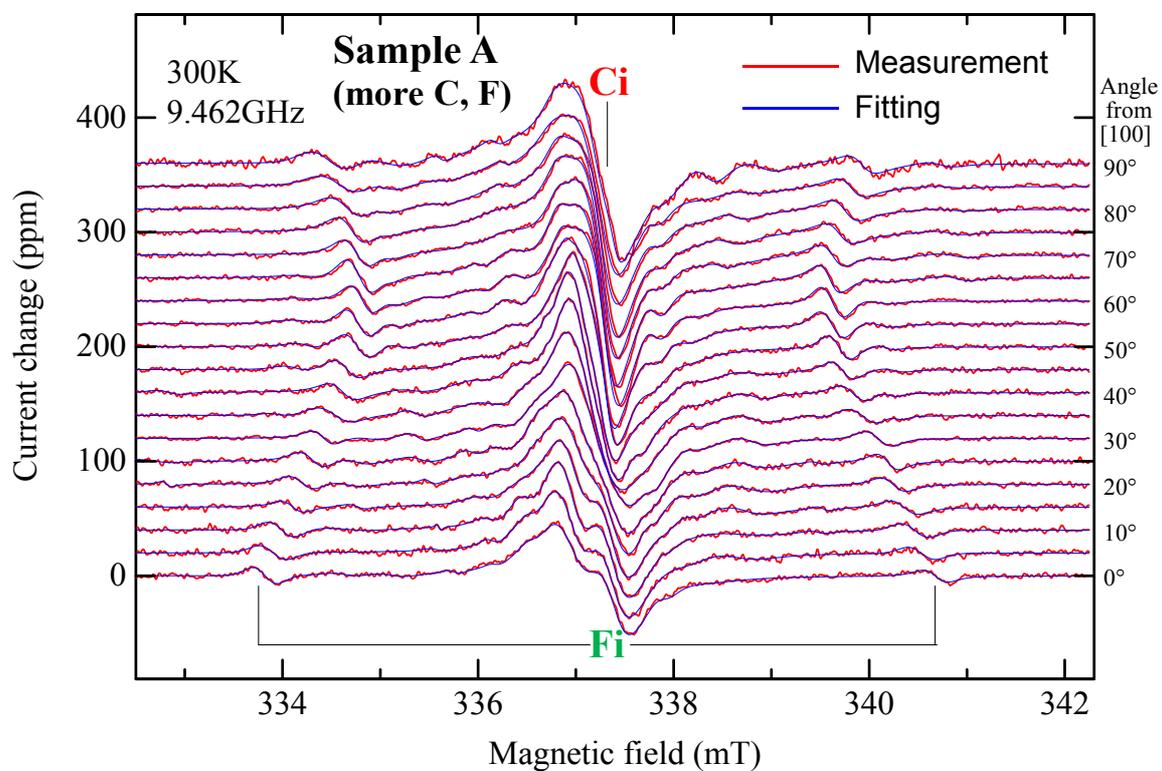


図 4-4-7 EDMR スペクトル実測データと、ピークフィッティング結果

なお、超微細分裂による1対の信号( $F_i$ )に対しては、両方が同じピーク半値幅、ピーク強度になるように拘束条件を与えた。フィッティングは非線形最小二乗法に基づいて実験スペクトルに最も合うパラメータを決めるように行った。その結果が図4-4-6の青の実線であり、フィッティング結果は極めて良好である。半値幅は $C_i$ に対しては0.28~0.45mT、 $F_i$ に対しては0.15~0.26mTであった。shape parameterは、 $C_i$ ではローレンツ型に近く、 $F_i$ を含むそれ以外の小信号はガウス型と判断された。小信号がガウス型と判断されるのは見かけ上のもので、ノイズの影響のためと考えている。おそらく小信号もローレンツ型であるが、ガウス型とローレンツ型で最も大きな差が出るのはピークの裾の部分のため、裾がはっきりと見える $C_i$ はローレンツ型と判断されるのに対し、小信号ではガウス型でも十分に合ってしまったものと考えられる。

図4-4-7に、全角度のスペクトルに対して、フィッティングを行った結果をしめす。実測データと、フィッティング曲線は極めてよく一致していることがわかる。図4-4-8に、フィッティングにより得られたEDMR信号の磁場角度依存性を示す。これを「角度マップ」と呼ぶ。精密なピークフィッティング作業によって、 $C_i$ 、 $F_i$ だけではなく、その他のマイナーな信号も抽出することができた。これはMOSFET内部で何が起きているのかを理解する上で大きな強みとなることが以降の節で明らかにされる。

次節からは、 $C_i$ 、 $F_i$ 、およびマイナーな信号の順で、その起源の同定作業について述べる。

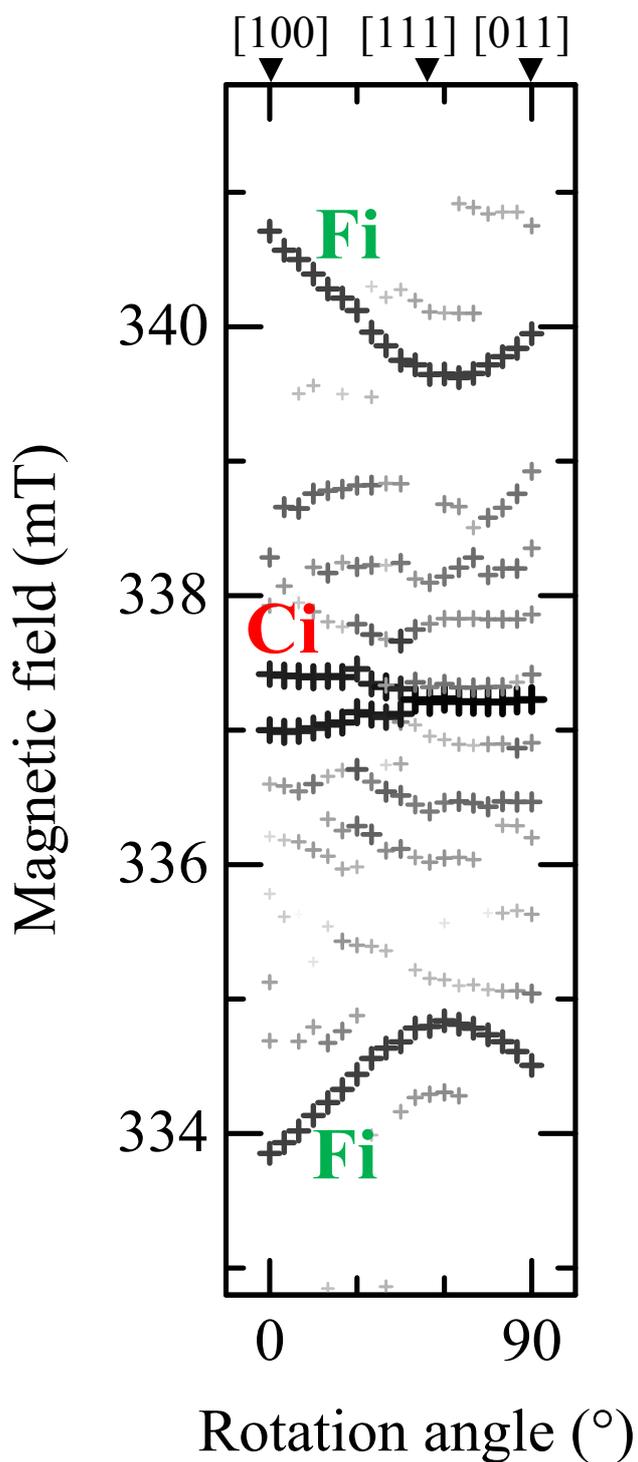


図 4-4-8 フィットtingにより得た EDMR 信号の磁場角度依存性  
+が濃く大きいほど信号強度が強いことを意味する

## 4-5. エッチング時間の違いによる EDMR スペクトルの変化

### 4-5-1. 接合リーク電流の変化

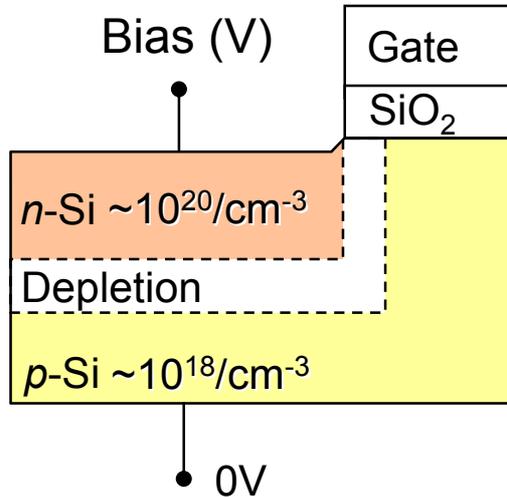
CiとFiの起源の同定に入る前に、シリコン基板中のSiO<sub>2</sub>のエッチング時間の異なるサンプルAとサンプルBの特性の違いについて述べる。サンプルAとサンプルBは、第4章3節で述べたように、シリコン基板中のカーボンとフッ素の濃度に大きな違いがある。この2つのサンプルの違いを明らかにすることは、Ci、Fiの同定に大きなヒントを与えてくれる。

まず、サンプルAとサンプルBの接合リーク電流を比較した。

図4-5-1に、サンプルAおよびサンプルBの(a)ダイオード構造、および(b)電流-電厚特性を示す。ダイオードは、MOSFETのドレインと基板間の2端子構成とした。ソースおよびゲートはオープン(フローティング)である。MOSFETは64,000個並列に接続されている。1つのMOSFETのドレイン拡散層の大きさは、約 $1 \times 10^4 \text{ nm}^2$ で、ゲートに面した部分は約140nmである。実際に測定するダイオードの面積、ゲートに面した長さ、は、これに64,000を乗じた値になる。電流-電圧特性の測定は室温で行った。

順方向(forward)側はサンプルA、Bとも、同じ値の電流が流れた。順方向の電流は、概ね、接合電界と接合面積で決まる。従って、サンプルA、Bは、同等の接合電界と接合面積であると考えられる。一方、逆方向(reverse)側は、サンプルAとサンプルBで明瞭な違いがみられた。逆方向の電流は、バンドギャップ中の欠陥を介した接合リーク電流が支配的であることから、サンプルBの方が欠陥が多いと考えられる。また、その原因は、エッチングによって導入されたカーボンとフッ素に由来すると考えるのが自然である(図4-2-4)。

(a) 被測定ダイオード構造



(b) ダイオードの電流－電圧特性

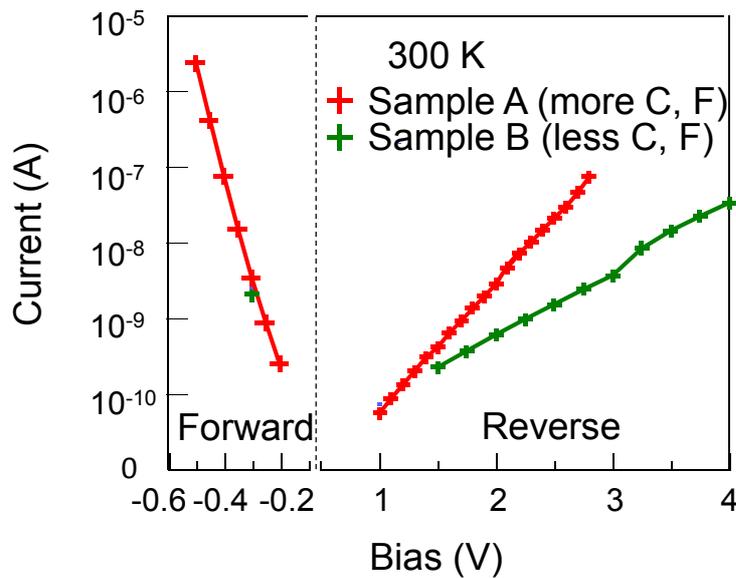


図 4-5-1 サンプル A およびサンプル B の(a)ダイオード構造、および (b)電流－電圧特性  
 ダイオードは、MOSFET のドレインと基板間の2端子構成とした。ソースおよびゲートはオープン（フローティング）である。MOSFET は 64,000 個並列に接続されている。1つの MOSFET のドレイン拡散層の大きさは、約  $1 \times 10^4 \text{ nm}^2$  で、ゲートに面した部分は約 140nm である。電流－電圧特性の測定は室温で行った。順方向 (forward) 側はサンプル A、B とも、同じ値の電流が流れた。順方向の電流は、概ね、接合電界と接合面積で決まる。従って、サンプル A、B は、同等の接合電界と接合面積であると考えられる。一方、逆方向 (reverse) 側は、サンプル A とサンプル B で明瞭な違いがみられた。逆方向の電流は、バンドギャップ中の欠陥を介した電流が支配的であることから、サンプル B の方が欠陥が多いと考えられる。また、その原因は、エッチングによって導入されたカーボンとフッ素に由来するものと考えられる。なお、サンプル A と B で逆方向電流の電圧依存性 (傾き) が異なっている。これは、接合電界が完全に同じではなく、多少異なる可能性を示唆している。

#### 4-5-2. EDMR スペクトルの変化

次に、図 4-5-2 に、サンプル A とサンプル B の EDMR スペクトルを示す。

EDMR の測定は、300K で、サンプル A、B ともに、8 nA の電流が流れる条件で測定した。マイクロ波は 9.46GHz でパワーは 200 mW、磁場変調幅は 0.5mT とした。挿入図は、EDMR による電流変化量 (peak-to-peak) の電圧依存性を示している。

サンプル A では、333.5 mT に強い信号が見られた。これは、前節で”Ci”と名付けた信号である。サンプル B でも同じ位置に信号が見られたが、ごく弱く、観察にはより長い積分時間を要した。電流値に対する EDMR 信号強度 (ppm) は、電圧 1.75V で読み取ると、サンプル A は 200ppm だったのに対し、サンプル B は 50ppm であった。このことは、サンプル A の方がより多くの欠陥を有することを意味する。実際に、電流 (欠陥に起因する接合リーク電流) は、1.75V でサンプル A は 1.2 nA であるのに対し、サンプル B は 380 pA であった。

このように、カーボン、およびフッ素が基板中に多いサンプル A において、接合リーク電流が多く、また、EDMR 信号も強いことから考えても、サンプル A には、カーボンまたはフッ素に起因する欠陥が存在すると考えるのが自然である。またこのことは、前節の議論とも整合する。

一方で、サンプル B において接合リーク電流が低減することも (工業的には) 注目に値する。このことは、エッチングダメージを低減することが、低リーク電流用のデバイスには重要なことと言える。本研究の実験は、エッチング時間の長短しか条件を振っていないが、何らかの工夫によって、エッチングダメージをプロセス的に低減することを考える必要がある [16]。

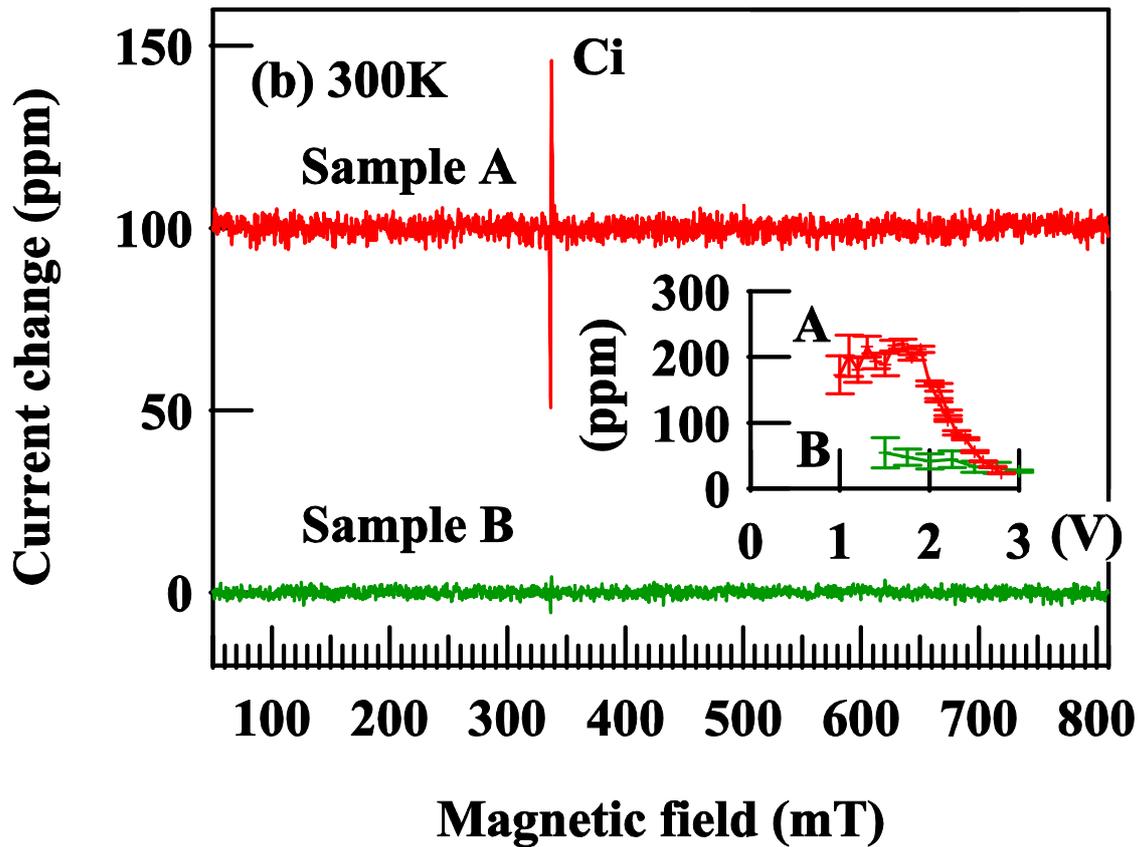


図 4-5-2 サンプル A とサンプル B の EDMR スペクトル

EDMR の測定は、300K で、サンプル A、B とともに、8 nA の電流が流れる条件で測定した。マイクロ波は 9.46GHz でパワーは 200 mW、磁場変調幅は 0.5mT とした。挿入図は、EDMR による電流変化量 (peak-to-peak) の電圧依存性を示している。

サンプル A では、333.5 mT に強い信号が見られた。これは、「Ci」と名付けた信号である。サンプル B でも同じ位置に信号が見られたが、ごく弱く、観察にはより長い積分時間を要した。電流値に対する EDMR 信号強度 (ppm) は、電圧 1.75V で読み取ると、サンプル A は 200ppm だったのに対し、サンプル B は 50ppm であった。このことは、サンプル A の方がより多くの欠陥を有することを意味する。実際に、電流 (逆方向バイアスなので、欠陥に起因する接合リーク電流) は、1.75V でサンプル A は 1.2 nA であるのに対し、サンプル B は 380 pA であった。

## 4-6. Ci の起源同定

### 4-6-1. g テンソルとスピンハミルトニアン

Ciは炭素由来の欠陥であるため、超微細分裂の観測は難しい。したがって、起源同定は「g テンソル」と呼ばれる ESR パラメータによって行う。本節では、実験で得られた角度マップ(図 4-4-8)から g テンソルを求める方法を説明する。

まず電子スピンの固有エネルギーを計算する「スピンハミルトニアン」について説明する。スピンハミルトニアンは、スピン演算子で記述されたハミルトニアンで[6]、Ci の場合は、超微細分裂なし(核スピンゼロ)、微細分裂なし(電子スピン 1/2)なので、ゼーマン分裂のみを記述する次式で与えられる。

$$H = \mu_B \mathbf{S}^t \cdot \mathbf{g} \cdot \mathbf{B}. \quad \dots(4-6-A)$$

ここで、

- g** : 対電子の g テンソル、
- S** : 電子スピン演算子、
- $\mu_B$  : ボーア磁子 ( $5.7883 \times 10^{-5}$  eV/T)、
- B** : 外部磁場(T)、

である。

4-1-1 節ではg値をスカラー量として取り扱ったが、一般に、物質中では電子の軌道角運動量とスピン角運動量との相互作用の結果、g値は異方性をもち、テンソル量となる。g テンソルは欠陥の対称性と種類を反映し、おおむね欠陥固有の値となっている。したがって実験データから g テンソルを決定し、それが既知の欠陥のものと一致するか、あるいは類似していれば、同一または同種の欠陥であると結論することができる。

g テンソルは、スピン-軌道相互作用を考慮した理論計算から[6]、対称行列であることが分かっている。図 4-6-1 に説明されているように、適切な直交座標系(X軸、Y軸、Z軸)を選べば対角化が可能であり、その時の3つの対角成分をg主値(Principal g values)、3つの直交座標軸をgテンソル主軸(Principal g axes)と呼ぶ。g テンソルの比較は、このg主値と主軸によって行う。

実験データ(角度マップ)からgテンソルを決定するには、次のような手順をとる。まず、gテンソル、外部磁場を与えてスピンハミルトニアンの固有エネルギーを数値計算する。(4-6-A)式からは電子スピンのアップとダウンに対応する2つの準位が導出される。このエネルギー差から共鳴磁場が求められ、この計算を磁場角度を変えて繰り返すことで、角度マップを作成する。これを実験の角度マップと合うようにgテンソルを変化させてフィッティングを行う。フィッティングアルゴリズムは非線形最小二乗法を用いる。

**gテンソル**

$$H = \underbrace{\mu_B \mathbf{S}^t \cdot \mathbf{g}}_{\text{ゼーマン効果}} \cdot \mathbf{B}$$

$\mu_B$  ボーア磁子  
 $\mathbf{S}$  電子スピン演算子  
 $\mathbf{B}$  外部磁場

$$\mathbf{g} = \begin{bmatrix} g_{xx} & g_{xy} & g_{xz} \\ g_{xy} & g_{yy} & g_{yz} \\ g_{xz} & g_{yz} & g_{zz} \end{bmatrix}, \quad \mathbf{S} = \begin{bmatrix} S_x \\ S_y \\ S_z \end{bmatrix}, \quad \mathbf{B} = \begin{bmatrix} B_x \\ B_y \\ B_z \end{bmatrix}$$

$$\mathbf{g} = \begin{bmatrix} g_X & 0 & 0 \\ 0 & g_Y & 0 \\ 0 & 0 & g_Z \end{bmatrix} \quad \left. \begin{array}{l} \text{主軸座標系XYZで対角化} \\ g_X, g_Y, g_Z \quad \text{g主値} \end{array} \right\} \begin{array}{l} \text{・主軸座標系} \\ \text{・主値} \\ \text{が欠陥固有} \\ \text{のパラメータ} \end{array}$$

図 4-6-1. g テンソルとスピンハミルトニアン

g テンソルは、スピン-軌道相互作用を考慮した理論計算から[6]、対称行列であることが分かっている。従って、適切な直交座標系(X軸、Y軸、Z軸)を選べば対角化が可能であり、その時の3つの対角成分をg主値(Principal g values)、3つの直交座標軸をgテンソル主軸(Principal g axes)と呼ぶ。g テンソルの比較は、このg主値と主軸によって行う。g テンソルは欠陥の対称性と種類を反映し、おおむね欠陥固有の値となっている。したがって実験データからg テンソルを決定し、それが既知の欠陥のものとも一致するか、あるいは類似していれば、同一または同種の欠陥であると結論することができる。

1	0	0	0	-0.707107	+0.707107	0	+0.707107	+0.707107
0	1	0	0.707107	-0.5	-0.5	-0.707107	-0.5	+0.5
0	0	1	0.707107	+0.5	+0.5	+0.707107	-0.5	+0.5
-1	0	0	0	+0.707107	-0.707107	0	-0.707107	-0.707107
0	0	-1	-0.707107	-0.5	-0.5	+0.707107	-0.5	+0.5
0	-1	0	-0.707107	+0.5	+0.5	-0.707107	-0.5	+0.5
1	0	0	0	-0.707107	+0.707107	0	-0.707107	-0.707107
0	-1	0	-0.707107	+0.5	+0.5	-0.707107	+0.5	-0.5
0	0	-1	-0.707107	-0.5	-0.5	+0.707107	+0.5	-0.5
-1	0	0	0	+0.707107	-0.707107	0	+0.707107	+0.707107
0	0	1	0.707107	+0.5	+0.5	+0.707107	+0.5	-0.5
0	1	0	0.707107	-0.5	-0.5	-0.707107	+0.5	-0.5

図 4-6-2. シリコン結晶の対称性を反映する 12 個の回転行列 (rotation matrix)[21]

シリコン結晶中の欠陥には、ダイヤモンド構造の対称性から最大 12 通りの配向が存在する  
 公開データベース「EPR in semiconductors」(<http://www.kc.tsukuba.ac.jp/div-media/epr/>)より。

フィッティングにあたってはもう1つ考慮すべき点がある。それは「配向」の違う欠陥を全て計算することである。シリコン結晶中の欠陥には、ダイヤモンド構造の対称性から最大 12 通りの配向が存在する。図 4-6-2 に 12 通りの配向を計算するための回転行列 (rotation matrix) を示した。外部磁場をこの回転行列を使って回転させれば 12 通りの配向が計算できる。その結果、角度マップは最大 12 本線に分裂する。この分裂した線を「branch」と呼ぶ。この分裂の様子は、欠陥の対称性を精密に反映するので、欠陥同定の 1 つの決め手となる。

#### 4-6-2. Ci と既知の欠陥との比較

Ci の  $g$  テンソルを決定する前に、まず、過去に報告されている既知の欠陥の角度マップをシミュレーションし、Ci の実測角度マップとの比較検討を行った。その際、カーボン関連の欠陥にかぎらず、シリコン結晶中の 246 個の欠陥と比較・照合を行った[21]。データは、公開データベース「ESR in Semiconductors」 (<http://www.kc.tsukuba.ac.jp/div-media/epr/>) から参照した。

その中から、Ci の角度マップ実測値に近かった欠陥の角度マップシミュレーション結果を図 4-6-3 に示す。このうち Ci の特徴をうまく再現していたのはカーボン欠陥 G12 センター[17]と、シリコン-酸素欠陥 AA14 センター[22,23]であった。これらのセンターは、Ci の特徴である[100]軸方向 ( $0^\circ$ ) で 2 本に分裂するという特徴を再現し、その信号位置 ( $g$  値) もかなり合っていた。AA14 センターは、プロトン注入を行った CZ シリコンで発見されたイオン照射欠陥で、起源は完全に確定はしていないが「格子間シリコン-格子間酸素複合体、 $[\text{Si-O}]_i$ 」であると考えられている(“i”は interstitial を表す)。この欠陥は基本的に酸素に由来する欠陥なので、サンプル B ではほとんど観測されず、サンプル A で特段に強く観測される理由がない。

一方、G12 センターは、カーボン欠陥 (格子間カーボン) であり、SIMS データの結果を考慮すると、サンプル A でのみ強く見られることに合理性がある。シリコン結晶では G12 センターの他にもカーボン欠陥が ESR で同定されている。図 4-6-4 にその角度マップを示した。その中で唯一 Ci と一致するのが G12 センターであることが分かる。シリコン結晶で発見されているカーボン欠陥信号は、格子間カーボン  $C_i$  の正荷電 (G12)[17]と負荷電 (L6)[24]、格子間カーボン-置換カーボンペア  $C_i C_s$  の正荷電 (G11)[25]と負荷電 (G17 と L7)[26]である(“s”は substitutional を表す)。これらの中で G12 に近いものが MOSFET 内部で観測されたことには物理的に重要な意味がある。それは後の節で議論したい。

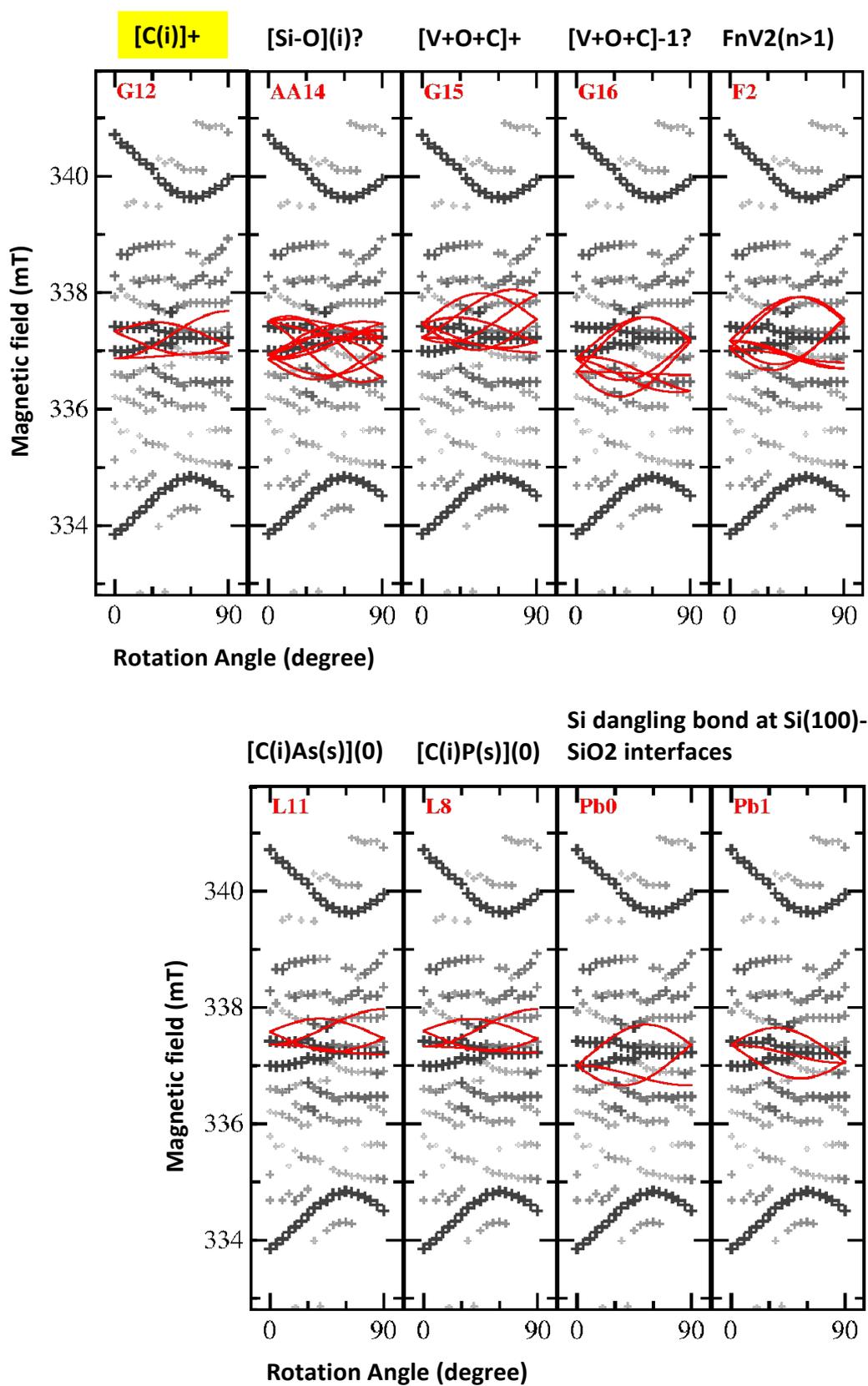
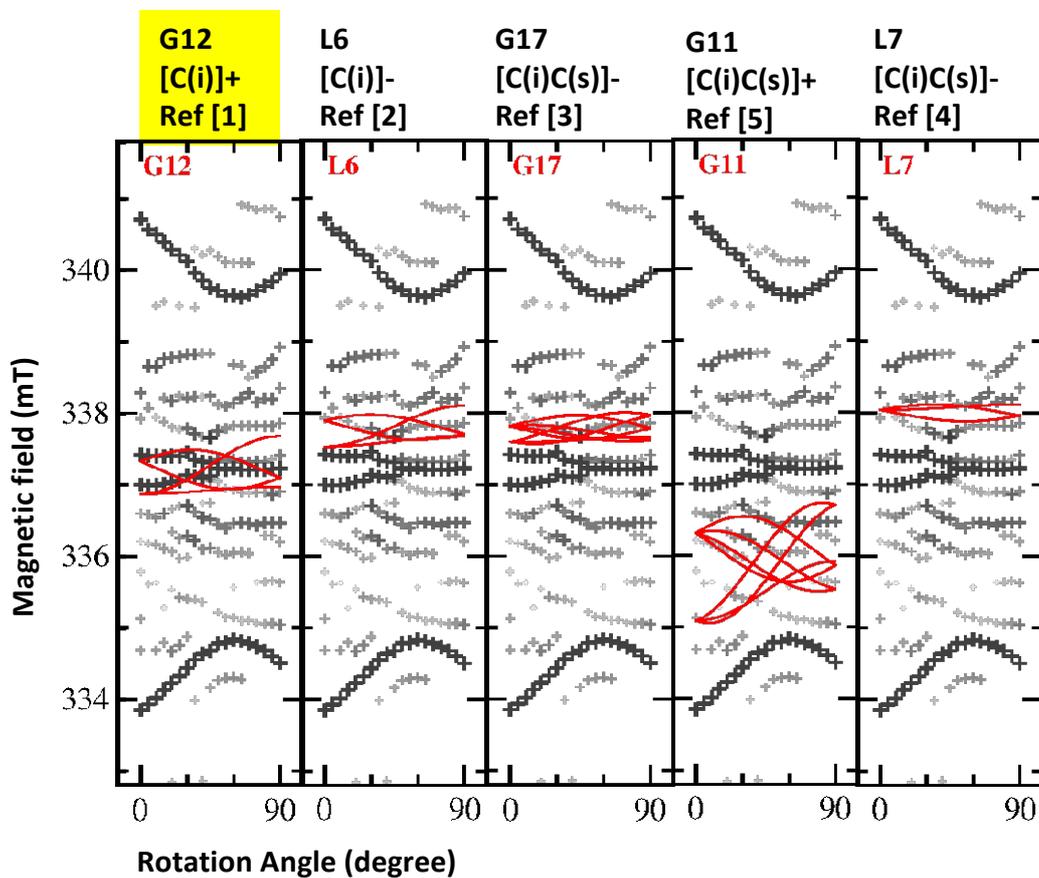


図 4-6-3. Ci に近い欠陥の角度マップシミュレーション結果



- Ref[1] G. D. Watkins et al., PRL 36, 1329, 1976  
 Ref[2] L. W. Song et al., Phys. Rev. B 42, 5759, 1990  
 Ref[3] L.W. Song et al., Phys. Rev. B 42, 5765, 1990  
 Ref[4] L.W. Song et al., Phys. Rev. B 42, 5765, 1990  
 Ref[5] K. L. Brower, Phys. Rev. B 9, 2607, 1974

図 4-6-4. 格子間カーボンを含む欠陥の角度マップシミュレーション結果

## 4-6-3. Ciの原子構造

Ciは、正荷電の格子間カーボン G12 に非常に類似していることが分かったが、Ci と G12 センターの角度マップは微妙にずれているので、Ci の角度マップに対して精密なフィッティングを行った結果を図 4-6-5 に示す。このフィッティングでは、G12 センターの g テンソルを初期値として、3 つの g 主値を非線形最小二乗アルゴリズムで決定するという作業を行った。また、表 4-6-1 には、こうして求められた g テンソルを示す。表 4-6-1 から、Ci と G12 センターの g テンソルが類似していることが分かり、両者は基本的に同じタイプの欠陥であることが結論される。

G12 センター [17] は、図 4-6-6 のような原子構造をもつ欠陥で、専門的には positively-charged [100]-split C-Si interstitialcy と呼ばれる欠陥である。C-Si ペアが [100] 軸方向 (図では [001] 方向) に沿って格子間位置に挿入された原子構造をとっており、カーボン原子は  $sp^2$  混成軌道により隣接する 3 つの Si 原子と結合している。カーボン原子上の余ったボンドは、波動関数の直交性により、 $sp^2$  混成軌道と内積をゼロにするような方向に伸びる。その結果、 $sp^2$  混成軌道面と垂直な  $\pi$  軌道が発生し、ESR で見えるのはこの  $\pi$  軌道に入った電子スピンである。

G12 センターを同定したオリジナルの論文 [17] (G. D. Watkins and K. L. Corbett, Phys. Rev. Lett. 36, 1329 (1976)) では、 $^{13}\text{C}$  超微細分裂を観測するために  $^{13}\text{C}$  ドーピング (カーボンドープ  $1 \times 10^{17} \text{ cm}^{-3}$  のうちの 60%) を行ったシリコン結晶を使用している。その ESR スペクトルは図 4-4-4 に示されているが、 $^{13}\text{C}$  核スピン ( $I=1/2$ ) による 2 本線の超微細分裂が明瞭に観測されている。また、カーボン原子を取り囲む 3 つの Si 原子からの  $^{29}\text{Si}$  超微細分裂も観測されている。これらの詳細な解析から  $\pi$  軌道を含む  $\text{C} \equiv \text{Si}_3$  構造の精密な構造が明らかにされている。 $\pi$  軌道は正確に [110] 軸方向を向いており、 $sp^2$  結合面と垂直になっている。

カーボン原子は隣接する 3 つの Si 原子と平面的な  $sp^2$  結合を形成している。このカーボン上にはグレーで示された  $\pi$  軌道が存在し、G12 センターの波動関数はこの  $\pi$  軌道に 36% 局在し、その内訳は 2s 軌道が 97%、2p 軌道が 3% となっていて、理想的な 2p  $\pi$  軌道になっている。

カーボン原子の真下の Si 原子も  $\pi$  軌道を形成し、その軌道方向はカーボンの  $\pi$  軌道と直交している。この Si 原子の  $\pi$  軌道は、図 4-6-7 に示すように、P 型シリコン中では空となっている。これは、カーボンよりもシリコンの方が電気陰性度が低いためである [24] (L. W. Song and G. D. Watkins, PRB42, 5759 (1990))。  $\pi$  軌道に電子をつめていく時にはシリコン  $\pi$  軌道よりもエネルギーの低いカーボン  $\pi$  軌道の方に先に電子がつかまっていく。

G12 センターは正荷電の欠陥のため、P 型シリコンで見られる。このことも Ci と G12 センターの類似性を支持している。図 4-3-2 で説明したように、本研究の MOSFET では接合空乏層はドーピング濃度の低い P 型基板に広がる。したがって Ci は P 型領域に発生していると考えられるからである。

カーボンは SIMS データからみて、表面から 20nm 以内の深さに分布しているはずなので、深さ約 100nm のところにある SD 底面まで到達するとは考えられない。EDMR で観測した Ci が発生していると考えられる場所は、カーボン分布と接合空乏層がオーバーラップする位置、すなわち、SD 領

域とゲート境界の部分である。さらに踏み込んで言えば、この境界部でも接合空乏層はゲート側 P 型領域へと広がるので、 $C_i$  の位置は、ゲート側に入り込んだ P 型領域内であると考えられる。この領域は MOSFET 内部でも特に強電界がかかる領域なので、それによって  $C_i$  からの接合リーク電流が増幅されている可能性が考えられる。

なお本研究は、 $C_i$  を、G12 センターと同類の正荷電の格子間カーボン欠陥と認識しているが、欠陥の名前は  $C_i$  として G12 と区別して取り扱う。これは厳密には g テンソルが G12 センターとわずかに異なること、また、MOSFET 内部という特殊な環境下にあるためにバルク Si 結晶中の G12 センターとは微妙に原子構造もずれてきているのではないかと考えているためである。

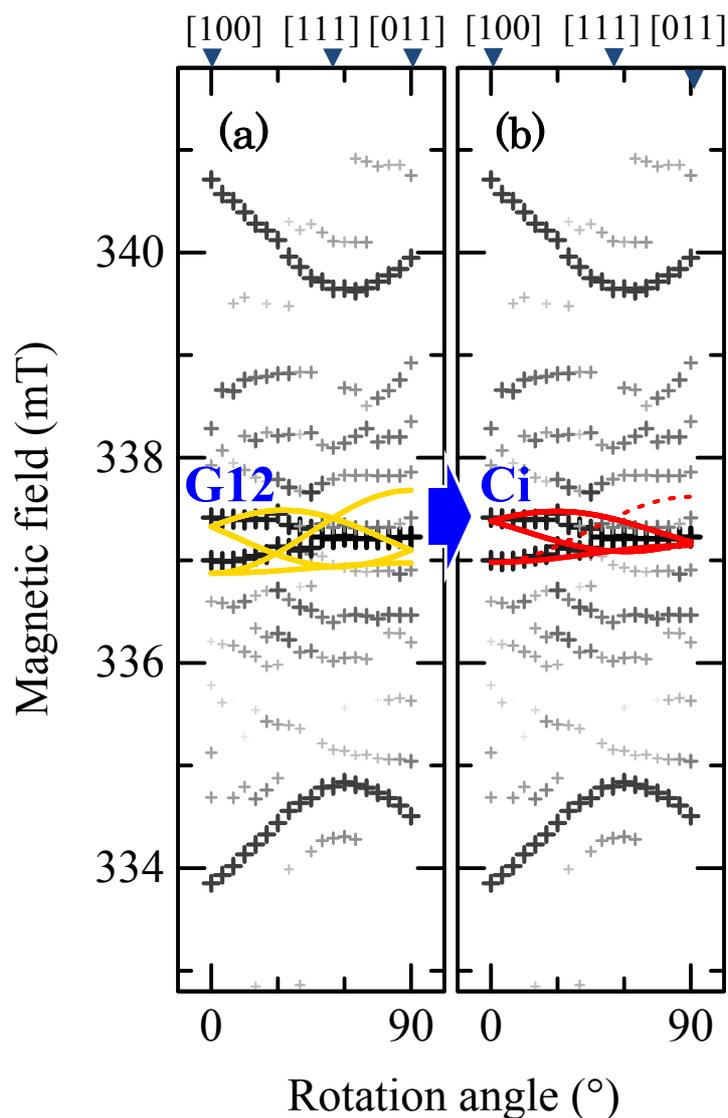


図4-6-5. (a) G12センターの角度マップシミュレーション結果と、(b) Ciに対して最適化された角度マップシミュレーション結果

Center	Tensor	Principal values			Principal Z axis			Origin
		X	Y	Z (/l)	$\theta$	$\varphi$	axis	
Ci	<b>g</b>	2.0062	2.0052	2.0024	90°	90°	[011]	a variation of G12
G12	<b>g</b>	2.0068	2.0062	2.0020	90°	90°	[011]	C-Si split interstitial, $C_i(+)$
	$A(^{13}C)$	0.67	0.63	5.2	0°	0°	[0 $\bar{1}$ 1]	

表 4-6-1. CiとG12のESRパラメータ

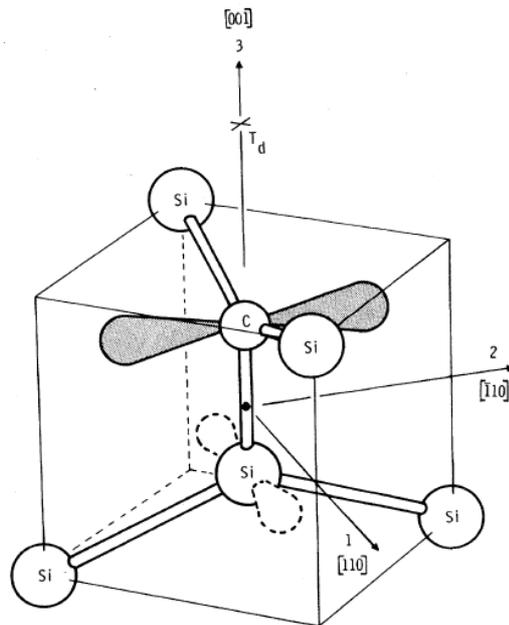


FIG. 2. A model for the Si-G12 center, showing the principal axes for the defect. A  $\langle 100 \rangle$  C-Si interstitialcy is illustrated where the C-Si dumbbell occupies a single substitutional site. The  $C_{2v}$  symmetry is also satisfied if the carbon atom lies anywhere along the line between the interstitial tetrahedral site ( $T_d$ ) and the substitutional site (dot).

図 4-6-6. G12 ( $[C(i)]^+$ ) の構造 (G. D. Watkins et al., PRL 36, 1329, 1976)  
 元論文では、 $^{13}\text{C}$  核スピン ( $I=1/2$ ) の  $^{13}\text{C}$  をドーピングしたシリコンサンプルを用い、超微細分裂が明瞭に観測されている。また、カーボン原子を取り囲む 3 つの Si 原子からの  $^{29}\text{Si}$  超微細分裂も観測されている。これらの詳細な解析から  $\pi$  軌道を含む  $\text{C}=\text{Si}_3$  構造の精密な構造が明らかにされている。 $\pi$  軌道は正確に  $[\bar{1}10]$  軸方向を向いており、 $sp^2$  結合面と垂直になっている。

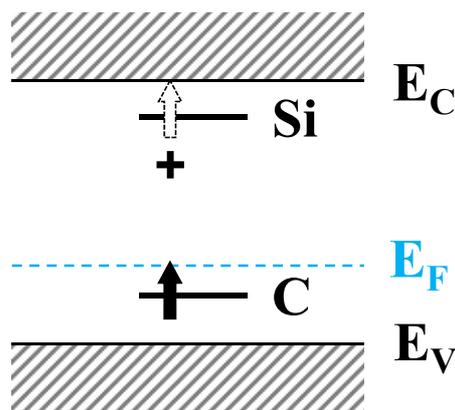


図 4-6-7. P 型シリコン中の G12 のバンド構造  
 $E_C$  は伝導帯、 $E_V$  は価電子帯、 $E_F$  はフェルミ準位を表す。Si と C の  $\pi$  軌道は、バンドギャップ中に準位を形成する(図中 Si,C) [24]。Si の方が C より電気陰性度が低いため、準位は価電子帯側に形成される。p 型シリコン中では、フェルミ準位の方が下にくるため、Si の  $\pi$  電子は空席になる。

## 4-6-4. Ciに見られる missing line と、デバイス中のストレス

Ci が MOSFET 内部の欠陥であることに起因する特徴として「missing line」の出現が挙げられる。

図 4-6-8 に、Ci の共鳴磁場の磁場角度依存性の拡大図を示す。シミュレーションでは、実線で示した brunch の他に、点線で示された brunch も予測されているが、実際には観測されていない。これが「missing line」である。EDMR では信号のブロードニングが発生しているので、もともと分離困難な brunch が存在する。例えば、図中に水色矢印で示した 2 つの brunch は信号の重なりにより識別不可能である。しかし、点線で示した brunch は明らかに出現しておらず、信号線幅の広がりによって分離できなかったとは考えられない。これは、シリコン結晶の対称性から予測される「あるべき配向」のうちの幾つかが消失していることを示唆している。

このような missing line は、バルク結晶の ESR でも特殊な環境下で観測されている。1 つの例は、バルク結晶に強い 1 軸性圧縮ストレスを印加して、結晶の対称性を変化させた場合である。図 4-6-9 にその例を示す[2,3,27]。これらの例では、バルク Si 結晶に 10~90 MPa のストレスをかけることで、特定の配向を減少させたり、あるいは消失させたりできることが実証されている。逆に、このストレス応答を解析することで、過去の ESR 研究では、欠陥の原子構造モデルが妥当かどうかを検証してきた歴史がある。

微細 MOSFET の場合、シリコン結晶には高濃度ドーピングが施され、さらにゲート電極やゲートサイドウォール、表面パッシベーション膜、素子分離などの複雑な構造が結晶に接続されている。このような構造の不連続性はシリコン結晶に強力なストレスを生じさせる[28,29]。図 4-6-10 にその例を示したが、ストレスの大きさはゲート電極近傍で最大 600MPa にも達し、それ以外の場所でも 100MPa 台の大きさのストレスが観測されている。これはバルク Si 結晶で missing line が観測されたストレスよりもはるかに高い。従って、Ci に missing line が生じることは、むしろ自然とも言えるのではないかと本研究は考えている。事実、次節で解析する Fi では、Ci よりももっと高頻度の missing line が観測されている。

これまでの EDMR 研究では、missing line が本研究ほどに明確に意識されたことはなかったが、微細構造を有するデバイス内部を観察する場合は、ストレスによる missing line の発生の可能性が非常に高いので、あらかじめ念頭においておくことが必要であると思われる。

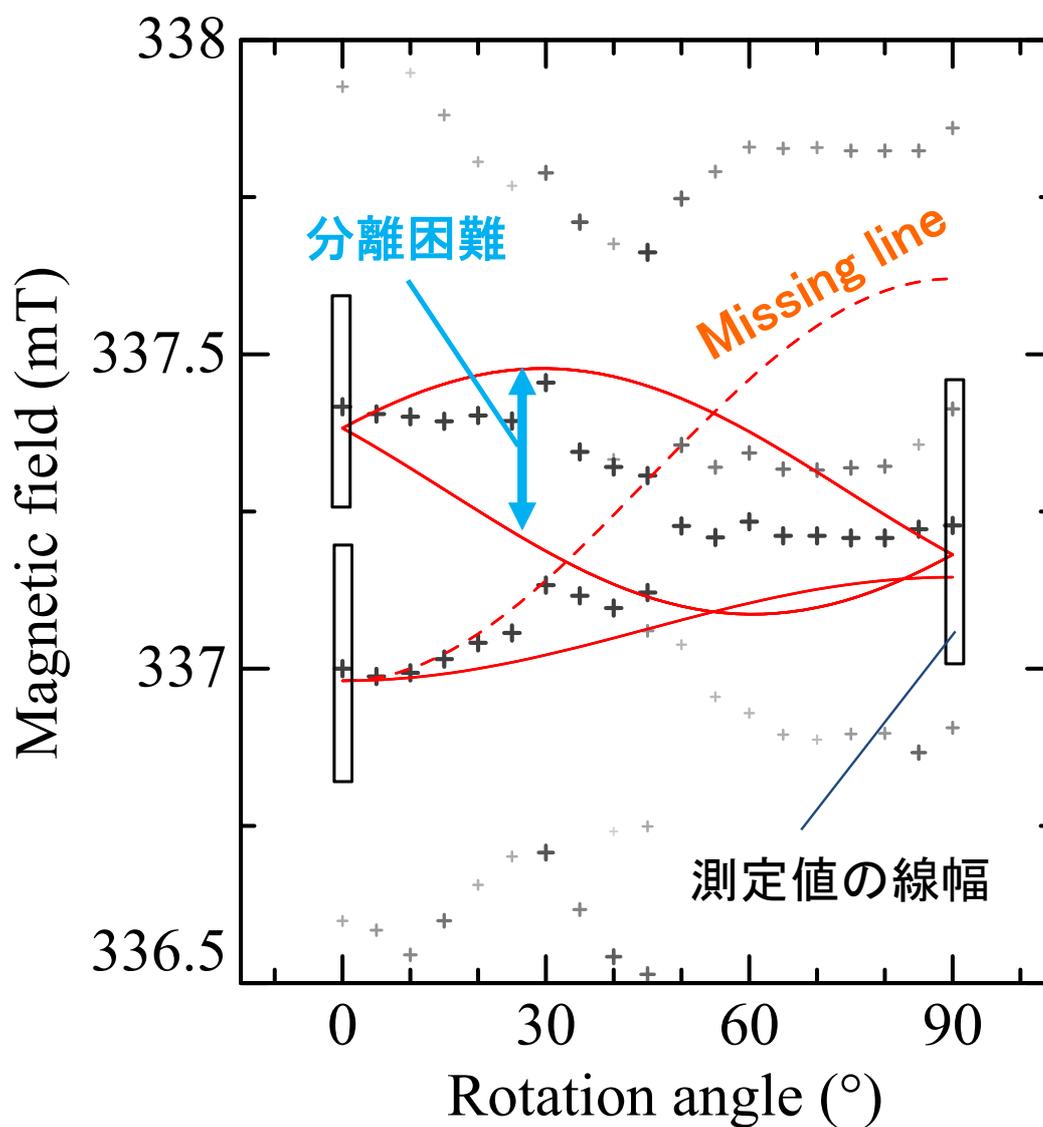


図 4-6-8. Ci の角度マップとシミュレーション結果の拡大図  
 シミュレーションでは、実線で示した branch の他に、点線で示された branch も予測されているが、実際には観測されていない。これが「missing line」である。これは、シリコン結晶の対称性から予測される「あるべき配向」のうちの幾つかが消失していることを示唆している。

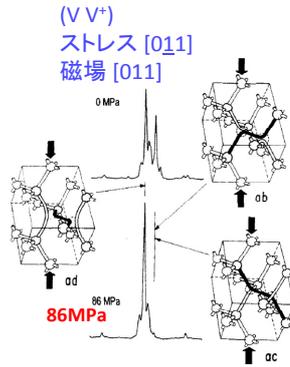


FIG. 14. Jahn-Teller alignment of  $(V-V)^{\bullet}$  in silicon produced by  $[011]$  compressional stress at 30 K.  $B \parallel [011]$ . The insets show a typical defect orientation for each line in the spectrum.

M. Stavola et al., "Identification of Defects in Semiconductors, Volume 51A" (1998)

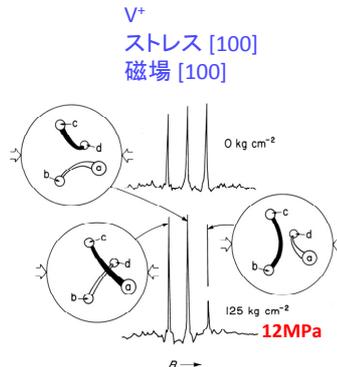


FIGURE 9.11 Changes in the 20-GHz EPR spectrum of the silicon vacancy center  $V^{\bullet\bullet}$  (at 4 K) under compressional stress. The insets sketch the defect bonding pattern corresponding to each line. Here  $B \parallel [100]$ . The stress was applied along  $[100]$ . [After G. D. Watkins, *J. Phys. Soc. Jpn.*, 18, Suppl. 2, 22 (1963).]

J.A. Weil, J.R. Bolton, "Electron Paramagnetic Resonance (2ed., Wiley)" (2007)

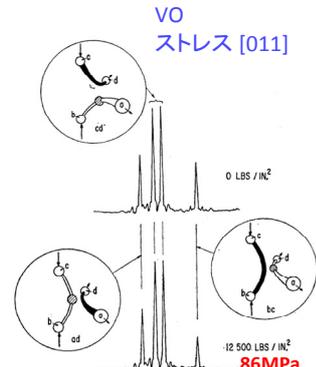


FIG. 8. Change in the spectrum resulting from electronic redistribution under  $(110)$  stress at  $77^{\circ}\text{K}$ . The insets show the defect orientation corresponding to each multiplet. The decrease of the  $bc$  multiplet under stress confirms that the electron is in an antibonding orbital.

G. D. Watkins et al., *Phys. Rev.* 121, 1001 (1961)

図 4-6-9. バルクシリコン結晶における ESR 信号のストレス依存性[2,3,27]  
バルク Si 結晶に 10~90 MPa のストレスをかけることで、特定の配向を減少させたり、あるいは消失させたりできることが実証されている。

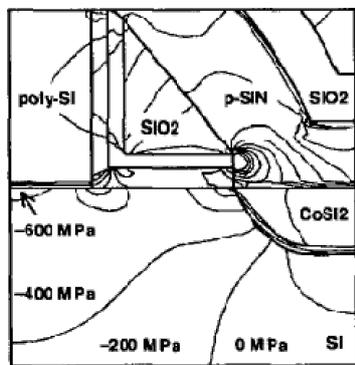


Fig. 14. Process-induced stress simulated using ANSYS for the device with  $-300\text{-MPa}$  (compressive) nitride.

S. Ito et al., *IEDM* 247, 2000

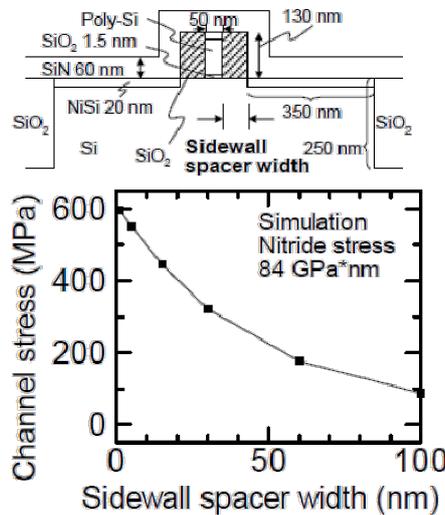


Fig. 3 Channel stress simulation vs. sidewall spacer width. The channel stress is rapidly increasing as shrinkage of spacer.

K. Uejima et al., *VLSI Tech.* 220, 2007

図 4-6-10. MOSFET 内部のストレス強度の計算例[28], [29]  
微細 Si MOSFET の基板内部では、構造の不連続性に起因する強いストレスが存在する。ストレスの大きさはゲート電極近傍で最大 600MPa にも達し、それ以外の場所でも 100MPa 台の大きさのストレスが観測されている。これはバルク Si 結晶で missing line が観測されたストレスよりもはるかに高い。従って、ESR/EDMR 信号に missing line が生じることは、むしろ自然かもしれない。

## 4-7. Fi の起源同定

### 4-7-1. 超微細結合テンソルとスピンハミルトニアン

次に、Fi の起源同定について述べる。Fi には  $^{19}\text{F}$  超微細分裂が観測されているが、 $^{19}\text{F}$  超微細分裂を示す Si 中の欠陥は 1 種類しか見つかっておらず、後述するように、その信号は Fi とは合わない。したがって、Fi は本研究で見つかった新しい欠陥であり、一からの起源同定が必要である。新種の欠陥の同定は、ESR では超微細分裂を規定する「超微細結合テンソル」の解析が基本となる。

Fi の EDMR 信号は、電子スピン  $1/2$  と  $^{19}\text{F}$  核スピン  $1/2$  を取り入れた次のようなスピンハミルトニアンで記述される[30]。

$$H = \mu_B \mathbf{S}^t \cdot \mathbf{g} \cdot \mathbf{B} + \mathbf{S}^t \cdot \mathbf{A} \cdot \mathbf{I} - g_n \beta_n \mathbf{I}^t \cdot \mathbf{B}, \quad \dots(4-7-A)$$

ここで、

- $\mathbf{g}$  : 電子スピンの  $g$  テンソル、
- $\mathbf{S}$  : 電子スピン演算子、
- $\mu_B$  : ボーア磁子 ( $5.7883 \times 10^{-5}$  eV/T)、
- $\mathbf{B}$  : 外部磁場 (T)、
- $\mathbf{A}$  : 超微細結合テンソル、
- $\mathbf{I}$  : 核スピン演算子、
- $g_n$  : 核スピンの  $g$  値 ( $^{19}\text{F}$  は、5.257736 [3])
- $\beta_n$  : 核磁気モーメント ( $3.1525 \times 10^{-8}$  eV/T)、

である。

第 1 項は Ci の時にも登場した電子スピンのゼーマン相互作用項である。第 2 項は、電子スピンと核スピンの間の超微細相互作用を表し、その相互作用係数が「超微細結合テンソル」である。g テンソルと同様に、超微細相互作用は物質内では異方性を持ち、テンソル量として表現される。第 3 項は、核スピンのゼーマン相互作用を表す<sup>4</sup>。

超微細結合テンソルは、理論的には、核スピンと  $s$  軌道以外の電子スピンの間の磁気ダイポール相互作用と、核スピンと  $s$  軌道の電子スピンの間のフェルミコンタクト相互作用の和として計算される。特に前者では磁気ダイポール相互作用を波動関数分布にわたって積分する計算が含ま

<sup>4</sup> 第 3 項の核スピンのゼーマンエネルギーは、ESR スペクトル解析では無視されることが多い。これは、電子スピン共鳴を起こすために照射するマイクロ波 (GHz 帯) では核磁気共鳴は起きず、ESR 励起の前後で第 3 項が定数として振舞うためである。従って、テキストによっては第 3 項が省略されている場合もある。

れるので、波動関数の情報が直接的に反映されることになる。超微細結合テンソル(A テンソル)も g テンソル同様に対称行列であり、適当な主軸座標系(X、Y、Z軸)をとることで図 4-7-1 のように対角化が可能である。

多くの半導体結晶の ESR では、軸対称な A テンソルが観測され、A テンソルの主値  $A_x, A_y$  の間に  $A_x \approx A_y$  の関係が成り立つ。これは電子スピンの軌道波動関数の p 軌道が密接に関係している。この場合、超微細分裂の大きさ A は、次式のような簡単な磁場角度依存性を示す[1]。

$$A = a + b(3\cos^2 \theta - 1). \quad \dots(4-7-B)$$

ここで a は s 軌道成分による等方的超微細分裂(フェルミコンタクト相互作用による)、b は p 軌道成分による軸対称な超微細分裂、 $\theta$  は p 軌道対称軸と外部磁場の間の角度である。表 4-4-1 には 100%の s 軌道成分による等方的超微細分裂  $a_0$  および 100%の p 軌道成分による軸対称超微細分裂  $b_0$  がリストアップされている。 $^{19}\text{F}$  核スピンの場合は、 $a_0 = 1886.5 \text{ mT}$ 、 $b_0 = 62.8 \text{ mT}$  である。この値と、実測値 a、b を比較すれば、Fi の  $^{19}\text{F}$  上の波動関数を実験的に求めることができる。

(4-7-B)式からは、A が最大になるのは  $\theta = 0^\circ$  のとき、すなわち、外部磁場が p 軌道対称軸と平行になったときであることが分かる。また逆に、A が最大になるのは  $\theta = 90^\circ$  のときで、外部磁場が p 軌道対称軸と垂直になったときである。したがって、超微細分裂の角度依存性から、欠陥の p 軌道軸がどちらの方向を向いているのか、また、その波動関数は s 軌道が何%で、p 軌道が何%なのかを知ることができる。

$$H = \underbrace{\mu_B \mathbf{S}^t \cdot \mathbf{g} \cdot \mathbf{B}}_{\text{ゼーマン効果}} + \underbrace{\mathbf{S}^t \cdot \mathbf{A} \cdot \mathbf{I}}_{\text{超微細結合}} - \underbrace{g_n \beta_n \mathbf{I}^t \cdot \mathbf{B}}_{\text{核ゼーマン効果}}$$

$\mu_B$	ボーア磁子
$\mathbf{S}$	電子スピン演算子
$\mathbf{I}$	核スピン演算子
$\mathbf{g}$	電子スピンの g テンソル
$\mathbf{B}$	外部磁場
$\mathbf{A}$	超微細分裂テンソル

$$A = \begin{bmatrix} A_x & 0 & 0 \\ 0 & A_y & 0 \\ 0 & 0 & A_z \end{bmatrix}$$

主軸座標系 XYZ で対角化

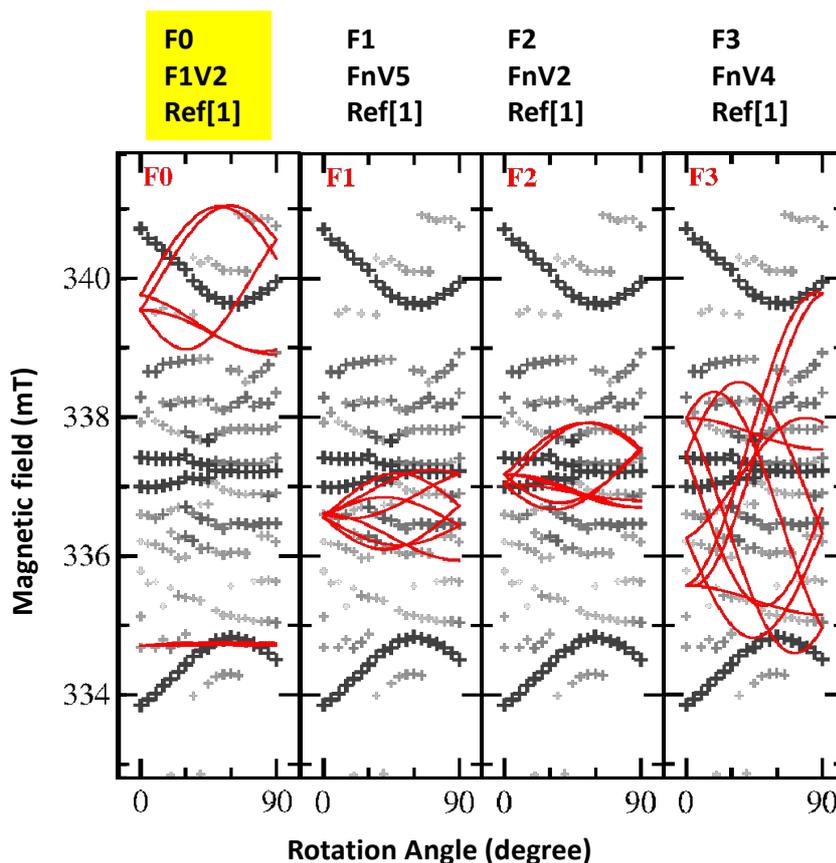
$A_x, A_y, A_z$  A 主値

主軸座標系と主値が欠陥固有のパラメータ(波動関数に直結している)

図 4-7-1 超微細結合テンソルとスピンハミルトニアン  
超微細結合テンソルは、核スピンと s 軌道以外の電子スピンの間の磁気ダイポール相互作用と、核スピンと s 軌道の電子スピンの間のフェルミコンタクト相互作用の和として計算される。前者では磁気ダイポール相互作用を波動関数分布にわたって積分する計算が含まれるので、波動関数の情報が直接的に反映される。超微細結合テンソル(A テンソル)も g テンソル同様に対称行列であり、適当な主軸座標系(X、Y、Z軸)をとることで対角化が可能である。

4-7-2.  $F_i$  と、 $F_nV_m$  欠陥との比較

バルク Si 結晶の ESR で、フッ素欠陥として知られているのは「 $F_nV_m$  欠陥」( $m$  個のシリコン空孔の内部に  $n$  個のフッ素原子が結合した欠陥)が唯一である[30]。図 4-7-3 に、報告されている  $F_nV_m$  欠陥の角度マップシミュレーション結果を示した。このうち F0 センター ( $F_1V_2$  欠陥)のみが  $^{19}F$  超微細分裂を示すが、その超微細分裂の大きさの絶対値は  $F_i$  と似ているものの、角度変化は全く一致しなかった。他の  $F_nV_m$  欠陥、F1 センター ( $F_nV_5$  欠陥)、F2 センター ( $F_nV_2$  欠陥)、F3 センター ( $F_nV_4$  欠陥)では  $^{19}F$  超微細分裂が観測されないので、これらは  $F_i$  とは全く相容れない。したがって、 $F_i$  は、本研究で発見された新種の欠陥であることが分かる。



Ref [1] T. Umeda et al., APL 97, 041911, 2010

図 4-7-2  $F_i$  と、シリコン空孔-フッ素欠陥 ( $F_nV_m$  欠陥) の角度マップの比較検討  
 F0 センター ( $F_1V_2$  欠陥) のみが  $^{19}F$  超微細分裂を示すが、その超微細分裂の大きさの絶対値は  $F_i$  と似ているものの、角度変化は全く一致しなかった。 $F_i$  は、本研究で発見された新種の欠陥であることが分かる。

4-7-3. Fi の  $^{19}\text{F}$  超微細分裂に見られる特徴

図 4-7-3 に、F0 センター ( $\text{F}_1\text{V}_2$  欠陥) と Fi の  $^{19}\text{F}$  超微細分裂の詳細比較を示した。前述したように、Fi の  $^{19}\text{F}$  超微細分裂の磁場角度依存性は F0 センターとは全く異なっているが、これは欠陥のタイプが Fi と F0 センターでは大きく違うことを示唆している。

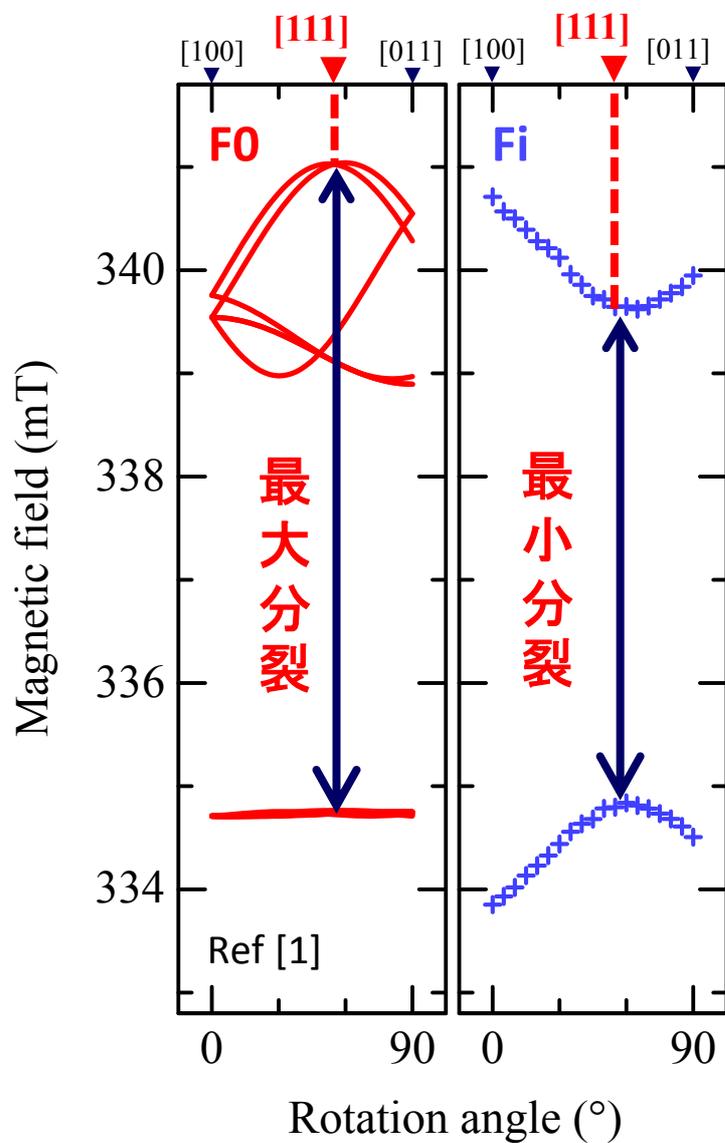
F0 センターの場合、外部磁場がおおよそ  $[111]$  軸を向く角度近傍で、1 つの branch の  $^{19}\text{F}$  超微細分裂幅が最大になっている。これは F0 センターのフッ素原子 2p 軌道軸がおおよそ  $[111]$  方向を向いていることを示している。それと一致するように、 $[111]$  方向と垂直な関係にある  $35^\circ$  付近で別の branch が最小の超微細分裂を示している<sup>5</sup>。

一方、Fi の場合は、branch が 1 つしか観測されていないので超微細分裂の最小値しか読み取ることができないが、その方向はおおよそ  $[111]$  軸方向になっている。したがって、Fi のフッ素原子 2p 軌道軸は F0 センターとは正反対に  $[111]$  軸に垂直方向を向いていることになる。これは、Fi が F0 とは正反対の「格子間欠陥」であると考えれば説明できるので、次節以降で詳しく議論したい。

なお、Fi では Ci 以上に多数の missing line が生じている。Ci の場合と同様に、MOSFET 内部の強いストレスの影響が疑われるが、Ci 以上に missing line が出現する原因として、他のメカニズムも働いているのではないかと推測される。

1 つの可能性としては、界面の影響である。界面では、界面の存在により結晶の対称性が低下するので、特定の配向が禁止される現象が起きる。例えば、Si-SiO<sub>2</sub> 界面の  $\text{P}_{\text{b1}}$  センター (界面 Si ダングリングボンドの 1 種) では、本来あるべき 6 つの branch のうち出現するのは 3 つの branch となっている [31]。フッ素は、SIMS データを見れば分かる通り、表面近傍に集中しているので、Ci よりも界面の影響が強く現れる可能性は十分にある。

<sup>5</sup> 角度マップは  $0^\circ$  軸や  $90^\circ$  軸に対して対称になっているので、 $[111]$  軸 ( $55^\circ$ ) と垂直になる角度  $55^\circ \pm 90^\circ = -35^\circ, 145^\circ$  での branch が  $35^\circ$  でも見られる。



Ref [1] T. Umeda et al., APL 97, 041911, 2010

図 4-7-3. F0 と Fi の共鳴磁場の磁場角度依存性の比較

F0 センターの場合、外部磁場がおよそ[111]軸を向く角度近傍で、1つのbranchの<sup>19</sup>F超微細分裂幅が最大になっている。これはF0 センターのフッ素原子 2p 軌道軸がおよそ[111]方向を向いていることを示している。一方、Fi の場合は、branch が 1 つしか観測されていないので超微細分裂の最小値しか読み取ることができないが、その方向はおよそ[111]軸方向になっている。したがって、Fi のフッ素原子 2p 軌道軸は F0 センターとは正反対に[111]軸に垂直方向を向いていることになる。

## 4-7-4. Fi の超微細結合テンソルの決定

Fi の実測角度マップをフィッティングして、超微細結合テンソル(A テンソル)と g テンソルを決定することを試みた。通常であれば、(4-7-A)式に g テンソル、A テンソル、外部磁場を代入して角度マップの最小二乗フィッティングを行えば、両方のテンソルを一意に決定することができる。しかし Fi の場合、多数の missing line があるため、一意に決定することは非常に難しい。幾つかの拘束条件が必要である。

まず 1 つ目は、g テンソル、A テンソルを軸対称と仮定して、 $\mathbf{g}_x = \mathbf{g}_y$  および  $A_x = A_y$  という拘束条件を与えることである。これで、フィッティングパラメータは 12 個から 10 個に減少する。さらに、12本の brunch のうち 1 本だけが実測の brunch に合えばよいとすると意味のない解が無数に発生するので(missing line に対応する brunch が 1000mT 以上や 0mT 付近などの非現実的な範囲に出現するケースが見られた)、これらを排除するために、欠陥のもつ対称性を限定してのフィッティングも行った。

また、フィッティングで入力する初期値についても十分な検討を行った。フィッティングは適当な初期値から出発して、非線形最小二乗アルゴリズムによって収束解を求めるが、今回のように一意に解が決まらないケースでは収束が悪く、初期値の与え方で結果が変わってくる可能性もあり得る。従って、g テンソル、A テンソルに与える初期値を乱数で大きく振って、フィッティングの収束性を十分に検討した。

図 4-7-4 は、乱数発生によって 504 個の超微細結合テンソル初期値を発生させて、Fi の実測角度マップをフィッティングさせた結果のうち、異常な解を除いた 26 個のシミュレーション結果(および代表例 1 つ)を示している。シミュレーション結果には、missing line として実験では見ることのできない brunch も含まれている。図 4-7-4(a)に示すように、このフィッティングでは 1 つの brunch が実験データと合うようにフィッティングされている。また、図 4-7-4(b)に示したように、フィッティング結果には任意性があり、実験データに合う 1 つの brunch 以外はかなりばらつきがあることが分かった。

しかし、決定された超微細結合テンソルを精査してみると、A テンソルの主値はほぼ同じ値に収束し、さらにテンソルの対称軸(Z軸あるいは//軸)は Si 結晶中のある 6 つの方向のどれかに収束していた。この 6 つの Z 軸方向はいずれも[111]軸とほとんど垂直になっていた。欠陥の対称性を精査してみると、Si 結晶中の欠陥で見られる 8 種類(Triclinic、Monoclinic-I、Monoclinic-II、Orthorhombic-I、Orthorhombic-II、Tetragonal、Trigonal、Cubic)の対称性のうち[32]、最も対称性の低い「Triclinic」となっていることが分かった。このケースでは 12 本の brunch 全てが分裂する。しかし、バルク Si 結晶で発見された 400 種以上の欠陥のうち Triclinic と判定された欠陥は未だ 10 種類に満たないので、今回の結果は missing line が多いためフィッティングが一意に決まらず、正しい対称性が得られなかったのではないかと考えた。

そこで、2 回目のフィッティングを行った。A テンソル対称軸が[111]軸と垂直になり得る対称性は Triclinic と Monoclinic-I しかないため、今度は Monoclinic-I 対称性を仮定して、Monoclinic-I

対称を維持するようにフィッティングに制約を課した。その時のフィッティング結果を図 4-7-5 に示す。この場合は、対称性の上昇によって brunch の分裂が少なくなり、より多くの brunch が実測データと合うようにフィッティングされている。ただし、たった 1 つの brunch が実測データと合うようにした 1 回目のフィッティングよりは見た目の一致は悪くなった。得られた A テンソルを精査してみると、1 回目のフィッティングと主値、主軸方向はほとんど変わらなかった。したがって、A テンソルについてはかなり一意的な結果を得ることに成功した。

最終的に、フィッティングから求められた超微細結合テンソルと g テンソルを表 4-7-1 にまとめた。A テンソルの Z 軸方向については、得られた 6 つの方向のうちの 1 つを表示した。今回のフィッティングでは A テンソルについては一意的な結論を得ることができたが、g テンソルについては一意的に決めることはできなかった。これは実験データ不足 (brunch の不足) のためである。g テンソル (g 値の異方性) は角度マップの非対称性を反映するが、今回唯一観測された brunch はほぼ上下対称だったので、g 値の異方性を判定するには情報が不足していた<sup>6</sup>。得られた g 値 2.0044 は 2 本の brunch のちょうど中間の共鳴磁場に相当する。

Fi の A テンソルは、A 主値が  $A_x = A_y \approx 4.8$  [mT]、 $A_z \approx 8.2$  [mT] だった。これは F0 センターの主値と類似性があるが、対称軸 (Z 軸) は両者で大きく違う。Fi では [111] 軸に垂直であるのに対し、F0 センターでは [111] 軸にほぼ平行である。

<sup>6</sup> 例えば、図 4-7-5 の F0 センターで見る角度マップの上下非対称性は g テンソルによるものである。

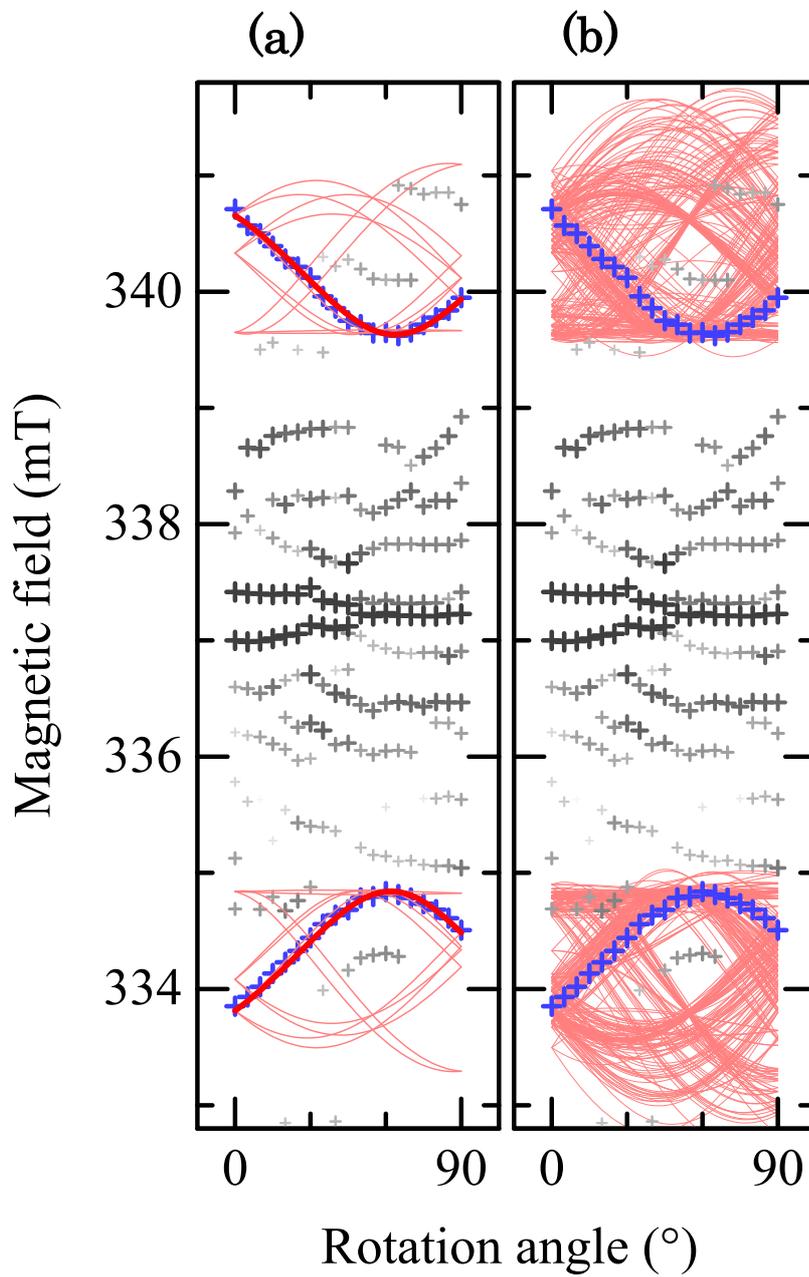
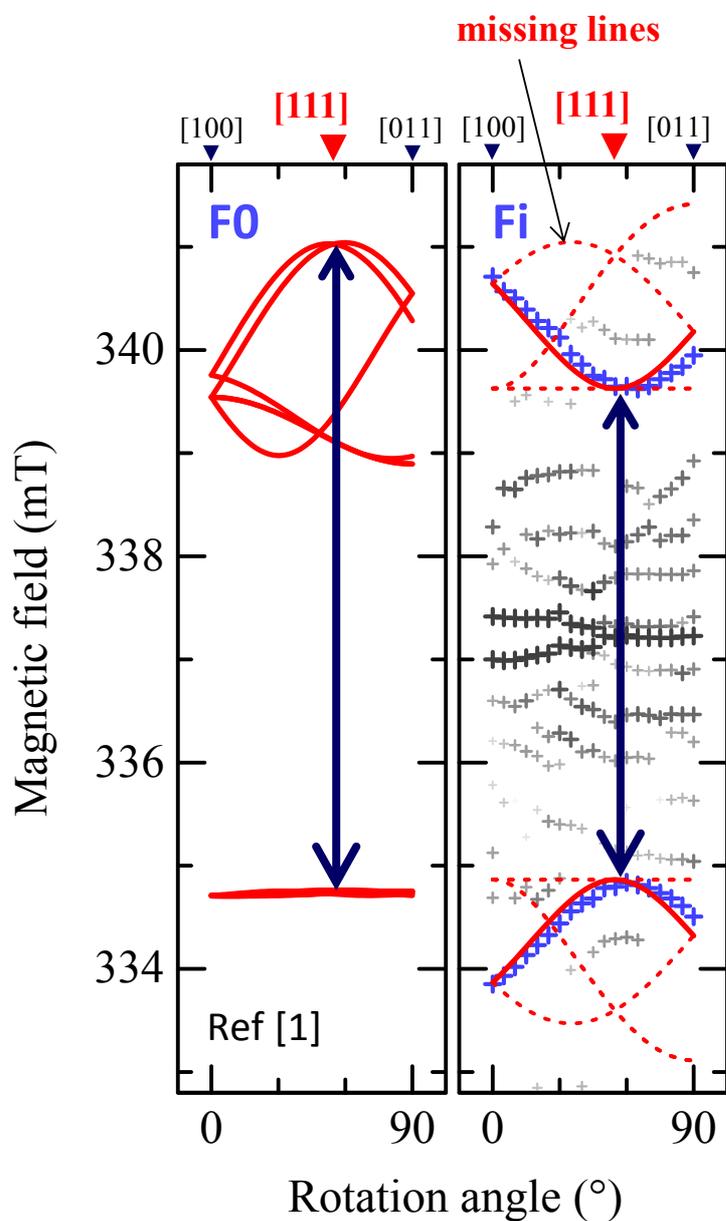


図 4-7-4  $F_i$  の角度マップフィッティング結果 (対称性を考慮しない場合)  
 (a) 代表的な計算結果。(b) 計算結果全て (26個) を重ねて表示。



Ref [1] T. Umeda et al., APL 97, 041911, 2010

図 4-7-5 Fi の角度マップフィッティング結果 (対称性を考慮した場合)  
対称性を考慮して調整。FO (左) は比較のために掲載

Center	Tensor	Principal values			Principal Z axis			Origin
		X	Y	Z (//)	$\theta$	$\varphi$	axis	
Fi	<b>g</b>	~2.0044			not uniquely determined			bond-centered fluorine, F <sub>bc</sub> (+)
	A( <sup>19</sup> F)	~4.8	~4.8	~8.2	~120°	~145°	⊥[111]	
F0 [1]	<b>g</b>	2.0070	2.0067	2.0006	90°	120.2°	~[1̄11]	fluorine- divacancy (FV <sub>2</sub> <sup>0</sup> )
	A( <sup>19</sup> F)	4.23	4.15	6.27	90°	-59.6°	~[11̄1̄]	

Ref [1] T. Umeda et al., APL 97, 041911, 2010

表 4-7-1 Fi と F0 の ESR パラメータ

フィッティングから求められた超微細結合テンソルと g テンソル。A テンソルの Z 軸方向については、得られた 6 つの方向のうちの一つを表示した。今回のフィッティングでは A テンソルについては一意的な結論を得ることができたが、g テンソルについては一意的に決めることはできなかった。これは実験データ不足 (branch の不足) のためである。

## 4-7-5. Fiの原子構造

いよいよ表 4-7-1 のように決まった超微細結合テンソルから、Fi の原子構造について考察する。

それに先立ち、まず、F0 センターについて説明する。F0 センター ( $F_1V_2$  欠陥) の原子構造は図 4-7-6(a) のようになっている[30]。Si 空孔 2 つを挟んで、Si ダングリングボンドと Si-F 結合が対峙した原子構造をもち、この両者の間に点線で示したような弱い結合 (weak bond) が形成されている。この弱結合を介して Si ダングリングボンドの波動関数の一部がフッ素原子にも広がり、 $^{19}\text{F}$  超微細分裂が発生する。Si-F 結合、すなわちフッ素 2p 軌道はおおよそ [111] 軸方向を向いているので、これを反映して超微細結合テンソルの対称軸は [111] 軸にほぼ沿うようになる。

一方、Fi の場合のフッ素 2p 軌道は [111] 軸に垂直で、図 4-7-6(b) のような方向を向いている。Si 結晶中にこのような方向を向いた結合は存在しない。この方向を自然に説明することができるのは、(b) に描いたような「ボンドセンターフッ素 ( $F_{\text{BC}}$ )」である。 $F_{\text{BC}}$  では、フッ素は 2 つの Si 原子と sp 混成軌道で結合している。フッ素原子の残りの軌道は波動関数の直交性により、Si-F-Si 結合すなわち [111] 軸と垂直な方向に伸びなければならない (図 4-7-6(b))。このフッ素原子軌道が Fi の超微細結合テンソルをうまく説明してくれる。また、 $F_{\text{BC}}$  モデルは他の点でも実験結果、理論と一致している。

(1) フッ素 2p 軌道軸の方向 (図 4-7-7)：フィッティングからは 6 種類の 2p 軌道軸方向が求められた。この方向を図示すると図 4-7-7 のようになる。この 6 種類の方向は、 $F_{\text{BC}}$  位置から見てみると、Si-F-Si 結合と対向する 6 つの Si-Si 結合のちょうど中間を指していることが分かった。したがって、 $F_{\text{BC}}$  モデルに立てば 6 種類の方向を合理的に理解することができる。

(2) エネルギー安定性 (図 4-7-8(a))：Si 結晶中のフッ素の第一原理計算によれば、P 型シリコン中での孤立フッ素はボンドセンター位置 ( $F_{\text{BC}}^+$ ) が最も安定で、N 型シリコンでは四面体位置 ( $F_{\text{tet}}^-$ ) が最安定となることが予測されている (図 4-7-8(a)) [33]。Fi は、Ci (正荷電の格子間カーボン) と共存しているので、当然、同じ正荷電状態であることが予想される。したがって、理論的にも正荷電のボンドセンターフッ素  $F_{\text{BC}}^+$  が Fi の起源として最も適切である。

(3) 表面近傍でのフッ素 (図 4-7-8(b))：別の第一原理計算では、フッ素が Si 結晶表面近傍にあるときは特にボンドセンター位置に入りやすいことが予測されている[34]。このメカニズムを図 4-7-8(b) に示す。 $F_{\text{BC}}$  は隣接するシリコン原子を [111] 軸方向に外側に追いやるのでエネルギー的に損をするが、表面近傍ではこのエネルギー損が小さくなり、 $F_{\text{BC}}$  がより発生しやすくなる。前述したように、フッ素は表面近傍に偏在していると考えられるので (フッ素の SIMS プロファイル、Fi で見られる多数の missing line)、この点も  $F_{\text{BC}}$  モデルをサポートしてくれる。

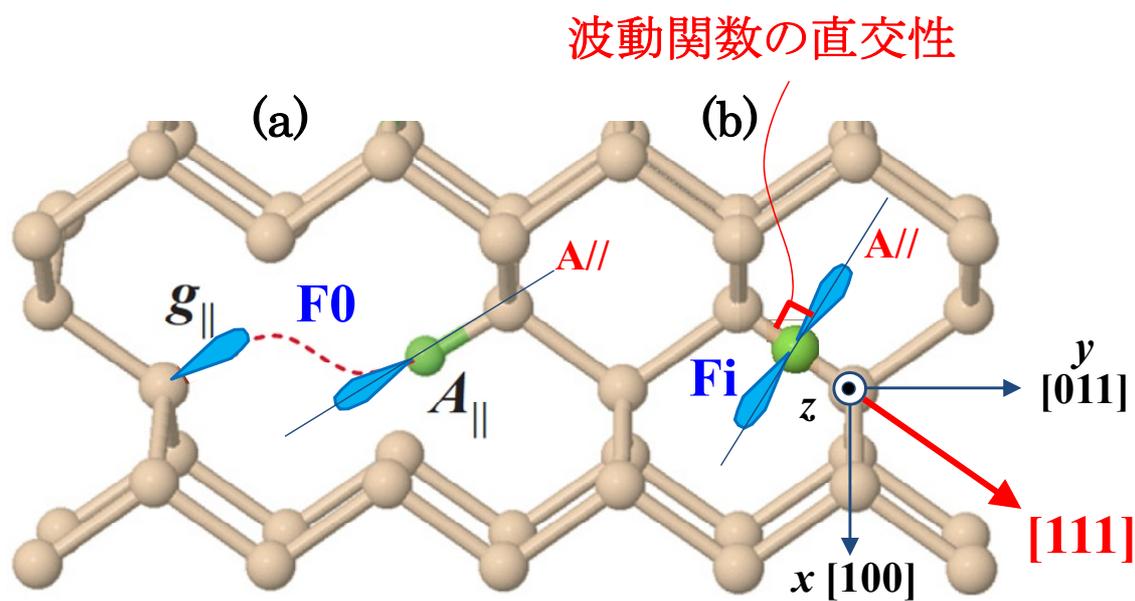


図 4-7-6 F0 センター(F<sub>1</sub>V<sub>2</sub> 欠陥)[30]と、ボンドセンターフッ素 Fi の原子構造モデル

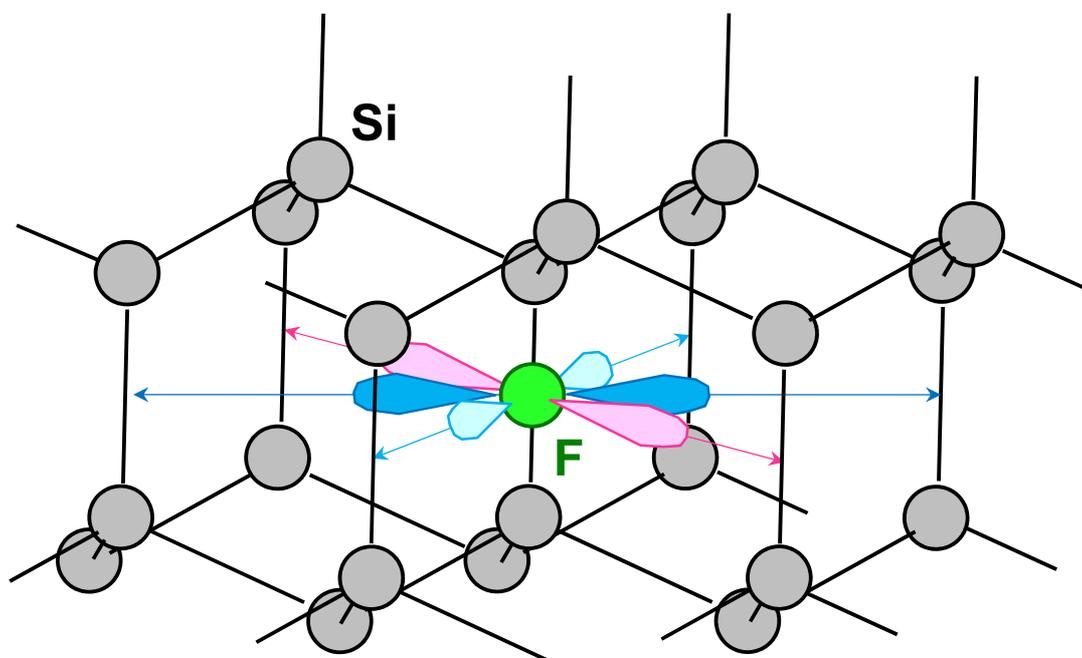


図 4-7-7 Fi の 6 種類の 2p 軌道の向き

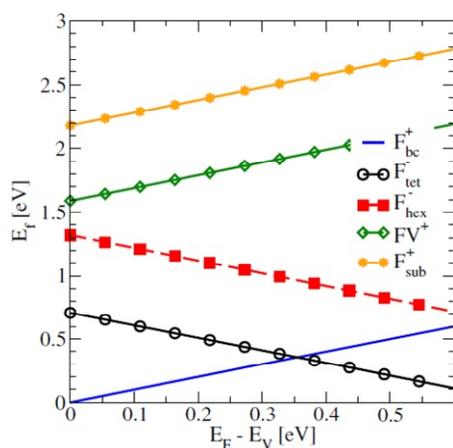


FIG. 1 (color online). Fermi level dependence of formation energies for various single F complexes. All formation energies are in reference to  $F_{bc}^-$  with the Fermi level at the valence band edge and perfect Si. The formation energy of FV [see Fig. 2 (left panel)] is preferred by 0.59 eV over the symmetric substitutional configuration.

M. Diebel et al., Phys. Rev. Lett. **93**, 245901 (2004)

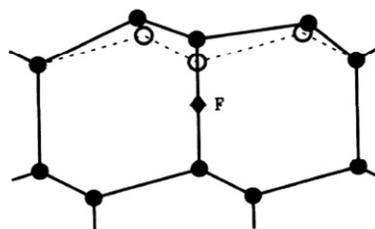


FIG. 2. Schematic representation of the configuration near a (111) surface used to study insertion of F into Si-Si bonds. In the “constrained” structure (open circles and dotted lines), the surrounding crystal opposes relaxation of the Si atoms near the F interstitial. Near the surface, these constraints are removed, the Si atoms move outward, and a F atom can insert at the bond center.

C. G. Van de Walle et al., PRL **61**, 1867 (1988)

(a) 1つのフッ素による様々な欠陥の形成  
エネルギーの第一原理計算欠陥

(b) (111)表面近くのボンドセンター  
フッ素の構造

図 4-7-8 Si 結晶中のフッ素に関する理論計算の知見

4-7-6.  $F_{BC}$  の波動関数分布と、ボンドセンター水素との類似

Fi の超微細結合テンソルからは、ボンドセンターフッ素に関する波動関数の詳しい情報を手に入れることができる。他方、フッ素と化学的に似た性質をもつ水素でも「ボンドセンター水素 (AA9 センター)」が発見されており、ESR の詳しい解析が報告されている[35]。この両者を比較してみたい。

(4-7-B)式から、超微細分裂幅の最大値  $A_{//}$  と最小値  $A_{\perp}$  は、 $\theta$  が  $0^\circ$  と  $90^\circ$  のときに現れ、

$$A_{//} = a + 2b, \quad A_{\perp} = a - b, \quad \dots(4-7-C)$$

となる。軸対称テンソルは、

$$\mathbf{A} = \begin{pmatrix} A_{\perp} & 0 & 0 \\ 0 & A_{\perp} & 0 \\ 0 & 0 & A_{//} \end{pmatrix} = \begin{pmatrix} a-b & 0 & 0 \\ 0 & a-b & 0 \\ 0 & 0 & a+2b \end{pmatrix}, \quad \dots(4-7-D)$$

と書けるので、表 4-7-1 の A 主値の実験値から、F 2s 軌道による超微細分裂  $a$ 、および F 2p 軌道による超微細分裂  $b$  を求めることができる。

$$a = 5.9 [\text{mT}], \quad b = 1.1 [\text{mT}], \quad \dots(4-7-E)$$

この値を表 4-4-1 の理論値  $a_0 = 1886.5 [\text{mT}]$ 、 $b_0 = 62.8 [\text{mT}]$  と比較すれば、

$$\begin{aligned} 2s \text{ 軌道の割合 } \sigma &= a/a_0 = 0.3 [\%], \\ 2p \text{ 軌道の割合 } \pi &= b/b_0 = 2.0 [\%], \\ F_{BC} \text{ 上の波動関数局在度 } \alpha &= \sigma + \pi = 2.3 [\%], \end{aligned} \quad \dots(4-7-F)$$

を得る。つまり、 $F_{BC}$  上には波動関数はわずか 2%ほどしか分布していない。残りの波動関数はその周囲に分布していることになる。 $F_{BC}$  上での sp 混成比は約 1:7 で、2p 軌道が 87%とほとんど p 軌道が占めており、図 4-7-6 の原子構造モデルと合っている。

この結果をボンドセンター水素 (AA9 センター) と比較したのが表 4-7-2 である。Fi の A 主値のばらつきの最小～最大を考慮すると  $\pi = 1.3 \sim 2.3 [\%]$  が得られる。 $\sigma$  はばらつきを考慮してもほとんど変わらない。ボンドセンター水素の場合、水素には 1s 軌道しか存在しないため、求められるの

は  $\sigma=1.6[\%]$ のみであるが、これは  $F_{BC}$  の  $\alpha$  に近いことに気が付く。つまり、2つのボンドセンター型欠陥は波動関数分布がよく似ている。

AA9 センターでは2つの Si 原子からの  $^{29}\text{Si}$  超微細分裂が観測されており、 $[111]$ 軸対称性をもつことが明らかにされている。これは Si-H-Si 結合を構成する2つの Si 原子からの  $^{29}\text{Si}$  超微細分裂である。隣接 Si 原子上の波動関数分布は  $21\% \times 2$  つで、合わせて  $42\%$  である。これがボンドセンター水素の波動関数の主要部分を構成している。

ボンドセンターフッ素  $F_i$  では、信号強度が小さいために残念ながら隣接 Si 原子からの  $^{29}\text{Si}$  超微細分裂は観測できなかった(予想される強度は  $F_i$  信号本体の  $4.7\% \times 1/2 \times 2$  つ分  $= 4.7\%$ )。しかし、フッ素原子上での波動関数分布の小ささから考えて、水素の場合と同じように、隣接する2つの Si 原子に波動関数が主に分布しているものと推測される。

Center	Wave function distribution (%)		
	s orbital	p orbital	Si neighbors
$F_i$	~0.3	1.6~2.3	not determined
AA9	1.6	-	$21 \times 2$

Ref.  
Yu. V. Gorelinski  
et al., Physica B  
170, 155, 1991

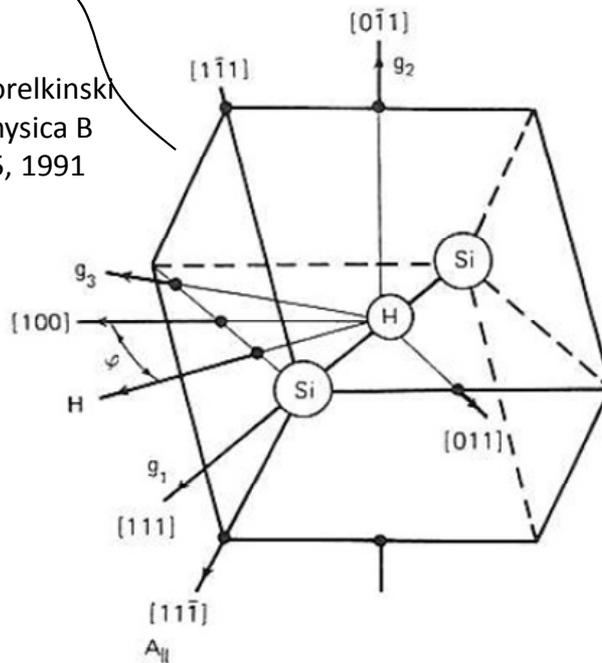


Fig. 4. Directions of the principal axes of the  $g$ - and  $A$ -tensors of the Si-AA9 center for one of the equivalent orientations (aa in fig. 2).

表 4-7-2  $F_i$ (ボンドセンターフッ素)の波動関数分布と、ボンドセンター水素との比較

## 4-8. Ci, Fi 以外のマイナー欠陥に関する検討

### 4-8-1. Ci 以外のカーボン欠陥の可能性

#### ～カーボン複合欠陥(G11 センター)の発生と、カーボン欠陥の熱安定性

実験で得られた角度マップ(図 4-4-8)には Ci(図 4-6-5)、Fi(図 4-7-5)以外にもまだフィッティングのされていないマイナーな共鳴信号が多数存在する。その起源について考察する。

まず、メインとなる Ci と Fi を基準に考えてみる。Ci、Fi はともに 1 個の不純物(カーボン、フッ素)から成る最もシンプルな格子間型欠陥だった。しかし、MOSFET 作製時には何回にもわたる高温アニール処理が施されているので、シンプルな欠陥がそのまま孤立状態で残留するのはむしろ稀な例である。これらの初期構造体から出発して、さらに別の複合構造に変化した欠陥が存在する可能性が非常に高い。

バルク Si 結晶中での ESR 研究によれば、G12 センターは、室温でも容易に熱拡散し、60°C 程度の低温アニールで G11 センターという欠陥に転換することが知られている(図 4-8-1(a))[24]。G11 センターは「格子間カーボン-置換カーボン複合体、(C<sub>i</sub>C<sub>s</sub>)(+)」と同定された欠陥で[26]、G12 センターと置換カーボンがペアになることでできたカーボン複合欠陥である。その置換カーボンは格子間カーボンと直接結合するのではなく、Si 原子を 1 つ挟んだ置換位置に存在する(図 4-8-1(b))。この C-Si-C 結合には結合角に自由度があり、その結果、興味深い双安定性を示す[36]。G12 センターと G11 センターはともに P 型シリコン中の欠陥であり、荷電状態は+1 である。

G11 センターの発生は、熱拡散した格子間カーボン同士が遭遇する現象に由来している。カーボンの動きやすさは、本研究のカーボンの SIMS プロファイルの広がりにも表れている(図 4-3-4)。従って、本研究の MOSFET 内部にも Ci(G12 センターと同種の欠陥)に加えて G11 センターが存在するのではないかと考えた。

図 4-8-2 は、G11 センターの共鳴磁場の磁場角度依存性シミュレーション結果を、実測データと重ねて描いたものである。Ci や Fi と同様に missing line があって完全な一致ではないが、低磁場側に見られる未フィッティングのマイナー信号は G11 センターと一致している可能性があることが分かった。この低磁場側のマイナーな信号については、G11 センターよりもよく一致する既知の欠陥は見つからなかった。

しかし、G11 センターが本研究の MOSFET に存在したとしても、その信号強度は非常に弱い。Ci(G12)に比べればマイナーな欠陥であることは間違いない。このことは、バルク Si 結晶で見られる挙動(G12 は室温で減衰を始め、60°C で G11 に転換する。G11 は 300°C まで残留できる)[24]とは矛盾する。MOSFET の製造工程では、ドーパント活性化時に 1000°C 以上の短時間アニールと、その後も 400°C 以上のアニールが数十分以上にわたってかかるためである。

本研究の結果は、MOSFET 内部での欠陥の挙動と、バルク Si 結晶中での欠陥の挙動が大きく

く違うことを示している。その理由の1つには、すでに議論したストレスの存在が挙げられる。強力なストレス下では、そのストレスを緩和するような欠陥が挿入される。そのようにして発生した欠陥は熱的に安定で、取り除くことが難しい。このような現象は、シリコンに限らず様々な半導体で、転位欠陥の発生などとして非常に多くの例を見ることができる。

もう1つ、カーボン欠陥の挙動を左右する重要な要素として、本研究は「格子間シリコンの存在」を挙げる。MOSFET 内部にはイオン注入によって大量の格子間シリコンが発生していることが信じられている。その存在は、ドーパントの増速拡散(Transient Enhanced Diffusion: TED)からうかがい知ることができる[37]。これは格子間シリコンを媒介としてドーパントが非常に動きやすくなる現象で、その抑制策として、カーボン注入、フッ素注入が効果的であることが知られている。カーボン注入が効果的である理由は、カーボンが格子間シリコンと結合して格子間シリコンの動きを止めることに由来するとされている。このような働きを担うのが G12 センターや Ci である。G12 や Ci は、C-Si がペアになって格子間位置に捕捉された欠陥である。他方、G11 センターは置換カーボンを伴う欠陥なので、格子間シリコンを放出するタイプの欠陥である。このため、格子間シリコンの濃度が高い MOSFET 内部では G11 センターは発生しづらく、格子間シリコンの歪みを緩和するための G12 タイプの欠陥がメインに発生したと理解することができる。欠陥生成の鍵を握る MOSFET 内部の格子間シリコンの挙動については、後の 4-8-4 節でも独立に考察したい。

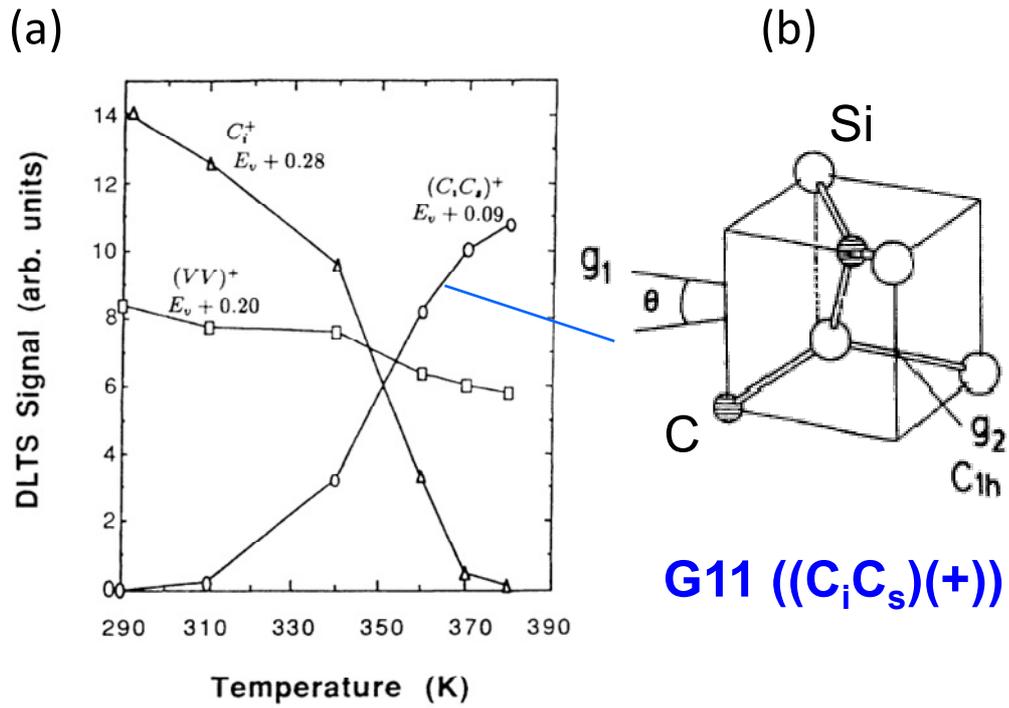


FIG. 13. Defect concentrations measured by DLTS during isochronal annealing (15 min) in a *p*-type sample (No. 5).

L. W. Song et al., Phys. Rev. B 42, 5759, 1990

図 4-8-1 G12 センター- $C_i(+)$ から G11 センター- $C_i C_s(+)$ への転換

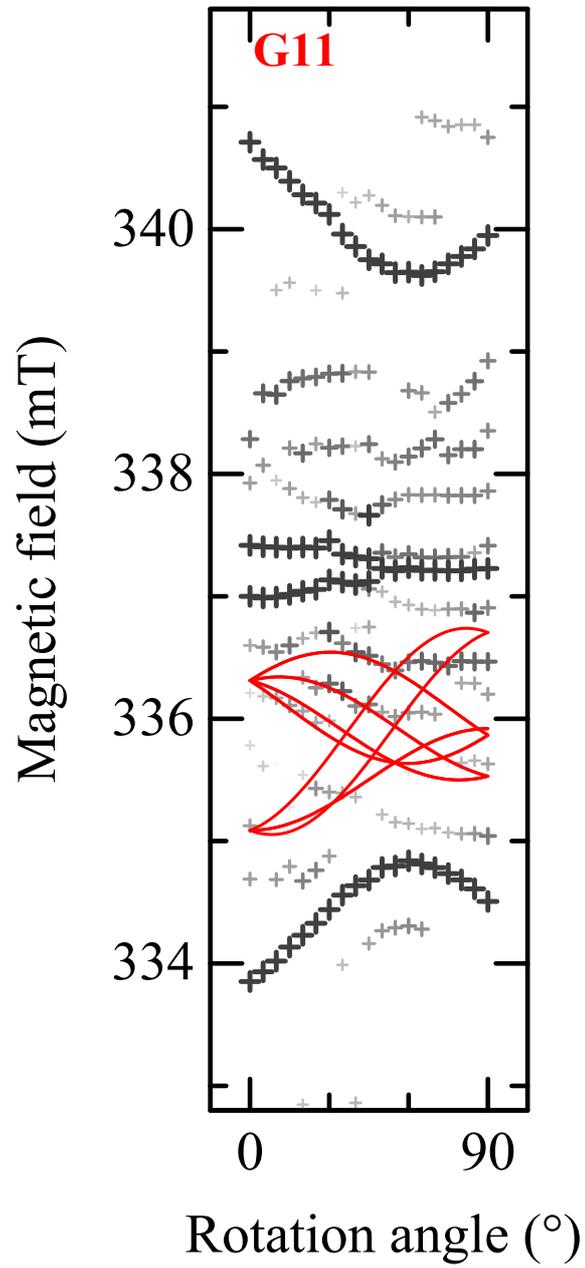


図 4-8-2 G11 センター-C<sub>i</sub>C<sub>s</sub>(+)の共鳴磁場の磁場角度依存性シミュレーション結果

## 4-8-2. Fi 以外のフッ素関連欠陥の可能性

～シリコン空孔-フッ素複合体( $F_nV_m$  欠陥)の発生と、フッ素欠陥の熱安定性

続いて、Fi 以外のフッ素関連欠陥の可能性について考察する。

Fi(ボンドセンターフッ素)は本研究で初めて見出された欠陥なので、その挙動について実験面からの報告はない。しかし、第一原理計算によってバルク Si 結晶中のフッ素の挙動は明らかにされている[33]。フッ素は Si 原子と強力な Si-F 結合を生成するため、結晶中のフッ素濃度が高くなると、シリコン空孔を作って、その内部のダングリングボンドをフッ素で終端して安定化する傾向が強い[33]。このような性質のため、フッ素は Si 結晶中では凝集する性質があり、熱拡散もしづらい傾向が実験的にも知られている[38]。事実、本研究のフッ素の SIMS プロファイルにもフッ素の拡散のしづらさ、あるいは表面近傍に凝集する傾向がはっきりと見られている。

図 4-8-3 は第一原理計算により予測された熱平衡状態でのフッ素欠陥の濃度である。フッ素濃度が  $10^{15}$  atoms/cm<sup>3</sup> 以下の時は、フッ素の大部分は格子間フッ素(ボンドセンター位置+四面体位置)として孤立分布することが予測されている。しかし、濃度が  $10^{19}$ ~ $10^{20}$  atoms/cm<sup>3</sup> になると、 $F_6V_2$  欠陥のようなシリコン空孔-フッ素複合体( $F_nV_m$  欠陥)が優勢になる。第一原理計算では  $F_6V_2$  欠陥までしか計算されていないが、実験的には、最も熱安定性の高い  $F_nV_m$  欠陥として、 $F_nV_5$ (F1 センター)が報告されている(図 4-8-4)。

そこで、図 4-8-5 に、F1 センターの共鳴磁場の磁場角度依存性シミュレーションを実測データに重ねて描いてみた。この図は、Ci と G11 センターの間に見られる未フィッティングのマイナー信号が F1 センターで十分に説明できることを示している。これまでに議論してきたように EDMR 信号はブロードであり、さらに missing line の発生もあるので、F1 センターの存在を完璧に証明することは難しい。しかし、MOSFET 中にフッ素が存在しているのは確かな以上、Fi とともに F1 センターも存在していると考えるのがむしろ自然である。ただし、F1 センターは存在したとしてもその信号強度はごく弱く、Fi に比べてマイナーな欠陥となっているのは間違いない。

この事実は、前述のバルク Si 結晶中でのフッ素の挙動と矛盾しており、Ci の場合と同じように、MOSFET 内部とバルク Si 結晶中での欠陥の挙動の違いを示している。その原因としては、Ci のときと同じように、格子間シリコンの影響が強いのではないかと考えている。フッ素は炭素と並んでドーパントの TED を抑える、すなわち格子間シリコンの動きを抑える性質をもっている。そのメカニズムは、フッ素注入で発生した  $F_nV_m$  欠陥が格子間シリコンを吸収することにある。このため、格子間シリコンの濃度が高い MOSFET 内部では  $F_nV_m$  欠陥が消失しやすく、結果として、 $F_nV_m$  欠陥よりもボンドセンターフッ素が優勢になったのではないかと考えられる。

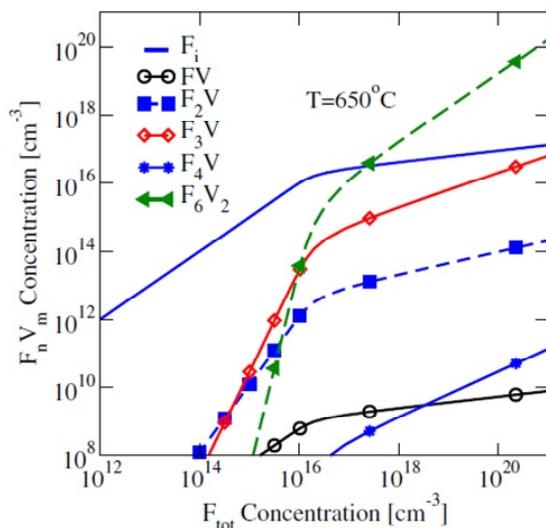
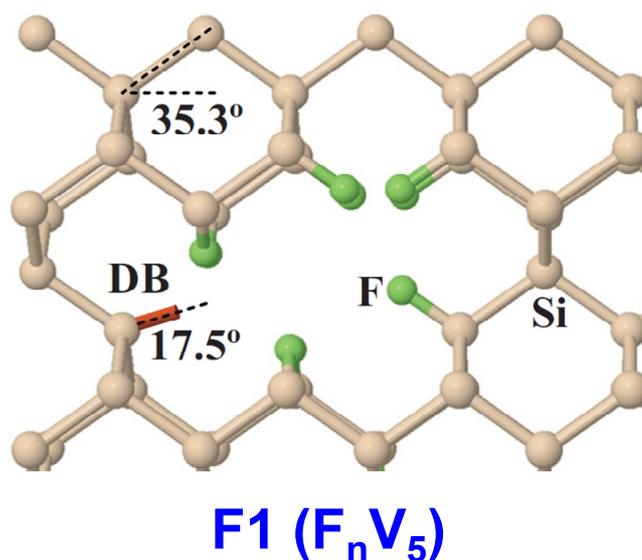


FIG. 3 (color online). Equilibrium concentration of various  $F_n V_m$  structures versus total F concentration at 650 °C. The Fermi level is assumed to be at midgap (0.45 eV above the valence band edge [17]). For low  $C_{F_{tot}}$ , the dominant species is  $F_i$  due to the entropy of mixing. At high  $C_{F_{tot}}$ , the major F contribution comes from  $F_6 V_2$  clusters. The vacancy formation energy is included in these calculations.

M. Diebel et al., PRL 93, 245901 (2004)

図 4-8-3 第一原理計算から予測した熱平衡状態でのフッ素関連欠陥の発生濃度 [33]



Ref. T. Umeda et al., APL 97, 041911, 2010

図 4-8-4 F1 センター( $F_n V_5$  欠陥)の原子構造 [30]

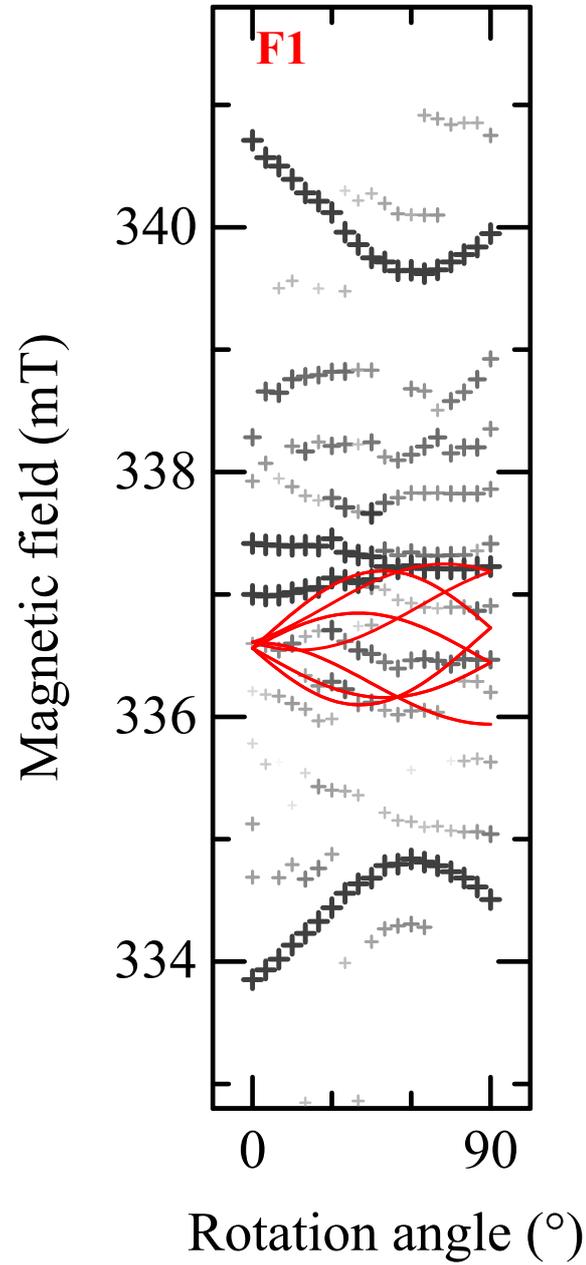


図 4-8-5 F1 センターの共鳴磁場の磁場角度依存性シミュレーション結果

## 4-8-3. 水素関連欠陥の可能性

Ci よりも低磁場側の未フィッティング信号については、G11 センター(カーボン複合欠陥)や F1 センター(シリコン空孔-フッ素複合欠陥)で説明可能なことが分かった。しかし、実測角度マップには Ci よりも高磁場側(337.5~339 mT)にまだ多くの未フィッティング信号が残されている。g 値に換算すると  $g = 1.9943 \sim 2.0021$  の範囲となる。シリコン中の欠陥の g 値は、自由電子スピンの g 値 2.0023 よりもプラス方向にシフトするのが一般的なので、その逆にマイナス側に大きくシフトする g 値をもつ欠陥は大幅に種類が限定される。

そのような欠陥の1つは、シリコンの伝導帯の近傍に浅いドナー準位を作る「サーマルドナー」である。サーマルドナーは多くの種類(NL8~NL18 センター)が知られていて、代表的なものは NL8 センター( $g = 1.9932 \sim 2.0009$ , TDD(+))センター)と、NL10 センター( $g = 1.9974 \sim 1.9995$ , TDD(0))センター)である[39,40]。TDD の名称は Thermal Double Donor に由来している。どれも g 値が 2.0023 よりもマイナス側に大きくシフトしていることが特徴となっている[41]。これらは共通して、酸素濃度の高いシリコンを 400~600°C で熱処理した時に発生する欠陥で、MOSFET でも十分に発生の可能性がある。しかし、いずれも浅いドナー準位のため、リンドナーやヒ素ドナーと同様に、極低温でなければ観測することができない。よって、今回の室温 EDMR 測定で見えることは考えられない。

もう1つの、残るほぼ唯一の候補は「水素関連欠陥」である。図 4-8-6 に、代表的な水素関連欠陥である AA9 センター(ボンドセンター水素)[35]と AA10 センター(具体的な起源は不明)[35]の角度マップシミュレーション結果を示した。本研究で見られた高磁場側の未フィッティング信号はこれらの欠陥と非常によく一致することが分かる。

これらの水素関連欠陥はいずれも、バルク Si 結晶に水素イオン注入(プロトン注入)を施した時のイオン照射欠陥として発見されたものである[35]。AA9 センターについてはすでに 4-6-6 節で登場している。AA10 センターは CZ 結晶でのみ観測される欠陥なので、水素に加えて、酸素や炭素などの不純物が結合した欠陥ではないかと推測されている。本研究の MOSFET では、フルオロカーボン( $C_mH_nF_l$ )に水素が含まれており、フッ素や炭素と同時に水素がシリコン基板中に導入されている可能性が十分にある。さらに、水素アロイ処理によって大量の水素が MOSFET に導入されているので、フッ素や炭素と違って表面のみならず、MOSFET 全体にわたって水素は大量に分布している可能性がある。

しかし、AA9 センター、AA10 センターは過去の研究では、ともに 200K 以下でのみ観測されている信号である。本研究の室温 EDMR 測定で観測されたり、400°C 以上の高温アニール処理後にも残留している可能性は、これまでの常識では考えられない。

一方、本研究では、図 4-8-6 に示した AA9/AA10 センターと実験データとの非常に良い一致から考えて、これらの熱安定性の低い欠陥が MOSFET 中に残留している可能性がある。Ci や Fi の例を見れば分かるように、MOSFET 内部とバルク Si 結晶での欠陥の挙動は明らかに異なっている。実際、バルク結晶では室温(300K)でもアニールされるような熱安定性の低い欠陥(Ci)が

MOSFET 中に残留している。よって、200K でアニールされるような欠陥が残留する可能性もあるのではないかと推測している。

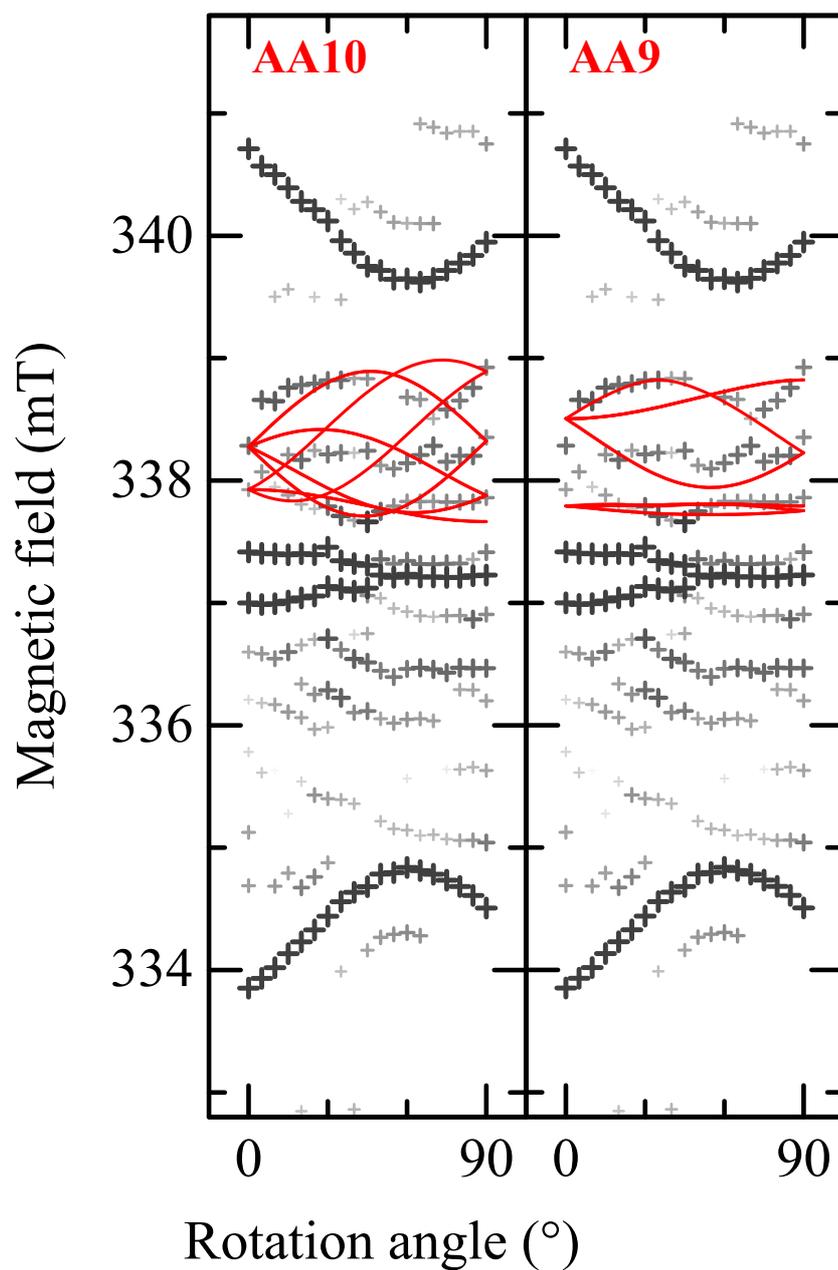


図 4-8-6 水素関連欠陥 AA9、AA10 センターの共鳴磁場の磁場角度依存性シミュレーション結果

## 4-8-4. MOSFET 内の格子間シリコンの挙動

次に、MOSFET 中の格子間シリコンの挙動について、説明する。MOSFET では、ソース・ドレイン領域の低抵抗化のため、イオン注入法により、不純物のドーピングを高濃度に行う。典型的には、 $10^{15}$  atoms/cm<sup>2</sup> 以上であり、これによって、 $10^{20}$  atoms/cm<sup>3</sup> を超えるドーパントがソース・ドレイン領域にドーピングされる。このようなイオン注入による高濃度のドーピングによって、ソース・ドレイン接合の深いところに、近似的には、ドーピング量と同数程度の格子間シリコンが、ノックオンによって発生する [42-44]。

このような大量の格子間シリコンが、後の熱処理によって、チャネルに向かって熱拡散するモデルが提唱されている(図 4-8-7) [45]。このことは、実験的には、格子間シリコンが原因の、ボロンの増速拡散という形で間接的に確かめられている。N 型 MOSFET における逆短チャネル効果(短チャネルでしきい値が増大)やしきい値ばらつきは、このモデルで矛盾なく説明可能である。

格子間シリコンがチャネル領域に拡散している原因としては、Si/SiO<sub>2</sub> (ゲート酸化膜) の界面の存在が指摘されている。界面が格子間シリコンのシンクとなるためである。しかし、これだけでは逆短チャネル効果は説明できず、同時に、チャネル領域で格子間シリコンが凝集すると、うまく説明できることが知られている(図 4-8-8)。

もちろん、実際に格子間シリコンが接合の浅い領域に大量に存在する直接の証拠は未だ報告されていない。しかしながら、このように、ストレスに加え、(大量の)格子間シリコンの存在を加味すると、バルクシリコン結晶中と MOSFET 中の欠陥の挙動の差をうまく説明できるため、欠陥形成の1つの影響要因として挙げることは価値のあることと言える。

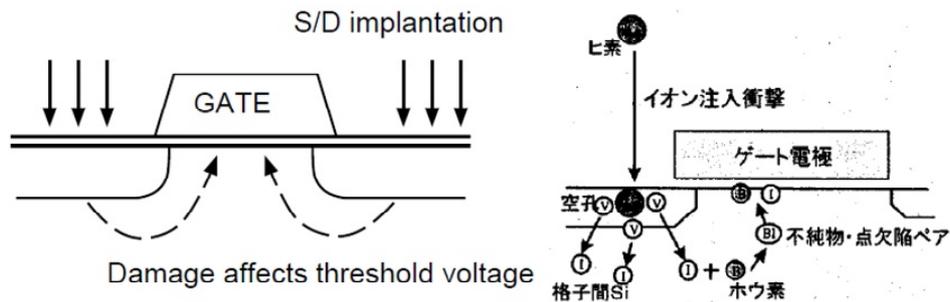


図 3.20: ソースドレインのイオン注入ダメージ (格子間シリコン原子) がチャンネル部へ拡散する概念図

羽根、「サブ100nm世代CMOSのプロセスモデリングの研究」、博士論文(工学), 慶応大学 (2003).

図 4-8-7 格子間シリコンの熱拡散するモデル[45]

高ドーズのイオン注入で生じた大量の格子間シリコンが、後の熱処理によって、チャンネルに向かって熱拡散するモデルが提唱されている。このモデルで、N型 MOSFET における逆短チャンネル効果(短チャンネルでしきい値が増大)やしきい値ばらつきを矛盾なく説明できる。格子間シリコンがチャンネル領域に拡散している原因としては、Si/SiO<sub>2</sub>(ゲート酸化膜)の界面が格子間シリコンのシンクとなるため、また、チャンネル領域で格子間シリコンが凝集するため、と考えられている。

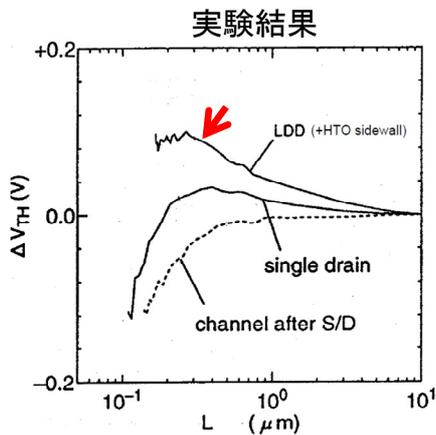


図 3.17: 試作した nMOSFET のゲート長としきい値電圧の実測結果[70] (点線は SD 形成後にチャンネルを形成したプロセスの場合で SD 注入が逆短チャンネル効果の要因であることを裏付けている)

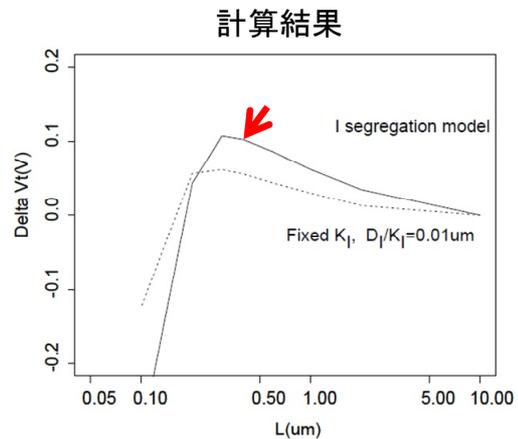


図 3.27: 逆短チャンネル効果計算における異なる境界条件での比較

羽根、「サブ100nm世代CMOSのプロセスモデリングの研究」、博士論文(工学), 慶応大学 (2003).

図 4-8-8 N 型 MOSFET のしきい値のゲート長依存性の実験結果と計算結果

## 4-9. 4章のまとめ

微細 MOSFET の製造中にシリコン基板に導入される欠陥は、消費電力を不要に増大させる接合リーク電流の原因となりうる。本研究では、特にエッチング工程によってシリコン結晶に導入された不純物(カーボンとフッ素)が形成する欠陥に着目し、微小領域の分析に優れた電流検出型の電子スピン共鳴(EDMR)法を用いて、これを解析・同定した。

まず、エッチング工程によって、エッチャントガスに含まれるカーボンとフッ素が、シリコン基板のごく浅い領域(0~5nm)に非常に高い濃度( $10^{20}$  atoms/cm<sup>3</sup>以上)で導入されることを2次イオン質量分析法(SIMS)で突き止めた。

次に、エッチング時間を変えることで、カーボンとフッ素の侵入量が2桁以上低減できることを実証した。このような方法でカーボンとフッ素の混入濃度が大きく違う2種類のMOSFETサンプル(サンプルA、サンプルB)を用意した。

この2つのMOSFETサンプルを、接合リーク電流を用いたEDMR分光で測定したところ、MOSFET中のカーボンとフッ素に由来する欠陥の観察に初めて成功した。予想通り、カーボン、フッ素濃度が高いサンプルAでは信号強度が強く、それとは逆のサンプルBでは弱いことを確認した。このような違いは、EDMR信号強度だけでなく、接合リーク電流そのものにも確認された。観測されたEDMR信号は、炭素由来のものを「Ci」、フッ素由来のものを「Fi」と命名した。ここでの「i」は格子間欠陥(interstitial)の頭文字を意味している。

EDMR信号の分光解析から、Ciは、カーボン原子1つがシリコン結晶内に<100>方向に割り込んだ「格子間カーボン(<100>-split C-Si interstitialcy)」という欠陥であることを突き止めた。バルクSi結晶ではG12センターという正荷電の格子間カーボンがすでに同定されているが、CiはこのG12センターに非常によく似た欠陥であった。この欠陥はゲート下のP型領域に発生しており、接合リーク電流の主要な原因となっていることが分かった。MOSFET中の格子間カーボンは、これまでに理論的に存在が予測され、間接的に多くの実験でその存在が指摘されていたが、それを実験的に観察したのは本研究が初めてである。

他方、Fiは新しい欠陥で、フッ素原子1つがSi-Si結合に挿入された「ボンドセンターフッ素」という欠陥であると同定された。この同定はFiの<sup>19</sup>F超微細分裂の詳細な解析を基にしている。この欠陥もまたP型領域に発生している正荷電の欠陥で、接合リーク電流の原因欠陥となっていることも分かった。ボンドセンターフッ素の観察・同定は、バルクSi結晶も含めても本研究が初めてである。

さらにCiやFiのメジャーな欠陥と共存するマイナーな欠陥として、カーボン複合欠陥(格子間カーボン-置換カーボン複合体、C<sub>i</sub>C<sub>s</sub><sup>+</sup>、G11センター)、シリコン空孔-フッ素複合欠陥(F<sub>n</sub>V<sub>5</sub>、F1センター)、ボンドセンター水素(AA9センター)、水素関連欠陥(AA10センター)が存在する可能性を示した。

カーボン複合欠陥 G11 やシリコン空孔-フッ素複合欠陥 F1 は、バルク Si 結晶では、Ci や Fi よりもはるかに熱的に安定と理論的・実験的に予測される欠陥である。さらに、上述の全ての欠陥は、バルク Si 結晶中での熱安定性が $-70^{\circ}\text{C}\sim 300^{\circ}\text{C}$ と報告されており、 $1000^{\circ}\text{C}$ 以上の活性化アニールおよび $400^{\circ}\text{C}$ 以上・数十分に及ぶ高温プロセスを経る MOSFET では、常識的には残留しないはずの欠陥である。本研究の EDMR 観察結果は、トランジスタの内部とバルク Si 結晶中では欠陥の挙動が大きく異なることを示している。その原因として、MOSFET 内に発生する強い内部応力や、格子間シリコンの過剰な発生が主原因として考えられることを、過去の欠陥研究の膨大な知見を使って導き出した。

微細 MOSFET 内に形成された結晶欠陥を実験で具体的に同定できたことは、接合リーク電流を低減させるプロセスの開発や、接合リーク電流のモデリング/シミュレーションを行う上で、極めて価値があると考えられる。また、シリコン結晶の欠陥形成に関し、バルク Si 結晶内と微細 MOSFET 内における環境の差が大きく影響することを実験で確かめたことは、今後の微細 MOSFET 内の欠陥を議論していくうえで貴重な示唆となるであろう。また、本研究が初めての報告となるボンドセンターフッ素の観察・同定は、フッ素関連欠陥の研究の重要な 1 ステップであり、学術的にも価値があると考えられる。

## 第4章の参考文献

- [1] 梅田享英、「ESR/EDMR 測定と界面構造解析」、薄膜・表面物理基礎講座 40 巻、pp. 57-66、2011 年 11 月 10 日。
- [2] M. Stalova, "Semiconductors and Semimetals Vol. 51A: Identification of Defects in Semiconductors," ed. by R. K. Willardson and E. R. Weber (Academic Press, 1998).
- [3] J.A. Weil, J.R. Bolton, "Electron Paramagnetic Resonance (2ed., Wiley)", 2007.
- [4] 堀洋、「金属タンパク質の電子常磁性共鳴(EPR)測定をしようとする人のために」、蛋白質科学会アーカイブ, 1, e037, pp. 1-71 (2008).
- [5] 田村直幸、松ヶ下禎吉、「高分子における電子スピン共鳴の実験法」、高分子/高分子学会 [編]、pp. 444-452、1961.
- [6] 伊達宗行、「新物理学シリーズ・電子スピン共鳴」、培風館、新物理学シリーズ (1978).
- [7] B. Stich, S. GreulichWeber, and J.M. Spaeth, "Electrical detection of electron paramagnetic resonance: New possibilities for the study of point defects", *Journal of Applied Physics* 77 (4), pp. 1546-1553 (1995).
- [8] 安部和久、渡部徳子、藤原鎮男、「ESR によるニトロキシドラジカルの定量」、分析化学、巻:27、号:2、pp. T9-T13 (1978).
- [9] T. Umeda, K. Okonogi, K. Ohyu, S. Tsukada, and K. Hamada, S. Fujieda, and Y. Mochizuki, "Single silicon vacancy-oxygen complex defect and variable retention time phenomenon in dynamic random access memories", *APPLIED PHYSICS LETTERS* 88, 253504 (2006).
- [10] 三尾典克、「物理計測法特論・物理工学実験技法(A)」、東京大学テキスト (2008).
- [11] 各計測機器メーカーのホームページが参考になる。例えば、株式会社 東陽テクニカのホームページ: <http://www.toyo.co.jp/sr/what/>
- [12] T. Umeda, K. Okonogi, K. Ohyu, S. Tsukada, K. Hamada, S. Fujieda, and Y. Mochizuki, "Single silicon vacancy-oxygen complex defect and variable retention time phenomenon in dynamic random access memories", *Applied Physics Letters*, vol. 88, issue 25, 253504 (2006).
- [13] A. Weber, A. Birner, and W. Krautschneider, "Retention Tail Improvement for Gbit DRAMs through Trap Passivation confirmed by Activation Energy Analysis", *Proceeding of the 36th European Solid-State Device Research Conference (ESSDERC 2006)*, pp. 250-253 (2006).
- [14] H. Komeda, M. Sato, A. Ishihama, K. Sakiyama, and T. Ohmi, "Effects of Reactive Ion Etching Induced Damage on Contact Resistance", *Proceedings of the 3rd International Symposium on Plasma Process-Induced Damage*, pp. 88-91 (1998).
- [15] M. Wang and M. J. Kushner, "Modeling of implantation and mixing damage during etching of SiO<sub>2</sub> over Si in fluorocarbon plasmas", *J. Vac. Sci. Technol. A* 29, 051306 (2011).

- [16] J. Lee, C. Cho, J. Lee, S. Shin, J. Lee, D. Kwak, K. Lee, B. Roh, T. Chung, and K. Kim, "Highly Extendible Memory Cell Architecture for Reliable Data Retention Time for 0.10  $\mu\text{m}$  Technology Node and beyond", Proceedings of the 32th European Solid-State Device Research Conference (ESSDERC), pp. 571-574 (2002).
- [17] G. D. Watkins and K. L. Brower, "EPR Observation of the Isolated Interstitial Carbon Atom in Silicon", Physical Review Letters, vol. 36, no. 22, pp. 1329-1332 (1976).
- [18] T. Wimbauer, K. Ito, and Y. Mochizuki, M. Horikawa, T. Kitano, M. S. Brandta, and M. Stutzmann, "Defects in planar Si pn junctions studied with electrically detected magnetic resonance", APPLIED PHYSICS LETTERS, vol. 76, no. 16, pp. 2280-2282 (2000).
- [19] 梅田享英、「電子スピン共鳴法による水素化アモルファスシリコン中の局在中心の研究」、筑波大学博士論文、1999年3月。
- [20] T. Umeda, S. Yamasaki, J. Isoya, K. Tanaka, "Electron-spin-resonance center of dangling bonds in undoped a-Si:H", PHYSICAL REVIEW B, vol. 59, no. 7, pp.4849-4857 (1999).
- [21] 公開データベース「EPR in semiconductors」(<http://www.kc.tsukuba.ac.jp/div-media/epr/>).
- [22] Kh. A. Abdullin, B. N. Mukashev, A. M. Makhov, Yu. V. Gorelkinskii, "New Oxygen-Related EPR Spectra in Proton-Irradiated Silicon", Materials Science and Engineering: B, vol. 36, pp. 77-80 (1996).
- [23] B. N. Mukashev, Kh. A. Abdullin, Yu. V. Gorelkinskii, S. Zh. Tokmoldin, "Self-Interstitial Related Reactions in Silicon Irradiated by Light Ions", Materials Science and Engineering: B, vol. 58, pp. 171-178 (1999).
- [24] L. W. Song and G. D. Watkins, "EPR Identification of the Single-Acceptor State of Interstitial Carbon in Silicon", PHYSICAL REVIEW B, vol. 42, pp. 5759-5764 (1990).
- [25] K. L. Brower, "EPR of a Jahn-Teller distorted (111) carbon interstitialcy in irradiated silicon", PHYSICAL REVIEW B, vol. 9, pp. 2607-2617 (1974).
- [26] L. W. Song, X. D. Zhan, B. W. Benson, and G. D. Watkins, "Bistable interstitial-carbon -substitutional-carbon pair in silicon", PHYSICAL REVIEW B, vol. 42, pp. 5765-5783 (1990).
- [27] G. D. Watkins, J. W. Corbett, "Defects in Irradiated Silicon. I. Electron Spin Resonance of the Si-A Center", PHYSICAL REVIEW, vol. 121, pp. 1001-1014 (1961).
- [28] S. Ito, H. Namba, K. Yamaguchi, T. Hirata, K. Ando, S. Koyama, S. Kuroki, N. Ikezawa, T. Suzuki, T. Saitoh, T. Horiuchi, "Mechanical Stress Effect of Etch-Stop Nitride and its Impact on Deep Submicron Transistor Design", Technical Digest of International Electron Devices Meeting (IEDM), pp. 247-250 (2000).
- [29] K. Uejima, H. Nakamura, T. Fukase, S. Mochizuki, S. Sugiyama and M. Hane, "Highly Efficient Stress Transfer Techniques in Dual Stress Liner CMOS Integration", 2007 Symposium on VLSI Technology Digest of Technical Papers, pp. 220-221 (2007)
- [30] T. Umeda, J. Isoya, T. Ohshima, S. Onoda, N. Morishita, K. Okonogi, and S. Shiratake,

- “Fluorine-vacancy defects in fluorine-implanted silicon studied by electron paramagnetic resonance”, APPLIED PHYSICS LETTERS, vol. 97, 041911 (2010)
- [31] A. Stesmans, B. Nouwen, and V. V. Afanas'ev, “ $P_{b1}$  interface defect in thermal (100)Si/SiO<sub>2</sub>: <sup>29</sup>Si hyperfine interaction”, PHYSICAL REVIEW B, vol. 58, pp. 15801- 15809 (1998).
- [32] C. A. J. Ammerlaan, "Landolt Börnstein new series (Numerical data and functional relationships in science and technology)", group III, volume 41A2 $\alpha$ , pp. 6-76, 244-308.
- [33] M. Diebel and S. T. Dunham, “*Ab Initio* Calculations to Model Anomalous Fluorine Behavior”, PHYSICAL REVIEW LETTERS, vol. 93, pp. 245901 (2004).
- [34] C. G. Van de Walle, F. R. McFeely, and S. T. Pantelides, “Fluorine-Silicon Reactions and the Etching of Crystalline Silicon”, PHYSICAL REVIEW LETTERS, vol. 61, pp. 1867-1870 (1988).
- [35] Yu. V. Gorelkinski and N. N. Nevinyi, “Electron paramagnetic resonance of hydrogen in silicon”, Physica B, vol. 170, pp. 155-167 (1991).
- [36] L. W. Song, X. D. Zhan, B. W. Benson, and G. D. Watkins, "Bistable defect in silicon: The interstitial-carbon-substitutional-carbon pair", PHYSICAL REVIEW LETTERS, vol. 60, pp. 460-463 (1988).
- [37] P. A. Stolk, H.-J. Gossmann, D. J. Eaglesham, D. C. Jacobson, C. S. Rafferty, G. H. Gilmer, M. Jaraiz, J. M. Poate, H. S. Luftman, and T. E. Haynes, "Physical mechanisms of transient enhanced dopant diffusion in ion-implanted silicon", Journal of Applied Physics, vol. 81, pp. 6031-6050 (1997).
- [38] M. N. Kham, I. Matko, B. Chenevier, and P. Ashburn, "Reduced boron diffusion under interstitial injection in fluorine implanted silicon", JOURNAL OF APPLIED PHYSICS, vol. 102, pp. 113718 (2007).
- [39] T. Gregorkiewicz, D.A. van Wezep, H. H. P. Th. Bekman, C. A. J. Ammerlaan, “EPR studies of heat-treatment centers in p-type silicon”, PHYSICAL REVIEW B, vol. 35, pp. 3810 (1987).
- [40] T. Gregorkiewicz, H. H. P. Th. Bekman, C. A. J. Ammerlaan, “Microscopic structure of the NL10 heat-treatment center in silicon: Study by electron-nuclear double resonance”, PHYSICAL REVIEW B, vol. 38, pp. 3998 (1988).
- [41] S. H. Muller, M. Sprenger, E. G. Sieverts, C. A. J. Ammerlaan, “EPR spectra of heat-treatment centers in oxygen-rich silicon”, Solid State Communications, vol. 25, pp. 987-990 (1978).
- [42] P. Pellegrino and P. Le've^que, J. Wong-Leung, and C. Jagadish, “Separation of vacancy and interstitial depth profiles in ion-implanted silicon: Experimental observation”, APPLIED PHYSICS LETTERS, vol. 78, no. 22, pp. 3442-3444 (2001).
- [43] J. Seo, O. Kwon, K. Kim, and T. Won, “Kinetic Monte Carlo (KMC) Simulations for Boron Diffusion in Ion-Implanted Crystalline Materials”, Journal of the Korean Physical Society, vol. 45, no. 5, pp. 1244-1248 (2004).

- [44] O. Kwon, K. Kim, J. Seo, and T. Won, “Molecular Dynamics (MD) Modeling for Low-Energy Ion Implantation Process”, *Journal of the Korean Physical Society*, vol. 45, no. 5, pp. 1327–1331 (2004).
- [45] 羽根正巳、「サブ 100nm 世代 CMOS のプロセスモデリングの研究」、博士論文 (工学), 慶応大学 (2003).

# 第5章

## 結論

## 5. 結論

本研究は、微細シリコン MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) の高性能化とリーク電流低減に関して総合的な研究を行った。

あらゆる電子機器の中に搭載されるシリコン大規模集積回路 (LSI) の内部で、演算をつかさどる主役の能動素子が MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) であり、その高性能化とリーク電流低減は、LSI 単体のみならず、LSI によって構成されるシステム全体の高性能化・低消費電力化に非常に大きな貢献をもたらす。

本研究では、MOSFET の高性能化に向けて、MOSFET のゲート電極、ソース・ドレイン、チャネル、すなわち電流の流れをコントロールする全ての部位に対し、新しい構造や製造技術を提案し、副作用を抑えつつ、性能を向上させることに成功した。以下、1 つ 1 つの研究項目に対して具体的な成果を述べる。

まず、ゲート電極の研究では、従来の多結晶 Si (ポリ Si) に代わる電極材料として、ゲート電極の空乏化を低減することによってオン電流の向上が期待できる多結晶 SiGe (ポリ SiGe) を導入する研究を行った。この多結晶 SiGe の長所を十分引き出すために、アモルファス Si (1層目) + 多結晶 SiGe (2層目) の積層構造を提案した。多結晶 SiGe とゲート酸化膜の間に薄いアモルファス Si バッファ層を加えることにより、ゲート絶縁膜の信頼性を保ちつつ、高いオン電流を実現することができた。チャージトラッピング特性の解析より、アモルファス Si 層は、ゲート電極/ゲート絶縁膜界面の品質を向上させていることが分かった。一方、多結晶 SiGe を採用したゲート電極では、ゲート長が 100nm より短くなると、反転容量が低下する現象があることを発見した。この現象の原因として、ゲート長が結晶粒径より小さくなり、結晶粒界密度が減少するというモデルを提案し、このモデルの妥当性も確かめた。提案したモデルを基に、小さな結晶粒径と大きな不純物拡散長を併せ持つ多結晶 SiGe をゲート電極とすることで、高性能なゲート長 65nm の MOSFET を実現することができた。これらの成果は、2000 年の IEEE International Electron Devices Meeting (IEDM) および 2002 年の Symposium on VLSI Technology にて発表された。なお、多結晶 SiGe を (当時の) 最先端の CMOS 技術に適用し良好な特性を得たのは初めてでありインパクトは大きかった。

次に、微細 MOSFET を極限まで微細化するために、ミリ秒アニールによる熱拡散抑制活性化技術とクラスターイオン ( $B_{18}H_{22}$ ) による超極浅イオン注入技術を組み合わせて、接合深さ 10nm 以下の超極浅接合を有する MOSFET を作製した。その結果、接合深さの短縮化と共にゲート長も 30nm 以下まで低減できることが分かった。一方、浅接合化に伴うオン電流の低下を防ぐためには、シリサイドと接合間の幅広化による寄生抵抗の低減が有効である。これらの技術を組み合わせることにより、プレーナバルク型の MOSFET でも、ゲート長 20nm までは縮小化が可能であることを示した。これらの成果は 2007 年の IEEE International Electron Devices Meeting (IEDM) にて発表された。

第3に、微細 MOSFET のチャネルに格子歪み (ストレス) を加えることにより、キャリアの移動度

を高め、積極的にオン電流を高める手法についても研究を行った。この研究では、MOSFET を被覆する窒化膜のストレスを効果的に MOSFET チャンネルに伝搬させる技術を採用することにより、従来以上に MOSFET の性能を向上できることを示した(従来:+20%、本研究:+50%)。二重除去層を有する側壁スペーサーを用いた更なるストレス近接技術、密着層の導入と製造方法の改善(引張ストレス窒化膜先行作製)によるストレス緩和防止、ストレス窒化膜のレイアウトの工夫の組み合わせにより、微細化に伴うストレスの低下という課題を解決可能であることを示した。これらの成果は、2007 年の Symposium on VLSI Technology にて発表された。

以上に述べた微細 MOSFET 単体の高性能化をベースとして、次に、膨大な量の MOSFET が 1 か所に集積された LSI システムの総合的な高性能化に着眼して研究を行った。具体的には、システム全体としての高性能化が期待できるロジック+メモリ混載技術を実現する混載用の DRAM (Dynamic Random Access Memory) について研究を行った。ここでの研究課題は、揮発性メモリのために消費電力が比較的大きい DRAM の低消費電力化技術である。DRAM の低消費電力化のためには、記憶回路(メモリセル)の制御 MOSFET (セルトランジスタ) のリーク電流低減が最も重要である。

本研究では、混載 DRAM のセルトランジスタ製造技術として、in-situ リンドープせり上げソース・ドレイン構造を用いることにより、イオン注入法に抛らない熱拡散のみの LDD (Lightly Doped Drain) 形成を実現し、セルトランジスタのオフリーク電流を、115°C においても 0.1pA まで低減できることを示した。このような新型の接合構造により、ロジック MOSFET と同様な構造を保ちつつ、リーク電流が抑えられた微細セルトランジスタが実現可能であることを示した。これらの成果は、2011 年の Symposium on VLSI Technology にて発表された。

しかし、上述のような手法により余分なリーク電流が低減できた後でも、最終的に接合リーク電流だけは残存してしまう。これは、人為的な制御の難しいシリコン結晶内部に形成された結晶欠陥が原因となっているからである。そこで本研究では、特にエッチング工程によってシリコン基板に導入される不純物起因(カーボンとフッ素)の欠陥に着目し、微小領域の分析に優れた電流検出型の電子スピン共鳴分光(EDMR: Electrically Detected Magnetic Resonance)法を用いて、これを解析・同定した。

カーボンとフッ素に着目したのは、エッチャントガスに含まれるこれらの不純物が、エッチング工程によって、シリコン基板の極浅領域(～5nm)に高い濃度( $10^{20}$  atoms/cm<sup>3</sup> 以上)で導入されるためである。接合リーク電流を用いた EDMR 分光により、シリコン結晶中に導入されたカーボンとフッ素がそれぞれ格子間型欠陥を形成し、接合リーク電流の主原因となっていることを明らかにした。カーボンの場合の主要欠陥は「格子間カーボン(<100>-split C-Si interstitialcy)」であり、フッ素の場合は「ボンドセンターフッ素」であった。ボンドセンターフッ素の観察および同定は、バルク Si 結晶試料を含めても本研究が初めての報告で、格子間カーボンの観察は MOSFET 内部では本研究が初めての報告である。さらに他のマイナーな欠陥として、カーボン複合欠陥(C<sub>i</sub>C<sub>s</sub><sup>+</sup>、G11 センター)、シリコン空孔-フッ素複合欠陥(F<sub>n</sub>V<sub>5</sub>、F1 センター)、水素関連欠陥(AA9、AA10 センター)が存在する可能性を示した。これらの欠陥は、バルク Si 結晶での熱安定性が-70°C～300°Cと報告さ

れており、400°C以上・数十分の高温プロセスを経る MOSFET では常識的には残留しないはずの欠陥である。トランジスタの内部は、強い内部応力や格子間シリコンの過剰な発生によって特殊な環境となり、バルク Si 結晶とは欠陥の挙動が大きく異なることが分かった。そのため熱安定性が本来は低いはずの欠陥も残留できたと考えられる。

微細 MOSFET 内に形成された結晶欠陥を実験で具体的に同定したことは、混載 DRAM 技術の開発にとって非常に大きな価値がある。実際、エッチング工程の改善によってカーボン、フッ素欠陥を大幅に減少させる方策も提案し、その実証も行うことができた。また、シリコン結晶内の欠陥の挙動に関して、バルク Si 結晶と微細 MOSFET における大きな違いを実験的に明らかにしたことは、今後の微細 MOSFET の欠陥研究に対して貴重な示唆となるであろう。本研究が初となるボンドセンターフッ素の観察・同定や、MOSFET 内部の格子間カーボンの初観察は、学術的にも価値が高いと考えられる。これらの成果は、2014 年の Applied Physics Letters に掲載予定である。

以上、微細シリコン MOS トランジスタの高性能化とリーク電流低減に関して、新しい技術の提案と実証を行ったこと、また、人為的な制御が難しいシリコン基板中の結晶欠陥に関して新しい知見と対策方向性(エッチング法改善)を得たことが、本研究の成果である。

## 研究業績一覧

### 第2章 ロジックトランジスタの高性能化

- [1] 上嶋和也、山本豊二、最上徹、「Poly-SiGeゲート電極のゲート空乏化特性」、2000年春季応用物理学関係連合講演会、巻:47、号:2、pp. 907 (2000).
- [2] K. Uejima, T. Yamamoto and T. Mogami, "Highly reliable poly-SiGe/amorphous-Si gate CMOS", IEDM Tech. Dig., pp. 445-448, (2000).
- [3] K. Uejima, T. Yamamoto and T. Mogami, "Novel polycrystalline gate engineering for high performance sub-100 nm CMOS devices", Symp. VLSI Technology Dig., pp. 128-129, (2002).
- [4] 上嶋和也、山本豊二、最上徹、「多結晶ゲート電極MOSFETの反転容量のグレインサイズ効果」、2002年春季応用物理学関係連合講演会、巻:49、号:2、pp. 886 (2002) 講演奨励賞受賞.
- [5] 上嶋和也、戸田昭夫、奥田慶文、山本豊二、「歪みSi MOSFETの異常オフリーク電流解析」、2004年春季応用物理学関係連合講演会、巻:51、号:2、pp. 966 (2004).
- [6] 上嶋和也、山本豊二、最上徹、「高性能サブ100nmCMOS用の新しい多結晶ゲート制御技術」、電気学会電子材料研究会資料、巻: EFM-04、号:26-40、pp. 59-62 (2004).
- [7] S. Nakashima, T. Yamamoto, A. Ogura, K. Uejima and T. Yamamoto, "Characterization of Si/Ge<sub>x</sub>Si<sub>1-x</sub> structures by micro-Raman imaging", Applied Physics Letters, Vol. 84, Iss. 14, pp. 2533-2535, (2004).
- [8] M. Narihiro, T. Iwamoto, T. Yamamoto, T. Ikezawa, K. Yako, M. Tanaka, A. Mineji, Y. Okuda, K. Uejima, S. Shishiguchi and M. Hane, "Sub-30nm Mosfet Fabrication Technology Incorporating Precise Dopant Profile Design using Diffusion-Less High-Activation Laser Annealing", International Conference on Advanced Thermal Processing (RTP), pp. 147-151, (2006).
- [9] H. Nakamura, Y. Nakahara, N. Kimizuka, T. Abe, I. Yamamoto, T. Fukase, T. Nakayama, K. Taniguchi, K. Masuzaki, K. Uejima, T. Iwamoto, T. Tatsumi and K. Imai,, "55nm CMOS Technology for Low Standby Power/Generic Applications Deploying the Combination of Gate Work Function Control by HfSiON and Stress-Induced Mobility Enhancement", Symp. VLSI Technology Dig., pp. 158-159, (2006).
- [10] K. Uejima, H. Nakamura, T. Fukase, S. Mochizuki, S. Sugiyama and M. Hane, "Highly Efficient Stress Transfer Techniques in Dual Stress Liner CMOS Integration", Symp. VLSI Technology Dig., pp. 220-221, (2007).
- [11] K. Uejima, K. Yako, N. Ikarashi, M. Narihiro, M. Tanaka, T. Nagumo, A. Mineji, S. Shishiguchi and M. Hane, "Pushing Planar Bulk CMOSFET Scaling to its Limit by Ultimately Shallow Diffusion-Less Junction", IEDM Tech. Dig., pp. 151-154, (2007).
- [12] N. Ikarashi, T. Ikezawa, K. Uejima, T. Fukai, M. Miyamura, A. Toda and M. Hane, "Electron

holography analysis of a shallow junction for planar-bulk metal-oxide-semiconductor field-effect transistors approaching the scaling limit", Journal of Applied Physics, Vol. 103, Iss. 11, pp. 114514, (2008).

- [13] K. Uejima, K. Yako, N. Ikarashi, M. Narihiro, M. Tanaka, T. Nagumo, A. Mineji, S. Shishiguchi and M. Hane, "Novel diffusion-less ultra-shallow junction engineering based on millisecond annealing for sub-30 nm gate length planar bulk CMOSFET", International workshop on Junction Technology (IWJT), pp. 62-67, (2008).
- [14] K. Yako, T. Yamamoto, K. Uejima, T. Ikezawa and M. Hane, "Parasitic resistance and leakage reduction by raised source / drain extension fabricated with cluster ion implantation and millisecond annealing", Intl. Conf. on Advanced Thermal Processing (RTP), pp. 241-244, (2008).
- [15] K. Yako, K. Uejima, T. Yamamoto, A. Mineji, T. Nagumo, T. Ikezawa, N. Matsuzaka, S. Shishiguchi, T. Hase and M. Hane, "Aggressive design of millisecond annealing junctions for near-scaling-limit bulk CMOS using raised source/drain extensions", IEDM Tech. Dig., pp. 1-4, (2008).
- [16] K. Yako, T. Yamamoto, K. Uejima, T. Hase and M. Hane, "26 nm gate length CMOSFETs with aggressively reduced silicide position by using carbon cluster co-implanted raised source/drain extension structure", Symp. VLSI Technology Dig., pp. 160-161, (2009).
- [17] N. Ikarashi, K. Yako, K. Uejima, T. Yamamoto, T. Ikezawa and M. Hane, "Correlation among crystal defects, depletion regions and junction leakage in sub-30-nm gate-length MOSFETs: Direct examinations by electron holography", Symp. VLSI Technology Dig., pp. 202-203, (2009).

### 第3章 混載DRAM用トランジスタのリーク電流低減

- [18] K. Uejima and T. Hase, "Ultra-Low Leakage Junction Engineering of Cell Transistor by Raised Source/Drain for Logic-Compatible 28-nm Embedded DRAM ", Symp. VLSI Technology Dig., pp. 170-171, 2011.
- [19] H. Takeda, K. Uejima, K. Takeuchi, and M. Hane, "Junction Leakage Variability Simulation Considering Random Discrete Dopants", Abstracts of 16th International Workshop on Computational Electronics (IWCE2013), pp. 192 (2013).

### 第4章 接合リーク電流元となるシリコン結晶中の欠陥分析

- [20] K. Uejima and T. Umeda, "Microscopic origins of dry-etching damages in silicon large-scaled integrated circuits revealed by electrically detected magnetic resonance", Applied Physics Letters submitted.

## 謝辞

本論文をまとめるにあたり、共同研究および博士研究全般を通じて、懇切丁寧なご指導と強力なサポートを頂きました、指導教官の筑波大学 大学院数理物質科学研究科の梅田享英准教授に心から感謝いたします。

本論文の主査としてご指導頂きました、筑波大学 大学院数理物質科学研究科の山田啓作教授に心から感謝いたします。

本論文の副査としてご指導頂きました、筑波大学 大学院数理物質科学研究科の山部紀久夫教授、上殿明良教授、産業技術総合研究所の山崎聡総括研究主幹、宮田典幸グループ長に心から感謝いたします。

本研究の機会を与えて頂き、励ましとご協力を頂いたルネサス エレクトロニクス(株) 第二ソリューション事業本部の林喜宏主管技師長、香取重達シニアエキスパート、羽根正巳部長、竹内潔主管技師に心から感謝いたします。

本研究を遂行するにあたり、多大なるご協力と貴重な議論を頂いた、日本電気(株) (当時)、NECエレクトロニクス(株) (当時)、ルネサス エレクトロニクス(株)、ルネサス山形セミコンダクタ(株)の方々に心から感謝いたします。特に、長谷卓氏、山本豊二氏、五十嵐信行氏、成廣充氏、竹田裕氏、南雲俊治氏、八高公一氏、田中聖康氏、中村英達氏、渡辺啓仁氏、望月康則氏、最上徹氏、辰巳徹氏、若林整氏、君塚直彦氏、獅子口清一氏、峰地輝氏、山本一郎氏、深瀬匡氏、望月省吾氏、に深く感謝いたします。

本研究を遂行するにあたり、ウエハプロセスおよびシミュレーションにご協力を頂き、貴重な議論を頂いた、Ultratech, Inc.、Mattson Technology, Inc.、日新イオン機器 (株)、キヤノンアネルバ (株)、(株) NEC情報システムズの方々に深く感謝いたします。